

# 國立交通大學

電信工程學系碩士班

碩士論文

MISO W-CDMA 高速下鏈收發機之  
軟體與硬體實現

Software and Hardware Realization of MISO W-CDMA  
High Speed Downlink Transceiver

研究生：李韋琦

Student: Wei-Chi Lee

指導教授：李大嵩 博士

Advisor: Dr. Ta-Sung Lee

中華民國九十三年六月

MISO W-CDMA 高速下鏈收發機之  
軟體與硬體實現

Software and Hardware Realization of MISO W-CDMA  
High Speed Downlink Transceiver

研究生：李韋琦

Student: Wei-Chi Lee

指導教授：李大嵩 博士

Advisor: Dr. Ta-Sung Lee



A Thesis

Submitted to Institute of Communication Engineering  
College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Communication Engineering

June 2004

Hsinchu, Taiwan, Republic of China

中華民國九十三年六月

# MISO W-CDMA 高速下鏈收發機之 軟體與硬體實現

學生：李韋琦

指導教授：李大嵩 博士

國立交通大學電信工程學系碩士班

## 摘要

由於近年來無線通訊技術的迅速發展，頻譜已成為日益寶貴之資源。因此，第三世代(3<sup>rd</sup> Generation, 3G)及下一代(Beyond 3<sup>rd</sup> Generation, B3G)之無線通訊技術的重要課題即為能有效地提昇頻譜使用效率，並且利用數位訊號處理的方式來改善無線接取的技術，以提昇通訊系統的品質及容量。在3G及B3G的系統中，智慧型天線通訊技術為極具代表性之研究主題，係因其可於不需增加頻寬的前題下，有效降低干擾量，從而使傳輸容量有效增加；同時並提供了空間分集效益以克服通道衰減等問題，並增加接收訊號的品質及可靠度。在本論文中，吾人採用Aptix<sup>®</sup> MP3C為發展平台；藉由平台上之FPGA及DSP等可程式化組件，來實現MISO W-CDMA高速下鏈收發機的軟硬體架構。其中，FPGA為可程式化之邏輯元件，利用硬體描述語言合成數位邏輯電路，具有可重構性之特性，提供快速之硬體驗證。而DSP則擁有高速之浮點或定點運算，可用以實現即時的訊號處理。系統中包括有時序同步電路、展頻／解展頻電路、空-時區塊編碼／解碼電路、自動頻率控制器，以及迴旋編碼／解碼電路完成系統基頻部分的電路實現，並結合實際量測之通道，以增加系統的正確性與可靠度。最後，吾人進一步導入軟體無線電之概念，透過DSP程式之參數控制及FPGA硬體電路的模組化，以增加系統之擴充性及可適性。

# Software and Hardware Realization of MISO W-CDMA High Speed Downlink Transceiver

Student: Wei-Chi Lee

Advisor: Dr. Ta-Sung Lee

Institute of Communication Engineering

National Chiao Tung University

## Abstract

The logo of National Chiao Tung University is a circular emblem. It features a gear-like outer border. Inside the circle, there is a stylized representation of a building or structure with the letters 'ES' and 'A' on it. Below this, the year '1896' is inscribed. The entire logo is rendered in a light blue color.

With the growing of wireless communication technologies in recent years, the spectral spectrum has become an increasingly precious source. Therefore, a major issue of wireless communication technologies in the 3G (3<sup>rd</sup> Generation) and B3G (Beyond 3<sup>rd</sup> Generation) systems is to enhance the quality and capacity of communication systems. In particular, spectral efficiency must be effectively increased, while radio access technique can be improved via digital signal processing. In the 3G and B3G systems, the smart antenna technique is one of the most representative research topics. Without increasing the bandwidth, a smart antenna boosts transmission capacity through suppressing interferences. On the other hand, it also provides spatial diversity to mitigate channel fading problems and enhance signal quality and reliability. In this thesis, we adopt the Aptix<sup>®</sup> MP3C as our development platform, and realize software and hardware architectures of an MISO W-CDMA high speed downlink transceiver via of programmable FPGAs and DSPs on the platform. FPGA is a programmable logic device which can be

used to design digital logic circuits by hardware description language and can provide fast hardware verification based on its reconfigurability. On the other hand, DSP is a powerful processor with high speed floating-point or fixed-point operations, which is suitable for real-time signal processing. The developed system includes a time synchronizer, a spread/ despread circuit, a space-time block encoder/ decoder circuit, an auto frequency controller, and a convolution encoder/ decoder circuit, giving a complete baseband circuit. Combining the baseband circuit with real measured channel data, we could increase the accuracy and reliability of the system. Finally, we introduce the concept of software-defined radio, with which the scalability and adaptivity of the system could be improved by parameter control of DSP programs and modulizing hardware circuits of the FPGA.



## 誌謝

首先我要感謝指導教授李大嵩教授，在論文研究與求學態度上給予詳盡且細心的指導，再來要感謝鄧俊宏學長、何從廉學長、林高洲學長與林志遠學長在研究上的協助，還有要感謝通訊訊號處理實驗室的同學與學弟們的幫忙，最後我要感謝我的家人以及一直在我身邊的好朋友們，給我最大的精神鼓勵與支持，讓我可以順利完成碩士學位。



# 目錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iv
目錄.....	v
圖目錄.....	viii
表目錄.....	xii
中英詞彙對照表.....	xiii
 第一章 緒論.....	1
第二章 MISO W-CDMA 高速下鏈基頻收發機架構.....	4
2.1 MISO W-CDMA 高速下鏈硬體收發機技術架構.....	4
2.2 W-CDMA 系統簡介.....	5
2.2.1 專用實體通道之展頻與調變.....	5
2.2.2 空-時區塊編碼.....	7
2.2.3 波束形成器與通道資訊.....	7
2.3 下鏈路同步程序.....	8
2.3.1 時序同步.....	8
2.3.2 頻率估計與頻率補償.....	8
2.4 空時區塊解碼器與犁耙接收器.....	9

2.5	迴旋碼編碼器/解碼器.....	10
2.6	混合重送機制簡介.....	11
2.7	小結.....	11
<b>第三章</b>	<b>快速雛型發展系統設計流程介紹.....</b>	<b>22</b>
3.1	Aptix 快速雛型發展平台與 Explorer 軟體.....	22
3.1.1	MP3C 系統架構.....	22
3.1.2	Aptix Explorer 設計流程介紹.....	23
3.2	FPGA 電路設計流程.....	24
3.2.1	FPGA 介紹.....	24
3.2.2	FPGA 電路設計流程.....	25
3.3	TMS320C6701 DSP 簡介.....	27
3.3.1	TMS320C6701 DSP CPU 結構.....	27
3.3.2	TMS320C6701 DSP 記憶體分配.....	28
3.3.3	TMS320C6701 DSP 週邊元件.....	29
3.4	'C6701 DSP EVM 模組簡介.....	31
3.4.1	'C6701 DSP EVM 模組架構.....	32
3.4.2	'C6701 DSP EVM 與 FPGA 之連結.....	33
3.5	USB 2.0 模組簡介.....	34
3.6	FPGA 與 DSP 電路設計技巧.....	35
<b>第四章</b>	<b>MISO W-CDMA 高速下鏈基頻收發機之硬體電路設計....</b>	<b>53</b>
4.1	MISO W-CDMA 基頻傳送端.....	54
4.2	時序同步之 FPGA 與 DSP 電路設計.....	55

4.2.1 碼擷取單元 .....	56
4.2.2 路徑搜尋單元 .....	57
4.2.3 碼追蹤單元 .....	57
4.3 自動頻率控制器之 FPGA 與 DSP 電路設計 .....	59
4.4 解展頻單元之 FPGA 電路設計 .....	61
4.5 空一時區塊解碼器及犁耙式接收機之 FPGA 電路設計 .....	62
4.6 迴旋碼解碼器之 FPGA 電路設計 .....	64
4.6.1 執行單元.....	64
4.6.1 回溯單元.....	66
4.6 MISO W-CDMA 收發機系統測試.....	68
<b>第五章 結論</b> .....	<b>89</b>
<b>參考文獻</b> .....	<b>91</b>



## 圖目錄

2.1	MISO W-CDMA 高速下鏈硬體架構圖 .....	13
2.2	MISO W-CDMA 高速下鏈基頻發射機之系統方塊圖 .....	13
2.3	MISO W-CDMA 高速下鏈基頻接收機之系統方塊圖 .....	14
2.4	DS-CDMA 展頻技術示意圖 .....	14
2.5	3GPP 下鏈路 DPCH 訊框與時槽架構圖 .....	15
2.6	W-CDMA 下鏈路訊框架構圖 .....	15
2.7	資料通道之空一時區塊編碼圖(1).....	16
2.8	資料通道之空一時區塊編碼圖(2).....	16
2.9	LOS 之角度響應圖 .....	17
2.10	第一條路徑之脈衝響應圖 .....	17
2.11	LOS 之脈衝響應圖(1) .....	18
2.12	LOS 之脈衝響應圖(2) .....	18
2.13	NLOS 之角度響應圖 .....	19
2.14	第一條路徑之脈衝響應圖 .....	19
2.15	第二條路徑之脈衝響應圖 .....	20
2.16	NLOS 之脈衝響應圖(1) .....	20
2.17	NLOS 之脈衝響應圖(2) .....	21
2.18	八根天線之波束形成器示意圖 .....	21

3.1	快速離型發展系統硬體連線示意圖 .....	37
3.2	Aptix System Explorer MP3C 實體圖 .....	38
3.3	MP3C FPIC 繞線示意圖.....	38
3.4	MISO W-CDMA 系統硬體平台驗證流程圖.....	39
3.5	TMS320C6701 DSP 系統架構圖 .....	40
3.6	TMS320C6701 DSP CPU 架構圖.....	41
3.7	TMS320C6701 DSP 記憶體映射圖 .....	42
3.8	TMS320C6701 DSP 外部記憶體(EMIF)介面連線圖.....	43
3.9	‘C6701 DSP EVM 模組實體圖 .....	44
3.10	DSP EVM 模組轉接卡示意圖 .....	44
3.11	‘C6701 DSP EVM 模組架構圖 .....	45
3.12	‘C6701 DSP EVM 模組與外部介面模組連線圖 .....	45
3.13	DSP EVM 模組讀取時序圖 .....	46
3.14	DSP EVM 模組寫出時序圖 .....	46
3.15	USB 2.0 模組實體圖.....	47
3.16	CYPRESS CY7C68013 微控制器方塊圖.....	47
3.17	USB 2.0 與週邊模組架構圖.....	48
3.18	EX USB 軟體操作介面圖 .....	48
4.1	MISO W-CDMA 傳送端之電路架構圖.....	69
4.2	MISO W-CDMA 接收端之電路架構圖.....	69
4.3	超取樣示意圖.....	70

4.4	碼擷取單元電路方塊圖.....	70
4.5	匹配濾波器輸出之時序圖.....	71
4.6	碼擷取單元之極大值搜尋流程圖.....	71
4.7	匹配濾波器資料輸出示意圖.....	72
4.8	先一遲碼追蹤迴路架構方塊圖.....	72
4.9	碼追蹤單元工作流程圖.....	73
4.10	DSP 讀入延遲特徵資料圖，使用 NLOS 通道資料.....	73
4.11	DSP 讀入延遲特徵資料圖，使用 LOS 通道資料.....	74
4.12	FPGA 各路徑訊框觸發訊號時序圖.....	74
4.13a	Core Generator 所產生之正弦訊號圖.....	75
4.13b	Core Generator 所產生之餘弦訊號圖.....	75
4.14	頻率估計器方塊圖.....	76
4.15	頻率補償器方塊圖.....	76
4.16a	資料符元 DPDCH 解展頻示意圖.....	77
4.16b	引導符元 DPCCH 解展頻示意圖.....	77
4.17a	I 通道引導符元輸出圖.....	78
4.17b	Q 通道引導符元輸出圖.....	78
4.18	空一時解碼器電路架構圖.....	79
4.19	犁耙式接收機輸出圖.....	79
4.20	迴旋編碼器架構圖，編碼率為 1/2.....	80
4.21	使用迴旋編碼器之效能模擬圖.....	80
4.22a	4 個狀態之 trellis 圖.....	81

4.22b 重新編排 4 個狀態之 trellis 圖 .....	81
4.23 64 狀態之蝴蝶架構圖 .....	82
4.24 相加、比較、選擇方塊示意圖 .....	82
4.25 迴旋碼解碼器之回溯兩階段示意圖 .....	83
4.26 迴旋碼解碼器之回溯次數與時間關係圖 .....	83
4.27 迴旋碼解碼器之回溯流程圖 .....	84
4.28 迴旋碼解碼器架構圖 .....	84
4.29 CCD 影像傳輸架構圖 .....	85
4.30 使用八根傳送天線及波束形成器之動態影像傳輸圖 .....	86
4.31 使用單根傳送天線之動態影像傳輸圖 .....	86



## 表目錄

3.1	TTL 邏輯準位 .....	49
3.2	TMS320C6701 DSP 外部記憶體與記憶體種類使用對應表 .....	49
3.3	C6701 EVM 模組記憶體映射表 .....	50
3.4	USB 2.0 模組管道對應表 .....	51
3.5	ALU 功能表 .....	52
4.1	各功能單元之 FPGA 使用率對照表 .....	87
4.2	各功能單元之 DSP 讀取與運算時間對照表 .....	87
4.3	MISO W-CDMA 收發機系統環境參數表 .....	88

## 中英詞彙對照表

Application Specific Integrated Circuit (ASIC): 特殊應用積體電路

Arithmetic Logic Unit (ALU): 算術邏輯單元

Auto Frequency Control (AFC): 自動頻率控制

Code Division Multiple Access (CDMA): 分碼多重進接

Data Memory Controller (DMEMC): 資料記憶體控制器

Dedicated Physical Channel (DPCH): 專用實體通道

Dedicated Physical Control Channel (DPCCH): 專用實體控制通道

Dedicated Physical Data Channel (DPDCH): 專用實體資料通道

Direct Memory Access Controller (DMA): 直接記憶體控制器

Doppler effect: 都卜勒效應

Electronics Design Automation (EDA): 電子設計自動化工具

External Memory Interface (EMIF): 外部記憶體介面

Feedback Information (FBI): 回饋資訊

Field Programmable Gate Array (FPGA): 場式可程式閘陣列

Field Programmable Interconnect Components (FPIC): 可程式內部互連元件

Finite Impulse Response (FIR): 有限脈波響應

Finite State Machine (FSM): 有限狀態機

First In First Out (FIFO): 先進先出元件

Hardware Description Language (HDL): 硬體描述語言

Host-port Interface (HPI): 共處理器存取介面

Inter Symbol Interference (ISI): 碼間干擾

International Telecommunications Union (ITU): 國際電訊聯盟

Large Scale Integrated (LSI): 大型積體電路

Logic Analyzer (LA): 邏輯分析儀

Look Up Tables (LUT): 查表型

Multichannel Buffered Serial Port (McBSP): 多通道緩衝序列埠

Multiplexer Type (MPX): 多工器型

Pipelined Synchronous-burst SRAM (SBSRAM): 管線式同步靜態記憶體

Program Memory Controller (PMEHC): 程式記憶體控器

Programmable Logic Device (PLD): 可程式邏輯元件

Processing Element (PE): 執行單元

Pseudo Noise code (PN code): 偽亂碼

Radio Frequency (RF): 射頻

Random-Access Memory (RAM): 隨機存取記憶體

Read-Only Memory (ROM): 唯讀記憶體

Root-Raised Cosine (RRC): 根上升型餘弦

Soft-Defined Radio (SDR): 軟體無線電

Space-Time Block Code (STBC): 空-時區塊編碼

Space-Time Block Decode (STBD): 空-時區塊解碼

Spreading Factor (SF): 展頻因數

Synchronous DRAM (SDRAM): 同步動態記憶體

Texas Instruments (TI): 德州儀器

Very Large Scale Integrated (VLSI): 超大型積體電路

antenna array: 天線陣列

auxiliary channel: 輔助通道

average power: 平均功率

beamformer: 波束形成器

bit shift: 位元位移

butterfly architecture: 蝴蝶架構

branch: 分枝程式碼執行

cache line: 快取線

cache mode: 快取模式

channel estimation: 通道估計

chip: 碼片

chip rate: 碼片速率

circular-addressing: 環狀定址

clock drift: 時脈漂移

code acquisition: 碼擷取

code rate: 編碼率

code tracking: 碼追蹤

code tracking loop: 碼追蹤迴路

comparator: 比較器

constraint length: 限制長度



convolution encoder: 迴旋編碼器

correlator: 相關器

counter: 計數器

data channel: 資料通道

data detector: 資料偵測器

decision bit: 決定位元

decode period: 解碼階段

decoder: 解碼器

delay profile: 延遲特徵資料

deinterleaver: 解交錯器

demodulator: 解調變器

despreader: 解展頻器

diagnostic communication interface: 診斷溝通界面

downlink channel: 下鏈路通道

dual port block ram: 雙埠記憶體

early-late code tracking loop: 先-遲碼追蹤迴路

encoding: 編碼

external memory: 外部記憶體

external shared-memory device: 外部分享記憶體元件

flash memory: 快閃記憶體

frame synchronization: 訊框同步

frame: 訊框



frequency offset: 頻率偏移

function simulation: 功能模擬

function unit: 功能單元

integrate and dump: 積分與傾卸

interleaver: 交錯器

interleaving: 交錯

internal data memory: 內部資料記憶體

internal program memory: 內部程式記憶體

interrupt selector: 中斷選擇器

linear-addressing: 線性定址

logic gate: 邏輯閘

mapped mode: 映射模式

match filter: 匹配濾波器

maximum selector: 最大值選擇器

modulation: 調變

multipath: 多重路徑

multiplexer: 多工器

normalize: 正規化

oscillator: 振盪器

oversampling: 超取樣

package editor: 包裹編輯器

pattern generator: 資料產生器



phase estimation: 相位估計

pilot signal: 引導訊號

pilot symbol: 引導符元

pulse shaping: 脈波整型

quantization error: 量化錯誤

reset: 重置

scheduling: 時程安排

serial-to-parallel converter: 序列對平行轉換器

state diagram: 時態關係圖

symbol: 符元

timing simulation: 時序模擬

traceback: 回溯

transmit diversity: 傳輸分集

weight: 權值



# 第一章

## 緒論

隨著科技的日新月異，行動通訊技術已快速的從類比系統演進到數位系統，吾人對於行動通訊的要求不再只是語音服務，更甚於是資料及多媒體訊息的交流。由於頻譜的使用已不敷所求，頻寬已成為日益寶貴之資源。因此，第三代行動通訊的技術即針對頻譜的使用作了相當的改善，使得資料傳輸速率可達到 2Mbps，其中主要採用了 W-CDMA (Wideband Code Division Multiple Access) 的技術且能與目前的第二代行動通訊 GSM (Global System for Mobile communications) 相容。雖然第三代(3G)行動通訊的發展，解決了目前的難題，然而對於未來行動通訊之高品質及多樣化之服務尚嫌不足，故各國也開始發展新一代的行動通訊技術，亦即下一代(Beyond 3G, B3G)或者是第四代(4G)行動通訊。目前普遍認為 B3G 的最高傳輸速率將超過 100Mbps 而且能夠實現全球漫遊，具有非常高的靈活性，也能適應性的進行資源分配，並且支援下一代 Internet (IPv6) IP 網路的功能。B3G 的技術是 3G 關鍵技術的進一步改良，它結合了智慧型天線(smart antenna)通訊技術、軟體無線電技術、高速下鏈封包交換資料傳輸等技術；其中智慧天線是基於適應性天線原理，利用天線陣列的方式來產生多個獨立的波束，並適應性地調整波束方向指向各別用戶，以有效提高訊號干擾雜訊比 SINR (Signal-to Interference and Noise Ratio)，

增加系統容量及改善訊號品質；同時並提供了空間分集(spatial diversity)效益[1]以克服通道衰減等問題，並增加接收訊號的品質及可靠度。經由理論與實驗證明，智慧型天線技術於無線通訊之運用，其效益十分卓著。

在本論文中，吾人參考 3GPP 之規範[2]，以 FPGA 及 DSP 硬體實現 MISO W-CDMA 高速下鏈收發機之電路，其中包含了空時區塊編碼／解碼電路、展頻／解展頻電路、時序同步電路、自動頻率控制電路、交錯／解交錯電路、迴旋碼編碼／解碼電路等。在硬體電路實現過程中，以 VHDL (Very High Speed integrated circuit hardware Description language) [3]-[5]語言撰寫，載入 FPGA (Field Programmable Gate Array)以驗證電路之正確性，並配合 Aptix 快速離型發展平台上的 DSP (Digital Signal Processor)晶片來處理複雜的基頻訊號，以加速系統離型開發並增加系統之可適性。由於吾人在傳送端使用了八根天線，所以使用了空時區塊編碼搭配著波束形成器在使用，提供了系統分集增益 (diversity gain)，以有效抵抗通道衰減，其中之通道衰落模擬方塊(channel emulator)係用以產生實際通道之衰落影響，可以即時(real time)之信號模擬產生之。在接收機部份，首先執行碼擷取單元，估出訊框的粗始位置，再利用路徑搜尋單元，找出不同路徑的訊框起始點，當經過 16 個訊框後，則開始啟動碼追蹤單元，已維持時間的正確性。接著啟動解展頻電路，將引導通道及資料通道的符元解出，利用 DSP 分析引導通道的資料，作頻率估計並產生相對應之補償訊號，回傳至 FPGA，以達到頻率補償的效果。接著執行空一時區塊解碼電路、解交錯器電路及迴旋解碼器，其中迴旋解碼器是採用發展已久的 Viterbi 解碼器，藉由搜尋最佳路徑的方式，有效地將錯誤更正，降低系統的誤碼率(bit error rate)。最後吾人為了驗證系統的效能，利用了 USB 模組及

CCD 來傳輸即時的動態影像，使得系統更加的穩健。

若能將上述之 B3G 之技術進一步結合軟體無線電(Software Defined Radio, SDR)設計理念[6]，其中軟體無線電的基本觀念是開發出一種可重複使用的硬體平台，只要在這個平台上改變相對應之軟體即可形成不同標準的通訊規格，這樣無線通訊系統的開發將逐步由硬體為主轉變為以軟體為主。如此一來在不同環境下，可以快速地置換系統核心演算法，達到快速開發的目的地，勢必能在 3G 及 B3G 等智慧型無線通訊系統中發揮關鍵性技術發展之推昇角色。

本論文章節架構如下：第二章介紹吾人之 MISO W-CDMA 高速下鏈基頻收發機之硬體架構，第三章則描述快速雛形發展系統平台之開發環境，包含 FPGA、DSP 與 USB 模組之介紹，第四章詳述吾人之 MISO W-CDMA 硬體電路與程式設計流程，以實現全系統收發機之功能區塊及驗證其效能。最後，第五章為本篇論文做一總結。



## 第二章

# MISO W-CDMA 高速下鏈基頻收發機架構

## 2.1 MISO W-CDMA 高速下鏈硬體收發機技術架構

在MISO W-CDMA高速下鏈收發機之硬體設計過程中，吾人將藉由FPGA與DSP處理器具備之獨立運行系統（stand-alone system）能力與便利性，作為系統開發核心，並進一步實現可適性的基頻系統架構、適應性調變及陣列訊號處理法則之發展，以達到加強訊號增益、抑制干擾訊號，提高系統容量及頻率使用效率之目的。基於此想法，吾人選用FPGA做為硬體電路開發元件，另外，使用DSP做為軟體開發工具，並且利用USB模組來傳送個人電腦中的資料來增加系統的彈性，再搭配Aptix<sup>®</sup>設計之System Explorer MP3C快速雛型發展平台，資料產生器(pattern generator)與振盪器(oscillator)模組，以處理MISO W-CDMA之基頻訊號。硬體架構圖如圖 2.1 所示。

吾人之系統開發著重於 MISO W-CDMA 高速下鏈的基頻訊號處理，首先資料經過迴旋碼編碼(convolution encoder)及交錯器資料交錯(interleaving)，之後由解多工器(de-multiplexing)以串列平行轉換後，再經由空一時區塊編碼(Space-Time Block Coder, STBC)，將四組相互正交之 Walsh 碼乘入後再組合為資料通道(traffic channel)，再分別與乘上展頻碼(spreading code)之同步通道

(synchronous channel)及引導通道(pilot channel) 組合為 I、Q 資料通道(其中同步通道及引導通道分別傳送於 IQ 通道)，最後再經脈波整型(pulse shaping)濾波後送出。經由實際量測的通道後，基頻接收機依時間之先後可區分為兩種模式，分別為碼擷取(code acquisition)模式以及碼追蹤(code tracking)模式。於碼擷取模式時，系統只找出訊框起始時間(frame start time)，並無資料通道傳輸；於碼追蹤模式時，系統則分別找出發射載波與接收載波之頻率偏移(frequency offset)以及訊框起始時間，執行頻率補償；及引導通道及資料通道之解展頻、通道響應估測、空-時區塊解碼(Space-Time Block Decoder, STBD)與犁耙接收(RAKE receiver)、解交錯(de-interleaver)以及迴旋碼解碼(convolution decoder)後，偵測出原來的資料。

目前吾人規劃設計之系統傳送資料的通道展頻因子為 64，編碼率為 1/2 及 1/3，在 I 通道及 Q 通道上傳送資料，原始資料速率則視發展之演算邏輯及與介面模組間之資料傳送速率，預估在 160~240 Kbps 間。

## 2.2 W-CDMA 系統簡介

### 2.2.1 專用實體通道之展頻與調變

在 3GPP 規範中，明訂使用 W-CDMA 為其傳輸技術[7]，W-CDMA 為一 DS-SS-SS-SS 技術[8]，它將資料位元乘上一組展頻碼(spreading code)，形成新的基頻訊號(圖 2.4)，擴張了原來訊號頻寬，展頻碼中每一位元稱之為碼片(chip)，碼片速率(chip rate)為 3.84 Mcps (chip-per-second)。在 3GPP 中提供給使用者專用之傳輸通道稱為專用實體通道(Dedicated Physical Channel,

DPCH)，DPCH 主要分為兩種，一是專用實體控制通道(Dedicated Physical Control Channel, DPCCH)，用以傳送引導符元(pilot symbol)、回饋資訊(Feedback Information, FBI)、傳輸格式合成指標(Transport Format Combination Indicator, TFCI)與傳輸功率控制(Transmit Power Control, TPC)等控制訊號；另一種通道則用以傳送資料，稱為專用實體資料通道(Dedicated Physical Data Channel, DPDCH)，本節將介紹 W-CDMA 系統中展頻與調變之架構。

於展頻技術中，展頻因數(Spreading Factor, SF)決定了一個資料位元所使之展頻碼長度，選用之展頻碼愈長，在相同時間內可以傳輸之資料量則愈少，然而，愈長之展頻碼卻可以提高資料傳輸可靠度，以抵抗多變的通道效應，故吾人可以依據不同需求或是通道環境好壞決定資料速率。

DPCH之下鏈路訊框架構如圖 2.6 所示，吾人將資料切割成相同單位之區塊傳送，稱之為訊框，每一個訊框之時間長度為 10 ms，共計有 38400 個碼片，其中又可再細分成 15 個時槽(time slot)，時槽為最小之傳送單位。對DPDCH來說，3GPP規範了不同傳輸速率與展頻因數間之關係，吾人可以選用 4 至 256 等不同展頻因數，展頻因數愈小，則表示在一個時槽中，包含了更多個資料位元，傳輸速度也愈快。下鏈路之通道展頻架構為單一使用者至多可同時傳送 6 個DPDCH通道，展頻碼分別為 $C_{d,1}$ 至 $C_{d,6}$ ，平均置於I通道與Q通道中，若展頻因數為 4 且使用編碼率(code rate)為 1/3、限制長度(constraint length)為 9 之迴旋碼(convolutional code)編碼器，則每個DPDCH資料傳送速率可達 320 Kbps，在 6 通道平行傳送下，總資料速率達 1920 Kbps。另外，DPCCH置於Q通道傳輸，展頻碼為 $C_c$ ，因為DPCCH傳送重要的控制訊號，為了保護此通道之訊息，吾人必須使用展頻因數 256 以增加其對環境變化之抵抗能力。

## 2.2.2 空一時區塊編碼

空時區塊編碼[9]-[12]是一種把編碼、調變和空間分集結合起來的新興技術，也將成為 B3G 技術中重要的一部分。它是一種傳輸分集(transmit diversity)技術，在不增加傳送能量及系統頻寬之狀態下，對傳送訊號做空一時編碼動作，用以抵抗無線通訊中時變多路徑衰落(time-varying multipath fading)效應，並增加系統之頻寬使用效益。此外，在接收端部分只需增加些許的運算量，且不需回饋任何資訊至傳送端，可以降低系統實現上之複雜度。在本論文中，吾人將經由迴旋編碼器(convolution encoder)、交錯器及 QPSK 符元對應之後的訊號，通過一空-時區塊編碼器(圖 2.7、圖 2.8)，以降低因多路徑衰落所產生之影響。



## 2.2.3 波束形成器與通道資訊

吾人之波束形成器是先由通道資訊，估出入射角的方向(Direction of Arrival, DOA)後，再對入射角方向形成由八根天線形成一組波束，把入射角範圍的訊號全部收下來，由於八根天線所形成的波束頻寬有限，所以吾人一組波束用二根波瓣組成，以入射角為 3dB 的位置。並由多重路徑(multipath)的數目來產生波束的數目。

目前吾人所使用的通道資料是在台北市區實際量測而得的通道，有 LOS (light of sight) (圖 2.9~圖 2.12)和 NLOS (Non light of sight) (圖 2.13~圖 2.17)二種通道，由於是在靜止的情形下量測的通道，所以並不考慮都卜勒效應(Doppler effect)。

## 2.3 下鏈路同步程序

在通訊系統中，同步是相當重要的一環，同步又分為時序同步及頻率補償。時序同步的主要目的為協助接收機找到訊框的正確起始位置，而由於傳送端和接收端頻率振盪器的頻率不同，所以必須要做頻率補償之後，才能對接收訊號做後續的處理動作，否則對於接收端所估測出的資料會造成相當大的錯誤。在本論文中，吾人將分別對時序同步及頻率補償作介紹。

### 2.3.1 時序同步

在下鏈路之時序同步方面，吾人藉由偵測 SCH (Synchronization Channel) 的結構來獲得同步資訊，SCH 使用 64 碼片的展頻碼，安插於每一個時槽之開始位置。所有的基地台在 SCH 時槽中傳送相同的展頻碼，這是為了讓接收端可以輕易地與發射端達到同步的目的，也就是在每一訊框之開始位置安插一段 PN (Pseudo-Noise) 碼，藉以提供吾人正確之訊框起始位置，如此一來，接收機部份可以使用一組匹配濾波器得到周期性出現之峰值，兩峰值間距為 10 ms，相當於 38400 個碼片的長度。此外，因為周圍環境的雜訊、干擾或是發射端與接收端時脈不同步的影響，僅使用匹配濾波器尚不足保證峰值必定出現於訊框之起始點，故吾人在硬體實現上利用 DSP 作碼追蹤單元，不斷鎖定訊框之起始點位置，如此一來，在時序正確之前提下，吾人之解展頻電路方可正常工作無誤。

### 2.3.2 頻率估計與頻率補償

在 W-CDMA 系統因傳送端和接收端頻率振盪器的頻率不同或都卜勒效應

所造成的頻率偏移，使得在接收端會使得訊號的極性會一直改變，進而降低系統效能。在本論文中，吾人利用DPCCH，因為DPCCH中含有已知之引導符元 $A$ ，由於頻率偏移之影響，解展頻後之引導符元中含有頻率偏移項，為頻率偏移，為初始相位。吾人可以利用此符元讓頻率估計器換算出頻率偏移值，首先，將引導符元延遲時間 $T_s$ 後得到 $P_1$ ，取共軛複數與當時之引導符元 $P_2$ 相乘 $T_c$ 為碼片時間， $n$ 為DPCCH之展頻因數。取出相位部分吾人可以發現相位差與頻率差有關，將此相位差除上延遲時間 $T_s$ 之後，可以得到所需之頻率偏移，其推導如下列式子：

$$\begin{aligned}
 P_1^* \cdot P_2 &= A \sum_{i=0}^{n-1} e^{-j[2\pi\Delta f(iT_c - T_s) + \theta_{s1}]} \sum_{m=0}^{n-1} e^{j[2\pi\Delta f(mT_c) + \theta_{s2}]} \\
 &= A e^{j[2\pi\Delta f(T_s)]} \sum_{i=0}^{n-1} e^{-j[2\pi\Delta f(iT_c)]} \sum_{m=0}^{n-1} e^{j[2\pi\Delta f(mT_c)]} \\
 &= A e^{j[2\pi\Delta f(T_s)]} \left| \sum_{i=0}^{n-1} e^{-j[2\pi\Delta f(iT_c)]} \right|^2 \\
 \Delta f &= \frac{\angle(P_1^* \cdot P_2)}{2\pi T_s}
 \end{aligned}$$

## 2.4 空時區塊解碼器與犁耙式接收機

空時區塊解碼器之目的是將經過空時區塊編碼的資料解出來，其解碼後之資料為含有I、Q之符元資料，以送入下一級解調變器之解調用。因為接收到的資料已受到通道效應的影響，因此空時區塊解碼器需要通道估計值幫助，才能讓收到的資料消除通道效應，因為空一時區塊編碼會提供分集式增益，擴大系統效能，所以會有較好的效能來解出正確的資料，以下為空一時

區塊解碼的數學推導：

$$\begin{aligned} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} &= \begin{bmatrix} h_1 s_1 + h_2 s_2 \\ -h_1 s_2^* + h_2 s_1^* \end{bmatrix} + \begin{bmatrix} n_1 \\ n_2 \end{bmatrix} \\ \Rightarrow x &= \begin{bmatrix} x_1 \\ x_2^* \end{bmatrix} = \begin{bmatrix} h_1 & h_2 \\ h_2^* & -h_1^* \end{bmatrix} \begin{bmatrix} s_1 \\ s_2 \end{bmatrix} + \begin{bmatrix} n_1 \\ n_2^* \end{bmatrix} \\ \Rightarrow \begin{bmatrix} \tilde{s}_1 \\ \tilde{s}_2 \end{bmatrix} &= H^H x = (|h_1|^2 + |h_2|^2) \begin{bmatrix} s_1 \\ s_2 \end{bmatrix} + \begin{bmatrix} \tilde{n}_1 \\ \tilde{n}_2 \end{bmatrix} \end{aligned}$$

經過空時區塊解碼器後的資料已經補償了通道效應，所以之後的犁耙式接收機只要單純的把不同 finger 的資料收集結合起來，在設計上只要用幾組暫存器把不同 finger 的資料疊加起來，即是估計的符元資料，在本論文的第四章會有詳細的介紹。



## 2.5 迴旋碼編碼器/解碼器

3GPP 規格書規定使用之通道編碼的方式為迴旋碼編碼及渦輪碼(turbo code)編碼，其中迴旋碼是規定必要使用的通道編碼方式，目前吾人所使用的通道編碼方式是採用迴旋碼編碼，編碼率是 1/3，限制長度(constraint length) 是 7，狀態(state)數目為 64，編碼器及解碼器以 FPGA 實現，由於此架構的狀態數目非常多，在解碼器的電路設計上，必須就硬體架構及解碼速度上求出平衡點，硬體架構可以規劃成使用許多套類似的硬體同時做許多個狀態的運算，使解碼速度加快，也可以只用一套硬體依序處理每個狀態的運算，可以使硬體縮小，但是解碼速度也比較慢。目前吾人採用的方式是由許多套的硬體平行處理不同狀態的運算，才能符合高速下鏈系統所需求的傳輸速度。

## 2.6 混合重送機制簡介

混合重送機制(Hybrid Auto Request, H-ARQ)，H-ARQ 是 ARQ 和 FEC (Forward Error Control)結合的產物，是一種時間分集(time diversity)的技術 [13]-[15]。目前的 ARQ 有選擇重傳(Selective Repeat, SR)和停止等待重傳(Stop and Wait, SW)兩種。前者由於其複雜性和對手機容量的要求較高等原因，因此使用較少；後者機制簡單，對手機容量要求低和通道利用率高等優點，因此使用度較高。H-ARQ 是一種鏈路適應性技術，是 ARQ 和 FEC 相結合的錯誤更正碼。其中分為 H-ARQ-type-I、H-ARQ-type-II 和 H-ARQ-type-III 三種。H-ARQ-type-I 使用 FEC 來處理一些常見的錯誤，而比較少發生的錯誤則由錯誤偵測碼(Error Control Coding, ECC)和 ARQ 完成。在 H-ARQ-type-I 中，重複傳送的封包通常會被丟棄。反之，在 H-ARQ-type-II 中，重複傳送的封包將會被儲存並與該封包的後續封包作 MRC (Maximam Ratio Combine)合併，形成更可靠的封包再發送。H-ARQ-type-III 則是一種可變率(variable rate) ARQ，每次重傳的資訊都是可以使用不同的編碼率的。

## 2.7 小結

在 3G 的系統各種核心技術中的智慧型天線(Smart Antenna)、軟體無線電(Software Defined Radio, SDR)等技術，也將成為 B3G 的核心技術之一，除了分時、分頻和分碼等技術外，還有一種空-時編碼的技術，空-時編碼的技術可用智慧型天線來實現，利用此技術可增加系統的傳輸量及提供了空間分集效益來克服通道衰減等問題。H-ARQ 的自動更正與重傳機制，增加了系

統傳輸的成功率，進一步具體提昇接收機系統之性能，而全系統皆在快速雛型發展平台來實現，更能大幅節省開發設計期間及最終全系統整合驗證測試除錯所需耗費之時間。



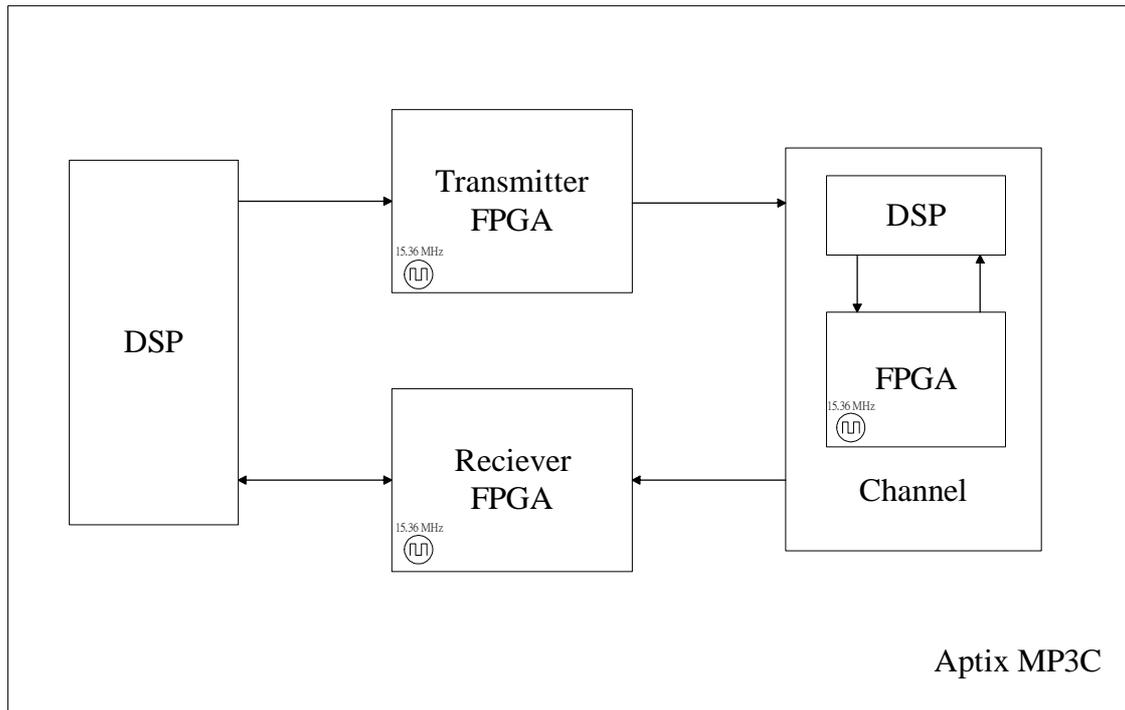


圖 2.1 MISO W-CDMA 高速下鏈硬體架構圖

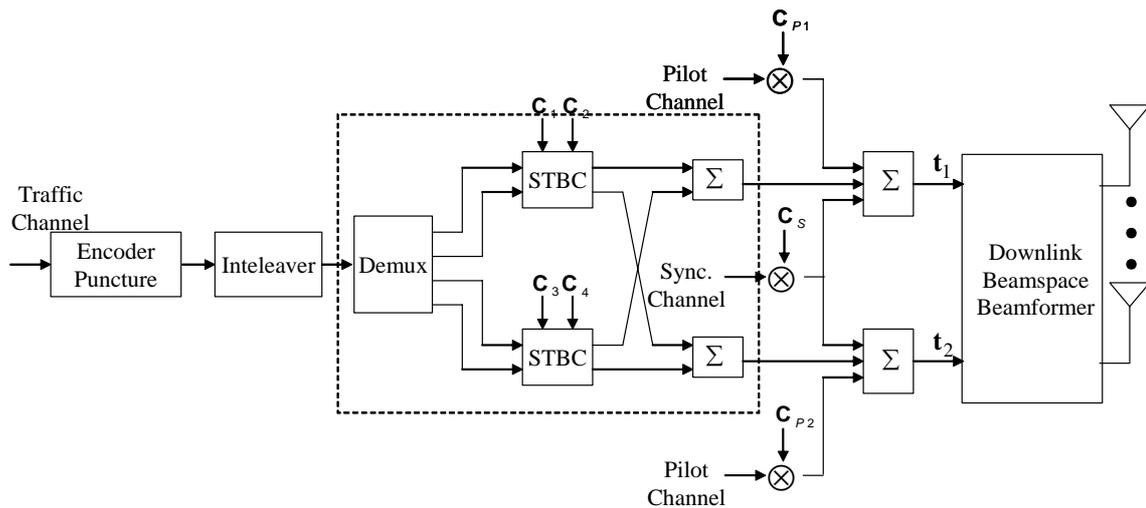


圖 2.2 MISO W-CDMA 高速下鏈基頻發射機之系統方塊圖

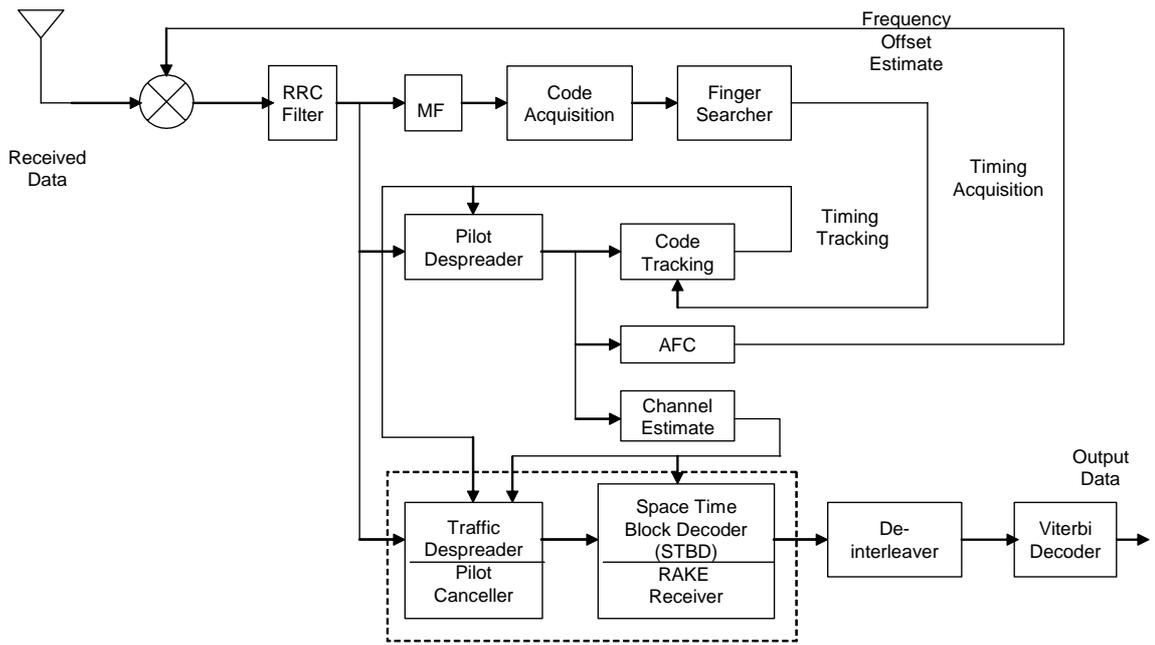


圖 2.3 MISO W-CDMA 高速下鏈基頻接收機之系統方塊圖

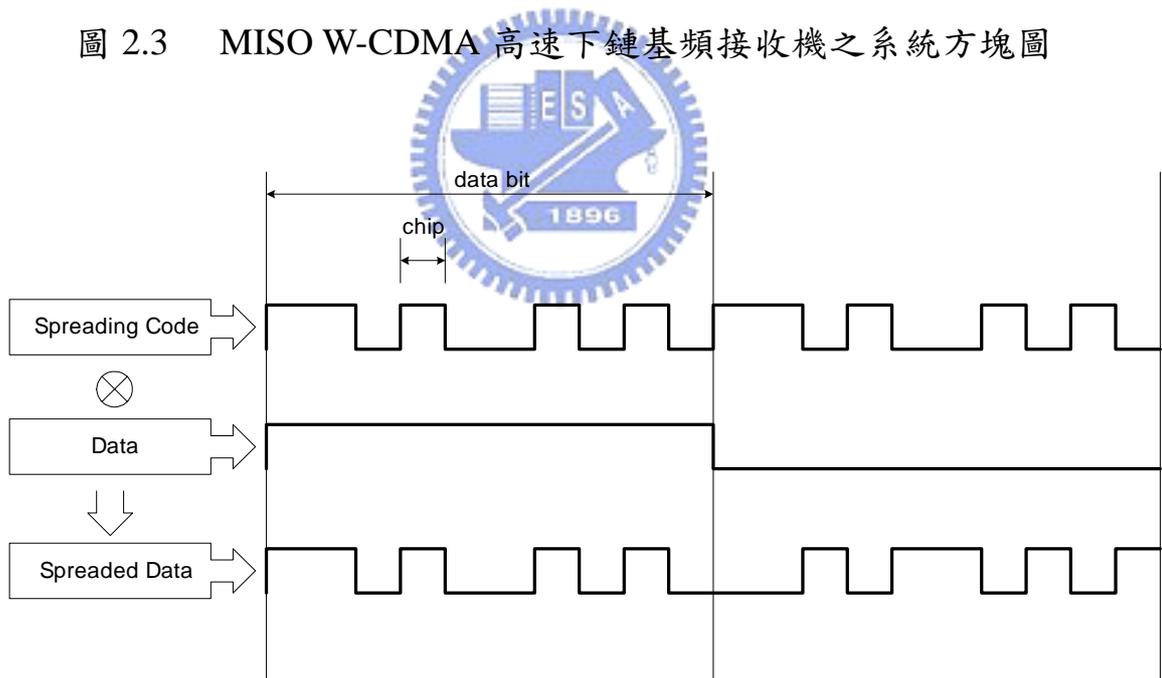


圖 2.4 DS-CDMA 展頻技術示意圖

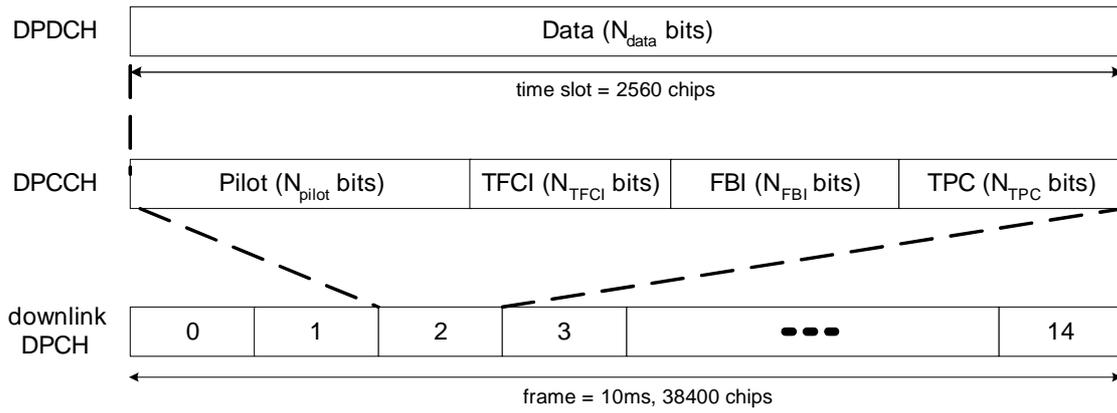


圖 2.5 3GPP 下鏈路 DPCH 訊框與時槽架構圖

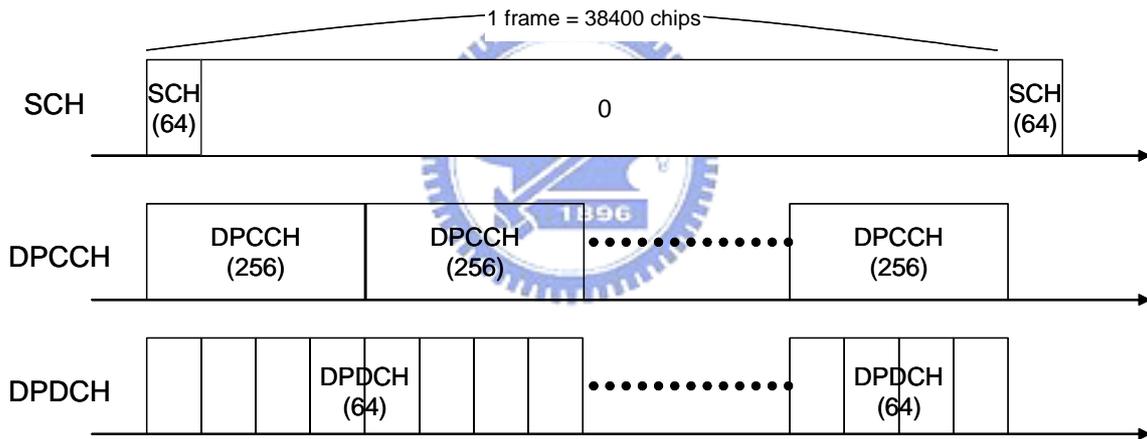


圖 2.6 W-CDMA 下鏈路訊框架構圖

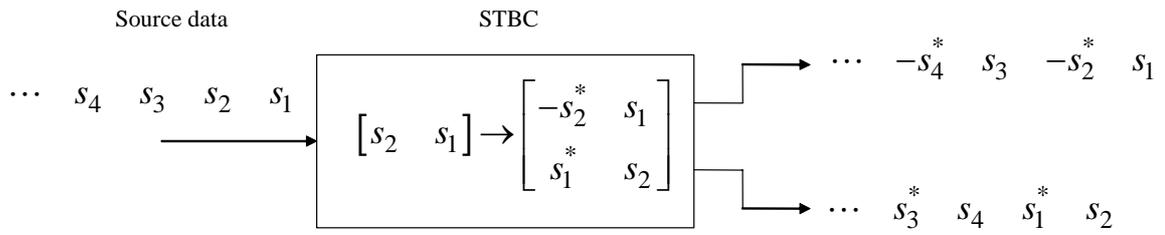


圖 2.7 資料通道之空一時區塊編碼圖(1)

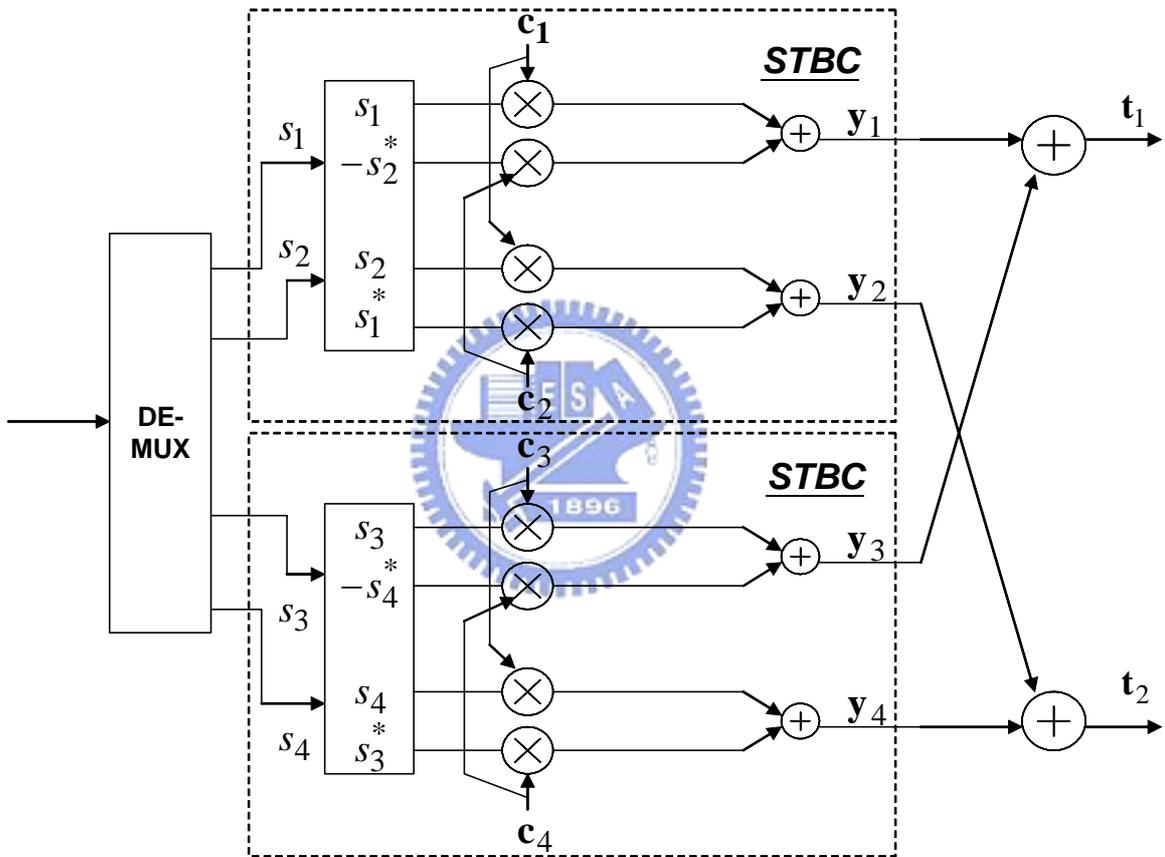


圖 2.8 資料通道之空一時區塊編碼圖(2)

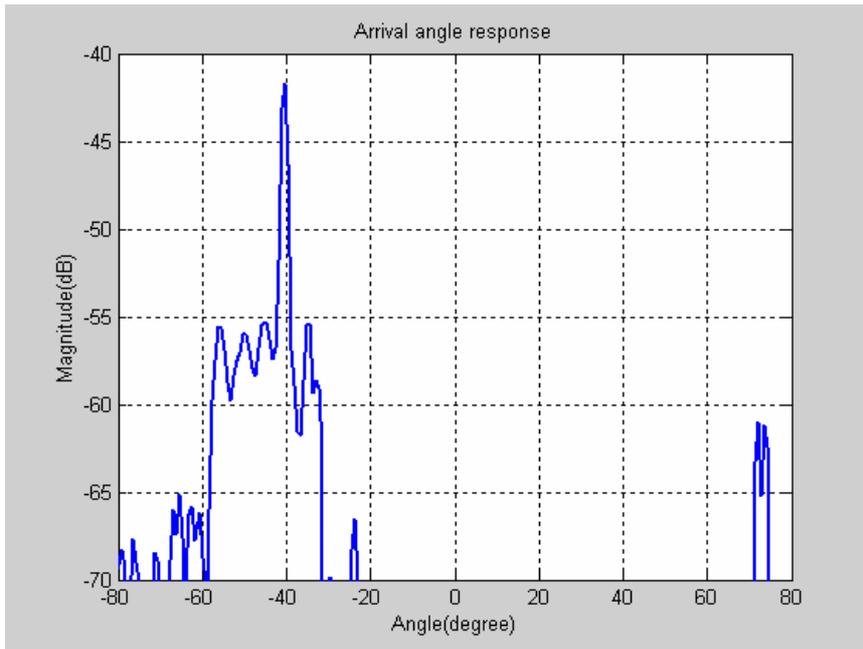


圖 2.9 LOS 之角度響應圖

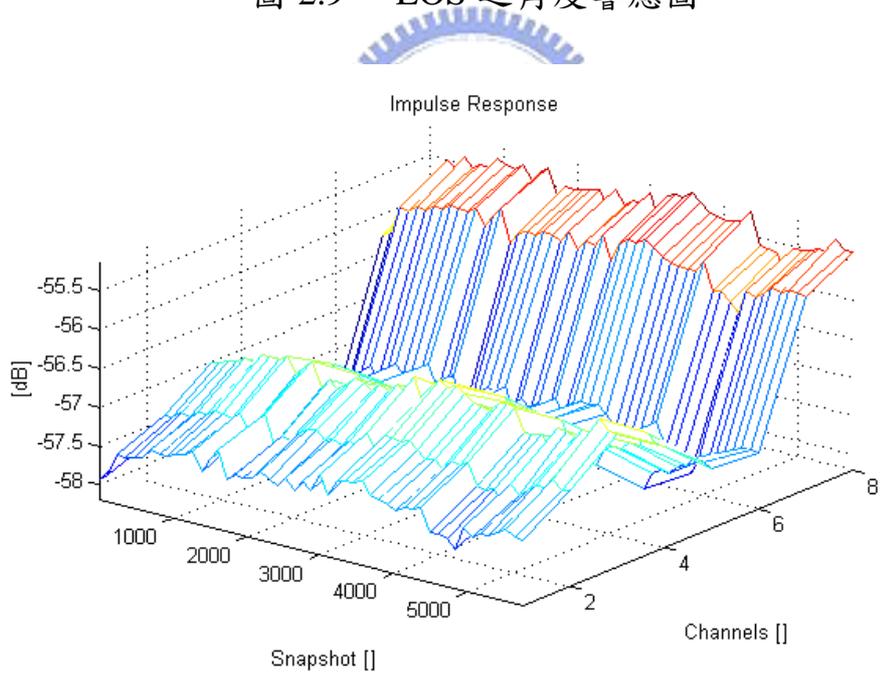


圖 2.10 第一條路徑之脈衝響應圖

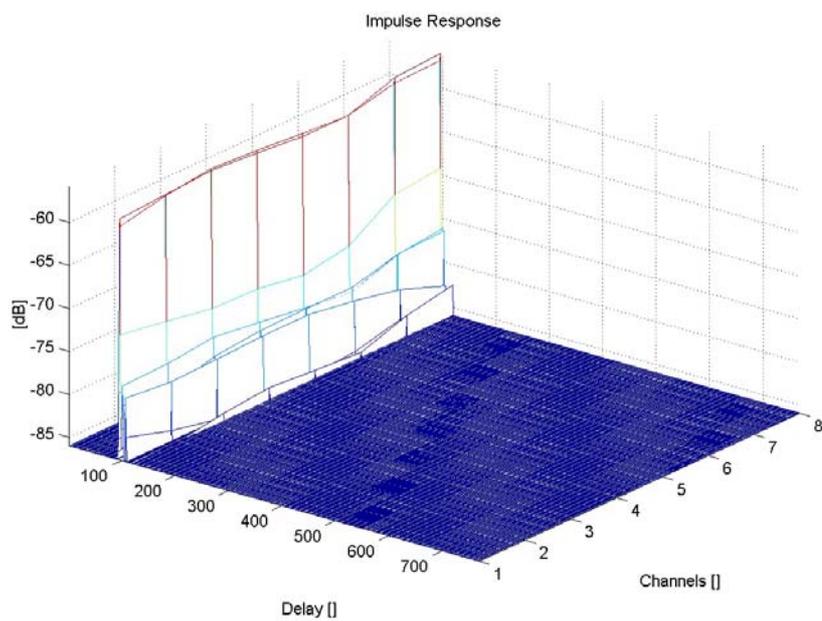


圖 2.11 LOS 之脈衝響應圖(1)

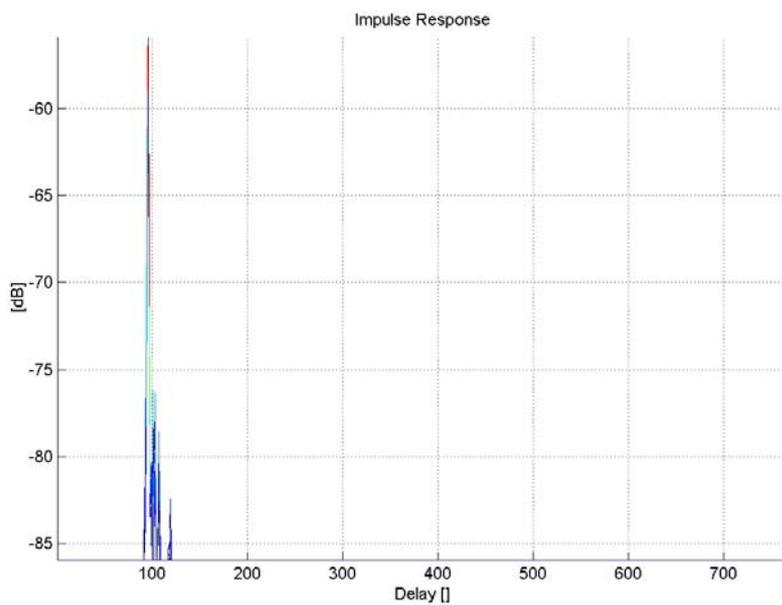


圖 2.12 LOS 之脈衝響應圖(2)

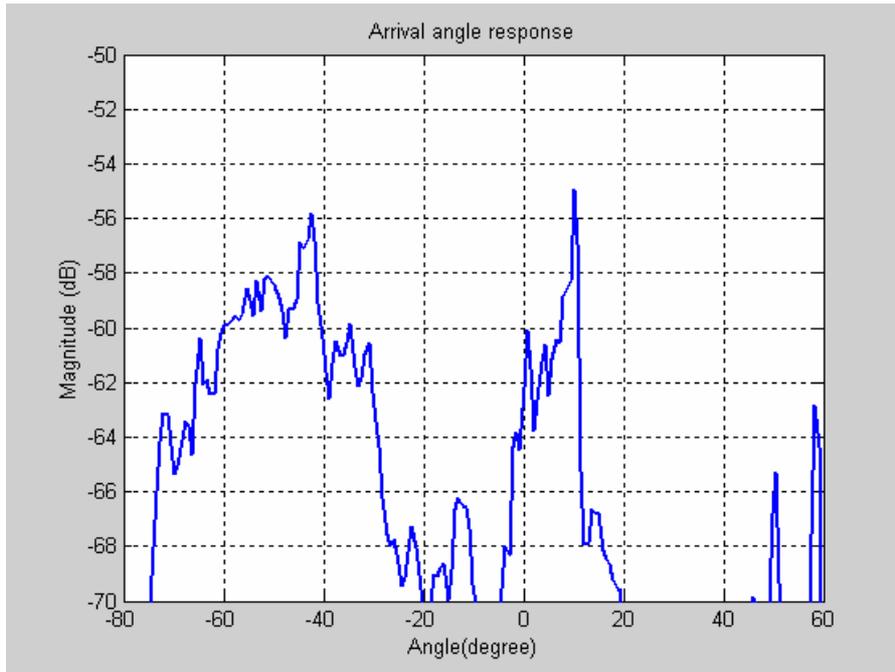


圖 2.13 NLOS 之角度響應圖

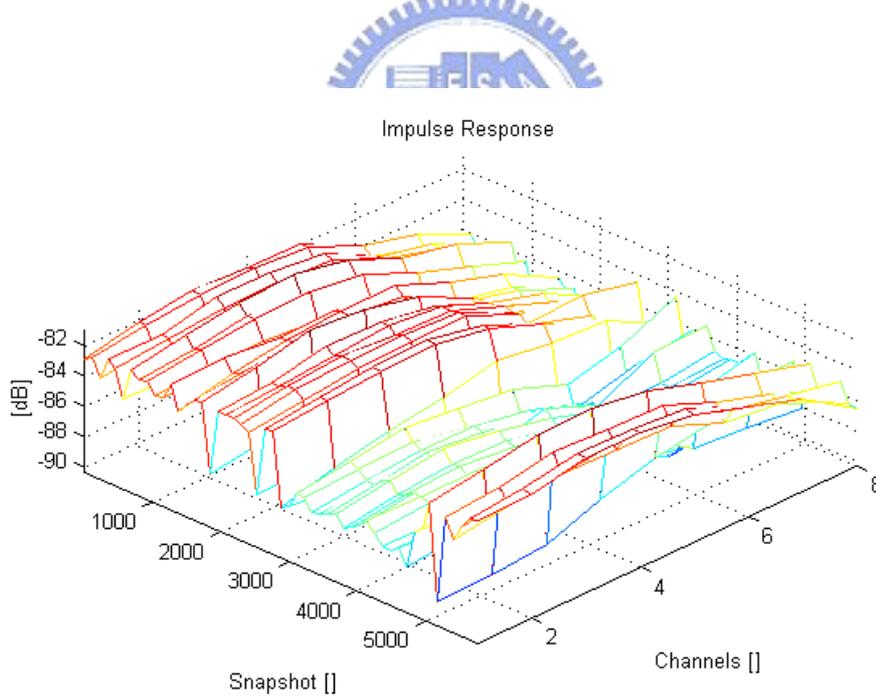


圖 2.14 第一條路徑之脈衝響應圖

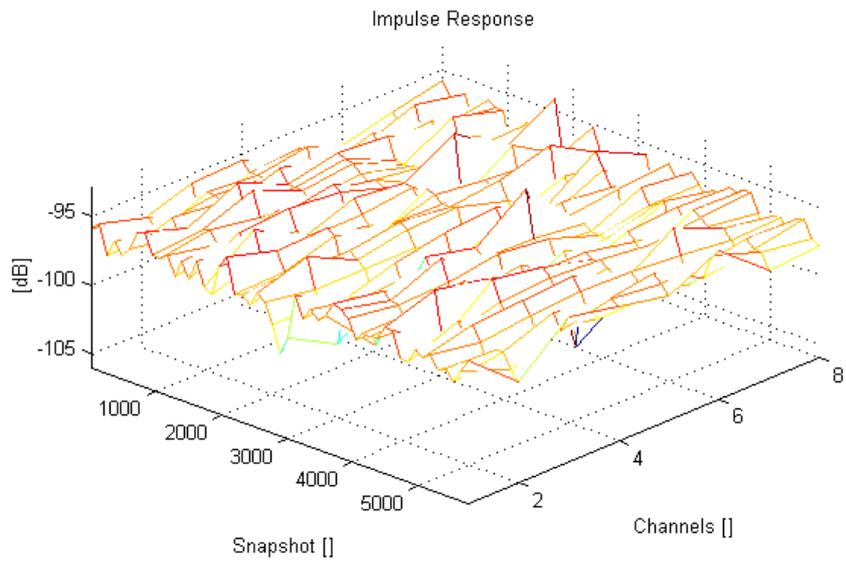


圖 2.15 第二條路徑之脈衝響應圖

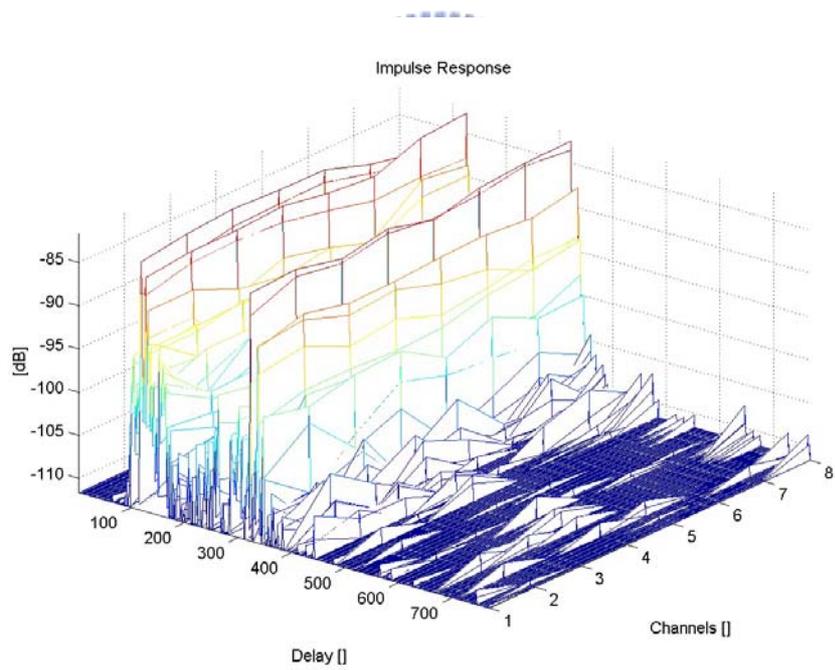


圖 2.16 NLOS 之脈衝響應圖(1)

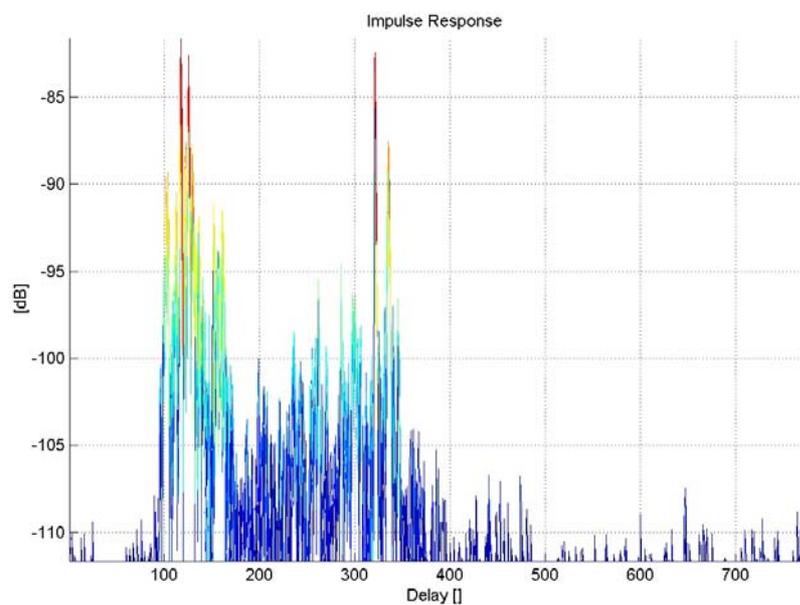


圖 2.17 NLOS 之脈衝響應圖(2)

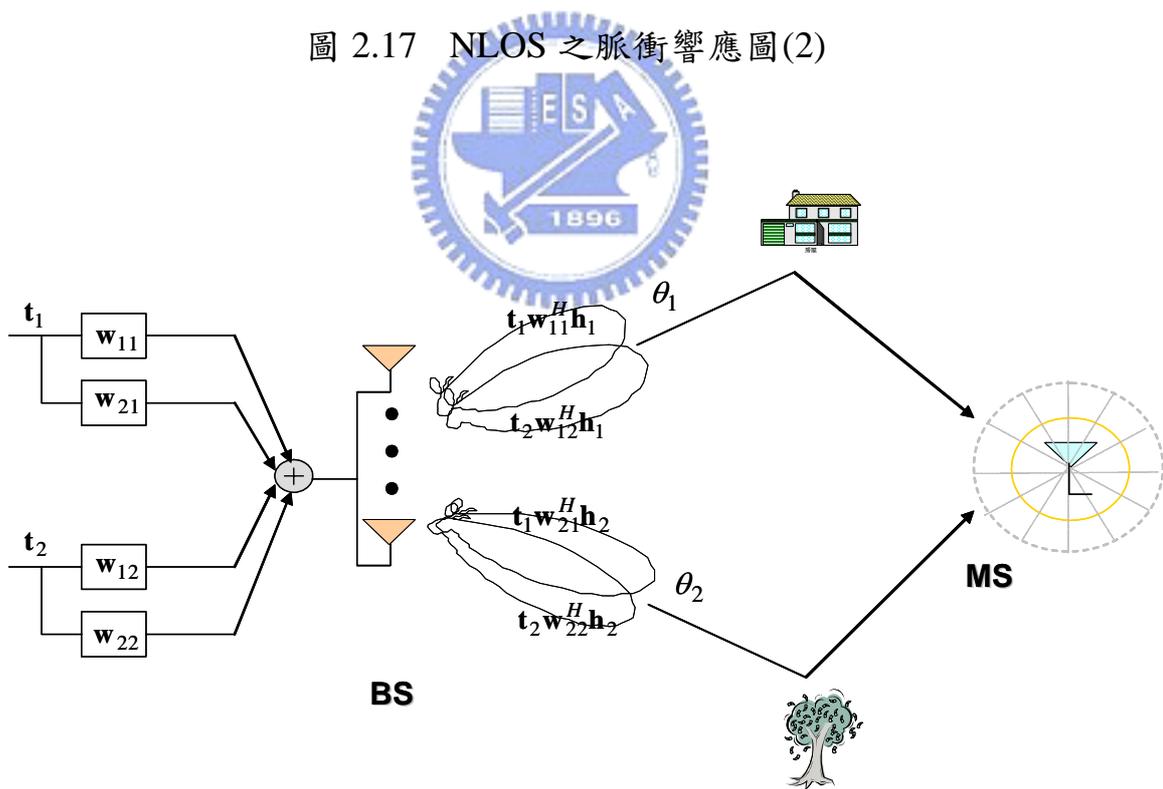


圖 2.18 八根天線之波束形成器示意圖

## 第三章

# 快速雛型發展系統設計流程介紹

### 3.1 Aptix 快速雛型發展平台與 Explorer 軟體

吾人在 MISO W-CDMA 高速下鏈硬體的收發機開發過程中，採用『可程式化設計之快速雛型通訊系統』Aptix MP3C 為發展平台[16]，搭配 Aptix Explorer 軟體和 Agilent 16702B 邏輯分析儀(Logic Analyzer, LA)完成系統架構(圖 3.1)。MP3C(圖 3.2)為一具有高度整合性的發展平台，可搭配多種不同功能之模組，如 FPGA、DSP、ASICs、ARM 微控制器等模組，以便達到快速系統開發的目的；除此之外，只要能符合 MP3C 硬體平台規格，亦可以設計專用的模組應用於此系統，如 MISO W-CDMA 硬體平台中所使用的'C6701 EVM DSP 及 USB 2.0 模組，皆非 Aptix 公司所製作，而是由本實驗室自行開發符合 MP3C 的規格。因此，MP3C 對於複雜的數位系統，亦或利用 FPGA、PLDs 所設計的 ASIC 可以提供完整的系統模擬及驗證環境。

#### 3.1.1 MP3C 系統架構

MP3C 為 Aptix 公司所推出的 MPx 快速雛形發展平台系列產品，其硬體架構主要分為幾個重要的區塊：

1. 微處理機：主要負責管理整個平台的運作及載入 FPGA 檔於系統中。

2. 時脈產生器：提供系統的時脈(Clock)，最多可外接 8 組不同的時脈。
3. FPCB(Field Programmable Circuit Board)：模組可放置的區塊。
4. FPICs(Field programmable Interconnect Components)：管理模組間的繞線。
5. I/O 匯流排：提供 MP3C 與外界溝通的橋樑。

FPCB 為可程式化大型電路板，其中共有 3520 個 freehole，freehole 表示為一根模組可外接的腳位，模組可安插於 freehole 上。MP3C 的 freehole 主要分為三種：

1. 特殊腳位(special pins)：負責模組電壓與系統時脈。
2. 可交換式腳位(swappable pins)：提供模組輸出腳位，其訊號電氣規格為 TTL(Transistor-Transistor Logic)之輸出入位準。
3. 輸出入腳位(I/O pins)：提供 freehole 與 MP3C 外部匯流排之連結。

FPIC 為可程式化繞線晶片，一共有三顆，每顆 FPIC 都有 1024 根 I/O 的腳位，負責 freehole 之間的繞線(圖 3.3)，使得各個模組間可達到雙向溝通的目的。

### 3.1.2 Aptix Explorer 設計流程介紹

Aptix Explorer 軟體為一整合了 MP3C FPCB 和邏輯分析儀(LA)，提供吾人一套快速驗證系統，以達到快速開發及偵錯的目的，以下為系統設計及驗證流程如：

1. 使用 EDA (electronics design automation)工具如 Xilinx Foundation、ModelSim 等軟體，撰寫硬體描述語言，並合成為邏輯電路的描述檔

案，如.xnf 或.edif 檔。

2. 匯入設計檔(import netlist file)：將在 PC 端所編譯好的.edif 檔，上傳至工作站，其中必需要有二種的.edif 檔。一種是 MP3C 各模組間拉線的 top.edif 另一種則是各模組內部行為及連線的 design.edif
3. 匯入 pinmap 檔案(import pinmap file)：pinmap 檔的內容主要是設定在 MP3C 上，各模組腳位的定義與各模組所使用的套件。
4. 設定 FPCB 的參數(setup FPCB parameter)：這個步驟是為當所有的模組都已經匯入定義好後，設定模組的電源線(power)、接地(ground)及 FPGA 的限制(FPGA constraint)及時脈(clock)的腳位
5. 版面配置(board placement)：設定模組在 FPCB 上所放置的位置。
6. 編譯(compile)：此時 Explorer 會幫我們呼叫 Xilinx ISE 的軟體作 FPGA 配置和繞線(place & route)的動作。
7. 探查設定(setup probe)：把欲觀察分析的訊號線拉出。
8. 下載除錯(download & debug)：將程式下載至 MP3C FPCB 平台上之 FPGA 和邏輯分析儀，並利用邏輯分析儀觀察訊號的波形，做為系統驗證及除錯。

## 3.2 FPGA 電路設計流程

### 3.2.1 FPGA 介紹

科技的快速發展，進一步帶動半導體技術之成長。從早期的由數個電晶體及電阻所構成之積體電路，進步到數仟個電晶體的 LSI (large scale

integrated)，再進步到數十萬甚至數百萬電晶體的 VLSI (very large scale integrated)。目前可程式化數位邏輯元件分為可程式邏輯元件(programmable logic device, PLD)和場式可程式閘陣列(field programmable gate array, FPGA)兩大類。其中 FPGA 依其構造可大致分成 3 類：

1. 查表型(look up tables, LUT)：Xilinx, Altera, AT&T
2. 多工器型(multiplexer type, MPX)：Actel, Quicklogic
3. 電晶體陣列型：Cross point

若以規劃架構可分為：

1. SRAM：Xilinx, Altera, AT&T, Atmel
2. Anti-fuse：Actel, Cypress, Quicklogic

其中，SRAM 類型的 FPGA 具有可重複程式化的優點，適合用於實作邏輯設計與功能性驗證。而 Anti-fuse 由於具有一次燒錄(OTP)特性，在保密性上提供較佳保護，但也因此無法重複修改。

與 ASIC (Application Specific Integrated Circuit)相較之下，FPGA 雖具有可程式化之特性及較高的整合度及可適性，但其速度上仍明顯輸於 ASIC。但隨著半導體製程技術的進步，FPGA 不論在性能上和單位面積邏輯閘數目上都有逐漸向 ASIC 逼進之趨勢，且由於近年來多媒體、電子通訊與網路應用市場的蓬勃發展，可程式化和整合性較高的 FPGA 逐漸受到市場的重視。

### 3.2.2 FPGA 電路設計流程

在設計 FPGA 的工具中，吾人採用 Xilinx Foundation 為開發軟體，其中

Xilinx Foundation 所內建的 Core Generator 可產生 Xilinx 公司所提供之內建元件，如記憶體、加法器、乘法器等，可以加速吾人開發的時間，提供了硬體設計的方便性，以下就是 FPGA 電路的設計流程(圖 3.4)：

1. 設計輸入(design entity)：Xilinx Foundation 提供了三種設計的方式為：
  - (1)HDL Editor：輸入硬體描述語言，如 VHDL、Verilog 等
  - (2)Schematic Flow：直接用內建的電路畫出電路之邏輯方塊，這種設計方式較直觀且簡單，且內建許多完整的電路，如多工器、乘法器等，適合較簡單的電路來使用。
  - (3)FSM Flow：使用時態關係圖(state diagram)，軟體會自動合成相對應之邏輯電路，特別適用於控制器(controller)的實現，如記憶體控制器。
2. 合成電路(synthesis circuit)：將設計輸入之行為描述(behavior description)電路轉換成 RTL(Register Transfer Level)電路。
3. 功能模擬(function simulation)：驗證合成的 RTL 的邏輯功能是否正確，在此並未考慮到 FPGA 內部訊號的傳遞延遲(transmit delay)。其驗證的方式可用硬體描述語言撰寫測試平台(test bench)或者是用 Xilinx Foundation 內建的波形模擬器(waveform simulator)來觀察功能是否正確。
4. 電路驗證(implementation)：主要的功能是将 RTL 電路描述編譯成實際電路的佈局，必需經過 Translate、Mapping、Place & Route、Timing 與 Configure 等五個步驟來完成：Translate 是將 Design entity 轉成 FPGA 的格式；Mapping 是將 Translate 後的格式最佳化，再映射成 FPGA 元

件內部的格式；Place & Route 將 Mapping 出的格式作最佳擺設與繞線；Timing 是依照 FPGA 內部元件之特性，估出所有元件的延遲時間；Configure 是將 Place & Route 後元件擺設位置及繞線方式轉換成可燒入 FPGA 格式的檔案。

5. 時序模擬(timing simulation)：考慮實際訊號在邏輯閘間的延遲效應，使得電路行為表現更符合實際的情形，根據吾人所選擇之 FPGA 晶片來加入該特性參數，如長距離繞線之延遲時間，一般而言，時序模擬結果會和實際晶片上之結果相同。
6. MP3C/Aptix Explorer：於 PC 端驗證完所設計的電路後，即可將設計依 3.1.1 節所描述的流程，將設計置於 MP3C 系統進行驗證。

### 3.3 TMS320C6701 DSP 簡介



在數位時代的來臨，通訊技術及 DSP 的發展迅速，在通訊系統中 DSP 已成為已成為不可或缺的工具，主要是因為其程式開發容易且易於實現複雜度較高之演算法，以達到即時訊號處理的目的。目前吾人所使用的 DSPEVM 模組之核心處理器是由德州儀器公司所出的 TMS320C6701 DSP[17]-[21]，透過此模組吾人將與 FPGA 分工處理，以實現 MISO W-CDMA 高速下鏈硬體電路。在本章中，吾人將介紹此 DSP 之結構、記憶體及周邊元件等三部分。

#### 3.3.1 TMS320C6701 DSP CPU 結構

TMS320C6701 DSP 為一顆浮點數運算(float point)的數位訊號處理器，採

用 VelociTI VLIW(Very Long Instruction Word)CPU 架構之浮點數運算器。內建有 8 組功能單元(function unit)及 2 組暫存器(register)，其功能介紹如下(圖 3.5、圖 3.6)：

1. .M 單元：乘法器，提供兩個 16-bit 變數相乘，其輸出為 32-bit。
2. .L 單元：加法器，提供變數之加、減法，和邏輯運算功能，如 AND、OR 和 XOR。
3. .S 單元：提供位元移位(bit shift)及分枝程式碼執行(branch)之功能。
4. .D 單元：負責資料在記憶體與一般暫存器間之存取，提供線性定址(linear-addressing)和環狀定址(circular-addressing)模式。

一般暫存器主要是提供功能單元暫存變數空間，.M1、.L1、.S1 及.D1 共用一般暫存器 A 之空間，.M2、.L2、.S2 及.D2 則共用一般暫存器 B 之空間。

### 3.3.2 TMS320C6701 DSP 記憶體分配

‘C6701 DSP 使用 32 位元之位址線，理論上可定址至 4G Bytes 之記憶體，其規劃如圖 3.7，包含了大小皆為 64k bytes 的內部程式記憶體(internal program memory)及內部資料記憶體(internal data memory)，‘C6701 對內部程式記憶體之使用提供二種方法，一是映射模式(mapped mode)，另一種為快取模式(cache mode)，由程式記憶體控制器(Program Memory Controller, PMEMC)來決定何種操作模式，以下為此二種模式之討論：

1. 映射模式：吾人可定義兩個記憶體區塊為程式記憶體，當定義成 Map 0 時，從 0x01400000h 至 0x0140FFFFh 為程式記憶體，而定義成 Map 1 時，從 0x00000000h 至 0x0000FFFFh 為程式記憶體。CPU 和 DMA

(Direct Memory Access Controller)皆可存取程式記憶體的位址，但 CPU 和 DMA 要同時存取同一位址時，DMA 需等待 CPU 完成後方可取得控制權。

2. 快取模式：吾人定義所有的程式記憶體為快取記憶體，CPU 可利用 256 位元之快取線(cache line)存取程式碼，相當於 8 個 32 位元的指令，但在快取模式下，DMA 無法存取此區塊的資料。

‘C6701 DSP 的內部資料記憶體分為兩大區塊，而每一區塊又再細分為八個槽。記憶體區塊的分配是由一資料記憶體控制器(Data Memory Controller, DMEMC)來控制，只要不同時存取同一位址資料時，CPU 內的暫存器 A、暫存器 B 與 DMA 可以同時存取資料記憶體，而不降低 CPU 的效能。

### 3.3.3 TMS320C6701 DSP 週邊元件



‘C6701 DSP 的基本週邊包含了共處理器存取介面(host-port interface, HPI)、中斷選擇器(interrupt selector)、直接記憶體控制器及外部記憶體介面(external memory interface, EMIF 圖 3.8)等，其討論如下：

1. 共處理器存取介面：提供其它微處理器存取介面，透過 DMA/EDMA 控制器連結至 CPU 記憶體，以存取 CPU 記憶體中的資料和利用記憶體映射方式之週邊元件。CPU 和 HPI 兩者皆可存取 HPIC (HPI controller register)，而 HPI 還可利用外部資料和介面控制訊號存取 HPIA (HPI address register)及 HPID (HPI data register)。
2. 中斷選擇器：中斷選擇之目的為系統透過中斷訊號的機制，安排 DSP

與非同步元件工作之先後順序，以完成 DSP 與外界非同步元件之連線。TMS320C6701 CPU 有三種中斷模式，重置(reset)、非屏蔽中斷(Nonmaskable Interrupt, NMI)與、可屏蔽中斷(maskable interrupt)。重置具有最高的優先權，是用來將系統設定成某已知狀態，假如系統偵測到重置訊號時，系統會中斷 CPU 運算並回到設定的狀態；NMI 擁有次高的優先權，其使用在某硬體突然發生問題時，對 CPU 發出警告之中斷訊號；可屏蔽中斷訊號的優先權是最低的，其包含 INT4 至 INT15，IN4-INT7 為 DSP 與外界之中斷訊號，INT8-IN15 為 DSP 內部之中斷訊號，INT4-INT15 之優先權為 INT4 最高而 INT15 最低。欲啟動可屏蔽中斷服務，需滿足以下三個狀態：

- (1) 在控制狀態暫存器(Control State Register, CSR)中，宇中斷致能(Global Interrupt Enable, GIE)位元設定為 1。
  - (2) 在中斷致能暫存器(Interrupt Enable Register, IER)中，NMI 致能(NMI Enable, NMIE)位元設定為 1。
  - (3) 在 IER 中，將欲啟動可屏蔽中斷訊號相對應之中斷致能(Interrupt Enable, IE)設定為 1。
3. 直接記憶體控制器：在 CPU 運算的同時，DMA 控制器可以在背景作業中持續在記憶體中搬移資料的動作，而不需要中斷 CPU 的運算，使得 DSP 的效能大幅提昇，但需適當規畫 CPU 和 DMA 控制器之時程安排(scheduling)以避免資料在存取時發生碰撞的情形。DMA 控制器包含四組獨立的可編排程序通道(programmable channel)供 DMA 使用，和一組輔助通道(auxiliary channel)供 HPI 之 Host CPU 存取記憶體

時使用。

4. 外部記憶體介面：EMIF 主要的目的在提供各種控制介面，使 DSP 之外部記憶體可連接各種記憶體元件。記憶體元件包含同步靜態記憶體 (Synchronous Burst Static Random Access Memory, SBSRAM)、同步動態記憶體 (Synchronous Dynamic Random Access Memory, SDRAM)、以及非同步元件如非同步靜態記憶體 (Asynchronous SRAM, ASRAM)、先進先出元件 (First In First Out, FIFO) 與唯讀記憶體 (Read Only Memory, ROM) 等。EMIF 負責管理 DSP 之四個外部記憶體，分別為 CE0、CE1、CE2 以及 CE3，其支援的記憶體種類如表 3.1，除了 ROM 只能使用於 CE1，以及 SDRAM 只能使用在 CE0、CE2 與 CE3 外，每一個外部記憶體均能使用其他記憶體元件。另外，內部程式記憶體、資料記憶體與直接記憶體存取 (Direct Memory Access, DMA) 皆可透過 EMIF 存取外部記憶體資料。

### 3.4 ‘C6701 DSP EVM 模組簡介

吾人在 MISO W-CDMA 高速下鏈收發機硬體架構中，使用由德州儀器 (Texas Instruments, TI) 所開發 TMS320C6701 DSP 之 DSP EVM 模組(圖 3.9)，其工作頻率為 132 MHz，且運算速度可達 1056 Mflops。吾人透過一轉接卡(圖 3.10)，連接於 Aptix MP3C 平台上，達到系統整合模組之目的。在資料傳輸方面，則利用 32 位元之非同步資料匯流排及四組中斷訊號和 FPGA 做資料傳輸；另外，在開發環境上，以 PC 做為開發平台，搭配 Co composer’s CCS 之

軟體，編譯演算法並透過 IEEE 1149.1 JTAG (Joint Testing Action Group) 介面載入 EVM 模組執行。

### 3.4.1 ‘C6701 DSP EVM 模組架構

‘C6701 EVM 模組架構圖如圖 3.11 所示，主要包括 TMS320C6701 DSP、快閃記憶體、SBSRAM、UART、JTAG 與其他介面電路，說明如下：

1. 快閃記憶體：可重複寫入資料之非揮發性記憶體，容量 128 Kbytes。當應用程式在開發階段確定時，可將程式執行碼寫入快閃記憶體中。‘C6701 EVM 模組在重開機或按下重置鍵時，DSP 會自動由快閃記憶體中讀取程式碼，並下載到程式記憶體中執行。快閃記憶體另外的功能是儲存系統參數與數學函數。
2. SBSRAM：快速靜態記憶體，容量為 512 Kbytes，速度最高可達 132 MHz，與 DSP 工作同速。當 DSP 元件設定模式為 MAP0 時，SBSRAM 為程式記憶體；設定模式為 MAP1 時，SBSRAM 當作一般記憶體使用。
3. UART：UART 為串列資料傳輸的一種規約。PC 可以透過 RS232 與 C6701 EVM 模組連接，進行資料傳輸。
4. JTAG：符合 IEEE 1149.1 標準，連接於 RS232 傳輸線與 C6701 EVM 模組之間，具有重置的功能。
5. 其他介面電路：6701 EVM 模組置於 MP3C 硬體平台上，可以透過介面電路與其他模組作資料連結。

### 3.4.2 ‘C6701 DSP EVM 與 FPGA 之連結

‘C6701 DSP EVM 模組與 FPGA 相連結時(圖 3.12)，由於工作頻率的不同，需設計一機制使 FPGA 和 DSP 能正確地接收或傳送資料。在 FPGA 端，透過中斷訊號 EXTINT0/1/2/3 相對應至 DSP 之 INT4-INT7，而 DSP 端則透過四塊前端處理模組(board 1 ~ board 4)對應至 EMIF CE3 之記憶體區段。

DSP 與 FPGA 之接收與傳送資料程序如下：

1. 當 FPGA 端欲傳送資料至 DSP 端時，傳送 EXTINT0/1/2/3 中斷訊號至 DSP
2. DSP 進入相對應之中斷程式，接收資料並同時執行運算。其接收資料之時序如圖 3.13 所示，當 STRBN0/1/2/3 於下緣觸發且 RD/WR0/1/2/3 為高準位時，前端模組進入讀出狀態，將 FPGA 寫入匯流排的資料存入相對應 DSP 之記憶體位址。
3. 待 DSP 執行結束，將資料傳回至 FPGA。其傳送資料之時序如圖 3.14 所示，當 STRBN0/1/2/3 於下緣觸發且 RD/WR0/1/2/3 為低準位時，前端模組進入寫入狀態，將相對應 DSP 之記憶體中的資料寫入匯流排，由 FPGA 讀取。

‘C6701 DSP 時序圖之相關參數如下：

1. tclk：DSP 之 clock 周期，因 DSP 工作頻率為 132 MHz，故  $tclk=1/132$  MHz。
2. t1：位址線準備完成至 STRBN0/1/2/3 下緣觸發之時間。
3. t2：STRBN0/1/2/3 訊號低準位持續之時間。

4. t3：STRBN0/1/2/3 下緣觸發至資料匯流排準備完成之時間。
5. t4：資料匯流排中資料之有效時間。
6. t5：Ready 訊號至 DSP 認知之時間。

### 3.5 USB 2.0 模組簡介

USB 2.0 模組採用 CYPRESS CY7C68013 晶片(圖 3.15、圖 3.16)，其中內含一顆 24 MHz 的 8051 與 4 Kbytes 的 FIFO，所能達到的最高資料傳輸率為 480 Mb/s，其中 FIFO 提供 USB 2.0 模組與 C6701 EVM 模組之連接介面。圖 3.17 為 USB 2.0 模組之系統架構圖，USB 2.0 模組透過 Aptix MP3C 與 C6701 EVM 模組連結，可將 PC 傳入 USB FIFO 內的資料再傳給 DSP；USB 2.0 模組亦可接收 DSP 資料後，再傳回 PC 上。USB 與 FPGA 的溝通是透過 DSP 模組當緩衝(buffer)，而不直接與 USB 2.0 模組溝通。

USB 支援四種傳輸型態，說明如下：

1. 多量(Bulk)：保證資料傳輸正確，但是傳遞時間不確定。通常使用在突發資料(burst data)，如 PC 傳送列印資料給印表機(printer)。
2. 等時性(Isochronous)：保證傳遞時間，但不保證接收資料之正確性。通常使用傳輸影像(image)與聲音(voice)檔的時候。
3. 控制(Control)：用於列舉(enumeration)與裝置(device)之控制。
4. 中斷(Interrupt)：用於可預期的詢問(poll)時間，如滑鼠(mouse)的使用。

USB 2.0 模組與 C6701 EVM 模組之連接，可將圖 3.12 的 Board 1 視為 USB 2.0 模組，因為兩個模組是透過一組 I/O 完成連接的，其中不一樣的是 USB2.0

模組之資料匯流排為 16 位元，而 C6701 EVM 模組的為 32 位元，因此需將 C6701 EVM 模組的資料匯流排由最低有效位元(Least Significant Bit, LSB)數起 16 位元，指定給 USB2.0 模組之資料匯流排，才能完成資料傳輸。

PC 為 USB 2.0 模組之開發平台，並需要介面卡與開發軟體，才能透過 USB 連接埠與模組連結。吾人使用介面卡為 NEC 控制晶片之 PCI 介面卡，而開發軟體為 EZ USB Control Panel (圖 3.18)。吾人操作 EZ USB Control Panel，可控制 PC 與 USB2.0 模組間檔案的傳送與接收，其中 PC 將檔案傳送到 USB 2.0 模組是透過 endpoint 2 的管道(pipe)傳遞，而 PC 從 USB 2.0 模組接收檔案則使用 endpoint 6 之管道，兩個管道皆使用 Bulk 之傳輸型態。

### 3.6 FPGA 與 DSP 電路設計技巧

吾人在硬體設計過程中，有許多地方都是需要長時間的嘗試及經驗累積才能得到結果，因此從設計電路的過程，吾人歸納出一些心得及經驗：

#### 1. FPGA 設計心得：

- (1)FPGA 的設計通常都是由許多小的電路來組成一個完整的收發機電路，所以可先驗證所設計的小電路功能是否正確，再進階的組合起來。由每個部份的組合中，驗證其輸入輸出是否合理，並且善用 LA 來作除錯的工作，如此發生錯誤時，比較容易找到錯誤的地方且快速修正，以節省系統開發的時間，使其更有效率。
- (2)乘法器的使用會佔用大量的硬體面積和降低執行的效能，所以盡量避開乘法器的使用，如展頻所需的乘法器改用多工器取代。如果乘

法器的使用是無法避免時，應降低位元數來使用，否則所佔用硬體的面積會隨著位元數增加而呈平方增加。

(3) 設計時多利用參數化和模組化的設計，以期能迅速調整電路的架構及系統的擴充性。如此就不用重覆撰寫 HDL 語言，可減少錯誤的發生。

## 2. DSP 設計心得：

(1) DSP 的運算時間會依不同的資料型態而異，又以整數型態的運算速度最快。所以從 FPGA 收到的資料盡量用整數型態來儲存運算，以縮短運算的時間。

(2) 區塊間的相關性與平行處理具有高度的相關性，由於 DSP 之 CPU 內含兩個乘法器，若無相關性的兩個乘法平行使用 CPU 內的乘法器，則可在同一個時脈時間內完成動作。但若區塊相關性很高的話則會造成運算時間的延遲，所以遇到此情形的區塊應盡量使用 FPGA 完成之。

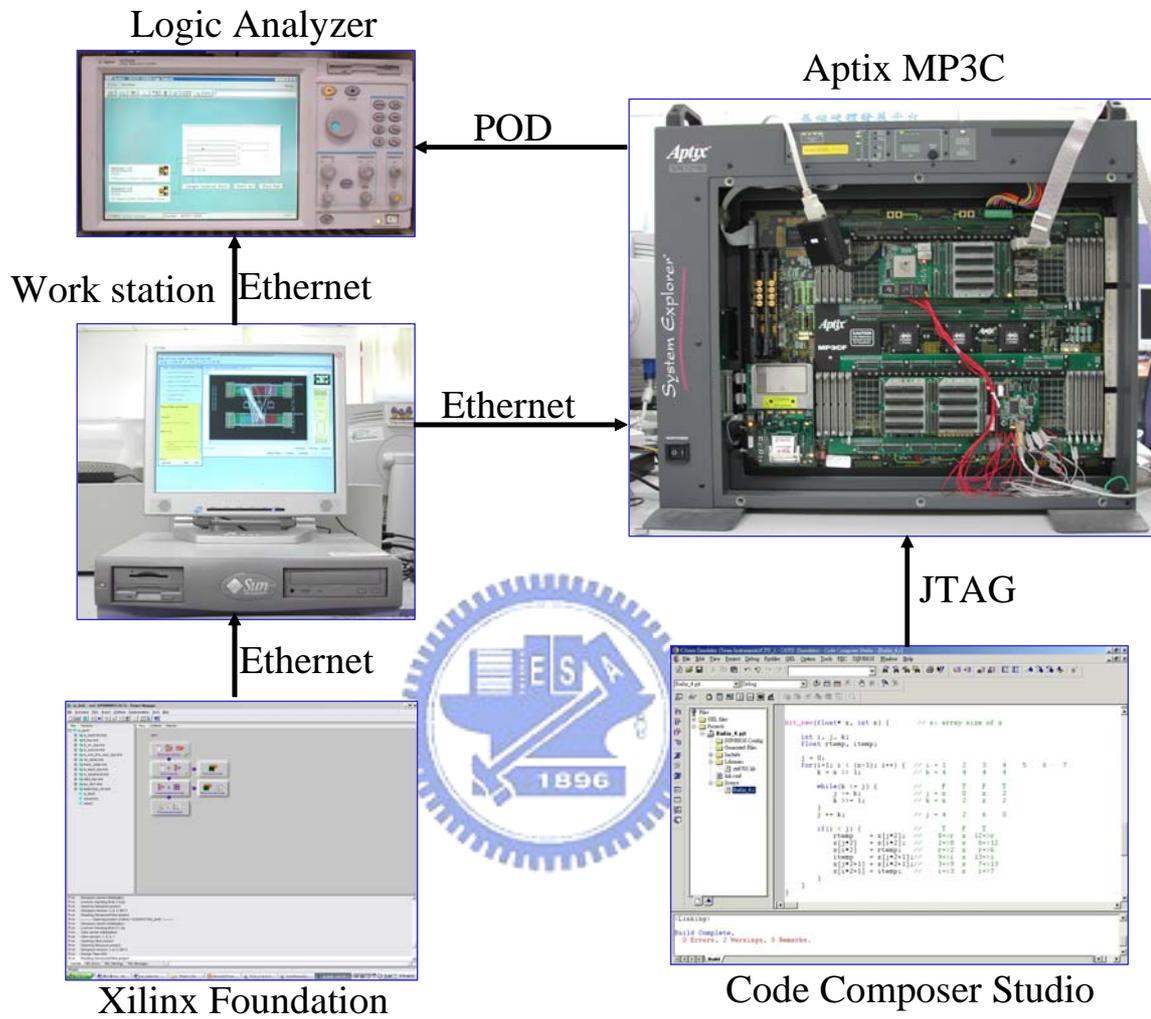


圖 3.1 快速雛型發展系統硬體連線示意圖

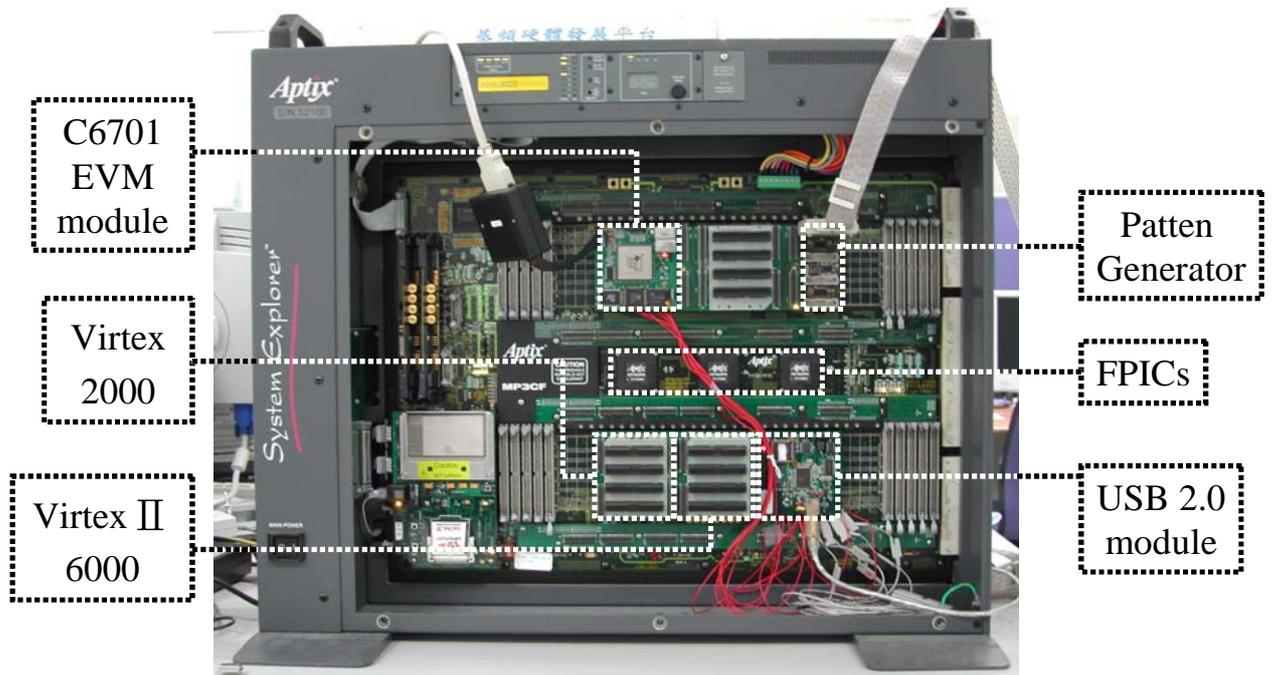


圖 3.2 Aptix System Explorer MP3C 實體圖

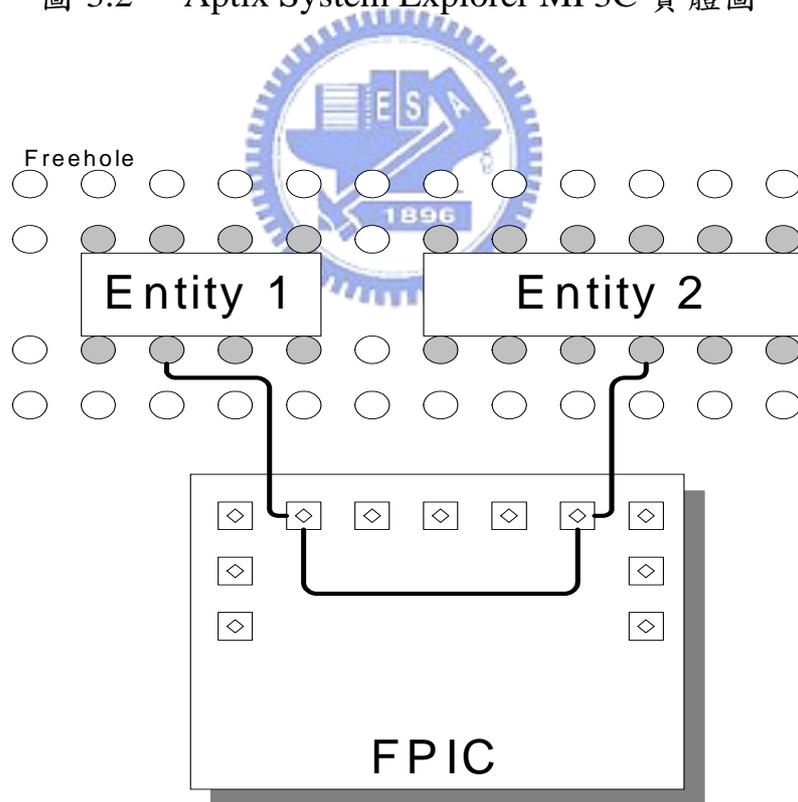


圖 3.3 MP3C FPIC 繞線示意圖

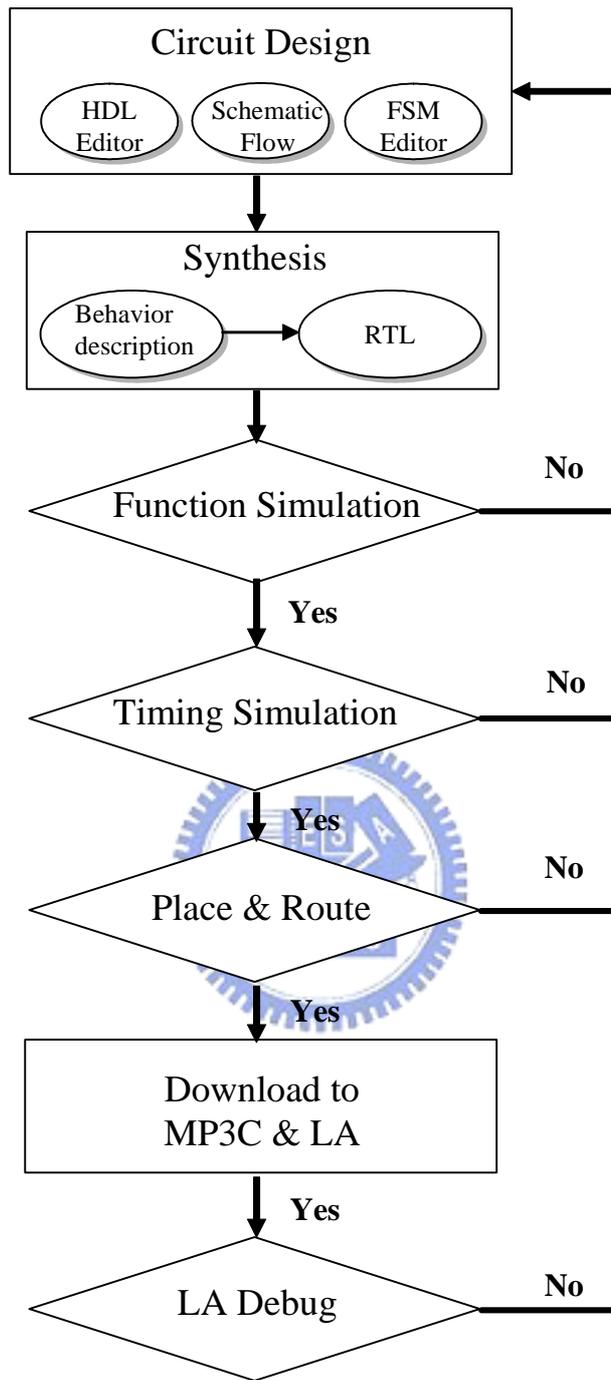


圖 3.4 MISO W-CDMA 系統硬體平台驗證流程圖

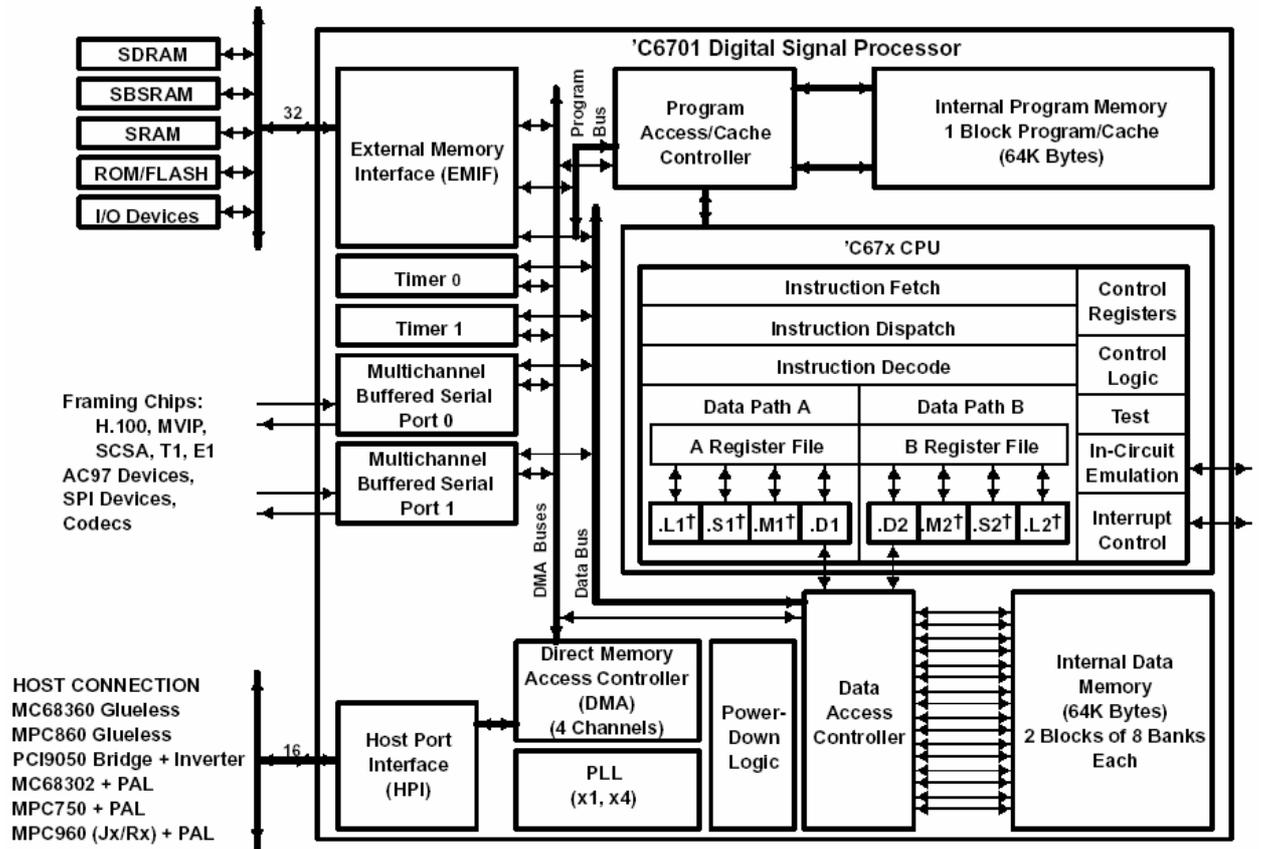


圖 3.5 TMS320C6701 DSP 系統架構圖

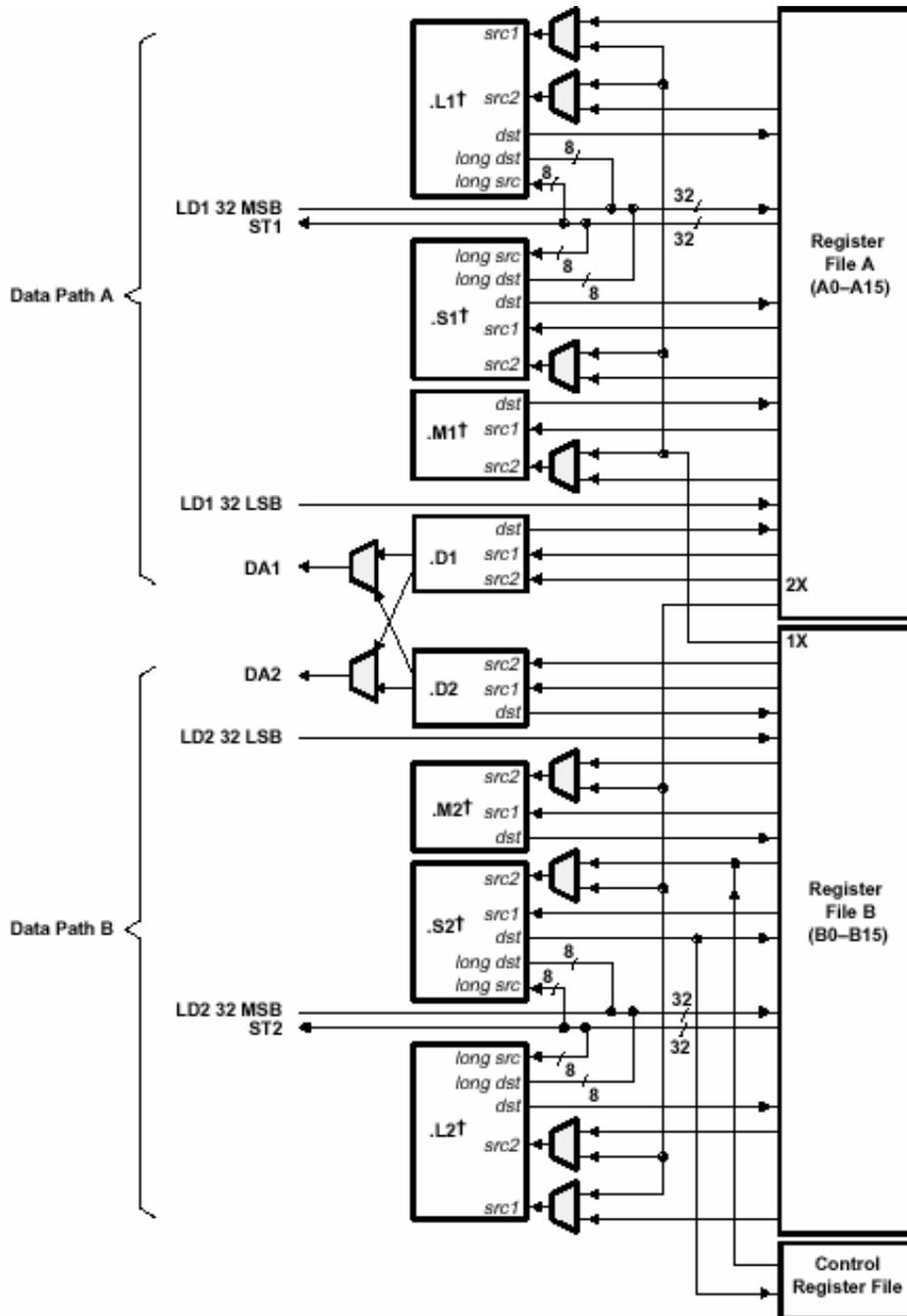


圖 3.6 TMS320C6701 DSP CPU 架構圖

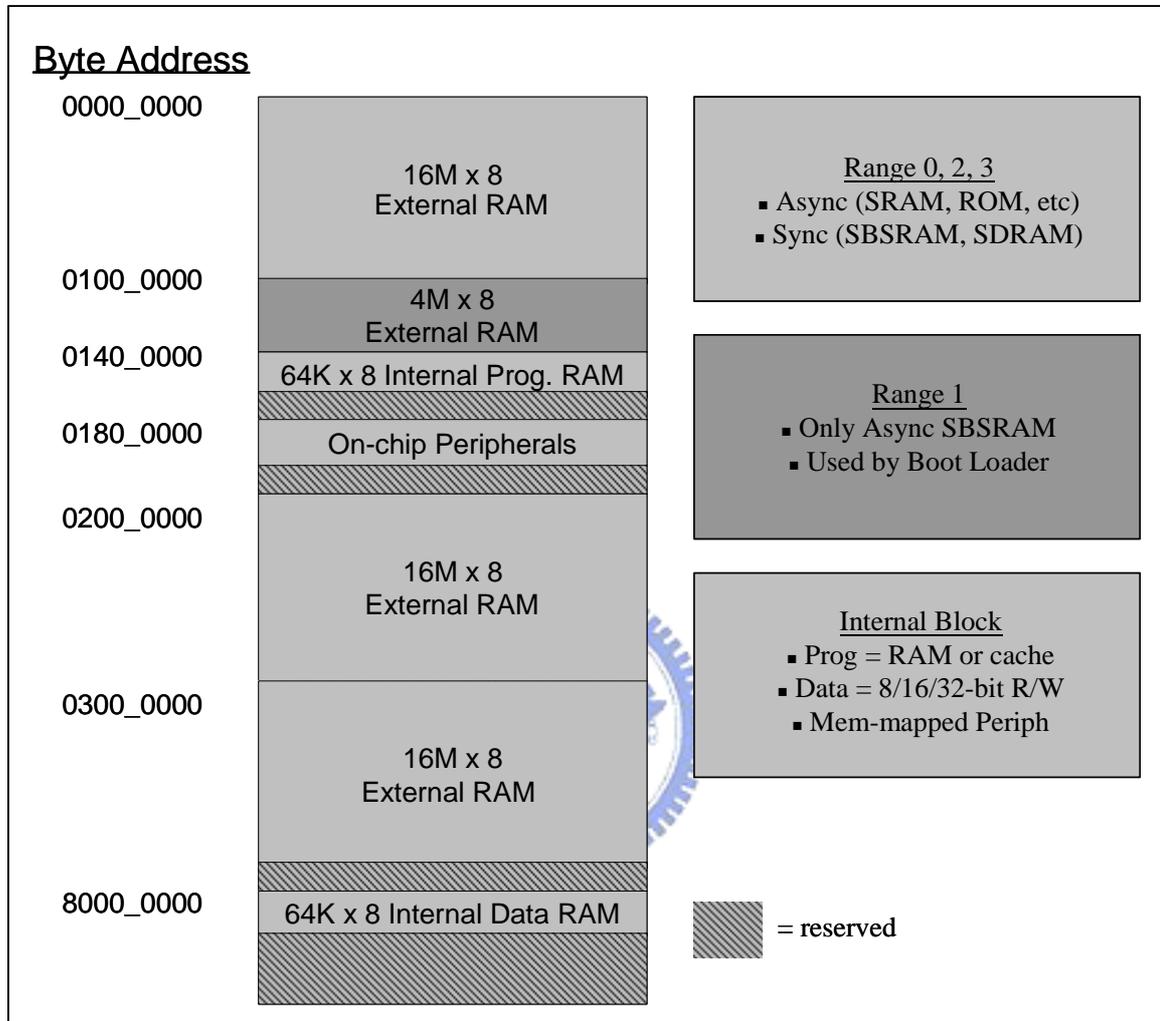


圖 3.7 TMS320C6701 DSP 記憶體映射圖

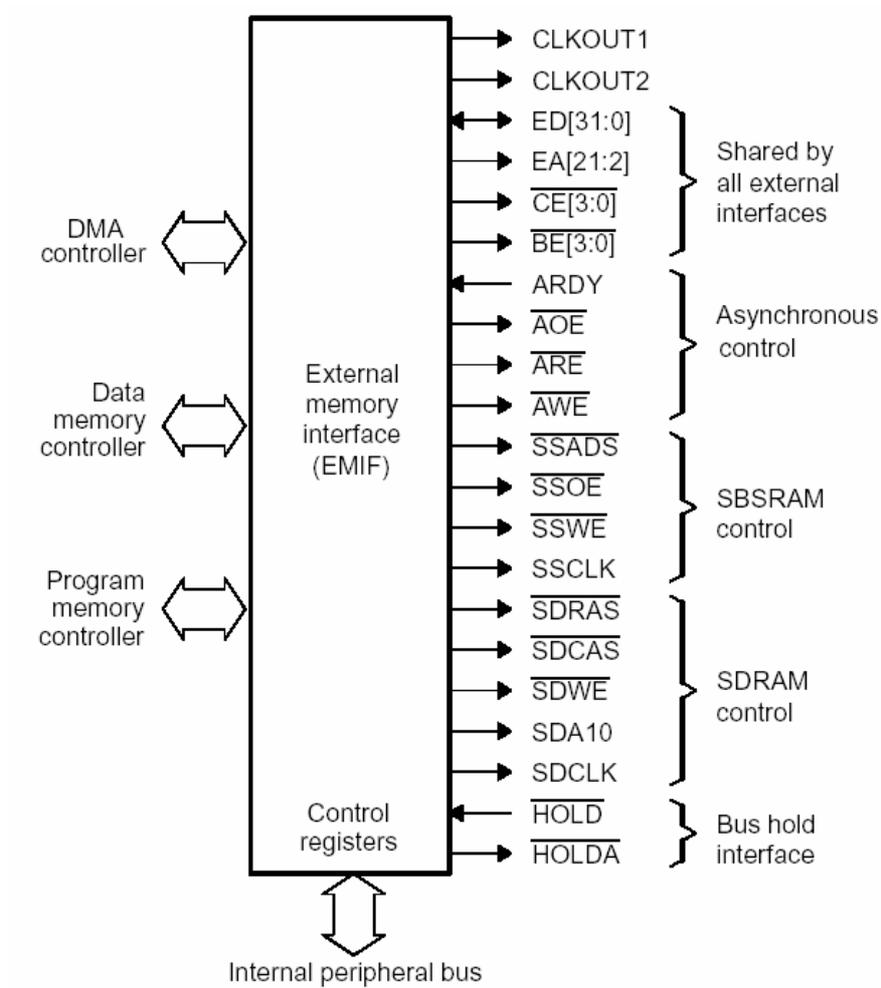


圖 3.8 TMS320C6701 DSP 外部記憶體(EMIF)介面連線圖



圖 3.9 'C6701 DSP EVM 模組實體圖

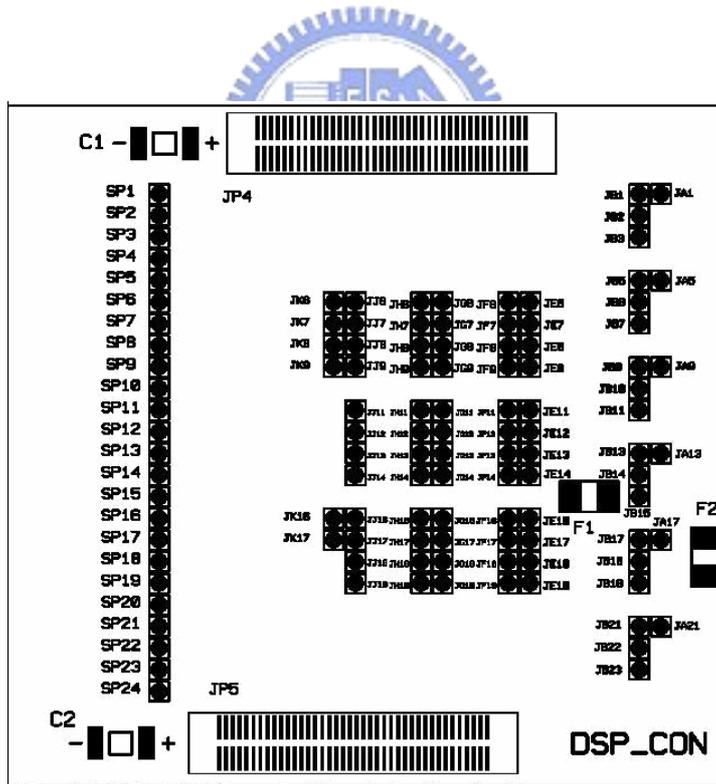


圖 3.10 DSP EVM 模組轉接卡示意圖

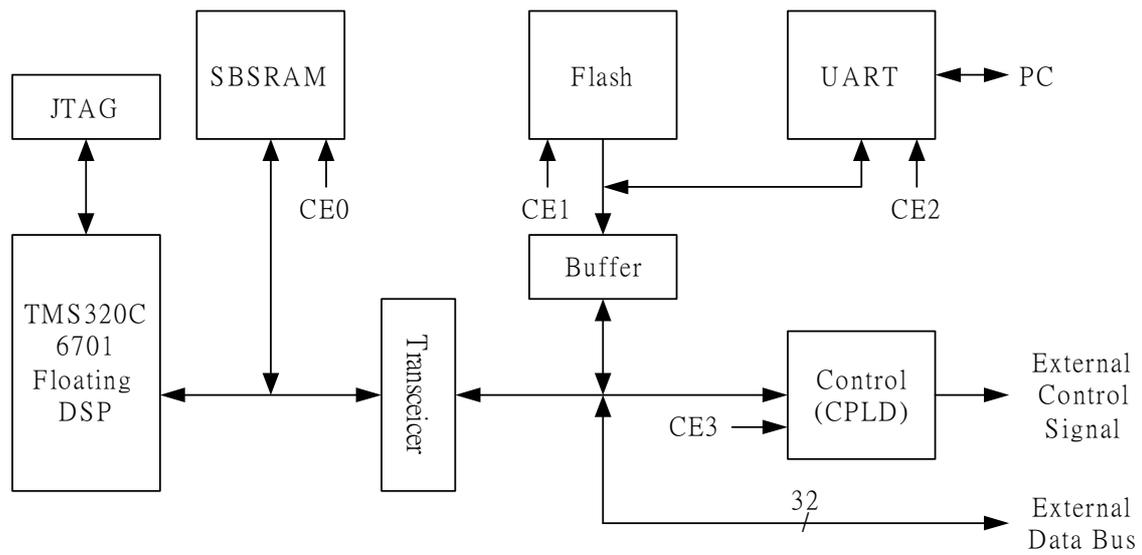


圖 3.11 'C6701 DSP EVM 模組架構圖

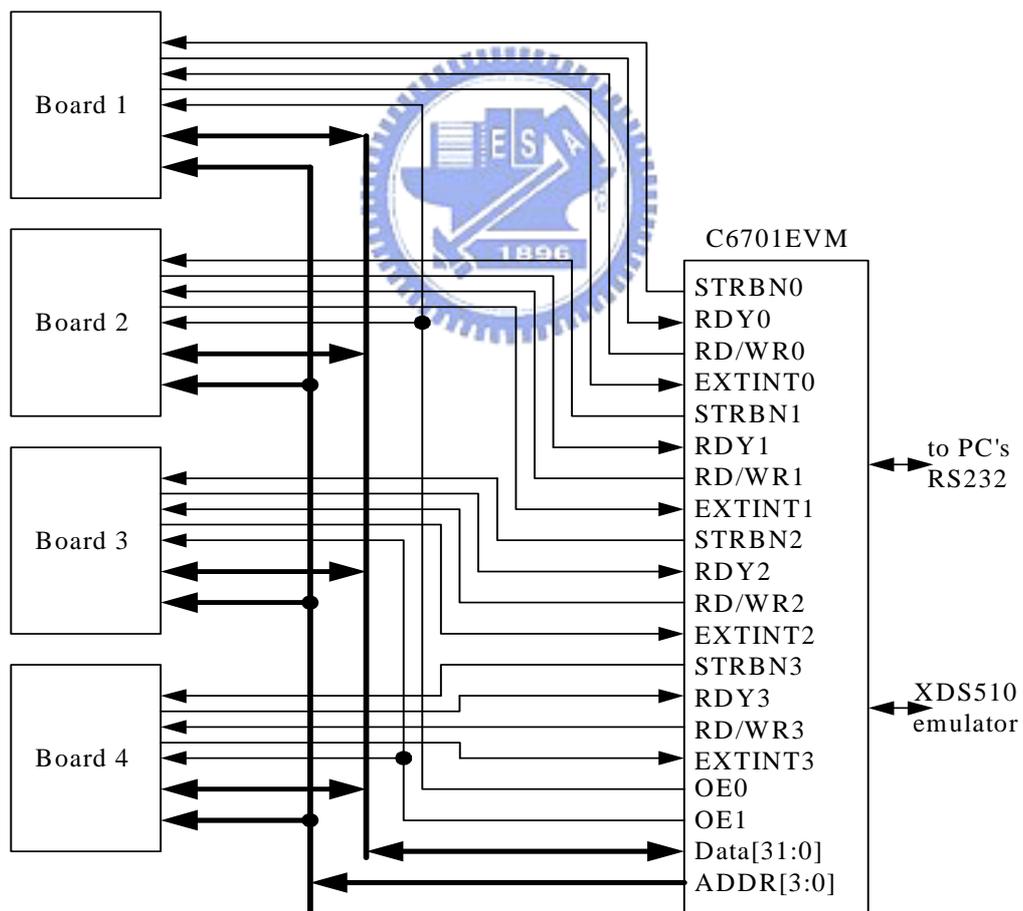


圖 3.12 'C6701 DSP EVM 模組與外部介面模組連線圖

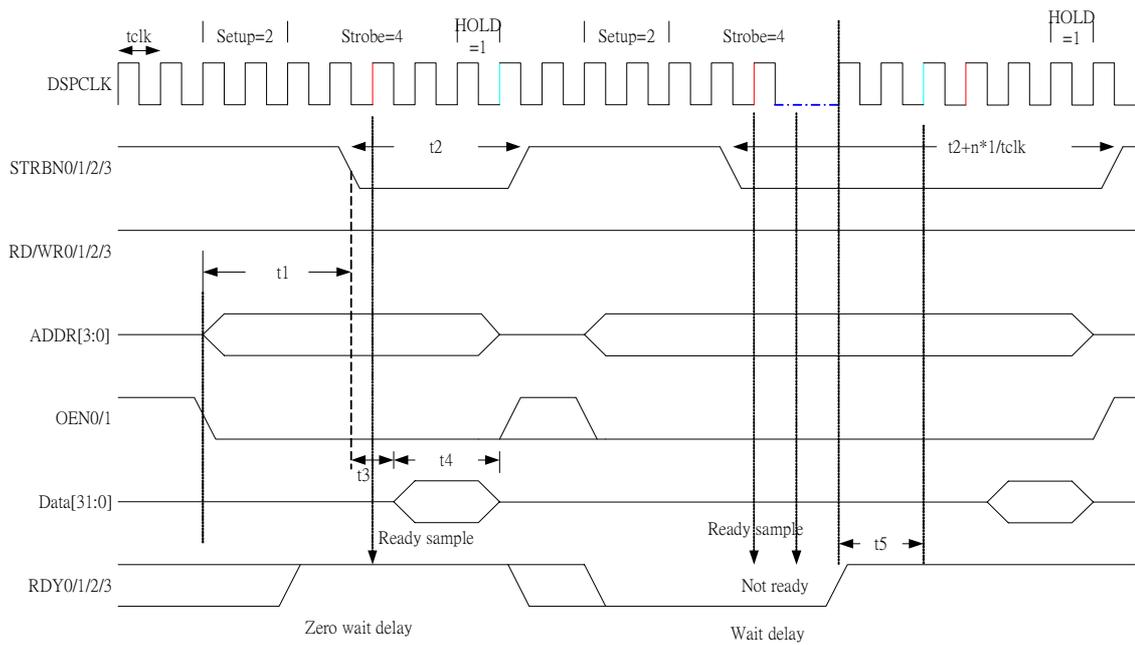


圖 3.13 DSP EVM 模組讀取時序圖

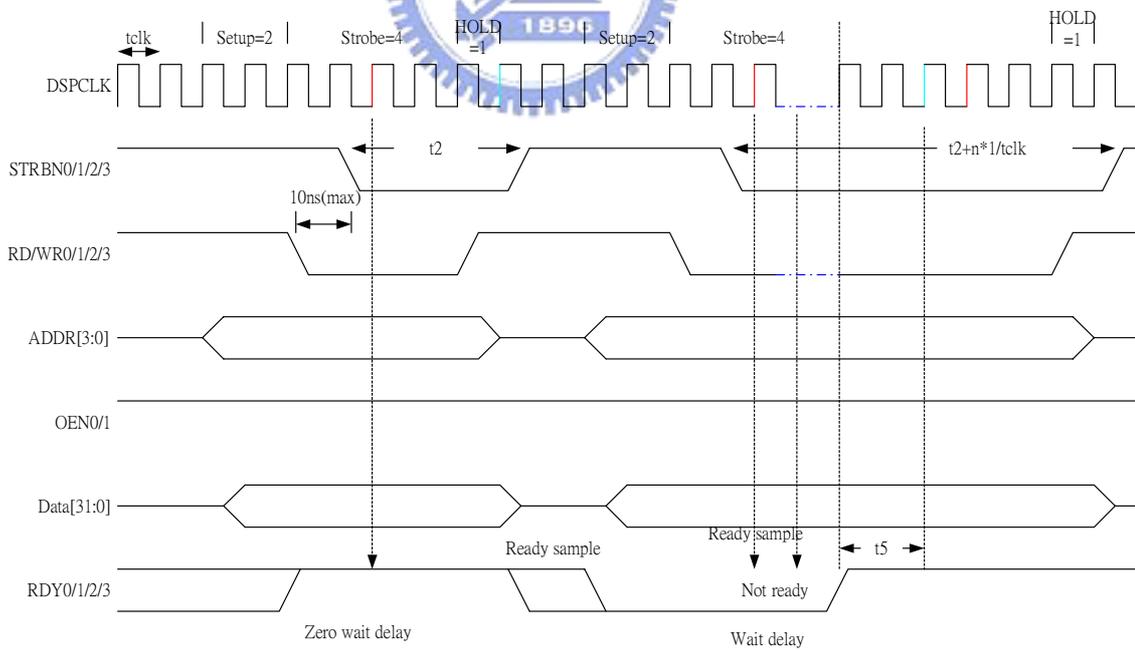


圖 3.14 DSP EVM 模組寫出時序圖



圖 3.15 USB 2.0 模組實體圖

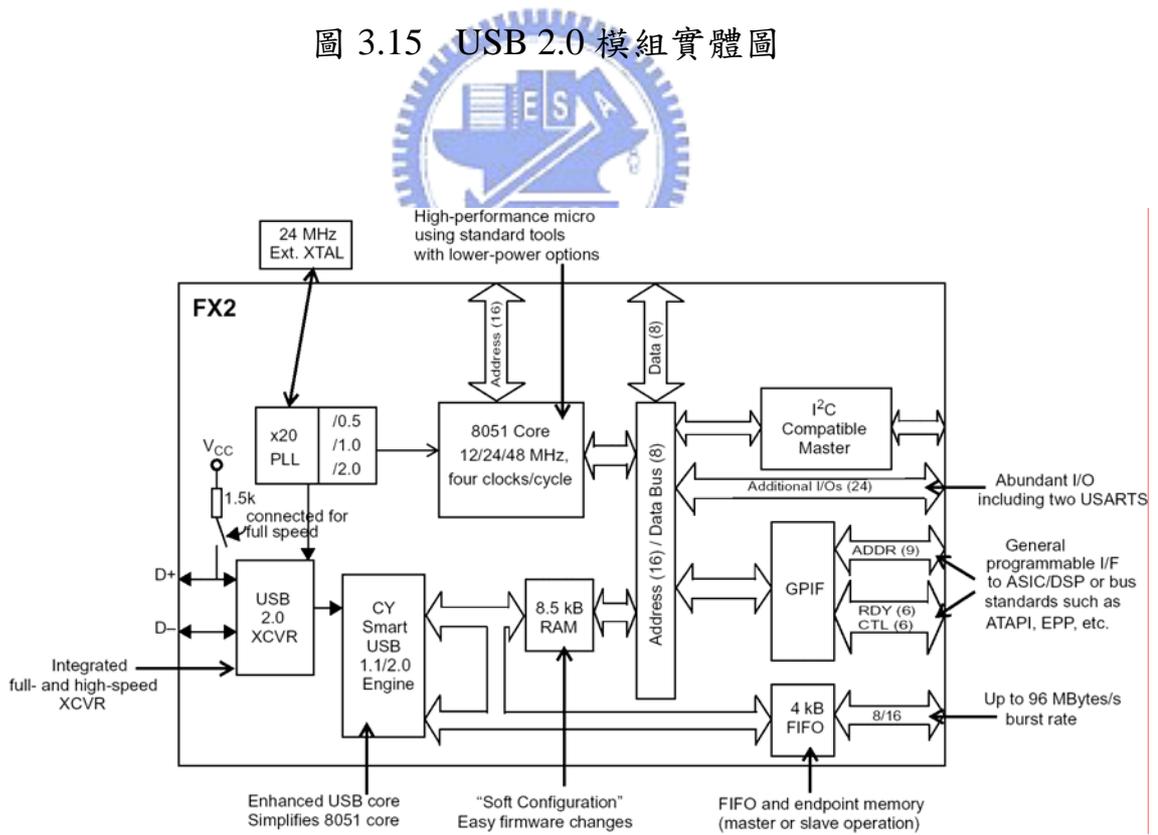


圖 3.16 CYPRESS CY7C68013 微控制器方塊圖

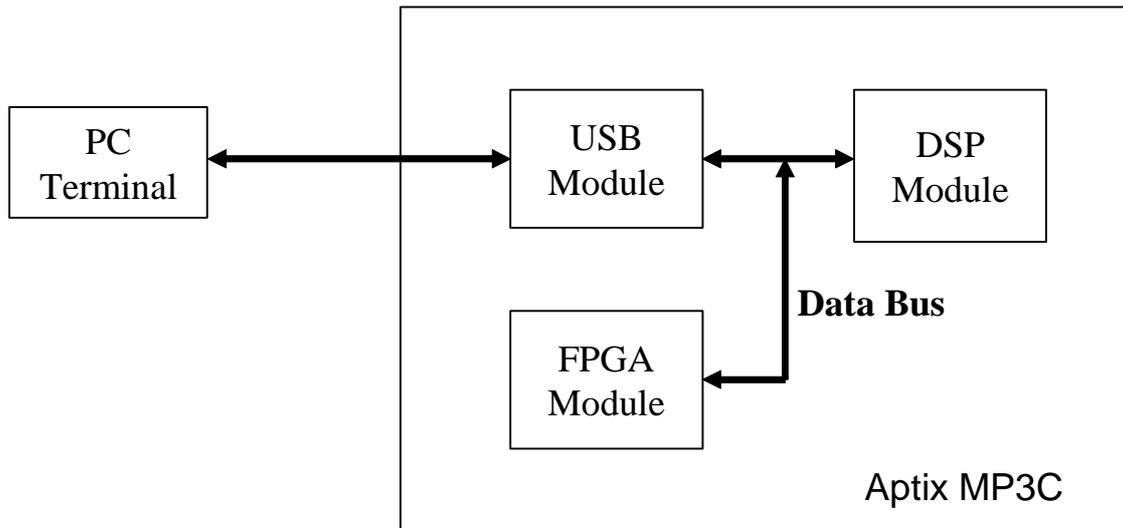


圖 3.17 USB 2.0 與週邊模組架構圖

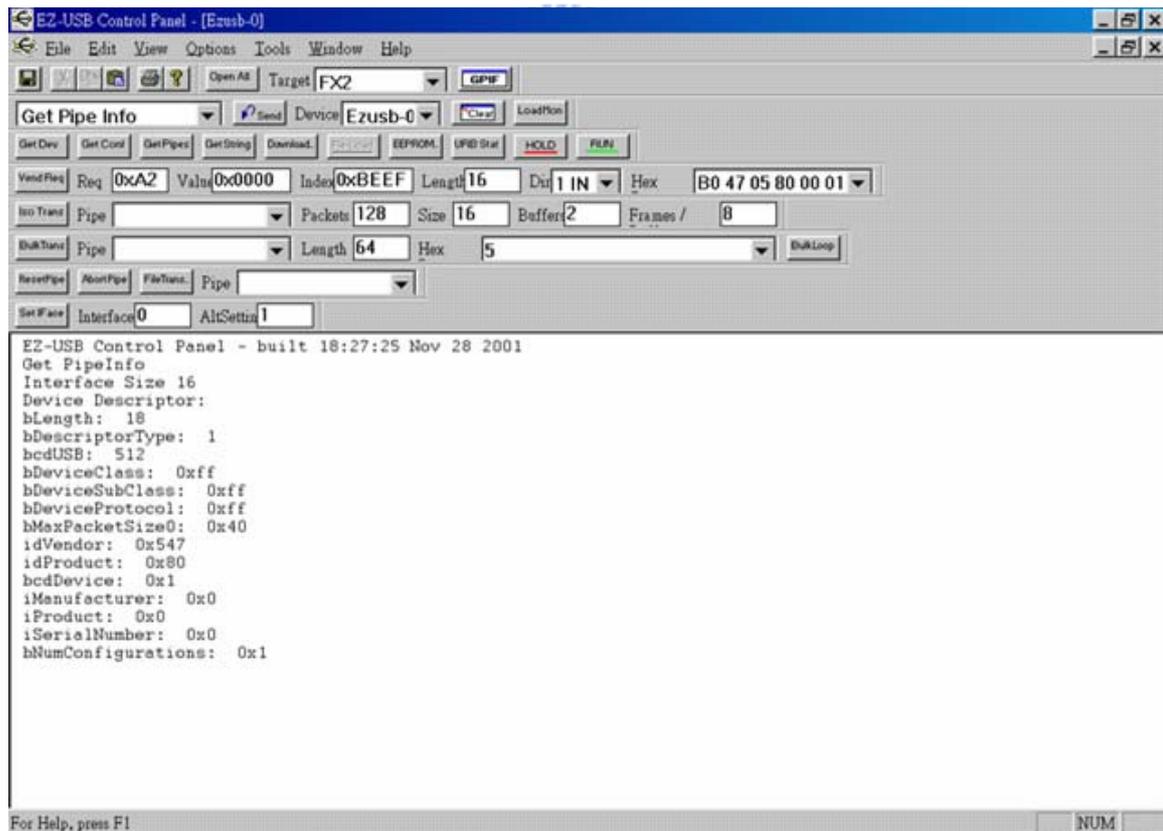


圖 3.18 EX USB 軟體操作介面圖

表 3.1 TTL 邏輯準位

TTL邏輯準位				
VOL	VOH	VIL	VIH	電源
$\leq 0.4$ Volt	$\geq 2.4$ Volt	$\leq 0.8$ Volt	$\geq 2.0$ Volt	5 Volt

表 3.2 TMS320C6701 DSP 外部記憶體與記憶體種類使用對應表

記憶體種類	外部記憶體區塊			
	CE0	CE1	CE2	CE3
SBSRAM	○	○	○	○
SDRAM	○		○	○
ASRAM	○	○	○	○
ROM		○		

表 3.3 C6701 EVM 模組記憶體映射表

Address Range(Hex)	Size (Byte)	Description	
		MAP 0	MAP 1
0000 0000–0003 FFFF		External memory SRAM CE0 256K Bytes	Internal program RAM 64K Bytes
0040 0000–0003 FFFF			External memory SRAM CE0 256K Bytes
0100 0000–0101 FFFF		External memory FLASH CE1 128K Bytes	
0140 0000–0141 FFFF		Internal program RAM 64K Bytes	External memory FLASH CE1 128K Bytes
0180 0000-01FF FFFF		DSP internal control register	
0210 0000-0210 001C	32	UART (Only use low byte for each word)	
0300 0000-0300 003F	32	All board disable	
0300 0040-0300 007F	64	Board 1 active area.	
0300 0080-0300 00BF	64	Board 2 active area.	
0300 00C0-0300 0FFF		Not use	
0300 0100-0300 013F	64	Board 3 active area	
0300 0140-0300 01FF		Not use	
0300 0200-0300 023F	64	Board 4 active area	

表 3.4 USB 2.0 模組管道對應表

Endpoint	Type	Alternate Setting		
		0	1	2
		Max Packet Size (bytes)		
0	CTL	64	64	64
1 IN	INT	0	16	64
2 IN	BULK	0	64	64
2 OUT	BULK	0	64	64
4 IN	BULK	0	64	64
4 OUT	BULK	0	64	64
6 IN	BULK	0	64	64
6 OUT	BULK	0	64	64
8 IN	ISO	0	16	256
8 OUT	ISO	0	16	256
9 IN	ISO	0	16	16
9 OUT	ISO	0	16	16
10 IN	ISO	0	16	16
10 OUT	ISO	0	16	16

表 3.5 ALU功能表，使用 2 埠 4 bits輸入A、B，與 1 埠 4 bits輸出，並使用 $S_2S_1S_0$ 決定其工作模式

Operation	Inputs $S_2S_1S_0$	Outputs F
Clear	000	0000
B-A	001	B-A
A-B	010	A-B
ADD	011	A ADD B
XOR	100	A XOR B
OR	101	A OR B
AND	110	A AND B
Preset	111	1111



## 第四章

# MISO W-CDMA 高速下鏈基頻收發機之硬體電路設計

吾人所發展之 MISO W-CDMA 高速下鏈收發機的系統實現電路中，將全系統的各功能單元分為 FPGA 及 DSP 兩部份來互相搭配，在 FPGA 的部分中，吾人使用二顆模組，分別為 Xilinx 所出的 VIRTEXE-2000 及 VIRTEX II -6000，DSP 則使用 'C6701 EVM 的模組，系統的操作時脈為 15.36MHz；在發射端，資料由 DSP 寫入到 FPGA 中的一組記憶體中，再由記憶體把資料根據不同的編碼率來調整資料送出之速率，經由迴旋碼編碼器（編碼率為 1/2 與 1/3）、交錯器、空一時區塊編碼電路，再和引導通道和同步通道相加起來，利用八根天線所產生的二組波束，把資料由二組不同的角度送出。

在接收機的部分，吾人所使用到的功能單元為：RRC 濾波器，碼同步單元、路徑搜尋單元、碼追蹤單元、解展頻電路、頻率估計及補償電路、空一時解碼電路、解交錯、迴旋碼解碼電路，以上除了碼追蹤單元、路徑搜尋單元及頻率估計電路由 DSP 來完成外，其餘皆是由 FPGA 來實現，使系統平台的整體速率可達到平行化(pipeline)的效能，其中部分電路為採用學長的 IP (Intellectual Property)，整合於吾人的系統中，可以增加系統開發的時效性。由 FPGA 及 DSP 驗證結果，吾人將各部份單元更進一步的詳細說明與效能探討。

在本章最後，吾人將利用 USB 模組來傳輸即時的影像，更可驗證系統的效能分析，吾人也將說明討論及簡單歸納研究的心得結果。

## 4.1 MISO W-CDMA 基頻傳送端

吾人之 MISO W-CDMA 下鏈路傳送端架構如圖 4.1，其中使用了三種實體通道，DPDCH 通道用來傳送資料符元，DPCCH 通道為傳送一固定之引導符元，SCH 通道則是在每個訊框的開頭放入 64 碼片長度之 PN 碼，使接收端能偵測訊框起始位置。為了使同步訊號能在更差的通道環境中依然能發揮效用，吾人令同步通道的振幅為其他通道的 4 倍。

吾人利用 DSP 產生長度為 300 bytes 的已知位元，其資料速率為 240 Kbps，透過資料匯流排，將其送入 FPGA 的雙埠記憶體中。依據系統的資料速率將記憶體中的資料周期性的輸入編碼器電路中，其中編碼器是使用編碼率為 1/2、限制長度為 7 之迴旋編碼器，每輸入一個資料位元，吾人可得到二個位元的輸出。依序經過交錯器重新排列後，其中交錯器為使用雙埠記憶體來儲存資料陣列，為了能達到即時資料寫入與讀出，吾人配置雙倍之記憶體空間儲存兩訊框之資料。當完成交錯器輸出後，資料為一串列位元流，之後經過串列轉平行(serial to parallel)電路分成兩平行資料流，分別為 I 通道與 Q 通道，進入空一時編碼電路。

由於資料流為一位元所表示之資料，以 0 與 1 映射成 +1 與 -1，故可用反相器來完成共軛的電路。將交錯器輸出所分的 I、Q 通道再分為四路，可做二組 2×2 之空一時區塊編碼，經由每組空一時區塊編碼電路輸出為四路資料流，接著啟動展頻電路。DPDCH 展頻電路所接收之資料為 0 與 1 之資料流，

在每路資料流乘上相對應的展頻碼，完成展頻的動作。但在電路實現的考量上，由於使用乘法器來作展頻會增加電路面積，故吾人以多工器之架構來取代乘法器電路，當輸入資料為 0 時，送出展頻碼  $C_{\text{DPDCH}}$ ，輸入資料為 1 時，送出反相展頻碼  $\bar{C}_{\text{DPDCH}}$ 。吾人共使用 4 組互相正交之 DPDCH，皆在每組空一時區塊編碼後使用之。吾人之引導通道 DPCCH 則固定送出位元 0，採用與 DPDCH 相同架構之多工器展頻電路，所使用的展頻碼為  $C_{\text{DPCCH}}$ 。將各通道的資料結合起來，進入波束形成器電路中。

吾人之波束形成器是假設通道資料的方向角(Direction of Arrival, DOA)已被估測出來，針對訊號來的方向，給予一組波束，將此方向的訊號接收下來。每組波束皆是由二根波瓣組成，由估出的方向角度左右各 22.5 度產生一根波瓣，此時方向角的位置即為 3dB 的點。通道資料則由實際量測而得，先存放在 DSP 中，然後固定時間由 DSP 送出並與傳送資料相結合，以模擬通道的效應。



## 4.2 時序同步之 FPGA 與 DSP 電路設計

在 MISO W-CDMA 接收機 (圖 4.2) 中，最重要的工作是找到訊框的起始位置，否則之後各功能區塊的功能將無法正常運作。為了達到此目的地時序同步為接收機不可或缺之單元，時序同步單元主要分為三個部份，分別為碼擷取單元、路徑搜尋單元與碼追蹤單元。在整個時序同步的流程中，起始的前十六個訊框做碼擷取單元，找出訊框粗略的起始位置，再利用路徑搜尋單元，來找出經過多重路徑的訊框起始位置；由於在傳送端和接收端分別使用不同的工作時脈，所以在接收端會產生時脈的偏移誤差，此時利用碼追蹤單

元即可解決時脈不同步的問題。以上三種電路除了使用 FPGA 外，並搭配著 DSP 來作參數的計算，產生多重路徑所需之訊框起始觸發訊號，來啓動下一階段的解展頻電路。

## 4.2.1 碼擷取單元

接收機收到資料後，資料經過了 RRC 濾波器後便啓動碼擷取單元，其中，碼擷取單元包含了匹配濾波器、比較器、計數器、最大值選擇器以及記憶體等，以下會介紹碼擷取單元的運作流程。系統中，吾人以四倍的超取樣率（圖 4.3）作為系統的取樣，並且在進入碼擷取電路前，吾人先把訊號平行分為四路（圖 4.4），此時訊號的位元速率將會等於碼片速率。由於在每個訊框的開頭都有包含了長度為 64 碼片的 SCH 同步通道，所以由係數為 SCH 的 PN 碼之匹配濾波器可將此 SCH 同步通道的位置對應出來，是為匹配濾波器的輸出值。將值輸入比較器電路，找出訊框中之極大值出現時間（圖 4.5），其流程如圖 4.6 所示，因每個訊框只有一段 SCH 同步通道，所以只會出現一個最大值，若在時間  $t$  得到最大值時，表示在  $t$  時間已完成匹配濾波器輸出，此時從  $t$  時間往前數 64 個碼片即是訊框的起始位置。所以當最大值發生時，將會觸發一計數器電路，當計數器電路到達剩餘訊框時間  $K$  時，剛會產生下一個訊框之觸發訊號，其中  $K$  依式 4.1 計算：

$$\begin{aligned} K &= (\text{訊框碼片數} - \text{SCH碼片數}) * \text{超取樣率} - 1 \\ &= (38400 - 64) * 4 - 1 \\ &= 153343 \end{aligned} \tag{4.1}$$

## 4.2.2 路徑搜尋單元

當訊框的起始時間決定後，因多重路徑效應的影響，所以在接收端會產生數個極大值，吾人必須從這些極大值中，找出多重路徑的起始位置。由於使用 FPGA 做排序的動作會較複雜且耗費 FPGA 的面積，所以吾人改用 DSP 來處理路徑搜尋單元。首先，先將匹配濾波器輸出能量的最大時間點前後 20 碼片區間的資料存入記憶體中，再利用中斷訊號並透過資料匯流排來將記憶體中的資料寫入 DSP，並且由 DSP 分析各路徑之起始位置，因為系統是經過超取樣 41 碼片範圍內的資料（圖 4.7），所以吾人將資料經由下式重新排列合併後，以減輕 DSP 的運算量，加快運算的速度。

$$M = \begin{bmatrix} m_{1,1} & m_{1,2} & \cdots & m_{1,41} \\ m_{2,1} & m_{2,2} & \cdots & m_{2,41} \\ m_{3,1} & m_{3,2} & \cdots & m_{3,41} \\ m_{4,1} & m_{4,2} & \cdots & m_{4,41} \end{bmatrix} \in C^{4 \times 41} \quad (4.2)$$

$$M' = \begin{bmatrix} \sum_{k=1}^4 |m_{k,1}|^2 & \sum_{k=1}^4 |m_{k,2}|^2 & \cdots & \sum_{k=1}^4 |m_{k,41}|^2 \\ M_1 & M_2 & \cdots & M_{41} \end{bmatrix} \in R^{1 \times 41} \quad (4.3)$$

其中  $m_{i,j}$  為延遲特徵符元， $i$  為超取樣引數， $j$  為碼片引數。吾人利用 DSP 搜尋  $M'$  中的極大值，並且根據大小來排列，依吾人所要求多重路徑的數目  $n$  來取出前  $n$  個最大值；能量最大者為第一條路徑，次大者為第二條路徑，並把這些路徑起始位置的參數回傳給 FPGA，以產生相對應之觸發訊號，並啟動解展頻電路，接著開始執行碼追蹤單元。

### 4.2.3 碼追蹤單元

在路徑搜尋單元取得多重路徑的訊框起始位置後，接著就啟動碼追蹤單元做精確時序同步，以維持接收訊框與解展頻電路之間的同步性。而碼追蹤單元是使用先-遲碼追蹤迴路(early-late code tracking loop)的架構(圖 4.8)實現，因本系統為四倍超取樣率，所以當時序有偏移時，碼追蹤單元所能修正的訊框長度為 1/4 碼片長。在碼追蹤單元中，調整步伐之大小決定於傳送與接收電路工作時脈之漂移，若吾人之接收機之訊框起始位置每 10 ms 變動量大於 1/4 碼片，則此追蹤架構就無法發揮功能。

在啟動解展頻電路後，除了對引導通道解展頻外，同時也會產生兩個伴隨之觸發訊號，其中一個觸發訊號提前原訊框觸發訊號 1/2 碼片發生，啟動先引導通道(early pilot channel)解展頻電路，另一個則落後原訊框觸發訊號 1/2 碼片，啟動遲引導通道(late pilot channel)解展頻電路。DSP碼追蹤迴路之工作流程如圖 4.9，由DSP模組接收先、遲引導通道解展頻之符元，並將其切割成 15 個單位，相當於一個時槽容納 10 筆符元，吾人接著比較在每一個單位中，先、後引導符元累積能量之大小，將比較的結果儲存於  $loop\_filter$  參數中，其初始值為 0，當先引導通道大於遲引導通道時， $loop\_filter$  加 1，反之減 1。當比較完 15 個單位後，若  $loop\_filter > Q^+$ ，則訊框起始觸發時間須提前 1/4 碼片；若  $loop\_filter < Q^-$ ，則觸發時間延後 1/4 碼片；若  $Q^- < loop\_filter < Q^+$ ，則不改變觸發時間。 $Q^+$  與  $Q^-$  為吾人設定之上限值，其值愈大，表示調整步伐之條件愈嚴苛。

在時序同步電路上，圖 4.10 及圖 4.11 分別是 NLOS 及 LOS 通道經過 DSP 路徑分析後，所畫出的圖，可以很明顯的看出 NLOS 有二處明顯的峰值，且

相距約為 900ns；而 LOS 有二處明顯的峰值，同時 FPGA 會根據峰值數目來送出相對應之訊框處理訊號，如圖 4.12。

### 4.3 自動頻率控制器之 FPGA 與 DSP 電路設計

因為傳送端與接收端射頻(Radio Frequency, RF)電路製程上的不匹配，所以會有頻率上的誤差。但本系統中並無使用到射頻元件來作升降頻的動作，故吾人利用 Xilinx Foundtion 內的 Core Generator 自行產生一誤差弦波乘入系統內，模擬實際射頻電路所造成的頻率誤差如圖 4.13，使得本系統之同步功能更加完整，以降低和真實系統的差異性。

以下就是自動頻率控制器的原理及電路設計，自動頻率控制器分成兩塊主要部分，一為頻率估計器，另一為頻率補償器。吾人之頻率估計器於 DSP 模組中運算，頻率補償器則為 FPGA 電路，置於 RRC 濾波器前。DSP 中之頻率估計器每一個訊框估計一次頻率誤差，並且更新 FPGA 電路中頻率暫存器之頻率值，接著由頻率補償器根據此頻率補償接收訊號中之頻率差。

在解展頻電路之後，吾人利用 DPCCH 估算頻率偏移  $\Delta f$ 。DPCCH 為吾人已知之領導符元  $A$ ，因頻率偏移之影響，解展頻後之引導符元為  $A \cdot e^{j(2\pi \cdot \Delta f \cdot t + \theta)}$ 。首先，將 DPCCH 領導符元延遲一個符元之時間長度  $T_s$  後得到  $P_1$ ，與當時之領導符元  $P_2$  取共軛複數乘積，得到如式 4.4 所示：

$$\begin{aligned}
 P_1^* \cdot P_2 &= \sum_{i=0}^{n-1} A^* \cdot e^{-j(2\pi \cdot \Delta f(iT_c - T_s) + \theta_{s1})} \sum_{m=0}^{n-1} A \cdot e^{j(2\pi \cdot \Delta f(mT_c) + \theta_{s2})} \\
 &= |A|^2 \cdot e^{j(2\pi \cdot \Delta f T_s)} \cdot \sum_{i=0}^{n-1} e^{-j(2\pi \cdot \Delta f(iT_c))} \cdot \sum_{m=0}^{n-1} e^{j(2\pi \cdot \Delta f(mT_c))} \\
 &= |A|^2 \cdot e^{j(2\pi \cdot \Delta f T_s)} \cdot \left| \sum_{i=0}^{n-1} e^{-j(2\pi \cdot \Delta f(iT_c))} \right|^2
 \end{aligned} \tag{4.4}$$

將之  $P_1^* \cdot P_2$  的相位除上  $2\pi \cdot T_s$  之後，可求得  $\Delta f$  之估計值 (圖 4.14)。然而， $\Delta f$  之估計範圍只在  $-1/2T_s \leq \Delta f \leq 1/2T_s$  有效，大於此估計範圍之頻率偏移會因為相位模糊(phase ambiguity)之關係，無法得到正確之  $\Delta f$ ，由於吾人之領導符元長度為 256 碼片時間，故吾人可以估算之  $\Delta f$  範圍為  $\pm 7.5$  KHz，足以對抗 3GPP 規格書中對頻率誤差 6 KHz 之要求。

吾人利用 DSP 估計系統之頻率偏移，首先，讀取 FPGA 記憶體中 DPCCH 符元數學式子如下：

$$\mathbf{P} = \begin{bmatrix} p_1 & p_2 & \cdots & p_{150} \end{bmatrix} \in C^{1 \times 150} \quad (4.5)$$

將 P 矩陣中兩相鄰符元之共軛複數乘積：

$$\mathbf{R} = \begin{bmatrix} p_1^* p_2 & p_2^* p_3 & \cdots & p_{149}^* p_{150} \end{bmatrix} \in C^{1 \times 149} \quad (4.6)$$

R 矩陣代表了訊號在此一訊框中之相位變化，最後，吾人將每一單元中的相位變化與其對應之  $\Delta f_i$ ，求其平均值  $\overline{\Delta f}$  即為頻率估計值：

$$\Delta f_i = \frac{\angle(p_i^* \cdot p_{i+1})}{2\pi T_s} \quad \text{其中 } i \in \{1, 2, \dots, 149\} \quad (4.7)$$

$$\overline{\Delta f} = \frac{1}{149} \sum_{i=1}^{149} \Delta f_i \quad (4.8)$$

吾人所使用的頻率補償器架構圖如圖 4.15，利用查表電路，將頻率估計出的值，找出最接近的值，作為 CNT\_TRIGER 的頻率引數  $freq\_idx$ ，此引數決定 CNT\_TRIGER 輸出觸發訊號的時間間隔，頻率引數與補償器輸出頻率之相對關係如式 4.9：

$$freq = \frac{1.536 \times 10^7}{256 \times freq\_idx} \quad freq\_idx \in N \quad (4.9)$$

再將產生出來的補償器乘回 RRC 濾波器前，即完成頻率補償的動作。

## 4.4 解展頻單元之 FPGA 電路設計

在此系統中，吾人所使用的解展頻電路為一展頻碼相關器(correlator)，其功能是對完成時序同步的訊號作積分及傾卸(integrate and dump)的動作。吾人所需解展頻的訊號有二類，分別是引導通道 DPCCH 及 DPDCH 兩種實體通道：對 DPCCH 而言，傳送端使用係數為 256 的展頻碼，則吾人要解出一筆引導通道符元，須依式 4.10 對接收的訊號做積分的動作：

$$y[n] = \sum_{m=0}^{255} C_{DPCCH} \cdot x[256n + m] \quad (4.10)$$

其中  $C_{DPCCH}$  為 ±1 的展頻碼， $x[m]$  為接收到的訊號，解展頻電路的示意圖如圖 4.16 所示，在引導通道解展頻的過程中，吾人藉由路徑搜尋單元所找出來的延遲路徑，對於不同的路徑產生的訊框觸發訊號，來啟動不同路徑的引導解展頻電路，每個訊框皆有 150 筆的引導符元，吾人將先、遲與主要的引導通道解展頻之符元寫入雙埠記憶體中，再利用 DSP 的資料匯流排寫入 DSP，作為碼追蹤單元以及頻率估計單元的依據資料。

利用 FPGA 電路的參數化設計，資料解展頻電路只須改變解展頻電路的參數，吾人將係數改為 64 並且每 64 個碼片取樣一次，即可產生 DPDCH 的資料解展頻電路；而資料匯流排 d\_in 的寬度為 8 位元，當 frm\_str 收到訊框觸發訊號時，資料解展頻電路即開始接收此訊框的第一筆資料，係數依 chip\_str 輸出為  $[C_{DPDCH,0} \quad C_{DPDCH,1} \quad \cdots \quad C_{DPDCH,63}]$ ，再與接收資料相乘，經過 64 個碼片取樣後，隨即輸入一資料符元之結果 d\_out，並且伴隨著一符元觸發訊號 sym\_str 傳到下一級空一時解展頻電路。

## 4.5 空一時區塊解碼器及犁耙式接收機之 FPGA 電路設計

空一時區塊解碼器中使用到了通道估計值及解展頻後的資料，將經過空一時區塊編碼的符元資料還原出來。故在吾人使用空時區塊解碼器之前，還須完成通道估計的動作。因吾人之資料通道與引導通道會經過相同的通道效應，而且 DPCCH 為一已知的通道，故在接收端 DPCCH 解展頻後之輸出即為吾人所需通道估計值（圖 4.17）。而空時區塊解碼器之方塊圖如圖 4.18 所示，接收天線所計算之各通道估計值及不同路徑的資訊，再合併於空時區塊解碼器上。由於利用傳送端八根天線的方式，把資料分為不同時間及空間送出，達到分集式增益，能夠將符元資料更有效率地解出來，在接收天線之接收資料模型，數學式子推導如式 4.11：

$$\begin{aligned} r_1 &= t_1 w_{11}^H h_1 + t_2 w_{21}^H h_1 = t_1 \alpha_{11} + t_2 \alpha_{12} \\ r_2 &= t_1 w_{12}^H h_2 + t_2 w_{22}^H h_2 = t_1 \alpha_{21} + t_2 \alpha_{22} \end{aligned} \quad (4.11)$$

其中  $r_1$  及  $r_2$  為第一條路徑及第二條路徑接收到的資料， $h_i$  為傳送端對於特定角度所量測道的通道， $w_{ij}$  為波束形成器的加權值， $c_1 \sim c_4$  為展頻相關器的係數。在接收機做完了同步及解展頻電路之後，如式 4.12、式 4.13：

$$\begin{aligned}
x_1^{(i)} &= r_i \cdot c_1 \\
&= (t_1 \alpha_{i1} + t_2 \alpha_{i2}) \cdot c_1 \\
&= [(s_1 c_1 - s_2^* c_2 + s_3 c_3 - s_4^* c_4) \alpha_{i1} + (s_2 c_1 + s_1^* c_2 + s_4 c_3 + s_3^* c_4) \alpha_{i2}] \cdot c_1 \\
&= s_1 \alpha_{i1} + s_2 \alpha_{i2}
\end{aligned} \tag{4.12}$$

$$\begin{aligned}
x_2^{(i)} &= r_i \cdot c_2 \\
&= (t_1 \alpha_{i1} + t_2 \alpha_{i2}) \cdot c_2 \\
&= -s_2^* \alpha_{i1} + s_1^* \alpha_{i2}
\end{aligned}$$

$$\begin{bmatrix} x_1^{(i)} \\ x_2^{(i)} \end{bmatrix} = \begin{bmatrix} s_1 \alpha_{i1} + s_2 \alpha_{i2} \\ -s_2^* \alpha_{i1} + s_1^* \alpha_{i2} \end{bmatrix} \tag{4.13}$$

將  $x_2^{(i)}$  的訊號取共軛後，得到式 4.14，然後可分離各別的經過解展頻電路的訊號，由於通道效應中已含有空一時編碼的效果，所以只要將通道估計值的共軛數與資料符元作複數乘法，可達到相位補償之效果，即可將原本的符元偵測出來（式 4.16）。

$$\begin{bmatrix} x_1^{(i)} \\ x_2^{*(i)} \end{bmatrix} = \begin{bmatrix} s_1 \alpha_{i1} + s_2 \alpha_{i2} \\ -s_2^* \alpha_{i1} + s_1^* \alpha_{i2} \end{bmatrix} = \underbrace{\begin{bmatrix} \alpha_{i1} & \alpha_{i2} \\ \alpha_{i2}^* & -\alpha_{i1}^* \end{bmatrix}}_{H_i} \underbrace{\begin{bmatrix} s_1 \\ s_2 \end{bmatrix}}_{s_{12}} \tag{4.14}$$

$$x_{12}^{(i)} = H_i s_{12}, \quad x_{34}^{(i)} = H_i s_{34} \tag{4.15}$$

$$s_{12}^{(i)} = H_i^H x_{12}^{(i)} = \begin{bmatrix} s_1^{(i)} \\ s_2^{(i)} \end{bmatrix}, \quad s_{34}^{(i)} = H_i^H x_{34}^{(i)} = \begin{bmatrix} s_3^{(i)} \\ s_4^{(i)} \end{bmatrix} \tag{4.16}$$

而在電路設計上，因所用到的通道資料在一個訊框時間內，通道變化並不會太大，所以在通道估計做完後，會和延遲二個符元解展頻後的資料相乘來補償通道效應。本電路共用到 32 個 8 位元的乘法器及 24 個 8 位元的加法器，所以並不會太複雜，也因此可以快速的計算出空時解碼電路後的訊號。

由於在前述的空時解碼器電路中，已將通道的效應補償完，所以在後端的犁耙式接收器只需將不同多重路徑的資料做結合，以增加系統的分集式效應。吾人在作時序估計時，DSP 已經將不同的路徑資料參數算出，並且傳回至 FPGA 來作觸發的訊號，同時也會計算出不同路徑的時間差，回傳時間差的參數至 FPGA 的暫存器，作為暫存器大小的參數設定。因不同路徑的資料經過了 8 位元的暫存器之後，調整相同時間輸出，此時將這些經過暫存器修正過時間的資料用一加法器電路作相加的動作，以達到時間及空間分集的效果，即完成犁耙式接收機的工作（圖 4.19），其數學式如式 4.17：

$$\begin{aligned} s_{12} &= H_1^H x_{12} + H_2^H x_{12} = (H_1^H + H_2^H)x_{12} \\ s_{34} &= H_1^H x_{34} + H_2^H x_{34} = (H_1^H + H_2^H)x_{34} \end{aligned} \quad (4.17)$$

最後，因傳送的資料為 QPSK 型式，所以吾人只需判斷信號空間所在的象限，就可把 8 位元的符元信號降成 1 位元的訊號，以利後端的解交錯器及迴旋解碼器電路來使用。



## 4.6 迴旋碼解碼器之 FPGA 電路設計

迴旋編碼器與迴旋解碼器已被廣泛的用於各種通訊系統中，如 IEEE 802.11a 之無線區域網路或 3GPP 之 W-CDMA 或 DVB (Digital Video Broadcast) 數位廣播系統中皆有詳細的規範。吾人所使用之迴旋碼編碼器是根據 IEEE 802.11a 的的規範（圖 4.20）加以修改的架構、編碼率為 1/3 和 1/2 二種，限制長度為 7，總共有 64 個狀態，其所能改善的系統效能，如圖 4.21

吾人之迴旋解碼器為 1 位元的硬式解碼器，在設計過程中，吾人分為二個主要的部份，分別為執行單元(Processing Element, PE)區塊、回溯(traceback)

單元區塊，以下將詳細說明這些區塊的設計原理及方法。

## 4.6.1 執行單元

在說明執行單元前，吾人先介紹執行單元內部所用到的功能區塊，如蝴蝶架構(butterfly architecture)，BM (Branch Metric)、PM (Path Metric)以及 ACS (Add Compare Select)：

(1) 蝴蝶架構：

圖 4.22a 為基本四個狀態的格子(trellis)圖，經過重整後，可變為圖 4.22b 之架構，因為此架構似蝴蝶，所以又稱蝴蝶架構。在限制長度為  $K$  的迴旋碼編碼器中，移位暫存器的前  $K-1$  LSB 的部份可定義成狀態，由於限制長度為 7，所以共有  $2^{7-1}$  個狀態；由蝴蝶架構可知，若得知在  $t+1$  時的狀態及漢明加權(hamming weight)時，可推出在  $t$  時間的狀態，由此就可完整的記錄每個狀態的流程，減少回溯的複雜度，並且可由最基本的四個狀態，擴充到所需的 64 個狀態，如圖 4.23，甚至 256 個狀態也可。

(2) BM：

BM 是指當編碼器電路之移位暫存器經過狀態改變後，相當於有新的資料進來時，此時暫存器前  $K-1$  LSB 則為該狀態的 BM， $2^{K-1}$  個狀態的 BM 可利用一個計數器來固定時間改變移位暫存器的狀態，使得編碼器可以得到所有狀態的輸出。

(3) PM：

PM 是指進到某一狀態的最可能路徑，吾人用  $PM_i^t$  表示當時間為  $t$  時，狀態  $i$  最可能的路徑， $BM[k,i]$  表示由狀態  $k$  轉換到狀態  $i$  時，所對

應到的 BM。假設狀態  $i$  在  $t$  時間的狀態為  $k1$  及  $k2$ ，則  $PM_{t+1}^i$  與  $PM_t^{k1}$ 、 $PM_t^{k2}$  之間的關係為式 4.18：

$$PM_{t+1}^i = \min\{(PM_t^{k1} + BM[k1, i \text{ or } i + 32]), (PM_t^{k2} + BM[k2, i \text{ or } i + 32])\} \quad i \in \{0, 1, \dots, 31\} \quad (4.18)$$

由前二個狀態的 PM 值加上狀態轉換所產生的 BM 值，每個狀態皆會產生二組新的 PM 值，此時再選擇最小的值為新的 PM 值，來更新前一個狀態時的 PM 值。

(4) ACS：

ACS 表示為三個動作（圖 4.24），分別是”相加”、”比較”、”選擇”三組電路來依序完成，符元資料進來後，會先和每一個狀態的 BM 作位元的 XOR 相加，所產生的值即漢明加權，由於在  $t+1$  時間的狀態都會收到二個來自於  $t$  時間的狀態，所以在  $t+1$  時間的 PM 值，為在  $t$  時間的 PM 值，加上相對應的 BM 值，更新  $t+1$  時的 PM\_a\_tmp 及 PM\_b\_tmp 此時，再做比較的動作，從 PM\_a\_tmp 及 PM\_b\_tmp 中選出最小作為該狀態的 PM 值，若 PM\_a\_tmp 與 PM\_b\_tmp 相同時，則選擇 PM\_a\_tmp 為  $t+1$  時間的最小 PM 值，這樣才算完成一次 ACS 的動作。

在做完以上元件的介紹後，吾人將說明執行單元的功能及運作方式。每一執行單元的作用，就是當一筆新的符元進來後，對每個狀態作一次 ACS 的運算，然後更新各個狀態的 PM 值，以及記錄每個狀態的路徑變化，以方便之後做回溯的動作。吾人為了加快迴旋碼解碼電路的處理速度，共用了 16 個 PE 來作運算，而每個 PE 中皆包含了二組 ACS 的運算電路，共可處理四個狀態的 ACS，代表吾人將可以一次處理 64 個狀態的運算，所以每進來一筆符元

後，都只需要做一次的 ACS 運算，大大了降低運算的時間。

## 4.6.2 回溯單元

在解碼的過程中，要得到正確的解碼輸出，則回溯的路徑必須是擁有最小的 PM 值，且必須是唯一的。在回溯的過程，吾人可分為二部份，分別為合併階段及解碼階段（圖 4.25），在合併過程中，路徑並非唯一，但經過了較長的時間後，許多路徑會逐漸合併為一條，當所有路徑合併為一條時，即為解碼階段，在解碼階段時，只有一條唯一的路徑。在此系統中，吾人使用回溯長度為 128，前 64 為合併階段，後 64 為解碼階段，而只利用後 64 個符元輸出，圖 4.26 為回溯時間及次數圖，第一次回溯時間是當接收符元長度到達 128 時，之後每增加 64 個符元長度，就會進行回溯的動作。

圖 4.27 為回溯流程圖，其中  $D_t^k$  表示時間  $t$  時狀態  $k$  的決定位元， $S_0$  至  $S_{128}$  表示回溯路徑中時間從 0 到 128 的狀態，吾人欲找出解碼階段  $S_0$  至  $S_{63}$  之所有的新進位元。解碼器在  $S_{128}$  時，找出最小之 PM 值，由於在 ACS 的過程中，會把每個路徑及狀態的位置記錄在  $D\_ram_0 \sim D\_ram_{15}$  中，每組  $D\_ram$  為  $4 \times 256$  大小的雙埠記憶體。解碼器的狀態由  $S_{128}$  的最小 PM 值開始，假設  $S_{128} = A_0 A_1 \dots A_5$ ，先從決定記憶體中讀取  $D_{128}^{S_{128}}$ ，由蝴蝶架構可得  $S_{127} = D_{128}^{S_{128}} A_0 \dots A_4$ ，再從決定記憶體中讀取  $D_{127}^{S_{127}}$ ，又可得  $S_{126} = D_{127}^{S_{127}} D_{128}^{S_{128}} A_0 \dots A_3$ ，以此類推，可得  $S_1 = D_2^{S_2} D_3^{S_3} \dots D_7^{S_7}$ ， $S_0 = D_1^{S_1} D_2^{S_2} \dots D_6^{S_6}$ ，並且所有新進位元的轉換關係為： $S_0$  轉換到  $S_1$  的新進位元為  $D_7^{S_7}$ ， $S_1$  轉換到  $S_2$  的新進位元為  $D_8^{S_8}$ ，以此類推， $S_{63}$  轉換到  $S_{64}$  的新進位元為  $D_{70}^{S_{70}}$ ，因此 64 筆解碼輸出為  $D_7^{S_7} D_8^{S_8} \dots D_{70}^{S_{70}}$ 。

當解碼電路收到 end\_frame 的觸發訊號時，此時就會進行最後一次回溯，並且執行完此訊框最後一個符元之所有狀態的 ACS 運算後，解碼器會找出最後一個符元的最小 PM 值，進行回溯，將剩下未解碼的符元解碼輸出。

圖 4.28 為此解碼器的架構圖，分為了執行單元區塊、回溯區塊以及雙埠記憶體等。執行單元區塊內包含 PE0 至 PE15，PE0 至 PE15 內各有兩個 ACS 運算電路，可同時執行 64 個狀態的 ACS 運算，並將得到之 PM 儲存於暫存器中，以便可以快速的讀寫，且於固定時候送出回溯致能(traceback enable)訊號給回溯區塊，回溯區塊接收到此觸發訊號時即開始執行回溯，並從決定記憶體讀出所需之決定位元，而得到解碼輸出。

## 4.7 MISO W-CDMA 收發機系統測試

在 MISO W-CDMA 系統中，吾人利用 USB 2.0 模組來傳輸影像或檔案資料，搭配著 CCD 及本實驗室所開發之影像傳輸介面，透過 CCD 所擷取到的影像，會分解成資料流，經由 DSP 將影像資料送入收發機中，其架構如圖 4.29。在影像傳輸介面上，並有計算收發影像錯誤率的功能，使吾人可得知，不同的通道以及不同的天線數目，對本系統的影響程度為何。吾人做了以下二種測試，第一種是在 NLOS 的通道影響下使用八根天線產生二組波束，其錯誤率為  $1.86 \times 10^{-3}$  (圖 4.30)；第三種是使用單根天線傳送，單根天線接收的情形下，其錯誤率為  $1.13 \times 10^{-2}$  (圖 4.31)。由以上的測試結果可知，在不增加接收機的複雜度前題下，使用智慧型天線的技術，可大幅度的提昇系統效能。

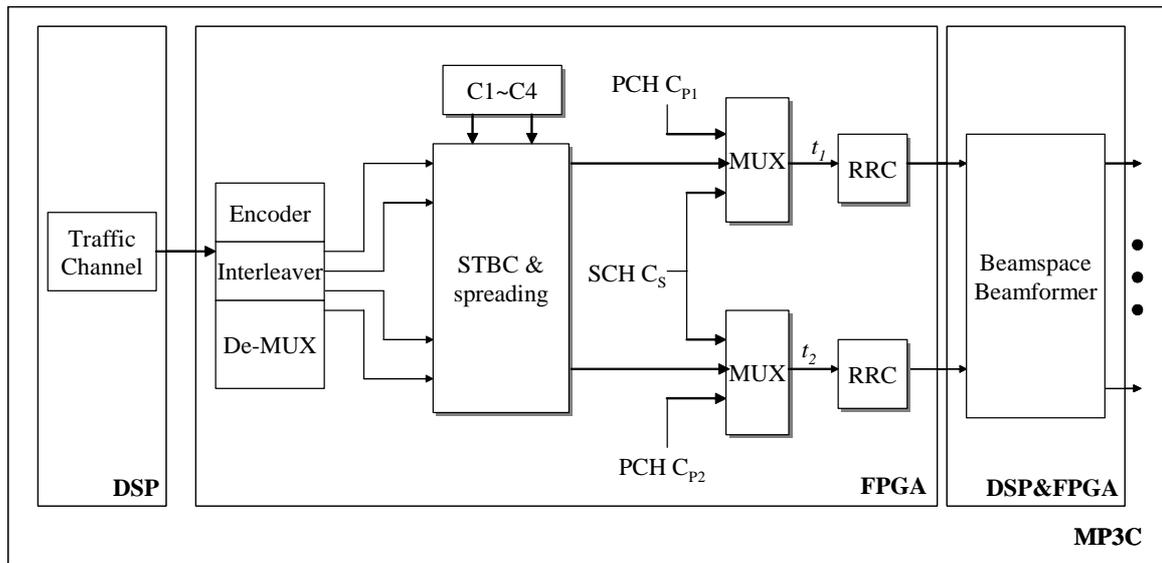


圖 4.1 MISO W-CDMA 傳送端之電路架構圖

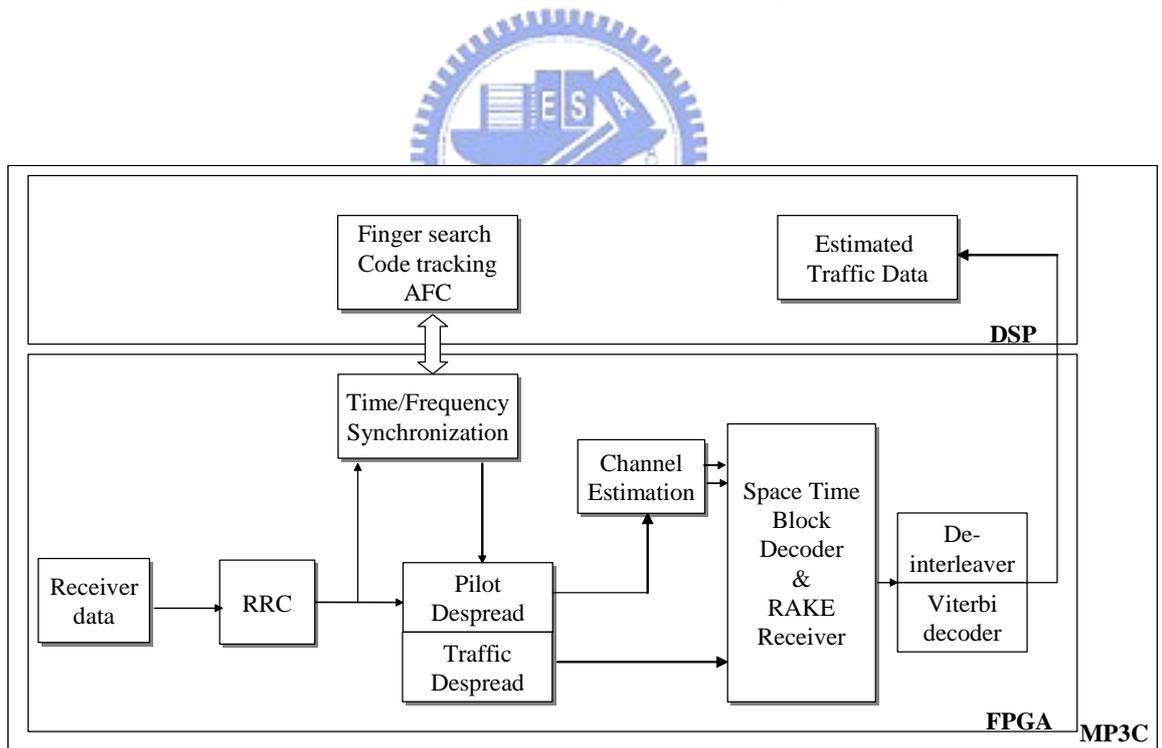


圖 4.2 MISO W-CDMA 接收端之電路架構圖

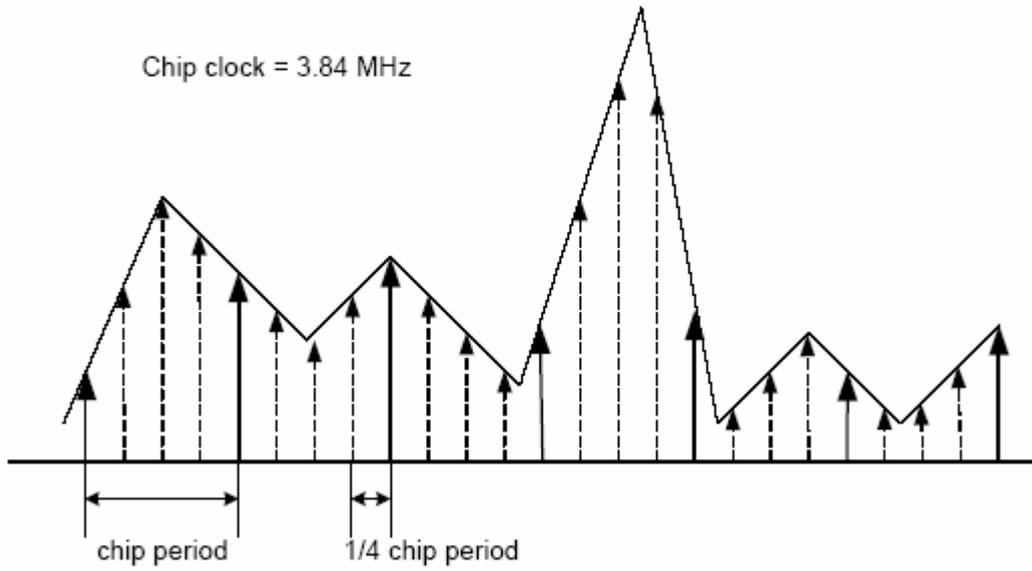


圖 4.3 超取樣示意圖，超取樣率 4

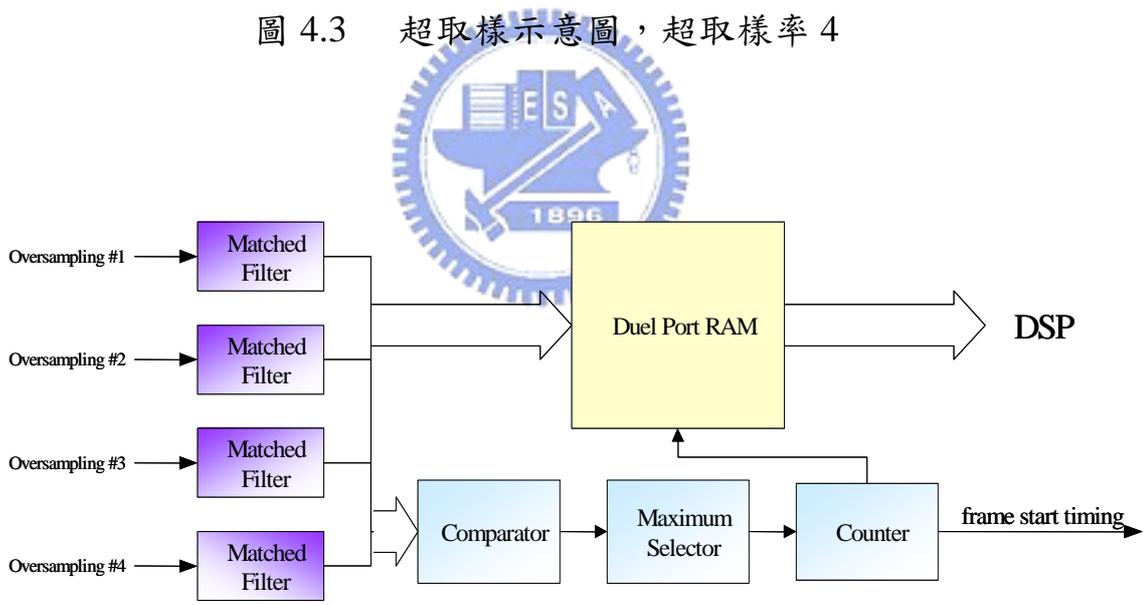


圖 4.4 碼擷取單元電路方塊圖

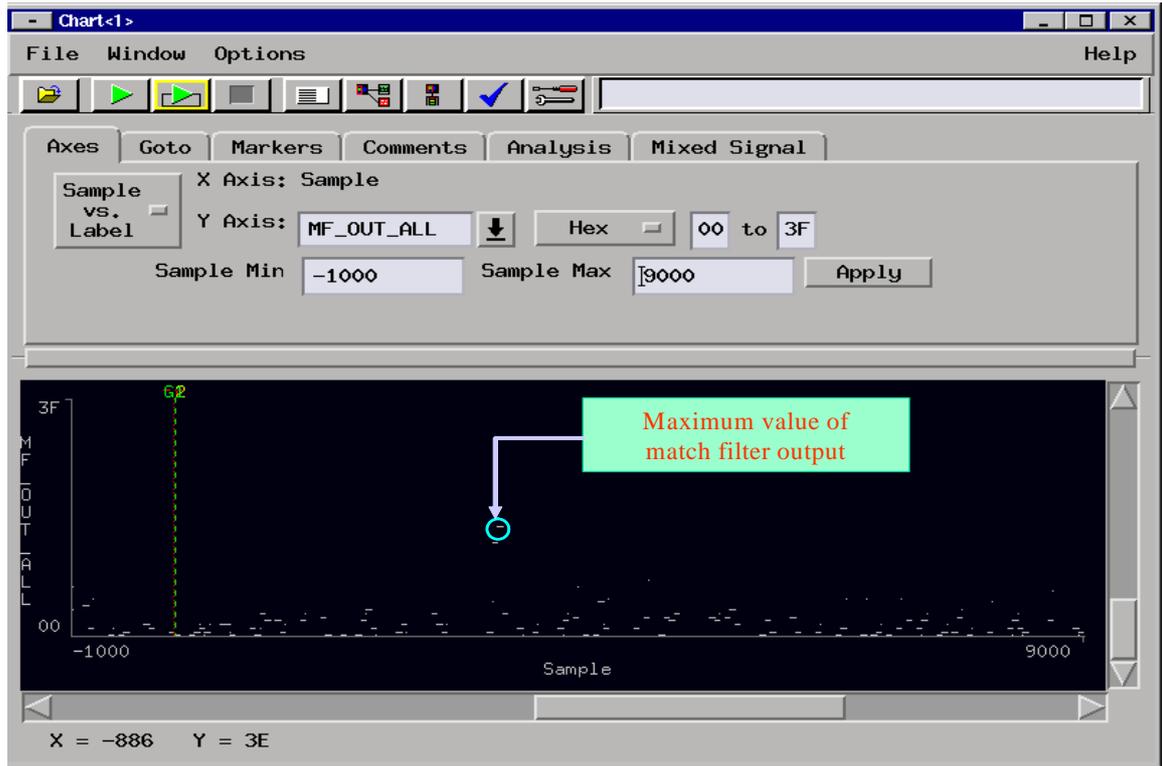


圖 4.5 匹配濾波器輸出之時序圖，圖中所圈點為匹配濾波器之最大輸出值

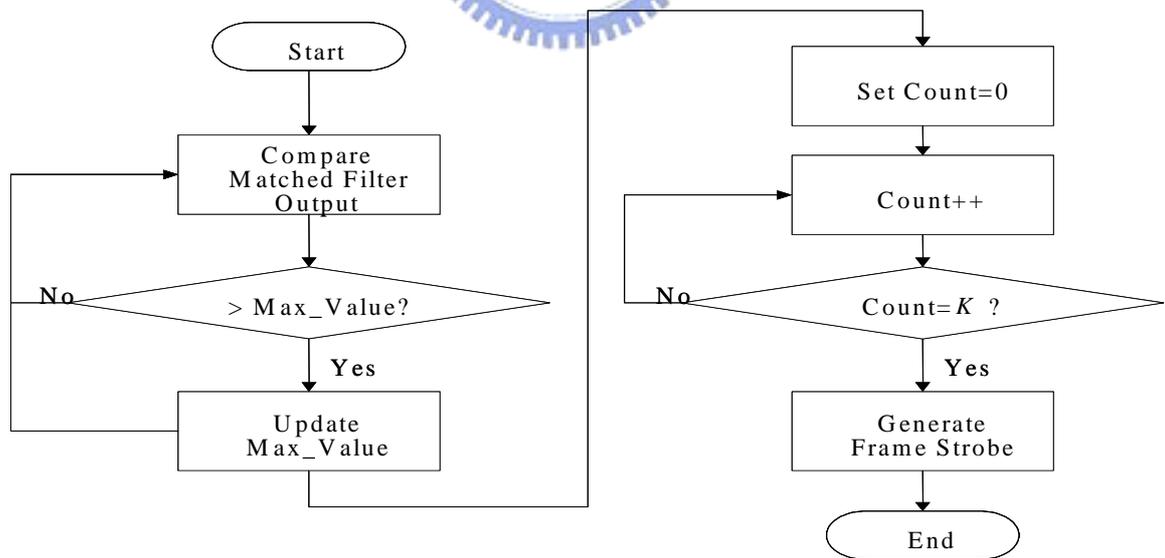


圖 4.6 碼擷取單元之極大值搜尋流程圖，其中  $K$  為 153343

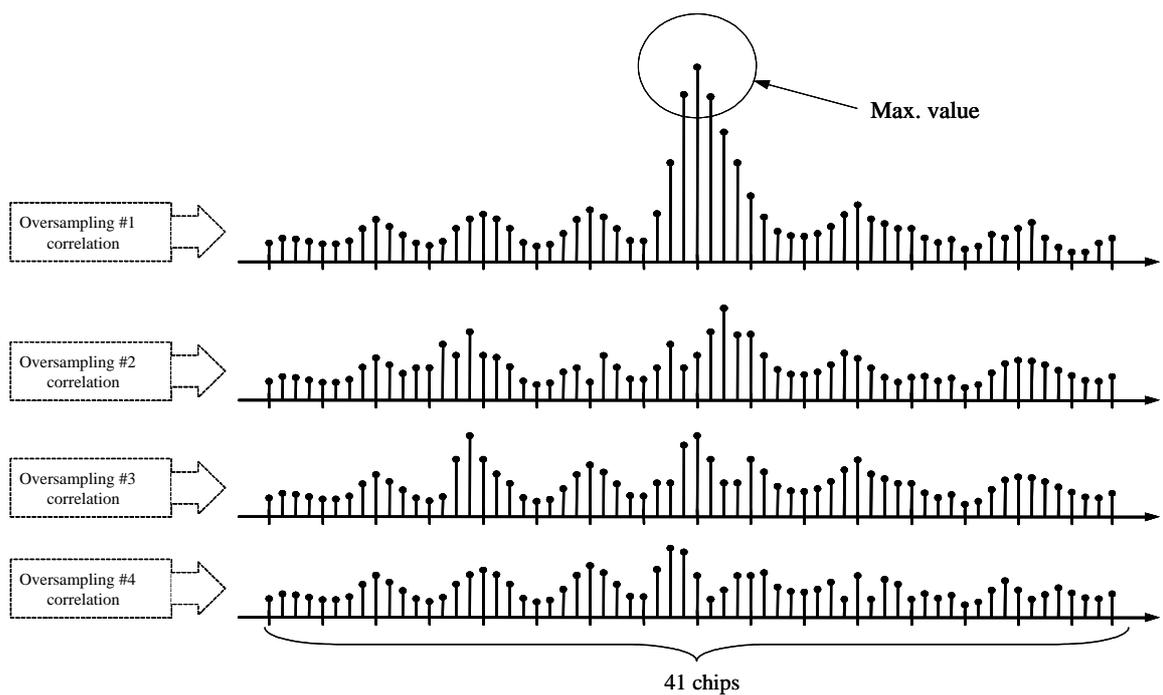


圖 4.7 匹配濾波器資料輸出示意圖，其為匹配濾波器最大值發生時間點前後各二十碼片

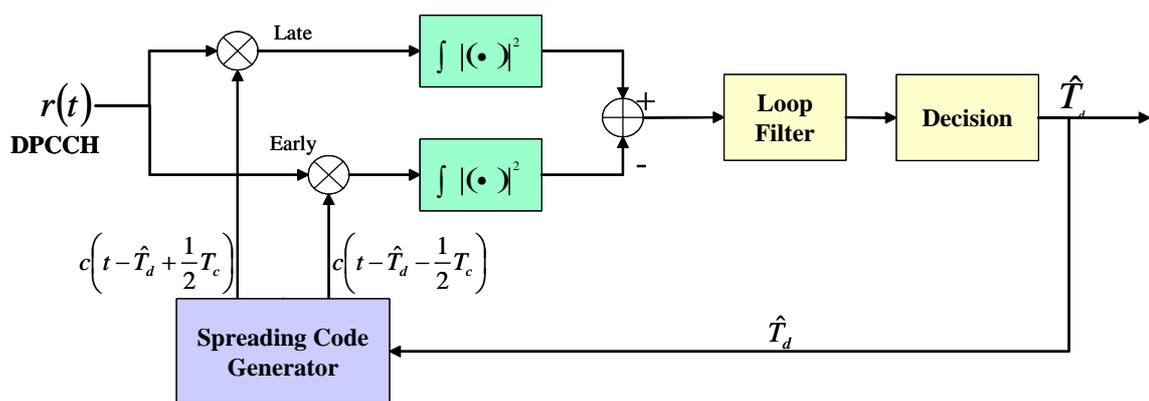


圖 4.8 先一遲碼追蹤迴路架構方塊圖

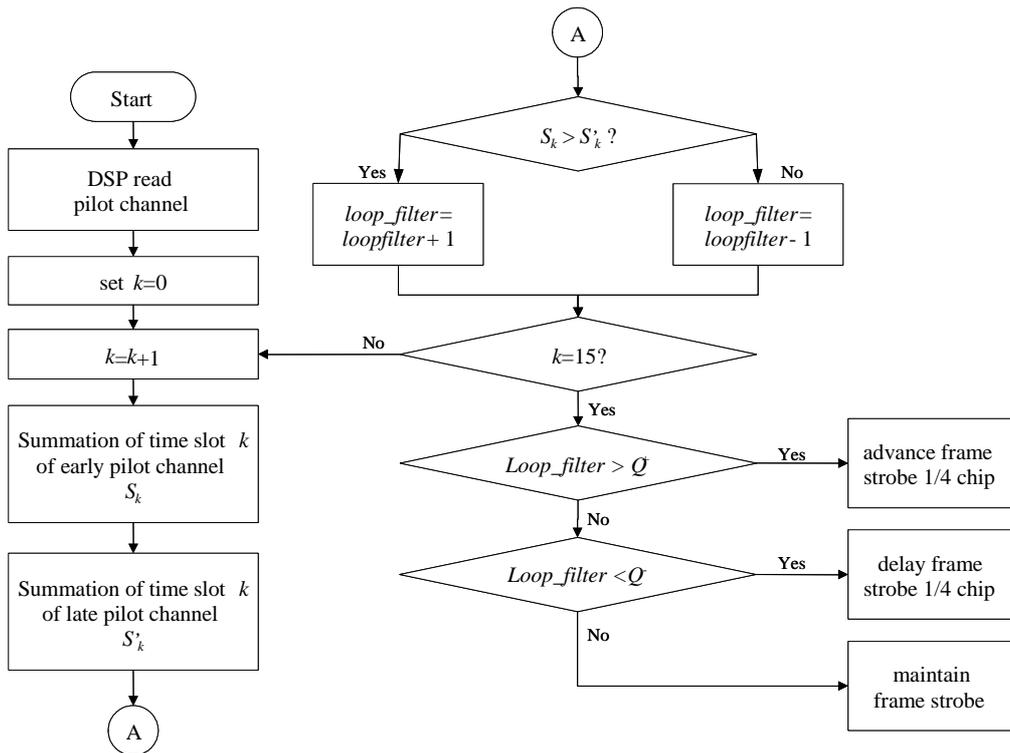


圖 4.9 碼追蹤單元工作流程圖，其中  $k$  為時槽數

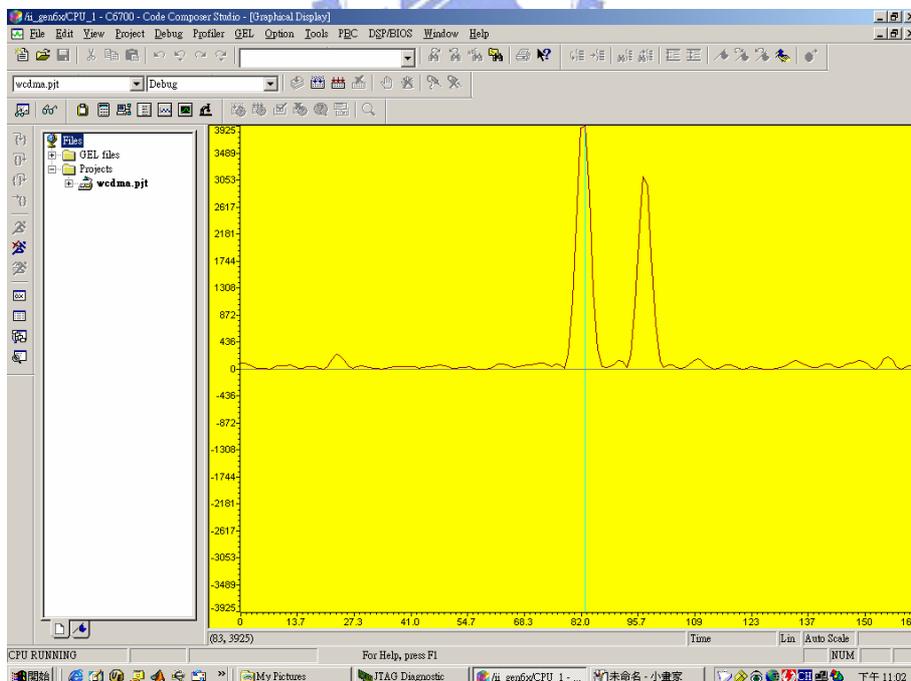


圖 4.10 DSP 讀入延遲特徵資料圖，使用 NLOS 通道資料，兩個延遲路徑，時間相距約為 900ns

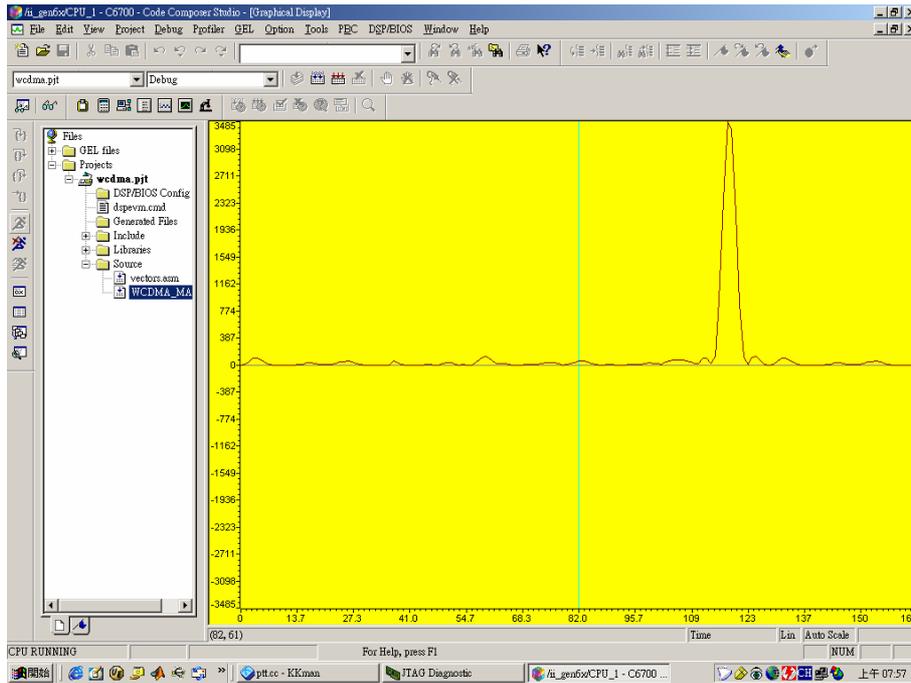


圖 4.11 DSP 讀入延遲特徵資料圖，使用 LOS 通道資料，一個延遲

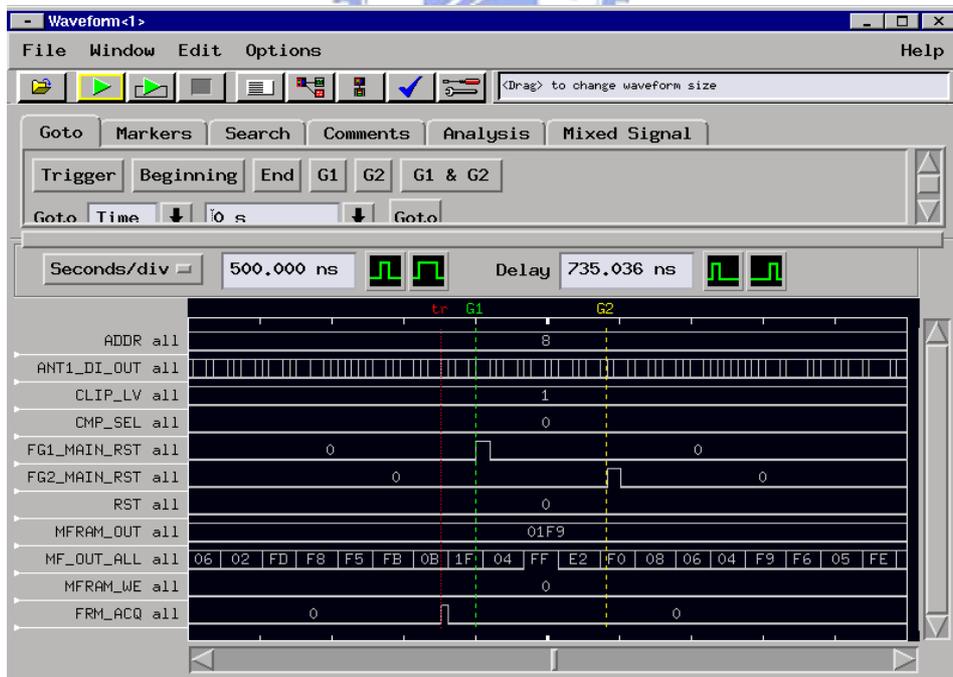


圖 4.12 FPGA 各路徑訊框觸發訊號時序圖，FG1\_MAIN\_RST 與 FG2\_MAIN\_RST 表示兩條路徑之訊框起點

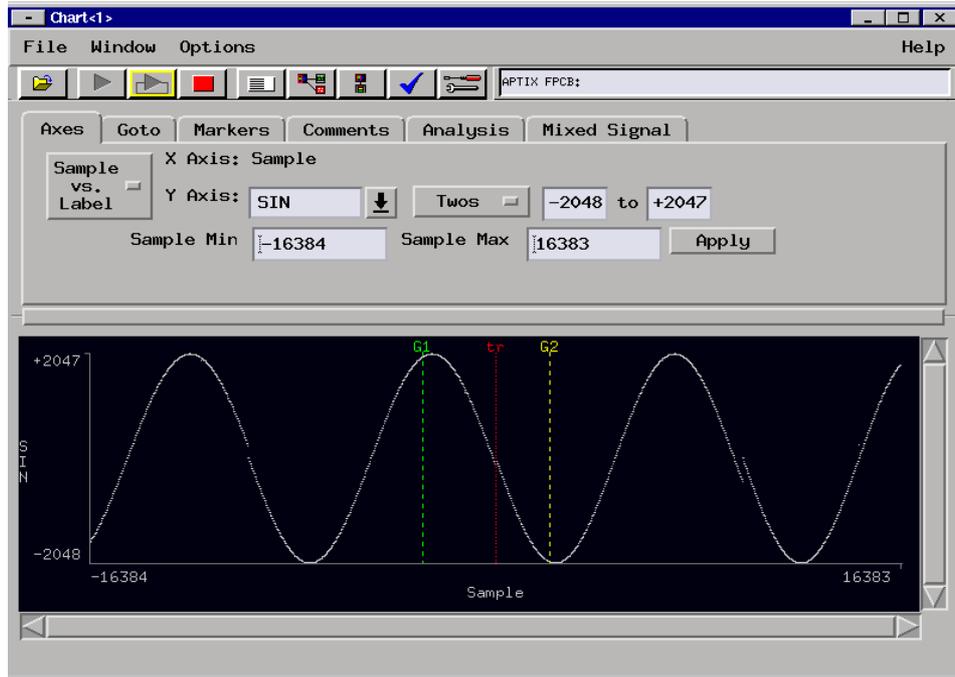


圖 4.13a Core Generator 所產生之正弦訊號圖，其頻率約為 40KHz

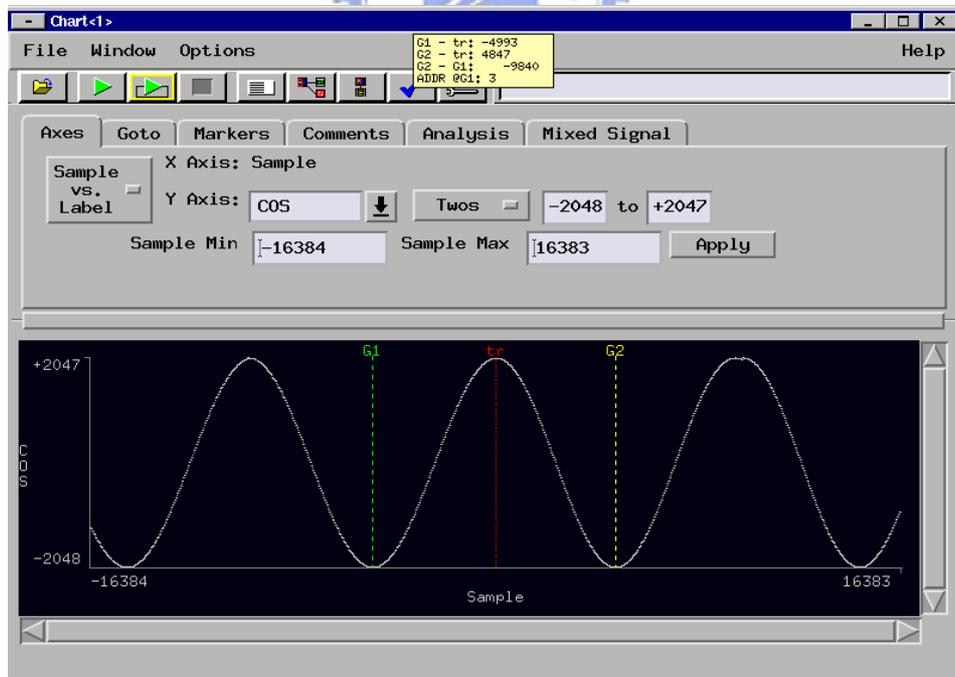


圖 4.13b Core Generator 所產生之餘弦訊號圖，其頻率約為 40KHz

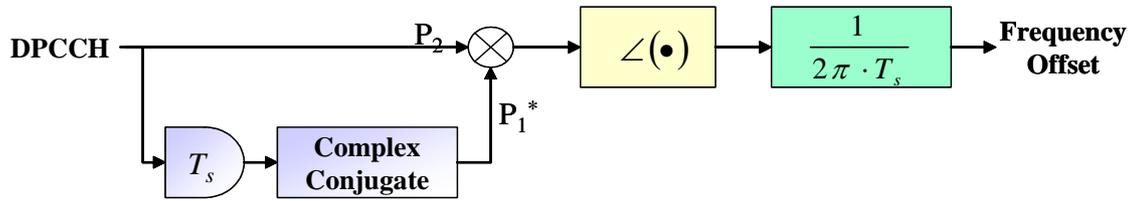


圖 4.14 頻率估計器方塊圖

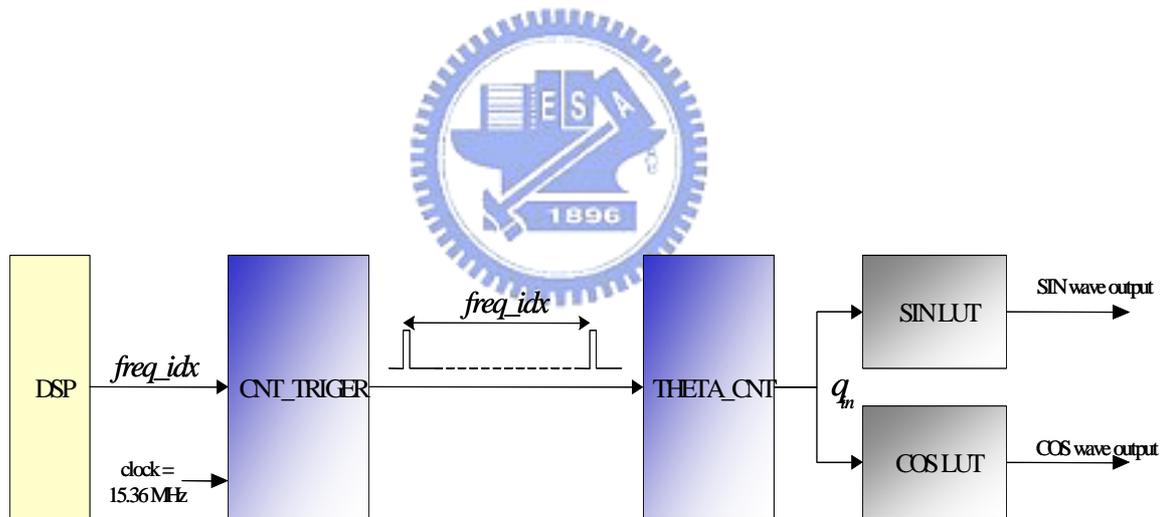


圖 4.1 頻率補償器方塊圖

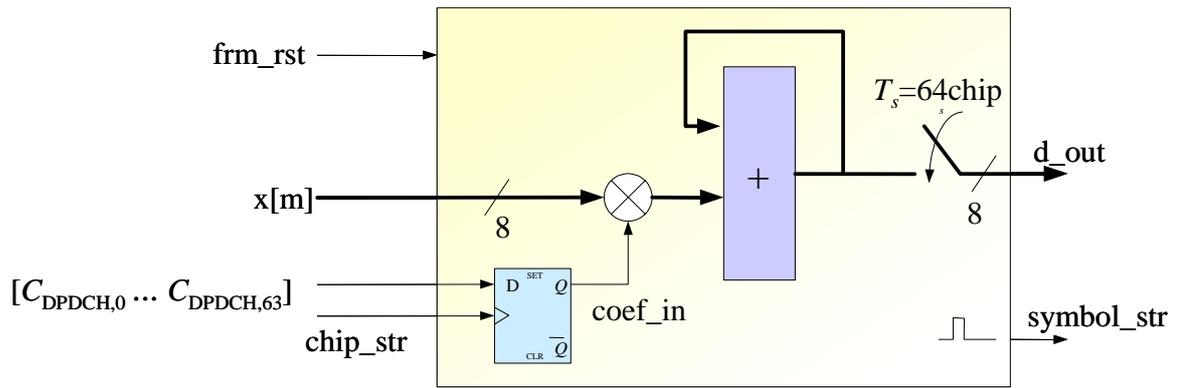


圖 4.16a 資料符元 DPDCH 解展頻示意圖

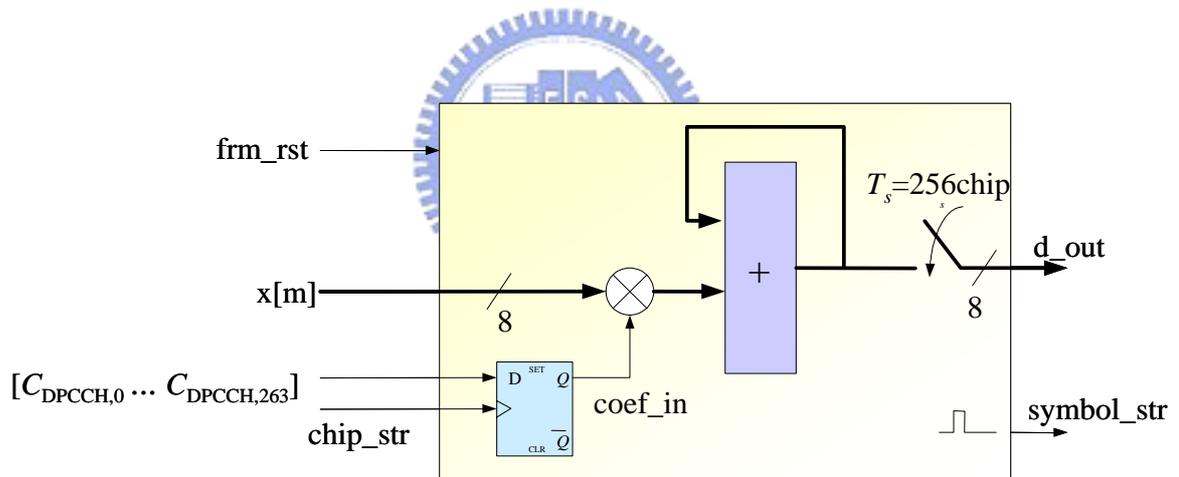


圖 4.16b 引導符元 DPCCH 解展頻示意圖

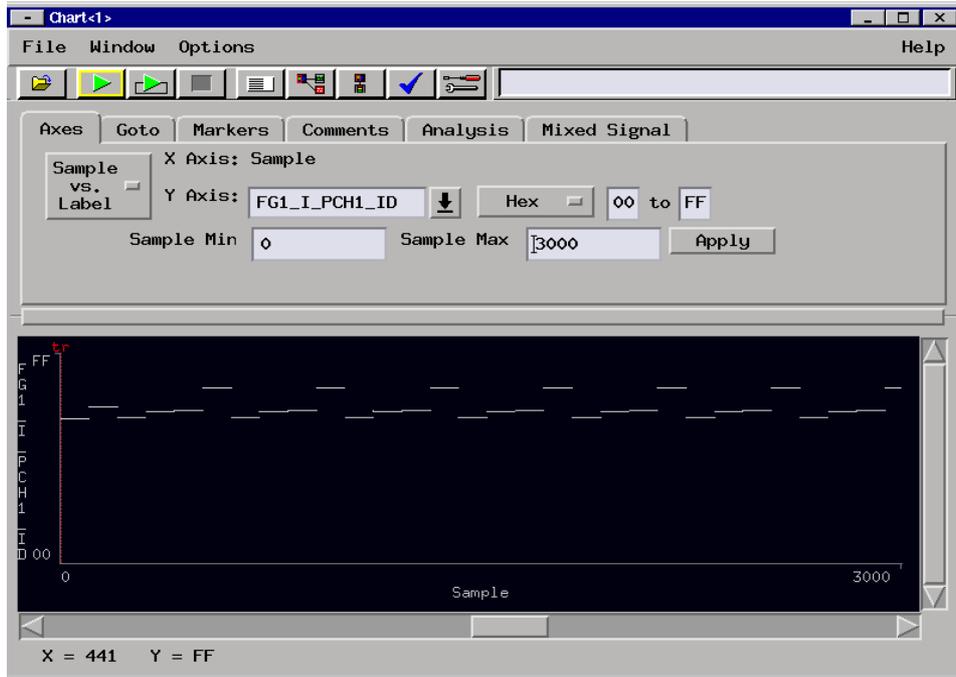


圖 4.17a I 通道引導符元輸出圖

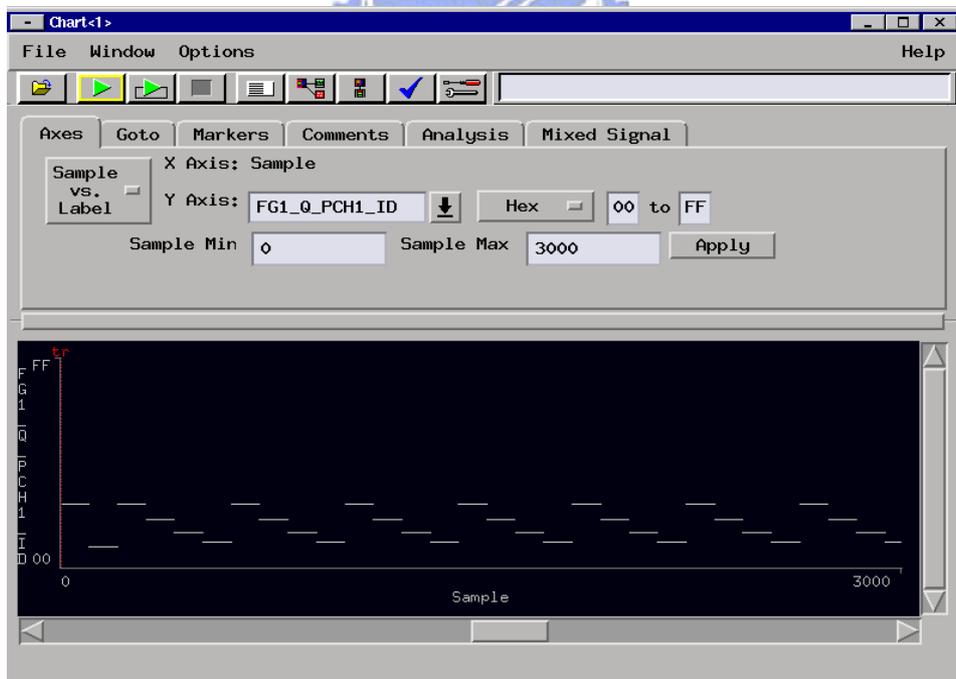


圖 4.17b Q 通道引導符元輸出圖

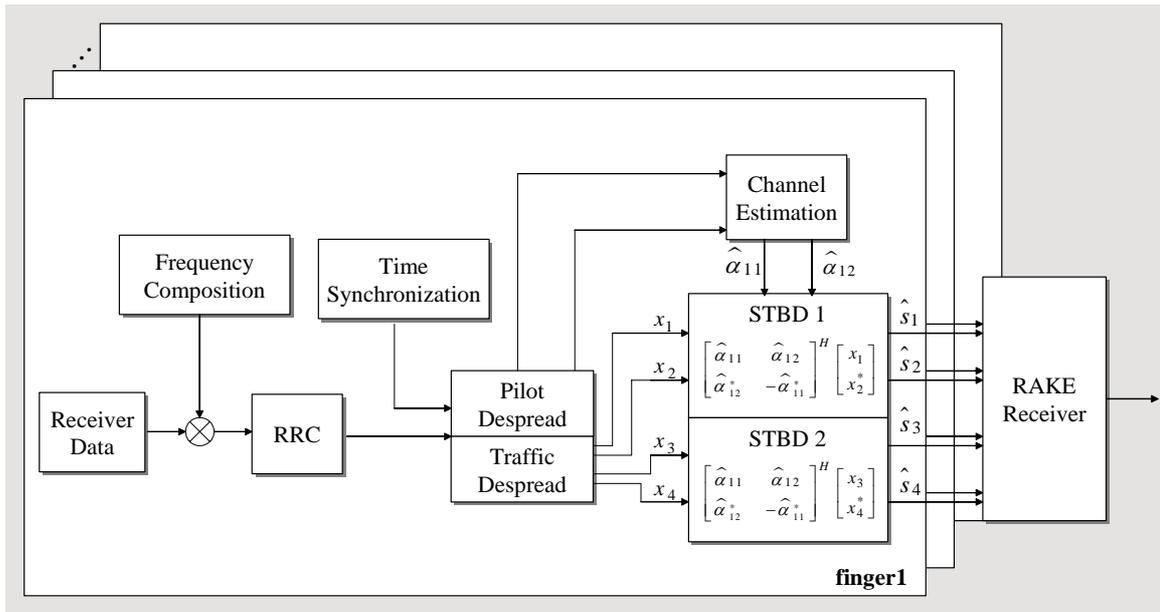


圖 4.18 空-時解碼器電路架構圖

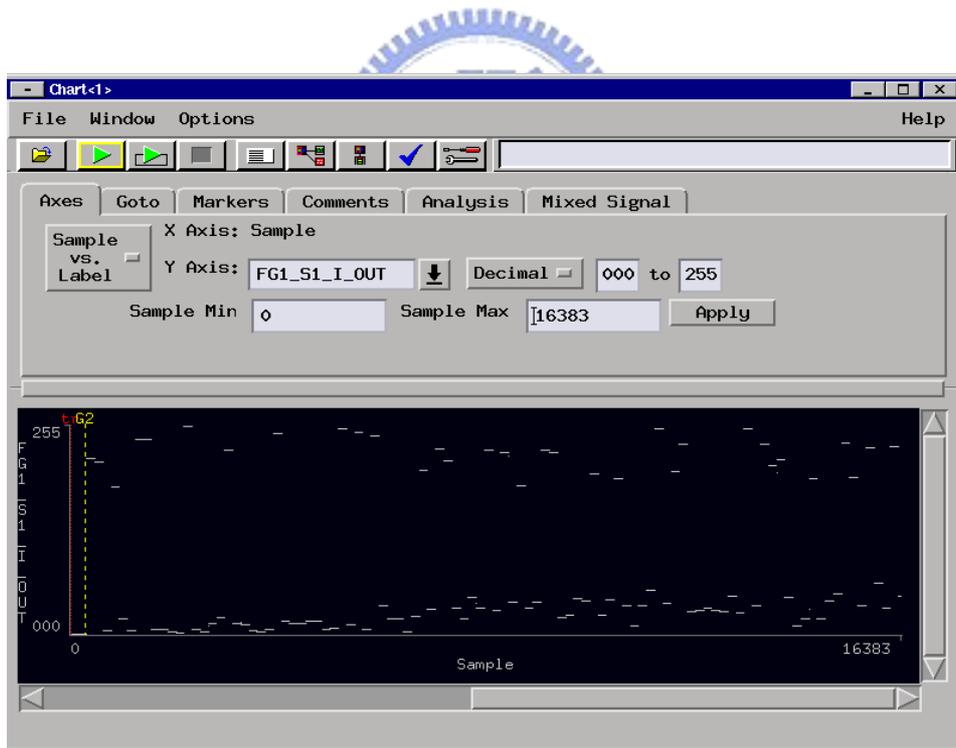


圖 4.19 犁耙式接收機輸出圖

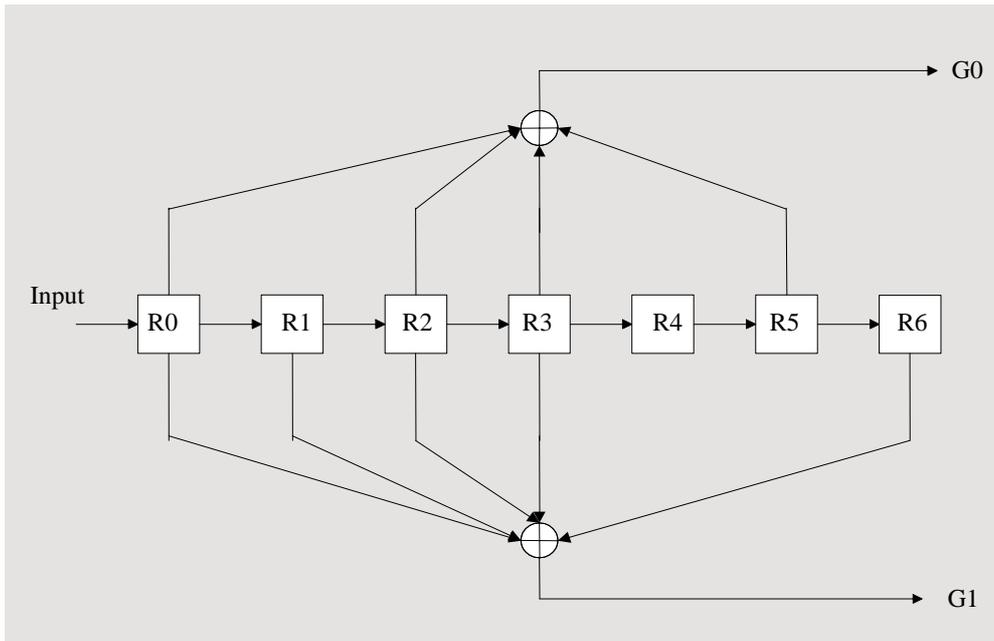


圖 4.20 迴旋編碼器架構圖，編碼率為 1/2

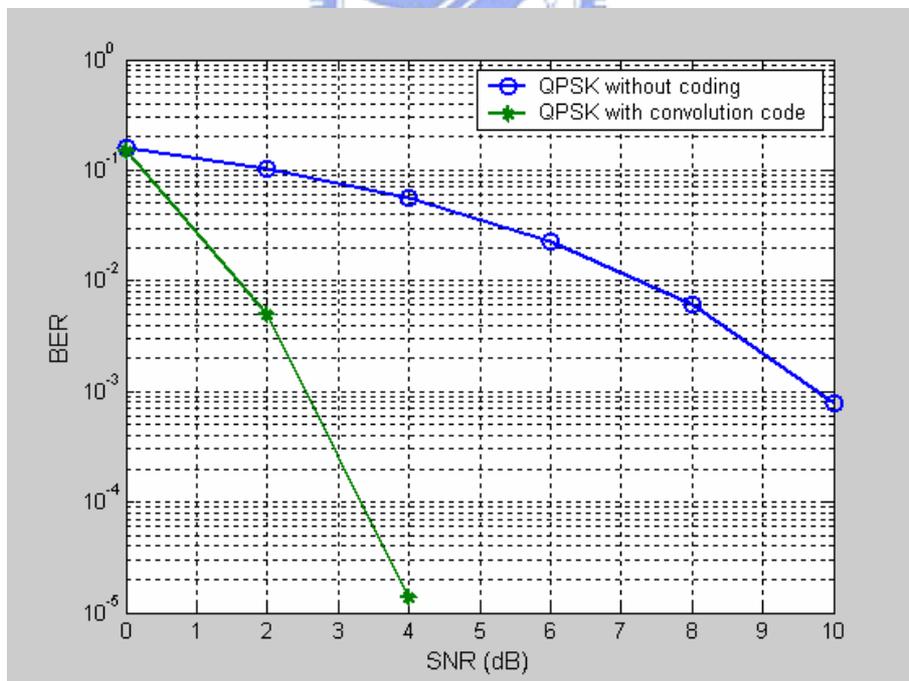


圖 4.21 使用迴旋編碼器之效能模擬圖

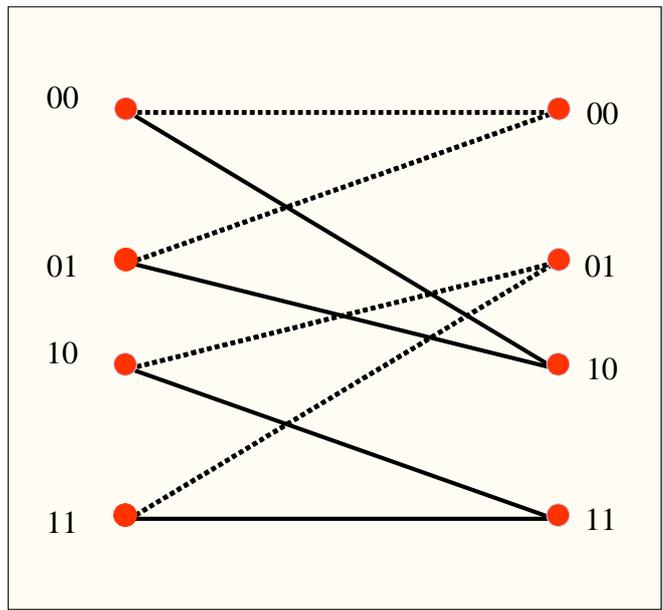


圖 4.22a 4 個狀態之 trellis 圖

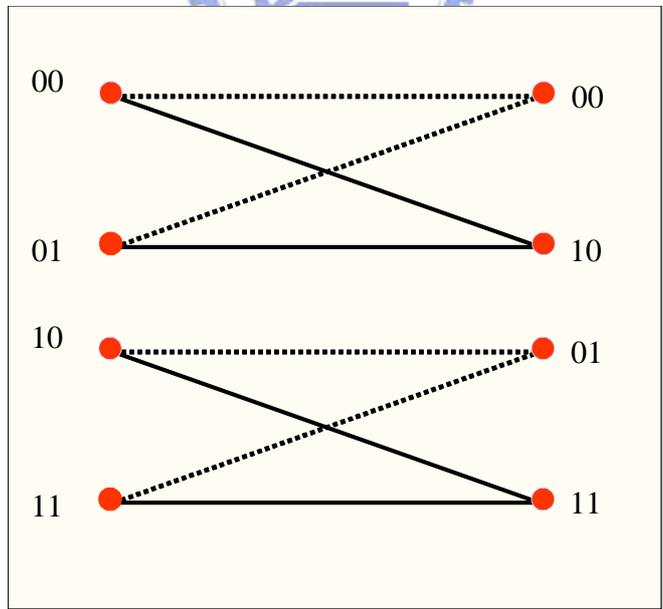


圖 4.22b 重新編排 4 個狀態之 trellis 圖，此為蝴蝶架構

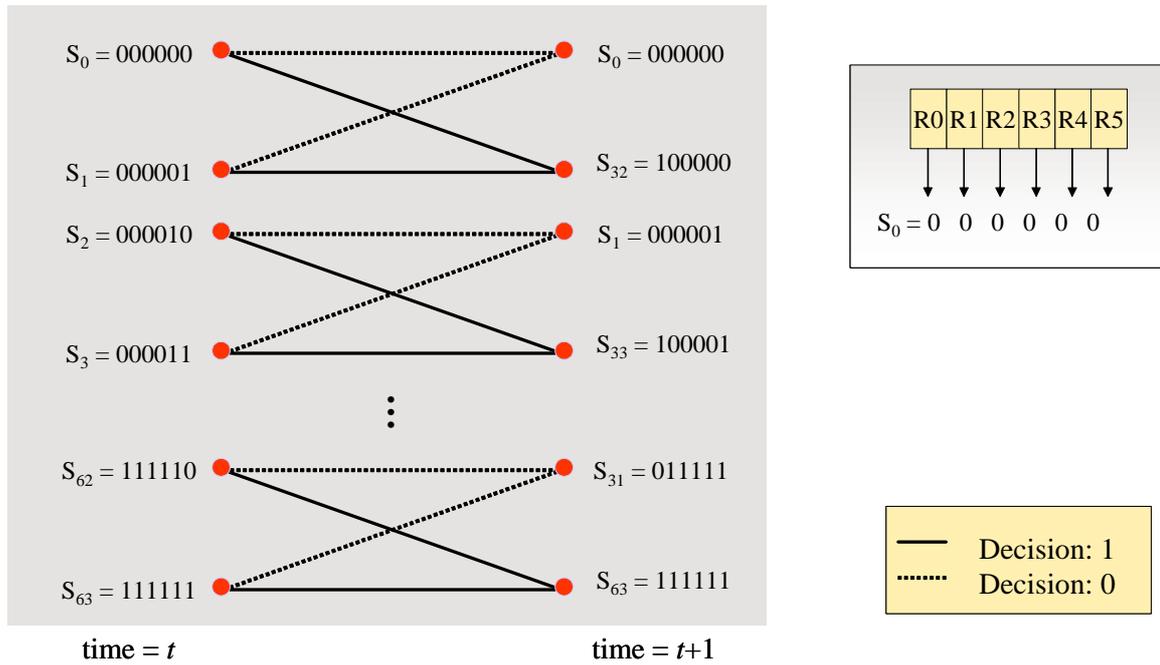


圖 4.23 64 狀態之蝴蝶架構圖，其狀態為前 6 個移位暫存器 R0~R5 之值

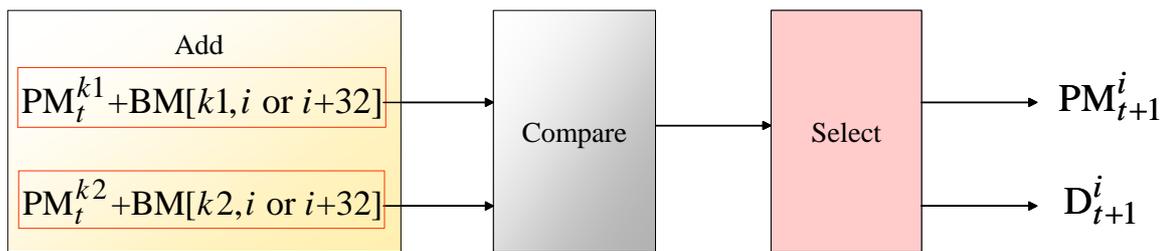


圖 4.24 相加、比較、選擇方塊示意圖

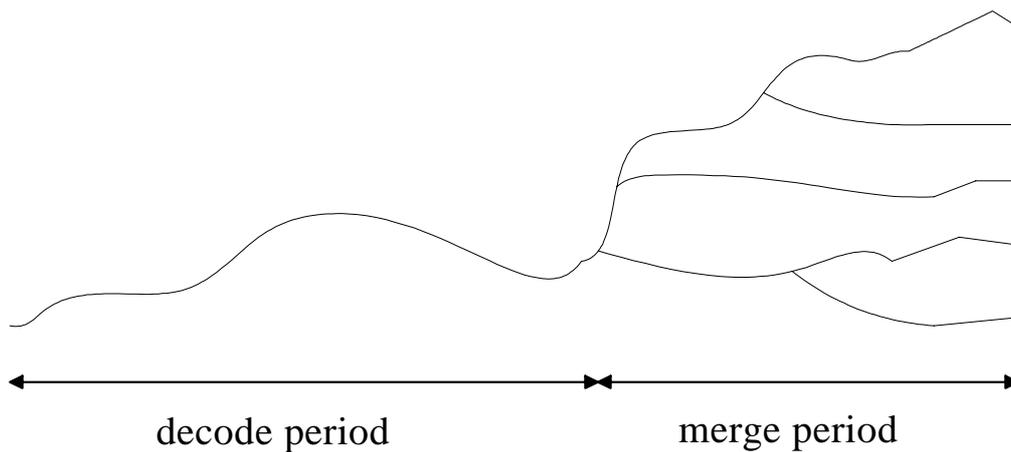


圖 4.25 迴旋碼解碼器之回溯兩階段示意圖

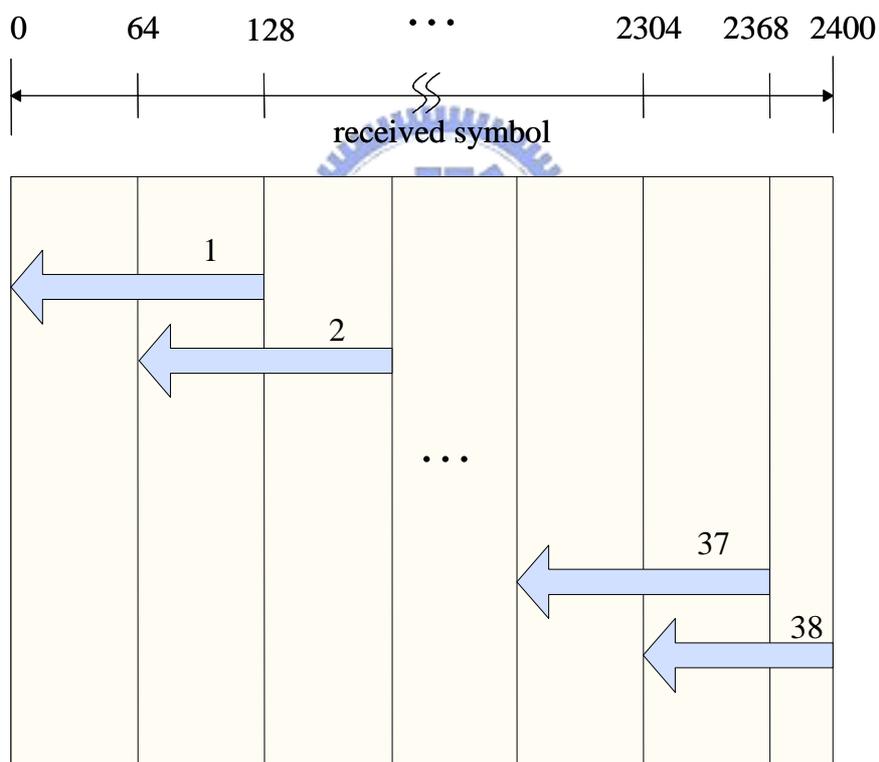


圖 4.26 迴旋碼解碼器之回溯次數與時間關係圖

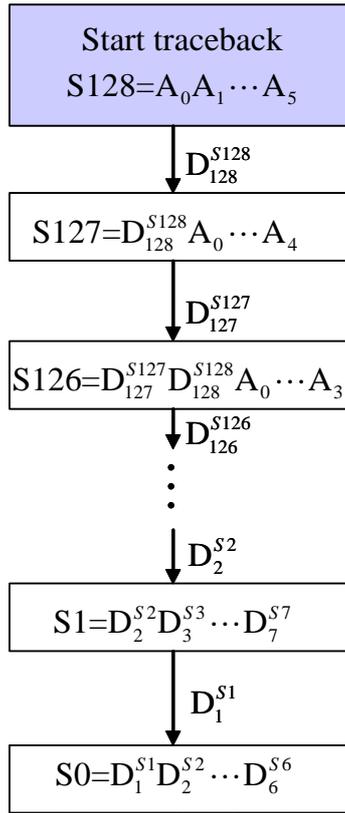


圖 4.27 迴旋碼解碼器之回溯流程圖，第 128 個符元開始第一次回溯，其後每增加 64 個符元回溯一次

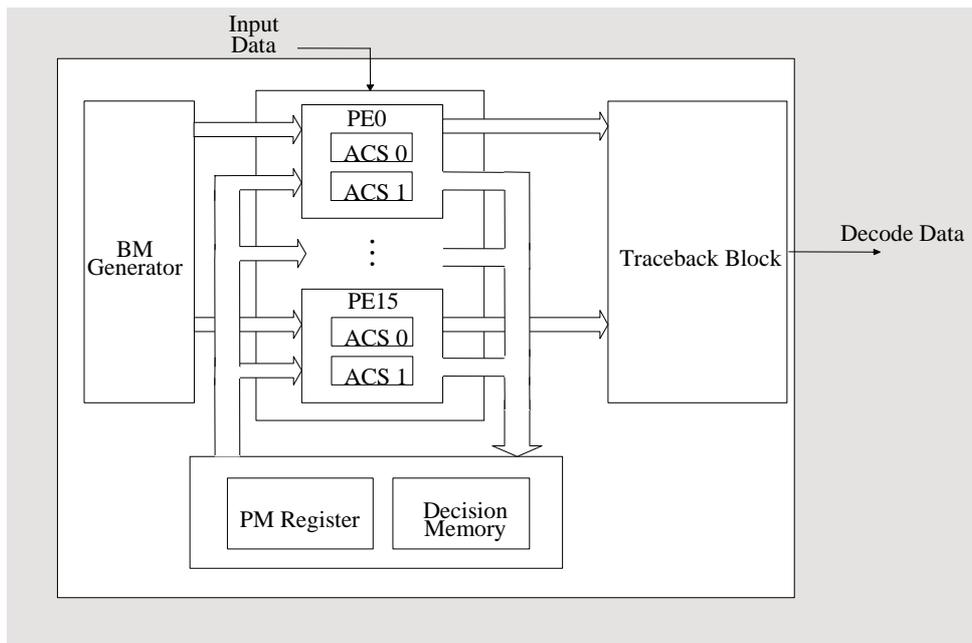


圖 4.28 迴旋碼解碼器架構圖

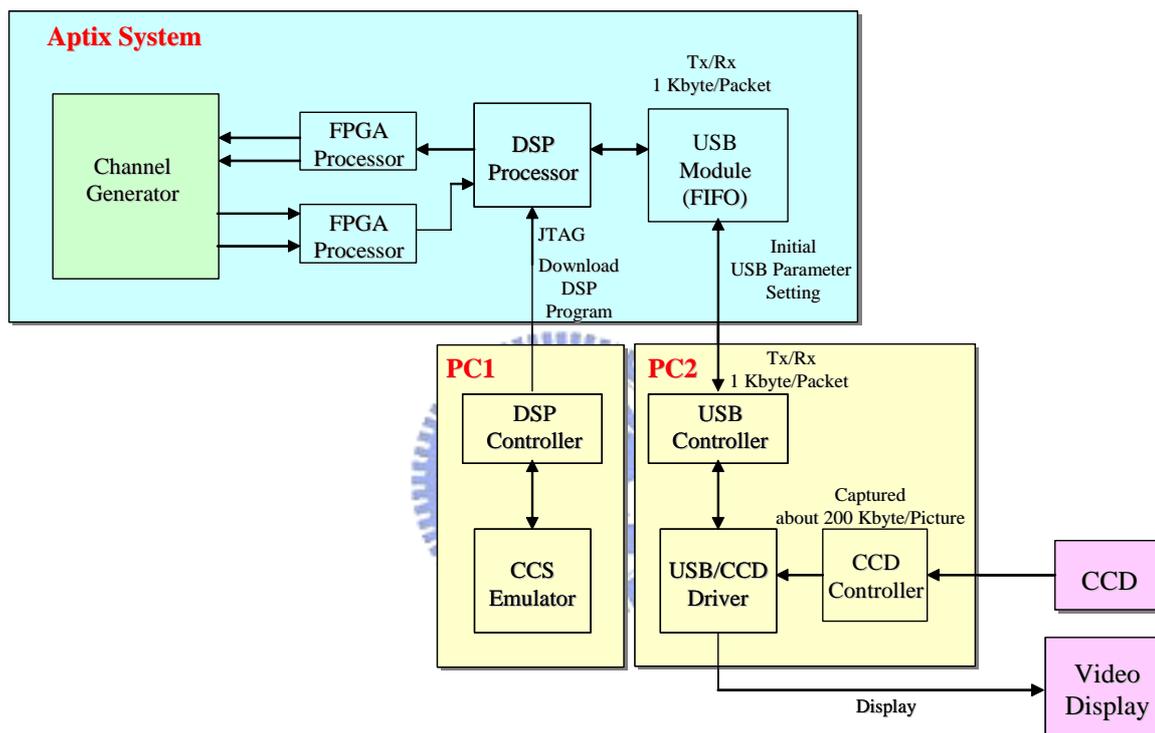


圖 4.29 CCD 影像傳輸架構圖



圖 4.30 使用八根傳送天線及波束形成器之動態影像傳輸圖，其BER為  $1.86 \times 10^{-3}$



圖 4.31 使用單根傳送天線之動態影像傳輸圖，其BER為  $1.13 \times 10^{-2}$

表 4.1 各功能單元之 FPGA 使用率對照表

功能單元	FPGA Slice 使用數目	等效邏輯閘數目
碼擷取單元	5,015	188,253
碼追蹤單元	331	5,992
解展頻電路	4,584	910,717
頻率估計單元	220	4,484
空一時解碼器電路	960	1,932
迴旋碼解碼器電路	22,400	228,452



表 4.2 各功能單元之 DSP 讀取與運算時間對照表

功能單元	DSP 讀取資料時間	DSP 運算時間
路徑搜尋單元	91 us	30 us
碼追蹤單元	1,776 us	554 us
頻率控制單元	888 us	1,398 us

表 4.3 MISO W-CDMA 收發機系統環境參數表

W-CDMA 下鏈路系統系統參數定義			
訊框大小		38400	38400
符元長度		2400	2400
天線 數目	傳送端	1	8
	接收端	1	1
系統時脈		15.36MHz	15.36MHz
通道編碼		迴旋碼，編碼率為 1/2	迴旋碼，編碼率為 1/2
調變模式		QPSK	QPSK



## 第五章

### 結論

以 W-CDMA 為核心技術之第三代無線通訊，已無法滿足未來多媒體通訊之頻寬需求，因此下一世代之無線通訊研究與發展，將由第三代無線通訊為基礎，結合了智慧型天線及高速下鏈封包交換之技術，有效地提升系統容量與傳輸速率，以滿足未來多媒體傳輸之需求。

在本論文中，吾人利用 Aptix MP3C 快速離型發展平台實現 MISO W-CDMA 收發機架構。在傳送端部分，其通道結構包含資料通道 DPDCH、同步通道 SCH 及引導通道 DPCCH。資料通道從 DSP 端傳送，經由 FPGA 編碼、交錯、空一時區塊編碼、展頻及波束形成器處理之資料；同步通道利用了 64 碼片的 PN 碼，使用碼擷取單元估出粗略的訊框起始位置；引導通道則在傳送用以碼追蹤及頻率同步之引導資料。而在接收端部分，首先用匹配濾波器得到延遲特徵資料，由 DSP 分析各路徑起始點，接著碼追蹤迴路會在每一個訊框時間追蹤一次路徑位置，且產生相對應的訊框觸發訊號，之後利用此觸發訊號啟動解展頻電路，得到 DPDCH 與 DPCCH 之解展頻符元。DPCCH 的輸出符元即為通道估計的資料，先利用 DPCCH 中引導符元之相位變化估計出頻率偏移量，並在 FPGA 補償回接收端以消除頻率偏移，之後啟動空一時解碼器電路再由犁耙接收器合成不同路徑的資料符元輸出，通過解交錯及迴旋解碼器之後，即為資料通道的估計值。

吾人所建立之MISO W-CDMA收發機，利用Aptix<sup>®</sup> System Explorer MP3C快速雛型發展平台整合DSP、FPGA及USB模組，做為基頻訊號之處理單元。由於DSP有著強大的運算能力，並使用C語言為開發工具，故吾人將核心演算法置於DSP中，如碼擷取、路徑搜尋、碼追蹤與頻率估計等，減少以電路實現演算法中複雜的數學函式，這樣一來，可以加速系統開發進度。而FPGA部分，利用其高執行效率、低耗電量及可程式化之特性，實現功能單純及運算繁複之電路，如時序同步電路、自動頻率控制電路、解展頻電路、空一時解碼電路及迴旋解碼電路，並在硬體實現過程中，將電路予以模組化設計，可以根據DSP運算後回傳之參數，進行同步、頻率補償等動作。此種電路整合架構提供很大的自由度，以利於未來系統之擴充及縮短開發時程，並使用USB來傳輸即時動態影像及檔案，更能夠增加系統之彈性及可適性。而在全系統設計的考量下為了達到系統最佳化之設計，在FPGA及DSP實現之分配上則必須以FPGA之電路面積及DSP之運算時間作適當的取捨，使用最小的FPGA電路面積下達到所需的系統速度，以符合本系統設計的原則。

在未來的無線通訊系統中，將會整合各種不同之通訊規範，以同時服務使用不同資料速率、頻寬及功率之用戶。為了達到上述目標，吾人引入軟體無線電之設計概念，藉由參數及功能模組切換之特性，以提供更豐富之數位資訊服務。因此，吾人所發展之MISO W-CDMA高速下鏈系統，若套用軟體無線電之特點，將更有效地進行實體層與網路鏈結層之共同設計，如適應性調變及編碼(Adaptive Modulation and Coding, AMC)及混合重送機制(H-ARQ)，前者可對於不同的通道環境，給予不同的資料傳輸速率，後者則可針對傳送錯誤進行更正或重傳。藉此整合，吾人所發展之系統，必能滿足未來行動通訊不同的業務需求及QoS (Quality of Service)的要求。

## 參考文獻

- [1] S. M. Alamouti, "A simple transmit diversity technique for wireless communicatoins," *IEEE Trans. Commun.* vol. 16, no.8, pp. 1451-1458, Oct. 1998.
- [2] 3<sup>rd</sup> Generation Partnership Project (3GPP), *Technical Specification*.
- [3] 林傳生, *使用 VHDL 電路設計語言之數位電路設計*, 儒林, 2000.
- [4] J. Bhasker, *A VHDL Primer*, Prentice Hall, 1998.
- [5] 國家晶片系統設計中心, *Xilinx (PC)*, July 2000.
- [6] J. Mitola, *Software radio architecture*, A Wiley-Intersceience Publication, 2000.
- [7] H. Holma and A. Toskala, *WCDMA for UMTS: Radio Access for Third Generation Mobile Communications*, John Willy & Sons, 2000.
- [8] A. J. Viterbi, *DS-CDMA: Principles of Spread Spectrum Communications*, Addison-Wesley, 1995.
- [9] G. J. Foschini, "Layered space-time architecture for wireless communication in a fading environment when using multiple antennas," *Bell Labs Syst. Tech. J.*, vol. 1, pp. 41-59, Autumn 1996.
- [10] G. J. Foschini and M. J. Gans, "On limits of wireless communications in a fading environment when using multiple antennas," *Wireless Personal Commun.*, vol. 6, no. 3, pp. 311-335, 1998.
- [11] A. F. Naguib and R. Calderbank, "Space-time coding and signal processing for high data rate wireless communications," *Wirel. Commun. Mob. Comput.*, pp. 13-34, 2001.

- [12] A. J. Paulraj and C. B. Papadias, "Space-time processing for wireless communications," *IEEE Signal Processing Magazine*, vol. 14, pp. 49-83, Nov. 1997.
- [13] Almeida N.T. and Abrantes S.A., "A novel approach to ARQ error control mechanisms for wireless LANs communications," *25th Annual IEEE Conference*, Tampa, USA, Nov 2000.
- [14] Haykin, S., *Communication Systems, 4th ed.*, John Wiley and Sons, New York, 2000.
- [15] Sklar, B., *Digital Communications, 2nd ed.*, Prentice-Hall, Upper Saddle River, NJ, 2001.
- [16] Dalia Lashin and Barry Cisneros, *System Explorer MP3C Reference Guide*, Aptix Inc., 1999.
- [17] Taxes Instrument, *TMS320C6701 FLOATING-POINT DIGITAL SIGNAL PROCESSING*, sprs067e, May, 2001.
- [18] Taxes Instrument, *TMS320C6000 Peripherals Reference Guide*, spru190d, February, 2001.
- [19] Taxes Instrument, *TMS320C6000 Programmer's Guide*, spru198g, Aug. 2002.
- [20] Taxes Instrument, *TMS320C6000 Optimizing Compiler User's Guide*, spru187k, Oct. 2002.
- [21] Taxes Instrument, *Code Composer Studio Getting Started Guide*, spru509, May 2001.
- [22] Cypress Semiconductor Corporation, *CY7C68013 / EZ-USB FX2 USB Microcontroller / High-Speed USB Peripheral Controller*, June 2002.
- [23] Xilinx, Inc. 2100 Logic Drive, *Sine/Cosine Look Up Table V1.0.2*, October 15, 1999.
- [24] Chao-Yao Huang, *DSP and FPGA realization of timing and frequency of synchronizers for W-CDMA space-time receiver*, NCTU MS. Thesis, June 2002.

- [25] Wen-Chi Lin, *FPGA and DSP Realization of W-CDMA Channel Decoder and Space-Time RAKE receiver*, NCTU MS. Thesis, June 2002.

