

# 無接腳積體電路可行性研究

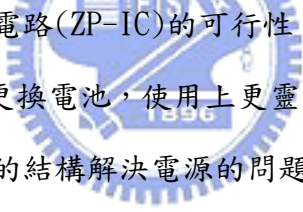
學生:林璟輝

指導教授:高銘盛 博士

國立交通大學

電信工程學系碩士班

## 摘要



本論文研究無接腳積體電路(ZP-IC)的可行性。ZP-IC 可以大量節省片面積，不受電源線束縛，不用更換電池，使用上更靈活，我們發現可以利用非晶矽太陽能電池/MIM 電容/ASIC 的結構解決電源的問題，並提出分壓電容順序放電、分壓電容並聯放電及動態分壓電容三種架構，以更有效率的使用電力。經電腦模擬我們確認所提出的架構可大幅增長工作時間。利用分壓電容放電的特性，我們更進一步提出全電容式變壓器的構想。最後，由研究結果顯示在製程上整合非晶矽太陽能電池、紅外線傳輸、ASIC 是實現 ZP-IC 最可行的方案。

# Feasibility of Zero-Pin Integrated Circuit (ZP-IC)

Student: Ching-Hui Lin

Advisor: Dr. Ming-Seng Kao

Institute of Communication Engineering  
National Chiao Tung University

## Abstract



This thesis studies the feasibility of Zero Pin Integrated Circuit (ZP-IC). ZP-IC, being unrestricted by the power cord, can substantially reduce chip area, and has no need to replace the battery. It is very flexible in practical applications. We find that the structure of amorphous silicon solar cells/MIM capacitor/ASIC is able to solve the power problem in ZP-IC. Three structures: the sequential discharge partial voltage capacitor, the parallel discharge partial voltage capacitor and the dynamic partial voltage capacitor are proposed, which can enable efficient use of electric power. By the simulation results, we make sure that the structures we proposed reach the expected performance, as the working time greatly lengthening. Furthermore, we propose the idea of All-capacitor transformer by taking advantage of the

partial discharging capacitor. Finally, based on our study, we conclude that integrating amorphous silicon solar cells; IrDA and ASIC is the most promising scheme to realize the idea of ZP-IC.



## 誌謝

在我小的時候從沒想過自己會唸大學，也不知道什麼是大學，現在我卻完成了一篇碩士論文，我感到非常的高興，這一路走來我想謝謝很多人，沒有這些人的支持與鼓勵我一個人辦不到。首先感謝的是我的家庭，從小到大不斷的堅定我求學的信念，提供我良好的成長環境，我才有機會完成研究所的學業。再來我非常感激我的指導老師高銘盛教授，他對我而言是不可取代的，沒有他的鼓勵與教導我也許連大學的學業都無法完成，他教給我的東西太多太多了，教我電子學、教我作人、教我種花、教我騎車、教我做研究、教我如何作一個快樂又有用的人，這一年是我求學生涯中最快樂最充實的一年，我永遠不會忘記。

還要感謝我身邊的好朋友，小白、小花、小鐵、A 達、皓棠、重佑、大哥、哈怕、小強、性獸、薇嵐、照慶……等，還有其他好多好多好朋友，你們是我和新竹的家人，我愛你們。還有實驗室的好朋友佑誠、錫錡、志軒、賴昭宏、李昭宏、文狀、佳勳以及碩一的指導老師闕河鳴教授，你們給我很多的幫助以及快樂，也教了我很多東西。還要感謝幫助我做出最重要且最困難的決定的老朋友有國、靜儀、培文、秋鳳，你們讓我找回自己。

最後要謝謝不管發生什麼總是陪在我身邊的麵包，沒有人可以取代你。如果這篇論文有任何的貢獻，這份成就屬於我的家人、老師及朋友。

# 章節目錄

第一章 緒論	1
1.1 研究動機	1
1.2 系統架構簡介	1
1.2.1 電源系統	2
1.2.2 I/O 系統	2
1.2.3 信號處理系統	3
1.3 章節概要說明	3
第二章 太陽能電池	4
2.1 太陽能電池簡介	4
2.1.1 太陽能電池特性	4
2.1.2 太陽能電池發展歷史簡介	5
2.1.3 太陽能電池發電與運作原理	6
2.1.4 太陽能電池電壓電流特性	7
2.2 矽材太陽能電池科技與積體電路製程	8
2.2.1 矽材太陽能電池科技簡介	9
2.2.1.1 晶矽太陽能電池	9
2.2.1.2 非晶矽太陽能電池	12
2.2.2 CMOS 積體電路製程簡介	13
2.3 矽材太陽能電池與 CMOS 積體電路製程整合之可能性	15
2.3.1 晶矽太陽能電池	15
2.3.2 非晶矽太陽能電池	17

第三章 電力系統	20
3.1 電力系統架構	20
3.2 儲存元件有效率的放電到負載	21
3.2.1 直接使用儲存元件的電力	22
3.2.2 分壓電容順序放電(Sequentially discharge partial voltage capacitor)	23
3.2.3 分壓電容並聯放電(Parallel discharge partial voltage capacitor)	24
3.2.4 動態分壓電容(Dynamic partial voltage)	28
3.3 電路架構模擬	30
3.3.1 穩壓器、儲存元件、switch	30
3.3.2 直接使用儲存元件的電力	31
3.3.3 分壓電容順序放電(Sequentially discharge partial voltage capacitor)	33
3.3.4 分壓電容並聯放電(Parallel discharge partial voltage capacitor)	35
3.3.5 動態分壓電容(Dynamic partial voltage capacitor)	39
3.3.6 討論	41
3.4 太陽能電池有效率的充電到儲存電容	41
第四章 討論	44
4.1 I/O 製程整合	44
4.2 電力供需	44
4.2.1 定義 ZP-IC 功能	44
4.2.2 電力消耗	45
4.2.3 電力供給	47

4.3 全電容式變壓器(All-capacitor transformer)-----	48
第五章 結論-----	50
參考資料-----	51



## 圖例目錄

圖 2-1: 太陽能電池運作示意圖	7
圖 2-2: 理想太陽能電池電壓電流特性	8
圖 2-3: 理想太陽能電池等效電路	9
圖 2-4: 考慮串聯與並聯電阻的太陽能電池等效電路	9
圖 2-5: (a) 查克洛斯基晶體提拉法 (Czochralski method)。(b) 懸浮帶區法 (float zone)	10
圖 2-6: (a) 一大塊熔融狀的矽在方形盒中慢慢冷卻成多晶矽晶棒。(b) 切割成適當大小的多晶矽晶棒。	11
圖 2-7: 電漿增強式化學氣相沉積反應器示意圖	12
圖 2-8: 積體電路生產流程	14
圖 2-9: 太陽能電池與 CMOS 電路水平並列	16
圖 2-10: 太陽能電池(左)與 NMOS 電晶體(右)	16
圖 2-11: SOS 製程的太陽能電池(a)與電晶體(b)	17
圖 2-12: TFA 的結構	18
圖 3-1: 電力系統方塊圖	20
圖 3-2: 間歇式工作示意圖	21
圖 3-3: 穩壓器	21
圖 3-4: 穩壓器直接使用儲存元件的電力系統架構	22
圖 3-5: 儲存元件 $C_0$ 對 $n$ 個小電容充電	23
圖 3-6: 分壓電容順序放電	23
圖 3-7: $n$ 個並連的小電容對穩壓器放電	24
圖 3-8: 分壓電容並聯放電電路架構	25
圖 3-9: 交替使用分壓電容並聯放電電路架構	26



圖 3-10:動態分壓電容電路架構	28
圖 3-11:穩壓器電路圖	30
圖 3-12:穩壓器直接使用儲存元件電力電路圖	31
圖 3-13:(a)High-k 電容(b)二氧化矽電容，工作時間比較	32
圖 3-14:穩壓器最低正常輸入電壓	32
圖 3-15:分壓電容順序放電控制訊號	33
圖 3-16:分壓電容順序放電電路圖	34
圖 3-17:穩壓器輸出電壓	34
圖 3-18:兩組分壓電容交替並聯放電電路圖	35
圖 3-19:穩壓器輸出電壓	36
圖 3-20:無負載分壓電容並聯放電的輸出波形	36
圖 3-21:切換分壓電容瞬間各電容上的電流變化	37
圖 3-22:切換分壓電容瞬間兩組控制訊號變化	37
圖 3-23:電容放電路徑	38
圖 3-24:無負載分壓電容並聯放電的輸出波形，analysis step=1ps	39
圖 3-25: 穩壓器輸出電壓	39
圖 3-26:(a)交替充放電控制電路(b)輸出電壓	40
圖 3-27: 電容順序放電架構的穩壓器輸出電壓	41
圖 3-28:串聯多個太陽能電池對電容充電	42
圖 3-29:降低電池陣列輸出電壓，提高輸出電流	43
圖 4-1:全電容式變壓器電路	48
圖 4-2:全電容式變壓器輸出電壓	49

## 表格目錄

表 2-1: 典型沉積元件品質非晶矽重要製程參數-----	13
表 4-1: ZP-IC 工作狀態-----	45
表 4-2: ZP-IC 工作狀態與消耗功率-----	46
表 4-3: 傳送 8bits 的資料消耗的功率與時間-----	47

