

第一章 緒論

1.1 研究動機

台灣的 IC 產業非常發達，但是這個蓬勃發展的產業卻比較缺乏特別的創意，大家努力的方向大都朝向技術的提升，很少見到觀念上的創新，所以我們想要做一顆與眾不同的 IC，或者更精確的說是創造一種新型態的 IC，這種 IC 與其他 IC 的不同之處並不在於功能上，而在於它是『完全不需要接腳』的 IC，即 Zero Pin IC. (ZP-IC)，這將可以大大減少 IC 的體積，擺脫電源線的束縛，並且不需要替換電池，這些特點將可增加 IC 在應用上的靈活度。

1.2 系統概念與架構簡介

ZP-IC 的理想也許曾在許多人腦海浮現過，但是許多技術上的困難讓這個理想遲遲未能實現，隨著 IC 產業不斷精進，System on Chip 逐漸實現，微機電技術日益成熟，ZP-IC 在技術層面上所要克服的問題也越來越少。目前我們可以看到有一些研究成果非常接近 ZP-IC 的理想，例如 Smart Dust 是一個由太陽能發電，可雙向光通訊獨立自主的光感應器[1]；其 16 立方公厘的大小，由 0.25um CMOS、SOI solar cell array、micromachined CCR 3 個晶片組成，可達到 183bps 的傳輸速率，另一個類似的研究成果— PicoRadio [2]，利用太陽能及環境的震動發電，1.9GHz 天線作無線通訊，面積 2.4x3.9 平方公分。這兩個研究成果可獨立自主(autonomous)運作不需要外接電源，這方面跟 ZP-IC 的精神是一樣的，而 Smart Dust 的 solar cell array 及無線通訊的方式若是能整合在 CMOS 製程中，就可以達成 ZP-IC 的理想了。

IC 上的 Pin 主要有兩個功能：一是連接電源，另一是提供訊息交換的管道 (I/O)；當然還有固定 IC、散熱等功能，但是這些功能遠不及電源及 I/O 對 IC 的重要性，所以我們要設計 ZP-IC，一定要解決沒有 Pin 之後的電源連接和 I/O 問題，故初步將整顆 IC 分為電源、I/O 及信號處理三個系統。

1.2.1 電源系統

ZP-IC 將無法藉由 Pin 從外部得到充足且穩定的電源供應，我們面臨的問題是電從哪裡來？電夠不夠用？以及如何穩定電壓？如何建立 IC 內部的電力系統是我們研究的重心。

電力來源的部分我們希望使用太陽能電池來解決電源的問題。由於太陽能電池和一般 IC 在材料及製程上極為相似，例如主要材料均為矽、金屬與介電質，並且沈積的方式常採用 PECVD，我們有很好的機會可以將太陽能電池整合在晶片之中，讓 ZP-IC 不需要藉由 Pin 從外部獲得電源。我們發現了類似的研究成果 [3]，Thin Film on ASIC(TFA)，在 standard CMOS 製程後段再加上非晶矽薄膜製程，非晶矽薄膜受到不同強度不同頻譜的光源產生不同的電壓電流訊息，再傳到 ASIC 作訊號處理，這與太陽能電池發電的運作幾乎是一樣的只是應用的方式不同，還有，太陽能電池製程需要的裝備幾乎和微電子工業一樣，只是製造出來的電池效率有待提升[5]。

太陽能電池就像一個不穩定的電流源，會隨著日照強度、週遭環境溫度、太陽能電池面積等因素而改變輸出電力，故我們需要一個夠大的電容儲存太陽能電池產生的電荷，以確保電源供應充沛。尋找可以在最小體積儲存最多電荷的電容是我們的目標。以目前的技術，符合 CMOS 後段製程 MIM 電容可以達到

3.5uF/cm² [4]的電容密度。

IC 需要穩定的電壓及電流以確保工作正常，因此需要一個穩壓電路，能夠在負載變動及電源變動下提供穩定的工作電壓，並且以最有效率的方式使用儲存在電容裡的電力。如何有效率使用電力在 ZP-IC 裡是個很重要的議題，在這篇論文裡面，我們提出幾個架構以使讓穩壓器更有效率的使用儲存在電容裡的電力。

1.2.2 I/O 系統

I/O 是 IC 和外界溝通的管道，我們希望使用無線通訊的方式代替 Pin 在 I/O 方面的功能，那表示可能需要將天線做在晶片上，至少是 Package 在 IC 之中。

我們的目標是尋找可整合在 IC 上的 I/O 方式，而且最好可以符合 CMOS 製程。

1.2.3 信號處理系統

初期的方向，將研究具有某特定功能的 IC，估計它在電力上的需求及電路的複雜度，接著再研究相關信號處理流程以及電力系統的設計。

1.3 章節概要說明

本論文共分六章，各章概要說明如下：

第一章 說明研究動機，簡介 ZP-IC 概念及說明研究方向。

第二章 簡介太陽能電池歷史與科技及積體電路製程，討論兩者整合之可能性。

第三章 介紹 ZP-IC 電力系統的架構，定義電力系統的最佳化，並提出三種分壓電容架構增進電力的使用效率。

第四章 針對 I/O 整合以及電力供需作討論，以及如何利用分壓電容架構實現全電容式變壓器。

第五章 整理研究成果，總結這次研究的貢獻與未來展望。



第二章 太陽能電池

ZP-IC 有許多的問題需要克服，在電力、I/O、無線通訊這三個問題裡，建立 IC 內部的電力系統這個問題是目前最少被研究，但是最少被研究並不代表問題不重要，我們深信這問題存在極高的價值，不論在學術上、經濟上或是對於改善人類的生存環境，所以選擇從電力的問題出發。以目前的科學技術而言，能夠在積體電路的實體尺寸範圍內發電的選擇不多，安全、乾淨、無噪音、取之不盡的太陽能可能是最佳的選擇，固有必要深入的了解太陽能電池。

2.1 太陽能電池簡介

本節首先簡介太陽能電池的特性及優缺點，接著再說明太陽能電池的發展歷史，最後闡述太陽能電池的運作與發電原理。



2.1.1 太陽能電池特性

目前利用太陽能發電的技術主要有兩種，一種是利用太陽的熱能將液態的水變成水蒸氣，再利用蒸氣的力量推動發電機發電，這種技術需要相當龐大的機械結構，並不適合整合在積體電路內部。另一種技術是利用半導體吸收光子，在適當的結構下(p-n junction)自然產生電壓和電流，這種現象我們稱為光電伏打效應(photovoltaic)。能產生這種現象的東西我們把它叫做太陽能電池(solar cell)，它的材料和積體電路同為半導體，需要的結構在積體電路中又很常見，比較符合我們的基本需求。

太陽能電池相較其他能源有許多優點：

1. 免費而且取之不盡用之不竭。
2. 不會造成空氣、水、噪音等各種污染，是一種乾淨的能源。
3. 只要有太陽的地方就可以發電，不受到電源線的限制。

4. 以目前的技術，太陽能電池的使用壽命可以達到 20 年以上，而且這期間幾乎不需要維修。

當然它也存在一些缺點：

1. 只有在有太陽照射的地方才能發電，而且本身不具備儲存能量的能力。
2. 因為太陽能電池轉換效率不高的關係，需要相當大面積的太陽能電池才能有最大功率輸出，產生能量約 100 W/m^2 。
3. 相對而言，太陽能發電仍然是昂貴的， 4.5 US/Watt [5]。

影響太陽能電池普及率的原因很複雜，製造成本高導致單價高是一重要因素，討論普及率雖不是我們研究的重點，但仍希望我們的研究能提升太陽能電池這種環保的能源技術的普及率。

2.1.2 太陽能電池發展歷史簡介

太陽能電池的發展可以追溯到二十世紀初，德國科學家 Max Planck，他試著去解釋為什麼會發光的東西存在著會發熱的本性，後來根據他的觀察，他假設能量值是被限制在某些不連續的能階上，這激發了另一位知名的科學家，Albert Einstein，他在 1905 年提出光是由許多小粒子所組成的，也就是我們現稱的光子(photon)，每一顆光子都帶著一點點的能量，頻率越高的光子帶的能量就越多。根據 Einstein 的推論，在 1926 年 Edwin Schrödinger 推出了波動方程式，Wilson 在 1930 年用波動方程式解釋了固態金屬、絕緣體、半導體這些物質為什麼具有不同的電性。在金屬裡面電子可以自由的移動，在絕緣體中電子被原子綁在某些固定的位置，這些被綁住的電子需要很多的能量才能讓它們脫離原子的束縛而自由移動，半導體介於導體與絕緣體之間，它內部的電子大部分也是被原子束縛，但是只需要一點點能量就可以獲得自由，例如一個光子的能量。

到了 1940 年，Russel Ohl 意外地在一根原本以為是純矽的棒子受到強光後發現了大量的電壓，後來深入發現那棒子不是純矽而是摻雜了磷與硼，William

Shockley 在 1949 提出了 p-n junction 的理論，並很快的設計出一個電晶體，隨後引發了半導體革命，1954 年第一個太陽能電池被製造出來了。

第一個商業用途的太陽能電池在 1958 年被生產出來，但是一直到 1970 年代初期，石油危機讓大家重新重視能源問題，太陽能電池工業開始起步，產品開始進入家庭並且快速成長，一直到二十世紀末期達到每年有十億美元的產值。

Max Planck 質疑並想要解釋發光的東西會發熱的本性，一個通常被視為無聊的舉動，推動了巨輪，爾後的科學家一足足的走下去，一個環節一個環節連起來，太陽能電池不是無中生有，它是人類智慧的累積，加上一點點運氣。

2.1.3 太陽能電池發電與運作原理

想要以太陽能電池將光的能量轉換成我們可利用的電能，有以下三個基本的條件：

1. 太陽能電池必須吸收太陽光產生額外的電子-電洞對，這時候光能已經轉換成電能，但是我們還無法控制、利用這股能量。
2. 額外產生的電子-電洞在它們原本的區域是屬於少數載子，必須要有一個機制，例如電場，控制它們分開並且進入另一個區域成為多數載子，再藉由庫倫力分別將它們排到外部的負載，完成一個迴路。
3. 額外產生的少數載子必須要能存活到變成多數載子。

以上最難的就是控制額外產生的電子-電洞方向的電場，外加一個電場很容易，但是因為我們要額外提供能量控制它們的方向，就沒有發電的功能了，所幸我們可利用兩個異質半導體相接，在接面附近產生內建電場，巧妙達成第二個條件。半導體較容易因吸收太陽光產生額外的電子-電洞對，在空乏區內額外產生的電子-電洞對，會被空乏區內的內建電場給牽引至空乏區外，由原本的少數載子變成多數載子，多數載子再彼此互相排擠，經由連接異質半導體兩端的導線完成一個迴路。

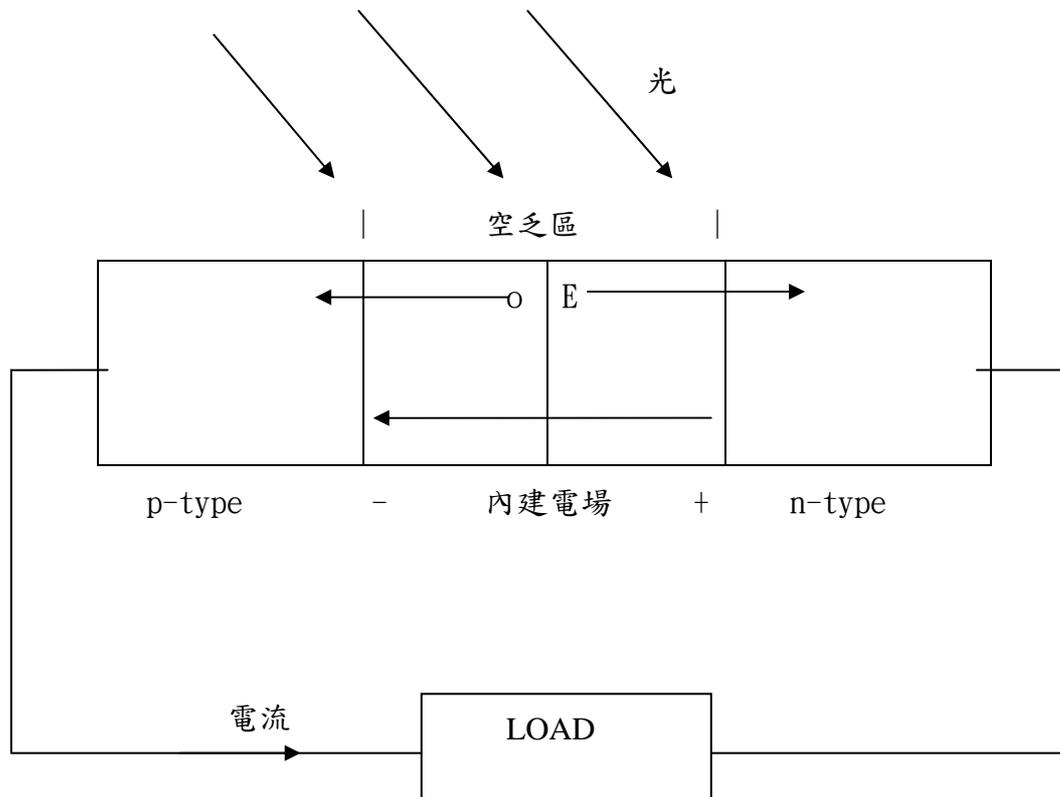


圖 2-1: 太陽能電池運作示意圖

要設計一個好的太陽能電池不容易，但是設計一個可以用的太陽能電池並不難，只要符合以上三個條件即可。在下一節我們討論目前的太陽能電池技術，以及如何在積體電路裡面達成這三個條件。

2.1.4 太陽能電池電壓電流特性

接下來我們介紹太陽能電池的電壓電流特性。太陽能電池吸收光子產生電流，電流強度會與入射光的頻譜有關係，也與光子轉換成電子的機率有關，所以

$$J_{ph} = q \int b_s(E) Q(E) dE \quad (2.1)$$

J_{ph} : 吸收入射光所產生的光電流(photo current)密度。

$Q(E)$: 接收到一個能量為 E 的光子，並轉換成一個電子送到外部電路的機

率。

$b_s(E)$:入射光中能量為 E 的光子的通量密度。

q :一個電子的電量。

由於本身的結構像一個二極體，一般太陽能電池在沒有受到光照的時候會隨著外部電壓決定流過太陽能電池的電流

$$J_d(V) = J_o (e^{qV/k_B T} - 1) \quad (2.2)$$

J_d :暗電流(dark current)密度。

J_o :常數。

k_B :波茲曼常數(Boltzmann's constant)。

T :絕對溫度。

太陽能電池的電壓電流特性將由這兩種特性共同決定

$$J(V) = J_{ph} - J_d(V) \quad (2.3)$$

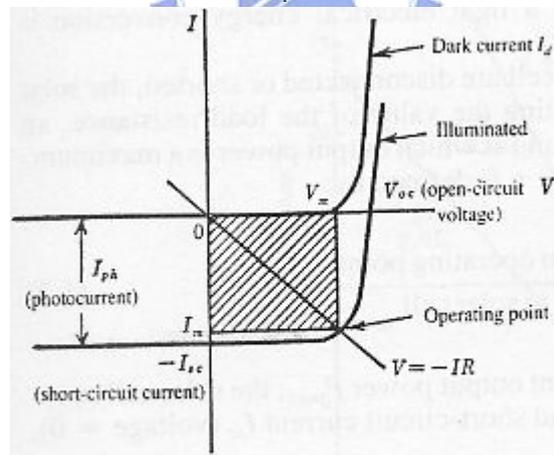


圖 2-2:理想太陽能電池電壓電流特性[12]

當外部為斷路時，光電流等於暗電流，太陽能電池的電位差達到最大值:

$$\begin{aligned} J_{ph} &= J_d(V_{oc}) \\ \Rightarrow V_{oc} &= \frac{kT}{q} \ln\left(\frac{J_{ph}}{J_o} + 1\right) \end{aligned} \quad (2.4)$$

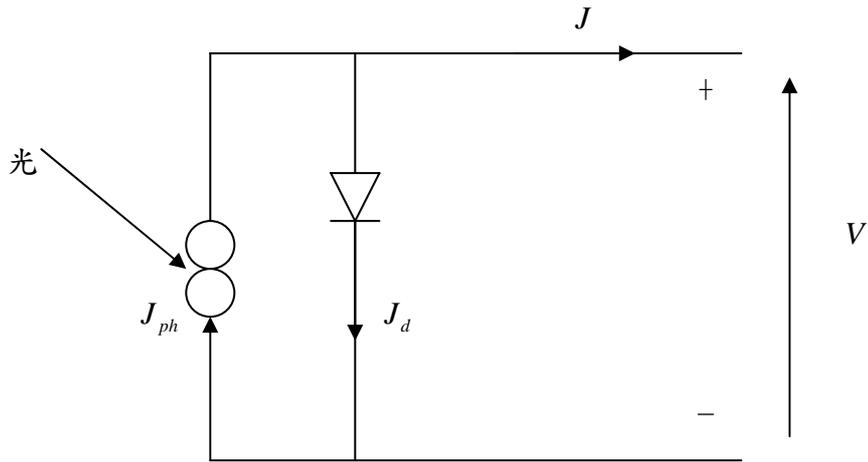


圖 2-3:理想太陽能電池等效電路

但是實際上太陽能電池在表面與金屬導線接觸的地方不可避免產生電阻 (R_s)，而 p-n junction 也存在導電性 (R_{sh})，考慮這兩個因素後修正等效電路為圖 2-4

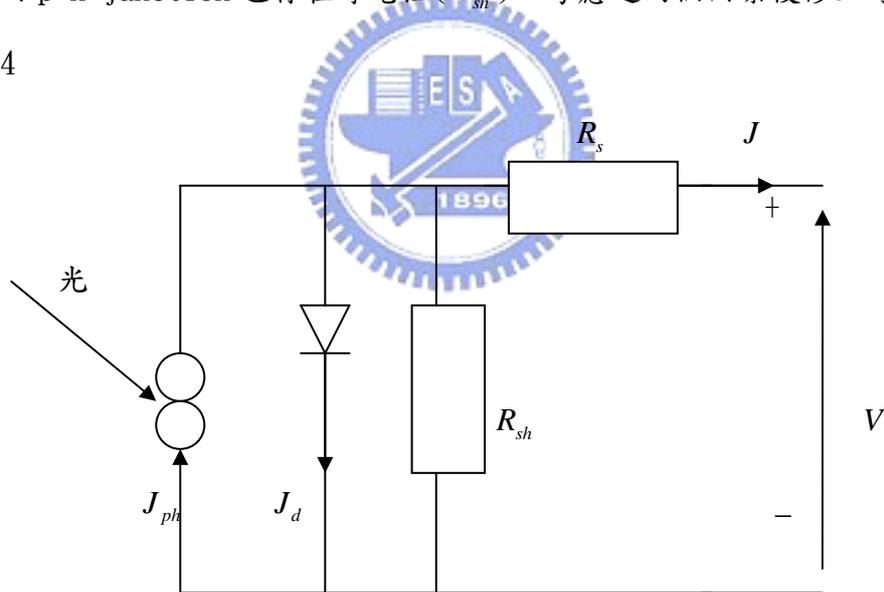


圖 2-4:考慮串聯與並聯電阻的太陽能電池等效電路

R_s 會降低外部負載的電壓， R_{sh} 會減少流到外部負載的電流，兩者皆降低太陽能電池能提供給外部負載的功率。所以要設計一個好的太陽能電池，我們希望 R_s 越小越好， R_{sh} 越大越好。

2.2 矽材太陽能電池科技與積體電路製程

瞭解了太陽能電池的基本原理之後，我們發覺要符合 2.1.3 小節太陽能電池發電的三個基本條件並不難，有很多材料可以達成[6]，例如矽(Si)、砷化鎵(GaAs)、磷化銦(InP)、碲化鎘(CdTe)、硒化銦銅(CuInSe₂)……等，或是這些材料的混合，其中除了矽以外，其他的材料都相對昂貴不易取得。雖然有些材料製成的太陽能電池效能更勝於矽材太陽能電池，但是在考量 CMOS 積體電路主要材料也是矽之後，我們決定從矽材太陽能電池科技開始研究。

2.2.1 矽材太陽能電池科技簡介

2.2.1.1 晶矽太陽能電池科技

製造好的太陽能電池必須從提煉高純度的單晶矽或多晶矽基材做起，最主要的技術為查克洛斯基法 (Czochralski method)，或簡稱 CZ 法，將高純度電子級矽材料(EGS)加熱到攝氏 1415 度，成為高純度熔融狀的矽(molten silicon)，植入單晶晶種，慢慢旋轉拉出單晶矽晶棒，如圖 2-5(a)[5]，通常會在矽裡面摻雜硼，讓拉出來的單晶晶棒成為 p-type。

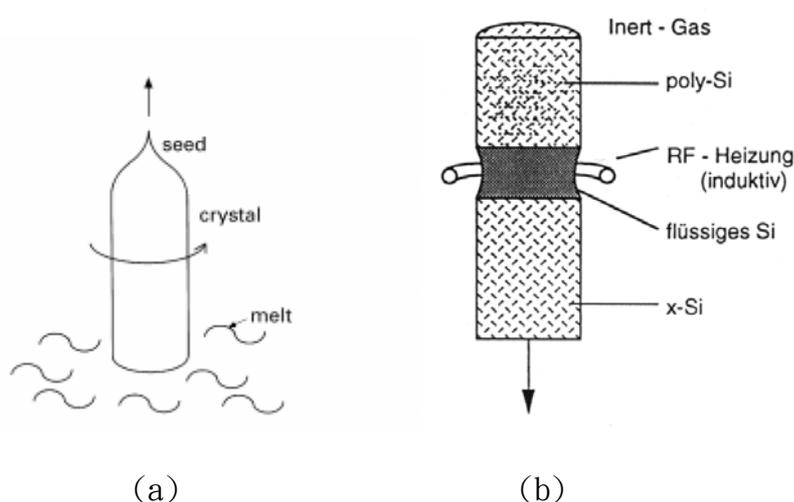


圖 2-5: (a)查克洛斯基晶體提拉法(Czochralski method)。(b)懸浮帶區法(float zone)

另一種製造單晶矽晶棒的方式是懸浮帶區法(float zone)，簡稱FZ法，將一條多晶矽晶棒垂直放在高溫爐管中，利用加熱線圈將晶棒底部熔化，在熔化的底部植入單晶矽晶種，緩慢升高加熱線圈，當加熱線圈掃過整個晶棒後就會變成單晶矽晶棒，這種方式氧和碳的污染較低，單晶矽晶棒純度高，而原始材料多晶矽晶棒也使得成本提高，如圖 2-5(b) [7]。

以上兩種方式原本皆為微電子科技而發展的，可見太陽能電池與積體電路對最基本的材料在電性上的要求是一致的。而多晶矽基材則是專門為了太陽能電池設計的，它讓熔融狀的矽在方型的盒子裡慢慢凝固成為多晶矽晶棒，再將這一大塊多晶矽晶棒切割成適當的大小。如圖 2-6，方型的基材可以讓太陽能電池排列更緊密更有效率，多晶矽太陽能電池效率雖比不上單晶矽太陽能電池，但是製造成本卻低了許多。

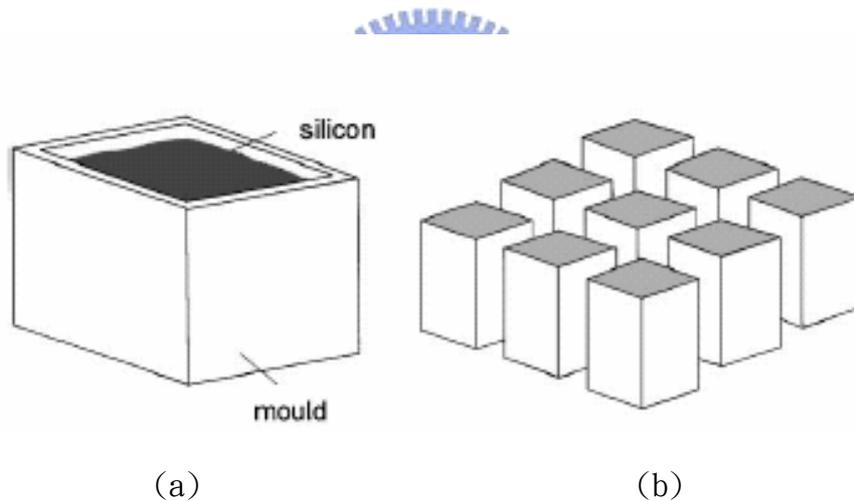


圖 2-6:(a)一大塊熔融狀的矽在方形盒中慢慢冷卻成多晶矽晶棒。(b)切割成適當大小的多晶矽晶棒。

有了晶棒之後，不論是多晶矽或單晶矽晶棒都需要再用鋸子將晶棒切成晶片，有大量的矽基材在這個過程中變成粉末浪費掉，有一種技術利用毛細現象直接吸引熔融狀的矽成為緞帶狀(ribbon)的矽晶片[8]，這種方式可以省去切割晶片造成的浪費。

2.2.1.2 非晶矽太陽能電池科技

非晶 (amorphous) 矽因為缺乏長距離有秩序的晶格排列，導致材料本身電性不好，原本是不適合拿來做太陽能電池的，但是在 1970 年左右發現分解矽烷 (SiH_4) 低溫 (約 300°C) 沉積可得到電性良好的非晶矽，因為原本晶格排列不規則的非晶矽有許多的懸空鍵 (dangling bond) 會捕捉自由電子，而矽烷中的氫原子剛好可以填補這些懸空鍵，形成類似矽氫合金的狀態 (a-Si:H ，大約矽 90%、氫 10%)，會捕捉自由電子的懸空鍵大量減少了，非晶矽的電性也變好了，然而相較晶矽卻仍有一段落差，所以不能再使用晶矽設計太陽能電池的方法設計非晶矽太陽能電池，我們要盡量擴大發電機制中最重要的區域— p-n junction，因為幾乎只有在此區域內吸收太陽能產生的自由電子與電洞才能被內建電場牽引到正確的方向產生電力。方法為在純質非晶矽的兩側分別摻雜薄薄的一層 n、p type，如此一來幾乎整個電池都會受到兩側的電場影響，都是有效的發電區，藉此彌補電性的不足。

在選擇沉積非晶矽的基材上幾乎沒有限制 [9]，通常選擇玻璃或鋁作為基材，沉積的方式有很多種，在這裡我們只介紹最常用的輝光放電 (glow discharge) 或稱為電漿增強式化學氣相沉積 (PECVD) 的方式，使用的工具為電漿增強式化學氣相沉積反應器，如圖 2-7 [10]

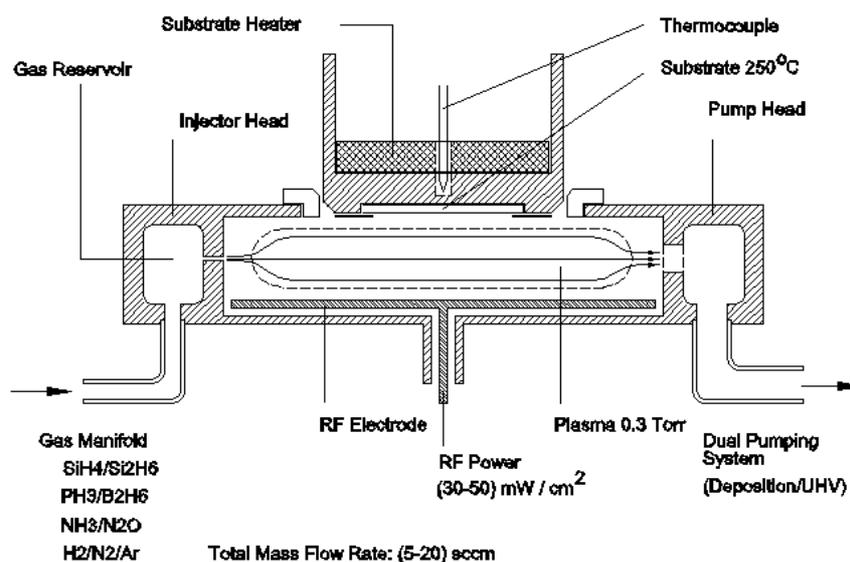


圖 2-7: 電漿增強式化學氣相沉積反應器示意圖

非晶矽的品質受到很多參數的影響，如沉積溫度、氣體流量與壓力、電漿的頻率與功率……等很多因素，典型沉積元件品質純質非晶矽的參數如下表 2-1[11]。

Starting-gas material	100% SiH ₄
Gas-flow rate	5~10 sccm
Gas pressure	50 mTorr
RF frequency	4~13.56 Mhz
RF power density	0.01~0.03 W/cm ²
Cathode-anode distance	30~40 mm
Substrate temperature	200~300 ^o C

表 2-1: 典型沉積元件品質純質非晶矽重要製程參數

2.2.2 CMOS 積體電路製程簡介

由於我們研究的重點並不在於 CMOS 積體電路製程技術，這個小節我們僅作簡略的介紹。CMOS 積體電路最基礎的材料為晶圓，晶圓的製造方式與 2.2.1.1 小節提過的方式相同，CZ 法或是 FZ 法都經常被使用。有了晶圓之後的製程主要可以分為四大類

1. 添加製程
2. 移除製程
3. 熱處理製程
4. 圖案化製程

添加製程就是指把原子摻雜到晶圓內，或是在晶圓表面添加一層物質。通常使用離子佈植或是熱擴散製程將摻雜的物質加入晶圓內。在晶圓表面添加物質的方式有很多種，例如化學氣相沉積(CVD)、物理氣相沉積(PVD)、自旋塗佈(Spin-on)或是電化學電鍍法(ECP)……等方式，利用這些方式可以在晶圓的表面添加一層

介電質、金屬薄膜或是光阻液。

移除製程就是用化學或物理或兩者並用的方式移去晶圓上的物質。例如用化學物質移去晶圓表面的污染物或微粒，這對提升晶圓的良率有很大的影響。還有圖案化蝕刻和全區域蝕刻，以及利用化學機械研磨(CMP)使晶圓表面平坦化，這些都屬於移除製程。

我們在熱處理製程中將晶圓加熱到某特定的溫度，以利我們想要的化學或物理反應發生。在這過程中幾乎不添加物質到晶圓表面或內部。例如佈植後熱處理(超過 1000°C)、金屬化熱處理(低於 450°C)、合金化及加熱再流動製程等。通常使用爐管製程或是快速加熱步驟(RTP)。

圖案化製程是將光罩上的電路設計佈局轉印到晶圓表面的光阻上，會利用到添加、移除和加熱製程，是積體電路製程中最常使用的步驟，非常重要。通常使用光學微影技術的製程來進行圖像轉移，當最小圖形尺寸縮得太小而不能使用光學微影技術時可採用 X 光微影和電子束微影技術。

以上簡單的介紹過積體電路的製程技術之後，各種製程之間該如何連接，從無到有的生產出一個 IC，圖 2-8[13]是半導體製造廠生產積體電路的流程。

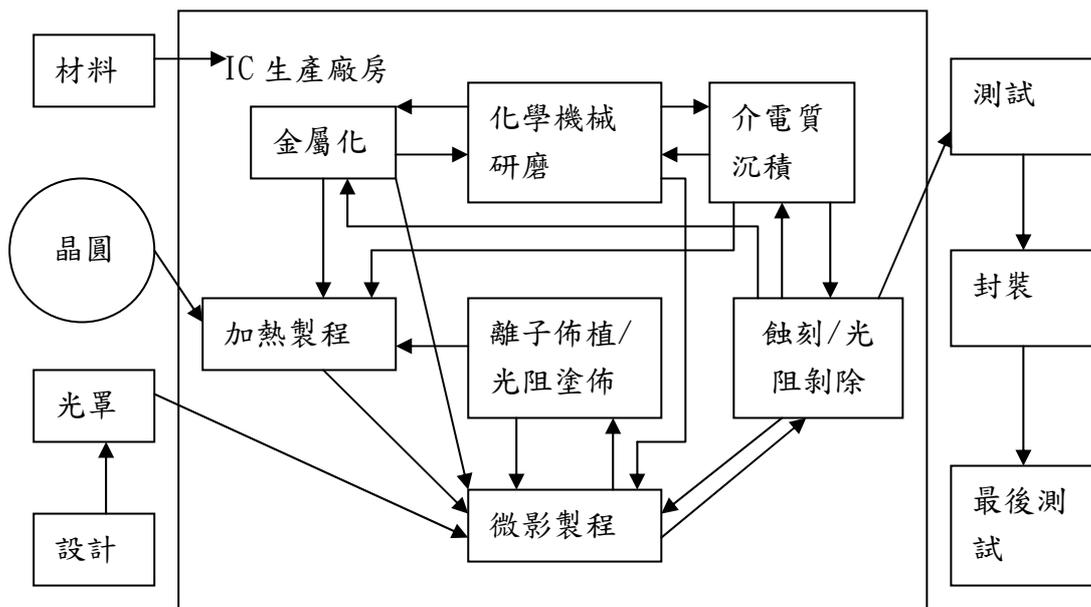


圖 2-8:積體電路生產流程

2.3 矽材太陽能電池與 CMOS 積體電路製程整合之可能性

此節裡面我們並未提出實際的實驗成果或是相關的模擬成果證明矽材太陽能電池與 CMOS 積體電路製程整合是可行的。我們討論在製程整合上可能遭遇到的問題，並且蒐集了一些直接或間接相關的解決方案，還將矽材太陽能電池與積體電路整合的成品，看看它們是否有幫助於達成 ZP-IC。

2.3.1 晶矽太陽能電池

回顧 2.2.1 小節的晶矽太陽能電池只是一個很簡單的 p-n junction 結構，加上適當的金屬接線形成一個迴路，如果不考慮太陽能電池發電效率最佳化的問題，一般積體電路裡面就已經存在很多二極體擁有太陽能電池結構，我們要考慮的問題是如何讓二極體發電且原本積體電路上的電路能正常工作。

一般積體電路的二極體是不會發電的，在積體電路製程最後都要加上保護層（例如氮化矽）避免光線照射到電路，而且一般積體電路會有多層的金屬與介電質作為電路之間的連接，它們也會阻止光線直接照射到二極體的 p-n junction。在 ZP-IC 我們可以將整個積體電路規劃成兩部分，一部分是太陽能電池的部分，二極體上方只有網狀的金屬導線和透明的介電質（例如二氧化矽），另一部分是應用電路，電路上方有多層金屬與介電質還有阻擋陽光的保護層，如圖 2-9。

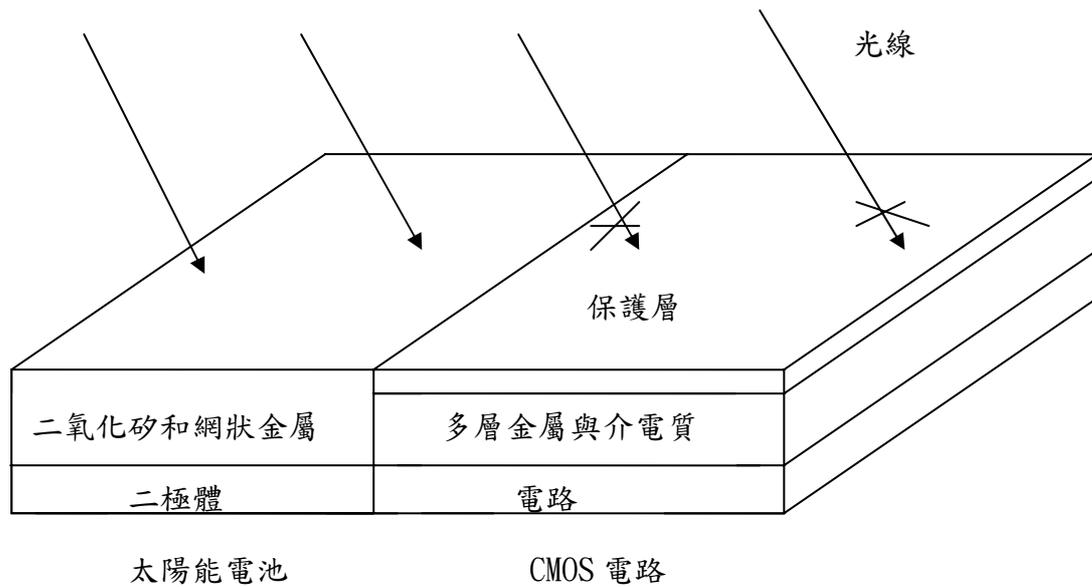


圖 2-9: 太陽能電池與 CMOS 電路水平並列

解決了光線的問題，還有漏電流的問題，因為單晶矽晶圓並非絕緣體，太陽能電池部分產生的電流會流到電路部份，影響電路正常工作，所以將這兩個部分用介電質分開。一種方式是利用 SOI (Silicon On Insulator) [14]，如圖 2-10，他們已經成功的利用這種方式在同一片晶圓上製造出 CMOS 電路與效率 14% 的太陽能電池，另一種方式是 SOS (Silicon On Sapphire) [15]，如圖 2-11，也成功的在同一片晶圓上製造出 CMOS 電路與太陽能電池，太陽能電池面積 $1.2 \times 1.2 \text{mm}^2$ ，照度 75000kl 的條件下輸出 6~8uW 的功率。

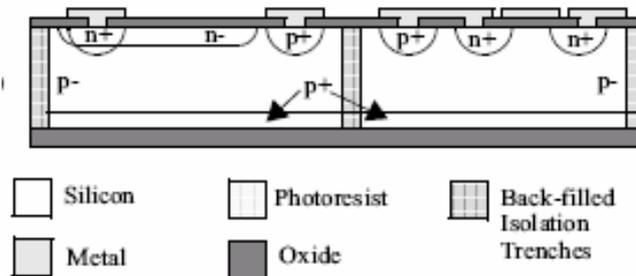


圖 2-10: SOI 製程的太陽能電池(左)與 NMOS 電晶體(右)

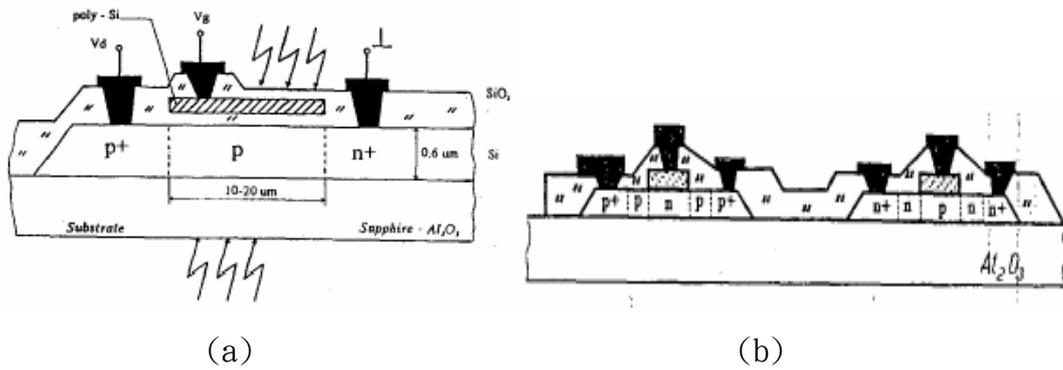


圖 2-11: SOS 製程的太陽能電池(a)與電晶體(b)

由以上兩個成功的例子可以知道將太陽能電池整合到 CMOS 積體電路製程當作電力來源是可行的，但是以上將太陽能電池與電路水平並列的方式存在一些缺點，即電路部份的面積無法用來做發電用。如果我們可以在電路的上方直接“長”出太陽能電池，將可以一次解決此缺點。

在電路上方長出單晶矽太陽能電池幾乎不可能，我們沒有辦法在電路上方再長一層單晶矽晶片而不破壞原本電路結構，因為製造單晶矽晶片的溫度(約攝氏 1400 度)大於鋁導線的熔點(約攝氏 660 度)。目前 3D 結構的積體電路製程技術過於複雜且尚未成熟，暫時不考慮用此種方式。以目前的製程技術，我們也無法在電路上方長出多晶矽太陽能電池而不破壞原本電路結構，CMOS 積體電路製程中用來沉積多晶矽的方式可使用低壓化學氣相沉積(LPCVD)，約攝氏 600~650 度 [13]，接近鋁導線的熔點，故將晶矽太陽能電池整合到 CMOS 積體電路製程只能採用電池與電路水平並列的方式。

2.3.2 非晶矽太陽能電池

一般積體電路裡面並不存在非晶矽這種材料，自然不會有非晶矽太陽能電池，讓我們回顧非晶矽太陽能電池的結構是，金屬/TCO/p-i-n 非晶矽/TCO (Transparent Conducting Oxide)，而且製程過程中的溫度大約在攝氏 300 度左右，小於鋁的熔點，在積體電路製程後段加入太陽能電池製程並不會使得已經沉

積的鋁導線熔化，將不會破壞電路結構，非晶矽太陽能電池製程最主要的製程工具，電漿增強式化學氣相沉積反應器，在積體電路中也廣泛的被使用在介電質沉積製程中，電池主要的材料矽烷也經常在積體電路製程中被拿來沉積氮化矽，且兩者都常用雙硼烷與三氫化磷作摻雜，我們似乎可以直接在 CMOS 積體電路直接製造出非晶矽太陽能電池。此種整合方式，積體電路與電池將垂直的分佈，電池面積最大化，也不會浪費多餘的晶片面積，非晶矽太陽能電池的厚度約 1 μ m，對積體電路將不造成影響，且製程費用相較晶矽太陽能電池相對低了許多。目前我們尚未發現利用此種方式整合太陽能電池與積體電路的成果，但是我們發現一個相當類似的整合技術，Thin Film on Asic(TFA)[16]，TFA 的結構和我們的想法一樣，ASIC/介電質/金屬/p-i-n 非晶矽/TCO，如圖 2-12，它是拿來作為影像感測器(image sensor)的應用，想想影像感測器的功能，吸收光線轉換成電流電壓訊號，這幾乎和太陽能電池是一樣的，只是應用的方式不同，太陽能電池用來提供電力，影像感測器用來做訊號處理。

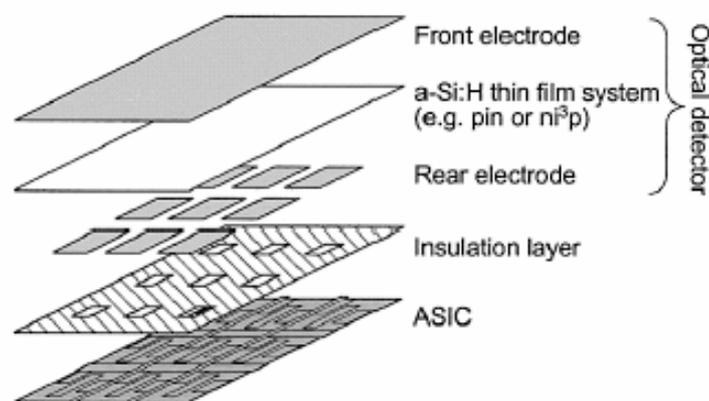


圖 2-12:TFA 的結構

發現 TFA 讓我們知道在製程上整合非晶矽太陽能電池與 CMOS 積體電路是可行的，而且這種垂直的整合方式，可以讓 ASIC 的部分與太陽能電池的部分都是專業的製造，不像水平的整合方式電池與電路再製程上要互相牽就，兩者都不能達到最好的效能。綜合以上的因素，我們認定非晶矽太陽能電池與積體電路在製

程上的整合是可行的，而且這種製程方式將最適合 ZP-IC 的電力系統。



第三章 電力系統

在這一章裡面我們介紹 ZP-IC 電力系統的架構，定義電力系統的最佳化，設計架構中的各個元件以求得系統的最佳化。

3.1 電力系統架構

我們將整個電力系統分成四個部分：發電、儲存、穩壓、負載，如圖 3-1，

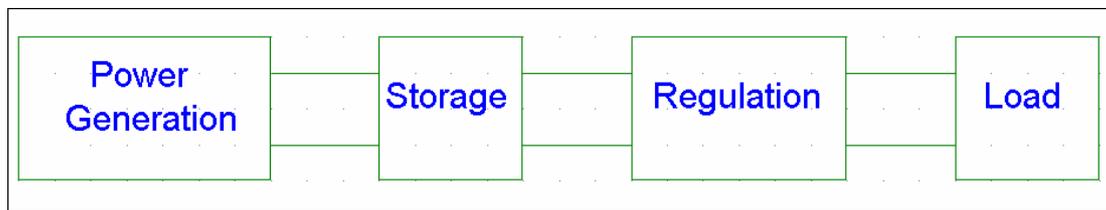


圖 3-1: 電力系統方塊圖

由於 ZP-IC 的電力來源是太陽能電池，不同於一般 IC 外接穩定的電源，太陽能電池會隨著受到的光線強度、溫度等因素改變輸出的電壓電流，是個很不穩定的電源。太陽能電池產生的功率很有限，在標準測試情況(Standard Test Condition)下，典型非晶矽太陽能電池的輸出功率約為 $14\text{mW}/\text{cm}^2$ [17]，我們必須在有限且合理的硬體資源下建立最佳的電力系統，例如一平方公分大小的晶片面積，預估非晶矽太陽能電池所提供的功率將不足以提供系統連續不斷的正常工作，退而求其次，我們可以將能量儲存起來提供系統間歇式的工作，所以我們需要儲存能量的功能，在積體電路裡面具有儲存能量功能的元件不多，而電容是最適當的選擇。電容的電壓隨著儲存的電荷改變，而一般電路需要一個穩定的電壓源，所以我們不能直接將電容當作電源，必須先經過穩壓才能供電路使用。

預估太陽能電池輸出功率不足以提供系統連續工作，系統將採間歇式的工作，如圖 3-2，我們定義一件工作的基本單位為傳送一個最短封包，定義在運用最少硬體資源下，完成一件工作後與開始下一件工作之間的時間間隔最短為系統

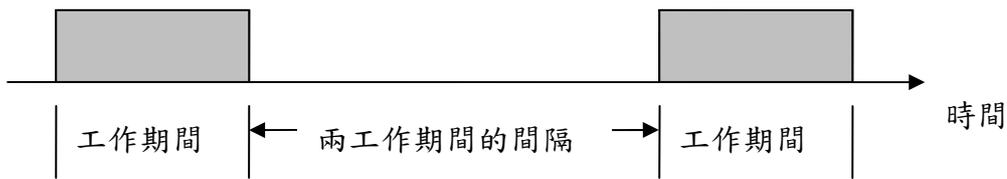


圖 3-2: 間歇式工作示意圖

的最佳化，因此為了達到系統的最佳化，我們要盡量減少 Load 完成一件工作所需要的電力，增加太陽能電池的輸出功率，減少穩壓電路浪費的電力，增加電容可儲存能量密度以減少硬體資源，此處我們發現一個問題:如果要在同一個電容上儲存越多的能量，電容的電壓就會越高，那麼在穩壓元件兩端的跨壓也就越大，浪費的電力就越多。針對此一問題，在下一節我們將討論穩壓元件如何使用儲存在電容的電力，以使得系統最佳化。



3.2 儲存電容有效率的放電到負載

在這一節我們提出三種使用方式:第一小節穩壓器直接使用儲存元件(電容)的電力，第二小節在穩壓器與儲存電容之間加入 n 個切換電容降壓電路以延長可工作時間，第三小節電路讓切換電容數目可隨電壓改變。積體電路裡面最常用的穩壓元件就是穩壓器(Regulator)，如圖 3-3，它是一個三端元件，功能是將一個不穩定的電壓源轉換成一個穩定的電壓源。圖 3-3 中，輸入電壓 V_{in} 有一個可正常工作的範圍($V_{min} < V_{in} < V_{max}$)， V_{out} 固定在一个很小的變動範圍內(例如 $\pm 3\%$)，輸出電流 $I_{out} < I_{max}$ 為最大可輸出電流。

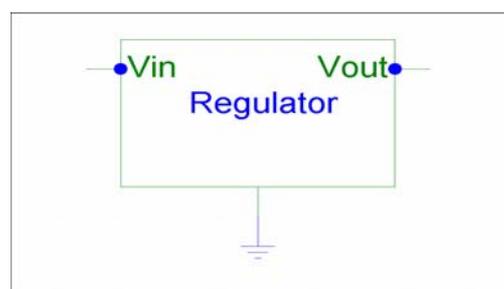


圖 3-3: 穩壓器

3.2.1 直接使用儲存電容的電力

穩壓器直接使用儲存電容的電力是最簡單的使用方式，整個電力系統架構如

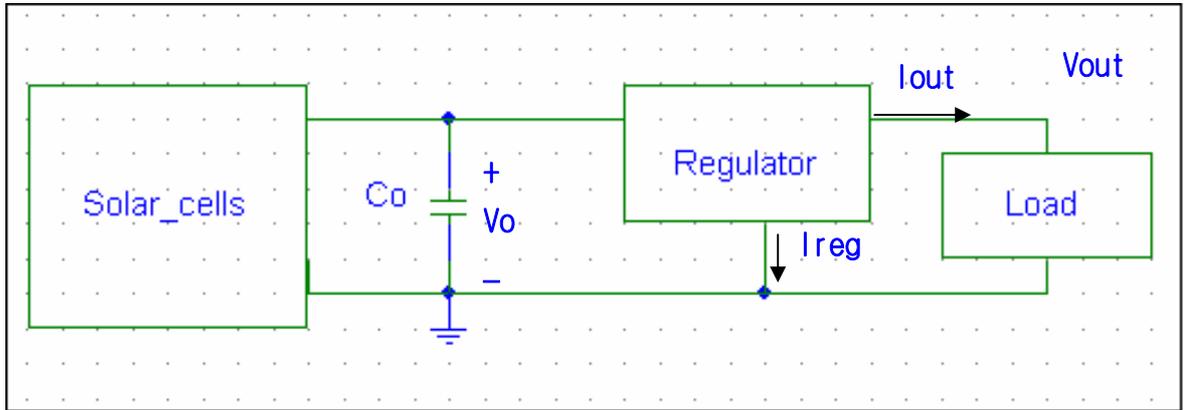


圖 3-4: 穩壓器直接使用儲存電容的電力系統架構

圖 3-4，我們定義當儲存電容的電壓已知的狀況下，可正常工作越長的時間越有效率。在此方式可以推得當電容的電壓(V_o)，可正常工作時間為 T_o ，

$$T_o = \frac{(V_o - V_{\min})C_o}{\overline{I_{out}} + \overline{I_{reg}}} \quad (3.1)$$

$\overline{I_{out}}$: 流經負載的平均電流

$\overline{I_{reg}}$: regulator 本身消耗的平均電流

希望 T_o 越大我們要讓 $\overline{I_{out}}$ 、 $\overline{I_{reg}}$ 、 V_{\min} 越小越好， C_o 、 V_o 越大越好，但是 V_o 越大就有越多的能量浪費在穩壓器上的，消耗在穩壓器上的功率為

$$P_{reg} = (V_o - V_{out})(\overline{I_{out}} + \overline{I_{reg}}) \quad (3.2)$$

如果儲存電容先經過一個降壓的動作再接穩壓電路則可以減低消耗在穩壓器的功率，又不會降低儲存電容可儲存的最大能量。在下一小節我們利用切換電容的方式降壓，討論可工作時間如何改變。

3.2.2 分壓電容順序放電(Sequentially discharge partial voltage capacitor)

在這個架構裡面，我們並不直接讓穩壓器使用儲存電容 C_o 的電力， C_o 先並聯 n 個串聯的小電容($C_1 \sim C_n$)，這 n 個小電容的電容值都相等，如下圖

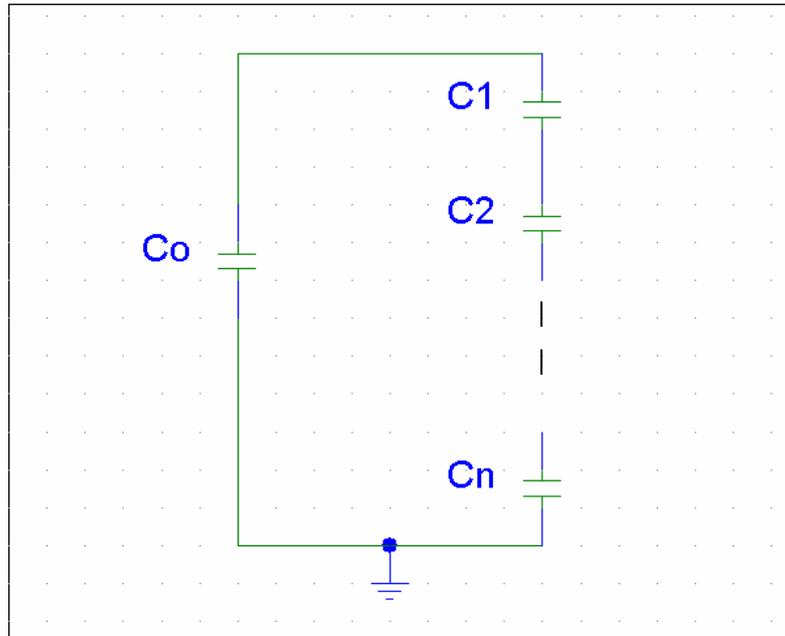


圖 3-5: 儲存電容 C_o 對 n 個小電容充電

然後再利用 switch 和控制電路順序的讓這 n 個電容對穩壓器放電，如下圖。

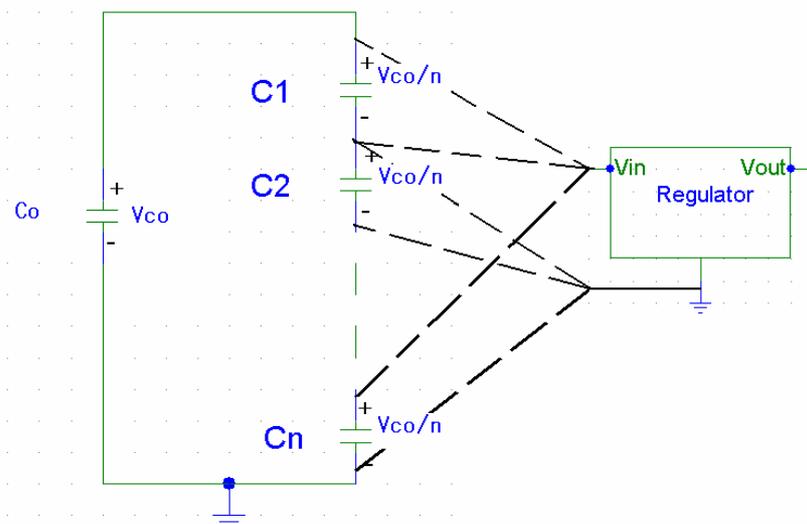


圖 3-6: 分壓電容順序放電

這裡我們發現兩個好處，第一是 C_0 每對 n 個串聯的小電容充一個電荷就會在每個小電容上各自感應出一個電荷。我們再將這 n 個小電容順序對穩壓器放電，原本 C_0 上的一個電荷，現在變成 n 個電荷，可用的電荷增加了，即可以延長工作時間。第二是穩壓器的輸入電壓下降了，跨在穩壓器上的電壓就減少，浪費在穩壓器上的功率也隨之減少。但是我們發現這種架構有兩個缺點，第一是儲存電容 C_0 不能連續不斷的對穩壓器放電，在分壓電容對 C_0 做分壓的時候穩壓器沒有電源不能工作；第二是不斷的切換放電電容，ripple 會比較嚴重。為了改善這兩個缺點，我們提出利用兩組分壓電容並聯對穩壓器放電的架構，這兩種架構的可工作時間是一樣的，在下一小節我們會做更詳細的推導。

3.2.3 分壓電容並聯放電(Parallel discharge partial voltage capacitor)

在這個架構中我們不再順序的讓分壓電容對穩壓器放電，利用開關(switch)改變 n 個小電容的排列組合，讓它們變成 n 個並聯的小電容，因為 $C_1 \sim C_n$ 的電容值都相等，所以每個電容上的跨壓(約等於 $\frac{V_0}{n}$)都相等，以低於 V_0 的電壓對穩壓器放電，如下圖

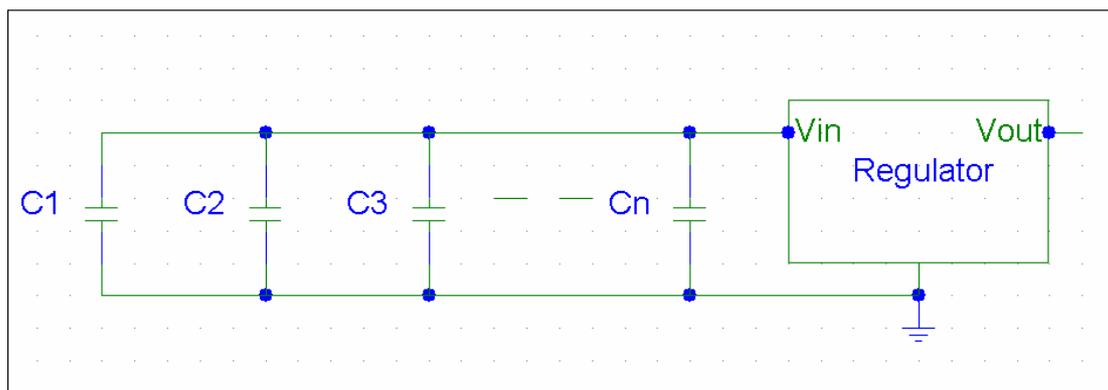


圖 3-7: n 個並連的小電容對穩壓器放電

，如此一來就不必一直切換電容，可以降低 ripple。因為分壓的動作和上一小節的架構是一樣的，所以 n 倍的可使用電荷與減少穩壓器浪費的功率這兩個優點

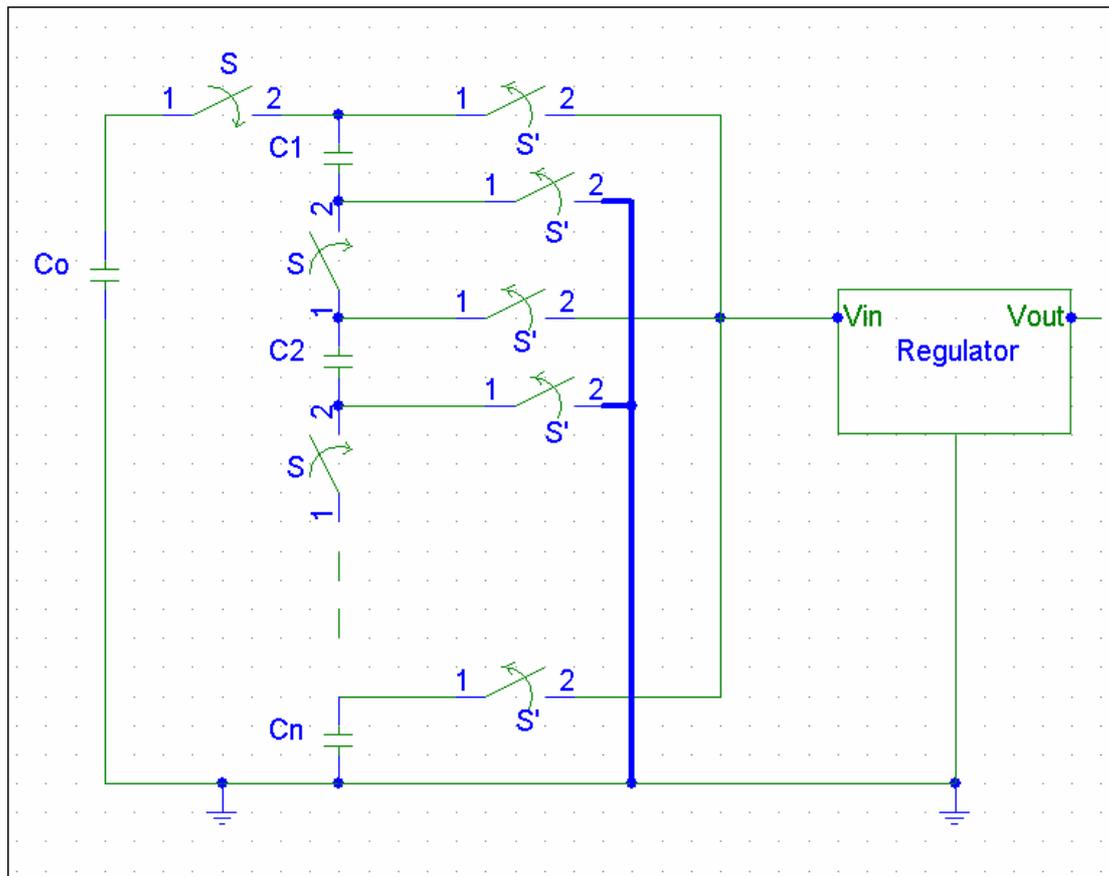


圖 3-8:分壓電容並聯放電電路架構

在這種架構中還是存在，加入開關的電路架構如圖 3-8。開關 S 與 S' 是互斥的，當 S “close” 而 S' 就” open”，Co 對 n 個串聯電容充電；當開關 S “open” 而 S' 就” close”，n 個小電容並聯對穩壓器放電。為改善在 Co 對 n 個串聯電容充電的期間，穩壓器無法得到電源，這時候 IC 便無法正常工作的問題，我們再加入一組切換電容，當 Co 對第一組 n 個串聯電容充電的期間，第二組電容就對穩壓器放電，當第二組放完電，就換第一組對穩壓器放電，第二組被 Co 充電，這樣穩壓器就可以連續不斷的獲得電源，電路架構如圖 3-9。在不使用切換電容降壓的架構下，我們可以使用 Co 上的電壓直到 V_{\min} ，，在這樣的架構之下只能使用到 nV_{\min} ，n 值越大可用的電壓越少，但是在 V_o 到 nV_{\min} 的這段區間，原本 Co 裡面一個電荷卻可以感應出 n 個電荷提供穩壓器使用，n 值越大可感應出來的電荷越多，n 應該存在一個最佳值，使得工作時間最長。假設 C1~Cn 每個電容上

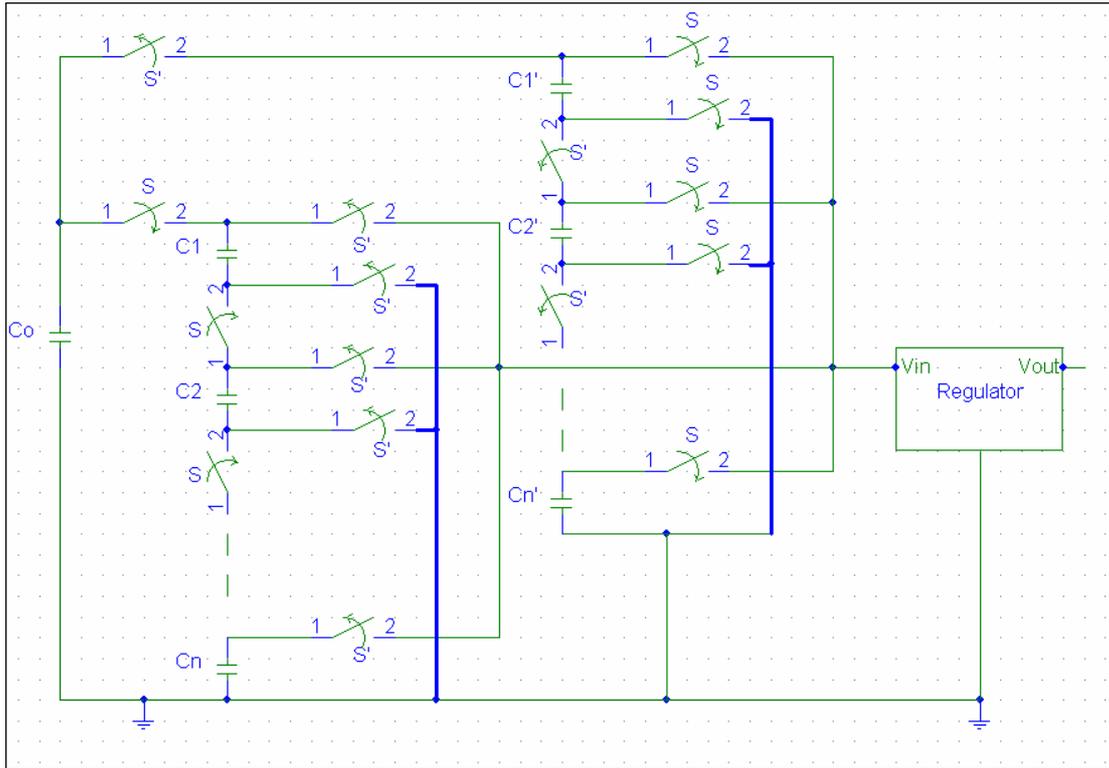


圖 3-9: 交替使用分壓電容並聯放電電路架構

最低電壓為 V_{\min} ，可以使用 C_o 的電壓區間為 $V_o \sim V_{\min}$ ，在這區間 C_o 每對 $C_1 \sim C_n$ 充一個電荷，而 $C_1 \sim C_n$ 就可以對穩壓器放 n 個電荷，故工作時間 T_o 為

$$T_o = \frac{n(V_o - nV_{\min})C_o}{I_{out} + I_{reg}} \quad (3.3)$$

將 T_o 對 n 微分

$$\frac{dT_o}{dn} = 0 \Rightarrow V_o - 2nV_{\min} = 0$$

求得當 $n = \frac{V_o}{2V_{\min}}$ 時， T_o 存在最大值 (T_{\max})

$$T_{\max} = \frac{V_o^2 \cdot C_o}{4V_{\min} (I_{out} + I_{reg})} \quad (3.4)$$

n 值代表 $C_1 \sim C_n$ 的電容個數，當 n 值不為整數時，我們該如何選擇 n 值呢？

假設 $V_o = kV_{\min}$

$$T_o = \frac{n(V_o - nV_{\min})C_o}{I_{out} + I_{reg}} = \frac{n(k-n)V_{\min} \cdot C_o}{I_{out} + I_{reg}}$$

故 T_o 與 $n \cdot (k-n)$ 的乘積有關，假設 $n = n' = \left\lfloor \frac{V_o}{2V_{\min}} \right\rfloor$ ，其中 $[x]$ 表示不大於 x 的整數，則

$$n'(k-n') = n'k - n'^2$$

若 $n = n' + 1$

$$(n'+1)(k-n'-1) = n'k - n'^2 - (2n'-k+1)$$

若 $2n'-k+1 > 0$ ，則選擇 $n = n'$ 的工作時間大於選擇 $n = n' + 1$ ，

$$\Rightarrow \text{if } 2n'-k+1 > 0, \text{ choose } n = n' ;$$

$$\text{if } 2n'-k+1 < 0, \text{ choose } n = n' + 1$$

比較 3.2.1 小節中穩壓器直接使用 C_o 電力的工作時間與使用切換電容降壓後的電力的可工作時間

$$T_o = \frac{(V_o - V_{\min})C_o}{I_{out} + I_{reg}} \quad (3.1)$$

$$T_{\max} = \frac{V_o^2 \cdot C_o}{4V_{\min}(I_{out} + I_{reg})} \quad (3.4)$$

假設 $V_o = kV_{\min}$

$$\frac{T_{\max}}{T_o} = \frac{k^2}{4(k-1)}$$

當 $k=2$ 時， $n=1$ 這兩種電路其工作時間相等，當 $2 < k < 4$ 時， n 值選 1 的可工作時間會大於 n 值選 2；可正常工作時間也一樣；在 $k > 4$ 時， $n \geq 2$ ，兩種電路架構才不同，此時利用切換電容降壓可獲得更長的工作時間。

這種架構仍然有改進的空間，我們注意到當 n 值確定後，儲存電容的電壓最低只能使用到 nV_{\min} ，但是對穩壓器而言只要輸入電壓大於 V_{\min} 就可以了，如果我們改變切換電容 $C_1 \sim C_n$ 的架構，利用開關控制 n 值，我們就可以一值使用儲存電容的電壓直到 V_{\min} ，更加延長工作時間，在下一小節我們將詳細說明這種架構。

3.2.4 動態分壓電容(Dynamic partial voltage)

在圖 3-4 的架構中，我們可以使用儲存電容 C_0 的電壓直到 V_{\min} ，使用切換電容架構之後卻只能用到 nV_{\min} ，如果利用開關(switch)控制串聯、並聯的電容數 (n) 就可以一直使用到 V_{\min} ，就可以享受再降壓過程中產生多餘電荷的好處以增加工作時間，電路架構如圖 3-9。這個架構相較圖 3-9 的架構多了 $S_1 \sim S_n$ 個控制開關，而原本 n 個電容間同步的開關也改變了。工作方式是視 V_o 的電壓控制 $S_1 \sim S_n$ ，決定儲存電容要對幾個串聯電容充電，以及哪幾個電容對穩壓器放電。

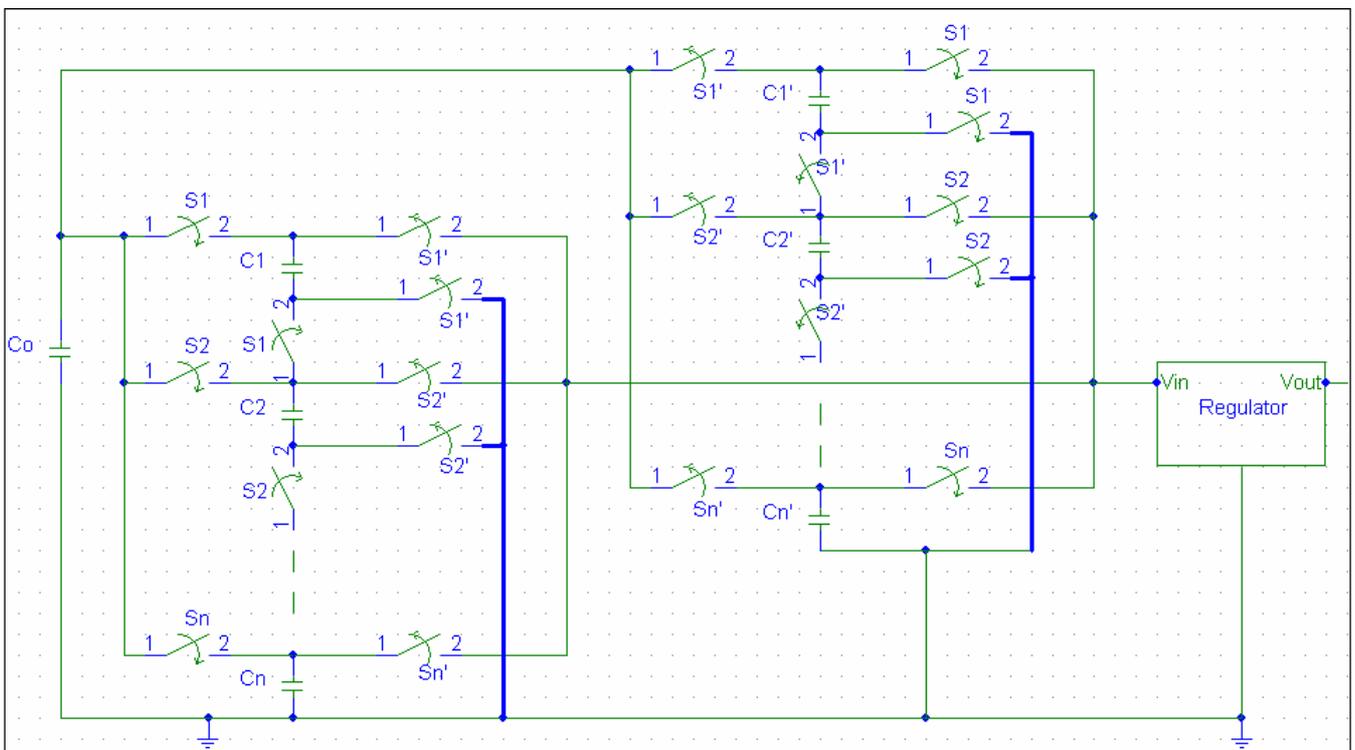


圖 3-10: 動態分壓電容電路架構

接下來我們說明控制開關的邏輯，當 $V_o = k \cdot V_{\min}$, $k > 1$ ，一組切換電容要用幾個電容作降壓的動作才可以讓穩壓器正常工作，又可以讓切換電容對穩壓器放出最多的電荷，應該是小於 k 又最接近 k 的整數，我們令這個整數為 n ，當 V_o 在放電的過程中逐漸下降，降到 $V_o = n \cdot V_{\min}$ ，一組切換電容的數目就改為 $n - 1$ ，以此類推，儲存電容的電壓可以一直使用到 V_{\min} 為止，工作時間 T_n 為

$$\begin{aligned}
T_n &= \frac{n(V_o - n \cdot V_{\min}) \cdot C_o}{I_{reg} + I_{out}} + \frac{(n-1)[n \cdot V_{\min} - (n-1)V_{\min}] \cdot C_o}{I_{reg} + I_{out}} + \frac{(n-2) \cdot V_{\min} \cdot C_o}{I_{reg} + I_{out}} + \Lambda \Lambda + \frac{V_{\min} \cdot C_o}{I_{reg} + I_{out}} \\
&= \frac{C_o}{I_{reg} + I_{out}} \left[n(V_o - n \cdot V_{\min}) + \frac{n(n-1) \cdot V_{\min}}{2} \right] \\
&= \frac{C_o \cdot n}{I_{reg} + I_{out}} \left[V_o - \frac{V_{\min}(n+1)}{2} \right]
\end{aligned} \tag{3.5}$$

比較使用這種架構與不使用這種架構的工作時間，比較 Eqs. (3.1) 與 (3.5)

$$T_o = \frac{(V_o - V_{\min})C_o}{I_{out} + I_{reg}} \tag{3.1}$$

$$T_n = \frac{C_o \cdot n}{I_{reg} + I_{out}} \left[V_o - \frac{V_{\min}(n+1)}{2} \right] \tag{3.5}$$

當 $T_n > T_o$

$$\begin{aligned}
\left[V_o - \frac{V_{\min}(n+1)}{2} \right] \cdot n &> (V_o - V_{\min}) \\
\Rightarrow n &\geq 2
\end{aligned}$$

由於當 $1 < n < 2$ 時兩者電路架構相同，所以不論 V_o 與 V_{\min} 的關係為何， $T_n \geq T_o$ 。

接下來我們比較動態分壓電容與固定個數的分壓電容工作時間的長短。假設 $V_o = n \cdot V_{\min}$ ，且固定個數的分壓電容數目為最佳值，比較 Eqs. (3.4) 與 (3.5) 式

$$T_{\max} = \frac{V_o^2 \cdot C_o}{4V_{\min}(I_{out} + I_{reg})} \tag{3.4}$$

$$T_n = \frac{C_o \cdot n}{I_{reg} + I_{out}} \left[V_o - \frac{V_{\min}(n+1)}{2} \right] \tag{3.5}$$

如果 $\left[V_o - \frac{V_{\min}(n+1)}{2} \right] \cdot n > \frac{V_o^2}{4V_{\min}}$ ，則 $T_{\max} > T_c$

$$\begin{aligned}
nV_{\min} - \frac{V_{\min}(n+1)}{2} - \frac{nV_{\min}}{4} &> 0 \\
\Rightarrow n &> 2
\end{aligned}$$

當 $n > 2$ 時使用動態分壓電容架構會比使用固定個數的分壓電容工作時間長，而當

$n < 2$ 時兩者電路架構相同，所以不論 V_o 與 V_{min} 的比例為何，使用動態分壓電容架構都能獲得較長的工作時間。

3.3 電路架構模擬

在這節裡面我們將會利用 OrCAD PSpice Evaluation 8.0 模擬上節提到的四種不同架構，3.3.1 小節中先說明穩壓器與儲存電容 C_o 以及 switch，這幾個在每一小節都會用到的電路是如何設計的。

3.3.1 穩壓器、儲存電容、switch

一般的穩壓器主要由 OP 放大器、參考電壓、電流放大器及電阻所組成，參考藍芽晶片的用電需求[18]，我們設計的穩壓器輸出電壓為 2V，最大輸出電流為 50mA，關於這部分在下一章會有更詳細的說明。OP 放大器選用 uA741，直接使用 1V 直流電壓源作為參考電壓，由於輸出電流不大，電流放大器用一顆電晶體 (Q2N3904) 就可達成，簡化負載為一個 40 歐姆的電阻， R_1 、 R_2 遠大於 40 歐姆，

且 $V_+ = V_- = \frac{R_2}{R_1 + R_2} \cdot V_{out}$ ，選擇 $R_1 = R_2 = 5k$ 歐姆，設計的電路圖如下，

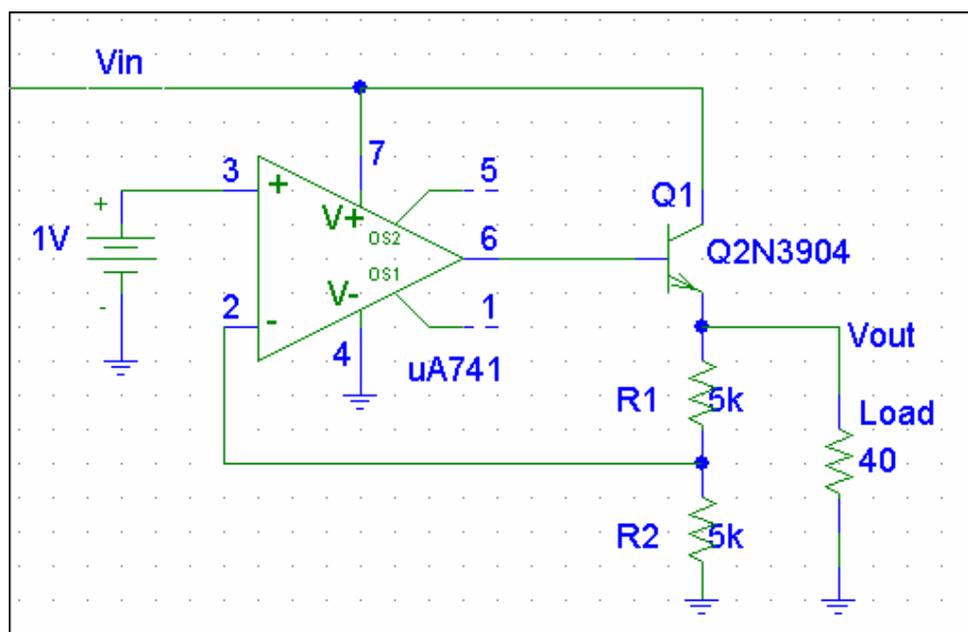


圖 3-10: 穩壓器電路圖

不同的製程製作出來的電容會有不同的崩潰電壓與電容密度，我們尋找符合 CMOS 後段製程的 MIM 電容作為我們模擬的依據。第一組電容介電質為 high-k 的氧化鋁與五氧化鉬[20]，電容密度 $1.7\mu\text{F}/\text{cm}^2$ ，崩潰電壓約 6V；第二組電容介電質為二氧化矽[20]，電容密度為 $0.17\mu\text{F}/\text{cm}^2$ ，崩潰電壓與電容面積大小有關，最高可達 40V。switch 的部分受限於 OrCAD PSpice Evaluation 8.0 最多只能使用 10 個電晶體的限制，無法用電晶體實現所有的 switch，所以我們先量測一個 NMOS 一個 PMOS 組成 transmission gate 的 R_{on} 與最低控制電壓，再把這些數值輸入到 PSpice 中一個電壓控制開關，解決電晶體數量使用上限的問題，使用 IRF150 NMOS 與 IRF9140 組成的 transmission gate 其 R_{on} 為 0.25 歐姆，最低控制電壓為 1.3V，rise time 與 fall time 幾乎和控制電壓一樣。

3.3.2 直接使用儲存電容的電力

在這個小節，我們模擬穩壓器直接使用儲存電容 C_0 不作任何降壓的動作，我們會對兩組不同的電容數據做模擬，比較兩組電容工作時間長短，利用直流電源 V 將電容充到預定的電壓，再利用 switch 切斷直流電源與電容的连接，由電容提供穩壓器及負載電源。圖 3-12 中，我們定義穩壓器輸出電壓 $2V \pm 3\%$ 為

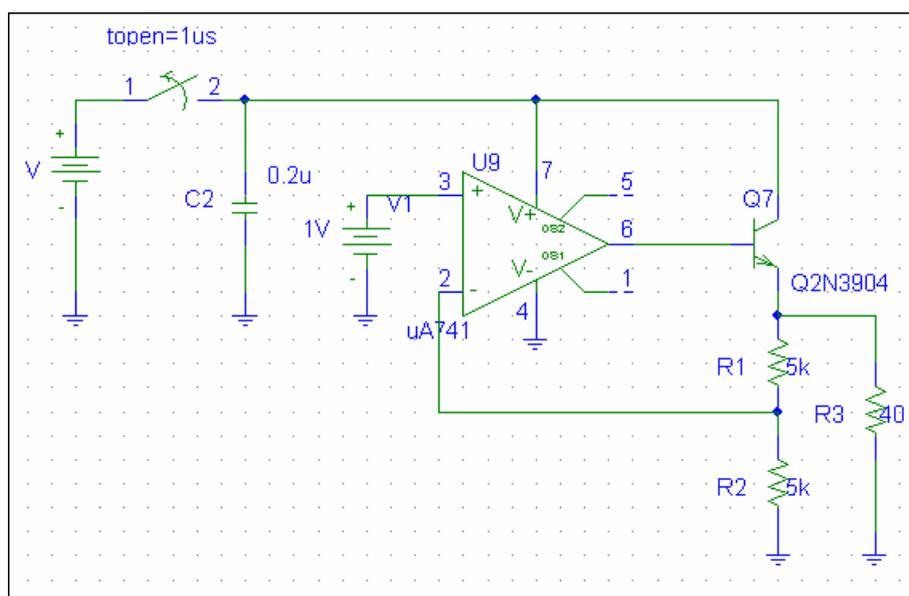
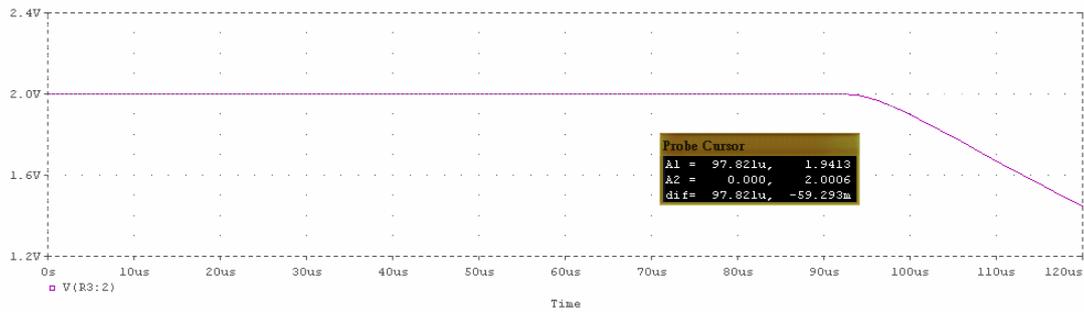
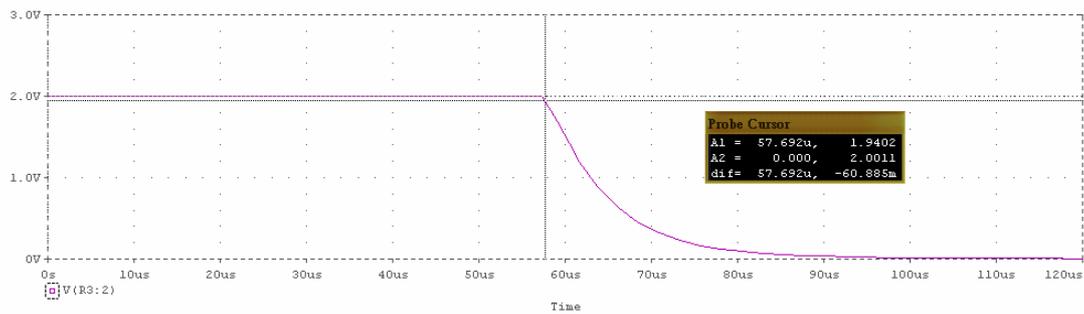


圖 3-12: 穩壓器直接使用儲存電容電力電路圖



(a)



(b)

圖 3-13:(a)High-k 電容(b)二氧化矽電容，工作時間比較

正常工作電壓，預估晶片面積一平方公分，第一組電容崩潰電壓 6V，電容值 1.7 μ F，經由模擬結果得知可工作時間約為 96.82 μ s，若由 3.1 式推算工作時間為 93.3 μ s，兩者相差不大，第二組電容崩潰電壓因考量到面積較大的關係粗估為 20V，電容值 0.17 μ F，經由模擬結果得知工作時間約為 56.69 μ s，由 3.1 式推算工作時間為 55.3 μ s，在負載處看到的電壓如圖 3-13。我們從穩壓器最低正常輸出電壓為 1.94V 觀察到當時穩壓器輸入電壓約為 3.2V，如圖 3-14，定義 3.2V 為穩壓器最低正常輸入電壓(V_{min})。

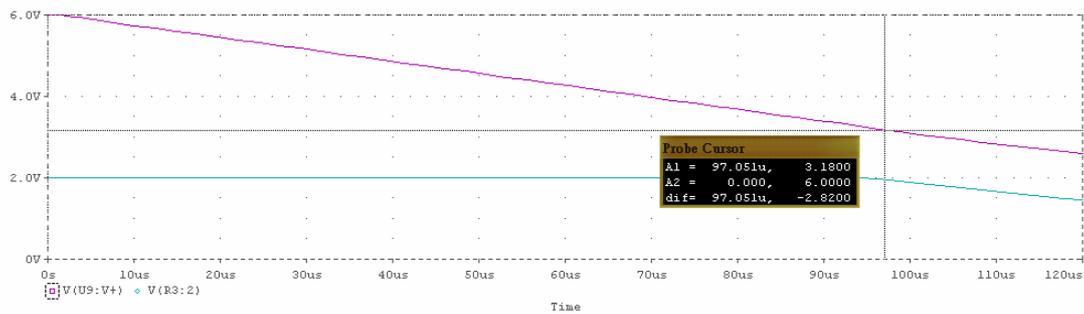


圖 3-14: 穩壓器最低正常輸入電壓

3.3.3 分壓電容順序放電(Sequentially discharge partial voltage capacitor)

在此架構底下，我們只能模擬二氧化矽電容，因為 High-k 電容的崩潰電壓只有 6V，還不到穩壓器最低正常輸入電壓 3.2V 的兩倍，不足以利用電容分壓，而二氧化矽電容崩潰電壓為 20V，根據推算分壓電容的最佳值為 3 個，假設我們可以再做一些 1cm^2 的二氧化矽電容，然後將這一層電容切成三個小電容作為分壓電容，每個分壓電容的電容值約為 $0.055\mu\text{F}$ 。模擬的重點在於工作時間的長短，控制電路部份並不是這次設計的重點，所以簡化控制電路部份利用 switch 與 pulse width 為 $5\mu\text{s}$ 的方波做為控制電壓，控制分壓電容順序放電，選擇 $5\mu\text{s}$ pulse width 的理由是因為須小於上小節得到的總放電時間 $56.69\mu\text{s}$ 。控制訊號如圖 3-15，圖中上面兩個訊號為控制 C_0 對分壓電容充電的訊號(V1)，及控制第

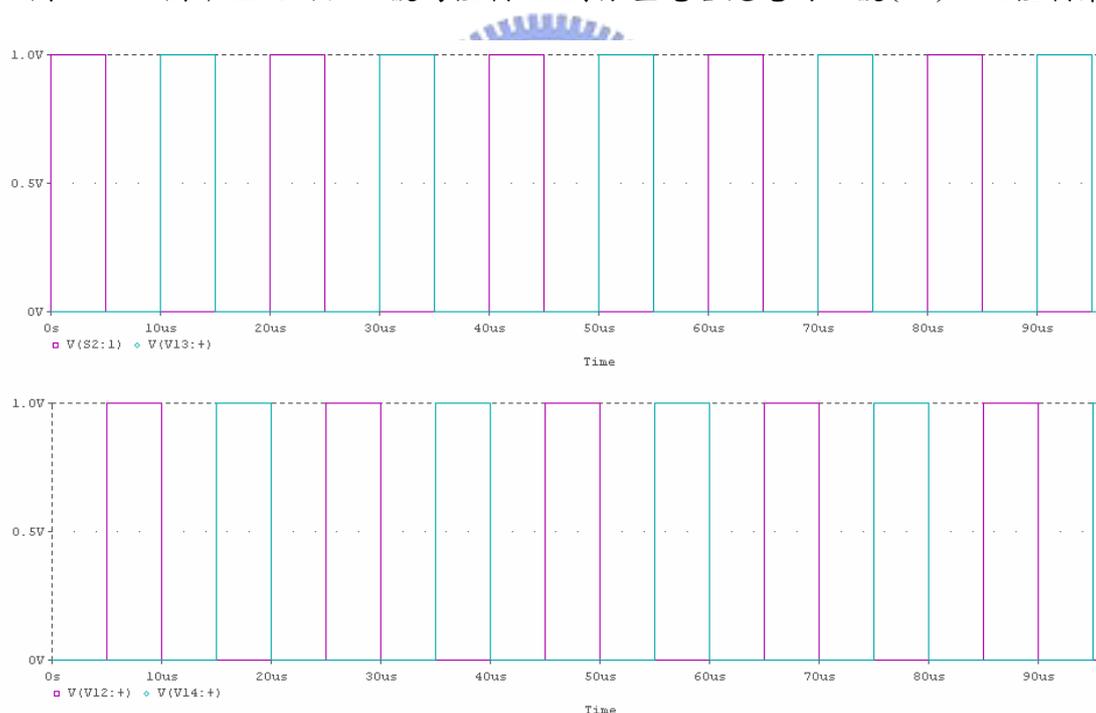


圖 3-15: 分壓電容順序放電控制訊號

二個電容對穩壓器放電的訊號(V3)，下面兩個訊號分別控制第一個電容(V2)，及第三個電容(V4)，電路圖如圖 3-16。觀察穩壓器輸出電壓，圖 3-17，果然 ripple 問題非常嚴重，第二個電容在第一次放電就出現低於 1V 的電壓，所以縮短分壓

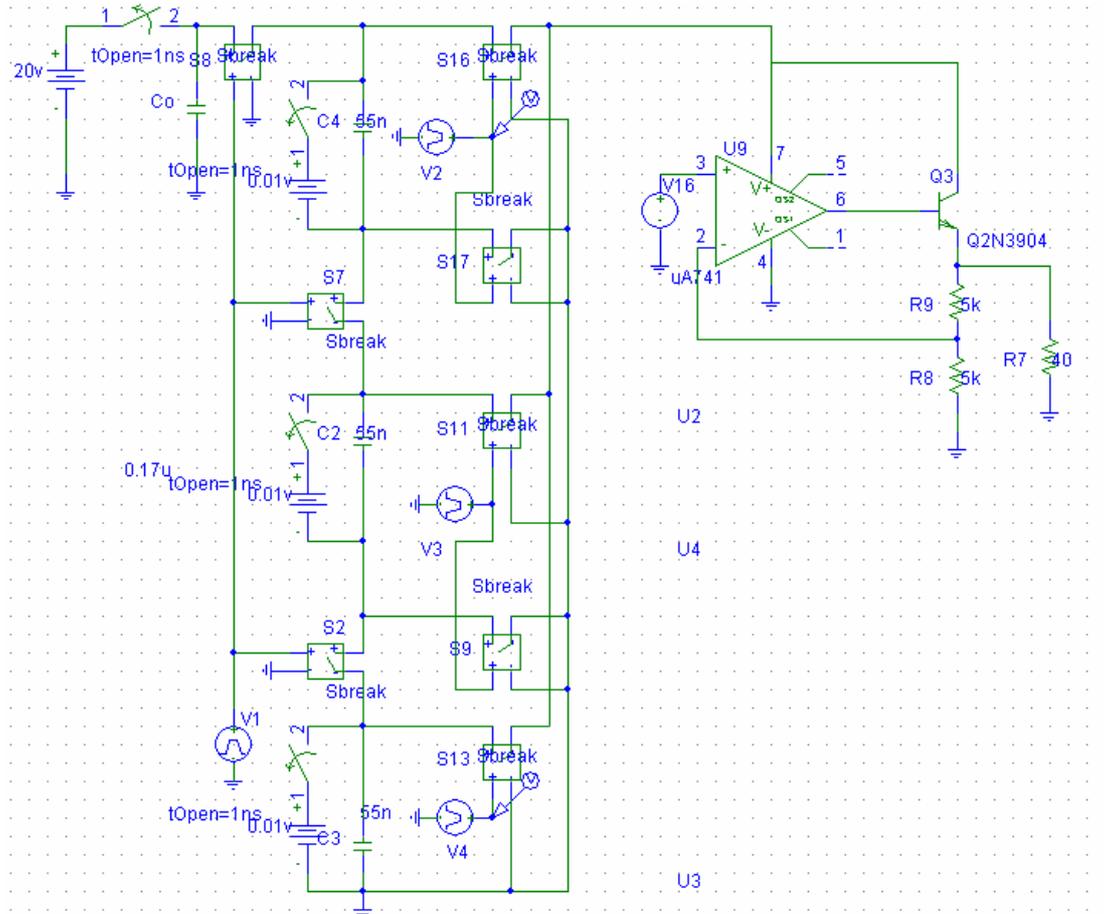


圖 3-16: 分壓電容順序放電電路圖

電容放電時間為 3μ ，但是仍然在第二次放電就出現低於 $2V$ 的電壓，認定此種架構需要更複雜的控制電路，不能使用如此單純的控制電路，這也是令我們思考出分壓電容並聯放電的動機之一。

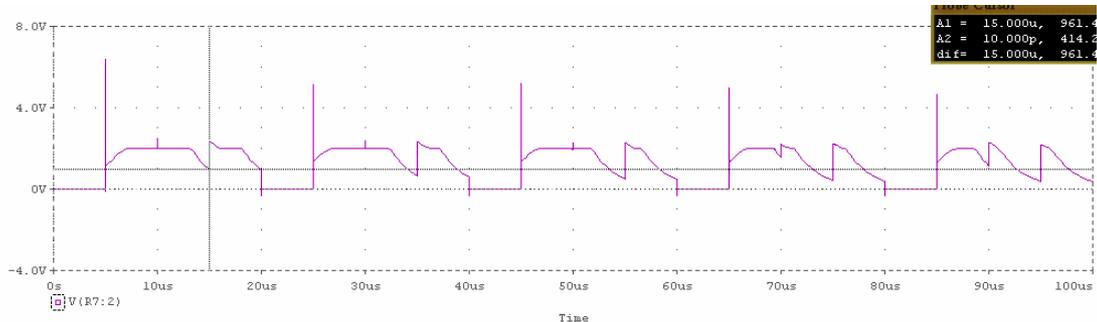


圖 3-17: 穩壓器輸出電壓

3.3.4 分壓電容並聯放電(Parallel discharge partial voltage capacitor)

在此架構中，我們直接模擬兩組分壓電容交替充放電的電路，電容還是使用崩潰電壓較高的二氧化矽電容。分壓電容的個數最佳值仍為 3，分壓電容的電容值方面，我們假設製程上可以再做一層 1cm^2 的電容，所以分壓電容的電容值仍定為 55nF 。控制電路由兩個反相的方波訊號控制 switch 開關，方波的 pulse width 就是一組分壓電容對穩壓器放電的時間，理論上若放電時間越短，該次放電後分壓電容下降的電壓越少，越不會在該次放電中跨越穩壓器最低正常輸入電壓，造成壓器輸出電壓低於正常工作電壓的現象。若輸出電流以 50mA 估計，方波 pulse width 為 $2\mu\text{s}$ ，每次放電下降 0.6V ，也就是說當一組分壓電容剛開始對穩壓器放電的電壓為 3.8V 以上，則該次放電期間可使穩壓器正常工作，電路圖如圖 3-18，每個分壓電容的初始跨壓定為 3.2V 。

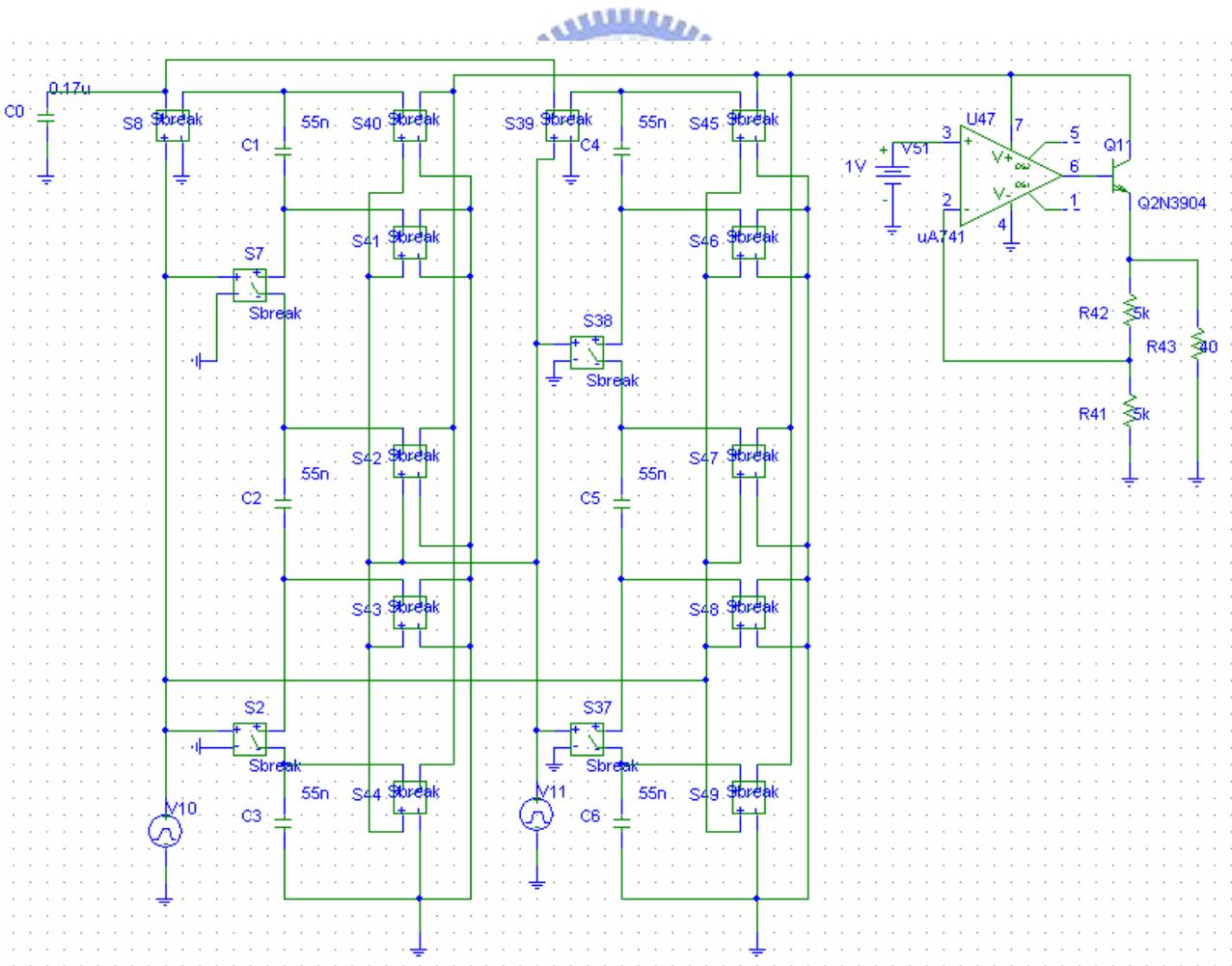


圖 3-18: 兩組分壓電容交替並聯放電電路圖

因為正常工作結束時，每個分壓電容的電容值為 3.2V，觀察穩壓器輸出電壓發現 ripple 的問題還是很嚴重，如圖 3-19，原因是兩組分電容切換的頻率很快，每次切換都會產生 ripple，若是降低切換頻率以減少 ripple 將會增加該次放電分壓電容下降電壓，提前讓穩壓器不正常工作的狀況出現，所以選擇採用另一種方式，在穩壓器的輸入端並聯一較大的電容，假設製程上允許我們再製作一

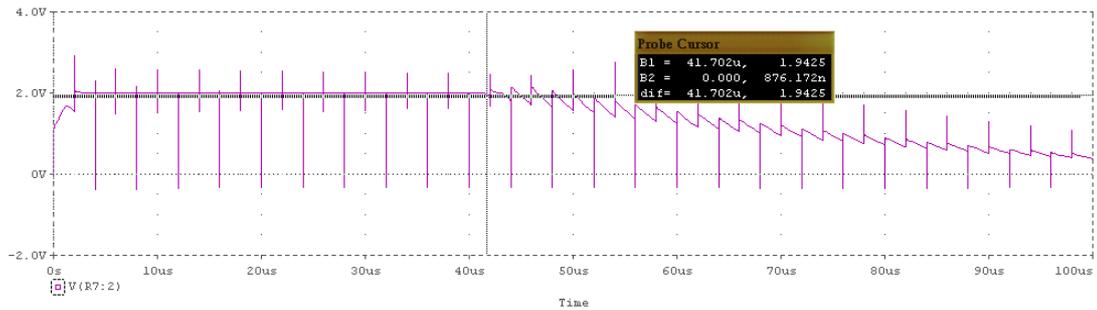


圖 3-19: 穩壓器輸出電壓

層 1cm^2 ， $0.17\mu\text{F}$ 的二氧化矽電容。除了 ripple 的問題之外，我們發現穩壓器正常工作時間大概只有 42us，遠低於我們推算的 106us，甚至比不使用此架構讓 C_0 直接對穩壓器放電的 55.3us 正常工作時間還要低。一開始以為是設定電容初始跨壓的 switch 會有漏電流，觀察 switch 的漏電流後推算漏電流的影響只會減少 6.3ns 的可正常工作時間，所以應該不是漏電流造成的影響。我們將穩壓器及負載拿掉後觀察分壓電容並聯放電的輸出波形，如圖 3-20，發現就算沒有負載

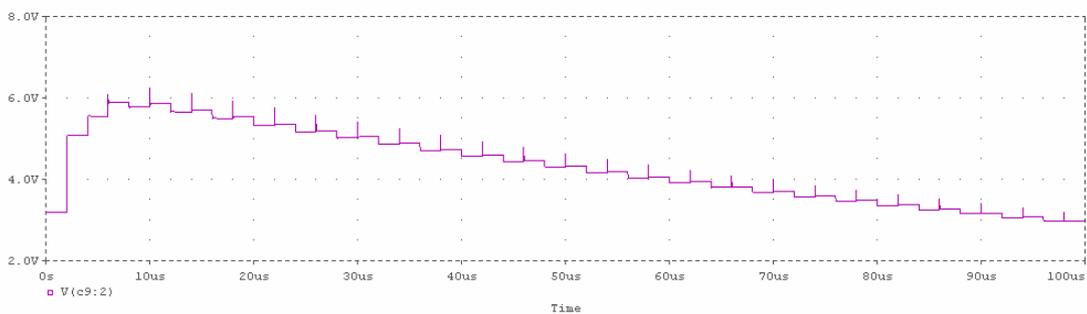


圖 3-20: 無負載分壓電容並聯放電的輸出波形

與穩壓器的放電路徑，電壓還是一直下降，而不是原先預期會停留在一個穩定的電壓，電容上的電荷到底跑哪裡去了？觀察 Co 與第一組分壓電容每個電容的電流變化，發現再每次切換兩組電容的時候，也就是控制訊號改變電壓的時候，就會有大量的電流變化，如圖 3-21，圖中最上面的線代表第一個分壓電容(C1)的電流變化，中間兩條是分壓電容中第二個(C2)和第三個電容(C3)的電流變化，最下面的是 Co 的電流，我們可以發現在短短 0.5ns 的時間內有大量的電流從 Co、C1、C2 流失，流出 Co 最大的電流竟然達到 65A，流出 C1、C2 的電流值也達到

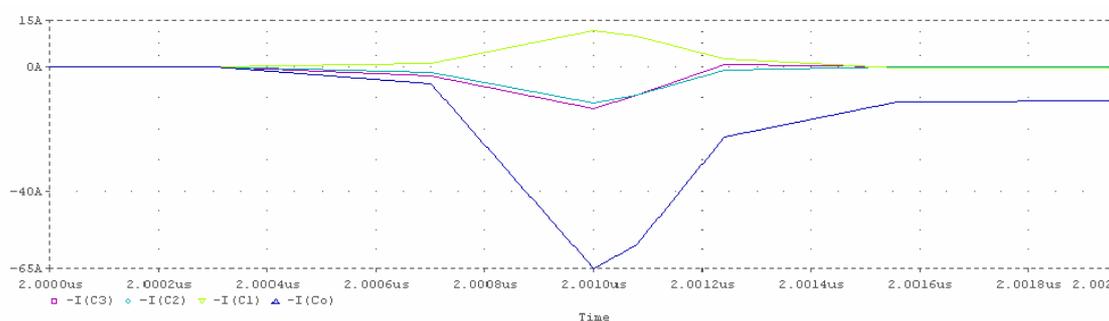


圖 3-21: 切換分壓電容瞬間各電容上的電流變化

15A，這是相當大的能量損失，而 C1 卻有電流流入。重新檢查 switch 的控制訊號發現控制訊號的波形並不如預期，兩組控制訊號如圖 3-22，

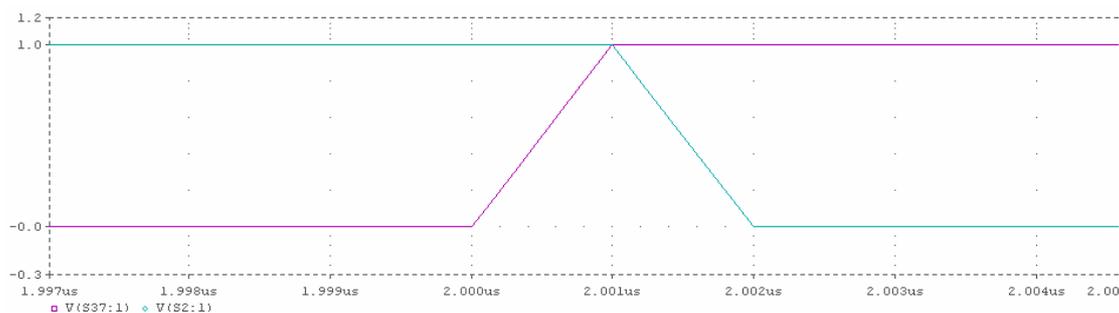


圖 3-22: 切換分壓電容瞬間兩組控制訊號變化

在 2us~2.002us 的期間兩組互斥的開關幾乎同時打開了，雖然我們把控制訊號的 rise time 與 fall time 設為 0，但是我們把 PSpice 的 transient analysis step 設為 1ns，所以模擬時需要 1ns 的時間才能把開關關上或打開，兩個互斥的開關

就在那短短 2ns 的時間中一起打開，造成非預期的現象出現。我們發現當兩組開關同時打開的時候，Co、C1、C2、C3 它們都有路徑直接接地，如圖 3-23，電荷就是這樣跑掉的，而 C1 不但沒有電荷流出反而還有大量的電荷流入是因為在那瞬間 Co 與 C1 是並聯的狀態，Co 的電壓高出 C1 許多所以 Co 不但有大量電流流到地也對 C1 充電，當我們把 transient analysis step 設為 1ps 之後，兩組開關同時打開的時間變為原本的千分之一，在這期間造成的能量損失也大量的減少了，分壓電容在無負載時的輸出電壓也幾乎不會下降，如圖 3-24。但是在電容幾乎接地的瞬間還是有將近 15A 的電流，為了徹底解決這個問題，我們把兩組控制訊號切換的時間錯開 1ps，確保兩組開關不會同時打開，除了電容的漏電流之外不會有任何的能量損失。

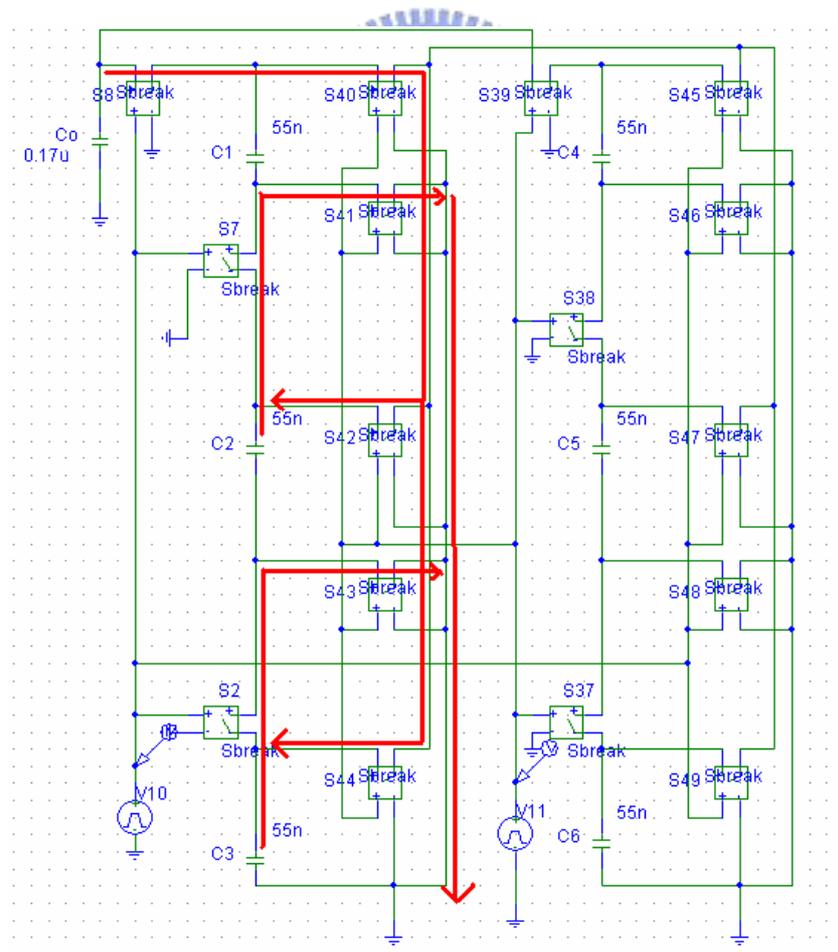


圖 3-23: 電容放電路徑

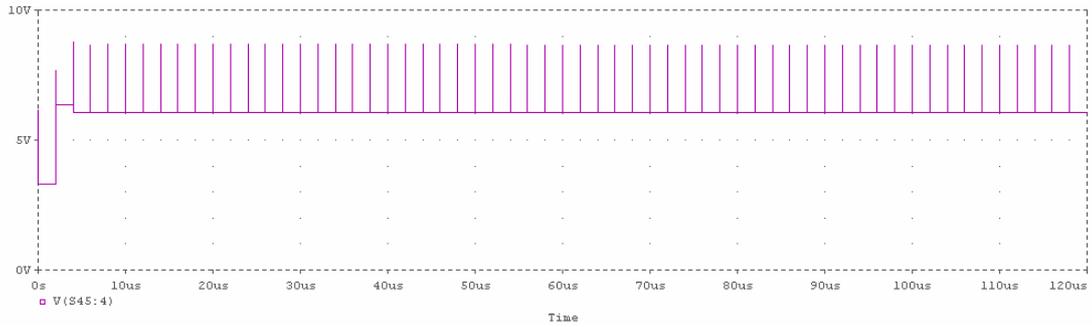


圖 3-24: 無負載分壓電容並聯放電的輸出波形，analysis step=1ps

改善了控制訊號與模擬軟體的設定之後，我們加上穩壓器與負載並且將控制訊號的 pulse width 縮短到 0.999us 重新觀察工作時間，我們發現負載的電壓在 94us 前均為穩定的 2V，如圖 3-25，94us 之後開始出現 ripple，在 100us 的時候電壓第一次低於 1.94V，相當接近之前計算的 106us 的可工作時間。

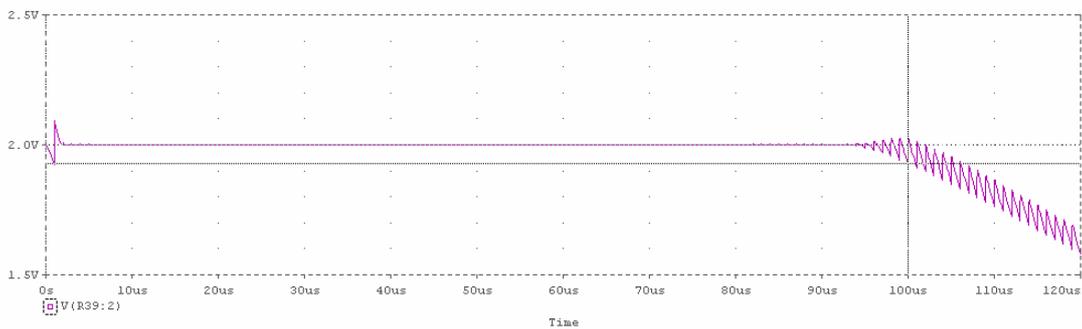
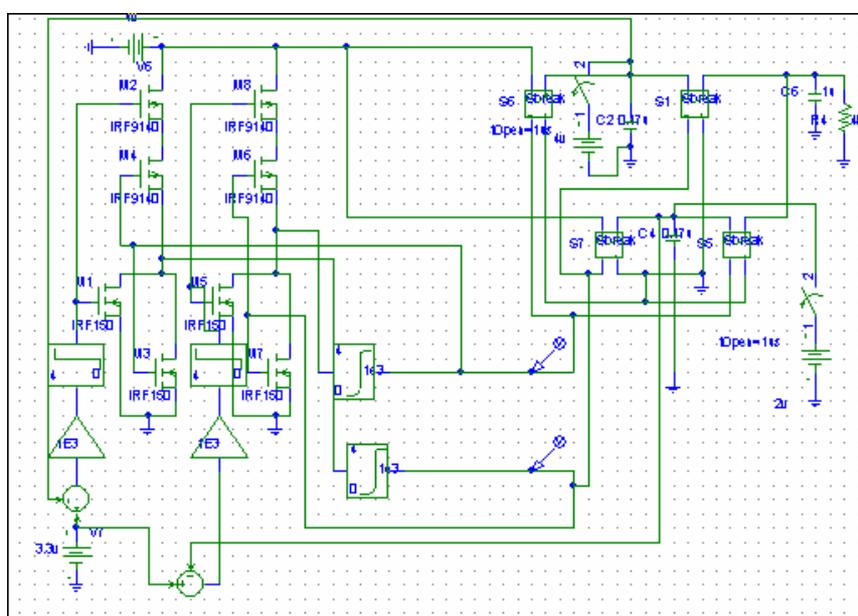


圖 3-25: 穩壓器輸出電壓

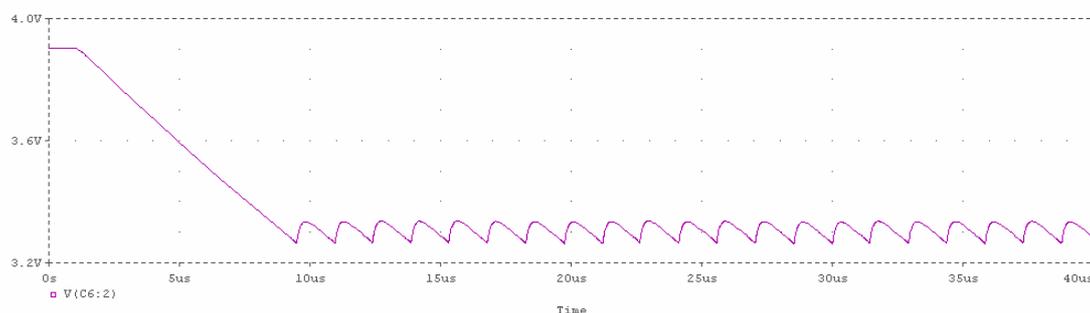
3.3.5 動態分壓電容(Dynamic partial voltage capacitor)

此種架構需要複雜的控制電路，控制電路的目的是在適當時機切換兩組分壓電容，並且判斷有幾個分壓電容可以被充電，以有效率的提供穩壓器正常工作。我們發現切換兩組分壓電容最適當的時機在於當一組正在對穩壓器放電的分壓電容電壓由大於 3.2V(穩壓器最低正常工作電壓)降到低於 3.2V 的瞬間，而且當該顆電容的電壓被充超過 3.2V 時不切換電容，這個動作可以由 SR flip-flop 達成，S 與 R 分別檢測兩組分壓電容中最下面的電容電壓，因為這個電容直接接

地，最不會有 ripple，而且它會一直被使用到 V_o 等於 V_{min} 為止，其他的電容會因為 V_o 下降而不再被使用， Q 與 \bar{Q} 分別控制兩個最下面的分壓電容是被充電還是放電，而其他的分壓電容則參考 C_o 的電壓與該組分壓電容中最下面那個電容是正在放電還是充電，再決定自己的狀態。控制兩個電容交替充放電的電路圖如圖 3-26(a)，模擬兩個電容交替被 4V 的直流電源充電，並交替的對 40 歐姆的電阻放電到 3.3V 為止。我們在電阻旁並聯了一個 1u 的大電容以減少 ripple，看到的電壓如圖 3-26(b)。



(a)



(b)

圖 3-26:(a)交替充放電控制電路(b)輸出電壓

3.3.6 討論

在 3.3.3 小節中因為模擬軟體 analysis step 設定與控制訊號非理想的問題，造成大量的能量損失減少可工作時間，這讓我們重新思考在 3.3.2 小節中我們把問題歸咎於不斷切換分壓電容造成 ripple 太過嚴重使得工作時間縮短是錯誤的想法，所以我們在修正 3.3.3 小節發現的兩個問題之外，並且在穩壓器的輸入端並聯一個 0.17 μ F 的大電容，將控制訊號的 pulse width 縮短為 0.999 μ s，重新模擬 3.3.2 小節的架構，觀察到穩壓器的輸出訊號如圖 3-27，在 80 μ s 之前都是穩定的 2V，原本預計無法連續放電與 ripple 的問題都因為切換的頻率加快

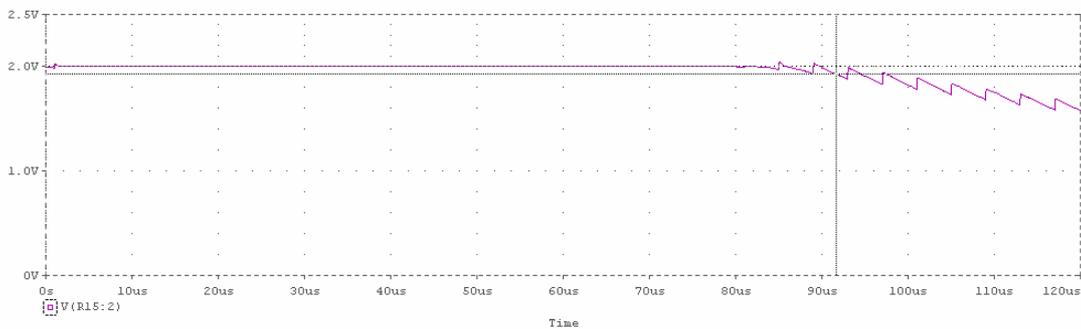


圖 3-27: 電容順序放電架構的穩壓器輸出電壓

與並聯一個大電容而得到改善，在 92 μ s 時第一次出現低於 1.94V 的電壓，此種架構將會比 3.3.3 的架構省去一半的電容面積與 switch，可工作時間卻只少了 10%，若以運用資源與效能的比來看 sequential discharge 會比 parallel discharge 的架構有競爭力。

3.4 太陽能電池有效率的充電到儲存電容

在我們的電力系統中，儲存電容是一個 MIM 結構的電容，我們把電容充到接近崩潰電壓才能在電容上儲存最多的電荷，所以要設計太陽能電池陣列提供輸出電壓接近崩潰電壓(V_{break})。一般非晶矽太陽能電池的開路電壓(V_{oc})約為 0.9V，將整片太陽能電池分成數個小太陽能電池，再將這幾個小電池串聯起來獲

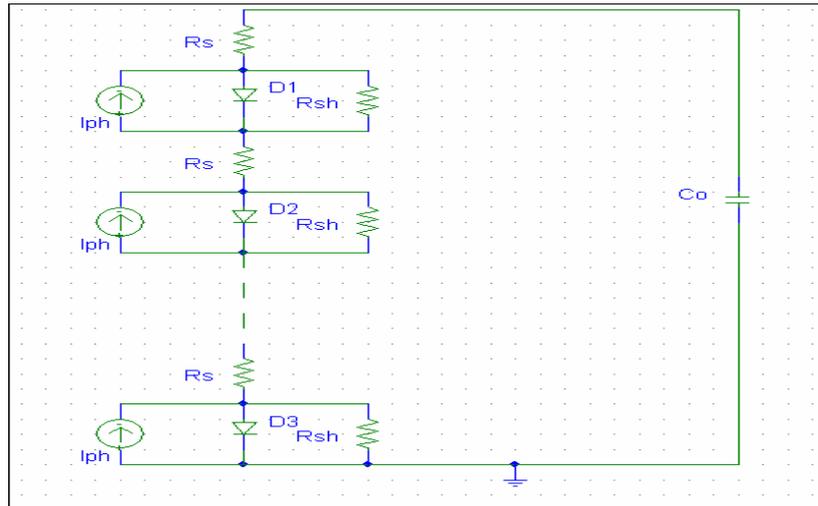


圖 3-28: 串聯多個太陽能電池對電容充電

得接近 V_{break} 的輸出電壓是最基本的設計，等效電路圖如圖 3-28，這時候最大輸出電流為 I_{ph} ，輸出電壓接近於 V_{break} ，隨著負載消耗電容儲存的電力，電容的跨壓逐漸降低，可能從原本接近 V_{break} 降到只剩下 $0.3 V_{break}$ ，此時其實太陽能電池陣列的輸出電壓並不需要到 V_{break} ，只要高於 $0.3 V_{break}$ 就可以對電容充電了，而且面積小於 1 cm^2 的太陽能電池串聯電阻 (R_s) 通常是可以被忽略的，即不論太陽能電池的輸出電壓與 C_o 的電壓 (V_o) 差多少幾乎不會影響輸出電流的大小，所以太陽能電池陣列的排列應該可以隨著 V_o 而動態的調整。當 V_o 較低時就降低太陽能電池陣列的輸出電壓，提高輸出電流， V_o 較高時就降低電流，提高輸出電壓，例如我們可以利用 switch 和控制電路，動態的改變圖 3-28 電池的排列為圖 3-29，這時候輸出電流為兩倍的 I_{ph} ，輸出電壓為 0.5 得接近 V_{break} 的輸出電壓是最基本的設計，等效電路圖如圖 3-29，這時候最大輸出電流增加了，可以更快速的對電容充電，我們將這種隨著 V_o 動態的調整太陽能電池陣列排列稱為 Dynamic solar cell array，若 V_{break} 為太陽能電池開路電壓的 n 倍，理論上陣列設計成 n 種輸出電壓可以最快速的對電容充電，太陽能電池的個數就需要 $1 \sim n$ 的最小公倍數個，這麼多個電池，這麼多種排列，控制電路將非常難設計，此部

分留待未來再深入研究。

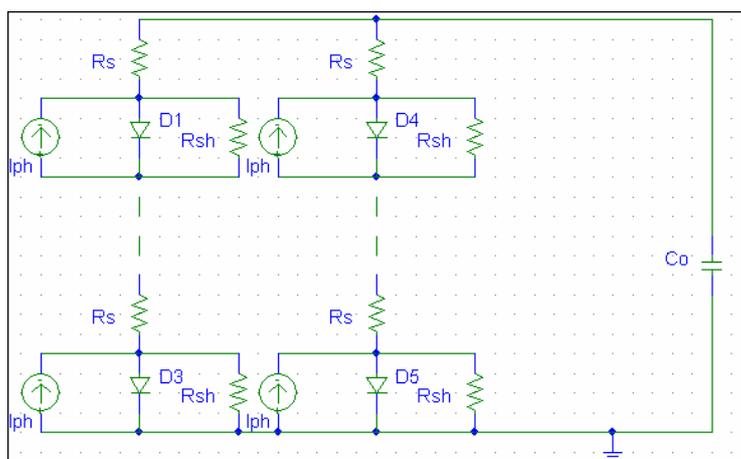


圖 3-29:降低電池陣列輸出電壓，提高輸出電流



第四章 討論

4.1 I/O 製程整合

我們在第二章說明將非晶矽太陽能電池整合在積體電路在製程上是可行的，但除了電力系統在製程上整合的問題之外，I/O 在製程上的整合也是一個很大的問題。因為 ZP-IC 被迫一定要使用無線通訊，目前無線通訊的技術可以分為電磁波和光通訊兩大類，預估 ZP-IC 的電力系統能夠提供的功率以及能量很有限，所以短距離的無線通訊會是較適當的選擇，目前最成熟的短距離無線通訊技術分別是利用電磁波的藍芽技術與利用光通訊的紅外線傳輸技術。單晶片的藍芽很早就問世了，以著名的 CSR 公司在 2003 年推出的 Blue Core 02 為例[18]，利用 0.18um CMOS 製程製作的單晶片藍芽系統，整個晶片裡面包含基頻與射頻，還有 ROM，但是天線並不包括在單晶片裡面，除了天線之外，至少還有 20 個以上的元件需要外接在晶片上，而且有石英和電感這些不容易整合在 IC 裡的元件，這會是大的問題。再來看看紅外線傳輸技術，ZiLOG 公司在 2001 年推出的 ZHX 1403 為例子[21]，這個產品是使用 CMOS 顆粒的晶片製作而成的，符合 IrDA Data Specification 1.4 的紅外線模組，這個產品只需要一個電阻和一個電容，一共兩個外接元件，相較藍芽，在製程整合上紅外線傳輸似乎容易許多。

4.2 電力供需

這節裡面我們自行定義 ZP-IC 的功能，大略估計 ZP-IC 對電力的需求，以及供給電力的能力並討論兩者如何達到平衡。

4.2.1 定義 ZP-IC 功能

在功能上由於電力的限制，預估將無法支持耗電量大的複雜工作，且其工作型態可能需要很長一段時間處於蓄積太陽能的休眠狀態，在蓄積足夠的能量之後

才能短暫處理低耗電量的工作，並為了配合 IC 產業最普遍的 CMOS 製程，我們選擇 temperature sensor 這種簡單的功能，使用者可以用短距離無線通訊的方式主動向 ZP-IC 索取目前的溫度資料，ZP-IC 在能量充足的狀況下回覆。

我們不希望 ZP-IC 受到導線的限制，所以希望 ZP-IC 與外界的溝通能以無線通訊的方式達成。耗電量是我們最主要的考量依據，以下將討論藍芽無線通訊方式。ZP-IC 必須要有能力知道自己要作什麼，需要有一個 controller 控制何時休眠，何時與外界溝通，何時誰該工作，我們將討論被廣泛應用的 ARM processor。下表為我們自行定義的 ZP-IC 的工作狀態。

state \ Component	Reserve	Listen	Making connection	Work	TX /RX
Controller	Active	Active	Active	Active	Active
Communication	OFF	RX	TX	Standby	Active
Sensor	OFF	OFF	OFF	Active	OFF

表 4-1: ZP-IC 工作狀態

4.2.2 電力消耗

我們將根據上小節的定義初步估計 ZP-IC 可能消耗的電力，temperature sensor 我們參考 Anton Bakker 在 1996 年發表的 CMOS temperature sensor[22]，內含 A/D converter，standard 2um CMOS 製程，需要 3V 的 power supply，每秒取兩個 sample，消耗 7uW 的 power。藍芽是參考 CSR 公司的產品 Blue Core 02[18]，0.18um CMOS 製程，需要 1.8V 的 power supply。由於藍芽工作模式較為複雜，耗電量也根據不同工作模式而不同，最主要的兩種工作模式為休息模式與傳輸資料模式，功率消耗分別為 153uW 與 90uW(50mA)。ARM processor 我們參考的是 ARM7[23]，0.18um CMOS 製程，需要 1.8V 的 power supply，消耗的功率隨 clock rate 決定，0.25mW/MHz，我們從 Berkley 的 autonomous optical sensor node[1]的例子推算我們的 clock rate，ARM7 在我們的設計裡需要控制一個 temperature sensor，一個 bluetooth，共兩個 component 的 ON/OFF 與資料

存取，ARM7 在這裡的工作複雜程度相當於[1]裡的 Finite State Machine(FSM)的工作複雜程度，也就是說他們所要下的指令數差不多。接下來考慮我們是在哪一段時間裡面執行，完這些指令，也就是考慮 clock 的問題。在我們的設計裡 controller 面對最嚴格的 clock 挑戰就是 I/O 的 data rate，FSM 所面對的是 375kbps 的 optical receiver，而 ARM7 要面對的是 baseband data rate 720kbps 的 bluetooth，他們所要處理的 data rate 是在同一個 order，且 720kbps 約為 375kbps 的 2 倍，所以我認為 ARM7 工作在 7.8MHz 是合理的推算，也就是消耗 1.95mW 的功率。我們將 ZP-IC 工作狀態與消耗功率作成下表。

State Component	Reserve	Listen	Making connection	Work	TX/RX
Controller ARM7	Active 1.95mW	Active 1.95mW	Active 1.95mW	*Active 1.95mW	Active 1.95mW
Comm. Bluetooth	OFF 18uW	Standby 153uW	Intermediate 90mW	Sniff mode 0.9mW	Connection 90mW
Sensor	Active 7uW	Active 7uW	Active 7uW	Active 7uW	Active 7uW
Regulator	Unknown	unknown	unknown	unknown	unknown

表 4-2: ZP-IC 工作狀態與消耗功率

假定 sensor 花 0.5 秒輸出一筆 8bits 的溫度資料，藍芽花 336us 建立連線，231us 傳送一個 DH5 的最短封包(166bits)[24]，ARM7 要在 0.5sec 內從 temperature sensor 讀取一筆 8bits 的資料，依不同的 data bus 型態，與不同的 I/O device 工作型態，會需要不同的指令數，但是均在 10 個指令數以下，相較 ARM7 平均工作 clock 7.8MHz (7.02MIPS)，增加的指令數造成多餘的能量耗損幾乎可以忽略，因此 ZP-IC 要傳送一筆 8bits 的溫度資料要消耗的功率與時間如表 4-3。

根據推算，energy consumption 最大的動作是 work 的動作，但是其 power consumption 為 2.85mW，小於 typical solar cell 的 power output(14mW)，所

以預估在此工作區間可正常工作，其餘 2 個工作區間的 power 一樣，且均大於 solar cell 的 power output，這將會是我們電力系統主要要解決的問題。

	Making connection	Work	TX / RX
Time(Sec)	2.1875m	0.5	231u
Power consumption(W)	91.95m	2.85m	91.95m
Energy consumption(J)	43.2u	1.425m	21.24u

表 4-3: 傳送 8bits 的資料消耗的功率與時間

4.2.3 電力供給

根據我們蒐集到的資料，以目前的技術非晶矽太陽能電池在標準測試狀況下可以達到 $14\text{mW}/\text{cm}^2$ 的輸出功率，若想要讓 ZP-IC 連續不斷的工作，電池的面積至少要 6.6cm^2 ，也就是整個 ZP-IC 的面積至少要 6.6cm^2 。如果晶片面積為 1cm^2 ，電池輸出功率低於 ZP-IC 消耗功率，勢必無法連續工作，我們需要電容儲存電荷，彌補電池輸出功率的不足，以目前的技術 high-k 介電質可以做到 $1.7\mu\text{F}/\text{cm}^2$ 的電容密度，崩潰電壓約 6V，扣除太陽能電池的輸出功率，電容至少要 34.7 μF 才足以提供藍芽建立連線，也就是要做約 20 層 1cm^2 的電容，這似乎不太可行。若是以二氧化矽介電值的電容來估計， $0.17\mu\text{F}/\text{cm}^2$ 的電容密度，20V 的崩潰電壓，讓穩壓器直接使用電容的電力，大概要 5.6 μF 的電容才足以建立連線，大約 33 層 1cm^2 的電容，這還是不太可行。若是使用固定分壓電容方式提供穩壓器電力，大概要 3.09 μF 的電容，大約 18 層 1cm^2 的電容，還是不可行，若是以動態分壓電容的方式提供穩壓器電力，大概要 1.77 μF 的電容，大約 11 層 1cm^2 的電容，還是不太可行，若是增大晶片面積為 2.25cm^2 ，則需要 1.37 μF 的電容，大約 4 層 2.25cm^2 的電容，在可以接受的邊緣。若再擴大晶片面積為 4cm^2 ，則需要 0.8 μF 的電容，2 層 4cm^2 的電容就很足夠了。在這裡我們發現對 ZP-IC 而言，太陽能電池提供的 power 比起電容提供的 power 重要許多，電容在這裡扮演的角色更類似於初步穩定電壓。

4.3 全電容式變壓器(All-capacitor transformer)

我們發現串聯 n 個電容對電壓源 V_s 做分壓，每個電容會有 $\frac{V_s}{n}$ 的電壓，而且這 n 個分壓電容可以釋放出的電荷總量是 V_s 輸出電荷量的 n 倍，我們很有機會利用這種特性設計一個只需要電容和 switch 的變壓器(All-capacitor transformer)，如果我們讓每個分壓電容都只對負載放一點點的電荷，這樣每個分壓電容的電壓就不會有太大的改變，對負載而言幾乎是看到一個固定的電壓 ($\frac{V_s}{n}$)，而因為電容除了很低的漏電流之外幾乎不損失電荷，所以流經負載的電流幾乎是電壓源流出來的電流的 n 倍 ($n \cdot I_s$)，這種電壓源與負載之間的電壓與電流關係，很類似變壓器，一個可能的電路如下圖。我們利用兩組分壓電容交替的對 V_s 分壓以及對負載放電，C7 是用來減低負載處的 ripple，大小為 $1\mu\text{F}$ ，

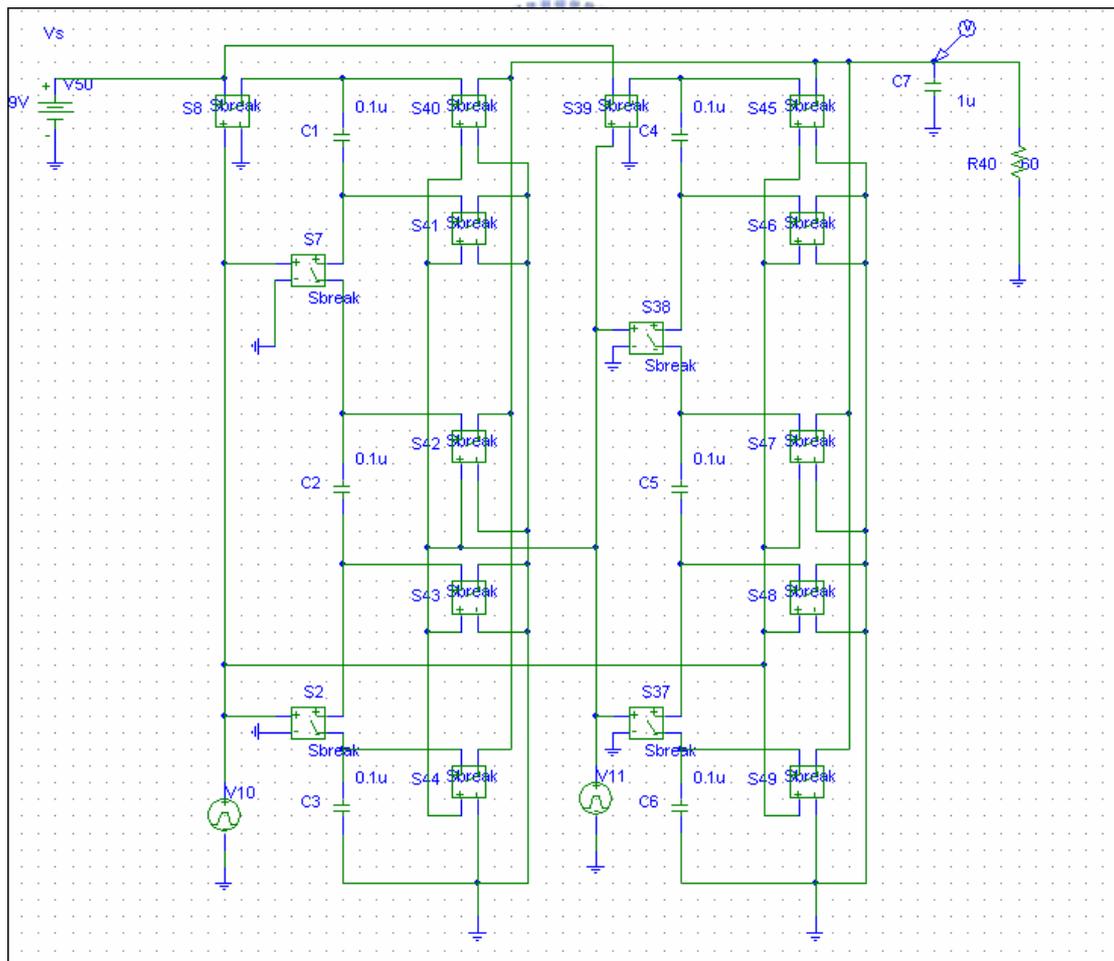


圖 4-1:全電容式變壓器電路

每個分壓電容的電容值為 0.1 μ F，控制訊號的頻率為 1Mega，負載為 60 歐姆，每組三個電容對 9V 的電壓源做分壓，在負載處看到的電壓訊號，如圖 4-2，電壓在 2.96V 上下變動 0.003V，流經負載的電流約為 50mA。我們發現控制訊號的頻率越高或是電容總量越大，每組分壓電容的放電時間也就越短，下降的電壓就越

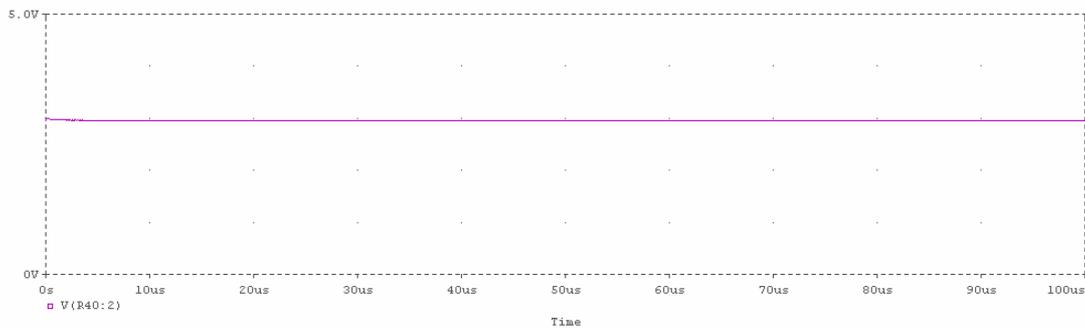


圖 4-2:全電容式穩壓器輸出電壓

少，ripple 也就越小，浪費在全電容式變壓器的能量也就越少，關於最大輸出電流與變動電壓以及能量損失彼此之間的關係是未來值得我們再深入研究的。由於一般變壓器的製作都需要使用到電感，而電感很難整合在積體電路裡面，電容與 switch 是相對比較容易的，希望這種全電容式的變壓器對積體電路的整合有所貢獻。

第五章 結論

在我們的研究之後發現，非晶矽太陽能電池/MIM 電容/ASIC 的結構可以解決 ZP-IC 的電力來源問題，而且將此種結構整合在標準 CMOS 後段製程是可行的。為了解決穩壓器浪費過多 power 的問題，我們提出了三種架構並推導這三種架構在延長工作時間上的關係式，其中分壓電容順序放電與分壓電容並聯放電這兩種架構經過電腦模擬得到預期的成效，工作時間延長了近一倍，動態分壓電容架構因電路過於龐大尚未得到電腦模擬結果。以目前的科技，ZP-IC 在 I/O 的解決方案上，紅外線傳輸的方式會是較適當的選擇。電力供需平衡與晶片面積有很大的關係， 2.25 cm^2 以上的晶片面積較容易達到平衡。分壓電容放電的特性很類似變壓器的特性，利用此特性設計全電容式變壓器提供我們新的研究方向。

非晶矽太陽能電池與 ASIC 無接腳的整合是可行的，紅外線無線通訊與 ASIC 只差電源與兩個外接元件就可達到無接腳的整合，整合紅外線通訊與非晶矽太陽能電池在 ASIC 上仍未得知其可行性，在整合紅外線通訊、非晶矽太陽能電池與 ASIC 之後即可以實現 ZP-IC 的理想。

- [1] Warneke B. A. ; Scott M. D. ; et al. ; " An Autonomous 16mm³ Solar-Powered Node for Distributed Wireless Sensor Networks," , Sensors, 2002. *Proceedings of IEEE* , Volume: 2 , 12-14 June 2002, Pages:1510 - 1515 vol.2
- [2] Roundy S. ; et al. ; " A 1.9GHz RF Transmit Beacon using Environmentally Scavenged Energy" , <http://bwrc.eecs.berkeley.edu/Publications/2003/presentations/1.9GHzRFTransmit/>
- [3] Lule T. ; Schneider, B. ; Bohm, M. ; " Design and fabrication of a high-dynamic-range image sensor in TFA technology" , Solid-State Circuits, *IEEE Journal of* , Volume: 34 , Issue: 5 , May 1999, Pages:704 - 711
- [4] Hang H. ; Chunxiang Z. ; et al. ; " MIM capacitors using atomic-layer-deposited high- κ (HfO₂)/sub 1-x/(Al₂O₃)/sub x/ dielectrics" , Electron Device Letters, *IEEE* , Volume: 24 , Issue: 2 , Feb. 2003, Pages:60 - 62
- [5] Green M.A. ; " Photovoltaics: technology overview" , *Energy Policy*, 2000, Pages:989 - 998
- [6] Partain L.D. ; et al. ; " Solar Cells and Their Applications " , *Wiley*, 1995
- [7] <http://sz-bbsw.de/>
- [8] Jeffrey A.M. ; "Solar cells /an introduction to crystalline photovoltaic technology" , *Kluwer Academic Publishers*, 1997
- [9] Chopra; Kasturi L. ; "Thin Film Solar Cells" , *Kluwer Academic Publishers*, 1983
- [10] <http://www.imt.fb12.uni-siegen.de/he/forschung/pecvd-e.htm>

- [11] Tanaka K. ; “Glow-Discharge Hydrogenated Amorphous Silicon” ,
Kluwer Academic Publishers, 1989
- [12] Takahashi K. ; Konagai M. ; ” Amorphous Silicon Solar Cells” ,
Wiley-interscience ,1986
- [13] Hong X. ; “半導體製程技術導論” , *Pearson Education Taiwan Ltd.* ,2003
- [14] Bellew C.L. ; Hollar S. ; Pister K. S. J. ; “An SOI process for
fabrication of solar cells, transistors and electrostatic
actuators” , *TRANSDUCERS, Solid-State Sensors, Actuators and
Microsystems, 12th International Conference on*, 2003 , Volume: 2 , 8-12
June 2003 ,Pages:1075 - 1078 vol.2
- [15] Adonin A. S. ; Petrosjanc K. O. ; Poljakov I. V. ; “Monolith
optoelectronic integrated circuit with built-in photo-voltaic
supply for control and monitoring” , *Electronics, Circuits and
Systems, 1998 IEEE International Conference on* , Volume: 2 , 7-10
Sept. 1998 ,Pages:529 - 531 vol.2
- [16] Lule T. ; Schneider B. ; Bohm M. ; “Design and fabrication of a
high-dynamic-range image sensor in TFA technology” , *Solid-State
Circuits, IEEE Journal of* , Volume: 34 , Issue: 5 , May 1999
Pages:704 - 711
- [17] Jenny N. ; “The Physics of Solar Cells” , *Imperial College Press*,
2003
- [18] BlueCore 2-ROM product Data sheet
- [19]Yang M. Y. ; Huang, C. H. ; et al. ; ” Very high density RF MIM capacitors
(17 fF// μm^2) using high- κ Al₂O₃/
doped Ta₂O₅ dielectrics” , *Microwave and Wireless
Components Letters, IEEE [see also IEEE Microwave and Guided Wave*

- Letters*] , Volume: 13 , Issue: 10 , Oct. 2003 ,Pages:431 - 433
- [20] Chen Z. ; Guo L. ; Yu M. ; Zhang Y. ; “A study of MIMIM on-chip capacitor using Cu/SiO₂ interconnect technology” , Microwave and Wireless Components Letters, *IEEE [see also IEEE Microwave and Guided Wave Letters]* , Volume: 12 , Issue: 7 , July 2002 ,Pages:246 - 248
- [21] ZHX1403 SIR UltraSlim Transceivers Preliminary Product Specification
- [22] Bakker A. ; Huijsing J.H. ; ” Micropower CMOS temperature sensor with digital output” , Solid-State Circuits, *IEEE Journal of* , Volume: 31 , Issue: 7 , July 1996 , Pages:933 - 937
- [23] ARM7TDMI Core Processor data sheet
- [24] 禹帆; ” 無線藍芽技術的深入探討” , 文魁 ,2001

