

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

覆晶錫銀鋅錫接點於定溫不同電流密度下
之電遷移失效模式研究

Electromigration Failure Modes Study in Flip-Chip SnAg Solder Joints
under Constant-Temperature / Different-Current Density Condition

研究生：趙家宏

指導教授：陳智博士

中華民國 一〇一年二月

覆晶錫銀鉛錫接點於定溫不同電流密度下之電遷移失效模式研究

**Electromigration Failure Modes Study in Flip-Chip SnAg Solder Joints
under Constant-Temperature / Different-Current Density Condition**

研 究 生：趙家宏

Student : Chia-Hung Chao

指 導 教 授：陳智

Advisor : Chih Chen



Degree Program of Semiconductor Material and Process Equipment

February 2012

Hsinchu, Taiwan, Republic of China

中華民國 一〇一年二月

覆晶錫銀鋅錫接點於定溫不同電流密度下之 電遷移失效模式研究

學生：趙家宏

指導教授：陳智 博士



Electromigration Failure Modes Study in Flip-Chip SnAg Solder Joints under Constant-Temperature / Different-Current Density Condition

Student : Chia-Hung Chao

Advisor : Dr. Chih Chen

Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

Abstract

As the size of consumptive electronic products continues to shrink, Flip Chip ICs also have to miniaturization. However, shrinking the size of solder bump is similar to the change of current density. We will discuss the effect of solder bump by electromigration under different current density.

In this study, we applied current stress of 0.8A、1.0A and 1.2A respectively on lead-free SnAg solder joints at 100°C. And we observed the cross-section of specimen for various stages and analyzed the failure modes for each solder bump . In experimental result, for the bump without current stressing, we found the formation of void causing by Cu UBM consumption which was affected by thermomigration effect. And we demonstrated $(\text{Cu},\text{Ni})_6\text{Sn}_5$ accumulation in current crowding region for the bump with an upward electron flow. Then, we found not only the formation of pancake-type void, but also destruction of IMC on the bump with a higher current density downward electron flow.

誌謝

首先要感謝我的指導教授陳智博士，在這一年多來老師的指導下，讓我在學業及論文研究皆獲益匪淺，老師亦不時地引領著我走往正確的研究方向，在此我要對陳智老師致上我最高的謝意。還要非常感激 謝宗雍教授以及歐陽汎怡教授能撥空參與我的口試，並且給予論文上的指導及建議。

我還要感謝我的指導者翔耀學長，從實驗室裡機台的操作、試片的研磨及通電等步驟，學長都非常細心的指導與講解，且更要感謝學長在 SEM 與 IR 的大力幫忙。再來要特別感謝延松學長在課程及學業上的各項建議與協助，還有允田、詩寬、子弘也要謝謝你們一起的陪伴與幫忙，以及感謝所有 CClab 成員們的照顧，讓我能夠在這個環境中成長茁壯。

最後，我要感謝我的老婆雅婷，對於家庭的默默付出及不辭辛勞的照顧著幼子，也讓我能於學業上無後顧之憂，更因為有了妳的支持才是我繼續前進的原動力。

目 錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
圖目錄	vi
第一章、	緒論	1
第二章、	文獻回顧	4
2-1	覆晶接合技術	4
2-2	無鉛化議題	4
2-3	電遷移	5
2-4	電流聚集效應	8
2-5	焦耳熱效應	8
2-6	覆晶鋅錫接點電遷移破壞模式與機制	11
第三章、	實驗方法與步驟	23
3-1	試片結構	23
3-2	凱文結構方式佈局	24
3-3	電遷移測試條件與鋅錫電阻變化量測	24
3-4	鋅錫微結構觀察	25
3-5	熱分析觀察	25
第四章、	實驗結果與討論	28
4-1	未通電及未加熱試片凸塊剖面觀察	28
4-2	定溫定電流下鋅錫凸塊剖面觀察與分析	28
4-2-1	觀察電流未流經之 Bump1	29
4-2-2	觀察電子流向上之 Bump2	30
4-2-3	觀察電子流向下之 Bump3	31
4-3	定溫不同電流下鋅錫凸塊剖面觀察與分析	31
4-3-1	觀察電流未流經之 Bump1	32

4-3-2	觀察電子流向上之 Bump2	32
4-3-3	觀察電子流向下之 Bump3	33
4-4	銅與錫熱遷移之通量分析比較	33
4-5	Annealing 試片結果觀察與分析	34
第五章、	結論	55
參考文獻		56



圖 目 錄

圖 1-1	Kelvin structure 在半導體電性量測示意圖	3
圖 2-1	C4 製成流程圖	12
圖 2-2	銻錫凸塊自我對準示意圖	12
圖 2-3	覆晶接合連接積體電路之球閘陣列封裝方式	13
圖 2-4	打線接合技術	13
圖 2-5	Blech 實驗試片陽極端與陰極端 SEM 俯視圖	14
圖 2-6	Blech 實驗試片橫截面示意圖	14
圖 2-7	模擬於通電 0.6A、100°C 下，銻錫凸塊電流密度分佈情形 (a)3D 電流分佈圖，(b)剖面電流分佈圖，(c)俯視電流分佈圖， (d)以圖(b)中之虛線做電流密度大小分佈	15
圖 2-8	以紅外線顯像技術觀察試片表面溫度分佈情形 (a)未通入電流時，(b)通入電流時， (c)以圖(b)A 及 B 點之溫度分佈	16
圖 2-9	模擬於通電 0.6A、100°C 下，銻錫凸塊之溫度分佈情形 (a) 3D 溫度分佈圖，(b)剖面溫度分佈圖，(c)以圖(b)中之水平虛線做溫度分佈，(d)以圖(b)中之垂直虛線做溫度分佈	17
圖 2-10	以紅外線顯像技術觀察銻錫凸塊剖面之溫度分佈情形 (a)通電前凸塊之溫度分佈，(b)通電後凸塊之溫度分佈， (c)沿圖(b)虛線方向之溫度分佈	18
圖 2-11	150°C 電流密度為 9.7×10^3 A/cm ² 下，於通電 76hr 後各凸塊 SEM 剖面影像，(a)Bump1，(b)Bump2，(c)Bump3，(d)Bump4	19
圖 2-12	150°C 電流密度為 9.7×10^3 A/cm ² 下，各凸塊 Cu 與 Sn 受電遷移及熱遷移方向示意圖 (a)電流未流經之 Bump 1&4，(b)電子流向上之 Bump 2， (c)電子流向下之 Bump 3	20
圖 2-13	鬆餅狀孔洞生成於銻錫與 IMC 間之 SEM 影像	21
圖 2-14	Sn 與 Cu 延 Sn 晶格 a-axis 方向之擴散係數	21

圖 2-15	高溫 180°C 下銅消耗與鬆餅狀孔洞生成機制之 SEM 影像	
(a)	電子流方向由右下至左上，	
(b)	延圖(a)虛線分割再由右至左看入之影像	22
圖 2-16	低溫 60°C 下銅消耗機制之 SEM 影像	
(a)	電子流方向由右下至左上，(b)電子流方向由右上至左下，	
(c)	放大圖(a)底部區域	22
圖 3-1	共晶錫銀鋅凸塊之剖面結構圖	26
圖 3-2	實驗試片之凱文結構接點示意圖，	
(a)	俯視圖，(b)剖面圖	26
圖 3-3	實驗試片之凱文結構 3D 剖面圖	27
圖 3-4	紅外線顯像技術觀察方向示意圖	27
圖 4-1	未通電及未加熱之凸塊 OM 剖面圖	
(a)	Bump1, (b)Bump2, (c)Bump3, (d)Bump4	35
圖 4-2	於定溫 100°C 及定電流 1.0A 下，各試片通電時間與 Bump3 電阻上升率圖表	
(a)	表為各試片通電時間對應電阻上升率之關係表，	
(b)	圖為各試片通電時間與電阻上升率之關係圖	36
圖 4-3	於 100°C 下通入 1.0A，電流未流經之 Bump1 OM 剖面圖	
(a)	於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，	
(b)	48.7%、318.6hr, (c)110.7%、286.4hr, (d)639.8%、382.6hr...	37
圖 4-4	於 100°C 下通入 1.0A，電流未流經之 Bump1 SEM 剖面圖	
(a)	於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，	
(b)	48.7%、318.6hr, (c)110.7%、286.4hr, (d)639.8%、382.6hr...	38
圖 4-5	於 100°C 通電電流為 0.5A 下，Bump1 以紅外線顯像技術觀察試片剖面溫度分佈情形	
(a)	溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 117.3°C、1000°C/cm	39
圖 4-6	於 100°C 下通入 1.0A，電子流向上之 Bump2 OM 剖面圖	
(a)	於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，	
(b)	48.7%、318.6hr, (c)110.7%、286.4hr, (d)639.8%、382.6hr...	40

- 圖 4-7 於 100°C 下通入 1.0A，電子流向上之 Bump2 SEM 剖面圖
 (a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，
 (b)48.7%、318.6hr，(c)110.7%、286.4hr，(d)639.8%、382.6hr... 41
- 圖 4-8 於 100°C 通電電流為 0.5A 下，Bump2 以紅外線顯像技術觀察試片剖面溫度分佈情形
 (a)溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 120.7°C、1460°C/cm 42
- 圖 4-9 於 100°C 下通入 1.0A，電子流向下之 Bump3 OM 剖面圖
 (a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，
 (b)48.7%、318.6hr，(c)110.7%、286.4hr，(d)639.8%、382.6hr... 43
- 圖 4-10 於 100°C 下通入 1.0A，電子流向下之 Bump3 SEM 剖面圖
 (a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，
 (b)48.7%、318.6hr，(c)110.7%、286.4hr，(d)639.8%、382.6hr... 44
- 圖 4-11 於定溫 100°C 及通電電流分別為 0.8A、1.0A、1.2A 下，各試片通電時間與 Bump3 電阻上升率圖表
 (a)表為不同電流下之各試片通電時間對應電阻上升率之關係表，
 (b)圖為不同電流下之各試片通電時間對應電阻上升率關係圖 ... 45
- 圖 4-12 於 100°C 不同電流下，電流未流經之 Bump1 OM 剖面圖
 (a)通電電流 0.8A 於 Bump3 電阻上升率 106%、1318hr，
 (b)通電電流 1.0A 於 Bump3 電阻上升率 110.7%、286.4hr，
 (c)通電電流 1.2A 於 Bump3 電阻上升率 100%、44.9hr 46
- 圖 4-13 於 100°C 不同電流下，電流未流經之 Bump1 SEM 剖面圖
 (a)通電電流 0.8A 於 Bump3 電阻上升率 106%、1318hr，
 (b)通電電流 1.0A 於 Bump3 電阻上升率 110.7%、286.4hr，
 (c)通電電流 1.2A 於 Bump3 電阻上升率 100%、44.9hr 47
- 圖 4-14 於 100°C 不同通電電流下，Bump1 以紅外線顯像技術觀察試片剖面溫度分佈情形
 (a)通電電流為 0.4A 之溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 110°C、660°C/cm，
 (c)通電電流為 0.5A 之溫度分佈圖，(d)延圖(c)白線溫度分佈表，

	量測之平均溫度與溫度梯度分別為 117.3°C 、 $1000^{\circ}\text{C}/\text{cm}$ ，	
(e)	通電電流為 0.6A 之溫度分佈圖，(f)延圖(e)圖白線溫度分佈表，	
	量測之平均溫度與溫度梯度分別為 129.9°C 、 $1660^{\circ}\text{C}/\text{cm}$ 48	
圖 4-15	於 100°C 不同電流下，電子流向向上之 Bump2 OM 剖面圖	
(a)	通電電流 0.8A 於 Bump3 電阻上升率 106% 、 1318hr ，	
(b)	通電電流 1.0A 於 Bump3 電阻上升率 110.7% 、 286.4hr ，	
(c)	通電電流 1.2A 於 Bump3 電阻上升率 100% 、 44.9hr 49	
圖 4-16	於 100°C 不同電流下，電子流向向上之 Bump2 SEM 剖面圖	
(a)	通電電流 0.8A 於 Bump3 電阻上升率 106% 、 1318hr ，	
(b)	通電電流 1.0A 於 Bump3 電阻上升率 110.7% 、 286.4hr ，	
(c)	通電電流 1.2A 於 Bump3 電阻上升率 100% 、 44.9hr 50	
圖 4-17	於 100°C 不同通電電流下，Bump2 以紅外線顯像技術觀察試片剖面溫度分佈情形	
(a)	通電電流為 0.4A 之溫度分佈圖，(b)延圖(a)白線溫度分佈表，	
	量測之平均溫度與溫度梯度分別為 110.9°C 、 $860^{\circ}\text{C}/\text{cm}$ ，	
(c)	通電電流為 0.5A 之溫度分佈圖，(d)延圖(c)白線溫度分佈表，	
	量測之平均溫度與溫度梯度分別為 120.7°C 、 $1460^{\circ}\text{C}/\text{cm}$ ，	
(e)	通電電流為 0.6A 之溫度分佈圖，(f)延圖(e)白線溫度分佈表，	
	量測之平均溫度與溫度梯度分別為 133.3°C 、 $2260^{\circ}\text{C}/\text{cm}$ 51	
圖 4-18	於 100°C 不同電流下，電子流向向下之 Bump3 OM 剖面圖	
(a)	通電電流 0.8A 於 Bump3 電阻上升率 106% 、 1318hr ，	
(b)	通電電流 1.0A 於 Bump3 電阻上升率 110.7% 、 286.4hr ，	
(c)	通電電流 1.2A 於 Bump3 電阻上升率 100% 、 44.9hr 52	
圖 4-19	於 100°C 不同電流下，電子流向向下之 Bump3 SEM 剖面圖	
(a)	通電電流 0.8A 於 Bump3 電阻上升率 106% 、 1318hr ，	
(b)	通電電流 1.0A 於 Bump3 電阻上升率 110.7% 、 286.4hr ，	
(c)	通電電流 1.2A 於 Bump3 電阻上升率 100% 、 44.9hr 53	
圖 4-20	於 100°C 通電電流為 0.6A 下，Bump3 以紅外線顯像技術觀察試片剖面溫度分佈情形	
	(a)溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與	

溫度梯度分別為 135.1°C 、 $2420^{\circ}\text{C}/\text{cm}$ 54

圖 4-21 於 135°C 、450hr annealing 試片之 SEM 剖面圖影像 54



第一章、緒論

電遷移(electromigration, EM)係指當電流通過金屬物質時，金屬原子受電子衝撞而產生移動之現象，此現象對於發展快速的積體電路(Integrated Circuit, IC)系統而言卻成為一大威脅。主要因為電子的流動會造成金屬導線原子朝向特定之方向(陽極端)移動且累積產生突出物(extrusion)；而在反方向(陰極端)則形成孔洞(void)，最終將導致線路短路或斷路以致元件失效。

伴隨著積體電路的蓬勃發展，且消費性電子產品持續的輕薄化，為了增強微處理器及邏輯元件的性能與速度，進而開始追求高密度的輸入/輸出接點之覆晶接合構裝技術(Flip Chip Technology)。然而，覆晶接合構裝之接點(意即鋅料與基材間)亦為電子流經之處，其覆晶鋅錫接點預期將面臨相同的難題。且近年來電子產業無鉛化的環保聲浪，使覆晶接合技術之鋅料被迫將高可靠度的錫鉛鋅錫改為無鉛鋅錫(lead-free solder)，再者，隨著積體電路朝向高頻、高效能的驅動力，必須滿足更多輸入/輸出接點的趨勢下，錫球尺寸勢必繼續微縮化，屆時鋅錫所承受電流密度的改變，其電遷移的作用下所衍生的電流聚集效應(current crowding effect)與焦耳熱效應(Joule heating effect)，將會對鋅錫產生何種不良影響，為本研究所探討之重要議題。

本篇研究試片利用凱文結構(Kelvin Structure)方式佈局，此方式很早就被運用在積體電路中電性的量測，其示意圖如圖 1-1，此方法需四點探針方式量測，並通以固定電流量測電壓變化的方式，以推算其電阻值，此量測方式可避除因導線及接點電阻而造成待測物實際電阻的誤差影響，其可用於低電阻範圍($10 \mu\Omega$ ~ 1Ω)的精準量測，因此試片利用此結構佈局製備，可精準量測單一鋅錫凸塊隨時間增加之電阻變化量。試片鋅料則選用無鉛共晶錫銀(SnAg3.5)鋅錫，並以銅

做為底部金屬墊層(Under Bump Metallization, UBM)之電遷移破壞的測試接點，
於固定溫度 100°C 下分別通以不同電流 0.8A ($8.42 \times 10^3 \text{ A/cm}^2$)、 1.0A
($1.05 \times 10^4 \text{ A/cm}^2$)、 1.2A ($1.26 \times 10^4 \text{ A/cm}^2$)，分別觀察各銻錫凸塊(Bump)並
比較不同電流密度下電遷移之失效模式。



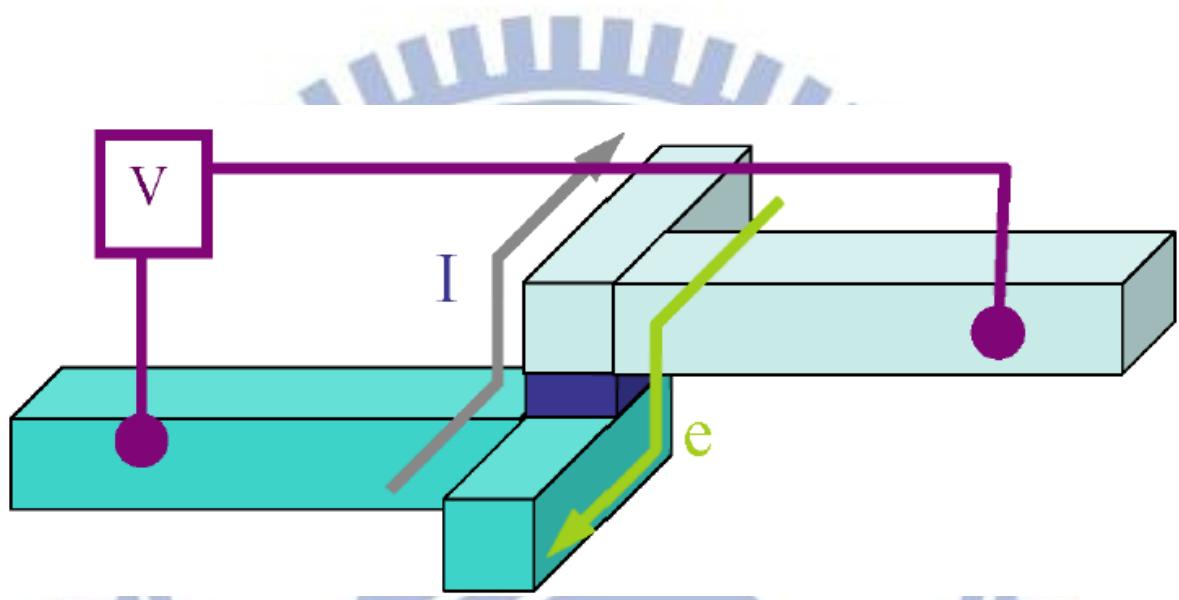


圖 1-1 Kelvin structure 在半導體電性量測示意圖



第二章、文獻回顧

2-1 覆晶接合技術

覆晶接合技術最先由 IBM 於 1960 年代早期的 C4(controlled collapse chip connection)[1]製成所發展而來，其製程如圖 2-1 所示。首先將晶片做保護層(passivation)處理，並鍍上一 BLM laye(ball limiting metallization)，現今稱之為底部金屬墊層(Under Bump Metallization，UBM)，之後再鍍上錫鉛銻錫，經第一次迴焊(Reflow)後其形狀變為一凸塊，最後再將 IC 翻轉以面朝下的方式與基板完成對位，並藉由第二次迴焊以熔融銻錫凸塊，因其表面張力及銻錫只對金屬墊層有沾濕能力(wetting ability)，因此所有接點可以同時自己完成對準，示意圖如圖 2-2，以達到 IC 與基板之接合。

覆晶接合技術與球陣列封裝[2](Ball Grid Array，BGA，如圖 2-3)有著異曲同工之妙，銻錫凸塊以陣列的方式整齊排列與傳統只能接合於晶片周圍的打線接合技術[3](如圖 2-4)相較下，若以 $50\text{ }\mu\text{m}$ 線寬與 $50\text{ }\mu\text{m}$ 的間距推算，打線接合技術僅有 400 腳位/ cm^2 ，而在相同條件下，覆晶接合方式可有 10000 腳位/ cm^2 ，覆晶接合技術不但提供高密度輸入/輸出接點，更有著可降低雜訊干擾、強化電性效能、提高散熱能力及縮減封裝體積等優點，可以得看出覆晶接合技術的應用為符合現今積體電路朝向高頻、高效率之趨勢。

2-2 無鉛化議題

長期以來，電子產品中銻錫合金主要皆以錫鉛合金為主，因其銻接性佳、可靠度高、導電性好、機械性質良好、熔點低等優點而被廣泛應用。然而，鉛為具有毒性之重金屬，不僅對生態環境造成威脅亦對人體健康產生傷害(腦部、造血系

統、貧血等)，因此近年來已有禁用或限制使用的呼聲。歐盟議會通過了 RoHS[4] (Restriction of Hazardous Materials) 法案，必須於 2006 年 7 月 1 日之後限制六種化學物質，其中包含四項重金屬： Pb 、 Hg 、 Cd 、 Cr^{+6} ，以及兩項含溴防火耐燃劑：多溴聯苯(polybrominated biphenyls, PBB)及多溴聯苯乙醚(polybrominated diphenyl ethers, PBDE)等化學物質使用於電子電機產品。日本[5]的 JEIDA (Japanese Electronic Industry Development Association)也定出無鉛鋅料的使用時程，並規定含鉛鋅料在 2005 年以後只能用在部分特例上。因此各工業大國陸續禁止使用含鉛之鋅錫，並推對無鉛化之相關產品。

因應無鉛化的時代來臨，以及無鉛鋅料對於各項產業所帶來的挑戰，因此近年來綠色能源逐漸受到重視，尋找替代鉛的無鉛鋅料已成為重要的研發項目。目前無鉛鋅料應具備的條件如以下幾點：一、熔點需低於高分子基板所能承受之迴鋅溫度，二、良好的熱、電及機械性質，三、合金元素來源充足且價格便宜，四、無毒、無放射性且避免人體危害及環境破壞，五、易生產製造。美國的 NCMS (National Center for Manufacturing Sciences)、NEMI (National Electronics Manufacturing Initiative)、歐盟的 BRITE-EURAM、日本的 NEDO (New Energy and Industrial Technology Development Organization) 等機構，各自提出多種不同合金組成的鋅料，如 $Sn-Cu$ 、 $Sn-Ag$ 、 $Sn-Zn$ 、 $Sn-Ag-Bi$ 、 $Sn-Ag-Cu$ 等，原則上新組成的鋅料必須要有良好的性質，目前皆以錫為基材，其主要原因為降低熔點、提高可靠度、改善機械性質，至於如何選擇優良的無鉛鋅錫，仍是值得開發與研究的議題。

2-3 電遷移

電遷移是當電流通過金屬物質時，金屬原子受電子衝撞而產生移動的現象。此現象最早的記錄應為 1861 年時，Gerardin[6]對於熔融的鉛錫與汞鈉合金的研究中所發現。到了二十世紀中期，許多電遷移的實驗分析與理論架構陸續被提出，而到了 1965 年被發現電遷移對於積體電路製程中鋁導線的可靠度會造成威脅，才又掀起一陣討論的熱潮。1976 年 Blech 的電遷移實驗中[7]，以氮化鈦層上沉積鋁作為試片，通入電流於氮化鈦層中，並利用鋁有較低電阻的特性，電流會由氮化鈦層流入鋁導線中。實驗中發現於陰極端會有 void 產生，相對於陽極端則產生 extrusion，如圖 2-5 所示，其橫截面示意圖如圖 2-6 所示，並藉由此實驗可觀察到鋁原子受電遷移影響而產生移動的情形。而到了近期，覆晶接合技術的廣泛應用，銻錫接點之微縮化及無鉛化銻錫的取代，覆晶銻錫電遷移的研究仍將會是個重要的議題。

受電遷移的金屬原子移動現象，主要是來自於兩種對立的作用力交互影響金屬原子所造成，其一為靜電場力(electrostatic field force)：當電流通過一金屬物質時，在此金屬物質的兩端自然會形成一端陽極(anode)與另一端陰極(cathode)的靜電力場，由於金屬離子本身帶正電，此靜電場力會吸引原子往陰極移動；另一為電子風力(electron wind force)：當電流流經試片時，電子與原子互相作用所造成的摩擦力(friction force)或牽引力(drag force)，主要來自於電子與金屬原子之間的動量轉換[8]。在電遷移的行為產生原子移動的情況下，固態金屬原子的擴散通量方程式可表示為[9]：

$$J = -D \frac{\partial C}{\partial X} + \sum_i C M_i F_i \quad (2.1)$$

前項次代表的是化學勢差(chemical potential gradient)所造成的擴散通量；

後項次代表的是各種外加力量所引起原子擴散通量的總和。若只討論純物質的電遷移擴散機制，前項次化學勢差所造成的通量可被忽略。因此只剩下後項次通量總和，而共同作用下之驅動力主要可分為電場對金屬離子吸引的靜電場力，以及電子對金屬原子間動量轉換的電子風力，其總驅動力可表示為：

$$F_{driving} = F_{el} + F_{wd} \quad (2.2)$$

F_{el} 表示為靜電場力， F_{wd} 表示為電子風力。其中比較兩者的數量級，得知電子風力相較於靜電場力影響顯著，因此金屬原子的擴散是由陰極端往陽極端移動，此外 F_{wd} 可被表示為：

$$F_{wd} = EZ^*e \quad (2.3)$$

E 為電場大小， Z^* 為有效電荷數(effective charge)， e 為基本電荷量，其中有效電荷數的值可以表示所感受電遷移效應下的能力指標，對於不同種類的金屬，將會擁有不同的有效電荷數。如此，再將電子風力導入電遷移的原子擴散通量方程式：

$$J_{EM} = CMF_{wd} \quad (2.4)$$

C 為原子濃度(atomic concentration)，而 M 是原子的遷移率(mobility)，依據 Nerst-Einstein equation 原子遷移率可以表示為：

$$M = \frac{D}{\kappa T} \quad (2.5)$$

D 為原子擴散係數(diffusivity)， κ 為波茲曼常數(Boltzmann's constant)， T 為絕對溫度(absolute temperature)，結合公式(2.3)、(2.4)與(2.5)，可得到電遷移的原子通量方程式為：

$$J_{EM} = C \frac{D}{\kappa T} Z^* e E = C \frac{D}{\kappa T} Z^* e \rho j \quad (2.6)$$

其中 ρ 為電阻率(resistivity)， j 為電流密度(current density)。

2-4 電流聚集效應

由於電子流的流動路線會選擇最小阻礙的路徑行進，所以當電子流流動之路徑有所改變時，將會造成電子於某特定位置產生擁擠的現象，而將使此特定位置電流密度高於其他位置，此現象稱之為電流聚集效應。以本實驗覆晶鋅錫凸塊結構為例，當電子流沿著鋁導線進入鋅錫凸塊時，由於鋁導線與鋅錫凸塊兩者介面之橫截面面積大小不同，而在提供固定電流的前提下，因此在介面處會產生電流密度的改變，此電流密度的改變將導致電流集中於鋅錫凸塊之入口處，以圖 2-7[10]為例，以三維及二維方式模擬鋅錫凸塊之電流密度分佈情形，此處可以發現最大的電流密度為整個鋅錫凸塊內平均電流密度約大兩個維度左右。

2-5 焦耳熱效應

焦耳熱效應為英國物理學家 James Prescott Joule 於 1841 年所發現，當一帶電粒子 q 通過一電位差 V 的電場時會受到電場加速，行徑間與離子原子碰撞後所產生之能量損失轉變為離子原子的動能或震動能，再以熱能的方式呈現進而導致溫度上升。經實驗發現，金屬導線在通電下所產生的熱能正比於電阻與電流平方的乘積，其中可以下列方程式表示：

$$P = I^2 R = j^2 \rho V \quad (2.7)$$

P 表示為熱能，I 為提供之電流，R 為電阻，j 為電流密度， ρ 為金屬的電阻率，V

為金屬的體積。又因 $I/A = j$ ； A 為金屬之截面積， $R = \rho l/A$ ； l 為金屬之長度，固推得 $P = j^2 \rho V$ ，因此可得知 $j^2 \rho$ 為單位時間單位體積的焦耳熱。以本次實驗之覆晶鋅錫試片為例，在通固定電流下，因鋁導線所承受之電流密度較覆晶鋅錫大，所以在鋁導線端(晶片端)會產生較大之焦耳熱，而導致晶片端(chip side)溫度大於基板端(substrate side)。S. H. Chiu 等人以紅外線顯像技術觀察試片表面，可以發現晶片端鋁導線因焦耳熱效應而成為主要的熱源[11]，如圖 2-8 所示。其中更以模擬的方式驗證電子流進入鋅錫處(電流聚集處)，亦為鋅錫內最熱之區域，如圖 2-9 所示[10]。

然而，焦耳熱效應所導致的熱遷移(thermomigration)現象，隨著電流密度的增加日趨嚴重，其熱遷移驅動力可以下列方程式表示：

$$F_{TM} = \frac{Q^*/N}{T} \left(-\frac{dT}{dx} \right) \quad (2.8)$$

Q^* 表示為 transport of heat， N 為亞佛加厥常數， dT/dx 表示溫度梯度，而熱遷移的通量方程式可表示為[12]：

$$J_{TM} = \frac{CD_A Q^*/N}{\kappa T^2} \left(-\frac{dT}{dx} \right) \quad (2.9)$$

C 為原子濃度， D_A 為主要載子的擴散係數(diffusivity)， κ 為波茲曼常數。如果已知材料所受熱遷移的位移量及通電時間等條件下，熱遷移的通量方程式亦可表示為[12]：

$$J_{TM} = \frac{(A\Delta X)dN}{MAt} \quad (2.10)$$

其中 ΔX 為平均位移量， d 為凸塊密度， M 為分子量， t 表示為通電時間。

為了有效的驗證熱遷移的效應，Hsiang-Yao Hsiao 等人[12-13]利用交流電使銻錫不遭受電遷移之特性，但仍然能受到焦耳熱效應的影響，來做為分析熱遷移現象的研究方法，並以實驗證實錫受熱遷移的影響會朝向熱端移動。其中再搭配紅外線感測儀可實際量測各銻錫凸塊截面之溫度分佈，如圖 2-10 所示，並藉由量測出溫差再將其除以凸塊高度可推算出晶片端與基板端間之溫度梯度(thermal gradient)。Hsiao-Yun Chen 等人[14]以理論值與實際量測值解釋了因熱遷移的效應所產生的孔洞生成，其試片測試條件為共晶錫銀銻錫 Cu UBM 厚度 $5 \mu\text{m}$ 於 150°C 下通以電流密度 $9.7 \times 10^3 \text{ A/cm}^2$ ，SEM 觀察發現於 Bump1 及 Bump4 電流未流經之凸塊晶片端亦有發現孔洞之生成，而電子流向上之 Bump2 亦有孔洞的生成，並藉由 EM 驅動力推算出臨界溫度梯度為 400°C/cm ，且配合紅外線顯像技術實際量測各凸塊之溫度分佈，進一步驗證出 Bump2 溫度梯度大於此臨界溫度梯度，進而推論出因銅原子所受之熱遷移力遠大於電遷移力，快速銅原子的擴散受熱遷移所影響，最終導致晶片端的孔洞生成，即使是電流未流經的凸塊亦是如此，如圖 2-11 所示。再以相同的環境溫度、銻錫成分及通電條件下，UBM 則選擇 $\text{Cu } 5 \mu\text{m}$ 再加上 $\text{Ni } 3 \mu\text{m}$ 厚度之試片，觀察各凸塊卻並未發現明顯之熱遷移現象，卻只有發現電子流向下的 Bump3 有孔洞產生。由於多了鎳墊層之試片，經過推算後其理論臨界溫度梯度為 8050°C/cm ，且以紅外線顯像技術量測各凸塊之溫度梯度，其實際量測值遠低於其理論之臨界溫度梯度，說明了雖然在相同的測試條件下，鎳墊層的存在卻成為防止銅受熱遷移良好之阻障層[15]。對於 Cu UBM 試片測試條件下所觀察到的現象，提出各凸塊受到電遷移及熱遷移方向之示意圖，如圖 2-12 所示。其中 Cu 與 Sn 的電遷移與熱遷移方向如圖所示，Cu 热遷移以較長

的箭頭表示之，並說明了此孔洞的生成機制主要因巨大的溫度梯度造成 Cu 受熱遷移影響所致。

2-6 覆晶鋅錫接點電遷移破壞模式與機制

在 Lingyun Zhang 等人的發表中[16]，95.5Sn-4.0Ag-0.5Cu 之鋅錫與 Al/Ni(V)/Cu 所構成的 UBM 中，以 146°C 電流密度為 $3.67 \times 10^3 \text{ A/cm}^2$ 的條件下，當電阻上升 15% 後觀察發現鬆餅狀孔洞(pancake-type void)生成於介金屬化合物與鋅錫凸塊之介面處，如圖 2-13 所示，文獻中並提出數學模型以解釋孔洞於介面成長之機制。

J. H. Ke 與等人的研究中[17]，以兩種常見的電遷移破壞模式做為說明，其一為鬆餅狀孔洞生成，此孔洞的形成主要來自於 Sn 的擴散行為，屬於空位擴散機制(vacancy mechanism)；另一種則是極度的金屬墊層消耗，此金屬墊層消耗一般為 Cu 或 Ni 穿過 Sn 的擴散，屬於格隙擴散機制(interstitial mechanism)。文中因 Sn 於低溫下擴散係數降了四個維度，如圖 2-14，並說明了兩者破壞模式的形成其溫度為主要的因素。實驗內容以 Cu/Sn/Cu 做為測試結構，並分別以高溫與低溫作為區分，於高溫下 Sn 與 Cu 受電遷移影響皆為重要，所以於高溫下孔洞之形成與金屬墊層消耗為同步進行的機制，其實驗結果如圖 2-15 所示；然而，低溫下與 Cu 相較之下，Sn 受電遷移顯得較不具影響力，所以於低溫下主要僅為金屬墊層的消耗機制，其實驗結果如圖 2-16 所示。

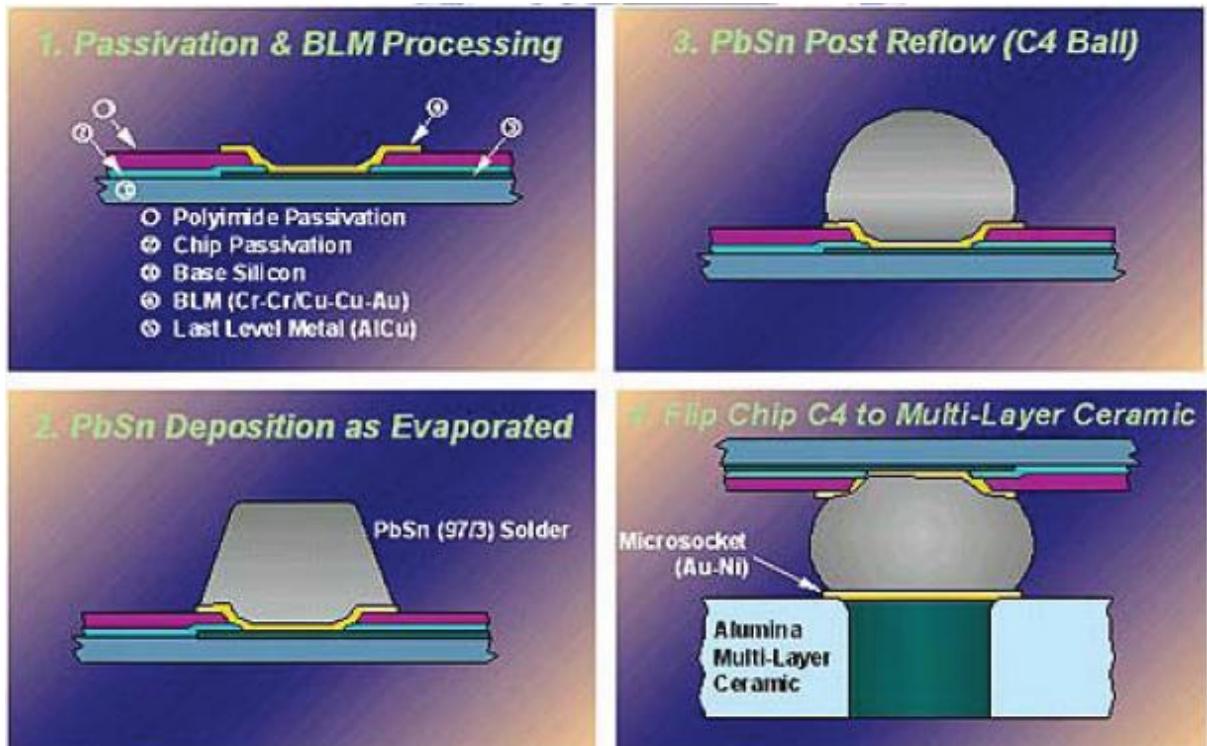


圖 2-1 C4 製成流程圖[1]

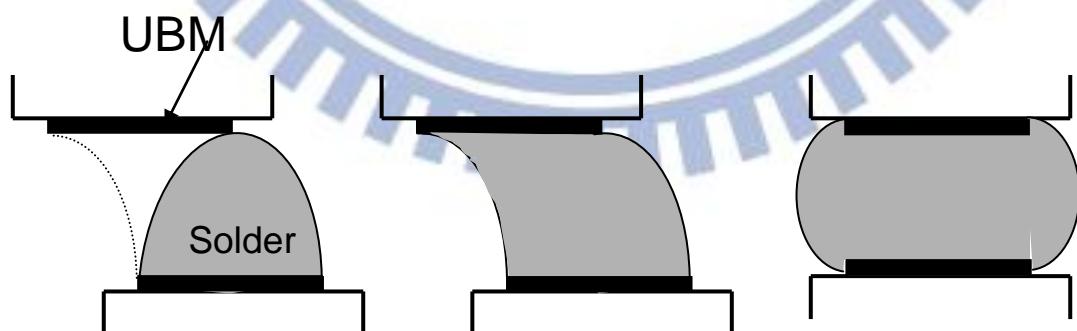


圖 2-2 錫錫凸塊自我對準示意圖

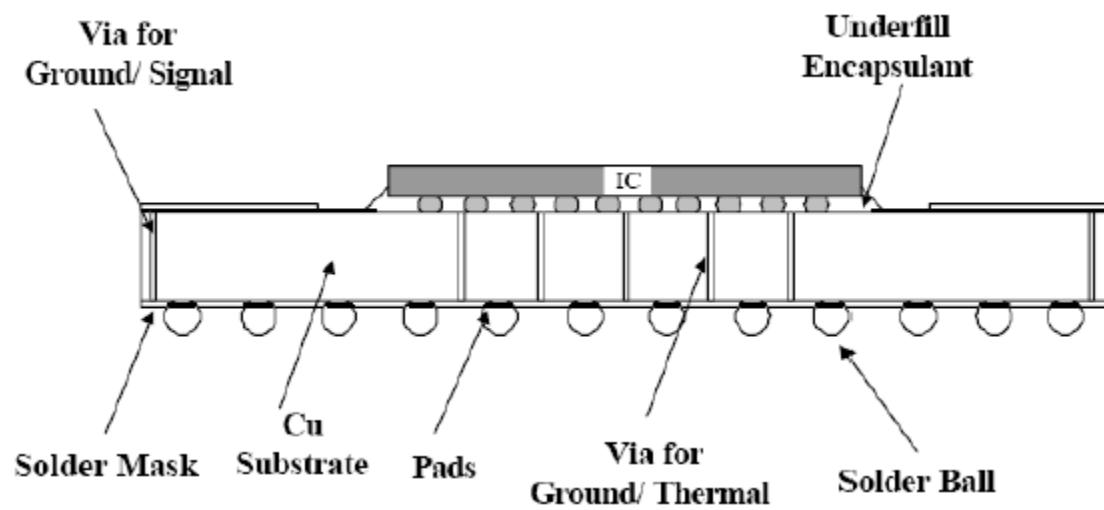


圖 2-3 覆晶接合連接積體電路之球閘陣列封裝方式[2]

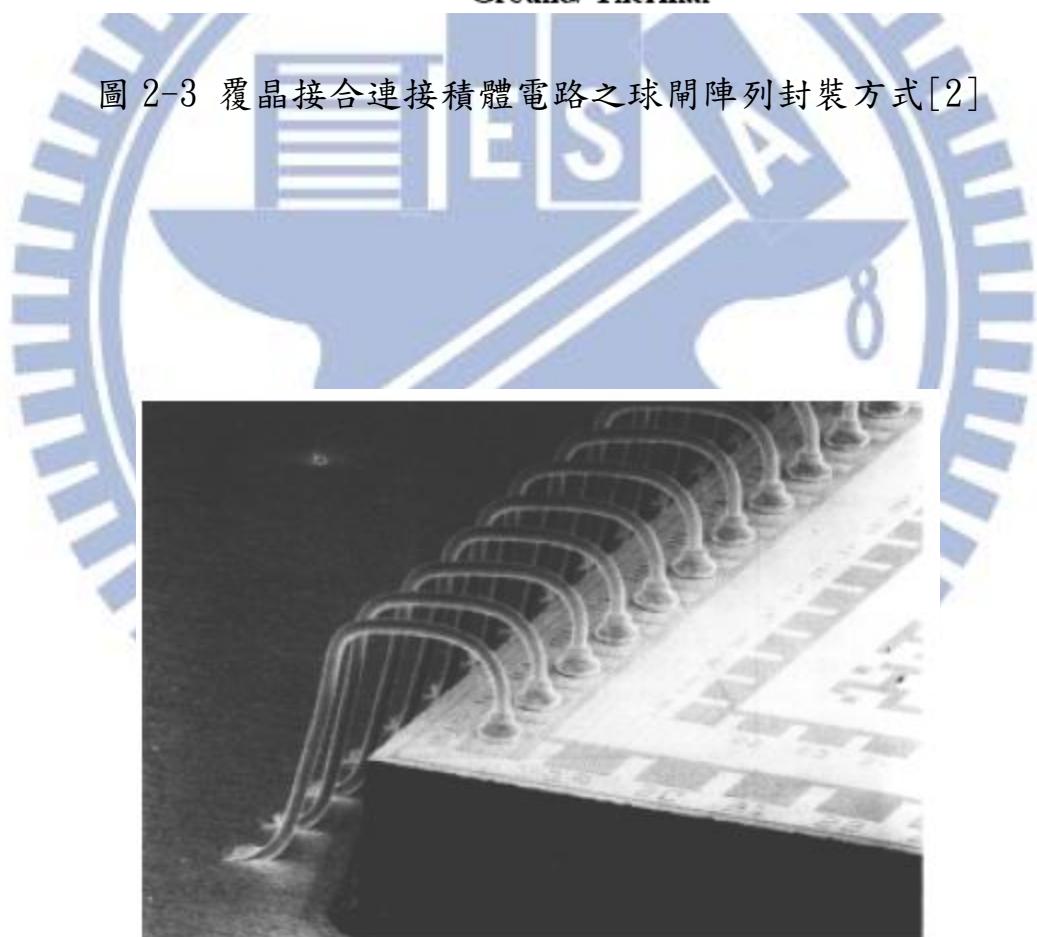


圖 2-4 打線接合技術[3]

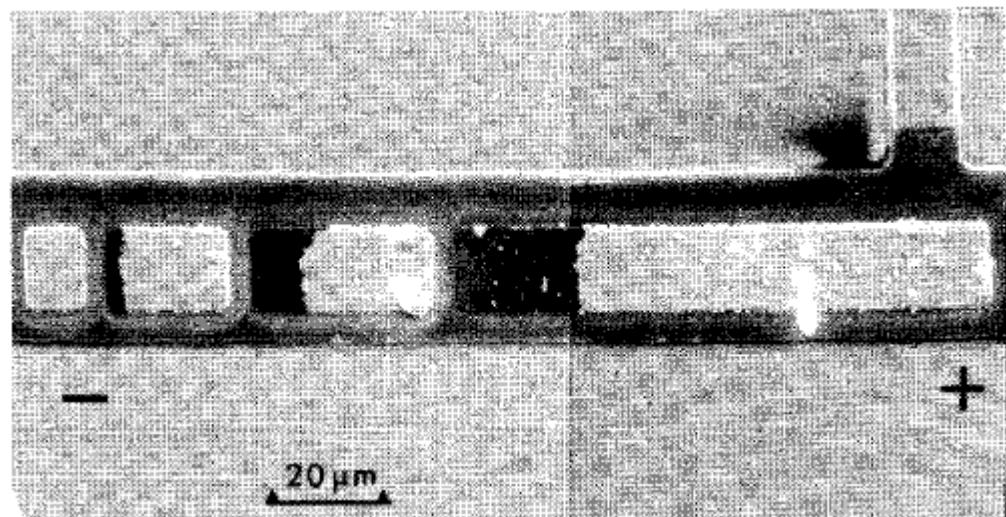


圖 2-5 Blech 實驗試片陽極端與陰極端 SEM 俯視圖[7]

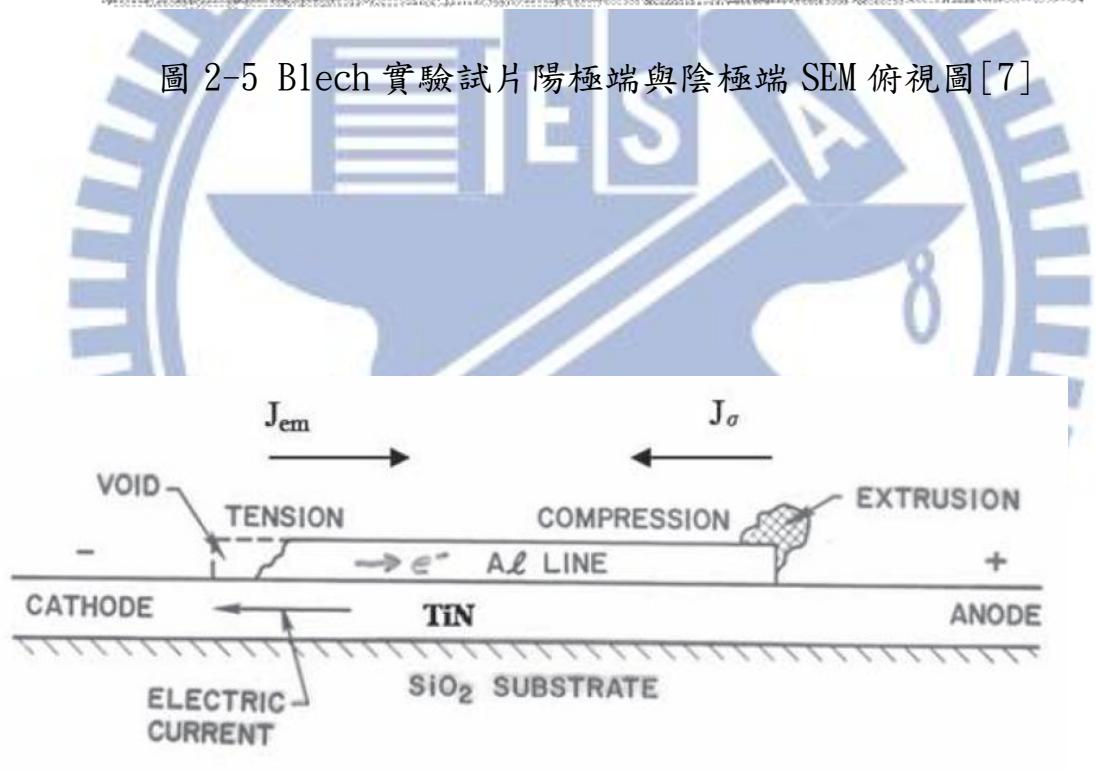


圖 2-6 Blech 實驗試片橫截面示意圖

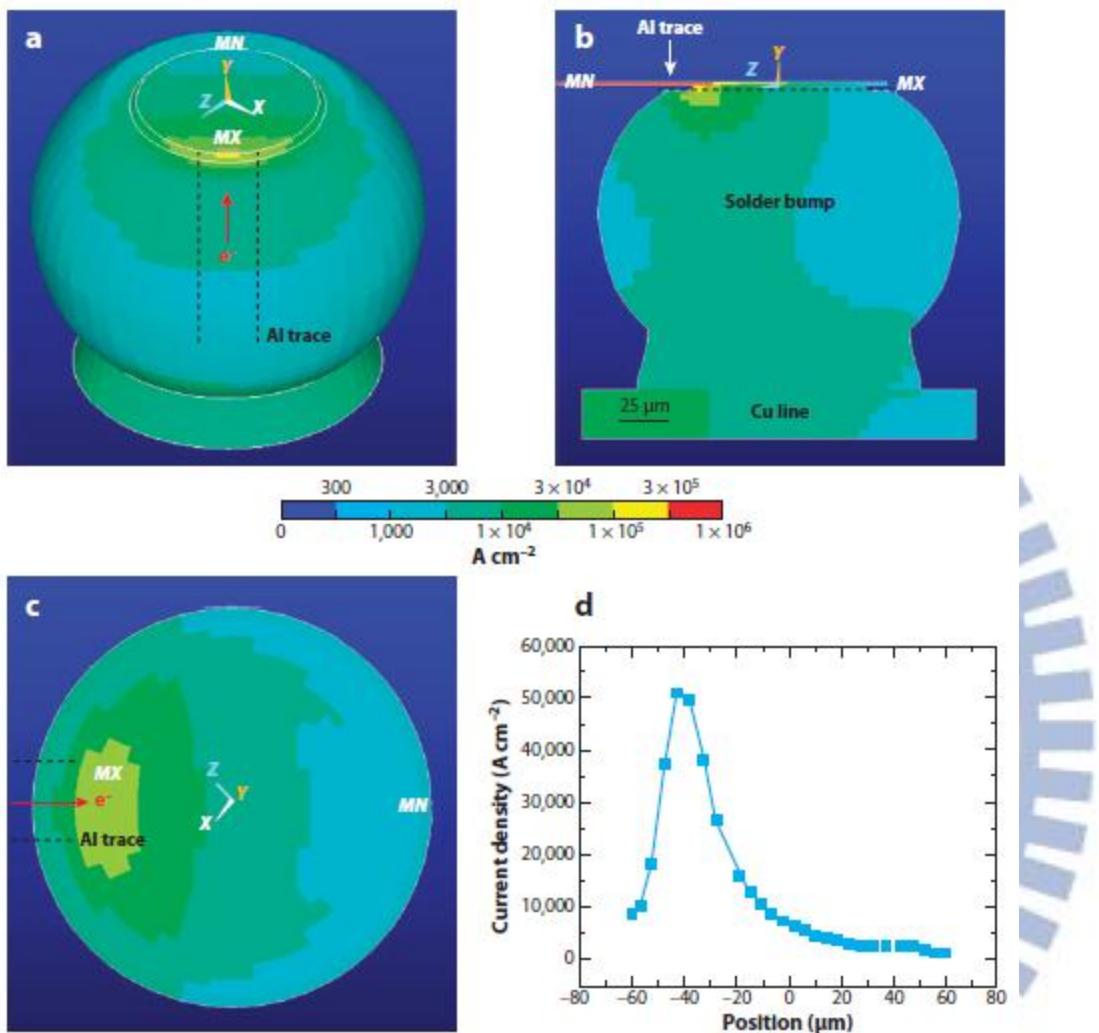


圖 2-7 模擬於通電 0.6A 、 100°C 下，鋅錫凸塊電流密度分佈情形，(a)3D 電流分佈圖，(b)剖面電流分佈圖，(c)俯視電流分佈圖，(d)以圖(b)中之虛線做電流密度大小分佈[10]

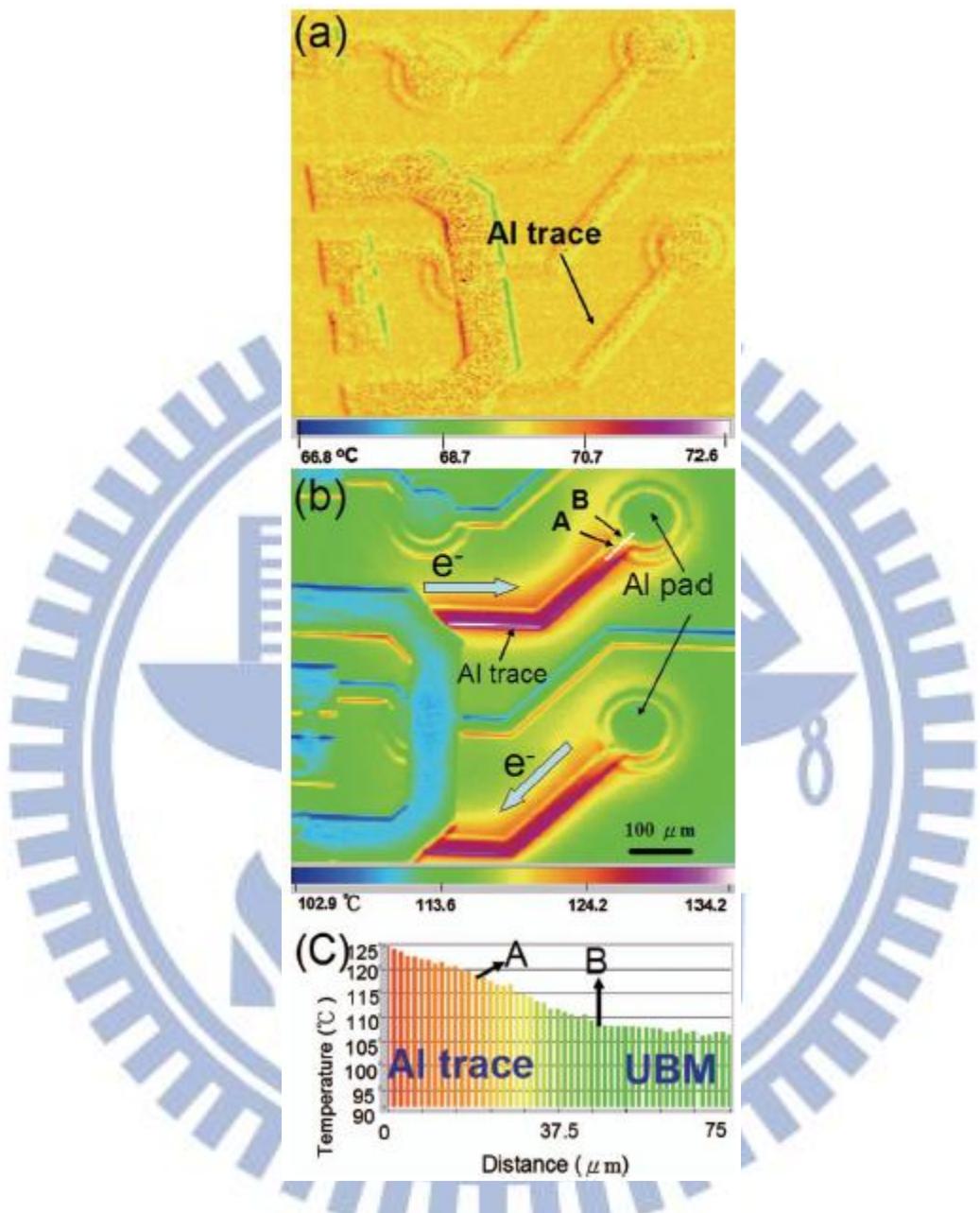


圖 2-8 以紅外線顯像技術觀察試片表面溫度分佈情形，(a)未通入電流時，
(b)通入電流時，(c)以圖(b)A 及 B 點之溫度分佈[11]

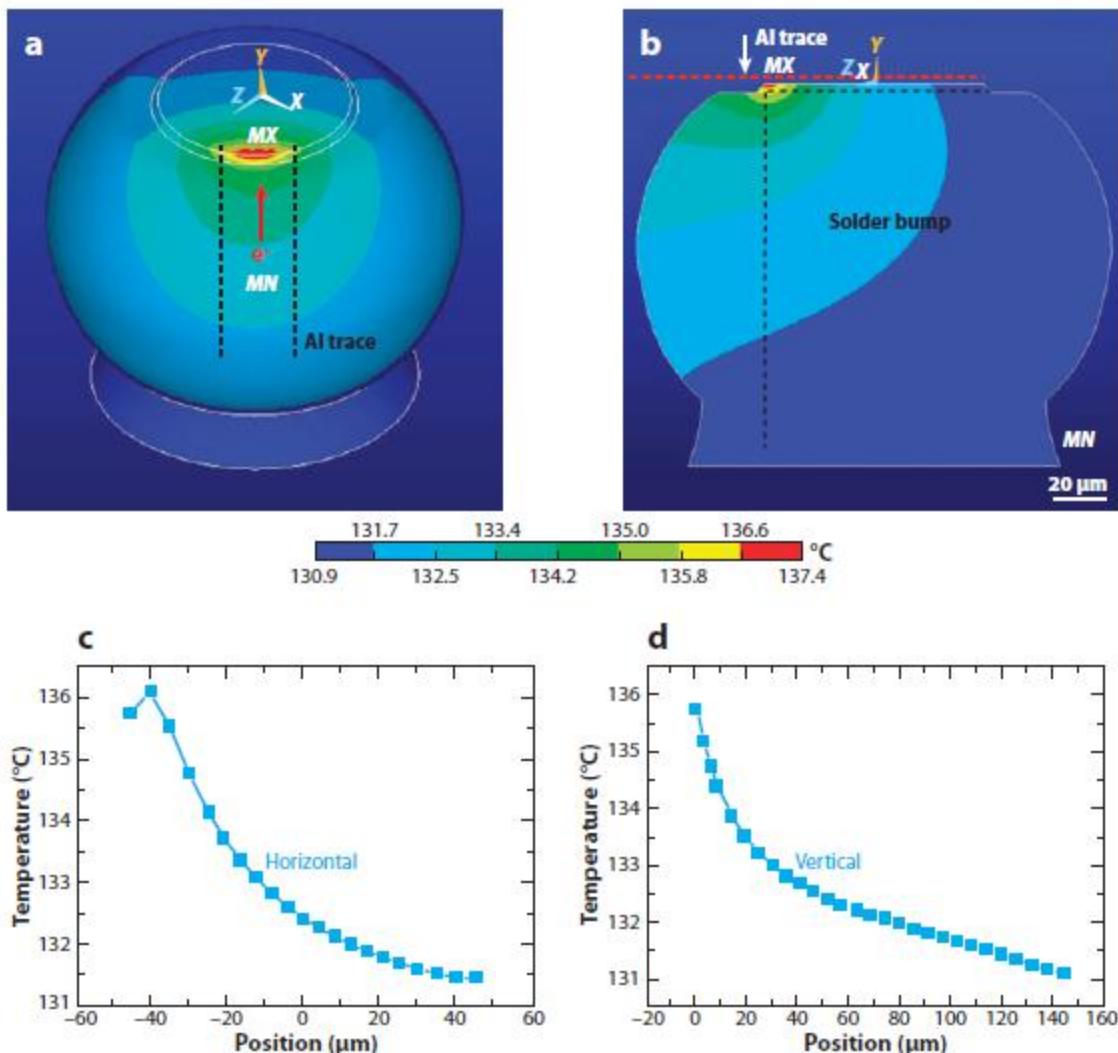


圖 2-9 模擬於通電 0.6A 、 100°C 下，銻錫凸塊之溫度分佈情形，(a) 3D 溫度分佈圖，(b)剖面溫度分佈圖，(c)以圖(b)中之水平虛線做溫度分佈，(d)以圖(b)中之垂直虛線做溫度分佈[10]

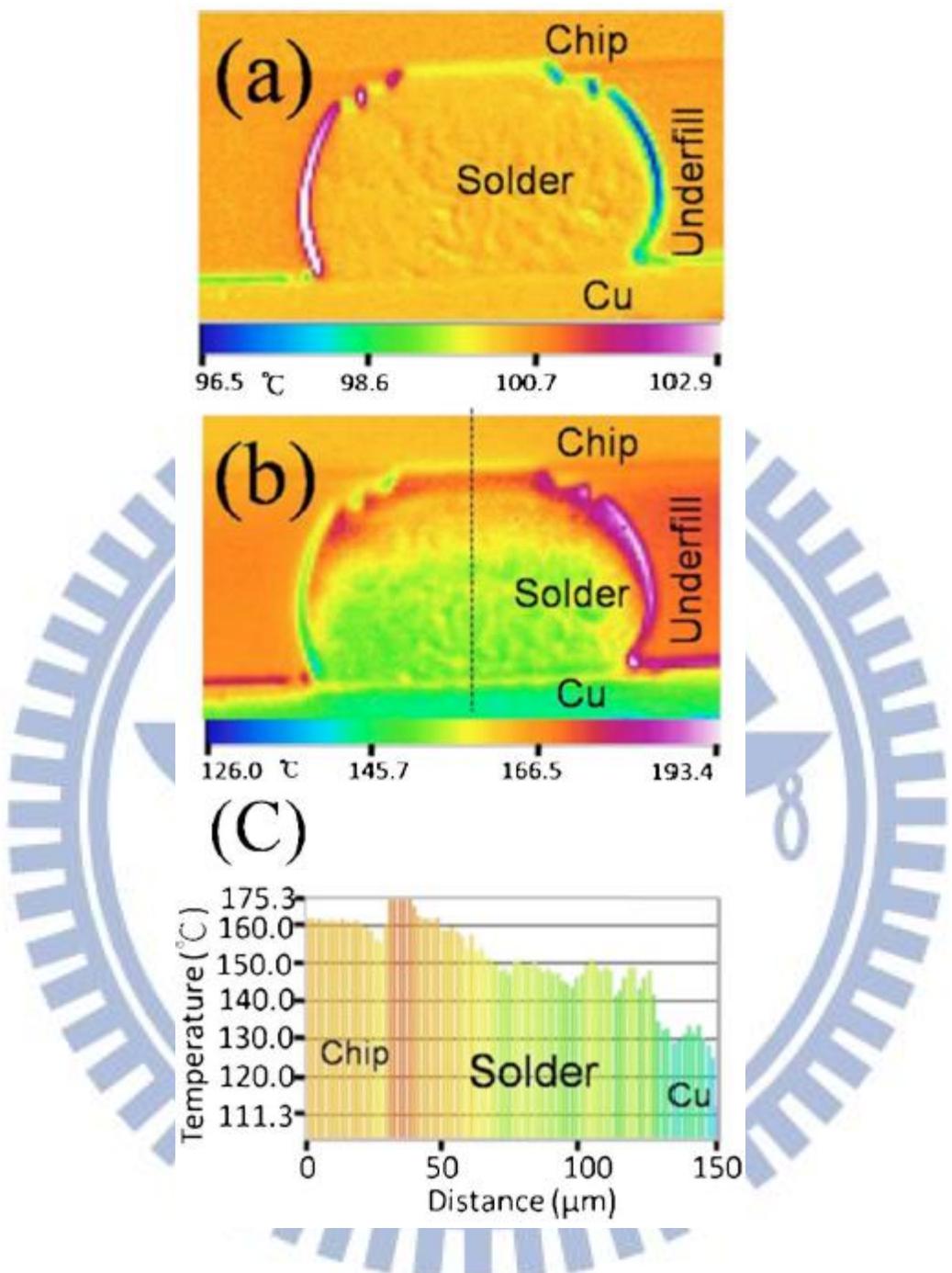


圖 2-10 以紅外線顯像技術觀察鉛錫凸塊剖面之溫度分佈情形，(a)通電前凸塊之溫度分佈，(b)通電後凸塊之溫度分佈，(c)沿圖(b)虛線方向之溫度分佈[12]

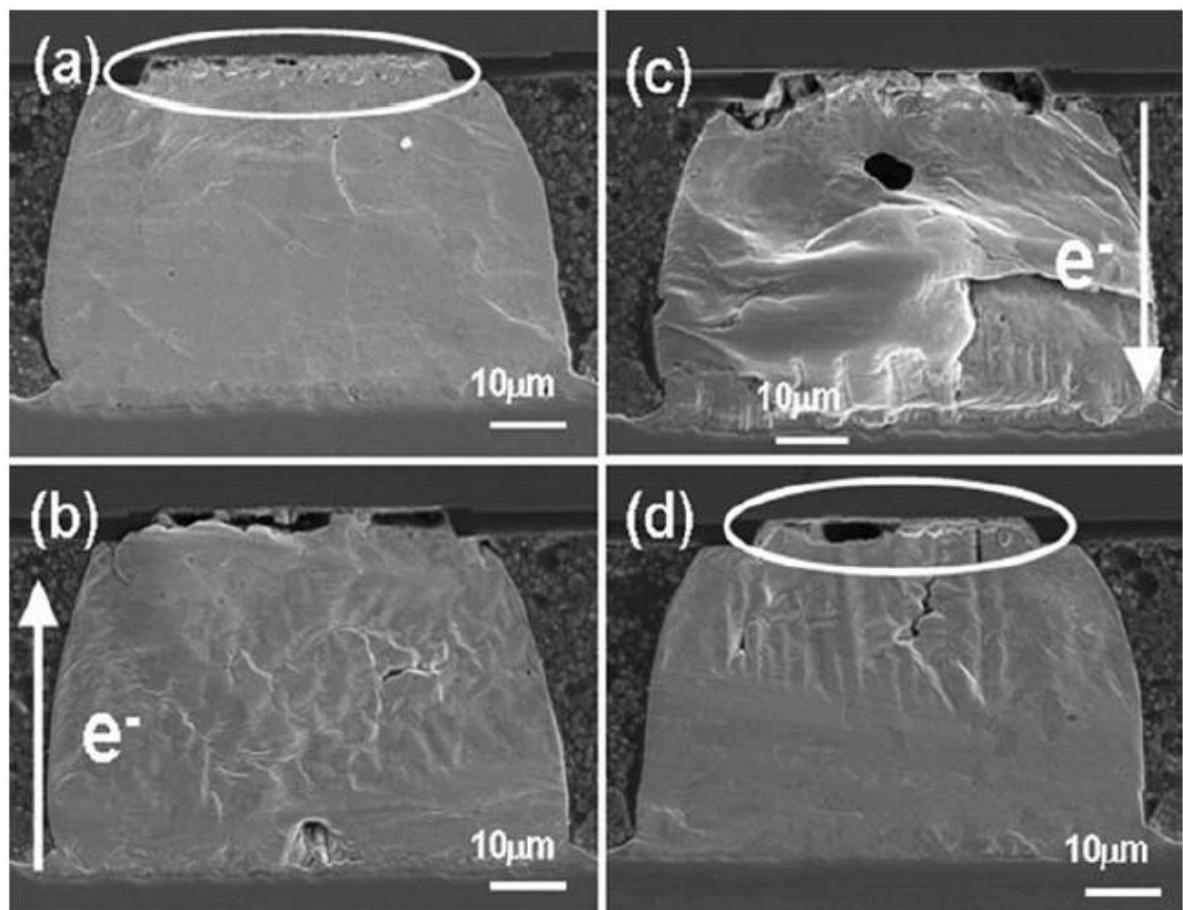


圖 2-11 150°C 電流密度為 9.7×10^3 A/cm² 下，於通電 76hr 後各凸塊 SEM 剖面影像，(a)Bump1，(b)Bump2，(c)Bump3，(d)Bump4[14]

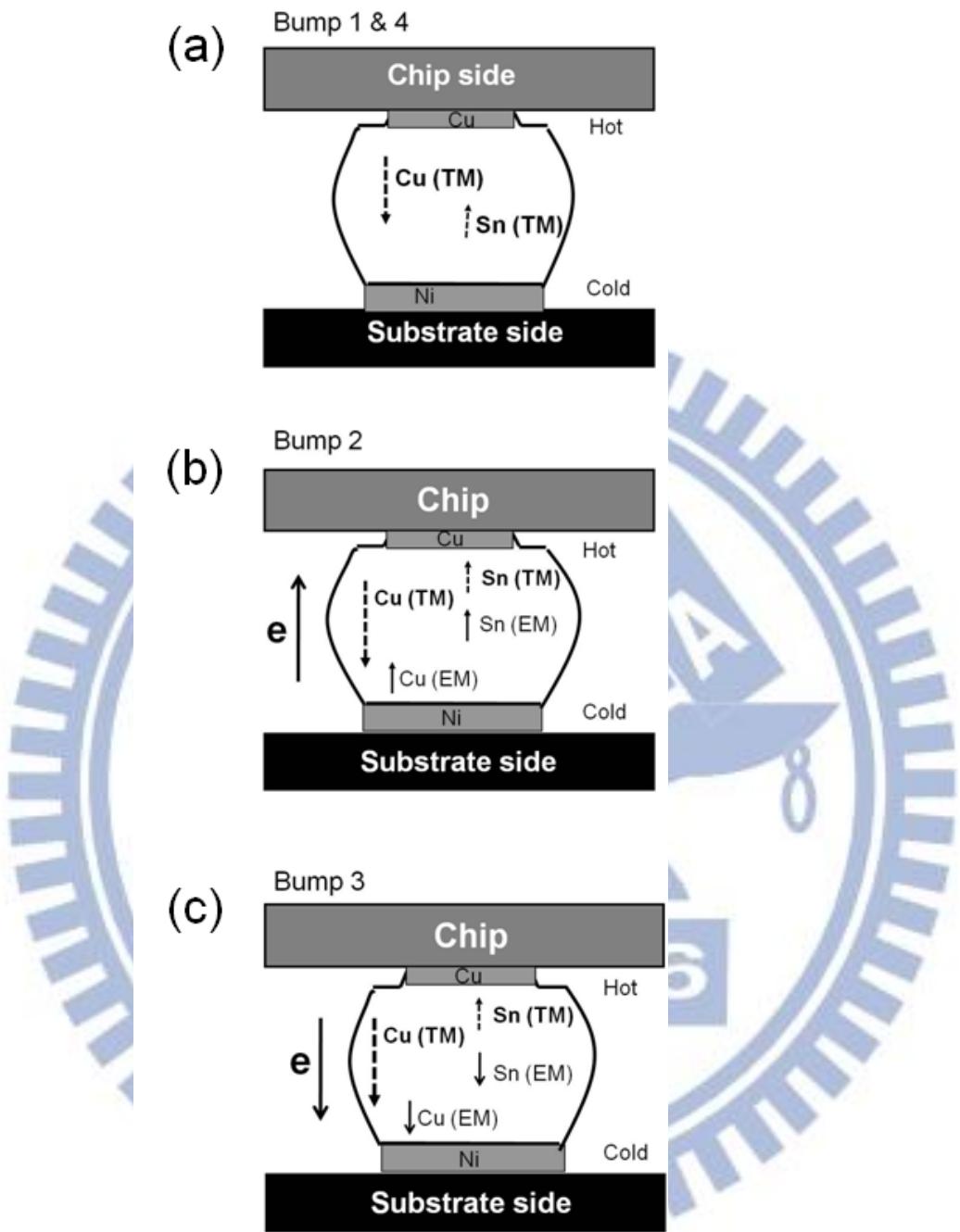


圖 2-12 150°C 電流密度為 $9.7 \times 10^3 \text{ A/cm}^2$ 下，各凸塊 Cu 與 Sn 受電遷移及熱遷移方向示意圖，(a)電流未流經之 Bump 1&4，(b)電子流向上之 Bump 2，(c)電子流向下之 Bump 3[15]

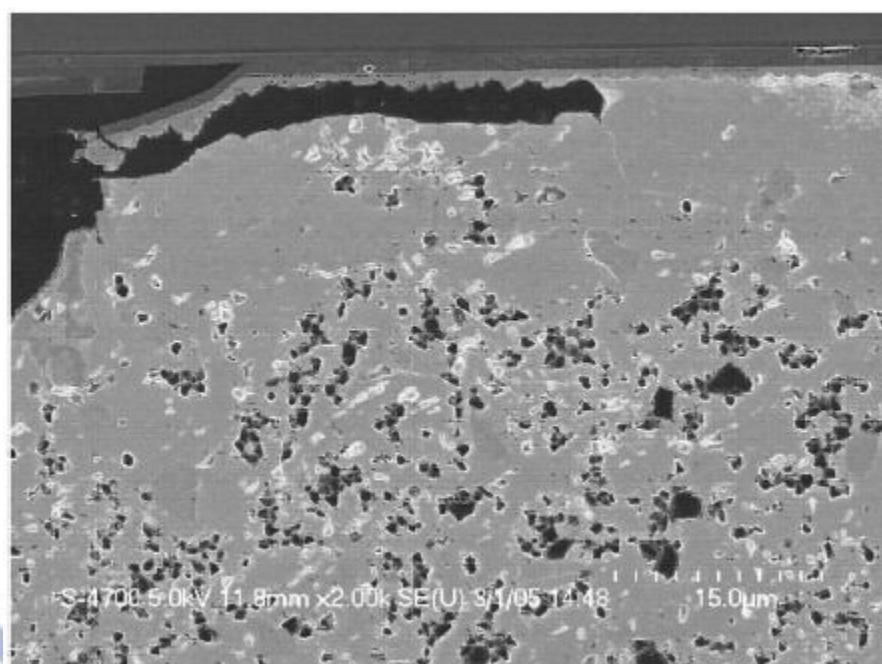


圖 2-13 鬆餅狀孔洞生成於鋅錫與 IMC 間之 SEM 影像[16]

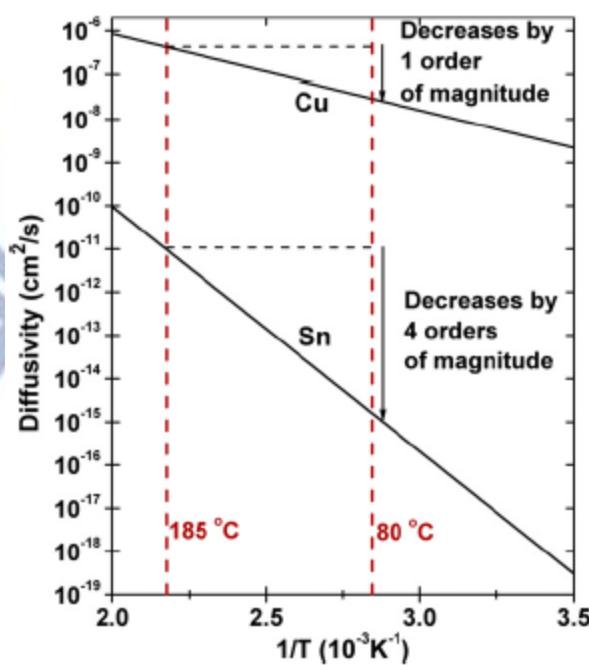


圖 2-14 Sn 與 Cu 延 Sn 晶格 a-axis 方向之擴散係數[17]

180°C , $1.0 \times 10^4 \text{ A/cm}^2$, 325 h

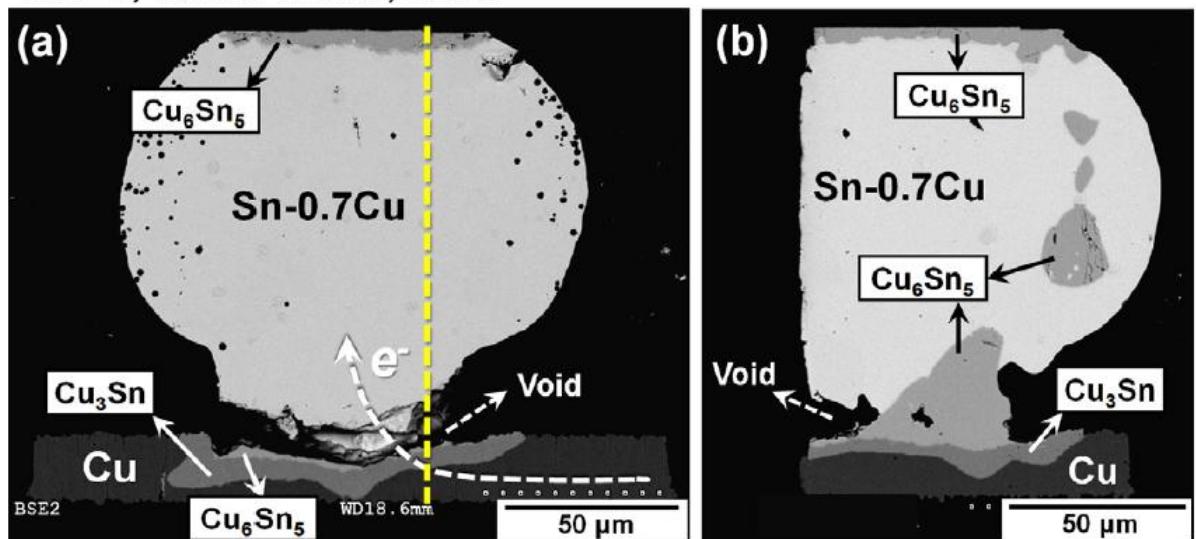


圖 2-15 高溫 180°C 下銅消耗與鬆餅狀孔洞生成機制之 SEM 影像，(a)電子流方向由右下至左上，(b)延圖(a)虛線分割再由右至左看入之影像[17]

60°C , $4.5 \times 10^4 \text{ A/cm}^2$, 1630 h

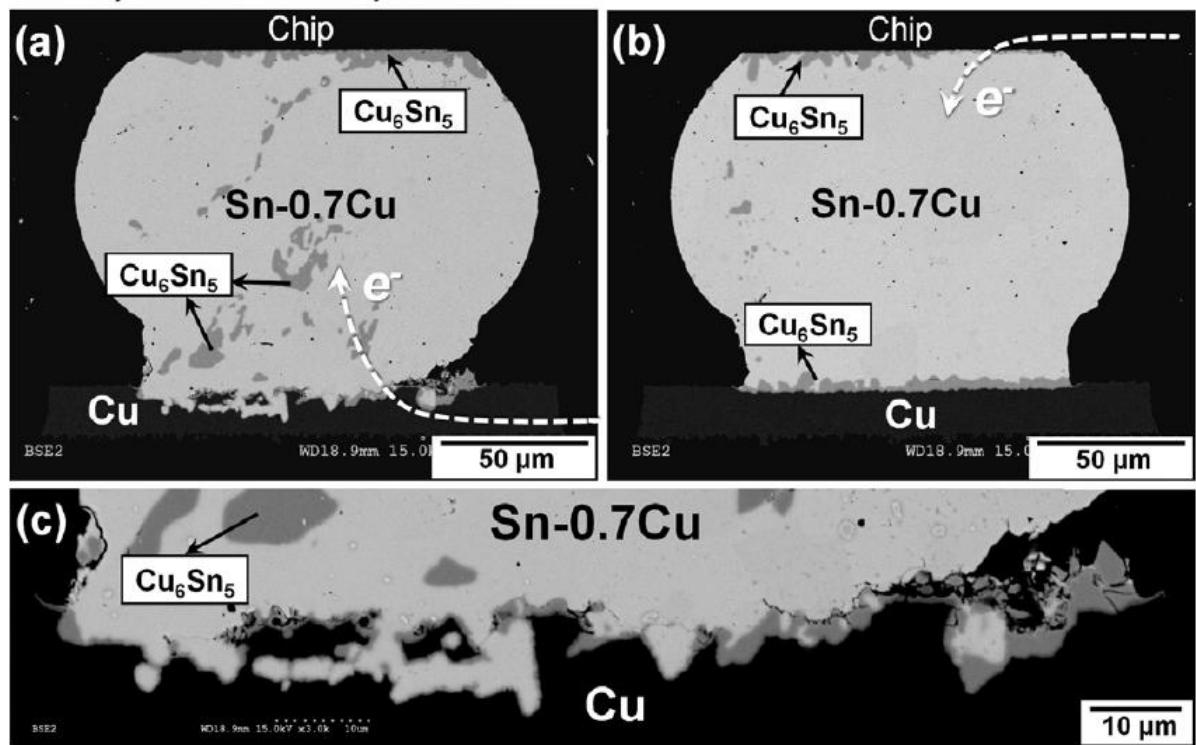


圖 2-16 低溫 60°C 下銅消耗機制之 SEM 影像，(a)電子流方向由右下至左上，(b)電子流方向由右上至左下，(c)放大圖(a)底部區域[17]

第三章、實驗方法與步驟

本研究共分為兩個主要的實驗階段，第一階段通以固定電流 1.0A 作為加速破壞之條件，當試片 Bump3(電子流向下)電阻上升率分別為 20%、50%、100% 及 650% 時做為終止條件；第二階段則分別通以 0.8A、1.0A 與 1.2A 之電流，當試片 Bump3(電子流向下)電阻上升率為 100% 時做為終止條件，此兩階段固定加熱溫度皆為 100°C，其中試片利用可精確量測電阻變化之凱文結構方式佈局，並搭配穩定提供電流之電源供應器與量測儀器。當試片到達各階段終止條件後，將試片研磨至銻錫凸塊中心，並藉由光學顯微鏡(Optical Microscopy, OM)及掃描式電子顯微鏡(Scanning Electron Microscopy, SEM—JEOL 6500)觀察試片截面影像，以做為觀察覆晶錫銀銻錫於不同階段時期之破壞行為，並搭配能量散佈光譜儀(Energy Dispersive Spectroscopy, EDX—JEOL 6500)以鑑別特定區域之成份組成，來分析試片經電遷移後組成之變化。實驗中並利用紅外線顯像技術做為熱分析的工具，透過資料可得知各凸塊實際平均溫度及溫度梯度，藉以推算各凸塊實際所受焦耳熱效應影響的程度。

3-1 試片結構

實驗之試片，係由米輯科技所提供之共晶錫銀覆晶封裝試片，其銻錫凸塊剖面結構如圖 3-1 所示，此共晶錫銀銻錫於晶片端之 UBM 種類為 Cu，其厚度為 $5 \mu\text{m}$ ，UBM opening 為 $110 \mu\text{m}$ ，銻錫凸塊高度為 $50 \mu\text{m}$ ，於基板端銅墊層直徑為 $280 \mu\text{m}$ 、厚度為 $30 \mu\text{m}$ ，銅墊層之上為厚 $5 \mu\text{m}$ 之無電鍍鎳，銻錫銻料成分為 96.5Sn3.5Ag 之共晶錫銀，基板採用 FR4 基板。

3-2 凱文結構方式佈局

本實驗之試片迴路設計為使用凱文結構方式佈局，其結構之俯視圖及橫截面示意圖，如圖 3-2 所示；3D 剖面圖如圖 3-3 所示。本研究中將利用此結構精確地量測銻錫受電遷移影響之電阻變化。結構中主要涵蓋四顆銻錫凸塊，此四顆銻錫凸塊之晶片端係由一條長 $3150 \mu\text{m}$ 的鋁導線連接四個鋁墊層，並標示著 b1 凸塊到 b4 凸塊如圖，而在基板端共有六條銅導線分別連接到此四顆銻錫凸塊，並依序標示為 n1 到 n6 如圖。本研究中定義電子流之方向乃從 n3 導線流經 b2 凸塊之基板端再向上至其晶片端，並經由鋁導線而再由 b3 凸塊晶片端流往其基板端至 n4 導線，如圖所示。b2 凸塊之電壓變化可由 n1 與 n2 量測得知，而 b3 凸塊的電壓變化可由 n5 與 n6 量測得知，連接 b2 凸塊與 b3 凸塊的上端鋁導線之電壓變化亦可由 n1 與 n6 量測得知，又由於通電時所提供之電流為固定值，依據歐姆定律可推算其電阻值。藉由此量測方式可同時並隨時間觀察 b2 凸塊端、b3 凸塊端及 b2 凸塊與 b3 凸塊間鋁導線端之電阻隨時間之變化。

3-3 電遷移測試條件與銻錫電阻變化量測

將試片置於 100°C 的加熱板上，以晶片端朝上而基板端朝下的方式平貼於加熱板上，並以耐熱膠帶固定，待試片溫度達到平衡後才開始通入電流量測。本研究之試片於 n3 與 n4 間通以所需之電流，當 b3 凸塊到達各階段電阻上升率時，研磨至銻錫凸塊中心位置，以便觀察各階段電阻上升率因電遷移破壞之微結構。

本研究中所使用的電源供應器與量測儀器為電流源 Agilent 3646a 與資料交換器(Data switch)Agilent E34970A 配合有二十個獨立頻道的 Agilent E34901A 模組，藉由上述兩組儀器對序列阜與 GPIB 控制介面通訊協定的支援，以美國國家

儀器公司開發的圖形化儀器控制軟體 Labview，作為實驗過程中的數據擷取及儀器控制的工具。

3-4 錦錫微結構觀察

在到達各階段的破壞測試條件下之試片，依序以不同號數之SiC砂紙80、1000、2000、4000做試片截面研磨，並利用光學顯微鏡逐步觀察試片的研磨程度，試圖將試片研磨至錦錫凸塊中心，再以 $1\mu\text{m}$ 及 $0.3\mu\text{m}$ 大小顆粒的 Al_2O_3 做研磨拋光，再藉由OM及SEM，用以觀察錦錫凸塊破壞後之剖面影像。

3-5 热分析觀察

本實驗於熱分析部分，為了實際量測各凸塊所受焦耳熱效應影響後之溫度分佈，可藉由紅外線熱像儀(infrared microscopy—Quantum Focus Instrument)來收集表面輻射之溫度資訊，其中儀器之溫度解析度可達 0.1°C ，且空間解析度可達 $2\mu\text{m}$ ，試片可放置於平台上並最高可加熱至 120°C ，以此方式可觀察本實驗於 100°C 及不同通電條件下之溫度分佈情形。在得知各凸塊溫度分佈後，可量測晶片端與基板端之溫差並除以凸塊高度，以計算出溫度梯度，觀察示意圖如3-4所示。熱分析之試片製備方式，需先將試片研磨拋光至中心位置，再分別通入所需的測試電流以觀察溫度分佈，但由於試片經研磨後截面積只剩下原來的一半，電流大小只需通以實際通電測試條件之一半，以符合實際通電時之電流密度大小。

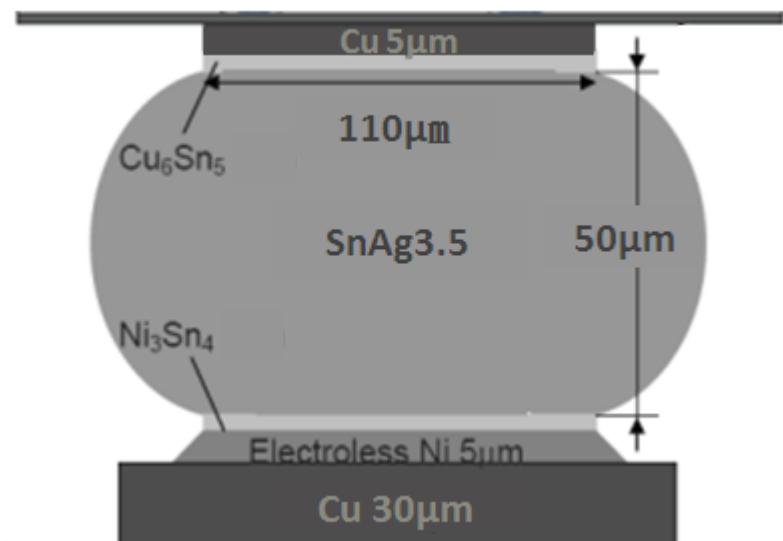


圖 3-1 共晶錫銀銻錫凸塊之剖面結構圖

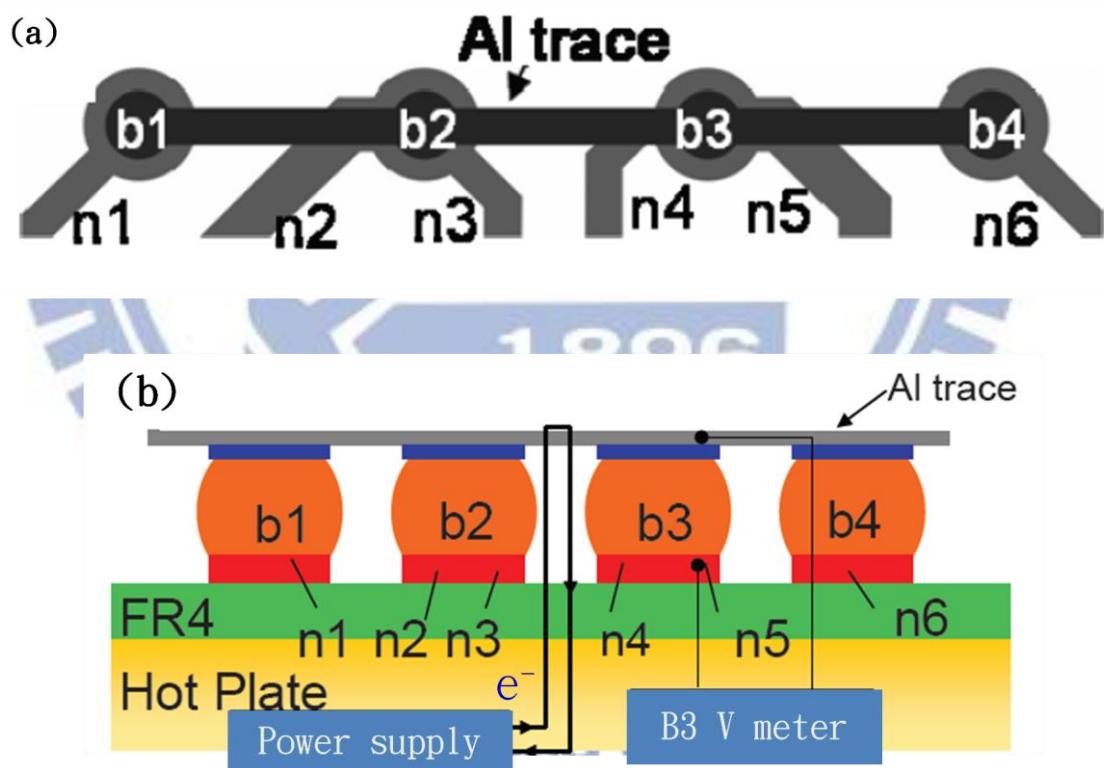


圖 3-2 實驗試片之凱文結構接點示意圖，(a)俯視圖，(b)剖面圖

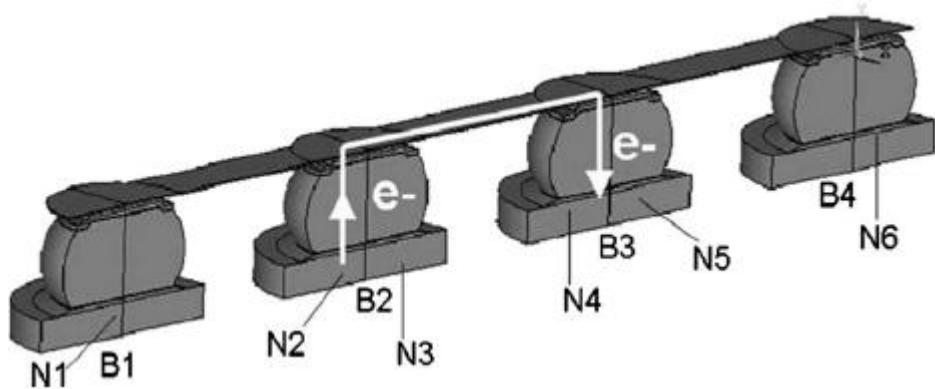


圖 3-3 實驗試片之凱文結構 3D 剖面圖[14]

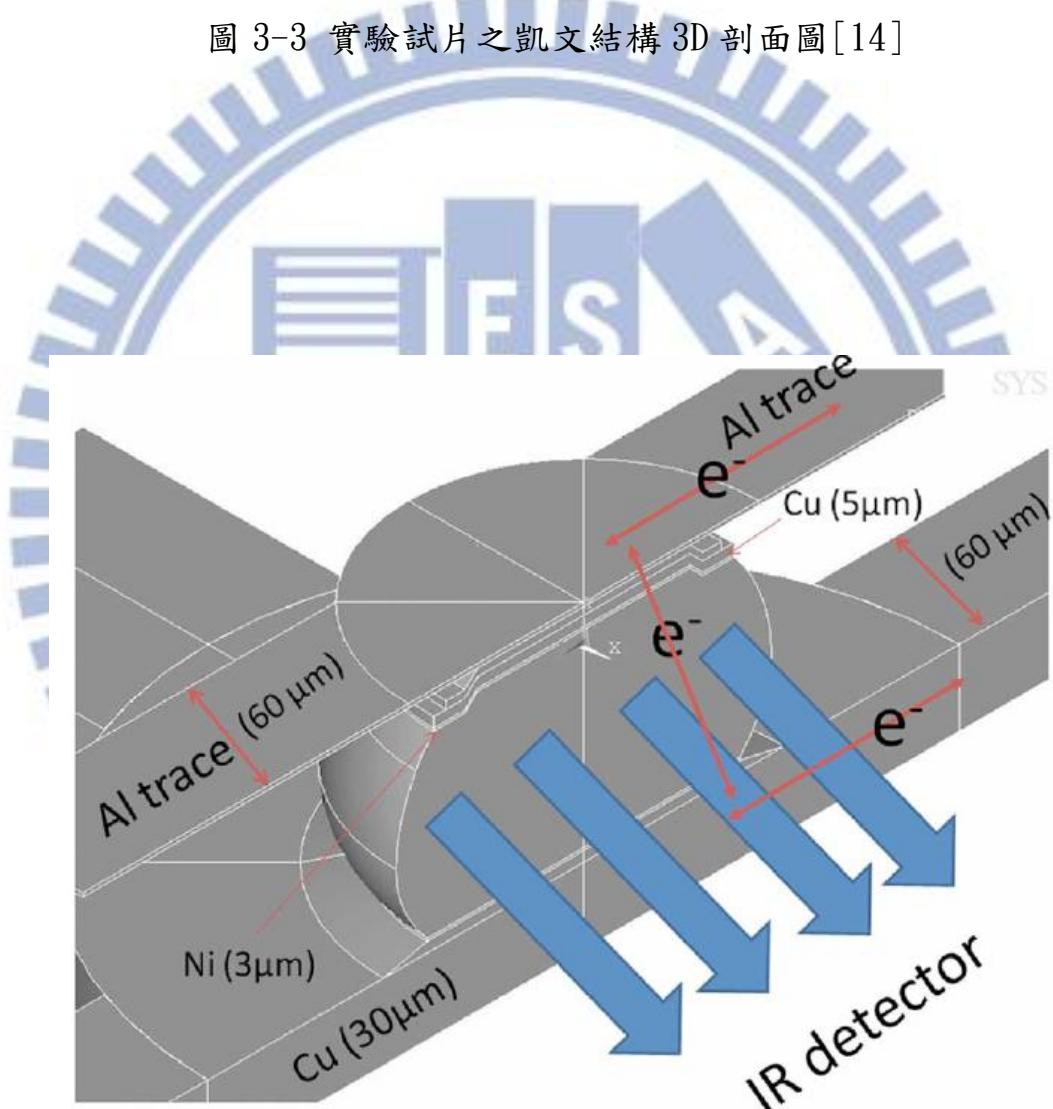


圖 3-4 紅外線顯像技術觀察方向示意圖[13]

第四章、實驗結果與討論

本研究中，為了瞭解試片本身可能影響的因子，首先觀察未通電及未加熱之試片，再觀察兩種主要類型之通電階段試片，以便比較各階段各凸塊因通電後對試片所產生之介面反應及孔洞生成等現象，並由通電後銻錫結構變化及破壞的觀察，以推測其可能的失效模式。

4-1 未通電及未加熱試片凸塊剖面觀察

在實驗前，先以光學顯微鏡觀察未通電及未加熱試片之凸塊剖面，如圖 4-1 所示，圖中(a)-(d)分別為 Bump1-Bump4，可以觀察發現錫銀銻錫內偶有孔洞(pore)發生，其原因為銻錫凸塊製作過程中因助銻劑(flux)經迴焊(reflow)後未完全揮發而導致後續製程所產生。銻錫凸塊內之孔洞雖然會對於凸塊本身造成電阻上的差異，但由於本實驗通電終止條件乃依據 Bump3 到達各階段之電阻上升率來做為比較，此電阻上升率為相對於初通電時之電阻倍數，而並非以固定時間做為依據；再者，電遷移的破壞行為通常發生於異質材料之介面處，所以此凸塊內之孔洞對電遷移破壞的結果觀察並無直接影響，故可以將此因素對於本實驗的影響排除。

4-2 定溫定電流下銻錫凸塊剖面觀察與分析

本階段實驗中，加熱板溫度固定為 100°C，供應電流固定為 1.0A(對應電流密度為 $1.05 \times 10^4 \text{ A/cm}^2$)，試片通電後，隨時間量測 Bump3(電子流向)各階段電阻上升率，當到達目標電阻上升率時，終止通電並觀察各凸塊剖面於不同階段電阻上升率時受電遷移之影響。本階段實驗以 Bump3 電阻上升率分別為 20%、50%、100% 及 650% 做為觀察失效模式之終止條件，圖 4-2(a)為定電流(1.0A)下

Bump3 電阻上升率與通電時間關係圖表，再由圖 4-2(b)亦可發現各試片電阻上升率隨時間變化之斜率並非完全具一致性，可見試片與試片本身存在著上述影響電阻上升率的因素。依據達成各階段目標的電阻上升率後，並以 OM 及 SEM 觀察各凸塊剖面微結構，其中為了方便觀察各階段試片比較，依序以電流未流經之 Bump1、電子流向向上之 Bump2 以及電子流向向下之 Bump3 等三小節做為討論。而由於 Bump1 與 Bump4 皆為電流未流經之凸塊，估計此兩個凸塊所受之焦耳熱效應影響程度差異不大，故電流未流經之凸塊僅以 Bump1 做為討論。

4-2-1 觀察電流未流經之 Bump1

Bump1 為電流未流經之凸塊，所以對於此凸塊僅受熱效應所影響。試片先以 OM 分別依電阻上升率之排序做觀察比較，如圖 4-3 所示。觀察晶片端可發現有明顯之銅墊層消耗，而其銅墊層消耗程度則隨通電時間的增加而趨於明顯。其原因為以相同通電條件之前提下，Bump1 僅受焦耳熱效應而導致的熱遷移所影響，並由文獻中可以得知，錫所受熱遷移朝向熱端(晶片端)[13]，而銅與介金屬化合物受熱遷移的作用則朝向冷端(基板端)[15]，然而對此凸塊而言，銅墊層與錫反應形成介金屬化合物後的消耗程度，其受熱遷移影響的時間則成為主要的變數。

進而分別再以解析度較高的 SEM 來觀察各凸塊之晶片端，如圖 4-4(a)-(d)所示。可以發現各試片中，於銅與介金屬化合物之間皆存在著微小孔洞的生成，其推測為銅受到熱遷移所影響，銅原子向下(往冷端)移動後留下之空孔，經空孔累積而形成所觀察到的孔洞。相對於以此階段試片的通電條件下，更透過紅外線熱像儀的觀察及分析後，雖 Bump1 電流未流經，但亦產生 17.3°C 之焦耳熱且伴隨 $1000^{\circ}\text{C}/\text{cm}$ 之溫度梯度(thermal gradient)，如圖 4-5 所示，受此溫度梯度的影響下，

更可說明所觀察之孔洞為受熱遷移影響所致。

4-2-2 觀察電子流向上之 Bump2

先以 OM 觀察電子流向上之 Bump 2，試片分別依電阻上升率之排序一併做觀察比較，如圖 4-6 所示，晶片端處與 Bump1 相似，亦可以發現銅墊層的消耗，其銅墊層消耗程度亦與通電時間相關；但 Bump2 不同的是，可於電流聚集處(晶片端右側角落)發現介金屬化合物的累積現象，其累積的程度似乎隨著電阻上升率增加而明顯。

各階段試片晶片端處再以 SEM 進一步觀察，如圖 4-7 所示，其圖中虛線為介金屬化合物與鋱錫之介面，以標示出此介金屬化合物之累積程度。由圖 4-7(b)-(d) 可明顯發現於晶片端電流聚集處有介金屬化合物累積現象，而圖 4-7(a)推測由於通電時間較短其累積現象較為不明顯。經由 EDX 分析後，可鑑定出此金屬化合物為 $(Cu, Ni)_6Sn_5$ 的成份，其原因主要為底部鎳墊層受電子流向上之電遷移影響，導致鎳向上移動並與晶片端介金屬化合物共同累積而成。另外，與 Bump1 相同，各試片於銅與介金屬化合物之間，亦可以觀察到銅受熱遷移效應影響之微小孔洞生成。然而，於 4-2-1 小節中提到銅所受熱遷移的作用為朝向冷端(基板端)，但 Bump2 電子流向上卻也使銅傾向於晶片端之移動，如此必須判斷 Bump2 銅所受電遷移的驅動力及所受熱遷移的驅動力比較，而於先前文獻中[14]所提到的方式，可以藉由理論值並以電流密度推算出此 Bump2 所受之臨界溫度梯度(critical thermal gradient)，經由推算後以此階段實驗條件下 Bump2 之臨界溫度梯度為 $434^{\circ}C/cm$ ；相較於 Bump2 由紅外線熱像儀的觀察及分析，可估計此凸塊實際所受之溫度梯度為 $1460^{\circ}C/cm$ ，如圖 4-8 所示，也就是說 Bump2 實際所受熱遷移的影響較大於電

遷移，更解釋了晶片端所觀察到的孔洞。

4-2-3 觀察電子流向下之 Bump3

先以 OM 觀察電子流向上之 Bump3，試片分別依電阻上升率之排序一併做觀察比較，如圖 4-9 所示，於晶片端處明顯可觀察到有孔洞的生成，且隨 Bump3 電阻上升率增加而由左至右成長擴大。各階段試片於晶片端再進一步以 SEM 觀察如圖 4-10 所示，其圖中虛線為孔洞與銻錫之介面處。觀察發現各階段試片之孔洞生成現象，且皆於介金屬化合物與銻錫介面處產生，孔洞並向右側延伸擴散，其破壞模式既為先前所討論之鬆餅狀孔洞形成的機制[16-17]。

4-3 定溫不同電流下銻錫凸塊剖面觀察與分析

本階段實驗中，加熱板溫度固定為 100°C，電流分別為 0.8A、1.0A 與 1.2A（對應之電流密度分別為 $8.42 \times 10^3 \text{ A/cm}^2$ 、 $1.05 \times 10^4 \text{ A/cm}^2$ 與 $1.26 \times 10^4 \text{ A/cm}^2$ ），試片通電後，量測 Bump3(電子流向下)電阻上升率達 100%時，終止通電並觀察各凸塊剖面於不同電流密度下受電遷移之影響。圖 4-11 為不同電流下通電時間與 Bump3 電阻上升率關係圖表，由圖 4-11(a)可以發現在較大電流密度下，達到相同的 Bump3(電子流向下)電阻上升率其通電時間明顯較短。依據此三種通電電流條件下，為了方便觀察不同電流密度下試片比較，將依電流密度大小排序並分別以電流未流經之 Bump1、電子流向上之 Bump2 及電子流向下之 Bump3 等三小節做為討論。而由於 Bump1 與 Bump4 皆為電流未流經之凸塊，估計此兩個凸塊所受之焦耳熱效應影響程度差異不大，故電流未流經之凸塊僅以 Bump1 做為討論。

4-3-1 觀察電流未流經之 Bump1

Bump1 為電流未流經之凸塊，所以對於此凸塊僅受熱效應所影響。以 OM 觀察此三種通電條件下 Bump1 之剖面，如圖 4-12 所示，可以發現各試片於晶片端銅墊層消耗程度，隨著提供電流的增加而顯著。進一步再以 SEM 觀察各測試條件下之凸塊剖面，如圖 4-13 所示。觀察 Bump1(電流未流經)於不同電流密度條件下，亦可以銅與介金屬化合物之間皆存在著微小孔洞的生成，此孔洞的生成仍推測為銅受熱遷移向下(冷端)移動後，留下之空孔累積所致，其中分別針對不同電流密度做紅外線熱像儀的分析與結果比較，依電流大小為 0.8A、1.0A、1.2A 於 Bump1 分別量測出溫度梯度 $660^{\circ}\text{C}/\text{cm}$ 、 $1000^{\circ}\text{C}/\text{cm}$ 、 $1660^{\circ}\text{C}/\text{cm}$ ，說明了 Bump1 之銅原子仍受熱遷移的影響而形成孔洞，如圖 4-14 所示。再者，此結果亦說明了於較高的電流密度下，將產生較高的焦耳熱及較大的溫度梯度，並加速使銅原子受熱遷移向下(冷端)移動而消耗形成介金屬化合物，如同試片通以 1.2A 之高電流密度下，雖然終止時間較短，但銅墊層卻幾乎消耗殆盡。

4-3-2 觀察電子流向上之 Bump2

以 OM 觀察此三種通電條件下電子流向上之 Bump2 剖面，如圖 4-15 所示，亦可以發現銅墊層的消耗，其銅墊層消耗機制已於 4-3-1 小節中討論，並觀察晶片端電流聚集區仍能發現 $(\text{Cu}, \text{Ni})_6\text{Sn}_5$ 之累積，其為底部鎳墊層受電遷移影響累積所致，亦於 4-2-2 小節中已討論。

不同電流密度下試片於晶片端處再以 SEM 觀察，如圖 4-16 所示，其銅受熱遷移效應影響之孔洞仍皆可發現，為了說明此現象，於 Bump2 分別推算各電流密度下之臨界溫度梯度，0.8A、1.0A、1.2A 之臨界溫度梯度分別為 $348^{\circ}\text{C}/\text{cm}$ 、 434°C

/cm、 $521^{\circ}\text{C}/\text{cm}$ ，更以紅外線熱像儀所實際量測之溫度梯度分別為 $860^{\circ}\text{C}/\text{cm}$ 、 $1460^{\circ}\text{C}/\text{cm}$ 、 $2260^{\circ}\text{C}/\text{cm}$ ，如圖 4-17 所示，實際之 Bump2 所受熱遷移的影響程度較大於電遷移，亦解釋了晶片端所觀察到的孔洞。

4-3-3 觀察電子流向下的 Bump3

以 OM 觀察此三種通電條件下電子流向下的 Bump3 剖面，如圖 4-18 所示，於晶片端處亦明顯發現在有孔洞的生成，進一步再以 SEM 觀察不同電流密度下試片之晶片端，如圖 4-19 所示，可以發現通以 0.8A 及 1.0A 之試片，孔洞皆發生於介金屬化合物與鋅錫之間，屬前述之鬆餅狀孔洞形成機制；然而，觀察通以 1.2A 之試片，發現不僅介金屬化合物與鋅錫界面處有孔洞產生，亦可以發現介金屬化合物的破壞行為，推測為高電流密度下亦伴隨較高的溫度梯度，使介金屬化合物受更高的電遷移與熱遷移加成效應影響所致，而成為此試片主要的失效機制。

4-4 銅與錫熱遷移之通量分析比較

由實驗結果皆可觀察到電流未流經之 Bump1 於銅與介金屬化合物間有微小孔洞生成，為了說明此孔洞生成之機制，需以同樣受熱遷移影響之錫(受熱遷移向熱端移動)與銅(受熱遷移向冷端移動)做熱遷移之通量比較，以驗證孔洞生成的結果何者影響較具有決定性。以通電電流為 1.2A 之 Bump1 做為例子說明，如圖 4-13(c)所示，假設消耗殆盡之銅墊層為 $5\mu\text{m}$ 、通電時間為 44.9hr 、銅的密度 d 為 7.3 g/cm^3 ，銅的原子量為 63.5 g/mole ，並代入公式(2.10)後，經計算後可得銅熱遷移之通量為 $2.14 \times 10^{14}\text{ atom/s*cm}^2$ ；相對地， 1.2A Bump1 藉由紅外線熱像儀的觀察，如圖 4-14(e)、(f)所示，其凸塊平均溫度為 129.9°C 、溫度梯度

為 $1660^{\circ}\text{C}/\text{cm}$ ，並藉由文獻中[17]提到的公式(8)以推算錫的擴散係數，經計算後錫的擴散係數為 $1.77 \times 10^{-13} \text{ cm}^2/\text{s}$ ，錫之 Q^* 為 1.36 KJ/mole [13]，SnAg3.5 之錫所佔原子濃度為 $3.707 \times 10^{22} \text{ atom/cm}^3$ ，並代入公式(2.9)後，可計算出錫熱遷移之通量為 $1.098 \times 10^{11} \text{ atom/s*cm}^2$ 。相較之下，銅熱遷移之通量大於錫熱遷移之通量，如此更加說明了於銅與介金屬化合物之間所觀察到微小孔洞為銅受熱遷移影響後的結果。

4-5 Annealing 試片結果觀察與分析

為了進一步說明銅與介金屬化合物間之孔洞生成為熱遷移效應所致，必須於未通電下將試片直接置於加熱板上做 annealing 之實驗分析，以避免試片因焦耳熱效應導致之溫度梯度而受熱遷移之影響，其後並觀察試片剖面於銅與介金屬化合物間是否仍有孔洞之存在。實驗中設定試片之 annealing 加熱溫度為 135°C 且終止時間為 450hr ，終止時間之設定乃評估更長於各通電試片之通電時間做為基準，且 annealing 加熱之溫度條件，為了考慮原通電試片下所受之焦耳熱，乃依據通電實驗中產生最大焦耳熱之凸塊其平均溫度而設定之，此凸塊藉由紅外線顯像技術觀察其平均溫度為 135.1°C ，如圖 4-20 所示。以 SEM 觀察此條件下 annealing 後之試片，如圖 4-21 所示，其晶片端銅與介金屬化合物間並無明顯孔洞生成，此結果亦呼應了前述之推論。

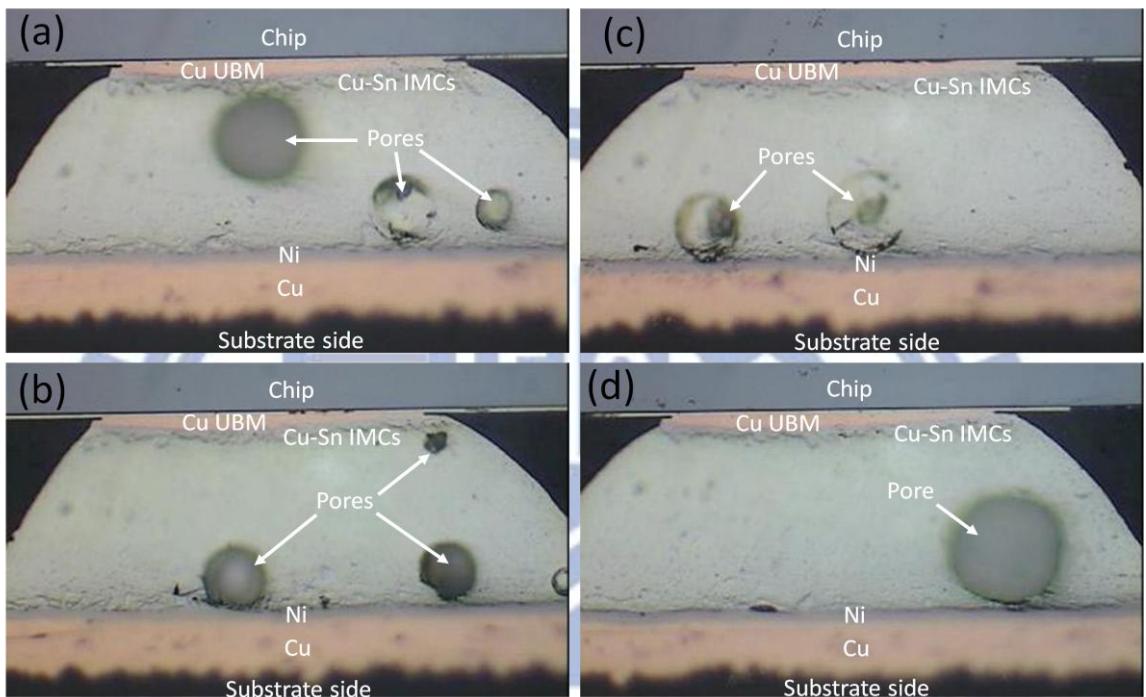


圖 4-1 未通電及未加熱之凸塊 OM 剖面圖,(a)Bump1,(b)Bump2,(c)Bump3 ,
(d)Bump4

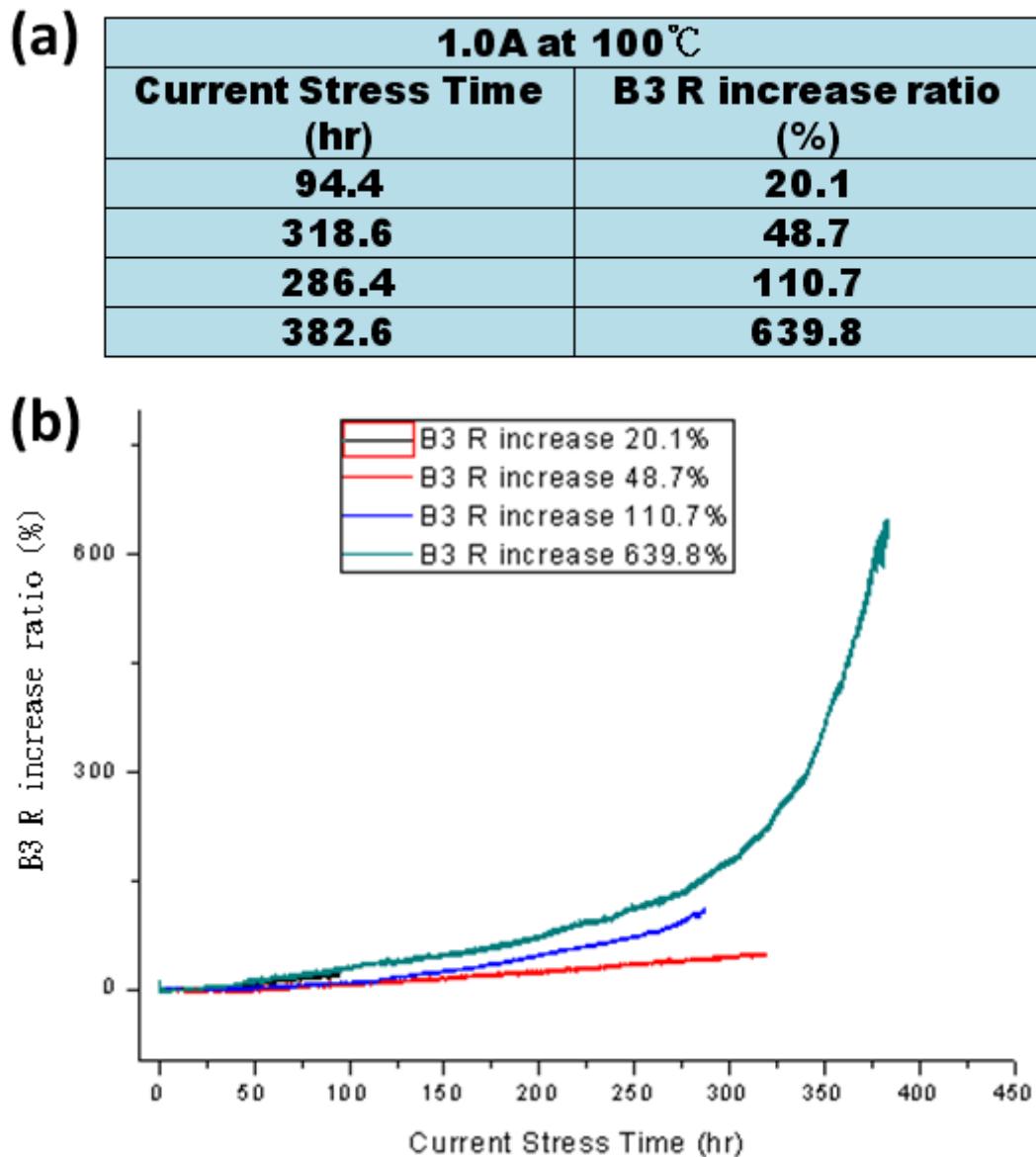


圖 4-2 於定溫 100°C 及定電流 1.0A 下，各試片通電時間與 Bump3 電阻上升率圖表，(a)表為各試片通電時間對應電阻上升率之關係表，(b)圖為各試片通電時間與電阻上升率之關係圖

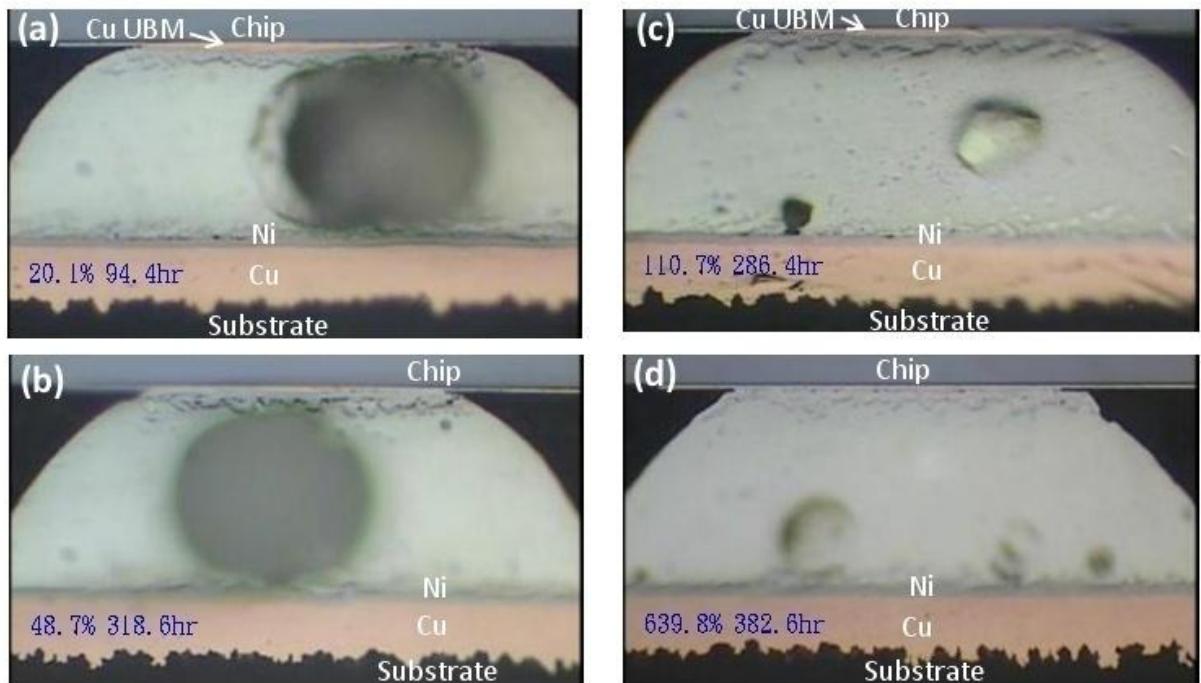


圖 4-3 於 100°C 下通入 1.0A，電流未流經之 Bump1 OM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，(b)48.7%、318.6hr，
(c)110.7%、286.4hr，(d)639.8%、382.6hr

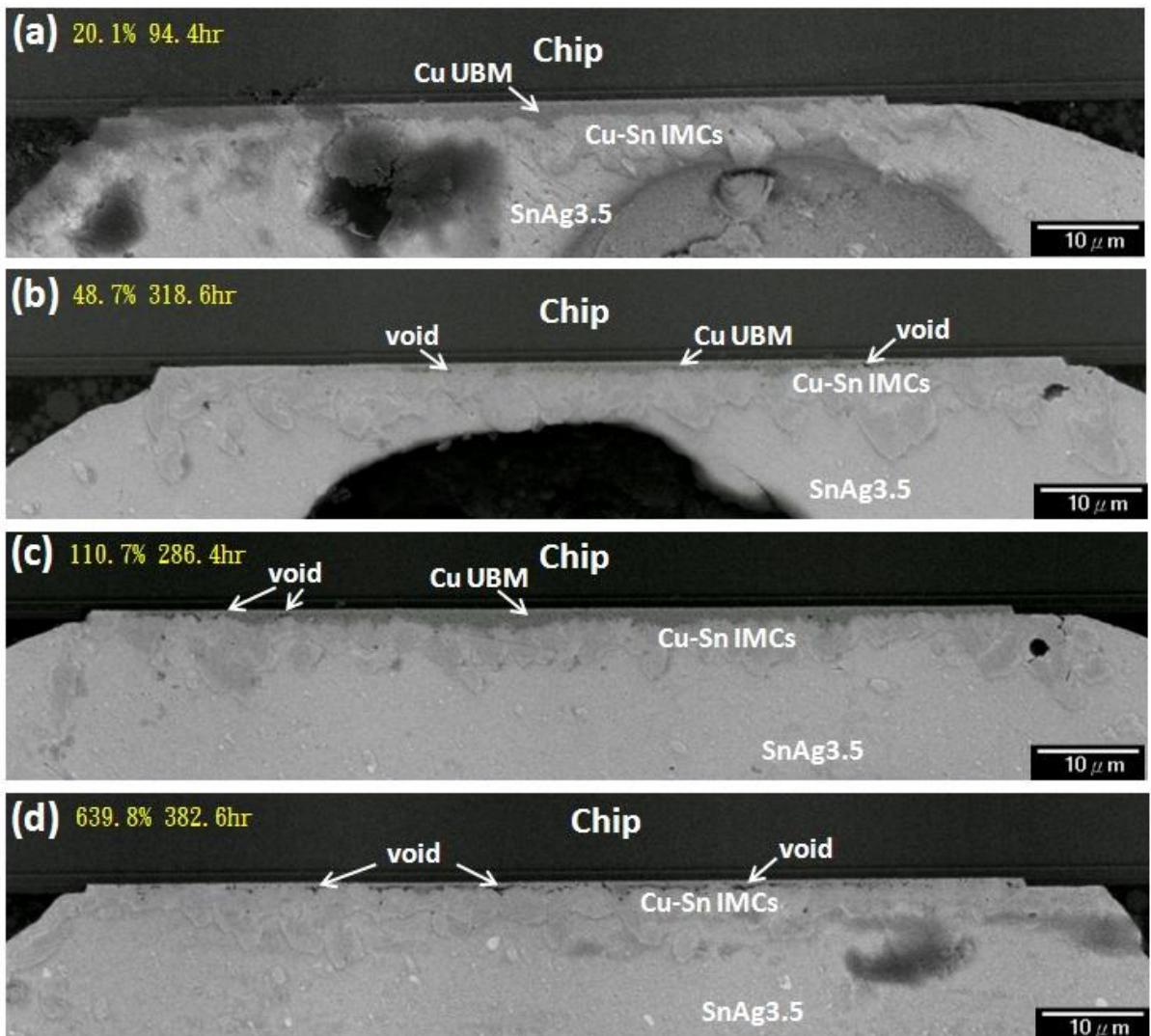


圖 4-4 於 100°C 下通入 1.0A，電流未流經之 Bump1 SEM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，(b)48.7%、318.6hr，
(c)110.7%、286.4hr，(d)639.8%、382.6hr

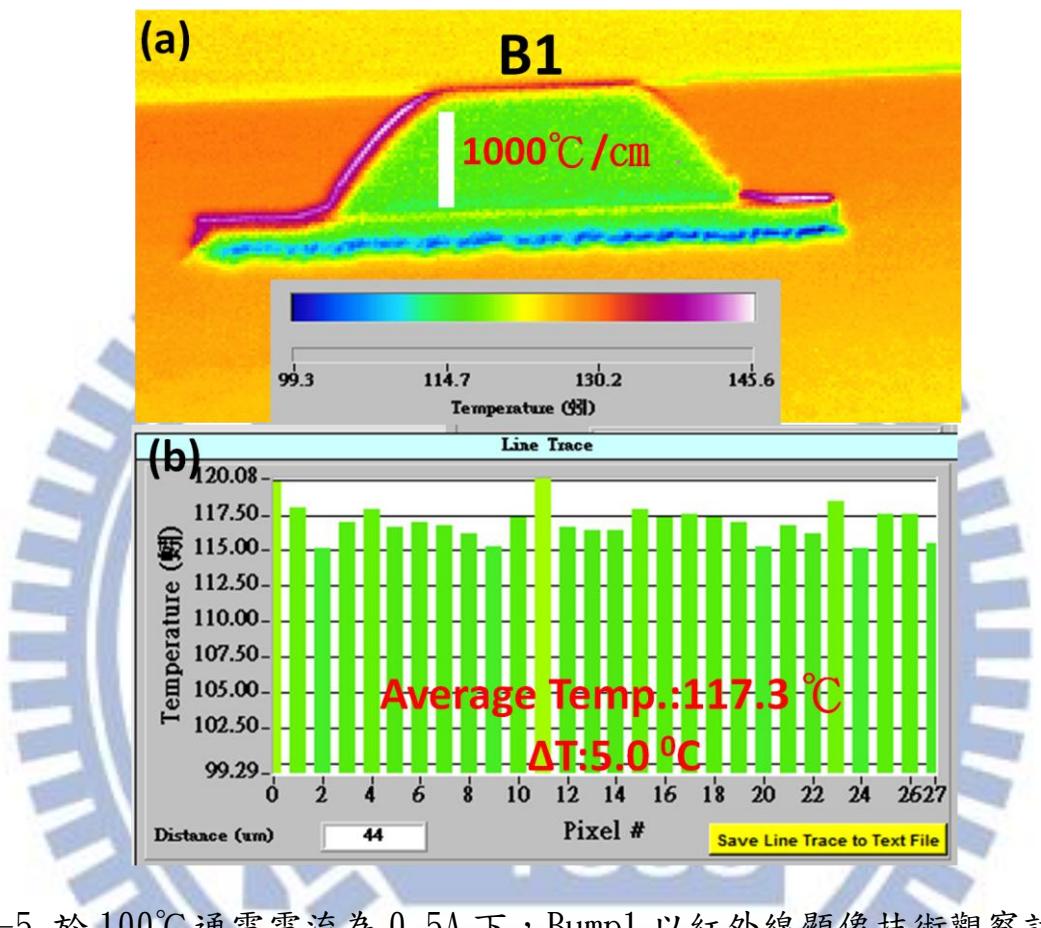


圖 4-5 於 100°C 通電電流為 0.5A 下，Bump1 以紅外線顯像技術觀察試片剖面溫度分佈情形，(a)溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 117.3°C 、 $1000^{\circ}\text{C}/\text{cm}$

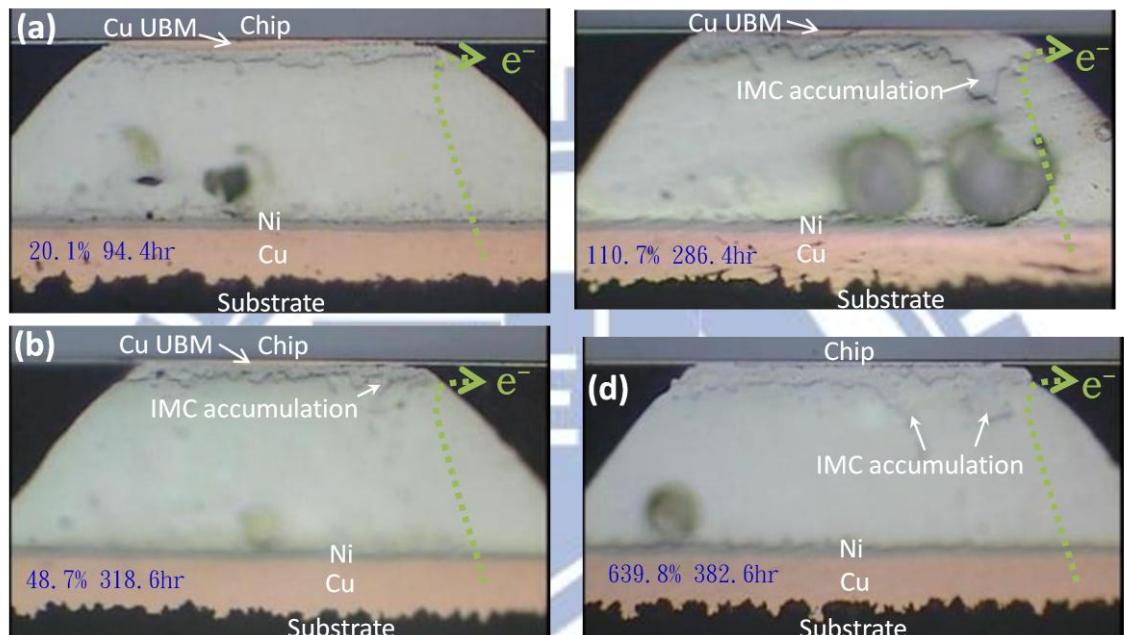


圖 4-6 於 100°C 下通入 1.0A，電子流向上之 Bump2 OM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，(b)48.7%、318.6hr，
(c)110.7%、286.4hr，(d)639.8%、382.6hr

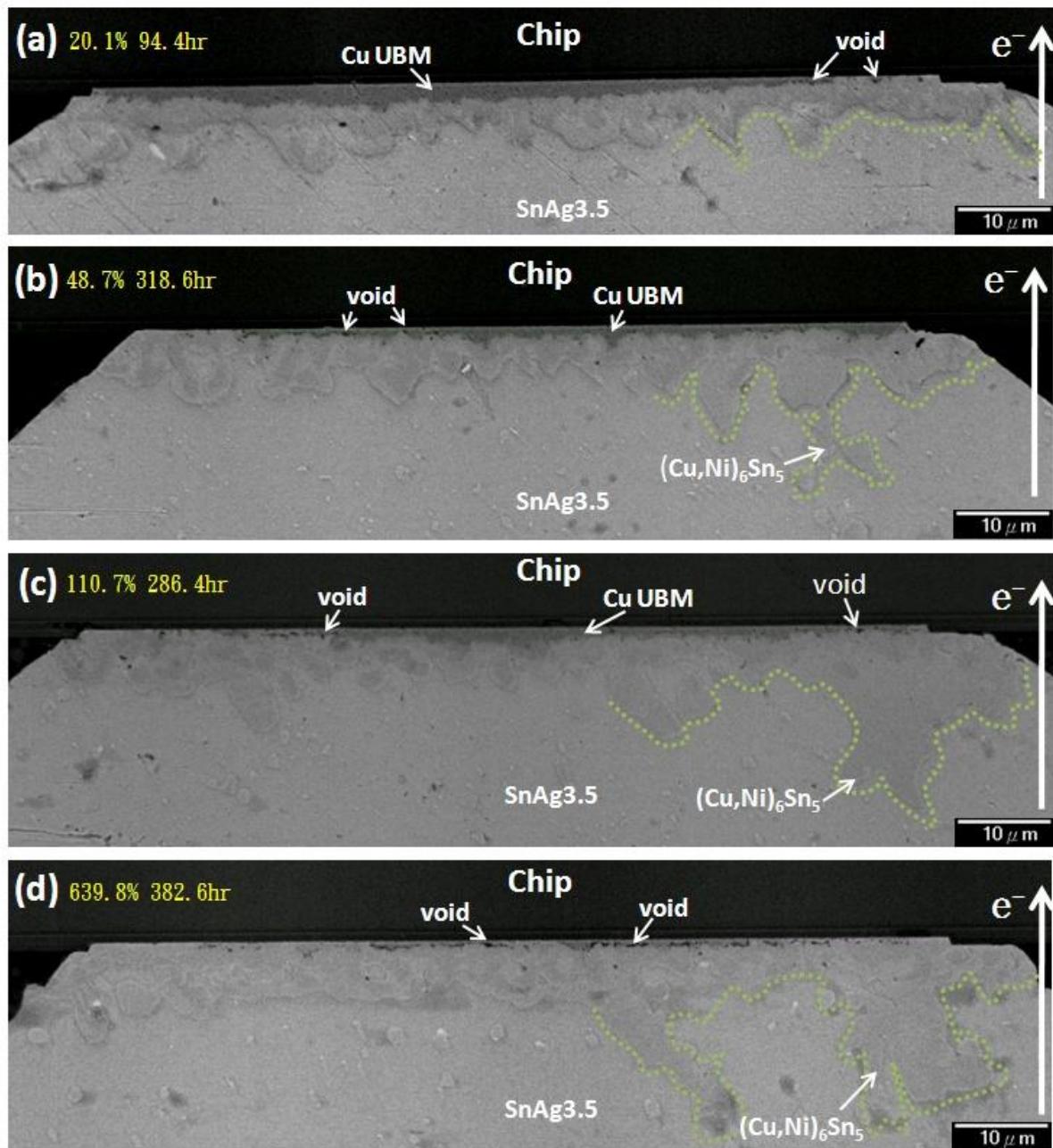


圖 4-7 於 100°C 下通入 1.0A，電子流向上之 Bump2 SEM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，(b)48.7%、318.6hr，
(c)110.7%、286.4hr，(d)639.8%、382.6hr

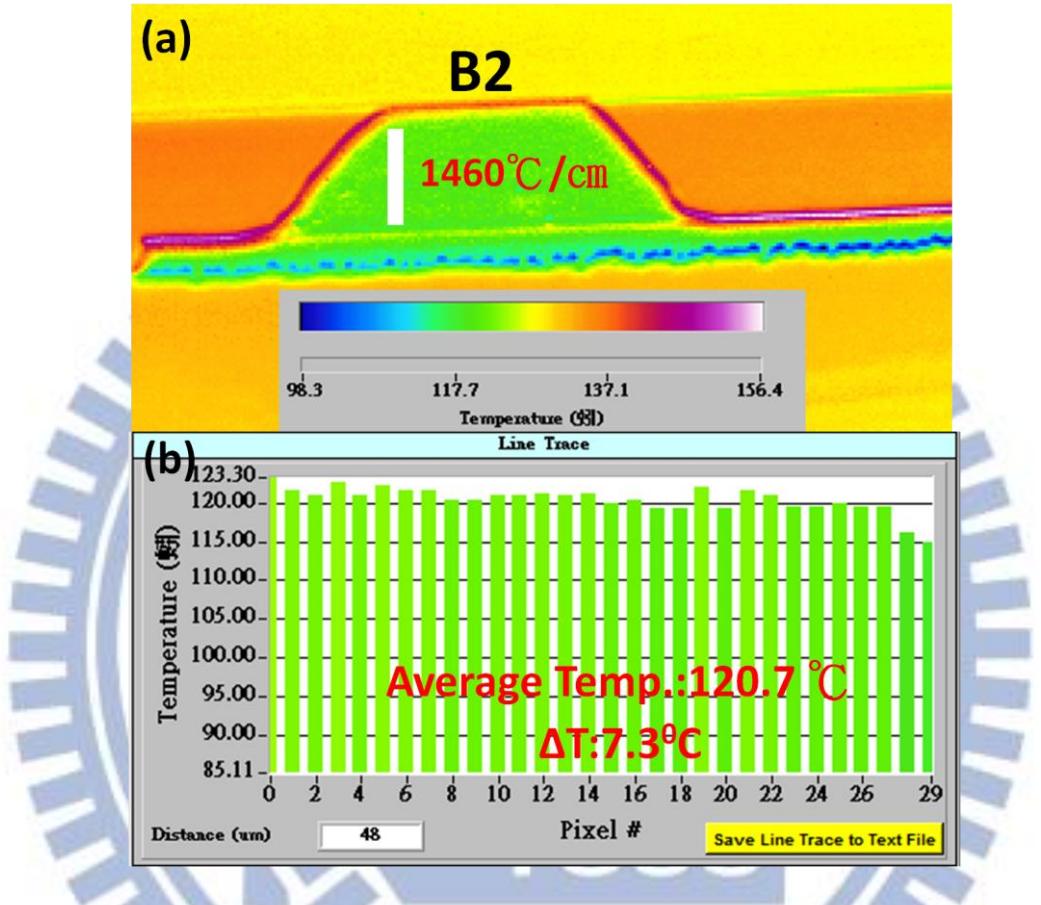


圖 4-8 於 $100\text{ }^{\circ}\text{C}$ 通電電流為 0.5A 下，Bump2 以紅外線顯像技術觀察試片剖面溫度分佈情形，(a)溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 $120.7\text{ }^{\circ}\text{C}$ 、 $1460\text{ }^{\circ}\text{C}/\text{cm}$

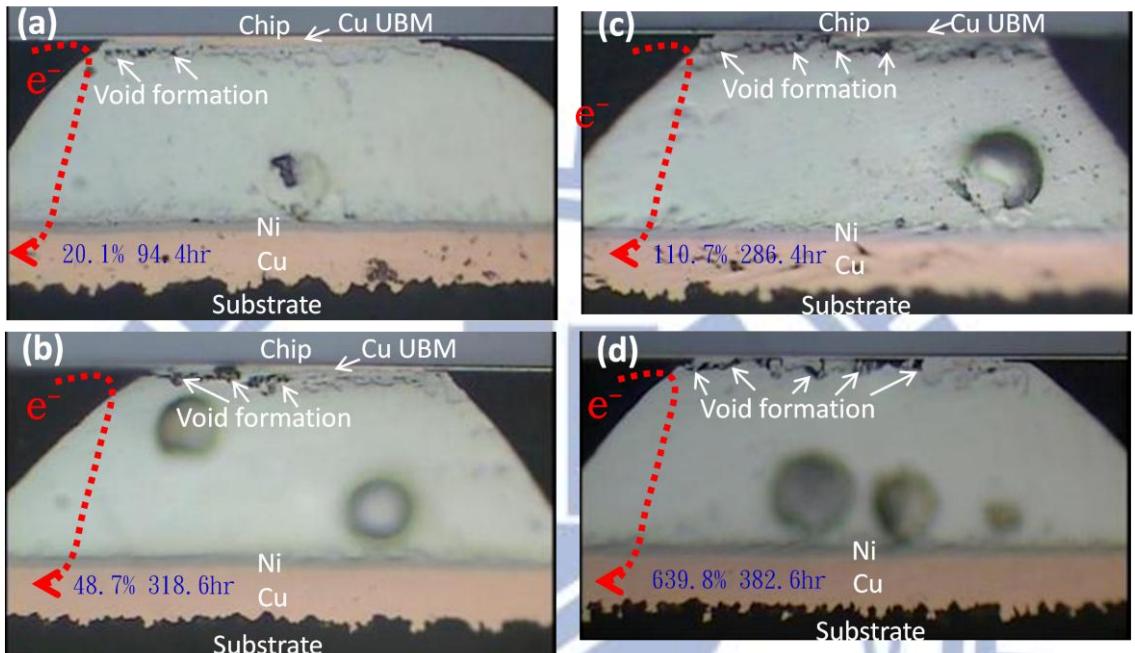


圖 4-9 於 100°C 下通入 1.0A ，電子流向下之 Bump3 OM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20.1% 、 94.4hr ，(b) 48.7% 、 318.6hr ，(c) 110.7% 、 286.4hr ，(d) 639.8% 、 382.6hr

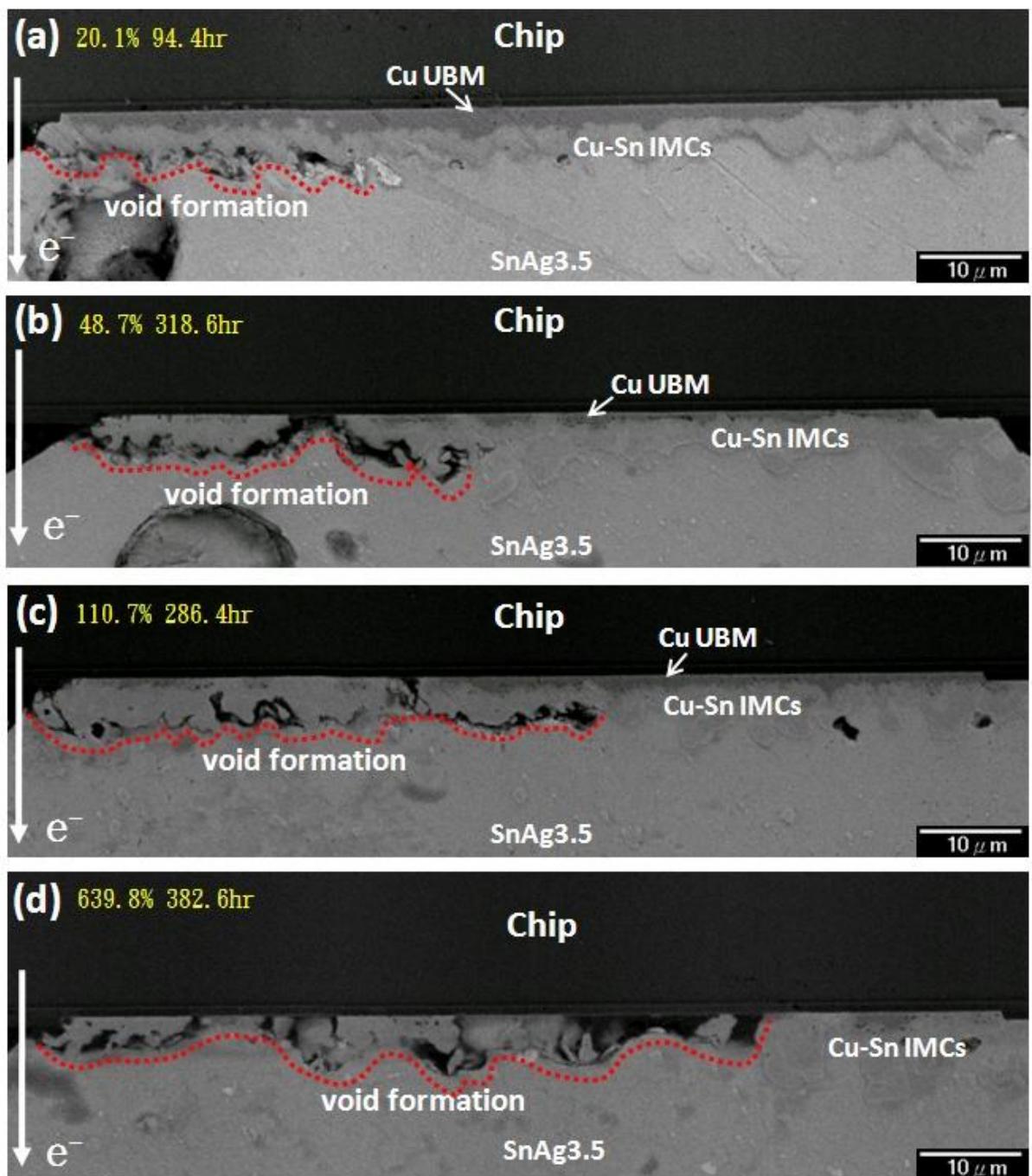


圖 4-10 於 100°C 下通入 1.0A，電子流向下的 Bump3 SEM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20.1%、94.4hr，(b)48.7%、318.6hr，(c)110.7%、286.4hr，(d)639.8%、382.6hr

0.8A、1.0A、1.2A at 100°C when B3 R increase 100%		
Current (A)	Current Stress Time (hr)	B3 R increase ratio (%)
0.8	1318	106
1.0	286.4	110.7
1.2A	44.9	100

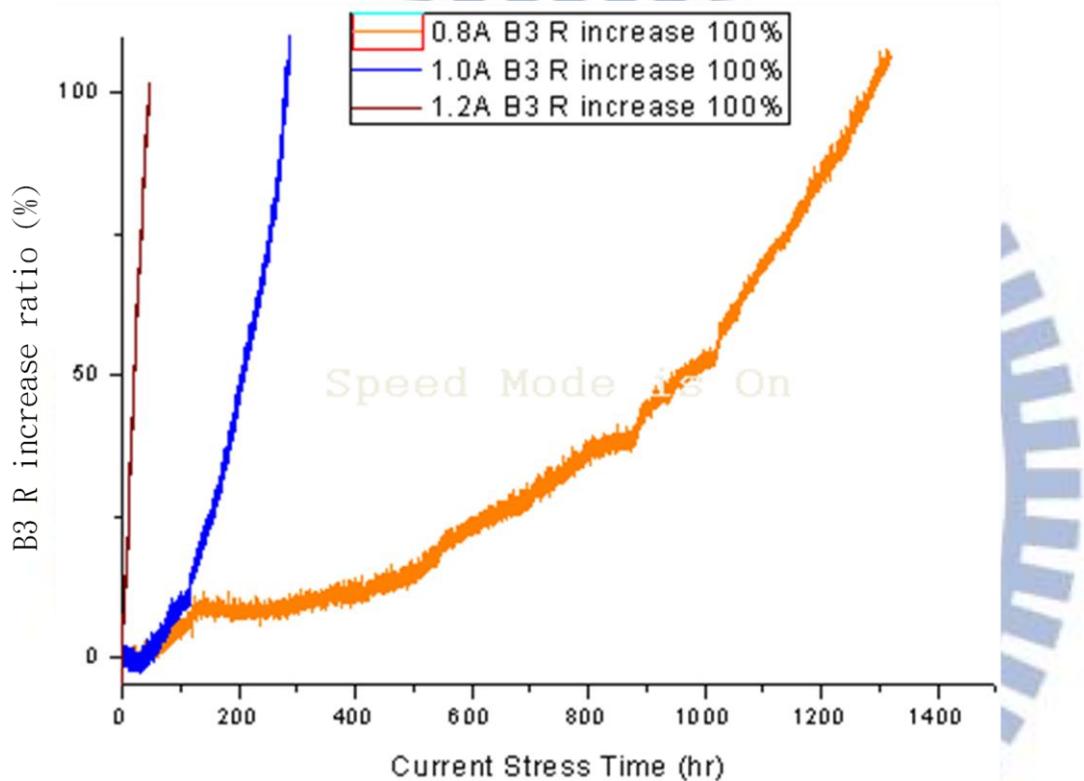


圖 4-11 於定溫 100°C 及通電電流分別為 0.8A、1.0A、1.2A 下，各試片通電時間與 Bump3 電阻上升率圖表，(a)表為不同電流下之各試片通電時間對應電阻上升率之關係表，(b)圖為不同電流下之各試片通電時間對應電阻上升率關係圖

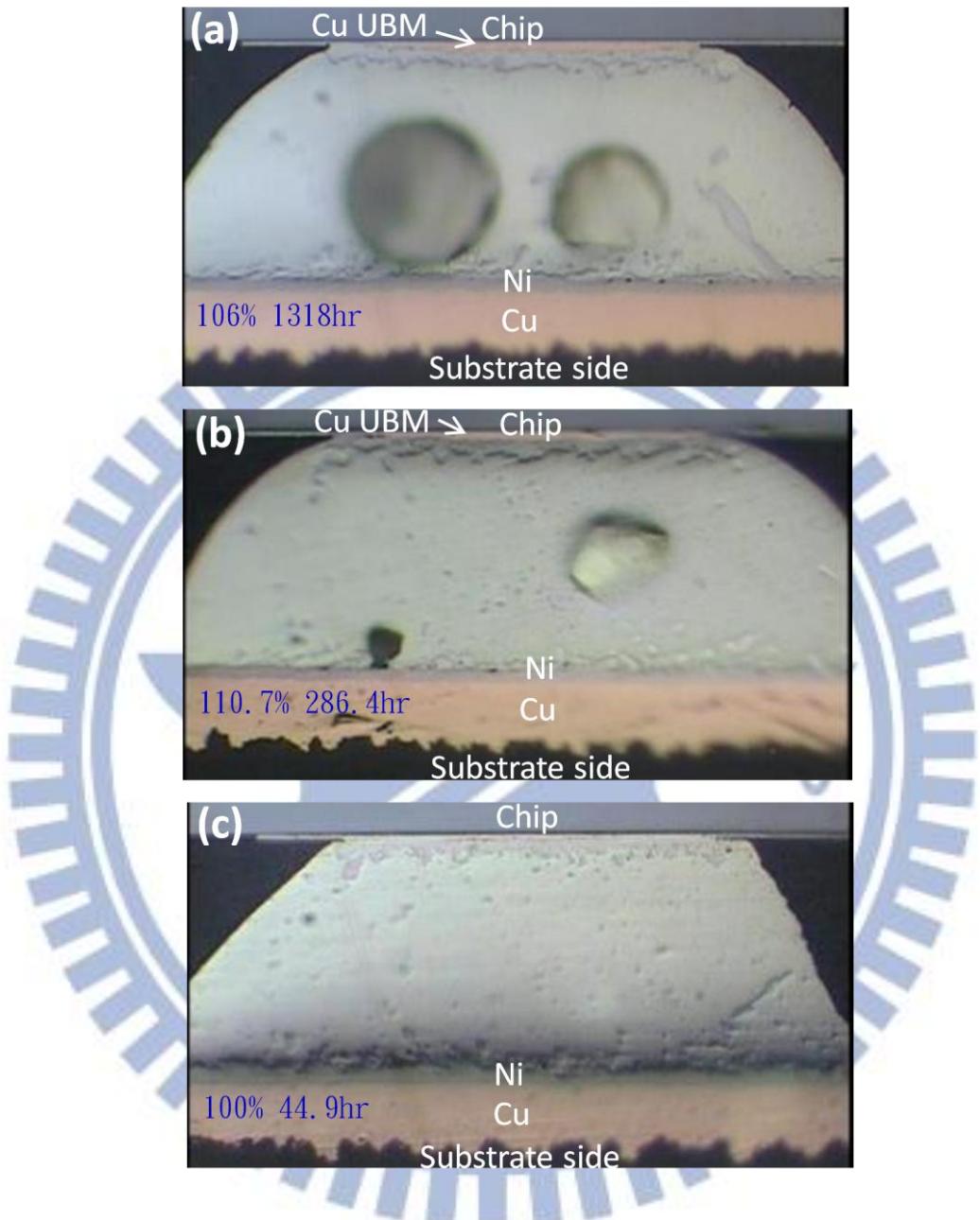


圖 4-12 於 100°C 不同電流下，電流未流經之 Bump1 OM 剖面圖，(a)通電電流 0.8A 於 Bump3 電阻上升率 106%、1318hr，(b)通電電流 1.0A 於 Bump3 電阻上升率 110.7%、286.4hr，(c)通電電流 1.2A 於 Bump3 電阻上升率 100%、44.9hr

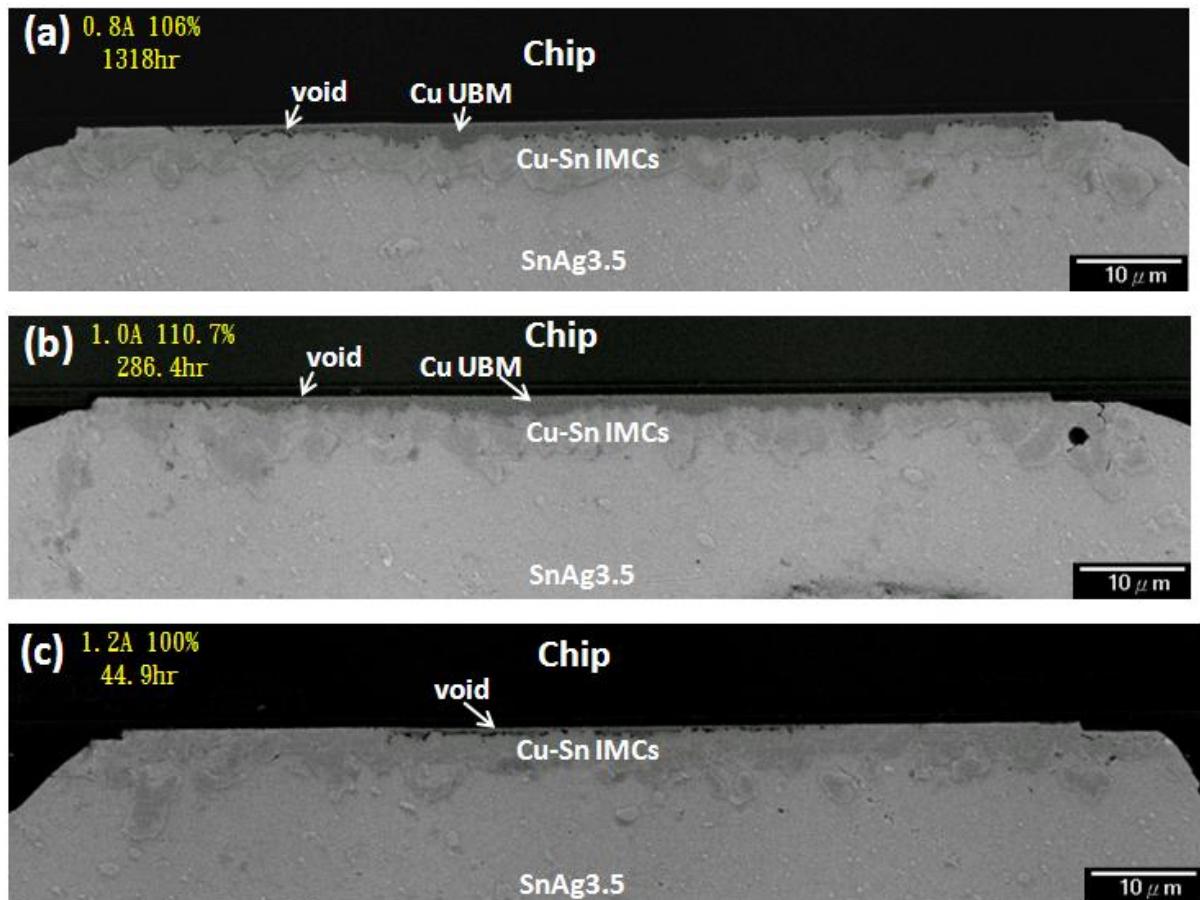


圖 4-13 於 100°C 不同電流下，電流未流經之 Bump1 SEM 剖面圖，(a)通電電流 0.8A 於 Bump3 電阻上升率 106%、1318hr，(b)通電電流 1.0A 於 Bump3 電阻上升率 110.7%、286.4hr，(c)通電電流 1.2A 於 Bump3 電阻上升率 100%、44.9hr

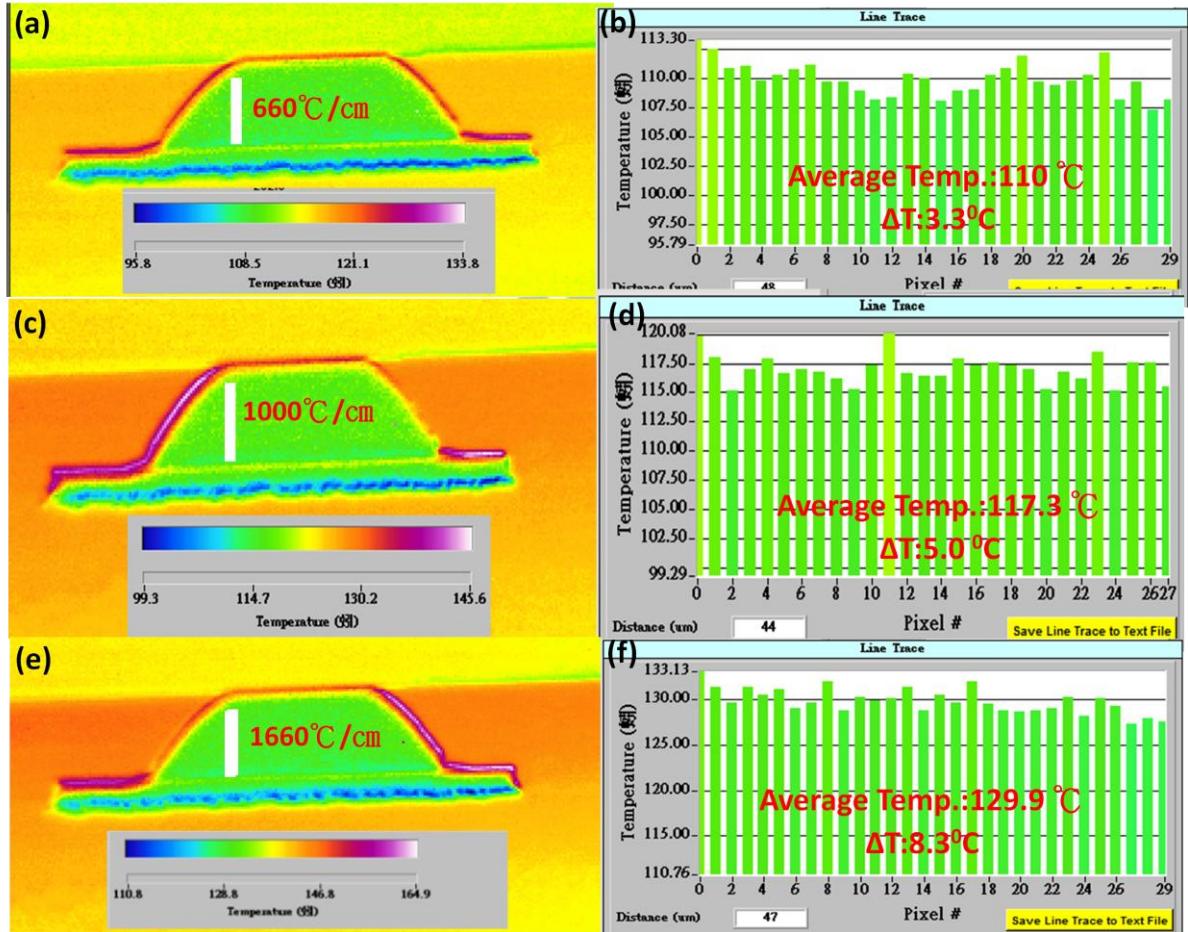


圖 4-14 於 100°C 不同通電電流下，Bump1 以紅外線顯像技術觀察試片剖面溫度分佈情形，(a)通電電流為 0.4A 之溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 110°C 、 $660^{\circ}\text{C}/\text{cm}$ ，(c)通電電流為 0.5A 之溫度分佈圖，(d)延圖(c)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 117.3°C 、 $1000^{\circ}\text{C}/\text{cm}$ ，(e)通電電流為 0.6A 之溫度分佈圖，(f)延圖(e)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 129.9°C 、 $1660^{\circ}\text{C}/\text{cm}$

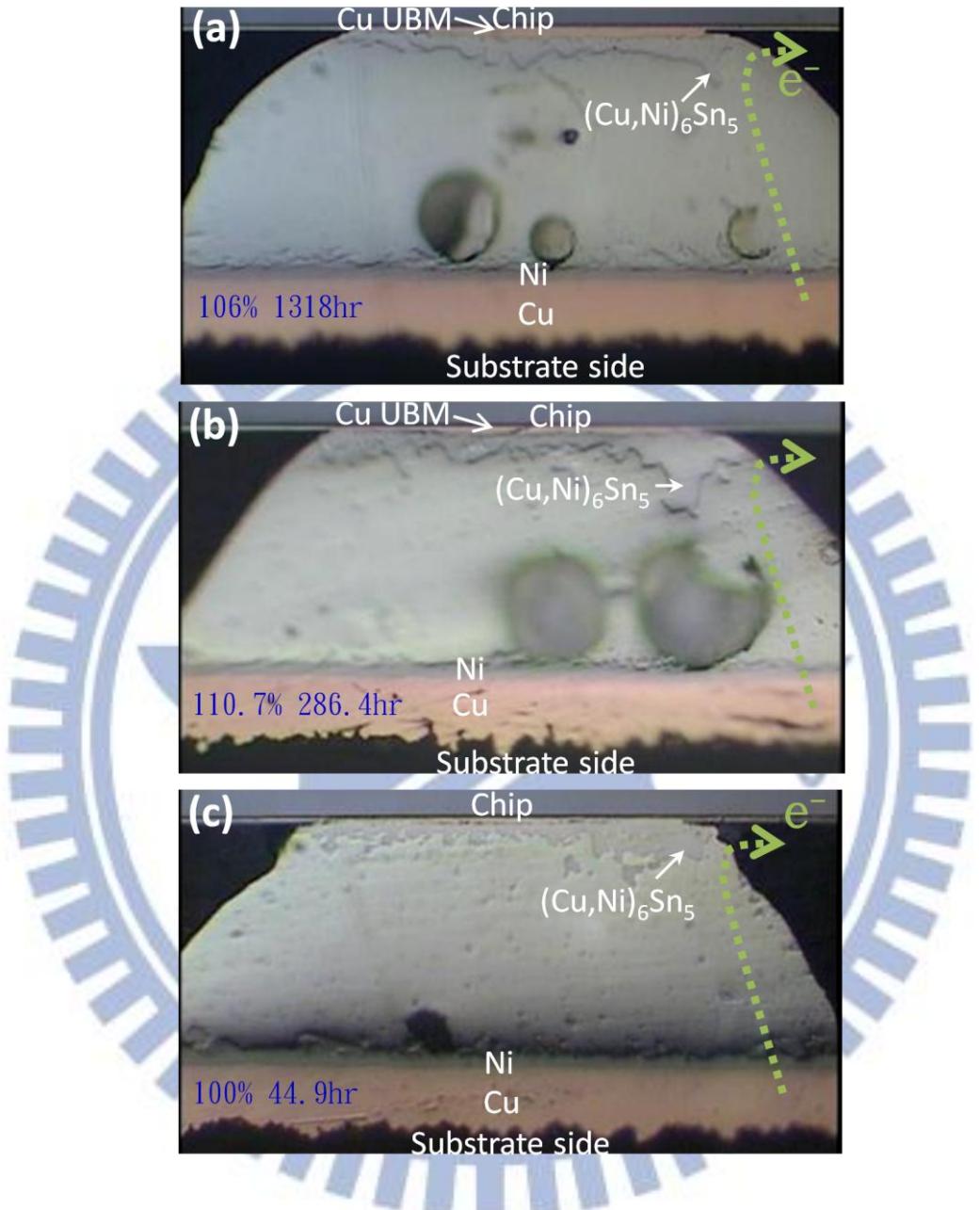


圖 4-15 於 100°C 不同電流下，電子流向 上之 Bump2 OM 剖面圖，(a)通電電流 0.8A 於 Bump3 電阻上升率 106%、1318hr，(b)通電電流 1.0A 於 Bump3 電阻上升率 110.7%、286.4hr，(c)通電電流 1.2A 於 Bump3 電阻上升率 100%、44.9hr

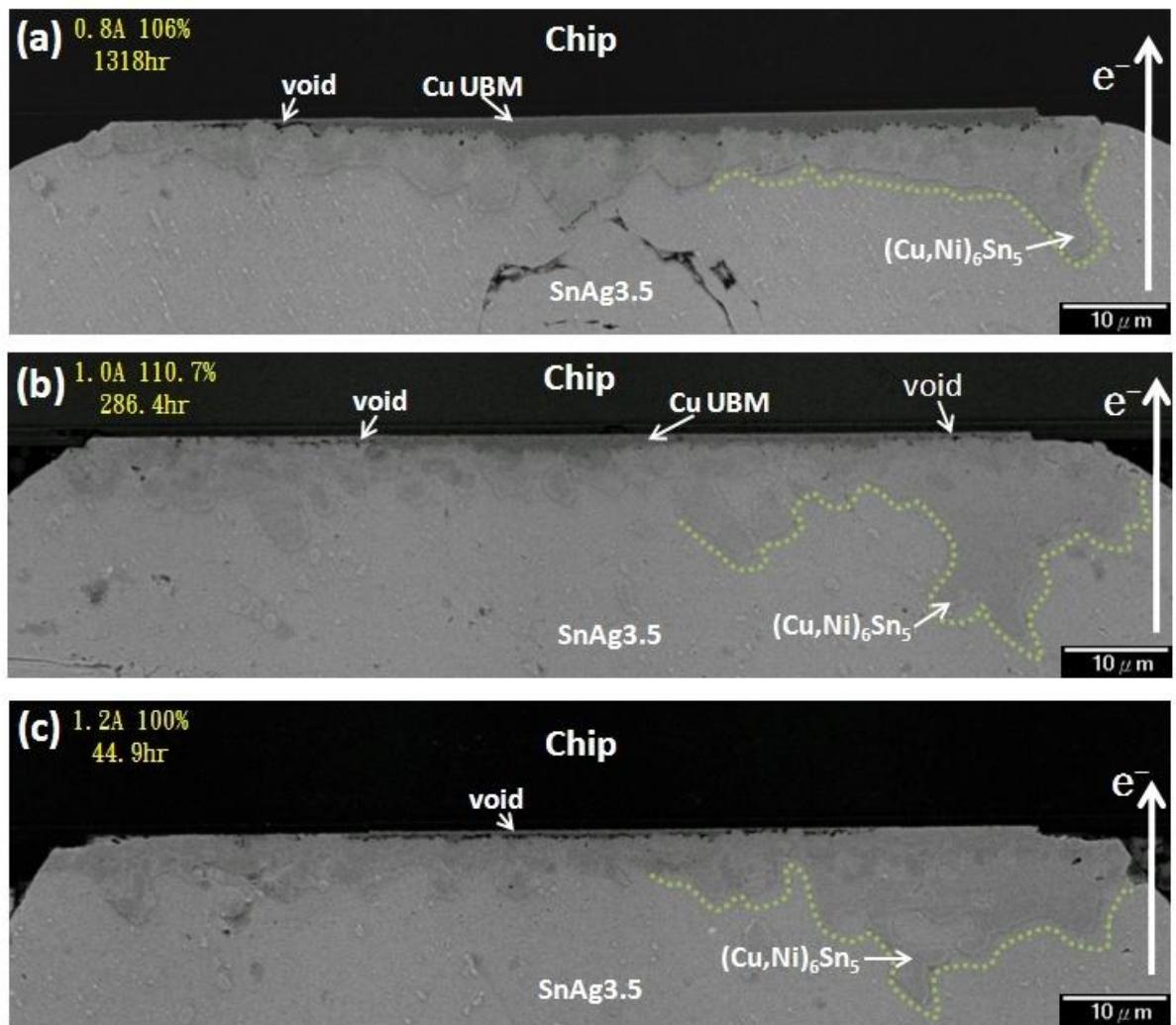


圖 4-16 於 100°C 不同電流下，電子流向上之 Bump2 SEM 剖面圖，(a)通電電流 0.8A 於 Bump3 電阻上升率 106% 、 1318hr ，(b)通電電流 1.0A 於 Bump3 電阻上升率 110.7% 、 286.4hr ，(c)通電電流 1.2A 於 Bump3 電阻上升率 100% 、 44.9hr

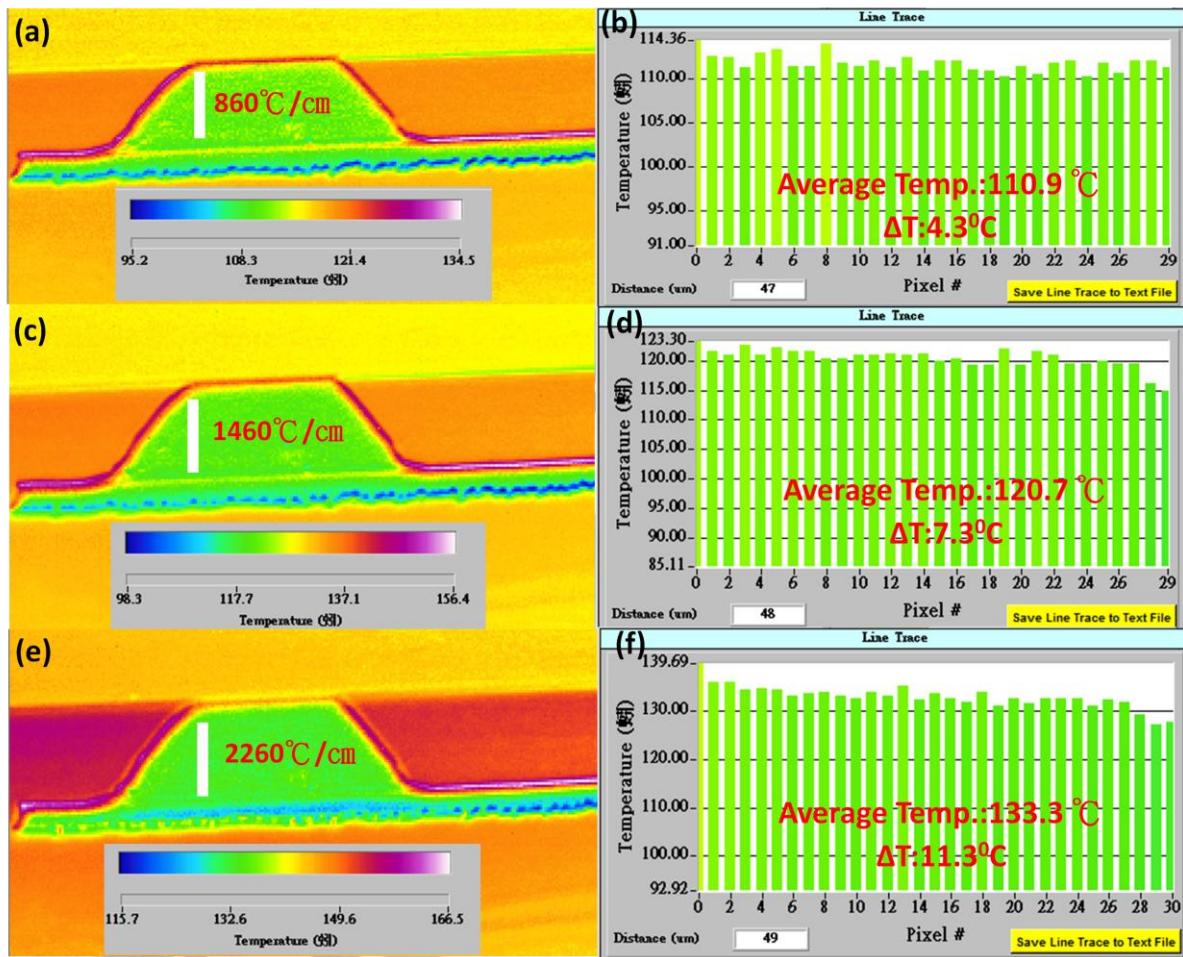


圖 4-17 於 100°C 不同通電電流下，Bump2 以紅外線顯像技術觀察試片剖面溫度分佈情形，(a)通電電流為 0.4A 之溫度分佈圖，(b)延圖(a)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 110.9°C 、 $860^{\circ}\text{C}/\text{cm}$ ，(c)通電電流為 0.5A 之溫度分佈圖，(d)延圖(c)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 120.7°C 、 $1460^{\circ}\text{C}/\text{cm}$ ，(e)通電電流為 0.6A 之溫度分佈圖，(f)延圖(e)白線溫度分佈表，量測之平均溫度與溫度梯度分別為 133.3°C 、 $2260^{\circ}\text{C}/\text{cm}$

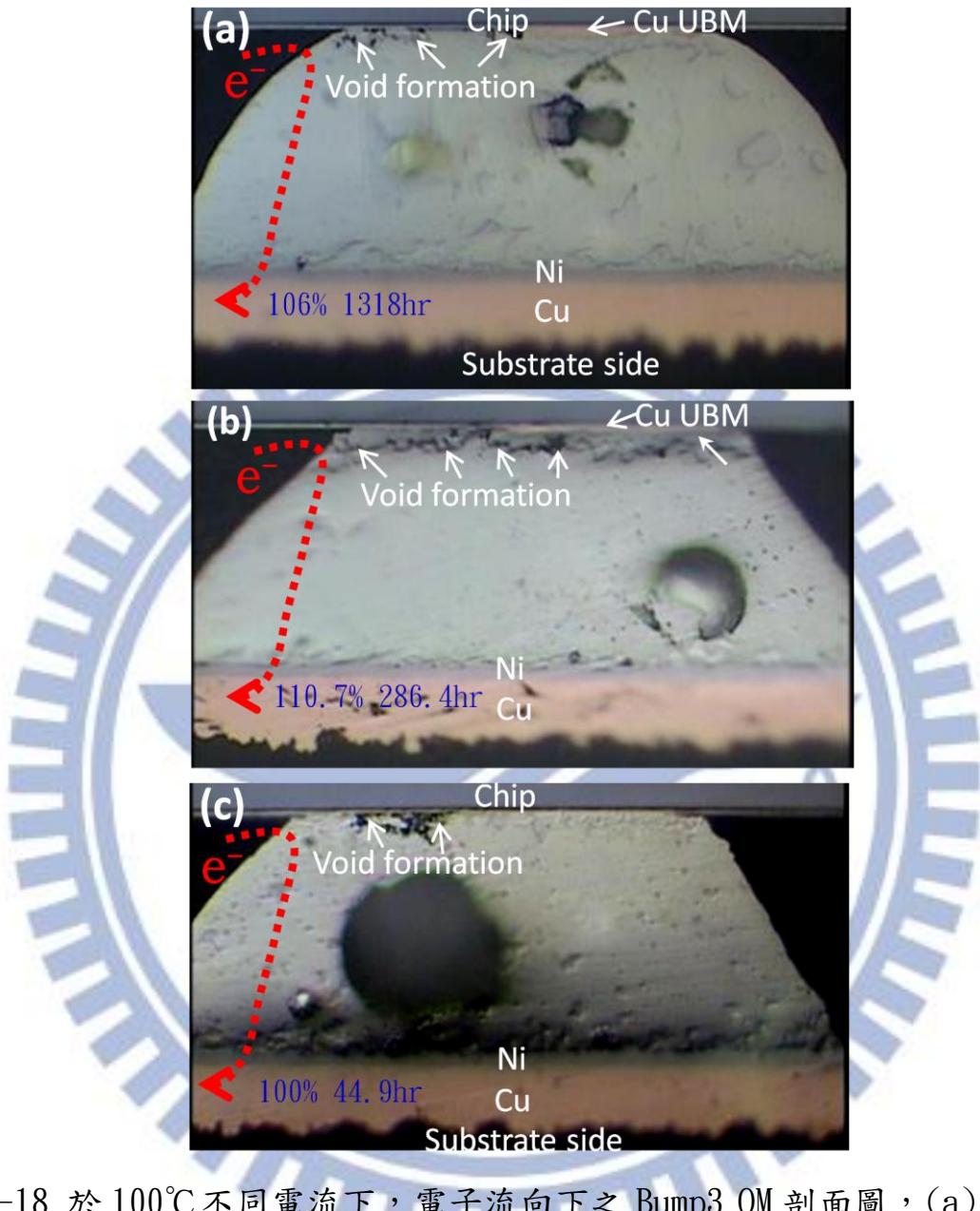


圖 4-18 於 100°C 不同電流下，電子流向之 Bump3 OM 剖面圖，(a)通電電流 0.8A 於 Bump3 電阻上升率 106%、1318hr，(b)通電電流 1.0A 於 Bump3 電阻上升率 110.7%、286.4hr，(c)通電電流 1.2A 於 Bump3 電阻上升率 100%、44.9hr

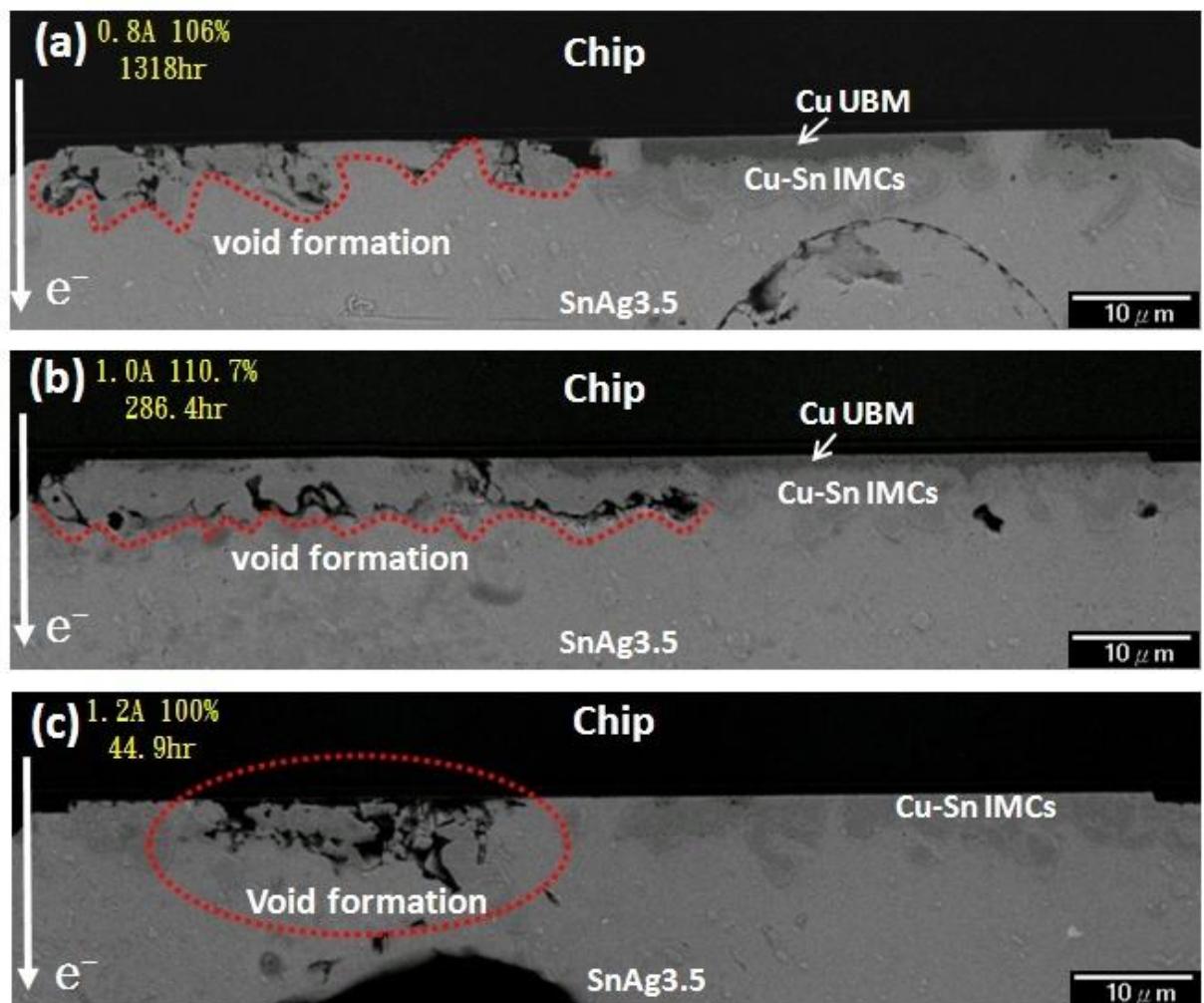


圖 4-19 於 100°C 不同電流下，電子流向之 Bump3 SEM 剖面圖，(a)通電電流 0.8A 於 Bump3 電阻上升率 106% 、 1318hr ，(b)通電電流 1.0A 於 Bump3 電阻上升率 110.7% 、 286.4hr ，(c)通電電流 1.2A 於 Bump3 電阻上升率 100% 、 44.9hr

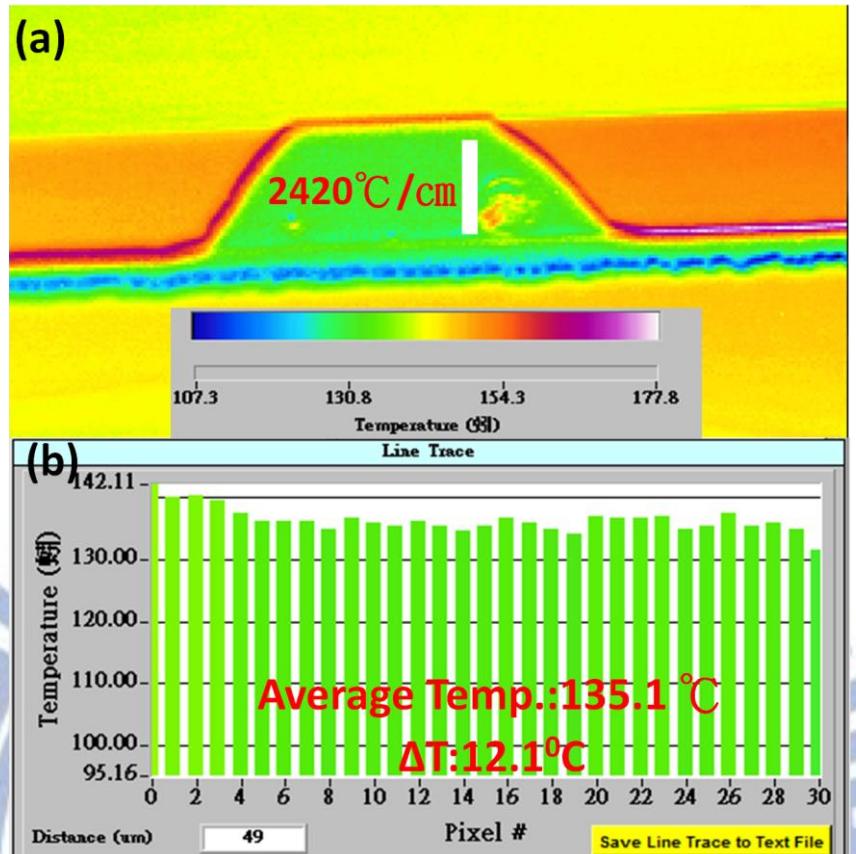


圖 4-20 於 100°C 通電電流為 0.6A 下，Bump3 以紅外線顯像技術觀察試片剖面溫度分佈情形，(a)溫度分佈圖，(b)延圖(a)自線溫度分佈表，量測之平均溫度與溫度梯度分別為 135.1°C、2420°C/cm

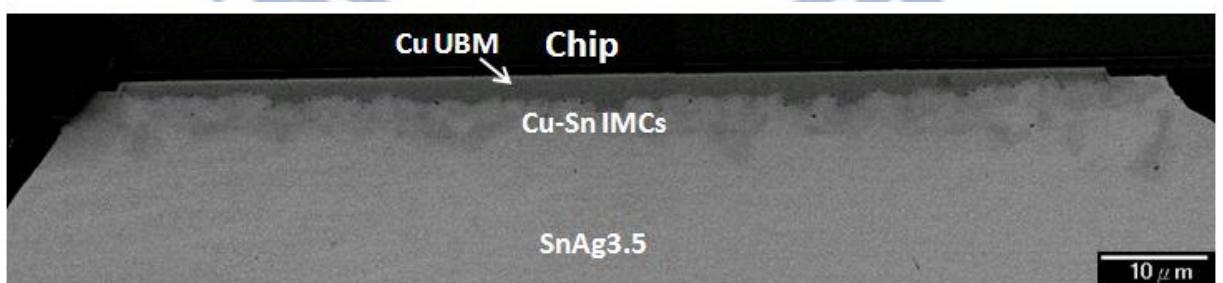


圖 4-21 於 135°C、450hr annealing 試片之 SEM 剖面圖影像

第五章、結論

於不同電流密度下電流未流經之 Bump1，由於 Bump1 僅受熱效應影響，其銅墊層消耗與供應電流大小影響的程度為 $1.2A > 1.0A > 0.8A$ ，其主要因高電流密度下所產生較大之焦耳熱及溫度梯度影響所致。而藉由 SEM 觀察可發現，於銅與介金屬化合物間有微小孔洞之形成，此為銅受熱遷移向下(冷端)移動後，留下空孔累積而成。其中以紅外線顯像技術實際量測各凸塊確實受焦耳熱效應影響而存在著溫度梯度，且經由計算並驗證了銅熱遷移通量大於錫熱遷移之通量，說明了銅朝向冷端(基板端)的通量大於錫朝向熱端(晶片端)的通量；且試片經 annealing 後的結果也符合預期，更加說明孔洞形成的主要原因為銅受熱遷移影響所致。

於不同電流密度下電子流向向上之 Bump2，於電流聚集區各試片皆可以發現 $(Cu, Ni)_6Sn_5$ 之累積，主要為基板端鎳墊層受電子流向遷移所致。而於各試片中亦可發現銅受熱遷移造成之孔洞，其中藉由推算出各電流密度下之臨界溫度梯度，並配合紅外線熱像儀的分析結果，於不同電流密度下經估算後實際量測之溫度梯度皆大於臨界溫度梯度，說明了 Bump2 雖然電子流向向上，但晶片端銅原子仍受熱遷移影響大於電遷移所致。

於不同電流密度下電子流向向下之 Bump3，通以 $0.8A$ 及 $1.0A$ 之試片，孔洞的形成皆發生於介金屬化合物與鋅錫之間，屬於鬆餅狀孔洞形成機制；然而，通以 $1.2A$ 之試片，不僅發現介金屬化合物與鋅錫介面間的孔洞形成，亦可以發現介金屬化合物的破壞行為，推測為高電流密度下亦伴隨較高的溫度梯度，使介金屬化合物受更高的電遷移與熱遷移加成效應影響所致，而成為此試片主要的失效機制。

參考文獻

1. V. B. Fiks, Soviet Physics – Solid State, 1, pp.14-28, (1959).
2. R. J. Wassink, “Soldering in Electronics”, Electrochemical Pub. Ltd., pp. 99, (1984).
3. P. A. Totta, S. Khadpe, N. G. Koopman, T. C. Reiley, and M. J. Sheaffer, in “Electronics Packaging Handbook,” edited by R.R. Tummala, E. J. Rymaszewski, and A. G. Klopfenstein, (Chapman & Hall, M. A., 1999) p. 2-129.
4. European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May (2000).
5. Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June (1998).
6. H. B. Huntington, in “Diffusion in Solids : Recent Developments”, edited by A. S. Nowick and J. J. Burton, Academic Press, New York, pp. 303-352, (1975).
7. I. A. Blech, “Electromigration in thin aluminium films on titanium nitride”, J. Appl. Phys. 47, 4, p. 1203-1208, (1976).
8. H. B. Huntington and A. R. Grone, J. Phy. & Chem. Solids, 20, 76, (1961).
9. K. N. Tu, J. W. Mayer, and L. C. Feldman, Pearson Education POD, 355, (1996).
10. Chih Chen, H. M. Tong, and K. N. Tu, Annu. Rev. Mater. Res. Vol. 40, pp. 531-555 (2010)
11. S. H. Chiu, T. L. Shao, and Chih Chen, Appl. Phys. Lett. Vol.88, 022110 (2006).
12. Hsiang-Yao Hsiao, and Chih Chen, Appl. Phys. Lett., 90, 152105, (2007).
13. Hsiang-Yao Hsiao, and Chih Chen, Appl. Phys. Lett., 94, 092107, (2009).
14. Hsiao-Yun Chen, Chih Chen, and King-Ning Tu, Appl. Phys. Lett., 93, 122103, (2008).

15. Hsiao-Yun Chen, Chih Chen, JMR. Vol26, Issue08, pp. 983-991 (2011).
16. Lingyun Zhang, Shengquan Ou, Joanne Huang, K. N. Tu, Stephen Gee and Luu Nguyen, Appl. Phys. Lett. Vol.88, Issue, 012106 (2006).
17. J. H. Ke, T. L. Yang, Y. S. Lai, C. R. Kao, Acta Materialia (2011).

