

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

鎳誘發側向結晶複晶矽薄膜電晶體

—垂直通道結構應用於低溫複晶矽薄膜電晶體

Ni Induced Lateral Crystallization of Polycrystalline Silicon

Thin Film Transistors

—Fabrication of Vertical Channel Polysilicon Thin Film Transistor.

研究生:童騰賦

指導教授:吳耀銓 教授

中華民國九十九年九月

鎳誘發側向結晶複晶矽薄膜電晶體

—垂直通道結構應用於低溫複晶矽薄膜電晶體

**Ni Induced Lateral Crystallization of Polycrystalline Silicon
Thin Film Transistors**

—Fabrication of Vertical Channel Polysilicon Thin Film Transistor.

研究生：童騰賦

Student : Teng-Fu Tung

指導教授：吳耀銓

Advisor : YewChung Sermon Wu Ph.D.



A Thesis

Submitted to Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Semiconductor Material and Processing Equipment

September 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年九月

鎳誘發側向結晶複晶矽薄膜電晶體

— 垂直通道結構應用於低溫複晶矽薄膜電晶體

學生：童騰賦

指導教授：吳耀銓 博士

國立交通大學工學院半導體材料與製程設備學程

摘要

本實驗成功的利用鎳誘發側向結晶(MILC)，製造出垂直通道複晶矽薄膜電晶體。垂直通道結構的製造，主要是利用(1)SF₆和HBr氣體來調整蝕刻程式與(2)藉由添加硬遮蔽物來改善深寬比。使用F離子將鎳金屬植入到非結晶矽晶層；再利用加熱方式來誘發側向結晶複晶矽且可以減少鎳金屬濃度和陷阱位置密度，發現鎳誘發側向結晶(MILC)薄膜電晶體(TFTs)的電特性比固相結晶(SPC)薄膜電晶體(TFTs)表現佳。

Ni Induced Lateral Crystallization of Polycrystalline Silicon Thin Film Transistors

—Fabrication of Vertical Channel Polysilicon Thin Film Transistor.

Student : Teng-Fu Tung

Advisor : Dr. YewChung Sermon Wu

**Program of Semiconductor Material and Processing Equipment
College of Engineering**

National Chiao Tung University

Abstract

This study has successfully fabricated the vertical channel polysilicon thin film transistor by Ni induced lateral crystallization (MILC). Vertical Channel Polysilicon were mainly fabricated by using (1) Sulphur hexafluoride (SF₆) and Hydrogen bromide (HBr) gases to fine tune etching recipes, and (2) by adding a hard mask to improve the aspect ratio. F⁺ ion was used to drive Ni into the amorphous silicon layer. Annealing treatment can induce lateral crystallization polysilicon and reduce the Ni concentration and the trap state density. It was found that the Ni induced lateral crystallization (MILC) thin film transistors (TFTs) exhibit better electrical characterization than the solid phase crystallization (SPC) thin film transistors (TFTs).

誌謝

能夠順利完成學業，要感謝的人實在太多，首先感謝家人在背後默默的支持，再來要感謝的是指導教授吳耀銓老師平時的訓練與指導，謝謝老師教導我們有系統的思考；在實驗上要找出實驗的價值，也就是老師常說的”賣點”；在生活上，老師總是設身處地的替學生著想，減輕學生不必要的負擔，老師您的諄諄教誨，學生會永遠銘記在心。

謝謝口試委員，潘扶民老師和陳智老師在口試上的建議和指導，經由這次的口試讓學生更加了解自己要改進的地方。

感謝實驗室諸位學長姊和學弟妹的幫忙，謝謝王寶明、賴明輝、陳建誌、陳俞中、鍾承璋、錢奐宇、卓昕如、鄭文豪、李美儀、吳鴻佑、楊子明、曾卿杰和吳玫慧等等，以及蝕刻技術指導張皇賢、黃光技術指導吳鑑峰、材料分析的林欣怡，也要感謝國家實驗研究院國家奈米元件實驗室(NDL)的宋金龍先生以及相關操作人員，有您們的幫忙及協助才能順利的完成實驗，在此致上十二萬分的感謝。



~2010/09 童騰賦~

目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表目錄	vi
圖目錄	vii
第一章 序論	1
1.1 顯示器發展演進	1
1.2 液晶顯示器原理	1
1.3 液晶顯示器驅動方式	3
1.4 薄膜電晶體	3
1.5 非晶矽薄膜電晶體	4
1.6 複晶矽薄膜電晶體	4
1.7 低溫複晶矽結晶方法	5
1.7.1 固相結晶法(SPC, Solid Phase Crystallization)	5
1.7.2 雷射結晶法(Laser Crystallization)	6
1.7.3 金屬誘發 / 金屬誘發側向結晶(MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)	7
1.8 電性影響因素	12
1.8.1 晶界能障	12
1.8.2 晶界處的載子陷阱(carrier traps at grain boundary)	13
1.8.3 雜質原子	14
1.9 電性改良方法	15
1.9.1 晶界鈍化 (Grain-boundary passivation)	15
1.9.2 後退火(post-annealing)	15
1.9.3 電漿鈍化 (Plasma Passivation)	15
1.9.4 捉聚(Gettering)	16
1.10 實驗動機	17
第二章 垂直結構之研究	18

2.1.	簡介	18
2.2.	實驗步驟	19
2.2.1	非晶矽基板製備	19
2.2.2	垂直結構之實驗方法	20
2.2.3	添加硬遮蔽物試片之目的	20
2.2.3.1	添加SiO ₂ 硬遮蔽物(hard mask)試片之製作	20
2.2.3.2	添加WSix硬遮蔽物(hard mask)試片之製作	20
2.3.	結果與討論	21
2.3.1	調整蝕刻的速度和選擇比	21
2.3.2	增加硬遮蔽物(Hard mask)	23
2.3.3	金屬誘發結晶製作方式	24
2.3.4	垂直結構之SEM觀察	25
2.4.	結論	26
第三章 垂直雙通道結構應用於低溫複晶矽薄膜電晶體之研究		27
3.1.	簡介	27
3.1.1.	雙通道薄膜電晶體	27
3.1.2.	研究動機	28
3.2.	實驗步驟	28
3.2.1.	垂直雙通道結構試片之製作	28
3.2.2.	元件測量方法	30
3.2.2.1	載子移動率(Mobility)	30
3.2.2.2	臨界電壓(Threshold Voltage)	31
3.2.2.3	次臨界擺幅(Subthreshold slope,Swing)	31
3.2.2.4	開關電流比(on/off Ratio)	32
3.2.2.5	崩潰電壓(Breakdown Voltage)	33
3.3.	結果與討論	34
3.3.1.	垂直結構薄膜電晶體之電性結果	34
3.3.2.	薄膜電晶體之漏電流探討	35
3.3.3.	傳統結構與垂直結構之薄膜電晶體元件特性比較	36
3.4.	結論	38
第四章 總結		39
第五章 參考文獻		40

表目錄

第一章

表 1- 1、準分子雷射氣體及其波長[5].....7

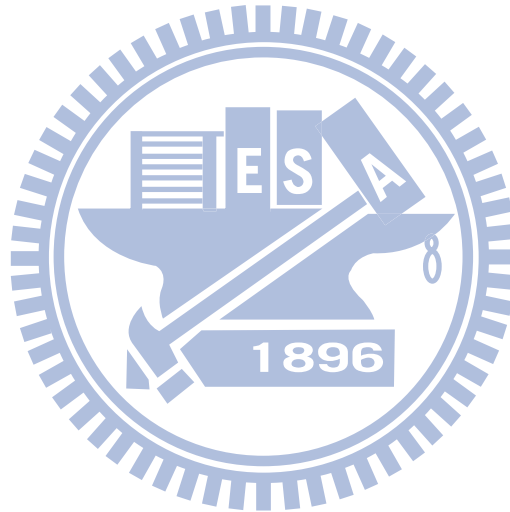
第二章

表 2- 1、RCA clean[3].....19

第三章

表 3- 1、元件電性之比較表.....34

表 3- 2、傳統結構[43]與垂直結構薄膜電晶體元件電性之比較表.....37



圖目錄

第一章

圖 1- 1、液晶顯示器元件關閉，液晶平行(不透光)[2].....	2
圖 1- 2、液晶顯示器元件開啟，液晶垂直(透光)[2].....	2
圖 1- 3、電晶體示意圖。.....	4
圖 1- 4、非晶矽和複晶矽的開口率比較[3].....	5
圖 1- 5、Ni-Si反應自由能圖[12].....	8
圖 1- 6、c-Si在NiSi ₂ /a-Si介面形成的結晶成長機制[3].....	8
圖 1- 7、Si與NiSi ₂ 晶體結構[3].....	9
圖 1- 8、鍍金屬薄膜對應不同溫度下之矽化物相[14].....	10
圖 1- 9、MILC成長機制[5].....	11
圖 1- 10、MILC的優選成長方向[15].....	11
圖 1- 11、(a) 晶粒與晶界示意圖 (b) 當電荷被晶界所陷阱時，會在晶界周圍形成空乏區域來補償被晶界所陷阱的電荷(c) 形成能障會使電荷空乏區造成能帶彎曲[17].....	12
圖 1- 12、被固定的自由載子在晶界處的陷阱位置 N_t ，是在晶粒中的置換型摻雜原子所貢獻(每單位面積的能量不超過能隙 (bandgap) [20].....	13
圖 1- 13、陷阱(traps)主要集中在晶界區域，而在晶粒中的缺陷會產生許多態位。其中淺拖曳態位(shallow tail state)與應變鍵(strained bonds)有強相關，而斷鍵(broken bonds)造成的是中間[20].....	14
圖 1- 14、複晶矽與磊晶矽阻值與雜質濃度關係圖[21].....	14
圖 1- 15、(1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚法(Chemical Gettering)[37].....	16

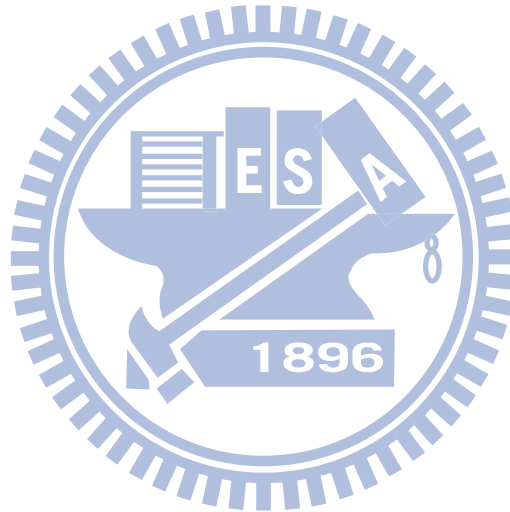
第二章

圖 2- 1、模擬圖和實驗結果之部面圖.....	18
圖 2- 2、兩層結構：上層(光阻)和下層(Oxide).....	21
圖 2- 3、第一步驟：調整六氟化硫(SF ₆ , sulfur(VI) fluoride)的百分比來增加蝕刻速度.....	22
圖 2- 4、第二步驟：調整溴化氫氣(HBr, Hydrogen Bromide)的百分比來減少蝕刻選擇比.....	22
圖 2- 5、參層結構：上層(光阻)、中層(Oxide)和下層(Gate).....	23

圖 2- 6、參層結構：上層(光阻)、中層(WSix)和下層(Gate).....	23
圖 2- 7、鎳在複晶矽薄膜中之SIMS縱深成份分析和電性量測[40]....	24
圖 2- 8、溫度 510、540、570 和 600°C 在不同時間所對應誘發結晶 的長度	25
圖 2- 9、Cross section of vertical channel	25

第三章

圖 3- 1、Vertical channel structure 示意圖 [38].....	27
圖 3- 2、薄膜電晶體元件製作流程圖.....	29
圖 3- 3、漏電流機制示意圖[21].....	33
圖 3- 4、Id-Vg curve.....	34
圖 3- 5、垂直雙通道薄膜電晶體和傳統薄膜電晶體示意圖.....	36
圖 3- 6、傳統薄膜電晶體(TFT)Id-Vg cure [43].....	36



第一章 序論

1.1 顯示器發展演進

傳統的陰極射線管顯示器 (CRT, Cathode Ray Tube) 的發明，帶來了人類不同視野的感觸，CRT 俗稱映像管，又稱布郎管，顯示系統的原理是利用陰極電子槍發射電子源在偏轉磁場的作用下，同時和陽極高壓的作用下射向螢光屏，使螢光粉反應而產生發光，掃描方式是以上下左右移動產生畫面。在彩色 CRT 顯示方面也是利用紅、綠和藍色三支電子槍發射電子到螢幕玻璃表面上使磷化物上來顯示顏色色彩[1]；而 CRT 最大的缺點是體積大、重量重及高輻射等等，隨著時代的進步顯示器慢慢的發展到輕、薄、短、小，CRT 漸漸被重量輕、厚度薄、體積小、省電及不閃爍、沒輻射的平面顯示器所取代，平面顯示器可大略分類為液晶顯示器 (LCD, Liquid Crystal Displays)、發光二極體 (LED, Light Emitting Diode)、電漿電視 (PDP, Plasma displays) 以及其他顯示器，以目前平面顯示技術中，又以液晶顯示器的技術發展最純熟且普及化，在價格上也相對的便宜，液晶顯示器應用的領域寬廣，從 ipad(平板電腦)、iphone(手機)、PDA、數位相機、筆記型電腦，到高解析視訊電視(Full HD TV) 等等。

液晶是奧地利植物學家 F.Reinitzer 早在 1888 年發現的一種物質，它的特徵是在常態下是處於固態和液態之間；它的特性是具有固態物質和液態物質的兩相的雙重特性，因而稱之為液態的晶體(Liquid Crystal) 然而液晶的組成成份是一種有機化合物。後來在 1963 年時，美國無線電公司(RCA)發現了液晶分子會受到電場的影響而產生偏轉的現象(稱為極化反轉)和光線射入到液晶中會產生折射，由於液晶擁有特殊極化反轉之性質。才開啟了液晶多方面的研究和應用，也逐漸帶動液晶顯示器產業的發展[2]。

1.2 液晶顯示器原理

液晶顯示器(LCD)主要的基本架構有電晶體矩形陣列(Array Thin-Film Transistor)、液晶顯示單元體(Cell Liquid Crystal)及產品模組(Module)。液晶高分子材料具有特殊之光學異方向性質再配合薄膜電晶體(TFT, Thin-Film Transistor)和背光源，利用在不同的外加電場下之電場效應，來驅使液晶朝向特定方向排列，造成光線穿透液晶層時，不同方式排列之角度變化，來改變光的明暗度。

以目前液晶顯示器主流扭轉向列型 (TN, Twisted Nematic) 液晶高分子材料來說明，TN-LCD 的最大特點，就是液晶分子從最上層到最下層的排列方向是呈 90 度的螺旋狀，TN 的出現奠定了現今 LCD 發展的主要方式之一。TN-LCD 基本構

造之關鍵零組件包括玻璃基板(glass substance)、彩色濾光片(color filter)、偏光片(Polarizer)、ITO 導電薄膜(conductive film of Indium Tin oxide)、驅動 IC(source and gate driver)、配向膜(Polyamide)、背光模組(Backlight)、補償片(Compensation film)、TN 液晶高分子材料等等材料。

是以兩塊導電玻璃基板中填滿 TN-液晶高分子材料，其中配向膜是在玻璃基板的表面上作成 Polyamide 薄膜，並在薄膜上作特定方向摩擦 (Rubbing); Rubbing 是用尼龍(nylon)所作成的轉輪(roll)，也就是刷毛，在配向膜上面磨擦作特定方向而使得配向膜並產生細微的細溝紋，使得液晶分子可以依細溝紋的方向來控制液晶之排列方向和預傾角(Pretilt angle)。當背光源的光線照在偏光板上，光線在穿過偏光(Polarizer)板後，可將一般不具有偏極性的光線，會被偏極化(也就是控制光線之偏振方向之特性都會相同)而轉變成偏極光，當偏極光線會穿過液晶時，因為液晶高分子的排列方式被外加電場下之電場效應產生，因此液晶可以改變偏光的角度，不同的偏光角度會造成不同的光線強度，不同光線強度再經由彩色濾光片的紅、藍、綠(R、G、B)三個次畫素，就會顯示出各種不同的亮暗度和不同顏色變化之次畫素，最後再經由各個次畫素組成形成各種影像和圖形[2](如圖 1-1 和圖 1-2 所示)。

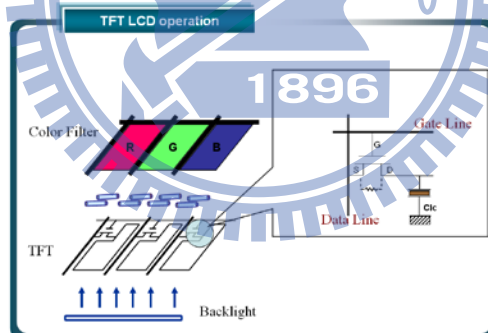


圖 1- 1、液晶顯示器元件關閉，液晶平行(不透光)[2]

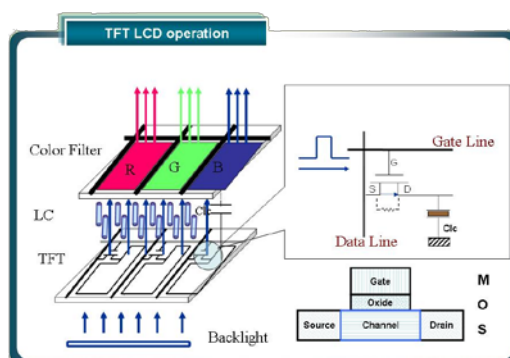


圖 1- 2、液晶顯示器元件開啟，液晶垂直(透光)[2]

1.3 液晶顯示器驅動方式

目前液晶顯示器之驅動方式可分為二種：分別為被動式驅動和主動式驅動技術。TN 與 STN 是被動式方式驅動，由液晶高分子和電極所組成，以多工方式來驅動，在上下基板製作行列矩陣式的掃描電極和資料電極，將掃描訊號同步方式和外部電壓來驅動各畫素內的液晶來達到顯示對比作用。當畫面密度愈高時，相對掃描線數就愈多，驅動方式相對的複雜，會明顯降低顯示對比值。所以要使被動式驅動顯示器達到高解析度、高畫質與全彩的目標相對有很大的努力空間。

所以目前可利用主動矩陣的驅動方式來改善，以這種技術而言，可將薄膜電晶體作為開關元件來控制液晶高分子的旋轉角度，降低每個次畫素相互之間的影响，而且驅動方式較為簡單，可提升顯示器的畫質與解析度能力。然而利用薄膜電晶體(TFT)方式來驅動之液晶顯示器，而薄膜品質的好壞與電晶體的特性有很強相關，如漏電流(I_{off})、驅動電流(I_{on})、寄生電容(C_{gs})、臨界電壓(V_{th})與開關速率(I_{on}/I_{off} ratio)等等。所以如何製造出高品質的薄膜電晶體是設計元件重點之一[2]。

以薄膜電晶體(TFT)可分為非晶矽薄膜電晶體(Amorphous silicon, a-Si:H)與複晶矽薄膜電晶體(Polysilicon)兩種類型，以下會就兩種薄膜電晶體來做詳細的介紹。

1.4 薄膜電晶體

薄膜電晶體(TFT)的功能就好像是一個開關器(Switch)，基本組成有一個閘極(Gate)、一個源極(Source)和一個汲極(Drain)，而在汲/源極區域之間和半導體層(Amorphous silicon and Poly silicon)與閘極電極之間相隔著一個閘極絕緣層，當施加的閘極電壓的通道感應出反轉層，會在半導體層中吸引成電子通道，使汲/源極區域之間形成導通，來作開關裝置；形成源極和汲極區域其方法有二種；方法一，在半導體層的兩端加入降電阻層(ohmic contact layer)如 n+(n type)用來形成汲/源極區域；方法二用自我對準(self-aligned)植入離子技術來形成汲/源極區域。電晶體「開啟」的操作狀態為汲極施加電壓，需大過啟始電壓 (V_{th} , Threshold voltage) V_{th} 為感應出載子所需最小電壓，使大量電子經由源極流向汲極。反之「關閉」狀態的操作狀態為當閘極施加負電壓時，會將半導體層之電子排除而吸引電洞形成阻絕效果而無法導通。TFT LCD 利用 gate driver 使閘極電壓打開與關閉的特點使得每一個次畫素(Sub pixel)可以獨立顯示運作；以全彩的顯示器而言，一個主畫素(Main pixel)包含有三個 R、G、B sub pixel 之組成。

1.5 非晶矽薄膜電晶體

就目前的 TFT LCD 所使用的薄膜電晶體中，大部分都是利用低溫非晶矽 (Amorphous silicon, a-Si:H) 所製成的(如圖 1-3 所示);若要製作高品質的薄膜電晶體，就非晶矽材料方面，其材質為含有大量氫的非晶矽層(a-Si:H)，製程操作溫度約在 350°C 以下，然而薄膜材料會產生大量的缺陷，稱之懸浮鍵(Dangling bond)，利用較小氫原子使原子容易穿入矽原子間的空隙和大部分的懸浮鍵修補，減少缺陷密度，來加以改善元件之特性。

非晶矽 TFT 之缺點，如材料本質的電子遷移率較低(和複晶矽 TFT 相比較而言)，電子遷移率接近 $1\text{cm}^2/\text{V}\cdot\text{s}$ ，使其驅動電流較小，為了提高驅動電流(Ion)，就必須將 TFT 的通道寬度(Width)作大，相對的元件尺寸也會變大和減少面板的開口率而降低亮度率。因驅動電流不足，所以非晶矽薄膜電晶體通常只有用在畫素的開關元件和閘極驅動電路 IC (gate drive IC)，無法製作源極驅動電路 IC (Source drive IC)。為了改善非晶矽薄膜電晶體的缺點，因而發展出複晶矽 (Polysilicon) 薄膜電晶體。

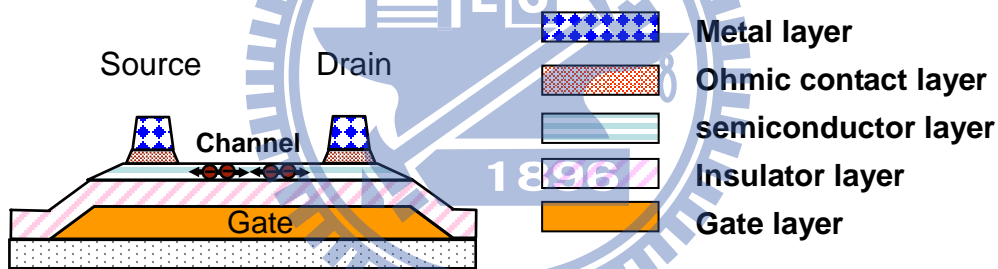


圖 1- 3、電晶體示意圖。

1.6 複晶矽薄膜電晶體

複晶矽薄膜電晶體(p-si TFT)與非晶矽薄膜電晶體(a-si TFT)之差異，在於主動層(通道)是將非晶矽材料置換成複晶矽材料，簡言之，複晶矽是以原子規則性的排列形成 poly-grain 所組成的半導體材料，因晶界(Grain Boundary)少，能障低，移動率(mobility)相對提高;反之非晶矽之原子以不規則性排列形成的半導體材料，能障高，移動率(mobility)低;所以使用複晶矽材料可以電晶體的驅動能力提升。複晶矽薄膜製作方式一般分為兩種，直接沉積複晶矽 (As-deposited) 和非晶矽退火 (Annealing) 使原子重排列形成 Polysilicon 之方式。第一種複晶矽製作方式是直接沉積複晶矽 (As-deposited)，一般直接沉積複晶矽的製程溫度須在 625°C 以上，相對高於玻璃基板轉化溫度(Tg, Glass

transition temperature)620°C，就直接沉積複晶矽材料的內部特性來看，晶粒(Grain)小，能障高，缺陷(Defect)多例如像不完整的懸浮鍵(Dangling bond)，製作的薄膜電晶體特性較差；直接沉積複晶矽不適合應用於玻璃基板上。第二種再結晶型複晶矽製作方式是利用低壓化學氣相沉積法(LPCVD, Low Press Chemical Vapor Deposition)、或濺鍍(Sputtering)的方式來沉積非晶矽薄膜，再用熱處理方式使非晶矽再結晶形成複晶矽薄膜材料。複晶矽薄膜電晶體的優點，有高載子移動移(mobility)的特性可縮小畫素的尺寸來增加透光區域面積，而達到高開口率和高解析度。在適用整合週邊驅動電路、控制電路在相同的玻璃基板上稱為系統化，可降少驅動 IC 降低少了 LCM 使用零組件的數目且可降斷線之風險，提高顯示器的品質(如圖 1-4 所示)[3]。

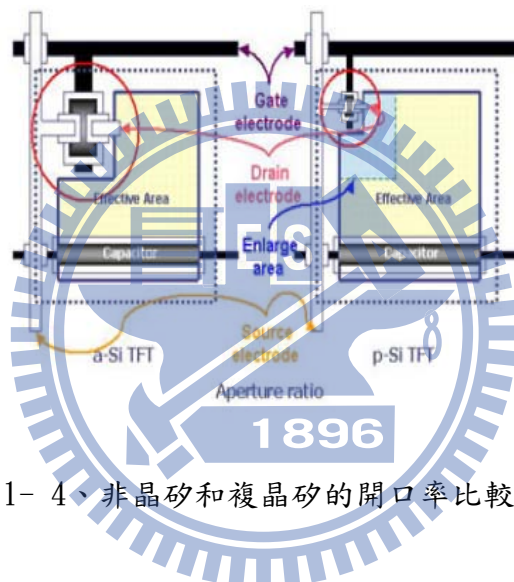


圖 1- 4、非晶矽和複晶矽的開口率比較[3]

再結晶型複晶矽薄膜製作技術主要分為三大類：固相結晶法(SPC, Solid Phase Crystallization)、雷射結晶法(Laser Crystallization)及金屬誘發/金屬誘發側向結晶法(MIC, Metal Induced Crystallization / MILC, Metal Induced Lateral Crystallization)，以下就所提到的主要的結晶方法作個說明。

1.7 低溫複晶矽結晶方法

1.7.1 固相結晶法(SPC, Solid Phase Crystallization)

固相結晶法製作的方法是將爐管中置入非晶矽薄膜再進行 600°C 約 24~72 小時的退火，時間的長短如退火的時間成正比。其優點是均勻性佳和機台設備相對的比雷射結晶法(Laser Crystallization)便宜，成本低。而缺點是需要長時

間的高溫結晶條件下形成結晶薄膜，且需使用熔點較高的石英玻璃基板，在基板成本上相對的提高。

固相結晶的製作過程包括有二個步驟，分別為先成核(Nucleation)和後成長(Growth)的二個步驟。在成核步驟上又可分為均質成核(Homogeneous)和異質成核(Heterogeneous)。就固相結晶法的製作方面來看，由於非晶矽裡較容易含有缺陷，而缺陷會造成自由能較高，會較容易吸附溶質原子而造成原子聚集後形成異質成核再進行成長；在其它部分固相結晶的成核是以均質成核形成再進行成長。以一般的固相結晶法退火所形成的晶粒較小，晶粒缺陷多，應用在薄膜電晶體特性需要大幅的改善[4]。

1.7.2. 雷射結晶法(Laser Crystallization)

雷射結晶法製作複晶矽薄膜的操作溫度通常低於 450°C，主要是以準分子雷射光源作為熱源，雷射光源作經過投射系統與光學鏡片的組成，會產生高能量且均勻分布的細長型雷射光束，然後再投射於非晶矽薄膜的玻璃基板上，當非晶矽被準分子雷射光束的能量所熔融後，會形成複晶矽薄膜，而操作溫度之過程在 450°C 以下所形成，可用於一般玻璃基板上。

其複晶矽薄膜的特性可應用於顯示面板上的距陣(Array)上每一個 Sub-pixel 的 TFT 開關元件上及及周邊驅動 IC。準分子雷射是一種紫外光範圍的高輸出脈衝式振盪雷射槍 (high-output pulsed lasers)，其雷射光束大和脈衝時間短，且雷射能量的密度與穩定性都會影響到複晶矽的品質。雷射結晶法的優點加熱時間短，結晶的晶粒缺陷少，品質較佳；缺點雷射設備成本高，材料的結晶均勻性不佳，所以在面積的玻璃基板的製作上需持續的改進，因高速熔融後會在兩個晶粒交界處隆起，導致表面粗糙，電子遷移率(Mobility)下降，而影響元件性能。要好的結晶要將雷射掃描 20 次左右或以上，目前要提高生產效率，採用多路雷射同時掃描或矩形光束的方法，使雷射光束能量均勻集中形成一個矩形光束。要選擇準分子雷射器的進行掃描基板，目前常用的準分子雷射器之氣體及其波長如表(1-1)所示。而 XeCl 準分子雷射器具有較佳的特性；如氣體穩定性和發射波長在 308nm 處而非晶矽薄膜在這種波長上具有高吸收係數($\sim 10^6 \text{ cm}^{-1}$)的優點[5]。所以目前大多廠商都採用 XeCl 準分子雷射器來進行生產複晶矽薄膜。

Laser gas	F ₂	ArF	KrCl	KrF	XeCl	XeF
λ (nm)	157	193	222	248	308	351

表 1- 1、準分子雷射氣體及其波長[5]

1.7.3 金屬誘發 / 金屬誘發側向結晶(MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)

矽結晶可以被少量的特定金屬誘發結晶成長是在 1963 年被 Wagner 和 Ellis 發現[6]。可依照不同誘發結晶成長的方式有兩大類，第一種是特定金屬與矽產生共晶反應(例如：Al[6]、Au[7]等)，在一般材料特性上，由於共晶點的溫度會比單相結晶的溫度低，故會在低溫下產生結晶。就 Al 為例，M. S. Haque[6]有在研究中明確的指出 Al 與 Si 的共晶溫度約在 577°C 左右，實際上在 200°C 左右慢慢地開始和 a-Si 層反應產生少量的結晶相。金屬反應時的內擴散，同時會使 a-Si 結晶化和 Si 層轉變成 p 型(因金屬摻雜的關係反應形成)。

第二種是是利用金屬與矽反應成介穩定(Metastable)的低溫結晶矽化物方式(例如：Ni[8][9]、Pd[9], [10]等)在反應的矽化物移動過程中，Si-Si 共價鍵的介面處會和金屬原子的自由電子發生反應，降低 a-Si 結晶之間的能障(Energy Barrier)因而降低結晶溫度，目前常用的金屬為 Ni，其反應機制和金屬誘發結晶的過程被研究最完善。Ni 會先與 Si 反應成多種矽化生成物[11]，最靠近 a-Si 區域會已飽和的 Si 產生 NiSi₂。由圖 1-5 的 Ni-Si 反應自由能圖[12]中可得知，在 NiSi₂ 的飽和區 Ni 原子中的 NiSi₂ 與 a-Si 介面會比在 NiSi₂ 與 c-Si 介面處的自由能低，因自由能差會高能量往低能量移動，故會使 Ni 原子往 a-Si 層移動；從另一方面來看，在 NiSi₂ 的飽和區 Si 原子中的 NiSi₂ 與 c-Si 介面比 NiSi₂ 與 a-Si 介面處的自由能低，故會驅使 Si 原子往 c-Si 的方向擴散。使得 NiSi₂ 會往 a-Si 持續的延伸且經過之處會形成 Si 結晶。由 Hayzelden 在 1993 年所提出的分裂機制，第一步驟會在 NiSi₂ 上形成 c-Si 結晶核，第二步驟 Si 會往 c-Si/NiSi₂ 的介面移動，因而導致誘發結晶，如圖 1.6(a)所示，第三步驟在 NiSi₂ 的領導端(leading edge)處會先形成結晶(c-Si)核，接著為了降低 Ni 在 NiSi₂/c-Si 介面處的化學位 (Chemical Potential) 而 Ni 原子會往 NiSi₂/a-Si 之介面處擴散，造成 NiSi₂ 的移動，同時形成新的 NiSi₂/c-Si 介面處，如圖 1.6(b)所示，一直重複此過程，而得到針狀或柱狀的誘發結晶，如圖 1.6(c)所示。

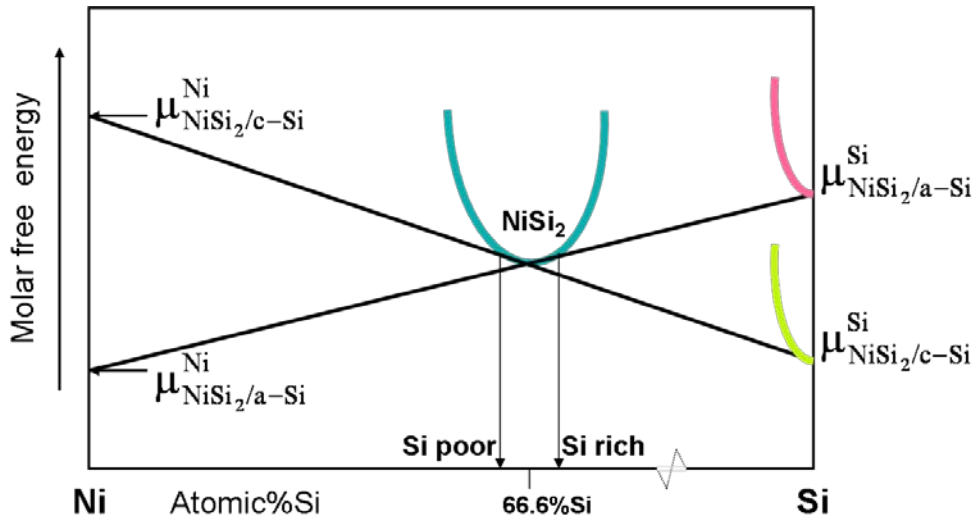


圖 1- 5、Ni-Si 反應自由能圖[12]

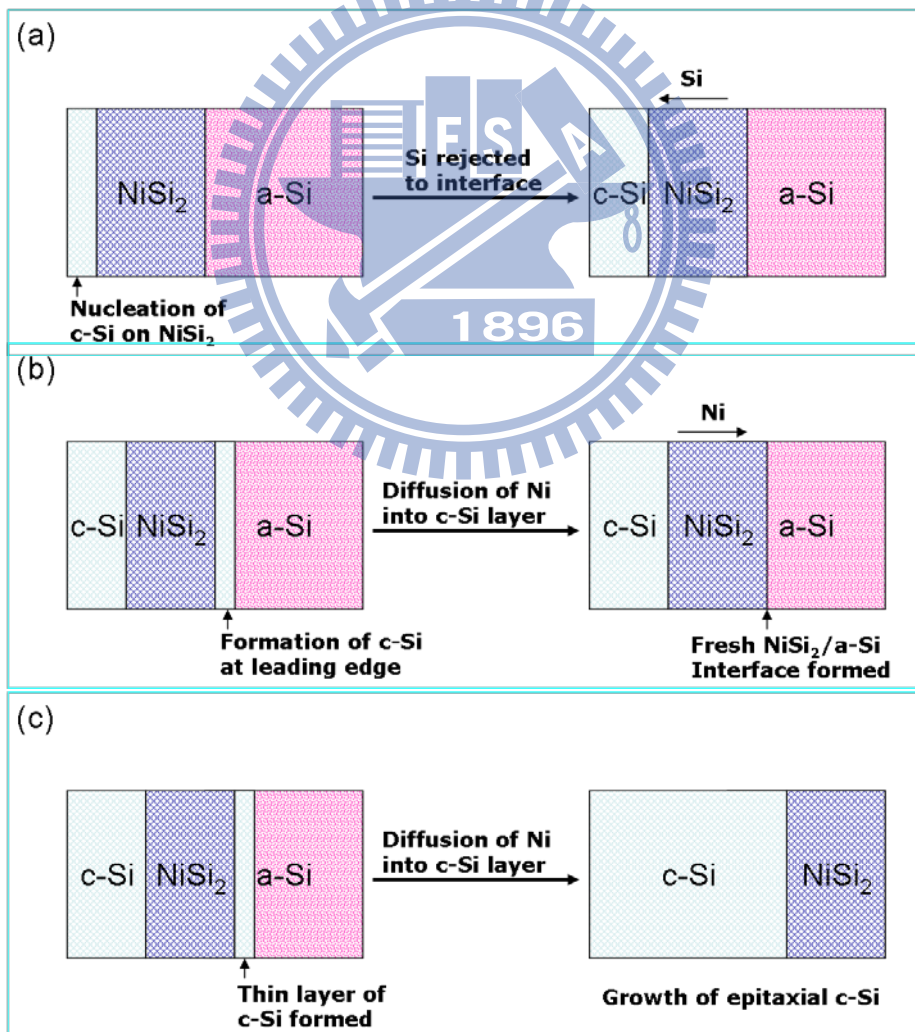


圖 1- 6、c-Si 在 NiSi₂/a-Si 介面形成的結晶成長機制[3]

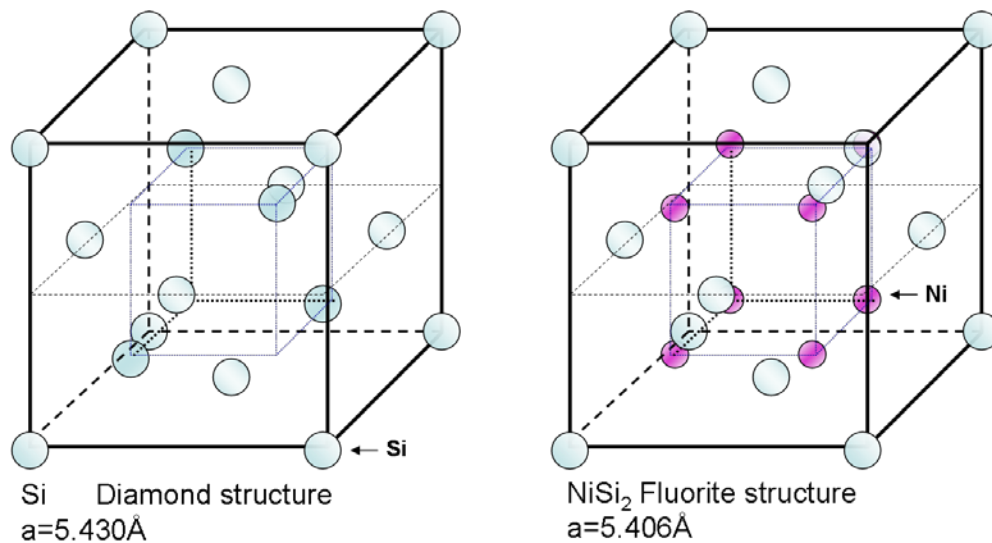


圖 1- 7、Si 與 NiSi₂ 晶體結構[3]

圖 1-7 為 NiSi₂ 與 Si 的晶體結構所示。NiSi₂ 屬於螢石(Fluorite)結構材料、晶格常數為 5.406Å；而 Si 為鑽石(Diamond)結構材料、晶格常數為 5.430Å，當兩種不同的晶格常數所產生的晶格不匹配(Lattice Mismatch)只有 0.44%。以目前的金屬矽化物中 NiSi₂ 和矽材料是最雷同的結構及最相近的晶格常數，所以在學術研究上，經常被做為誘發結晶的核。本實驗研究，將以 Ni 為誘發結晶的金屬來做探討。

Ni 的特色之一，就是在非晶矽或結晶材料中都屬於快速擴散源，

主要的反應機制是藉著間隙式擴散(Interstitial Diffusion)方式所造成快速擴散。在此反應機制中，擴散係數(D)會遵守 Arrhenius 方程式：

$$D_i = D_{i,0} \exp\left(\frac{-H_i^M}{KT}\right) \quad (1)$$

其方程式中 H_i^M 為焓的變化量，T 為溫度， $D_{i,0}$ 為指數係數關係。就 Ni 方面來探討，a-Si 中的擴散係數約是 $3 \times 10^3 \exp[-1.3(\text{ev})/KT]$ cm²/s[8]，是在 c-Si 擴散中的十萬分之一，可以從式(1)中得到縮減的量，而在 a-Si 中主要是阻礙間隙濃度大，在低溫下的間隙擴散具有較高的焓的關係式。

$$D_{Ni}(a-Si) = D_{Ni}(a-Si) / \left[1 + \alpha C^t \exp\left(\frac{H_{Ni}^B}{KT}\right)\right] \quad (2)$$

其方程式中 $\alpha = Z_{Ni}(\theta^0 / \theta^*) \exp(S_{Ni}^B / KT)$ ， C^t 為被阻礙原子的比例、 $H^B(S^B)$ 為焓 Z_{Ni} 阻礙空隙數和 θ 代表被佔據的空隙比例。

在 Ni-Si 複合材料的反應中，主要的驅動方式是藉由 Ni 原子的擴散。在飽合矽成分相中，約 200°C 的時候會開始產生 δ -Ni₂Si 成分。再將退火溫度提高，約在 350°C 時，Ni₂Si 會逐漸被 NiSi 成分相所取而代。約在 750°C 左右才會慢慢形成 NiSi₂ 成分。形成 NiSi₂ 的驅動方式是要在高溫下，由成核機制所控制形成的。而退火的過程中，Ni 原子會先反應形成 NiSi 的介穩定相結構[11][13]，再由 NiSi 與 Si 反應形成 NiSi₂。在 Si 與 NiSi 的反應機制中的 a-Si 與 NiSi 反應機制所形成 NiSi₂ 是屬於擴散控制，實驗資料顯示約在 350°C 左右就可以形成 NiSi₂；而在高溫下的 NiSi 與 c-Si 反應機制所形成 NiSi₂ 則是屬於成核控制。以金屬誘發研究成長機制來觀察，Ni 來當誘發結晶，可以低溫來形成 NiSi₂。圖 1-8(a)(b) 資料所示在非晶矽與複晶矽中所對應不同溫度下和鎳金屬薄膜材料，形成的矽化物相[14]。

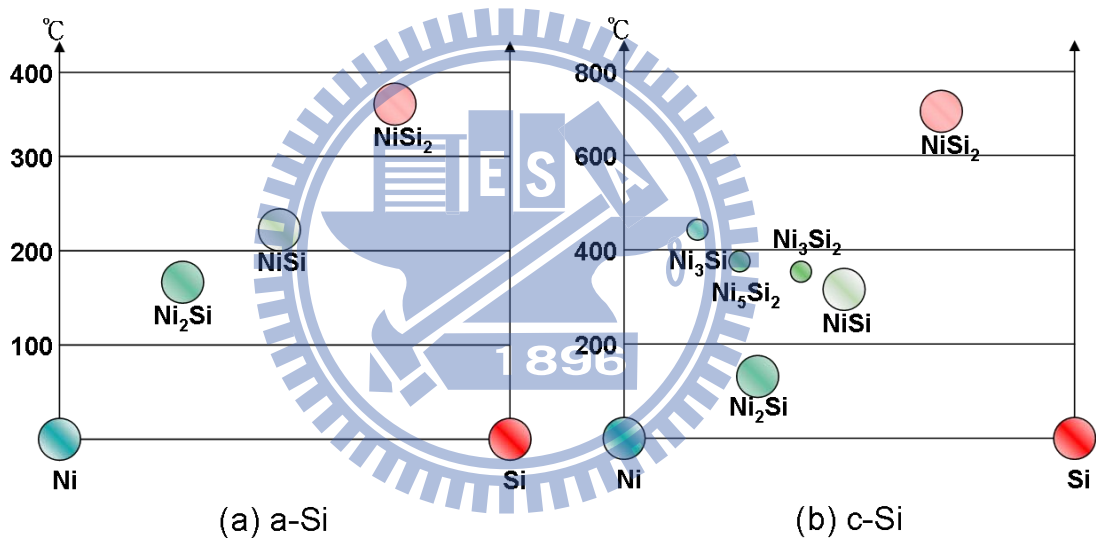


圖 1- 8、鎳金屬薄膜對應不同溫度下之矽化物相[14]

如圖 1-9 MILC 的成長機制所示，簡單分為四步驟，第一步驟會利用黃光微影技術在非晶矽材料上面定義開口區再鍍上一層鎳金屬；第二步驟使用適當溫度退火約 350°C ~ 550°C 之間而形成一層 NiSi₂。第三步驟利用熱力學上的驅動力使 NiSi₂ 會向下移動，形成金屬誘發結晶 (MIC)，第四步驟 NiSi₂ 會移動形成至非晶矽底部直到基板的底部阻擋後，接著 NiSi₂ 則會向兩側的非晶矽材料移動，形成金屬誘發側向結晶 (MILC) 。

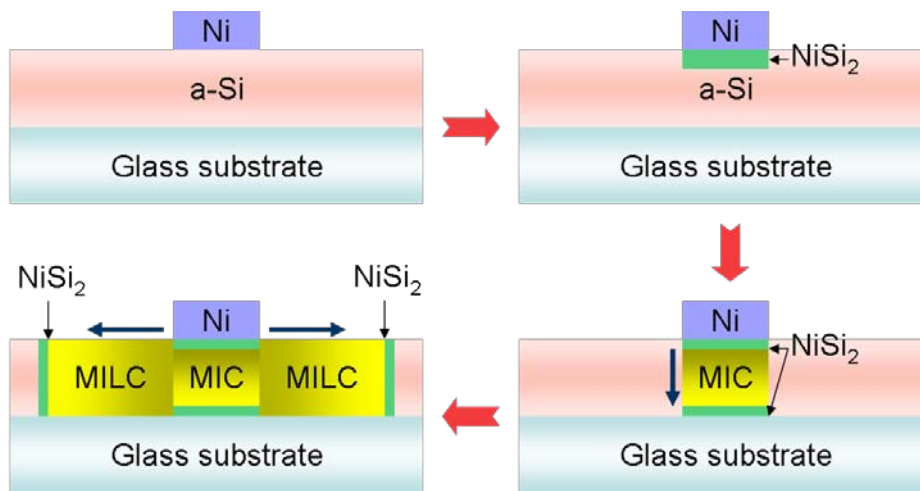


圖 1- 9、MILC 成長機制[5]

從 MILC 成長方向之選擇性來探討，平面的 NiSi_2 (111) 和 Si (111) 之晶格常數有 0.44% 的不匹配；所以形成磊晶時的 c-Si 在 $\text{NiSi}_2\{111\}$ 平面上，不會出現介面差排。在 MILC 形成的過程中，c-Si 的選擇方向為 $\{111\}$ [15]。圖 1-10 中所示，從平行薄膜的上下表面來看，將會平行於 $\langle 110 \rangle$ 軸向的 c-Si 八面體結構之四個 $\{111\}$ 方向。而從為 $\langle 100 \rangle$ 或 $\langle 111 \rangle$ 的軸向來看， $\{111\}$ 方向不會平行薄膜表面。故 c-Si 的成長機制會被薄膜表面上下所限制成長。當要使 c-Si 的成長有特定方向，要以優選軸向為 $\langle 110 \rangle$ 和優選成長方向為 $\langle 111 \rangle$ 。上述 MILC 的優選性使複晶矽有特定方向成長為 MILC 主要特色之一。

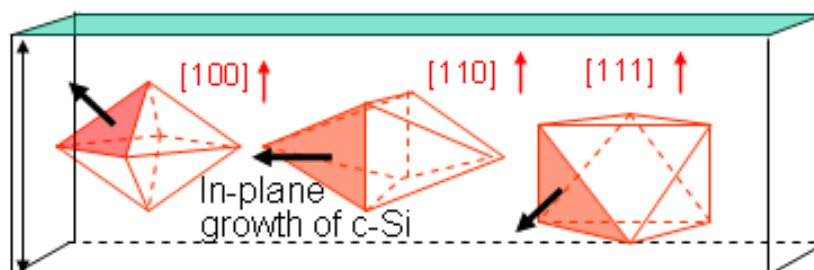


圖 1- 10、MILC 的優選成長方向[15]

1.8 電性影響因素

1.8.1 晶界能障

在基本載子陷阱(carrier traps)的理論模式中，當晶界與晶粒相比較，可假設晶界本身是狹窄的且是可當作摻雜物偏析及載子陷阱的位置，所以有晶界的地方會影響載子移動率，相對的會影響元件的開關率(I_{on}/I_{off} ratio)品質。如圖 1-11 所示，當電荷被晶界所陷阱時，會在晶界周圍形成空乏區域來補償被晶界所陷阱的電荷，根據 Poisson's equation，形成能障時，會使空乏區域的電荷造成能帶彎曲而阻礙主要載子在晶粒間移動[16]。

可用 Poisson's equation 表示如下方程式所示，能障高度 (V_B)、摻雜濃度 N 及空乏區寬度 x_d ：

$$\frac{d^2V}{dx^2} = \frac{qN}{\epsilon} \quad (3)$$

q : 一個電子的電荷大小

ϵ : 矽的介電常數

若只考慮一維的空間，解方程式得到 V_B

$$V_B = \frac{qN}{2\epsilon} x_d^2 \quad (4)$$

由 V_B 來解方程式，可以得知能障大小和陷阱密度、置換型雜質濃度及能量是有明顯的強相關。

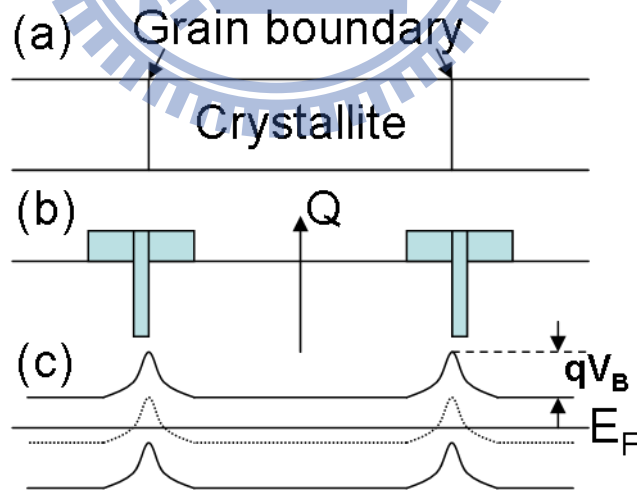


圖 1- 11、(a) 晶粒與晶界示意圖 (b) 當電荷被晶界所陷阱時，會在晶界周圍形成空乏區域來補償被晶界所陷阱的電荷(c) 形成能障會使電荷空乏區造成能帶彎曲[17]

1.8.2 晶界處的載子陷阱(carrier traps at grain boundary)

當給電場使電子傳導，而傳導的快慢會受載子的數目多寡所決定；在複晶矽中若要考慮自由載子的數目，要先從置換型的雜質濃度方面來思考，因偏析在晶界區域會造成雜質原子損失，而以相同材料的等相同摻雜濃度來比較，複晶矽會比單晶矽的電子傳導低，因為在單晶矽中的載子會由晶粒的置換型摻雜原子的關係會在價帶及導電帶之間，而在複晶矽的晶界區域中，許多自由載子會在低能量的晶界位置被陷阱(trap)，而無法跳躍到傳導帶[18],[19]，如圖 1-12 示意圖所示。

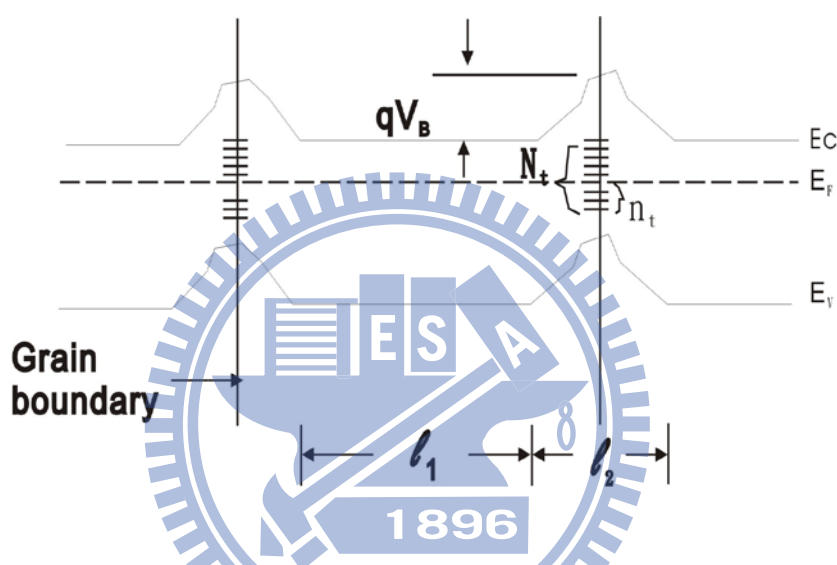


圖 1-12、被固定的自由載子在晶界處的陷阱位置 N_t ，是在晶粒中的置換型摻雜原子所貢獻(每單位面積的能量不超過能隙 (bandgap) [20]

在結晶中的晶界處的懸浮鍵 (dangling bonds) 以及晶粒中的缺陷會容易造成複晶矽中的允許的態位 (allowed state)，如圖 1-13 所示。而和懸浮鍵相關的深態位(deep state)，大約是禁止能隙 (forbidden energy gap) 一半的能量 [16]，在深態位中會影響載子傳輸的是允許載子產生(generation)與再結合(recombination)。而中間能隙(mid-gap)附近的深態位則是由斷鍵 (broken bonds) 造成，能帶邊的淺拖曳態位 (shallow tail state) 會在一個高密度區產生應變鍵 (strained bonds) 而這些態位的發生都會捕捉載子，造成載子傳導率下降的主因。

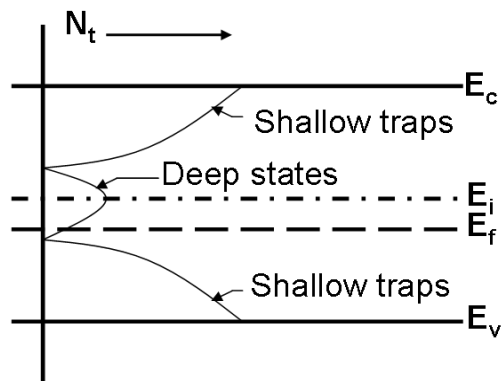


圖 1- 13、陷阱(traps)主要集中在晶界區域，而在晶粒中的缺陷會產生許多態位。其中淺拖曳態位(shallow tail state)與應變鍵(strained bonds)有強相關，而斷鍵(broken bonds)造成的是中間[20]

1.8.3 雜質原子

控制複晶矽的薄膜阻值是關鍵，和單晶矽或磊晶矽的相同雜質原子濃度材料與複晶矽的阻值比，複晶矽的阻值相對的大許多，如圖 1-14 所示。由圖 1-14 中所示，在低雜質濃度($10^{15}/\text{cm}^3$)時，雜質濃度增加對複晶矽的阻值改變不大，阻值維持約在 $10^5 \Omega\text{-cm}$ 中間，在相同雜質濃度的單晶矽，阻值相對的小於複晶矽阻值約 6 個等級。在約中等雜質濃度時會使複晶矽阻值下降且接近單晶矽的阻值，缺點變動範圍較大，會造成品質不均勻的元件，故製作 TFT 元件時會在低雜質濃度下來製作。值得注意的是雜質濃度要在適當，低雜質濃度範圍過低會造成活化時間較長及阻值過高的影響等等。

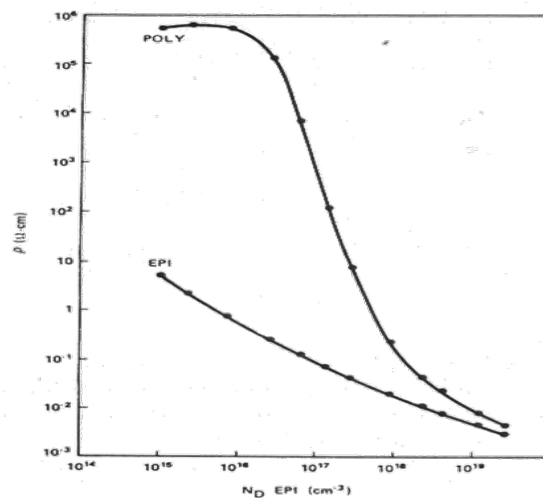


圖 1- 14、複晶矽與磊晶矽阻值與雜質濃度關係圖[21]

1.9 電性改良方法

晶界中的陷阱位置會減損複晶矽薄膜元件的電性，改善方式可以減少晶界中有效的陷阱密度，來提高複晶矽元件電性之穩定性。以下描述將試著在晶界中減少有效的陷阱位置和晶界的數量來說明。

1.9.1 晶界鈍化 (Grain-boundary passivation)

降低陷阱載子，可利用缺陷被鈍化，使禁止能隙的態位不會被活化。晶界中的懸浮鍵(Dangling bonds)的形成是由不同方向的晶粒和晶粒的連接不連續所引起的不完整晶格排列而形成了許多的陷阱位置。在 Si/SiO₂ 界面的懸浮鍵，一般常使用 H 原子來作修復鈍化，目的是要減少晶界中的有效陷阱數目，因而減少晶界的能障[22]。一般常使用電漿(plasma)中的 H₂、N₂O 及 H₂/N₂ 混和型電漿[23][24]來進行晶界鈍化改善元件特性。根據文獻[24]報導，H₂/N₂ 混和型電漿鈍化效果優於只有一種 H₂ 電漿。在 H₂/N₂ 混和型電漿中，其優點有氮離子 (N⁺) 有鈍化效果外，同時會增加原子間的撞擊機會來提高鈍化的離子數目和減少熱載子(hot carrier)的影響，提高高的崩潰電壓和降低漏電流[25],[26]。

1.9.2 後退火(post-annealing)

晶界可假設為能障，晶界的多寡將會阻礙載子移動的大小，所以如何減少晶界的數量和晶粒內缺陷來改善 TFT 元件特性一直是研究的方向。目前利用後退火[27][28]來減少晶界及消除晶粒缺陷的方式有高溫退火和 ELA 等等，高溫退火就是非晶矽膜結晶完後，再利用高溫退火的方式使晶粒成核成長，而 ELA 就是非晶矽膜結晶完後，再利用準分子雷射退火的方式進行結晶，得到的複晶尺寸較大，晶粒的缺陷較少，因而改善複晶矽薄膜的品質。

1.9.3 電漿鈍化 (Plasma Passivation)

在晶界中的懸浮鍵的產生，主要是由於不同方向晶粒的連接點之間晶格排列不連續所產生，懸浮鍵的形成因而產生捕陷位置，在一般業界通常用 H 原子將懸浮鍵修補和鈍化 Si/SiO₂ 界面的捕陷，也就是將晶界中的懸浮鍵鈍化

由於缺陷被鈍化所以禁止能隙的態位不會被活化，因此不會再捕陷載子。晶界中的懸鍵的形成是由於不同指向的晶粒的接和點的晶格排列不連續所引起的，因而這些懸鍵形成了很多的捕陷位置來減少晶界中的有效捕

陷數目。根據文獻中指出，當捕陷載子數目減少相對的晶界能障也跟著減少[29]，一般進行晶界鈍化改善元件可利用電漿(Plasma)，電漿可用 H_2 、 N_2O 及 H_2/N_2 混和型電漿[30]-[32]，根據文獻中[32]指出混和型 H_2/N_2 電漿會比 H_2 電漿來進行鈍化效果更好，主要原因是氮離子 (N^+) 也有鈍化作用外，還會降低平均自由路徑，增加原子間的撞擊機會而提高鈍化離子數目的效果。在學術上的研究，有明確的指出， NH_3 電漿來進行鈍化效果會比 H_2 電漿的穩定性佳及降低漏電流及提高崩潰電壓[33][34]。

1.9.4 捉聚(Gettering)

金屬雜質原子，一直是漏電流主要的來源，為了降低金屬雜質原子在元件上的電性傷害，捉聚(Gettering)方式也是研究方向之一，捉聚(Gettering)方式可將雜質原子移除和降低；根據文獻中指出捉聚方法機制可分成五類[35]：第一類分為金屬矽化物析出(Metal-Silicide Precipitation)，第二類分為偏析(Segregation into Second Phases)，第三類分為缺陷補陷(Atomic Trapping by Defects)，第四類分為摻雜原子作用(Interaction with Electronic Dopants)，第五類分為磷擴散捉聚與非平衡過程(Phosphorus-Diffusion Gettering and Nonequilibrium Processes)。從捉聚的技術來分類有下列三種：內部捉聚法(Internal Gettering)、化學捉聚法(Chemical Gettering)，以及外部捉聚法(External gettering)[36]，如圖 1-15 所示。

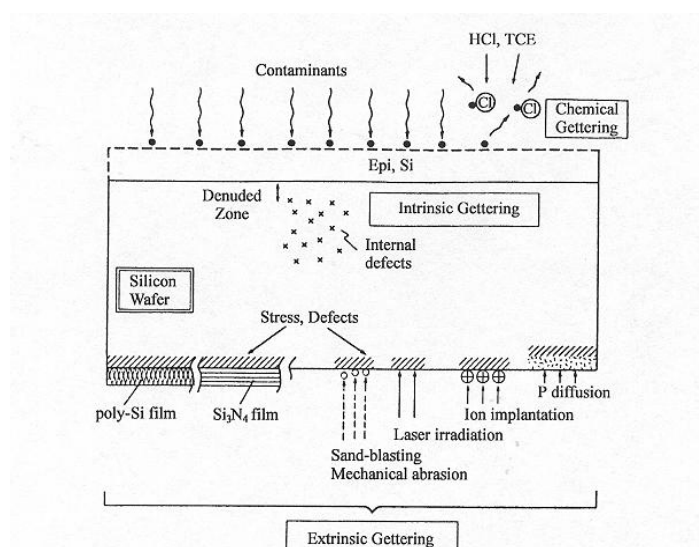


圖 1-15、(1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚法(Chemical Gettering)[37]

1.10 實驗動機

本實驗研究的目的，主要是要利用現有的光罩來進行垂直雙通道電晶體 (Vertical double channel TFT device) 和傳統薄膜電晶體 (TFT) 來作電性探討，而傳統薄膜電晶體結構之基本組成有一個閘極 (Gate)、一個源極 (Source)、一個汲極 (Drain) 及一個通道 (channel) 且閘極 (gate) 和通道 (channel) 之間要有絕緣層，而垂直雙通道薄膜電晶體結構之基本組成有一個閘極 (Gate)、一個源極 (Source) 和一個汲極 (Drain) 及兩個通道 (channel) 且閘極 (gate) 和通道 (channel) 之間要有絕緣層；雖然已有相關的文獻研究過垂直雙通道薄膜電晶體 [38]，但本實驗的特色是減少一道光罩，利用氟離子植入經由碰撞方式將 Ni 原子植入 a-si 薄膜內，再以複晶矽成長機制方式，分別為金屬誘發 / 金屬誘發側向結晶 (MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)、固相結晶法 (SPC, Solid Phase Crystallization) 來製作元件，利用氟離子植入的主要目的是希望藉由氟與矽原子形成鍵結來降低捕陷密度，增加鈍化效果來改善薄膜電晶體的影響 [40]。



第二章 垂直結構之研究

2.1. 簡介

在本實驗中，垂直結構是實驗主要關鍵之一，結構如果成為錐形(taper)，當磷(P)離子植入時，會降低通道的阻值，而薄膜電晶體元件的通道就會被導通，元件就沒有開關之功用。調整垂直結構，首先要先確認蝕刻均勻性與選擇比，一般當蝕刻機台蝕刻出錐形(taper)的形狀，發生這種問題可大約可分為有微負載效應(Micro loading effect)、電漿損傷(Plasma Damage)和蝕刻選擇比的調整不佳等等…[39]。就來負載效應說明通常是高寬比(Aspect Ration)的增加和圖形密度(Pattern density)的疏密，而使蝕刻的速率變的不一致產生蝕刻不均現象。其中原因可推測當因加速離子撞擊到光阻的表面上，而使光阻累積電荷時將使得正電荷的軌道偏離原本的地方而光阻的表面會被損傷和蝕刻，因而產生錐形(taper)的現象。(如圖 2-1 所示) 本實驗將嘗試兩種方法改善載荷效應來解決錐形問題，(1)使用 SF6 和 HBr 氣體來調整蝕刻程式。(2)利用添加硬遮蔽物來改善深寬比。

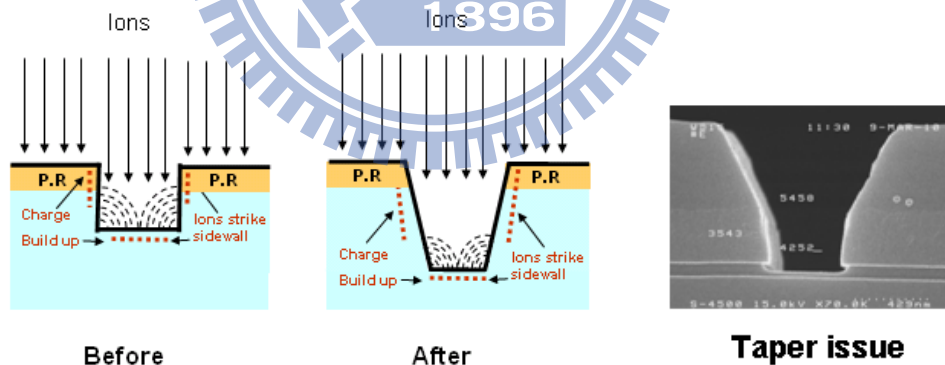


圖 2- 1、模擬圖和實驗結果之部面圖

2.2. 實驗步驟

首先將分別說明沈積非晶矽基板之清洗和製造垂直結構製作流程，再來介紹如何利用添加硬遮蔽物和調整蝕刻程式來改善深寬比，並對於不同溫度參數和金屬誘發側向結晶長度來做比較之分析。

2.2.1 非晶矽基板製備

實驗試片的製備。首先在(100)的六吋矽晶圓上利用濕式氧化(wet oxidation)成長 5000Å 的 SiO₂層，此步驟主要是為了要模擬 TFT 的玻璃基板。在成長氧化層之前，用傳統的 RCA clean 清洗矽晶圓，其流程如下(如表 2-1 所示)：

去離子水沖洗	約 5 分鐘
硫酸：雙氧水 = 3：1	溫度 75~85°C / 約 10~15 分鐘
去離子水沖洗	約 5 分鐘
氟氟酸：去離子水 = 1：100	dip 15 秒
去離子水沖洗	約 5 分鐘
氨水：雙氧水：去離子水 = 1/4：1：5	溫度 75~85°C / 約 10~15 分鐘
去離子水沖洗五分鐘	
鹽酸：雙氧水：去離子水 = 6：1：1	溫度 75~85°C / 約 10~15 分鐘
去離子水沖洗五分鐘	
氟氟酸：去離子水 = 1：100	dip 15 秒
氮氣吹乾	

表 2- 1、RCA clean[3]

2.2.2 垂直結構之實驗方法

本實驗嘗試用二種方法來調整垂直結構：

1. 調整蝕刻的速度和選擇比，使蝕刻到最佳化。
2. 增加硬遮蔽物(Hard mask)來減少高寬比(Aspect Ration)

2.2.3 添加硬遮蔽物試片之目的

實驗目的減少負載效應(loading effect)，一般負載效應(loading effect)的產生通常是高寬比(Aspect Ration)的增加和圖形密度(Pattern density)的疏密，而使蝕刻的速率變的不一致造成蝕刻不均產生。

2.2.3.1 添加 SiO₂ 硬遮蔽物(hard mask)試片之製作

1. 利用 V-dope-Poly 沉積一層厚度為 2500Å 的 N type Poly-Si 膜厚作為 gate
2. 利用 LPCVD 沉積一層厚度為 1000Å 的 H-TEOS 膜厚作為 hard mask.
3. 利用黃光微影系統定義出 gate 層(mask1)
4. 使用 Poly-RIE 蝕刻出 gate 層
5. 去光阻和 RCA Clean

2.2.3.2 添加 WSix 硬遮蔽物(hard mask)試片之製作

1. 利用 V-dope-Poly 沉積一層厚度為 2500Å 的 N type Poly-Si 膜厚作為 gate
2. 利用 LPCVD 沉積一層厚度為 1000Å 的 WSix 膜厚作為 hard mask.
3. 利用黃光微影系統定義出 gate 層(mask1)
4. 使用 Poly-RIE 蝕刻出 gate 層
5. 去光阻和 RCA Clean

2.3. 結果與討論

蝕刻出垂直結構的形狀是實驗的關鍵，若不是垂直的通道而是傾斜 (taper) 的形狀(如圖 2-2 所示)，在 P(磷)離子植入時，會降低通道的阻值，使 TFT 元件直接是導通的狀態而沒有開關的功能，本實驗能成功的蝕刻出垂直 Gate 的形狀，主要的實驗方法有 2 種，(1)調整蝕刻的速度和選擇比，(2)增加硬遮蔽物(Hard mask)，結果如 2.3.1 章節和 2.3.2 章節所示。

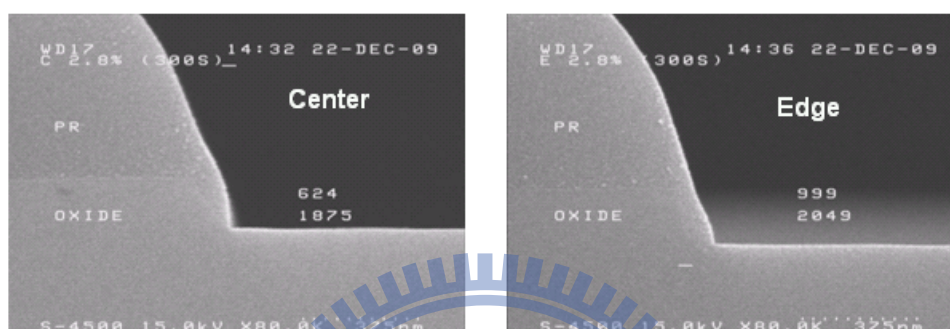


圖 2- 2、兩層結構：上層(光阻)和下層(Oxide)

2.3.1 調整蝕刻的速度和選擇比

利用六氟化硫(SF₆, sulfur(VI) fluoride)和溴化氫氣(HBr, Hydrogen Bromide)來調整蝕刻速度和選擇比，目的是要減少高寬比(Aspect Ratio)、負載效應(Micro loading effect)和電漿損傷(Plasma Damage)的產生，使結構成為垂直的形狀，不用受到其它因素所影響。

經由實驗發現調整蝕刻的速度和選擇比而且用二次蝕刻，再搭配硬遮蔽物(Hard mask)來降低重覆的電漿損傷(Plasma Damage)會比較容易製造出垂直結構，第一步驟首先加速蝕刻速度，增加六氟化硫(SF₆, sulfur(VI) fluoride)的百分比，經由實驗結果得知約原本的百分之 60%是最佳的條件(如圖 2-3 所示)，目的是用來加速的蝕刻使結構變直，但電漿一直轟擊會重覆將會造成表面的光阻損壞，再加上側壁(sidewall)因蝕刻氣體的反應，產生聚合物(polymer)來保護側壁，這個時候蝕刻氣體會往斜邊方向蝕刻反應，產生傾斜(taper)的形狀；第二步驟降低溴化氫氣(HBr, Hydrogen Bromide)的百分比，經由實驗結果得知約原本的百分之 20%是最佳的條件(如 2-4 所示)，目的是用來減少蝕刻選擇比，降低側壁(sidewall)的保護作用來避免結構造成傾斜(taper)的形狀。

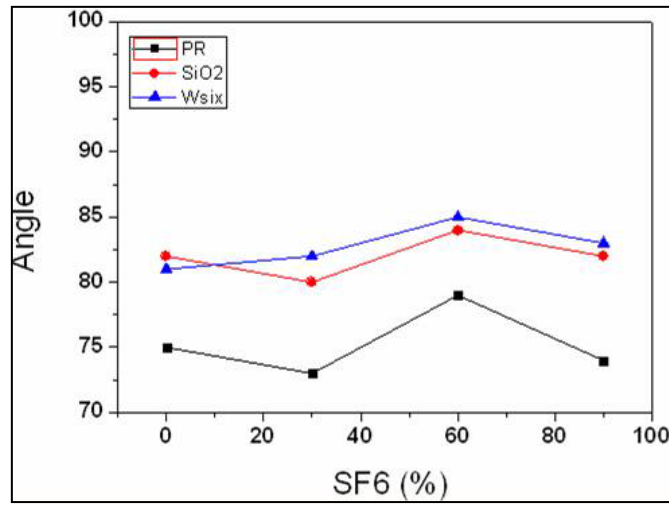


圖 2- 3、第一步驟:調整六氟化硫(SF₆, sulfur(VI) fluoride)的百分比來增加蝕刻速度

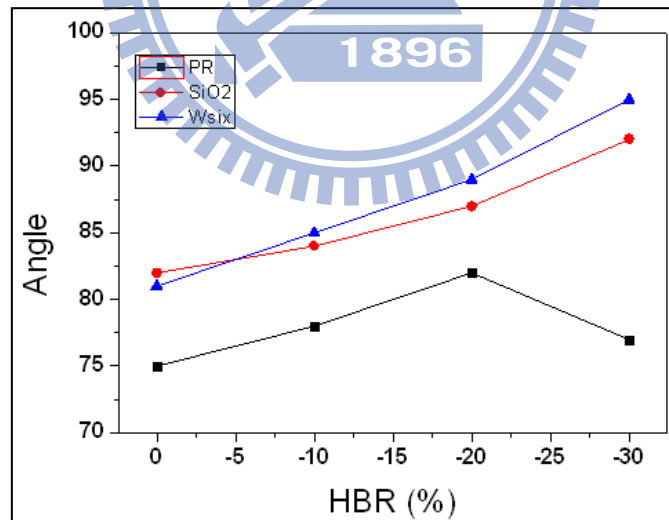


圖 2- 4、第二步驟:調整溴化氫(HBr, Hydrogen Bromide)的百分比來減少蝕刻選擇比

2.3.2 增加硬遮蔽物(Hard mask)

本實驗在基材(substrate)添加硬遮蔽物，主要目的就是要來改善深寬比 (Aspect ratio)、減少微負載效應(Micro loading effect)和電漿損傷 (Plasma Damage)等等負作用影響，再搭配調整蝕刻的速度及選擇比，實驗結果是可以降低電漿損傷(Plasma Damage)和改善深寬比成功的製造出垂直結構(如圖2-5和2-6所示)，添加Oxide和WSix硬遮蔽物(Hard mask)來做比較，雖然WSix硬遮蔽物的效果佳，但WSix材料不好去除，最後選擇Oxide來當Hard mask的實驗條件，主要原因是，Oxide材料可用一般的BOE溶液(Si/SiO₂選擇比要高)就可去除乾淨。



圖 2- 5、參層結構：上層(光阻)、中層(Oxide)和下層(Gate)

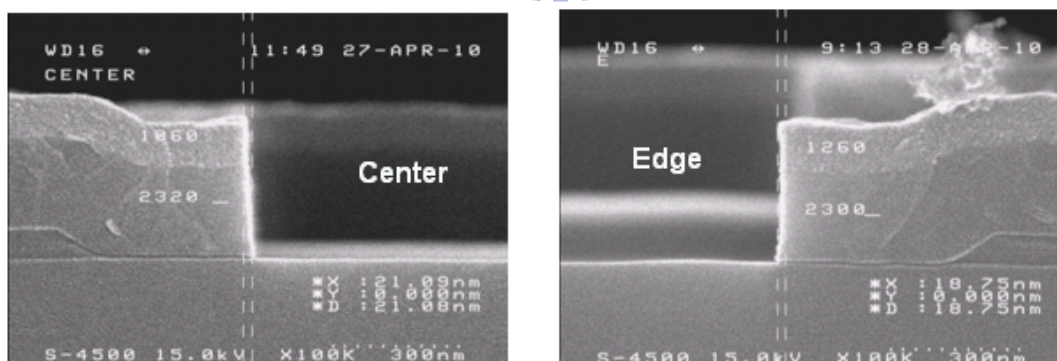


圖 2- 6、參層結構：上層(光阻)、中層(WSix)和下層(Gate)

2.3.3 金屬誘發結晶製作方式

製作流程是先沈積約 1000Å 的 a-Si 膜厚，再鍍上 Ni 層厚度約 50Å，經由 F 離子植入方式將 Ni 原子植入 a-si 薄膜內；將試片上殘餘未消耗的鎳用硫酸清洗 30 分鐘去除 Ni 層，經退火再進行鎳誘發結晶。

經由 F 離子植入方式(Dose: 2×10^{14} / Energy: 35keV / Source: F19)經由碰撞方式將 Ni 原子植入 a-si 薄膜內，再用二次離子質譜儀(SIMS)來量測複晶矽薄膜內的鎳殘餘量。利用氟離子植入的主要原因是希望藉由氟與矽原子形成鍵結來降低捕陷密度，增加鈍化效果來改善薄膜電晶體元件的特性。

使用分析機台為 TOF-SIMS(Time-of-Flight-SIMS)，主要是因為複晶矽中的鎳濃度相當低，儀器的偵測極限(detection limit)需要在 ppm 以下量測。而一般 AES 與 ESCA 的偵測極限約在 0.1~5%，無法偵測到精確的鎳含量。而在 SIMS 之偵測極限可在 ppm~ppb($10^{12} \sim 10^{16}$ atoms/cm³)，所以在分析 MIC 或 MILC 時是使用 SIMS 來作為縱深分析儀器。(如圖 2-7 所示[40])，結果顯示 Ni 原子確實是可以被植入到 FSG layer。

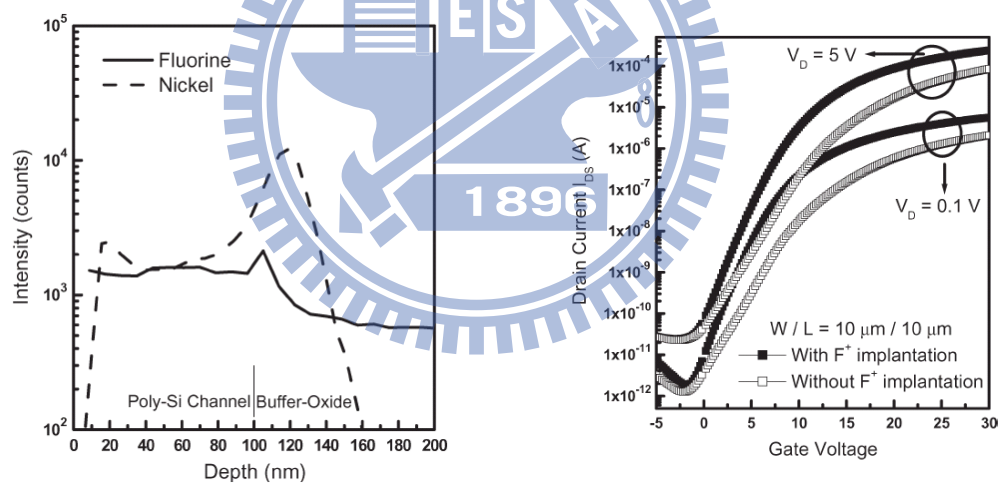


圖 2- 7、鎳在複晶矽薄膜中之 SIMS 縱深成份分析和電性量測[40]

再利用不同溫度來確認金屬誘發結晶的長度，實驗條件有兩組，第一組用 F 離子植入鎳金屬再用硫酸清洗 30 分鐘去除試片上殘餘未消耗的鎳；第二組直接鍍鎳金屬再進行退火完成後，將試片上殘餘未消耗的鎳金屬用硫酸清洗 30 分鐘去除，完成再進行有金屬誘發結晶，實驗溫度有四組。分別有 510、540、570 和 600°C 在不同時間所誘發結晶的長度。(如圖 2-8 所示)，經由實驗得知，所需的溫度和時間來得到誘發結晶的長度，最後選擇 540°C、12 小時所得到約 40um 的結晶長度，而結晶的長短和移動率(Mobility)是正相關。

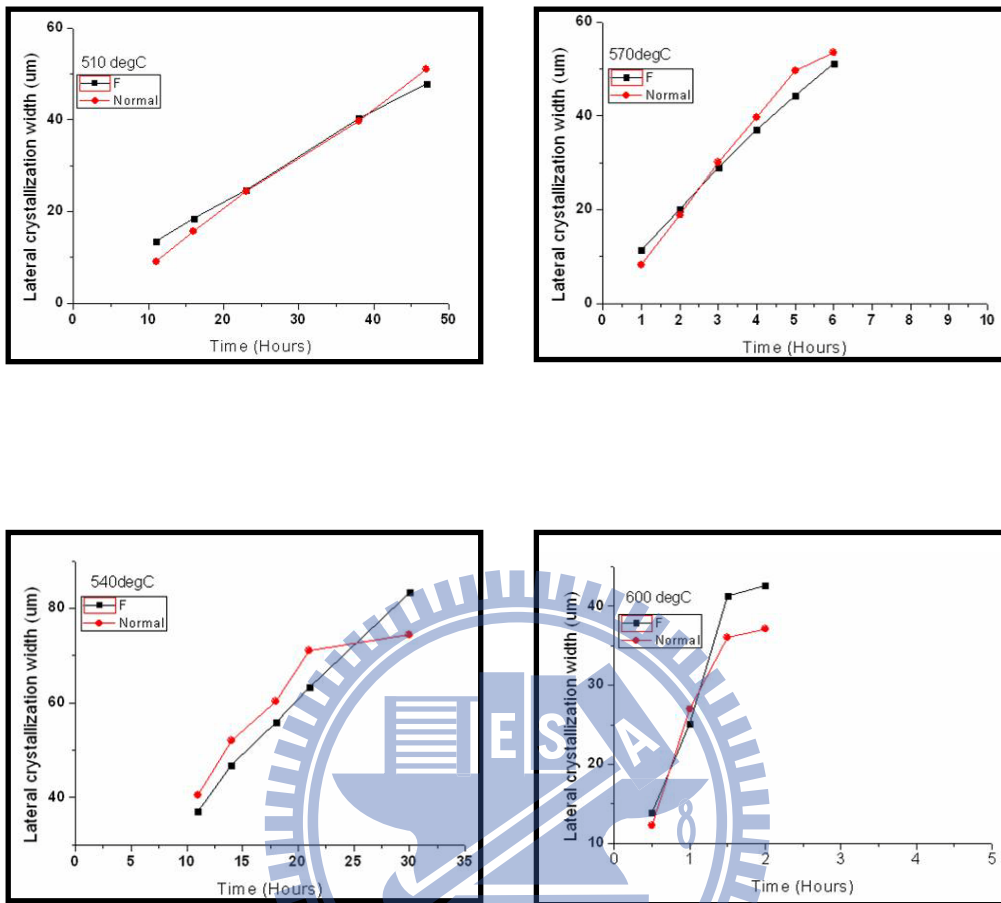


圖 2- 8、溫度 510、540、570 和 600°C 在不同時間所對應誘發結晶的長度

2.3.4 垂直結構之 SEM 觀察

最後將針對垂直結構之確認，藉由 SEM(scanning electron microscopy) 的 cross section 觀察可得知這次的實驗的結果是成功的。(如圖 2-9 所示)

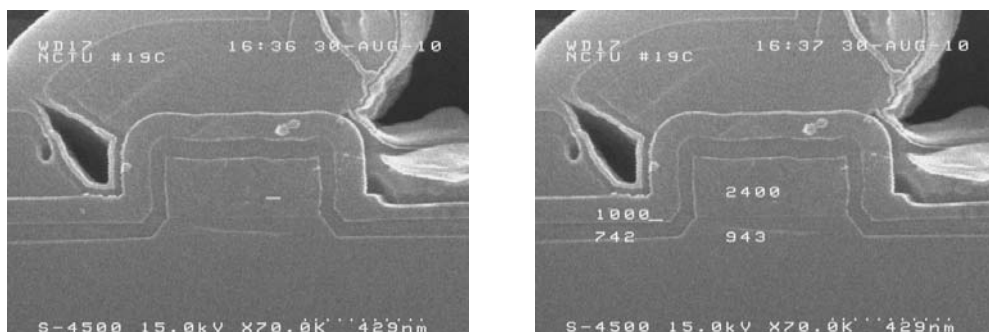


圖 2- 9、Cross section of vertical channel

2.4. 結論

本實驗成功的製作出垂直結構，嘗試兩種方法改善載荷效應來解決錐形問題，(1)使用 SF₆ 和 HBr 氣體來調整蝕刻程式，發現六氟化硫 (SF₆)和溴化氫(HBr)氣體可以有效的改善錐形問題而得到更好的垂直結構。(2)利用添加硬遮蔽物來改善深寬比(Aспект Ration) 及降低蝕刻重覆的電漿損傷(Plasma Damage)。

經由實驗發現調整蝕刻的速度和選擇比而且分為二步驟來蝕刻，再搭配硬遮蔽物(Hard mask)會比較容易製造出垂直結構，第一步驟首先加速蝕刻速度，增加六氟化硫(SF₆, sulfur(VI) fluoride)的百分比，結果得知約原本的百分之 60%是最佳的條件，目的是用來加速的蝕刻使結構變直，但電漿重覆轟擊將會造成表面的光阻損壞，再加上側壁(sidewall)會因蝕刻氣體的反應，產生聚合物(polymer)來保護側壁，這個時候蝕刻氣體會往斜邊方向蝕刻反應，產生傾斜(taper)的形狀；第二步驟降低溴化氫氣(HBr, Hydrogen Bromide)的百分比，經由實驗結果得知約原本的百分之 20%是最佳的條件，目的是用來減少蝕刻選擇比，降低過多側壁(sidewall)的保護來得到垂直結構的形狀。



第三章 垂直雙通道結構應用於低溫複晶矽薄膜電晶體之研究

3.1. 簡介

利用鎳誘發結晶技術(MILC, Metal Induced Lateral Crystallization)使非晶矽轉換成複晶矽,其優點是複晶矽的載子移動率(Mobility)的特性比非晶矽的載子移動率佳,載子移動率大約是 100 倍以上,在電晶體元件上的應用是有助提高元件效率,所以誘發結晶技術一直是近年來被研究和探討的熱門的題目之一;一般的研究目標以如何在低溫中加快結晶速率、改善結晶品質及增大晶粒尺寸與減少第三類過渡金屬原子(如鎳、鉬、鐵、銅等)污染來降低漏電流的目標進行,而漏電流的產生經常是過渡金屬原子在矽材料中都是屬於快速擴散源容易造成金屬原子殘留而產生減損元件特性,發生機率最高會在 TFT 結構的絕緣層中金屬雜質會在矽化物析出,而在半導體材料中產生能隙深層能階(deep levels in the band gap)會捕捉載子使傳導率下降容易導致電性元件電性性能下降之影響。而本實驗研究製作垂直通道的薄膜電晶體將鎳金屬使用 F 離子將鎳金屬植入到非結晶矽晶層;再利用加熱方式來誘發側向結晶複晶矽且可以減少鎳金屬濃度和陷阱位置密度,以及用不同結構來比較作為研究方向,目的是希望以不同的觀點來探討並嘗試以不同的方向來思考。

3.1.1. 雙通道薄膜電晶體

在 2009 年由 Po-Yi Kuo 等人[38](圖 3-1 示意圖所示),提出利用複合閘極可以調整電場強度和增加 L_{mask} 來降低漏電流,文獻中可得知複合閘極可提升元件開關能力 Switching ratio (Ion/Ioff),移動率 (Mobility)和增加電流驅動力(Ion),但最大的缺點是短通道會造成漏電流。

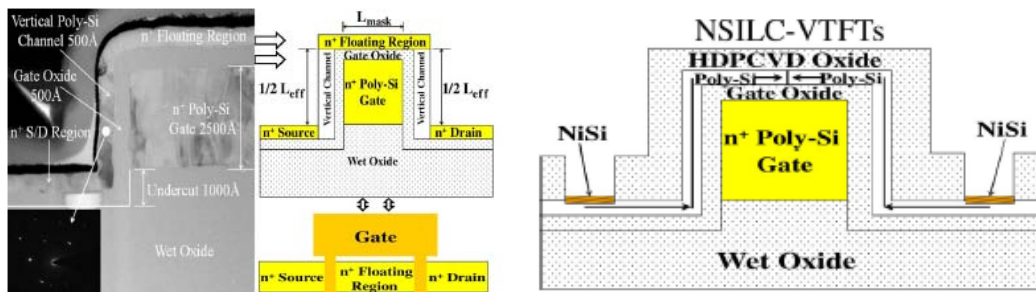


圖 3- 1、Vertical channel structure 示意圖 [38]

3.1.2. 研究動機

在文獻中可知道利用複合閘極和複合通道提升薄膜電晶體效能，概念原理是利用複合閘極和複合通道來調節電場強度，降低突發的高電場強度，減少衝擊離子化(impact ionization)相對的也會減少漏電流(I_{off})，降低載子能量消耗，提昇移動率(Mobility)和電流驅動力(Ion)。

本實驗製作雙通道薄膜電晶研究的特色之一是減少一道定義 Ni 金屬的光罩，實驗的方式是直接用鍍上 Ni 金屬再利用 F 離子用碰撞的方式將 Ni 金屬植入；本實驗的特色之二是藉由氟離子(F)植入增加 passivation 修補懸浮鍵(Dangling bond)，使氟與矽原子形成鍵結來降低捕陷密度，並且提升元件開關能力 Switching ratio (Ion/ I_{off})、移動率(Mobility) 和次臨界(Subthreshold slope)等等。

3.2. 實驗步驟

3.2.1. 垂直雙通道結構試片之製作

首先實驗試片的製備。首先在(100)的六吋矽晶圓上利用濕式氧化(wet oxidation)成長 5000Å 的 SiO_2 層，此步驟主要是為了要模擬 TFT 的玻璃基板。在成長氧化層之前，用傳統的 RCA clean 清洗矽晶圓，之後製作出垂直結構的 gate 層約 2500Å 和沈積 1000Å 的 H-TEOS 膜厚和 1000Å 的 a-Si 膜厚，再鍍上 Ni 層膜厚約 50Å，經由 F 離子植入方式將 Ni 原子植入 a-si 薄膜內；將試片上殘餘未消耗的鎳用硫酸清洗 30 分鐘去除 Ni 層，經退火分別再進行鎳誘發結晶方法，其電晶體製作流程如下，元件製作流程圖(如圖 3-2 所示)：

1. 利用 V-dope-Poly 沉積一層厚度為 2500Å 的 N type Poly-Si 膜厚作為 gate
2. 利用黃光微影系統定義出 gate 層(mask1)
3. 使用 Poly-RIE 蝕刻出 gate 層
4. 去光阻和 RCA Clean
5. 利用 LPCVD 沉積一層厚度為 1000Å 的 H-TEOS 膜厚作為 gate oxide
6. 利用 LPCVD 沉積一層厚度為 1000Å 的 a-Si 膜厚
7. 利用 E-gun 沉積一層厚度為 50Å 的 Ni 膜厚
8. 離子佈植: Dose: $2E14$ / Energy: 35keV / Source: F19
9. 利用硫酸清洗 30 分鐘去除殘餘未消耗的鎳
10. Annealing: 在 540°C 進行 12 小時
11. 利用黃光微影系統定義出主動層(mask2)

12. 利用 RIE 將主動層定義出來
13. 離子佈植: PH_3 能量: 35keV ; 濃度: $5 \times 10^{15} \text{ ions/cm}^2$
14. 活化: 在 600°C 進行 24 小時的活化
15. 利用 PECVD 沉積 passivation oxide 5000\AA
16. 利用黃光微影系統定義出接觸窗(contact hole) (mask3)
17. 利用蝕刻機台將接觸窗蝕刻出來
18. 利用 PVD 沉積一層厚度為 5000\AA 的 Al-Si-Cu 膜厚
19. 利用黃光微影系統定義出 source、drain 及 gate 的接觸電極(mask4)
20. 利用蝕刻機台將 Al-Si-Cu 膜厚蝕刻出 source、drain 及 gate 的 Al 電極
21. Al sintering : 400°C , 30min
22. 電性量測

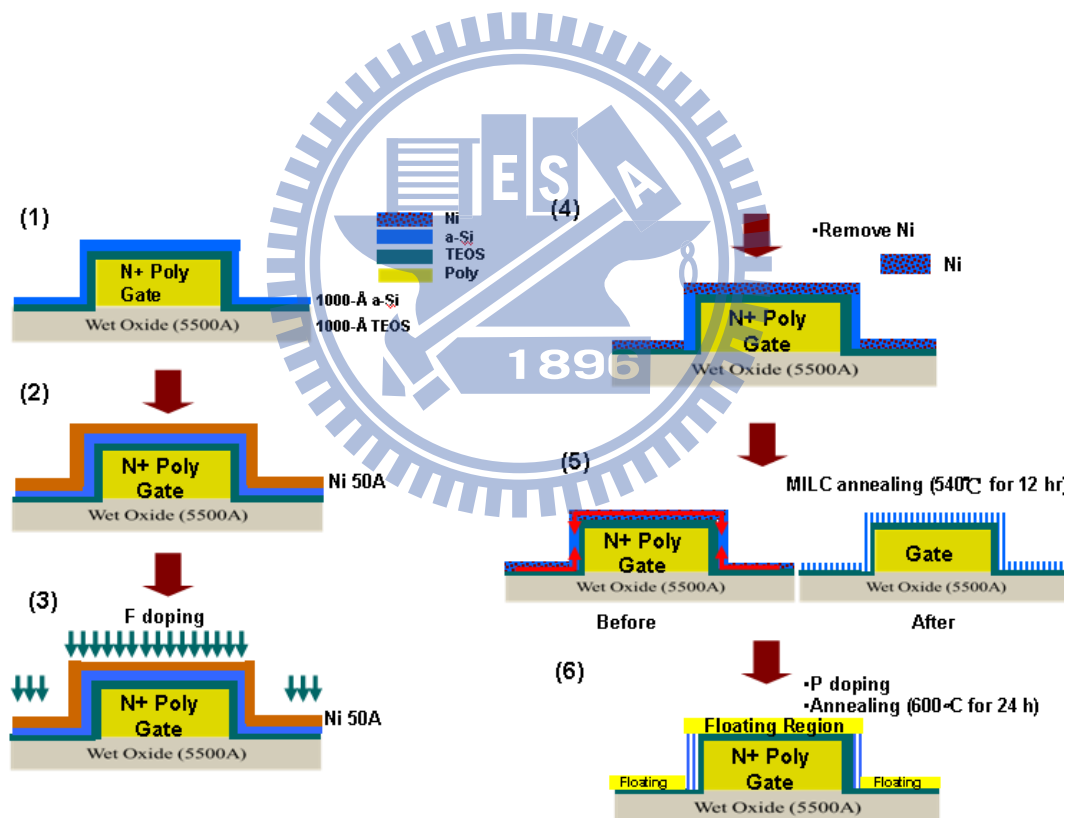


圖 3- 2、薄膜電晶體元件製作流程圖

3.2.2. 元件測量方法

TFT 元件主要的基本架構為具有一個閘極(gate)，一個源極(Source)，與一個汲極(Drain)，而源極和汲極之間稱通道(channel)，閘極(gate)和通道(channel)之間要有絕緣層，其結構及操作原理與金氧半場效電晶體(MOSFET)相似，以NMOS來說明，當閘極(Gate)給予適當電壓($V_{GS} > \text{起始電壓 } V_{th}$)，使通道(channel)感應出載子(電子)，載子會從價電帶跳躍到導電帶，再外加電場就可以使載子移動，使得源極(Source)汲極(Drain)導通；以下敘述是用來量測元件特性的方式[4]。

3.2.2.1 載子移動率(Mobility)

判斷複晶矽結晶品質指標之一，載子移動率(Mobility)；因為複晶矽中的缺陷如懸浮鍵會捕捉載子而造成載子傳導率下降等等，所以可藉由汲極電流(I_{DS})公式對閘極電壓(V_{GS})做微分得到斜率(G_m)之關係式(3-1)，而量測方式固定 $V_{DS}=0.1V$ ， $V_S=0V$ ，變化 V_G ，取 G_m 最大值(最大斜率 G_m 的存在是因為Mobility degradation effect)，從式子中可得到載子移動率(μ_N)。

$$\mu_{fe} = \frac{L}{W} \times \frac{g_m}{C_{oxide} V_D}$$

(3-1)

參數設定：

1. L 為通道長度
2. W 為通道寬度
3. C_{ox} 為閘極氧化層電容
4. g_m 為轉移電導(Transconductance)
5. T_{ox} 為閘極氧化層厚度
6. V_D 為操作電壓

3.2.2.2 臨界電壓(Threshold Voltage)

定義臨界電壓的方式分成外插法與定電流法，第一種是外插法為固定 $V_{DS}=0.1V$ ， $V_S=0V$ ，變化 V_G 量測所得到閘極電壓對汲極電流之曲線，再由汲極電流對閘極電壓作微分得到 G_m ，找出 $I_{DS}-V_{GS}$ 曲線中最大斜率的地方，並於該點作切線，最大斜率點就是 G_m 最大值的點。第二種是定電流法，是在 $V_{DS}=0.1V$ 的狀況下，其 I_{DS} 值計算由公式(3-2)所得知，而將此 I_{DS} 值對應到其相對的 V_{GS} ，此對應的 V_{GS} 即所謂的 V_T 。

$$I_d = \frac{W}{L} \times 10nA \quad (3-2)$$

3.2.2.3 次臨界擺幅(Subthreshold slope, Swing)

次臨界 Subthreshold slope 是複晶矽元件的開關指標，當閘極電壓逐漸上升時，複晶矽通道將從積累(Accumulation)變化到空乏層(Depletion)，再從空乏層(depletion)變化到弱反轉(Weak inversion)，最後到達強反轉(Strong inversion)。細分來說明，當在弱反轉時，汲極電流(I_{DS})是與閘極電壓(V_{GS})成指數變化，次臨界擺幅即是量測弱反轉區的變化程度。

從次臨界 Subthreshold 的數值可了解，複晶矽元件在關閉的狀況時，抑制漏電流的能力，還可以得知從關閉到開起元件的操作能力，其定義如(3-3)； C_D 為通道空乏層之電容值、 C_{it} 為閘極氧化矽層/通道層介面處和晶界之電容值、 C_{ox} 為閘極氧化層之電容值；得知 C_{it} 與複晶矽之缺陷密度相關。量測方法為固定 $V_{DS}=0.1V$ ， $V_S=0V$ ，變化 V_G 量測汲極電流曲線，取 \log 對 I_{DS} 和 V_{GS} 做圖計算直線區斜率，斜率的倒數即為 $S.S$ 。

$$I_D \sim e^{q(V_G - V_T)/kT}$$
$$S \equiv \ln 10 \frac{dV_{GS}}{d(\ln I_{DS})} \approx \frac{kT}{q} \ln 10 \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (3-3)$$

3.2.2.4 開關電流比(on/off Ratio)

開關電流是 TFT 元件的參考指標之一，理想的 TFT 元件是希望 Ion 愈高愈好，高導電率可以降低充電時間，Ioff 愈低愈好，低漏電流可以保持電位穩定的狀況。從 LTPS 的實驗可得知漏電流是主要的問題之一，主要是複晶矽含有許多晶粒和晶粒間之缺陷，這些缺陷會產生很多態位密度(Density of States)來捕捉輔助穿透(Trap Assisted Tunneling)，使得漏電流增加。一般而言漏電流的機制如圖 3-3 所示[21]，分為三種：(1) 熱引發漏電流(Thermionic emission) (2) 熱場效漏電流(Thermionic field emission) (3) 穿遂漏電流(Pure tunneling);

以下是簡述來說明電流機制：

(1)熱引發漏電流(Thermionic emission):主要漏電流發生的機制是在反偏電壓較低時，汲極空乏區中的熱引發漏電流。

(2)熱場效漏電流(Thermionic field emission):主要漏電流發生的機制是當反偏電壓升高時，熱場效漏電流隨著反偏電壓升高而增加。

(3)穿遂漏電流(Pure tunneling) :主要漏電流發生的機制是當汲極電壓繼續提高後，在高電場下，能障寬度繼續縮小，提高了穿遂機率。

TFT 元件的電位保持也是主要的關鍵，一般控制畫素的灰階的方式是當利用資料線(data line)打開將電壓寫入液晶電容與儲存電容中，掃描線(scan line)就會關閉並保持所要的電荷數在電容中，這個時後若有漏電流的產生，會使得所設定的電壓減少，影響畫素的灰階的控制。開電流取最大值，關電流取最小值的條件下量測，目前開/關電流比(switch ratio)的需求必須在 2×10^6 倍以上。

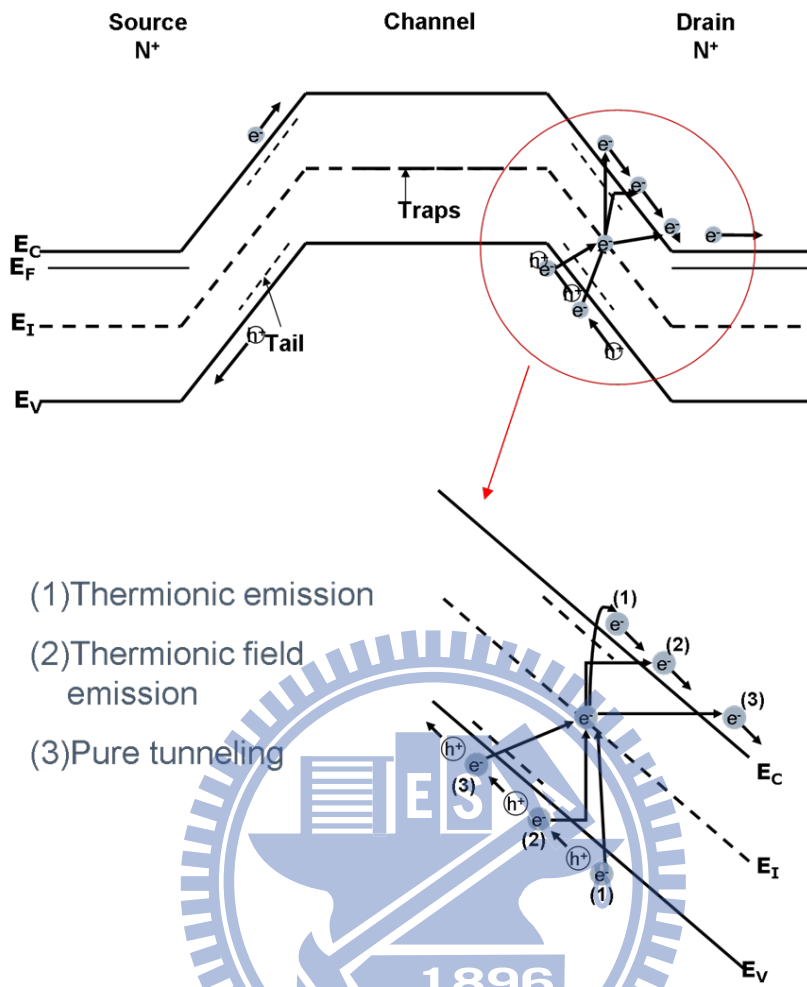


圖 3- 3、漏電流機制示意圖[21]

3.2.2.5 崩潰電壓(Breakdown Voltage)

崩潰電壓主要是來量測 TFT 元件的耐電壓程度。一般在長通道(Long channel)TFT 元件中，主要量測汲極與通道接面的崩潰電壓；在短通道(Short channel)時，主要量測的範圍是汲極到源極的漏電。

量測方式為，固定 $V_{GS}=V_S=V_B=0V$ ，增加汲極電壓 V_{DS} ，當 I_{DS} 量測到 $1nA$ 時的電流值時，此汲極電壓定義為崩潰電壓。

3.3. 結果與討論

3.3.1. 垂直結構薄膜電晶體之電性結果

製作垂直雙通道薄膜電晶體後，所量測 Id-Vg 圖(如圖 3-4)，元件尺寸 $L_{eff}=0.7\mu m$, $W_{mask}=1\mu m$ ，Drain current 操作電壓方法是固定 $V_d=0.1V$ ，改變 V_g 範圍從-4 到 20V 的條件下來進行量測，結果如表 3-1 所示，從電晶體的電性來看，因 SPC 的結晶性比 MILC 差，主要原因是 SPC 的結晶長度較短，所以在 MILC 的電性會比 SPC 的電性佳，如移動率 Mobility (cm^2/Vs)約增加 0.5 倍，以及 Subthreshold Solp (V/dec)相對的較小和 ON/Off ratio($\times 10^{-6}$)相對的比較大且符合元件之基本需求，實驗結果得知 MILC 的缺點主要漏電流較高。

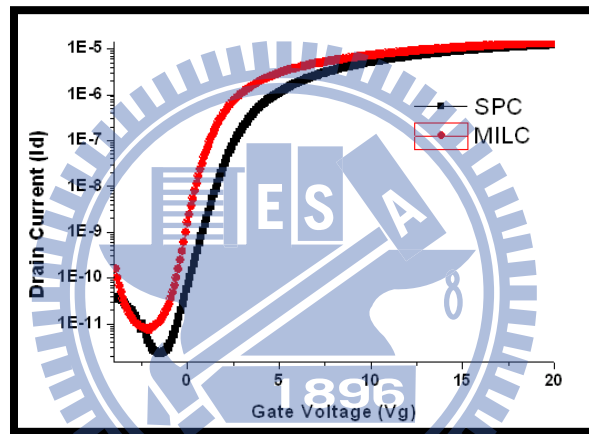


圖 3- 4、Id-Vg curve

Type	Vertical (bottom gate)	
	SPC	MILC
$V_d=0.1V$		
Mobility (cm^2/Vs)	52.1	73.62
Subthreshold Solp (V/dec)	0.57	0.36
ON/Off ratio($\times 10^{-6}$)	5.5	2.1
I_{ON} ($\times 10^{-6}$)	0.13	0.14
I_{OFF} ($\times 10^{-12}$)	2.4	6.6

表 3- 1、元件電性之比較表

3.3.2. 薄膜電晶體之漏電流探討

造成漏電流的原因有(1) 複晶矽與閘極氧化層之間的界面性質(2)通道的長度(3)金屬誘發 / 金屬誘發側向結晶(MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)晶界之間所造成的能障(4)絕緣層材料品質及膜厚等等..。

複晶矽與閘極氧化層之間的界面性質是漏電流關鍵之一，表面粗糙度愈大，會更容易造成漏電流，所以漏電流對表面粗糙度有強相關，主要的原因是晶界的突起會造成局部電場增強使得漏電流會大幅增加和降低崩潰電壓。

本實驗是以金屬誘發 / 金屬誘發側向結晶(MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)、固相結晶法(SPC, Solid Phase Crystallization)兩種方式來作元件電性探討，因為製程操作溫度度，表面粗糙度相對的比 ELA 複晶矽表面粗糙度低;再來可針對阻值對漏電流的探討，阻值對漏電流的影響可簡單的分為兩部分:通道電阻和接面電阻[41]，通道長度的縮減而漏電流會增加，最小電流值對不同通道長度有所變化，縮短通道會造成電流增加，當通道縮短至 2 μ m 以下時漏電流會大幅增加，而這個時候是由接面電阻來主導漏電流之大小。在 MIC 與 MILC Boundary 存在的晶界簡稱為 MMGB，而在通道中央存在 MILC 與 MILC Grain Boundary 簡稱為 LLGB。因 LLGB 存在會造成大量的缺陷以及 NiSi₂，這些 MMGB 和 LLGB 晶界的存在會造成能障，所以在製作元件的結構，希望將 MMGB 避開汲極端接面，來避免晶界會形成高能障的超短通道 TFT 元件，從文獻得知也會增加臨界電壓[42]。

在閘極和 Polysilicon 之間的絕緣層也是相當重要，稱之閘氧化層(Gate Dielectric)，一般想要增加元件的速度、降低臨界電壓、提高元件電流，閘氧化層(Gate Dielectric)的厚度就要往薄化方向考量[39]，但會造成電子可經由 Tunneling(通道)的方式產生漏電流或是元件崩潰。

3.3.3. 傳統結構與垂直結構之薄膜電晶體元件特性比較

利用現有的光罩來進行不同結構之電性和複晶矽探討，以及在傳統和垂直多通道薄膜電晶體的電性表現上，接下來簡單的說明傳統結構(Self-aligned Silicidation, SALICIDE)和垂直多通道薄膜電晶體的基本組成，結構上的差異，比較傳統薄膜電晶體(TFT)之基本組成有一個閘極(Gate)、一個源極(Source)、一個汲極(Drain)及一個通道(channel)，而垂直雙通道薄膜電晶體結構之基本組成有一個閘極(Gate)、一個源極(Source)和一個汲極(Drain)及兩個通道(channel)，其通道是垂直於源極和汲極(如圖 3-5 所示)，而通道材料是再利用金屬誘發 / 金屬誘發側向結晶(MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)、固相結晶法(SPC, Solid Phase Crystallization)兩種方式來成長及來做元件電性的比較。從實驗室研究論文得知[43]，傳統薄膜電晶體(TFT) Id-Vg cure 的資料(如圖 3-6 所示)

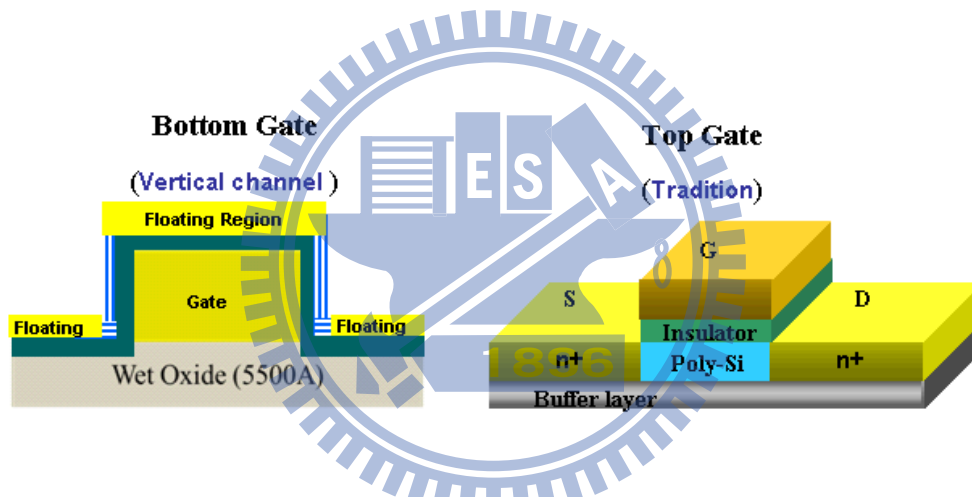


圖 3- 5、垂直雙通道薄膜電晶體和傳統薄膜電晶體示意圖

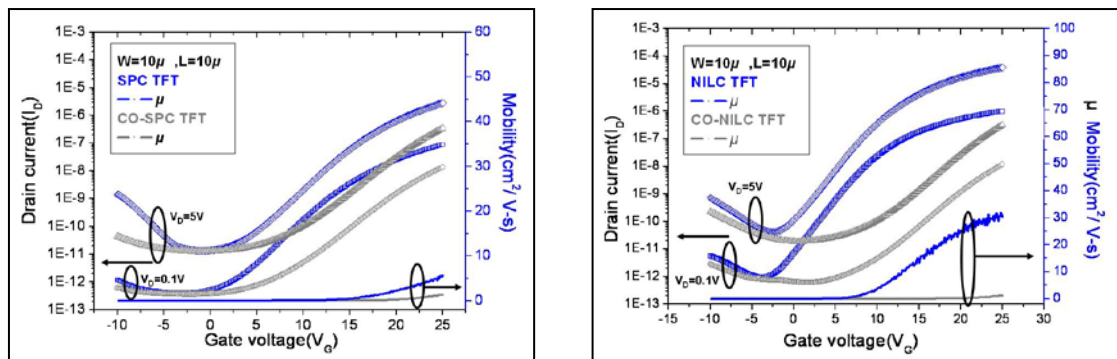


圖 3- 6、傳統薄膜電晶體(TFT) Id-Vg cure [43]

Type	Vertical TFT (Bottom gate)		Tradition TFT (Top gate)	
	SPC	MILC	SPC	MILC
Vd=0.1V				
Mobility (cm ² /Vs)	52.1	73.62	5.5	31.8
Subthreshold Solp (V/dec)	0.57	0.36	2.34	2.74
ON/Off ratio(X10 ⁻⁶)	5.5	2.1	0.21	0.94

表 3- 2、傳統結構[43]與垂直結構薄膜電晶體元件電性之比較表

以垂直雙通道薄膜電晶體結構和傳統薄膜電晶體(Self-aligned Silicidation, SALICIDE)結構來作比較，本實驗成功的改善元件的電性，以傳統和垂直多通道薄膜電晶體的電性表現上，垂直多通道薄膜電晶體的特性比傳統電晶體的特性較佳，以 SPC 製造的垂直多通道 TFT 元件的載子移動率(Mobility)大約是傳統 TFT 的 10 倍，在 MILC 大約是 2 倍以上，在開關電流比(on/off Ratio)的比較上，MILC 開關電流比提高約 2.5 倍，SPC 開關電流比提高約 2.0 倍左右(如表 3-2 所示)，也明顯的改善使元件特性，符合實驗當初所預測的結果。

3.4. 結論

利用現有的光罩來製作垂直雙通道薄膜電晶體結構和傳統薄膜電晶體(TFT) (Self-aligned Silicidation, SALICIDE)結構之比較和複晶矽探討；如 SPC、MILC 複晶矽的成長機制、結構和製成的垂直多通道薄膜電晶體的特性。

本實驗成功的製作垂直雙通道薄膜電晶體，而其中薄膜電晶體的特色有 2 種，(1)減少一道定義 Ni 金屬的光罩，實驗的方式是直接用鍍上 Ni 金屬再利用 F 離子用碰撞的方式將 Ni 金屬植入；(2)藉由氟離子(F)植入增加 passivation 修補懸浮鍵(Dangling bond)，使氟與矽原子形成鍵結來降低捕陷密度，並且提升元件開關能力 Switching ratio (Ion/Ioff)、較小的起始電壓(threshold voltage)、增加電流驅動力(Ion)、移動率(Mobility)和次臨界(Subthreshold slope)等等。

再以垂直雙通道薄膜電晶體結構和傳統薄膜電晶體(自動對準金屬矽化物技術)結構來作比較，本實驗成功的改善元件的電性，以傳統和垂直多通道薄膜電晶體的電性表現上，垂直多通道薄膜電晶體的特性比傳統電晶體的特性較佳，以 SPC 製造的電晶體元件的載子移動率(Mobility)大約是傳統 10 倍，在 MILC 大約是 2 倍以上，在開關電流比(on/off Ratio)的比較上，MILC 開關電流比提高約 2.5 倍，SPC 開關電流比提高約 20 倍左右，也明顯的改善使元件特性，符合實驗當初所預測的結果。



第四章 總結

本實驗成功的製作出垂直雙通道薄膜電晶體，而其中薄膜電晶體的特色有 2 種，(1)減少一道定義 Ni 金屬的光罩，實驗的方式是直接鍍上 Ni 金屬再利用 F 離子用碰撞的方式將 Ni 金屬植入；(2)藉由氟離子(F)植入增加 passivation 修補懸浮鍵(Dangling bond)，使氟與矽原子形成鍵結來降低捕陷密度，並且提升元件開關能力 Switching ratio (Ion/Ioff)、增加電流驅動力(Ion)、移動率(Mobility)和次臨界(Subthreshold slope)等等，明顯的改善使元件特性；以傳統和垂直多通道薄膜電晶體的電性表現上，垂直多通道薄膜電晶體的特性比傳統電晶體的特性較佳，以 SPC 製造的電晶體元件的載子移動率(Mobility)大約是傳統 10 倍，在 MILC 大約是 2 倍以上，在開關電流比(on/off Ratio)的比較上，MILC 開關電流比提高約 2.5 倍，SPC 開關電流比提高約 20 倍左右，符合實驗當初所預測的結果。

其中垂直結構是實驗的關鍵之一，垂直結構可避免磷(P)離子植入時而降低通道的阻值，防止通道被導通；而成功的製作出垂直結構主要的原因是調整蝕刻的速度和選擇比，再搭配硬遮蔽物(Hard mask)來減少高寬比(Aspect Ration)及降低蝕刻重覆的電漿損傷(Plasma Damage)。而二次蝕刻是以二種步驟來進行蝕刻程式的調整；第一步驟加速蝕刻速度，增加六氟化硫(SF₆, sulfur(VI) fluoride)的百分比，目的是用來加速的蝕刻使結構變直，但電漿重覆轟擊將會造成表面的光阻損壞，再加上側壁(sidewall)會因蝕刻氣體的反應，產生聚合物(polymer)來保護側壁，這個時候蝕刻氣體會往斜邊方向蝕刻反應，產生傾斜(taper)的形狀；第二步驟降低溴化氫氣(HBr, Hydrogen Bromide)的百分比，目的是用來減少蝕刻選擇比，降低過多側壁(sidewall)的保護來得到垂直結構的形狀。

第五章 參考文獻

- [1] <http://zh.wikipedia.org>.
- [2] 紀國鐘,鄭晃忠,液晶顯示器技術手冊,經濟部技術處, pp.3-16, 2004
- [3] 胡晟民,“金屬誘發非晶矽薄膜側向結晶-成長機制、金屬捉聚與低溫複晶矽薄膜電晶體效能之研究”, 國立交通大學工學院材料科學與工程學系博士論文,pp.3-19, 2008
- [4] 曾卿杰,“結合鎳金屬吸附的製程技術搭配具有加厚之汲/源極與薄通道低溫複晶矽薄膜電晶體之研究”, 國立交通大學工學院材料科學與工程學系碩士班論文,pp6,pp17-20, 2009
- [5] 林其慶,“利用晶圓接合技術降低金屬誘發側向結晶之複晶矽薄膜中殘餘金屬~鎳過濾與鎳捕捉”~,國立交通大學工學院材料科學與工程學系碩士班論文,pp6-11, 2008
- [6] M. S. Haque, H. A. Naseem, and W. D. Brown, J. Appl. Phys., vol. 79, pp. 7529-7536, 1996
- [7] L. Hultman, A. Robertsson, H. T. G. Hentzell, I. Engström, and P. A. Psaras, J. Appl. Phys., vol 62, pp. 3647-3655, 1987
- [8] SY Yoon, KH Kim, CO Kim, JY Oh and J. Jang, J. Appl. Phys., vol. 82, pp. 5865-5867, 1997
- [9] F. A. Quli and J. Singh, Materials Science and Engineering, vol. B67, pp. 139-144, 1999
- [10] S.-W. Lee, Y.-C. Jeon and S.-K. Joo, Appl. Phys. Lett., vol. 66, pp. 1671-1673, 1995
- [11] E.A.Gulians, W.A.Anderson,L. p. Guo,V. V. Gulians,” Transmission electron microscopy study of Ni silicides formed during metal-induced silicon growth,385, Thin Solid Films, pp 74-80, 2001
- [12]C.Hayzelden,J.L. Batstone, “Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films”, J. Appl. Phys., 73, pp.8280~8289, 1993
- [13] Yun Tian, Yu-Long Jiang, Yu Chen, Fang Lu and Bing-Zong Li, Electrically active defects in Ni-Si silicide studied by deep-level transient spectroscopy”, Semicond. Sci. Technol., 17, pp.83-86, 2002
- [14] Yue Kuo, “THIN FILM TRANSISTORS-Materials and Processes” Volume 1-Amorphous Silicon Thin Film Transistors, Kluwer Academic Publisher

Group, pp. 90-95, 2004

- [15] C. Hayzelden, J. L. Batstone, "Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films", *J. Appl. Phys.*, 73, pp. 8280~8289, 1993
- [16] M. Cao, T. King, and K. Saraswat, "Determination of the densities of gap states in hydrogenated polycrystalline Si and Si_{0.8}Ge_{0.2} films," *Appl. Phys. Lett.*, 61, pp. 672~674, 1992
- [17] G. Baccarani, B. Ricco and G. Spadini, "Transport properties of polycrystalline silicon films," *J. Appl. Phys.*, 49, pp. 5565~5570, 1978
- [18] M. M. Mandurah, K. C. Saraswat, C. R. Helms and T. I. Kamins, "Dopant segregation in polycrystalline silicon", *J. Appl. Phys.*, 51 pp. 5575~5763, 1980
- [19] A. L. Fripp, "Dependence of resistivity on the doping level of polycrystalline silicon", *J. Appl. Phys.*, 46 pp. 1240~1244, 1975
- [20] T. I. Kamins, "Hall mobility in chemically deposited polycrystalline silicon," *J. Appl. Phys.*, 42 pp. 4357~4365, 1971
- [21] M. M. Mandurah, K. C. Saraswat, C. R. Helms and T. I. Kamins, "Dopant segregation in polycrystalline silicon", *J. Appl. Phys.*, 51 pp. 5575~5763, 1980
- [22] Wu, I-Wei, Huang, Tiao-Yuan, Jackson, Warren B., Lewis, Alan G., and Chiang, Anne, "Passivation kinetics of two types of defects in polysilicon TFT by plasma hydrogenation", *IEEE Electron Device Lett.*, 12, pp. 181-183, 1991
- [23] F. S. Wang, C. Y. Huang, H. C. Cheng, "Novel N₂O plasma passivation on polycrystalline silicon thin-film transistors," *Materials Research Society Symposium - Proceedings*, 424, Flat Panel Display Materials, pp 177-181, 1996
- [24] C. M. Yu, H. C. Lin, T. Y. Huang, and T. F. Lei, "H₂ and NH₃ Plasma Passivation on Poly-Si TFTs with Bottom-Sub-Gate Induced Electrical Junction," *J. Electrochem. Soc.*, 150, pp. G843-G848, 2003
- [25] H. C. Cheng, F. S. Wang, and C. Y. Huang, "Effects of NH₃ plasma passivation on N-channel polycrystalline silicon thin-film transistors," *IEEE Trans. Electron Devices*, 44, pp 64-68, 1997
- [26] Y. Lee, Li Handong, and S.J. Fonash, "High-performance poly-Si TFTs on plastic substrates using a nano-structured separation layer approach", *IEEE Electron Device Lett.*, v 24, pp. 19-21, 2003
- [27] M. MIYASAKA, T. SHIMODA, K. MAKIHIRA, T. ASANO, Be la PECZ and J.

- STOEMENOS, "Structural Properties of Nickel Metal-Induced Laterally Crystallized Silicon Films and Their Improvement Using Excimer Laser Annealing" Jpn. J. Appl. Phys., 42, pp.2592~2599, 2003
- [28] S.Bae and S. J.Fonash, "Defined crystallization of amorphous-silicon films using contact printing", Appl. Phys. Lett., 76, pp.595-597, 2000
- [29] Malhi S. D. S., Shichijo H., and Lam H. W., "Characteristics and three-dimensional integration of MOSFETs in small-grain LPCVD polycrystalline silicon," IEEE Trans. Electron Devices, 32, pp. 258-281, 1985.
- [30] Wu I.W., Huang T.Y., Jackson W.B., Lewis A.G., and Chiang A., "Passivation kinetics of two types of defects in polysilicon TFT by plasma hydrogenation", IEEE Electron Device Lett., 12, pp.181-183, 1991.
- [31] Wang F. S., Huang C. Y., Cheng H. C., "Novel N₂O plasma passivation on polycrystalline silicon thin-film transistors," Materials Research Society Symposium - Proceedings, 424, Flat Panel Display Materials, pp 177-181, 1996.
- [32] Tsai M. J., Wang F. S., Cheng K. L., Wang S. Y., Feng M. S., and Cheng H. C., "Characterization of H₂/N₂ plasma passivation process for poly-Si thin film transistors (TFTs)", Solid-State Electronics, 38, pp. 1233-1238, 1995.
- [33] Yu C. M., Lin H. C., Huang T. Y., and Lei T. F., "H₂ and NH₃ Plasma Passivation on Poly-Si TFTs with Bottom-Sub-Gate Induced Electrical Junction," J. Electrochem. Soc., 150, pp. 843-848, 2003.
- [34] Cheng H. C., Wang F. S., and Huang C. Y., "Effects of NH₃ plasma passivation on N-channel polycrystalline silicon thin-film transistors," IEEE Trans. Electron Devices, 44, pp 64-68, 1997.
- [35] Myers S. M., Seibt M., and Schröter W., "Mechanisms of transition-metal gettering in silicon", J. Appl. Phys., 88, p. 3795-3819, 2000.
- [36] Toshio Mizuki, Junko Shibata Matsuda, Yoshinobu Nakamura, Junkoh Takagi, and Toyonobu Yoshida, " Large Domains of Continuous Grain Silicon on Glass Substrate for High-Performance TFTs " , IEEE Trans. Electron Devices, **51**, pp. 204-211, 2004.
- [37] http://www.arconet.com.tw/ssttpro/tech/tech_1.asp?idxid=119
- [38] Po-Yi Kuo, Tien-Sheng Chao, *Senior Member, IEEE*, Jiou-Teng Lai, and Tan-Fu

- Lei, "Vertical n-Channel Poly-Si Thin-Film Transistors With Symmetric S/D Fabricated by Ni-Silicide-Induced Lateral-Crystallization Technology," IEEE ELECTRON DEVICE LETTERS, VOL. 30, NO. 3, pp.237-239, 2009
- [39] 陳力俊主編,"微電子材料與製程",初版,中國材料科學學會, pp148-154, 2000
- [40] Chih-Pang Chang and YewChung Sermon Wu, "Improved Electrical Characteristics and Reliability of MILC Poly-Si TFTs Using Fluorine-Ion Implantation" VOL. 28, NO. 11, pp990-992, 2007
- [41] Gururaj A. Bhat, Zhonghe Jin, Hoi S. Kwok, and Man Wong, "Effects of Longitudinal Grain Boundaries on the Performance of MILC-TFT's", IEEE ELECTRON DEVICE LETTERS, VOL. 20, NO. 2, pp97-99, 1999
- [42] Man Wong, Zhonghe Jin, Gururaj A. Bhat, Philip C. Wong, and Hoi Sing Kwok, Senior" Characterization of the MIC/MILC Interface and Its Effects on the Performance of MILC Thin-Film Transistors", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 47, NO. 5, pp1061-1067, 2000
- [43] 趙育誠,"Oxide/Si 界面對鎳誘發側向結晶複晶矽薄膜電晶體的影響",國立交通大學工學院材料科學與工程學系碩士班論文, pp55-56, 2008

