

CMOS 奈米元件閃爍雜訊與 RTS 之特性分析

研究生：鮑柏雯

指導教授：陳振芳博士

國立交通大學理學院(應用科技)學程

摘要

本論文針對不同世代之半導體製程技術 (0.25 微米至 40 奈米)，系統性地研究與分析閃爍雜訊特性。對於 40 奈米元件，當閘極面積變小時，因缺陷 (trap) 僅存個位數，若欲透過閃爍雜訊的量化而分析其行為與影響將遭受限制，為此，本論文將探討使用隨機電報訊號 (Random Telegraph Signal, RTS) 技術，進一步分析缺陷的特性與位置。於第二章中，針對相同世代製程下及不同世代製程之低頻雜訊密度與汲極電流、氧化層厚度的關係去探討。第三章中，我們使用 40 奈米製程氧化層厚度 1.88 奈米厚度之 N 型通道 MOSFET 及氧化層厚度 2.07 奈米厚度之 P 型通道 MOSFET 的氧化層元件針對不同閘極偏壓之量測結果做研究分析，實驗最後推算出缺陷位於 40 奈米 NMOSFET 之氧化層中深度為 6.6399 埃(A); 位於 40 奈米 PMOSFET 之氧化層中深度為 5.2355 埃(A)。第四章為結論與未來研究的方向及展望。

The Characterization and Analysis of Flicker Noise and Random Telegraph Signal for CMOS Nanodevices

Student : Puo-Wen Pao

Advisor : Dr. Jenn-Fang Chen

A Thesis Submitted to Degree Program of (Applied Science and
Technology) College of Science National Chiao Tung University

Abstract

In this thesis, systematic study and characterization of flicker noise for devices from 0.25 μ m to 40nm technology nodes are conducted. For 40nm devices, when poly gate area becomes small, there is some limitation to characterize the device behaviors by quantifying the flicker noise due to the possible existence of single trap. For further investigation of 40nm devices, Random Telegraph Signal (RTS) is studied and used to estimate the trap behavior and location. Chapter 2 describes the relationship between noise spectral density, drain current and oxide thickness from the experiments in the same technology node or different technology nodes. In chapter 3, we use 40nm NMOSFET with oxide thickness 1.88nm and PMOSFET with oxide thickness 2.07nm measured by different bias for research. Finally, the estimate of the trap depth in the oxide layer of 40 nm NMOSFET is 6.63A; in 40 nm PMOSFET, it is 5.2355A. Chapter 4 is the conclusion and future work of this study.

誌 謝

在碩士這兩年的求學過程中，首先感謝我的指導教授陳振芳博士對我的指導與包容，並且在實驗上提供了我許多建議，最重要讓我學習到對於研究上應有的態度與精神。而後也要感謝專班主任陳永富教授，他所告訴我們的，不管在眼中是多麼垂手可得或覺得理所當然的事物與現象，其實只要多觀察，多思考都可以觸發靈感進而研究，讓我受益匪淺。

感謝聯華電子 ATD 提供測試元件與相關製程技術的資料，由衷感激 ATD_Modeling 的主管們和同伴們對於我的研究方向給予指導與建議，並且在量測元件和機台儀器的大力幫忙，提供一些分析實驗數據用的小程式，讓我在辛勤工作之餘可以專心做研究，進而使論文可以順利完成。邊工作邊做研究是孤獨而且辛苦的，感謝實驗室學長及同學們的一些建議，也祝福一路走來的專班同學們都能夠順利完成研究，想學習的心永遠不嫌晚！

最後感謝我的家人與朋友在這不算長但也不短的兩年來一直支持我，使得我有能量支持到最後，謝謝！

目 錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
圖目錄	v
表目錄	vii
第 1 章	緒論.....	1
1.1	互補式金氧半元件 (CMOS) 技術的演進.....	1
1.2	閃爍雜訊 (Flicker Noise) 的影響.....	5
1.3	研究動機.....	6
1.4	論文架構.....	7
第 2 章	奈米元件閃爍雜訊之分析.....	8
2.1	低頻雜訊 (Low frequency noise)	9
2.1.1	Thermal noise (Johnson - Nyquist noise)	9
2.1.2	Shot Noise.....	11
2.1.3	Generation-Recombination Noise (G-R noise)	11
2.1.4	Flicker Noise (1/f noise)	13
2.2	Flicker Noise 量測結果分析.....	20
2.2.1	實驗量測方式以及元件資訊.....	20
2.2.2	量測結果與其分析.....	25
第 3 章	40 奈米元件之隨機電報訊號(Random Telegraph Signal) 分析.....	43
3.1	隨機電報訊號(Random Telegraph Signal, RTS)之基本原 理.....	44
3.1.1	隨機電報訊號與閘極偏壓之相依性.....	45
3.1.2	電子之發射與捕捉於隨機電報訊號.....	46
3.1.3	缺陷深度.....	49
3.2	隨機電報訊號之量測方法與結果分析.....	51
3.2.1	實驗量測方式.....	51
3.2.2	實驗量測結果與分析.....	52
第 4 章	討論與未來展望.....	66
參考文獻	68

圖 目 錄

圖 1-1	Moore' s Law and More。.....	1
圖 1-2	元件製程的趨勢與發展。.....	3
圖 1-3	氧化層厚度隨製程之演進。.....	3
圖 1-4	40 奈米元件的製程簡介。.....	4
圖 1-5	40 奈米元件的穿透式電子顯微鏡圖(TEM)。.....	5
圖 2-1	LR 電路。.....	9
圖 2-2	N 通道之 MOSFET 中載子遷移過程與能帶圖。.....	13
圖 2-3	MOSFET 結構中之缺陷分析模型。.....	15
圖 2-4	0.18 微米 MOSFET 的厚、薄氧化層雜訊密度比較。.....	26
圖 2-5	0.13 微米 MOSFET 的厚、薄氧化層雜訊密度比較。.....	27
圖 2-6	90 奈米 MOSFET 的厚、薄氧化層雜訊密度比較。.....	28
圖 2-7	65 奈米 MOSFET 的厚、薄氧化層雜訊密度比較。.....	29
圖 2-8	40 奈米 MOSFET 的厚、薄氧化層雜訊密度比較。.....	30
圖 2-9	NMOSFET 不同製程之薄氧化層雜訊密度比較。.....	32
圖 2-10	NMOSFET 不同製程之薄氧化層 Id Vg 圖。.....	33
圖 2-11	NMOSFET 不同製程之厚氧化層雜訊密度比較。.....	34
圖 2-12	NMOSFET 不同製程之厚氧化層 Id Vg 圖。.....	35
圖 2-13	PMOSFET 不同製程之薄氧化層雜訊密度比較。.....	36
圖 2-14	PMOSFET 不同製程之薄氧化層 Id Vg 圖。.....	37
圖 2-15	PMOSFET 不同製程之厚氧化層雜訊密度比較。.....	38
圖 2-16	PMOSFET 不同製程之厚氧化層 Id Vg 圖。.....	39
圖 2-17	NMOSFET 氧化厚度對雜訊密度。.....	40
圖 2-18	NMOSFET 氧化厚度對缺陷濃度。.....	40
圖 2-19	PMOSFET 氧化厚度對雜訊密度。.....	41
圖 2-20	PMOSFET 氧化厚度對缺陷濃度。.....	41
圖 3-1	NMOSFET 的兩階的汲極電流 RTS 訊號。.....	44
圖 3-2	PMOSFET 的多階的汲極電流 RTS 訊號。.....	45
圖 3-3	NMOSFET 加閘極偏壓的能帶彎曲圖。.....	46
圖 3-4	MOSFET 元件的高電流狀態所花時間 τ_c 之分布。.....	47
圖 3-5	能量配置座標圖：當自由電子位於費米能階，系統中 能量為 0 之座標位置與空的缺陷具有一致性。○ 表示空 的缺陷和自由電子於反轉層中。● 表示被填滿之缺 陷。.....	49
圖 3-6	MOSFET 元件中位於矽通道界面處缺陷之能帶圖。.....	51
圖 3-7	B1500A 之 RTS 量測系統簡圖。.....	52

圖 3-8	40 奈米 NMOSFET 元件之 RTS 汲極電流波形圖, $T=25^{\circ}\text{C}$ 。...	54
圖 3-9	40 奈米 NMOSFET 元件之汲極電流振幅與汲極電流於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	55
圖 3-10	40 奈米 NMOSFET 元件之汲極電流之相對振幅與汲極電流於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	55
圖 3-11	40 奈米 PMOSFET 元件之 RTS 汲極電流波形圖, $T=25^{\circ}\text{C}$ 。	57
圖 3-12	40 奈米 PMOSFET 元件之汲極電流振幅與汲極電流於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	58
圖 3-13	40 奈米 PMOSFET 元件之汲極電流之相對振幅與汲極電流於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	58
圖 3-14	40 奈米 NMOSFET 元件之 Capture time(τ_c)與閘極偏壓於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	60
圖 3-15	40 奈米 NMOSFET 元件之 Emission time(τ_e)與閘極偏壓於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	60
圖 3-16	40 奈米 PMOSFET 元件之 Capture time(τ_c)與閘極偏壓於 $V_d=0.05\text{V}$, $T=25$ 。.....	61
圖 3-17	40 奈米 PMOSFET 元件之 Emission time(τ_e)與閘極偏壓於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	62
圖 3-18	40 奈米 NMOSFET 元件 Capture time(τ_c)和 Emission time(τ_e)之比值與閘極偏壓於 $V_d=0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	63
圖 3-19	40 奈米 PMOSFET 元件 Capture time(τ_c)和 Emission time(τ_e)之比值與閘極偏壓於 $V_d=-0.05\text{V}$, $T=25^{\circ}\text{C}$ 。.....	63
圖 3-20	RTS 對頻譜雜訊密度示意圖。.....	64

表 目 錄

表格 2-1	元件資訊(a) 不同製程的薄氧化層(Core)MOSFET 元件...	22
表格 2-2	元件資訊(b) 不同製程的薄氧化層(Core)MOSFET 元件...	23
表格 2-3	元件資訊(c) 不同製程的厚氧化層(IO)MOSFET 元件.....	24
表格 2-4	元件資訊(d) 不同製程的厚氧化層(IO) MOSFET 元件.....	25
表格 2-5	0.18 微米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果.....	26
表格 2-6	0.13 微米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果.....	27
表格 2-7	90 奈米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果	28
表格 2-8	65 奈米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果	29
表格 2-9	40 奈米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果	30
表格 3-1	40 奈米 NMOSFET 元件之量測資訊及其汲極電流結果.....	53
表格 3-2	40 奈米 PMOSFET 元件之量測資訊及其汲極電流結果.....	56
表格 3-3	40 奈米 NMOSFET 元件之量測資訊及其量測結果.....	59
表格 3-4	40 奈米 PMOSFET 元件之量測資訊及其量測結果.....	61

