

第1章 緒論

1.1 互補式金氧半元件 (CMOS) 技術的演進

自互補式金氧半元件與超大型積體電路技術問世以來，工業界即傾全力在此架構下，研發更新的製程技術，縮小元件尺寸，降低電壓，創造出更高效能，更低功率，更低成本的晶片。這幾十年來，元件微縮的方向，一向是依據 Intel 創辦人之一高登摩爾(Gordon E. Morre)提出的摩爾定律(Morre' s Law)為依歸。摩爾依據他個人的觀察於 1965 年提出摩爾定律，認為電晶體元件的密度，每十八個月會增加成為兩倍。基本的摩爾定律圖示如圖 1-1[1]。

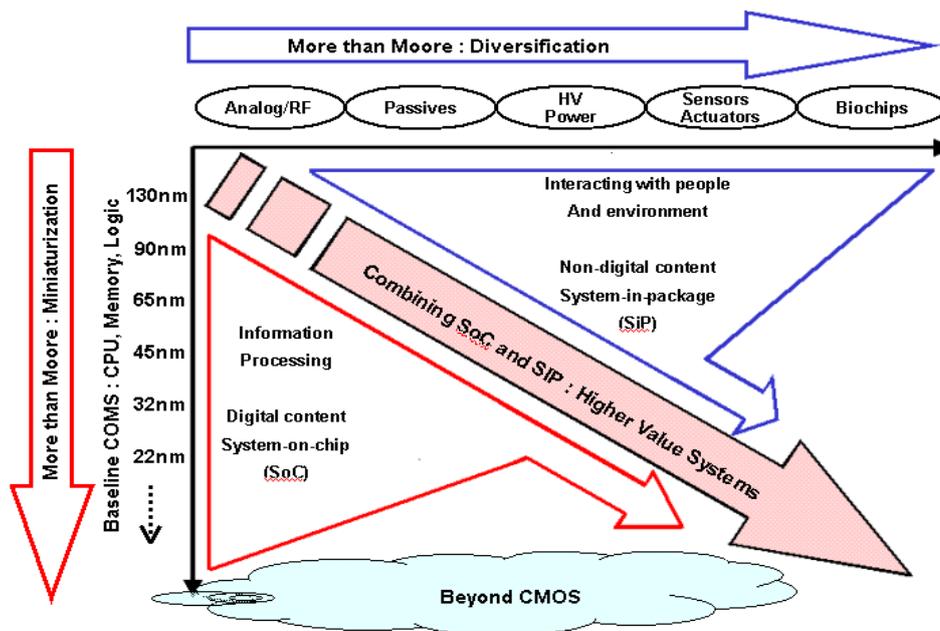


圖 1-1 Moore' s Law and More。

Intel 本身是這定律的擁護者與實踐者。在中央處理器的技術上，忠實的執行著這準則。在 Intel 帶領下，半導體界的技術開發，無不以此為圭臬，從早期的 5 微米(um)，3 微米，1 微米，0.25 微米，0.13 微米，一直到近年的最新量產技術 40 奈米(nm)。技術研發的主軸，皆離不開摩爾定律。從元件縮小的技術觀點而言，主要從元件效能的兩方面來考量：速度與功率。其間所涉及的主要指標有：

$$\frac{CV}{I} \quad (1-1)$$

C 表電容， V 表作電壓， I 表電流。

$$I_{dsat} = \frac{1}{2} \mu_{eff} C_{ox} \frac{W}{L} (V_g - V_{th})^2 \quad (1-2)$$

I_{dsat} 表電流， μ_{eff} 表有效載子移動率， C_{ox} 表單位面積的閘極電容， W 與 L 表元件的寬度與長度， V_g 表閘極到源極的電壓， V_{th} 表臨界電壓。

$$Power = aCV^2 f + IV + IR^2 \quad (1-3)$$

Power 表元件消耗總功率， a 表權重因子， f 表頻率， R 表電阻。 $aCV^2 f$ 表消耗之動態功率， IV 表靜態功率， IR^2 表 IR drop 所消耗的功率。細分其間的因子與觀察這幾個世代半導體製程技術的演進如圖 1-2 與圖 1-3 所示，閘極電容(C_{ox})變薄，降低元件閘極長度(L)，與載子移動率(μ_{eff})增加是增強元件電流驅動力的主要手法。基本上，閘極電容變薄與降低元件長度是每一個世代的主要目標。然而，到了 40 奈米世代，為了達到摩爾定律的規格，不得不進一步提昇元件之載子移動率。

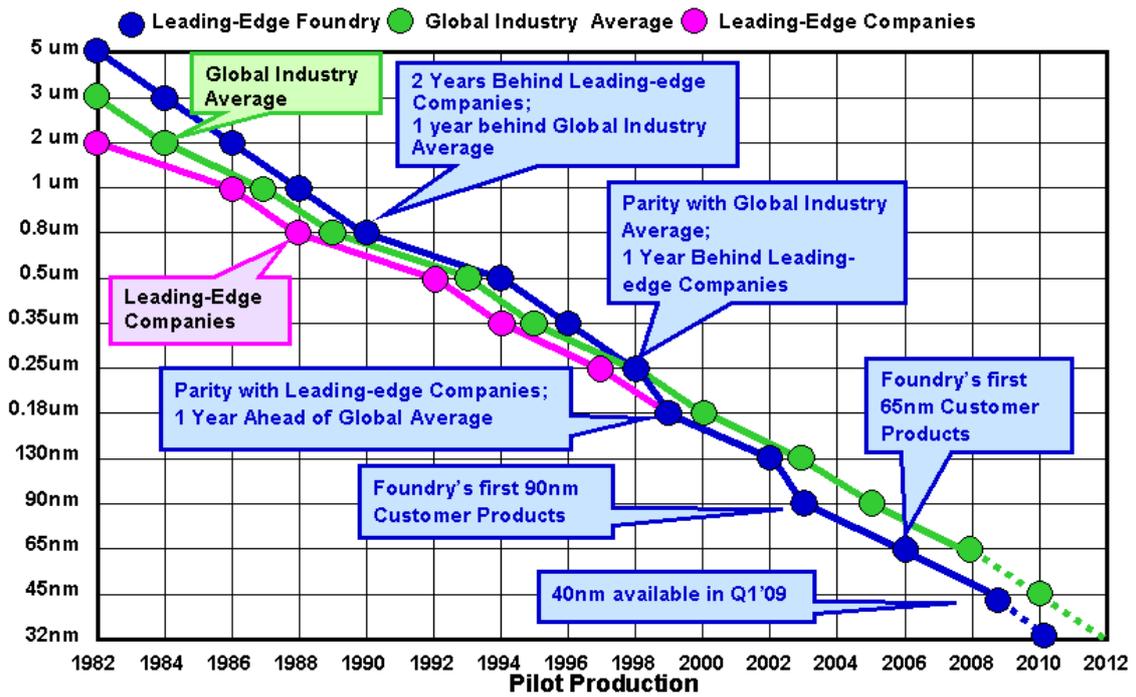


圖 1-2 元件製程的趨勢與發展。

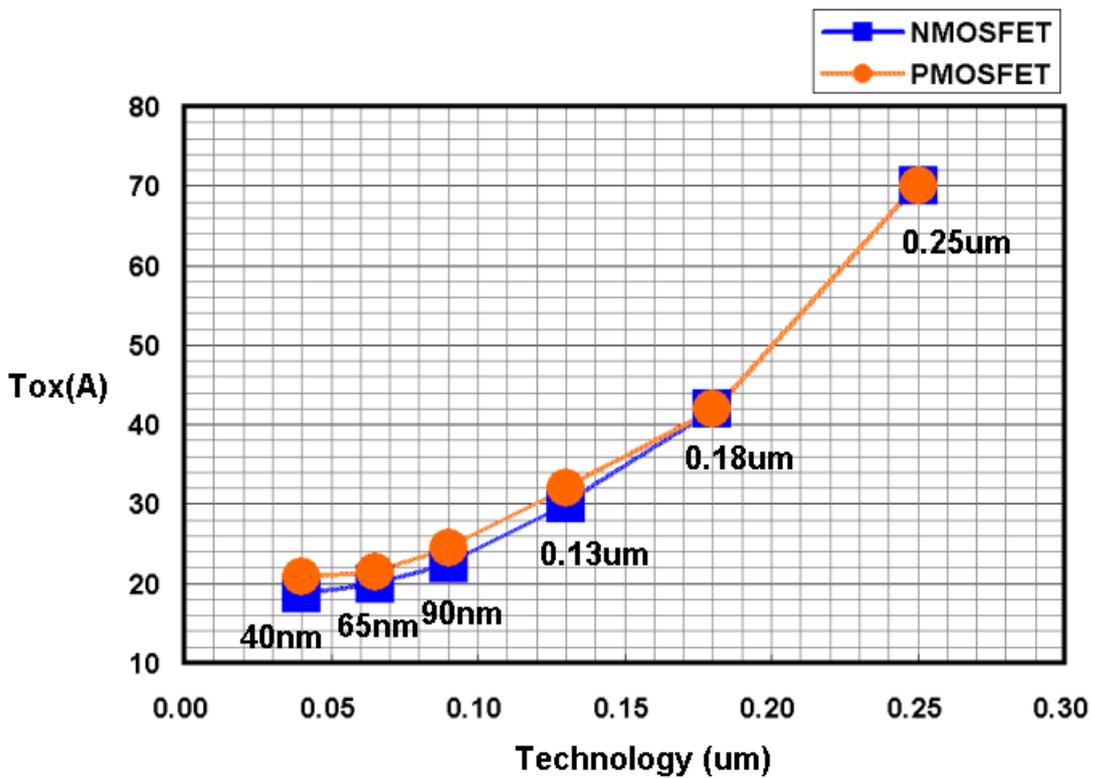


圖 1-3 氧化層厚度隨製程之演進。

因此，對 NMOSFET 而言，使用了具有延展性(Tensile)的 SiN 層當 CESL (Contact Etching Stop Layer)。對 PMOSFET 使用俱壓縮性 (Compressive) 的 SiN 層當 CESL。除此之外，SiGe 也使用於 PMOSFET 的源極 (Source)與汲極 (Drain)，以進一步提昇 PMOSFET 的元件效能[2][3][4][5]。圖 1-4 標示了 40 奈米元件的製程簡介，圖 1-5 標示了 NMOSFET 與 PMOSFET 的穿透式電子顯微鏡圖(TEM)圖。

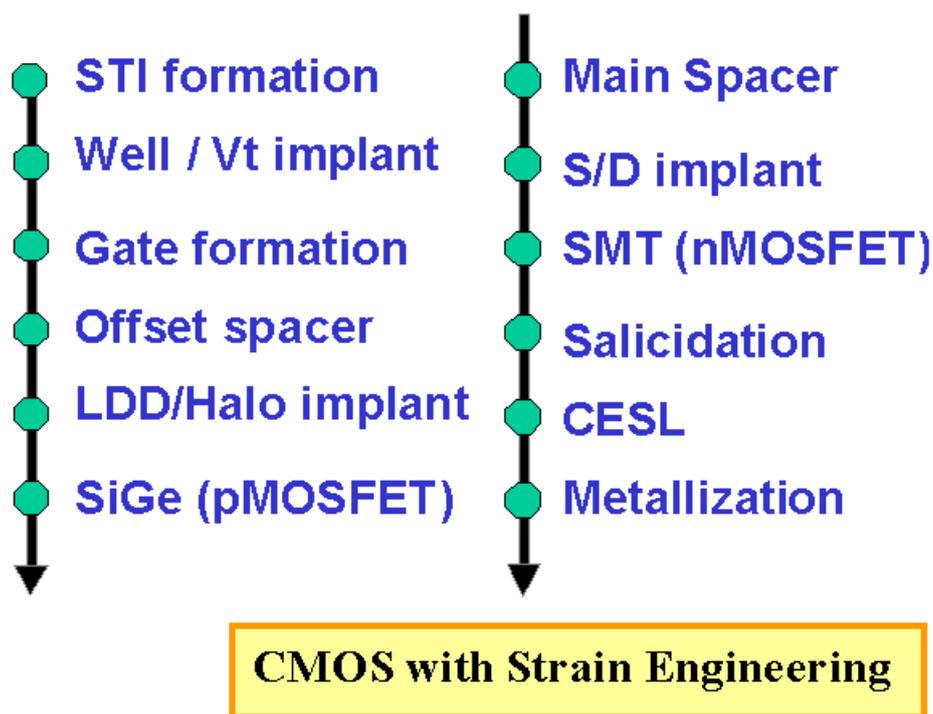


圖 1-4 40 奈米元件的製程簡介。

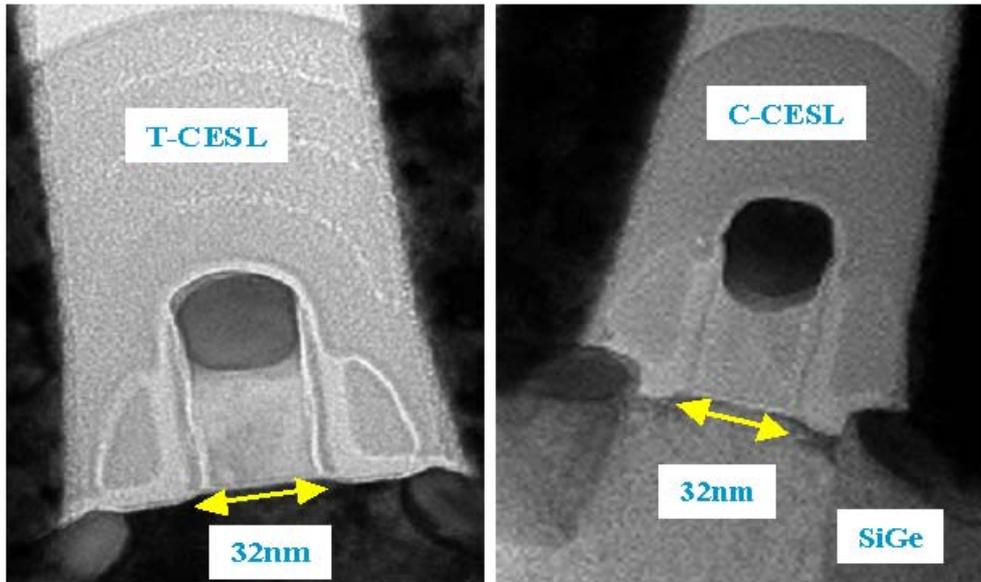


圖 1-5 40 奈米元件的穿透式電子顯微鏡圖(TEM)。

1.2 閃爍雜訊 (Flicker Noise) 的影響

當 MOSFET 元件的尺寸縮小，而氧化層的厚度變薄時，元件的閃爍雜訊將會有著不同行為與變化。基本上，閃爍雜訊的形成，是由於缺陷(trap)存在於氧化層內與氧化層和矽晶體交介面處。閃爍雜訊雖屬低頻雜訊，卻會被轉化為相位雜訊 (Phase Noise)，對射頻(Radio Frequency, RF)晶片中的震盪器 (Voltage Control Oscillator, VCO) 的性能，產生影響 [6][7]。早期的晶片，射頻部份大都由 Bipolar 元件製作，閃爍雜訊低，所以問題不大。隨著元件尺寸的縮小，當 MOSFET 半導體技術演進到足以成

功製造 SoC 晶片時，射頻電路與類比電路都由 MOSFET 元件製作，並與邏輯電路一起製作於同一晶片上，系統單晶片的成敗，往往取決於射頻電路與類比電路的優劣，而射頻與類比電路效能之優劣，主要因素之一，在於對於元件內部閃爍雜訊的掌握度。此外，當元件微縮時，晶片內部的供應電壓也會跟著減低，如早期 0.13 微米使用 1.2 伏特，到了 40 奈米使用 0.9 伏特，這種情況下，也會使得訊號雜訊比 (Signal to Noise ratio, S/N) 的規格，在電路設計上，更趨嚴苛。因此，對閃爍雜訊的掌握，對系統單片設計的成敗，有著極為關鍵性的影響。

1.3 研究動機

目前在業界與學術界已經發表的論文中，還沒有論文針對自 0.25 微米至 40 奈米元件之閃爍雜訊，提出定量之分與比較。因此，針對不同世代之半導體製程技術，系統性地研究閃爍雜訊這項特性之研究的重要性，益形重要。

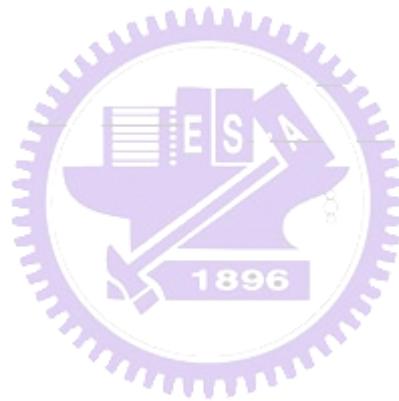
有鑒於以上的說明與元件行為事實，我們將針對 MOSFET 半導體製程技術自 0.25 微米世代到 40 奈米世代的 MOSFET 元件，氧化層的缺陷造成的閃爍雜訊，作系統性的量測與分析。然而，當元件尺寸縮小到 40 奈米世代，對於元件閘極長度(Gate length)與寬度(Gate width)都小的元件，存在於氧化層內的缺陷，將僅存在一個到數個，此時，欲透過閃爍雜訊的量化而分析其行為與影響，將遭受限制[8]。這種情況下，可透過隨機電報訊號(Random Telegraph Signal, RTS)進一步分析缺陷的位置。希望透過本研究，能對 SoC 晶片設計與奈米製程的開發，提供基本而有價值的參考。

1.4 論文架構

第二章：奈米元件閃爍雜訊之分析。

第三章：40 奈米元件之隨機電報訊號 (Random Telegraph Signal) 分析。

第四章：討論與未來展望。



第2章 奈米元件閃爍雜訊之分析

任何不希望接收到或不穩定的訊號皆可通稱為雜訊，而雜訊主要來源於自然環境或接面中的缺陷(Defects)。因 MOSFET 是經由離子佈值、氧化、蝕刻(Etching)、施加應力等多道製程所完成，而這些製程常使用高能離子衝擊並造成晶格上的傷害或接面上的缺陷，為了消除半導體內因應力或其他外來因素所造成的缺陷，會使用回火(Annealing)製程使晶體結構得以重整。它的原理是利用熱能(Thermal energy)，將物體內產生內應力的一些缺陷加以消除。但有些缺陷無法被完全消除並存在於接面或是氧化層中。無論缺陷存在於那部位，最終都會影響元件的電性及品質，並成為雜訊的主要來源。

缺陷的產生屬於隨機的行為，因此低頻雜訊的分析必須基於統計的數據。在類比電路上，低頻雜訊可對音頻訊號產生干擾，在高頻電路上，低頻雜訊會對高頻訊號的相位產生影響，使其失真。因此，既然無法避免，分析低頻雜訊特性，並進一步分析缺陷與雜訊的關聯性，實屬重要。

在本章節裡將會進行一系列不同元件的閃爍雜訊量測，並針對不同半導體世代之製程元件 (0.25 微米 - 40 奈米)的量測結果系統性地充份討論與分析，並歸納出完整的結果。

2.1 低頻雜訊 (Low frequency noise)

在半導體元件內任何電流、電壓或溫度上所造成之電性的擾動均為主要的雜訊來源，而與元件內部的載子流動、行經路徑、與介面材料均有關係，分別有：(1) Thermal noise、(2) Shot noise、(3) Generation-Recombination noise、(4) Flicker noise。

2.1.1 Thermal noise (Johnson - Nyquist noise)

熱雜訊廣泛的存在於半導體元件中，本質上是不可完全被消除的，它同時也代表了元件中最小的雜訊。熱雜訊是由於半導體中的載子(hole or electron)在非絕對0度的熱平衡環境之下進行無規則隨機的熱擾動，在運動過程中會碰撞到晶格缺陷、殘留離子或鍵結邊界，此時微量的能量交換會造成電流或電壓偏離平均值的微擾動，及為熱雜訊的源頭。

其可以模擬由一個LR電路串接一個電壓源代表的非理想電阻可表示為 [9]：

$$L \frac{di}{dt} + Ri = H(t) \quad (2-1)$$

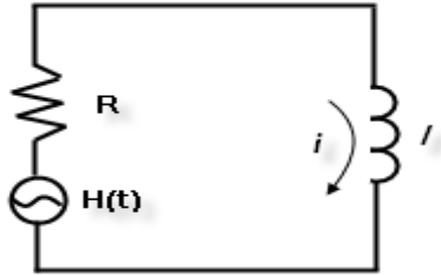


圖 2-1 LR 電路。

其中 $H(t)$ 為 White noise source，所以 $S_H(f) = S_H(0)$

$$S_i(f) = \frac{S_H(0)}{R^2 + \omega^2 L^2} \quad (2-2)$$

$$\overline{i^2} = \int S_i(f) df = \frac{S_H(0)}{4RL} \quad (2-3)$$

$$\frac{1}{2} Li^2 = \frac{1}{2} kT \quad (2-4)$$

$$S_H(0) = 4kTR = S_v(f) \quad (2-5)$$

2.1.2 Shot Noise

散射雜訊發生於任何面中當載子隨機穿越能障所引起的擾動，與外加電壓或元件中電流相關。當電流或電壓消失，散射雜訊也會隨之消失。其雜訊強度為[9]：

$$\overline{i_n^2} = 2qI_{DC}\Delta f \quad (2-6)$$

2.1.3 Generation-Recombination Noise (G-R noise)

Generation-recombination noise 主要是由於半導體元件中的缺陷與雜質所造成的，當介於 Conduction band 和 Valance band 間之缺陷或雜質和電荷發生產生(Generation)或復合(Recombination)而造成電性上的擾動，極為 G-R noise[9]。

$$\frac{d\Delta N}{dt} = -\frac{\Delta N}{\tau} + H(t) \quad (2-7)$$

ΔN 為擾動之載子數目， $H(t)$ 為 random noise term， τ 為多出載子之 life time。由 Eq. (2-3) 可得：

$$S_N(f) = -\frac{S_H(0)\tau^2}{1 + \omega^2\tau^2} \quad (2-8)$$

$$\overline{\Delta N^2} = \int_0^\infty S_N(f) df = S_N(0) \tau \int_0^\infty \frac{\tau df}{1 + \omega^2 \tau^2} = \frac{S_H(0) \tau}{4} \quad (2-9)$$

$$S_N(f) = 4 \overline{\Delta N^2} \frac{\tau}{1 + \omega^2 \tau^2} \quad (2-10)$$

$$I_d = g(V_0) \frac{dV_{x0}}{dx} \quad (2-11)$$

$$\Delta I_d = \frac{g(V_0)}{L} \Delta V_x \quad (2-12)$$

$g(V_0)$ 為導電係數， $g(V_0) = q\mu\Delta N\Delta x$ ， L 為 channel length。

$$\Delta R = \frac{\Delta x}{g(V_0)} = \frac{\Delta x^2}{q\mu\Delta N} \quad (2-13)$$

帶入 Wiener - Khinchin theorem 則：

$$S_I(f) = \frac{4q\mu}{L^2} I_d V_d \frac{\alpha \tau}{1 + \omega^2 \tau^2} \quad (2-14)$$

由此可知元件之偏壓會決定空乏區深度，也會影響雜訊能階與 Fermi-level 之相對位置進而引發不同之 Generation-recombination noise。

2.1.4 Flicker Noise (1/f noise)

Johnson 於 1925 年在真空管內觀察到閃爍雜訊，隨即 Walter Schottky 於 1926 年對他做出解釋。閃爍雜訊於 MOSFET、BJT 中都可被觀察到，也為 MOSFET 元件中最主要的雜訊來源，其雜訊密度與頻率於雙對數座標下成下出反比的關係，故一般又稱之為 1/f 雜訊 (1/f noise)。

- Surface Noise Theory :

圖 2-1 為以下定義之載子傳導路徑與能帶圖。Surface noise 發生於一無窮薄層於界面($x=0, y$)，被稱為 fast surface states 或 interface states，它們可以隨時交換載子於導帶(conduction band)和價帶(valence band)間。那些遠離界面處之 states($x=x, y$)，則稱為 slow surface states 或 oxide trap states，主要是由於它們不能直接交換載子於導帶和價帶 [10]。

Fast surface states 可由導帶捕捉電子，或激發被捕捉之電子到導帶。電洞可以傳導於 surface states 與 valence band states 間；一個位於 fast surface states 之被捕捉的電子也可以經由穿隧(Tunneling)效應進入距一段距離之氧化層中之缺陷。Surface noise theory 之反應機制可由下列 Process (a) ~ Process (f)表示：

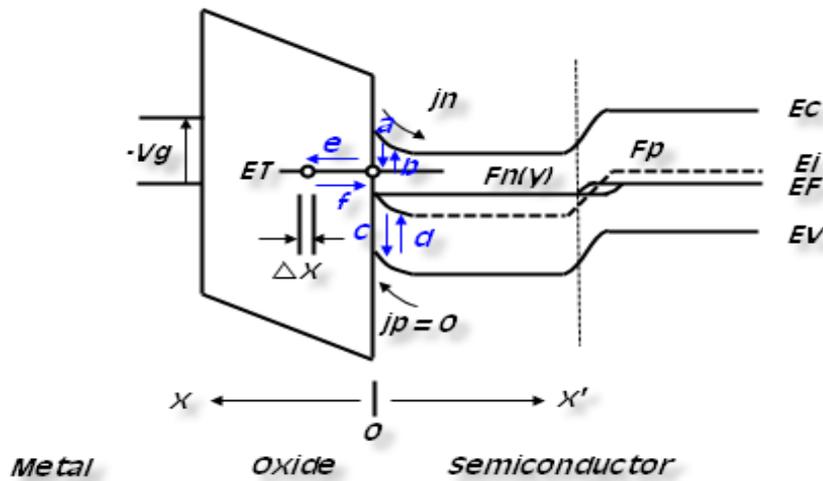


圖 2-2 N 通道之 MOSFET 中載子遷移過程與能帶圖。

- ✧ Process (a)：假設一個空的 surface state 坐落在 $(x=0, y)$ ，它可以從通道中捕獲一個導帶上位於同一位置之電子並帶負電。此時，N+源極之電子將會飄移(drift)到通道中以保持相同數量之電子。又電子為通道中之主要載子，所以其飄移時間會與 dielectric relaxation time 相同(約為數量級 10^{-12} 秒)。上述之捕捉過程會造成載子波動於 $(x=0, y)$ 。
- ✧ Process (b)：被 surface states 捕捉之電子可以經由熱激發到導帶，沿著表面電場方向從 $(x=0, y)$ 到 $(x=x', y)$ ，並造成 $(x=0, y)$ 處之靜電荷數目之改變。
- ✧ Process (c)：被 surface states 捕捉之電子也可以與價帶之電洞復合(recombination)。於 $(x=0, y)$ ，來自於價帶之電洞被被填滿之 surface states 捕捉後並不會產生靜電荷變化，主要由於表面能帶彎曲(band bending)之大能障以致於不能與外部電路作用。
- ✧ Process (d)：同樣的如果電洞由從 surface state 熱激發並不會產生靜

電荷變化。

由於 Hole pocket 孤立於外部電路(無電洞流)，故當電洞傳導於 surface states 和 valence band states 間時將不會造成導帶通道間靜電荷之擾動；因此，不會對 Flicker noise 產生貢獻。

- ◇ Process (e) : Trap 位於氧化層靠近界面(Interface)可與 fast surface states 或其 band states 經由穿隧效應交換表面電荷。換言之，當電子距表面一段距離 x ，並誘發載子 $[q(x_0-x)/x_0]$ 於 $(x=0, y)$ 處可被 fast surface states 捕捉將穿隧至氧化層一同能級之 trap。其中 x_0 為氧化層之厚度。
- ◇ Process (f) : 同樣的，於反向的路徑，將會誘發載子 $-[q(x_0-x)/x_0]$ 於導帶中。

於 surface noise theory 中重要的是，要注意 oxide trap states 和 surface states 之間的 transition probabilities；而 transition probabilities 主要是來自那些 surface states 之能量接近 oxide trap 之能級。Transitions 也可能存在於氧化層陷阱和傳導帶或價帶之間，但這些可以忽略，因為相較其大更大量的能量變化它們是非常小的。

- The models of Flicker Noise :

MOSFET 元件中閃爍雜訊的主要來源是由於閘氧化層(Gate oxide)與矽通道(Si-SiO₂)間之 Traps 與晶格缺陷，由於 MOSFET 為表面元件，所以當通道被導通行成反轉區時，閘氧化層與界面中之 Traps 與晶格缺陷會與載子發生捕捉(Trapping)與釋放(De-trapping)之物理現象，進而影響導通之電流量發生擾動，及為閃爍雜訊。通常用載子密度擾動模型(carrier density fluctuation model，或稱 carrier number fluctuation model)和遷移率

擾動模型 (mobility fluctuation model, 或稱Hooge model) 來解釋 MOSFET 元件中之閃爍雜訊。然而低頻雜訊到底是載子密度或是遷移率擾動所造成, 實在很難確切地被釐清, 故有愈來愈多的研究, 已逐漸地把兩者合而為一, 提出修正後的載子與遷移擾動模型 (correlated carrier and mobility fluctuation model, 或稱unified model)。

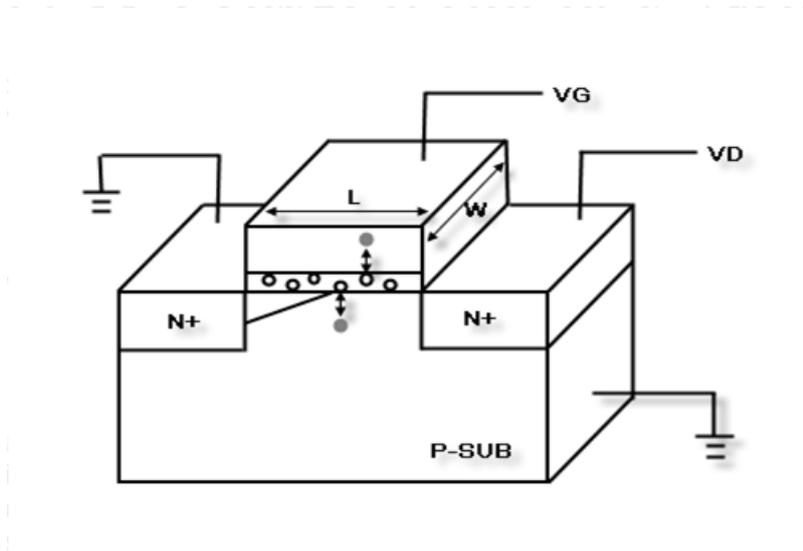


圖 2-3 MOSFET 結構中之缺陷分析模型。

◇ Carrier Density Fluctuation Model and Mobility Fluctuation Model[9][12][13][14] :

如果一個元件閘極長度為 L 、具有 N 個電子、遷移率為 μ 之電阻, 其表示如下:

$$R = -\frac{L^2}{q\mu N} \quad (2-15)$$

此式中只有 N 和 μ 能行成波動。如果 N 做波動及為 Number-fluctuation；如果 μ 做波動及為 Mobility-fluctuation。如果 δN 和 $\delta \mu$ 為擾動項，可得：

$$\frac{\delta R}{R} = -\frac{\delta N}{N} - \frac{\delta \mu}{\mu} \quad (2-16)$$

\bar{R} 、 \bar{N} 、 $\bar{\mu}$ 、 \bar{V} 為各項之平均值。如果 δN 和 $\delta \mu$ 為各自獨立，

$$\frac{S_R(f)}{\bar{R}^2} = \frac{S_N(f)}{\bar{N}^2} + \frac{S_\mu(f)}{\bar{\mu}^2} = \frac{S_V(f)}{\bar{V}^2} \quad (2-17)$$

如果為 Number-fluctuation 1/f noise：Number-fluctuation 1/f noise 主要是由於氧化層(Gate oxide)與矽通道(Si-SiO₂)間之Traps與晶格缺陷，由於MOSFET為表面元件，所以當通道被導通行成反轉區時，閘氧化層與界面中之Traps與晶格缺陷會與載子發生捕捉(Trapping)與釋放(De-trapping)之物理現象，進而影響導通之電流量發生擾動。

$$\frac{S_V(f)}{\bar{V}^2} = \frac{S_N(f)}{\bar{N}^2} = \frac{\overline{\Delta N^2}}{\bar{N}^2 f \ln(\tau_1/\tau_0)} \quad (2-18)$$

如果為 Mobility-fluctuation 1/f noise：Mobility-fluctuation

1/f noise 是由於自由載子經過通道時，會因載子互相產生碰撞及庫倫散射，而造成遷移率之擾動。現今之輸入 noise power 之能量已被證實與 $(V_g - V_{th})/C_{ox}$ 成正比。

$$\frac{S_V(f)}{\bar{V}^2} = \frac{S_\mu(f)}{\bar{\mu}^2} = \frac{\alpha_a^2}{Nf \ln(\tau_1/\tau_0)} = \frac{\alpha}{fN} \quad (2-19)$$

α_a^2 為一單一材料常數。Hooge 於 1969 年依據多種材料得到之結果修正為：

$$\frac{S_I(f)}{\bar{I}^2} = \frac{S_V(f)}{\bar{V}^2} = \frac{\alpha_H}{fN} \quad (2-20)$$

α_H 為 Hooge 常數，值約 2×10^{-3} 。 \bar{I} 為平均電流， S_I 為電流之頻譜密度強度。如果為 non-uniform sample 則為：

$$\frac{S_I(f)}{\bar{I}^2} = \frac{\alpha_H}{fN_{total}} \quad (2-21)$$

N_{total} 為 sample 中之自由載子數目。

✧ 修正後的載子與遷移率擾動模型 (correlated carrier and mobility fluctuation model, 或稱 unified model) [11][15][17]：

載子密度擾動模型 (carrier density fluctuation model，或稱 carrier number fluctuation model) 主因於矽通道介面存有缺陷，會對載子電荷產生捕抓與釋放行為，而這也是遷移率擾動模型的發生原因。而遷移率擾動模型 (mobility fluctuation model，或稱 Hooge model)，裡，也提到關於自由載子的庫倫散射觀念，所以也解釋遷移率擾動，亦也包含載子密度擾動，而也只有當電子被分佈在 Quasi-Fermi Level 附近之 Traps 捕捉時之擾動對 Flicker noise 有所貢獻。故將兩者理論合而為一，使得低頻雜訊理論更趨完整，並更具其物理意義。

當一個 MOSFET 元件之元件閘極寬度為 W 、元件閘極長度為 Δx ，其汲極端電流為：

$$I_d = W\mu qNE_x \quad (2-22)$$



其中 μ 為載子之遷移率、 q 為電子電荷量、 N 為通道載子之單位數目、 E_x 為水平之通道電場。故汲極之擾動可表示為：

$$\frac{\delta I_d}{I_d} = - \left[\frac{1}{N} \frac{\delta \Delta N}{\delta \Delta N_t} \pm \frac{1}{\mu} \frac{\delta \mu}{\delta \Delta N_t} \right] \delta \Delta N_t \quad (2-23)$$

其中 $\Delta N = NW\Delta x$ ， $\Delta N_t = N_t W\Delta x$ ， N_t 為被佔領之單位面積陷阱。而其中載子遷移率之鄭負號要看它為 neutral 或 charged traps； $\delta \Delta N / \delta \Delta N_t$ 為一通道中擾動與被佔領 traps 之擾動的耦合係數。

$$\frac{1}{\mu} = \frac{1}{\mu_n} + \frac{1}{\mu_{ox}} = \frac{1}{\mu_n} + \alpha N_t \quad (2-24)$$

其中 μ_{ox} 為載子 oxide charge scattering 之遷移率， μ_n 為其他之 scattering 之遷移率。依據(2-23)、(2-24)可以推導出：

$$\frac{\delta\mu}{\delta\Delta N_t} = -\frac{\alpha\mu^2}{W\Delta x} \quad (2-25)$$

$$\frac{\delta I_d}{I_d} = -\left[\frac{1}{N} \pm \alpha\mu\right] \frac{\delta\Delta N_t}{W\Delta x} \quad (2-26)$$

則正規劃之汲極電流頻譜密度為：

$$S_{I_d}(f) = \frac{kTI_d^2}{\gamma WL} \left(\frac{1}{N} + \alpha\mu\right)^2 N_t(E_{fn}) \quad (2-27)$$

$$\gamma = \frac{4\pi}{h} \sqrt{2m^*\Phi_B} \quad (2-28)$$

γ 為閘極氧化層中電子波之衰減係數(1/cm)， Φ_B 為載子於 interface 之 tunneling barrier high， m^* 為有效電子質量， $N_t(E_{fn})$ 為 quasi-Fermi-level 之下的有效閘極氧化層之缺陷密度。

2.2 Flicker Noise 量測結果分析

2.2.1 實驗量測方式以及元件資訊

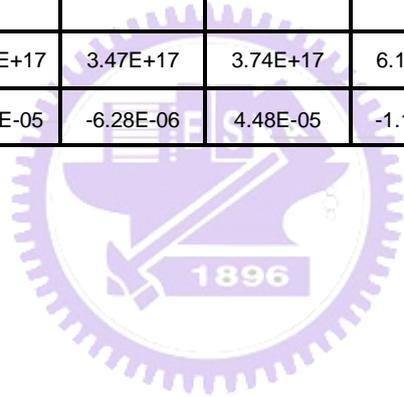
本實驗所需儀器為(1) HP4156 Semiconductor Parameter Analyzer，
(2) HP35670 Dynamic Signal Analyzer，(3) BTA 9812 FET Noise Analyzer。

由於元件之雜訊訊號非常小，為避免動態分析儀(dynamic Signal Analyzer)無法偵測到故先用 Pre-amplifier 先放大 1000 倍後再輸入動態分析儀。我們將元件操作於線性區量測，故量測條件分別為：線性區，汲極電壓(Vd)設定為 0.1 伏特，閘極電壓 Vg 設定為略大於臨界電壓(Vt)以確保元件操作於反轉區。其量測頻率範圍從 1Hz~100kHz。

由於汲極電流頻譜密度會隨其不同的元件閘極長度愈大而下降，因較大的通道長度可減緩載子之散射效應，而我們主要是要觀察隨著製程技術縮小，1/f noise 其相對之重要性。故我們取相同尺寸元件閘極寬度為 10 微米、元件閘極長度為 1 微米之厚氧化層(IO)及薄氧化層(Core)的不同製程 MOSFET 元件，如 0.25 微米、0.18 微米、0.13 微米、90 奈米、65 奈米、40 奈米，並加以分析其 1/f noise 雜訊量測結果。以下表格 2-1~表格 2-4 為量測元件資訊。

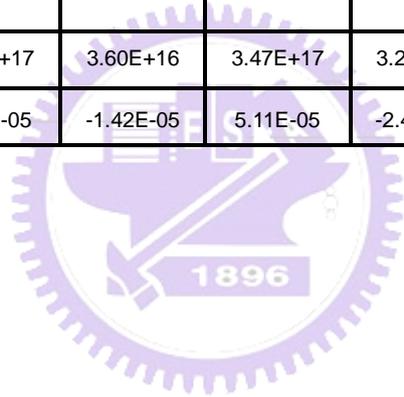
表格 2-1 元件資訊(a) 不同製程的薄氧化層(Core)MOSFET 元件

Process	0.25um		0.18um		0.13um	
Type	N	P	N	P	N	P
Vt	VTLIN		VTLIN		VTLIN	
	6.35E-01	-6.45E-01	3.94E-01	-4.91E-01	3.52E-01	-3.75E-01
	VTSAT		VTSAT		VTSAT	
	6.29E-01	-6.37E-01	3.79E-01	-4.85E-01	3.43E-01	-3.71E-01
Test Condition	Vg		Vg		Vg	
Vd=0.1V	8.50E-01	-8.50E-01	6.00E-01	-7.00E-01	5.50E-01	-6.00E-01
Tox_inversion(A)	70	70	42	42	30	32
SMT	x	x	x	x	x	x
Tensil/Compressive	x	x	x	x	x	x
SiGe for PMOS	x	x	x	x	x	x
Nch/Ndep	2.73E+17	3.47E+17	3.74E+17	6.13E+17	3.03E+17	1.07E+18
Id@(Vd,Vg)	3.40E-05	-6.28E-06	4.48E-05	-1.10E-05	5.08E-05	-1.11E-05



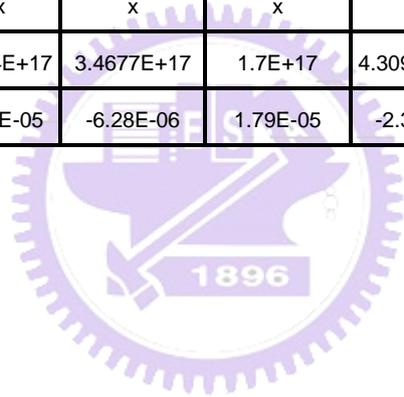
表格 2-2 元件資訊(b) 不同製程的薄氧化層(Core)MOSFET 元件

Process	90nm		65nm		40nm	
Type	N	P	N	P	N	P
Vt	VTLIN		VTLIN		VTLIN	
	0.149	-0.12	0.17	-0.194	0.287	-0.201
	VTSAT		VTSAT		VTSAT	
	0.12	-0.092	0.133	-0.164	0.259	-0.183
Test Condition	Vg		Vg		Vg	
Vd=0.1V	4.00E-01	-3.50E-01	4.00E-01	-4.50E-01	5.50E-01	-4.50E-01
Tox_inversion(A)	22.5	24.5	20	21.5	18.8	20.8
SMT	x	x	v	v	v	v
Tensil/Compressive	x	x	Tensil	x	Tensil	Compressive
SiGe for PMOS	x	x	x	x	x	v
Nch/Ndep	1.00E+17	3.60E+16	3.47E+17	3.24E+17	3.60E+17	3.99E+17
Id@(Vd,Vg)	5.68E-05	-1.42E-05	5.11E-05	-2.40E-05	8.03E-05	-2.27E-05



表格 2-3 元件資訊(c) 不同製程的厚氧化層(10)MOSFET 元件

Process	0.25um		0.18um		0.13um	
Type	N	P	N	P	N	P
Vt	VTLIN		VTLIN		VTLIN	
	6.35E-01	-6.29E-01	3.94E-01	-4.91E-01	6.42E-01	-6.28E-01
	VTSAT		VTSAT		VTSAT	
	6.22E-01	-6.13E-01	3.69E-01	-4.82E-01	6.30E-01	-6.19E-01
Test Condition	Vg		Vg		Vg	
Vd=0.1V	8.50E-01	-8.50E-01	8.50E-01	-8.50E-01	8.50E-01	-8.00E-01
Tox_inversion(A)	70	70	70	70	73	76
SMT	x	x	x	x	x	x
Tensil/Compressive	x	x	x	x	x	x
SiGe for PMOS	x	x	x	x	x	x
Nch/Ndep	2.734E+17	3.4677E+17	1.7E+17	4.30963E+17	6.6276E+17	5.8888E+17
Id@(Vd,Vg)	3.40E-05	-6.28E-06	1.79E-05	-2.39E-06	2.88E-05	-5.34E-06



表格 2-4 元件資訊(d) 不同製程的厚氧化層(I0) MOSFET 元件

Process	90nm		65nm		40nm	
Type	N	P	N	P	N	P
Vt	VTLIN		VTLIN		VTLIN	
	5.52E-01	-4.25E-01	6.01E-01	-4.49E-01	6.18E-01	-5.90E-01
	VTSAT		VTSAT		VTSAT	
	5.36E-01	-4.00E-01	5.84E-01	-4.27E-01	5.93E-01	-5.67E-01
Test Condition	Vg		Vg		Vg	
Vd=0.1V	7.50E-01	-7.50E-01	8.00E-01	-6.50E-01	8.00E-01	-8.00E-01
Tox_inversion(A)	60	62	62	64.5	57	59.5
SMT	x	x	v	v	v	v
Tensil/Compressive	x	x	Tensil	x	Tensil	Compressive
SiGe for PMOS	x	x	x	x	x	x
Nch/Ndep	1.3E+17	1E+17	1.3E+17	1.3E+17	7E+16	1.7E+17
Id@(Vd,Vg)	1.41E-05	-6.26E-05	4.56E-05	-1.58E-05	1.76E-05	-1.12E-05

2.2.2 量測結果與其分析

圖 2-4~圖 2-8 及表格 2-5~表格 2-9 為分別針對不同製程之厚氧化層以及薄氧化層的低頻雜訊量測結果比較。

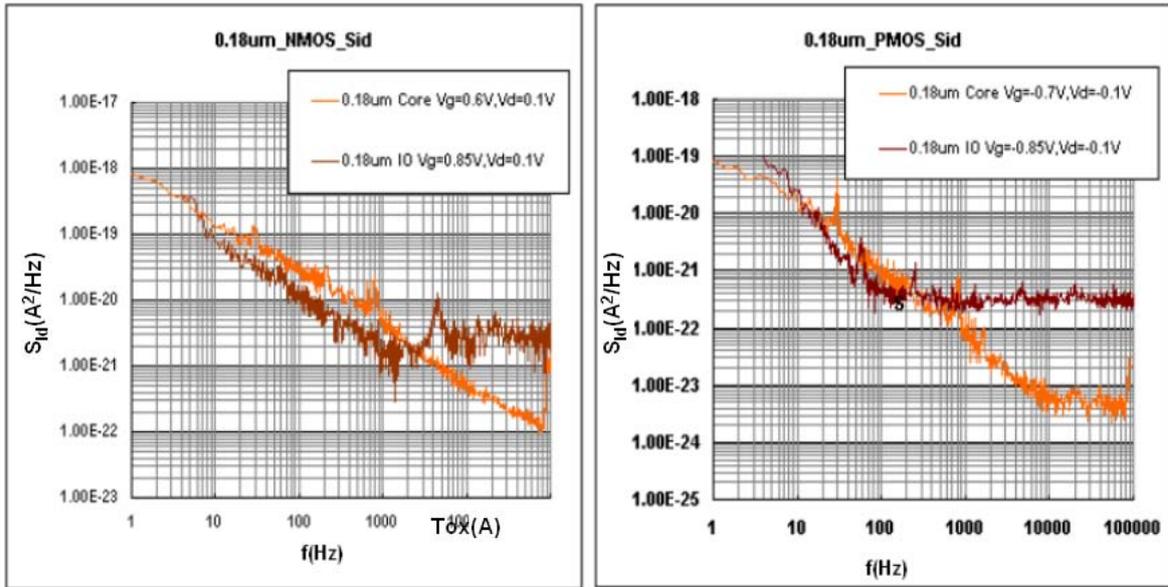


圖 2-4 0.18 微米 MOSFET 的厚、薄氧化層雜訊密度比較。

表格 2-5 0.18 微米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果

0.18um_NMOS	Core	IO
Tox_inversion(A)	42	70
Sid(f=100Hz)	3.06E-20	1.13E-20
Id(A)	4.48E-05	1.79E-05

0.18um_PMOS	Core	IO
Tox_inversion(A)	42	70
Sid(f=100Hz)	9.41E-22	4.61E-22
Id(A)	-1.10E-05	-2.39E-06

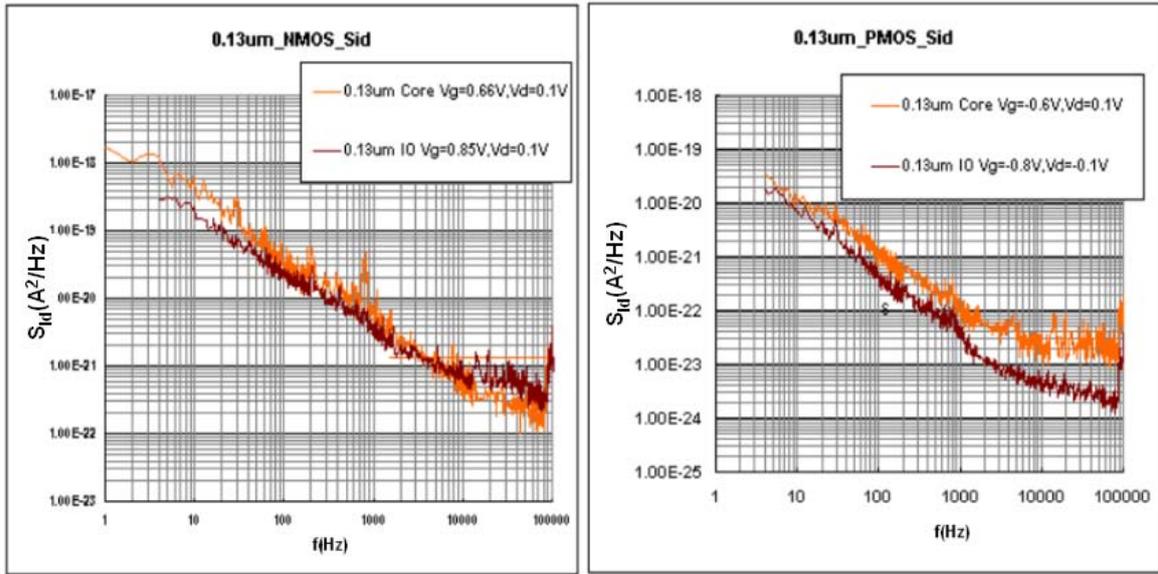


圖 2-5 0.13 微米 MOSFET 的厚、薄氧化層雜訊密度比較。

表格 2-6 0.13 微米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果

0.13um_NMOS	Core	IO
Tox_inversion(A)	30	73
Sid(f=100Hz)	3.30E-20	4.54E-20
Id(A)	5.08E-05	2.88E-05

0.13um_PMOS	Core	IO
Tox_inversion(A)	32	76
Sid(f=100Hz)	1.22E-21	4.44E-22
Id(A)	-1.11E-05	-5.34E-06

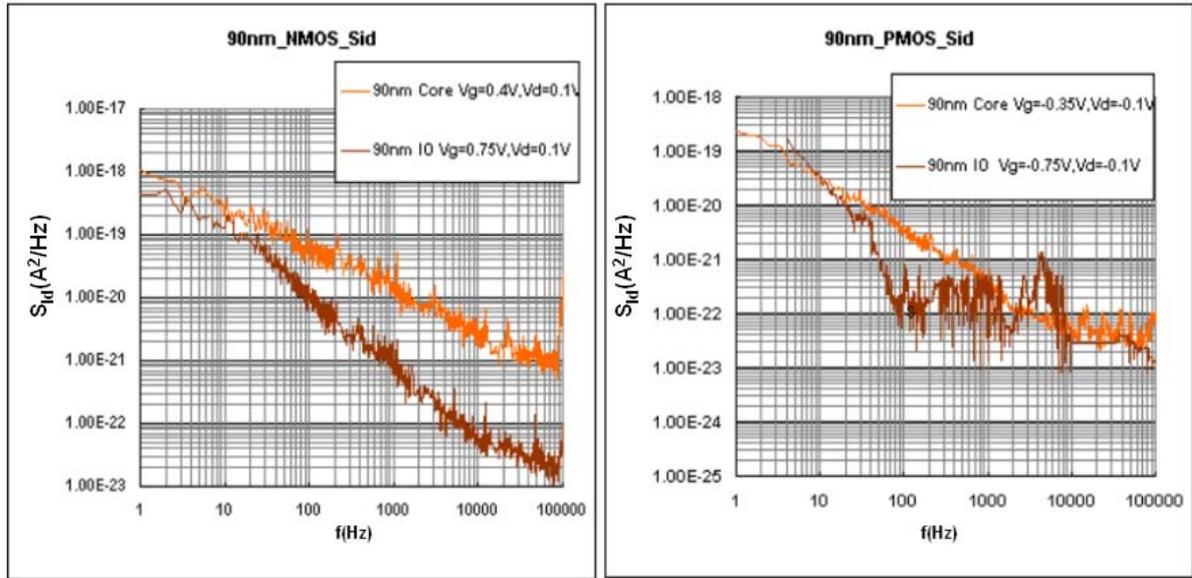


圖 2-6 90 奈米 MOSFET 的厚、薄氧化層雜訊密度比較。

表格 2-7 90 奈米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果

90nm_NMOS	Core	IO
Tox_inversion(A)	22.5	60
Sid(f=100Hz)	7.08E-20	1.34E-20
Id(A)	5.68E-05	1.41E-05

90nm_PMOS	Core	IO
Tox_inversion(A)	24.5	62
Sid(f=100Hz)	3.57E-21	4.42E-22
Id(A)	-1.42E-05	-6.26E-05

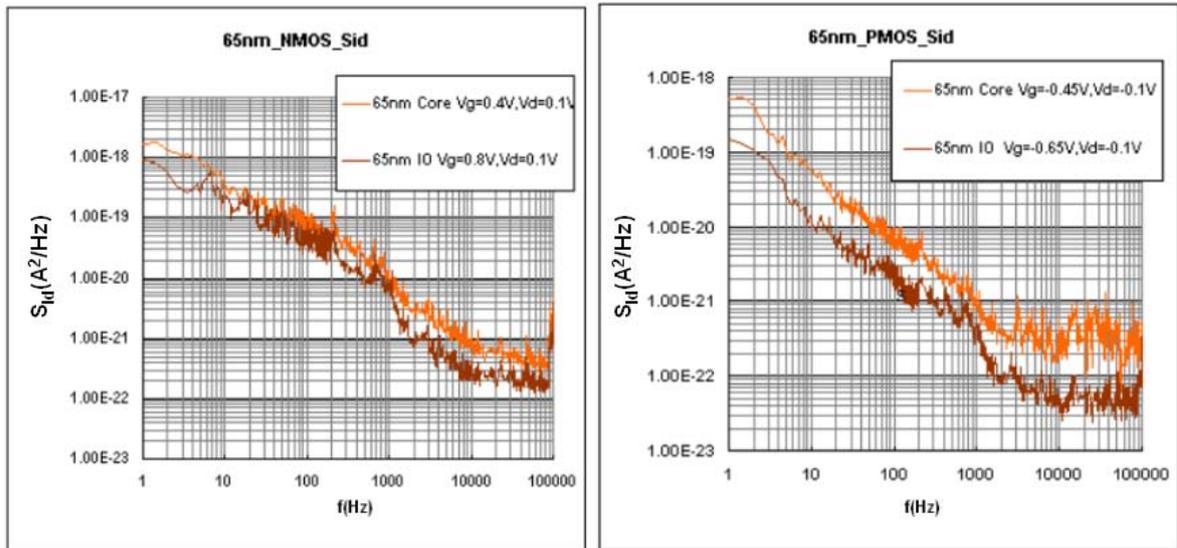


圖 2-7 65 奈米 MOSFET 的厚、薄氧化層雜訊密度比較。

表格 2-8 65 奈米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果

65nm_NMOS	Core	IO	65nm_PMOS	Core	IO
Tox_inversion(A)	20	62	Tox_inversion(A)	21.5	64.5
Sid(f=100Hz)	1.01E-19	6.64E-20	Sid(f=100Hz)	8.17E-21	2.90E-21
Id(A)	5.11E-05	4.56E-05	Id(A)	-2.40E-05	-1.58E-05

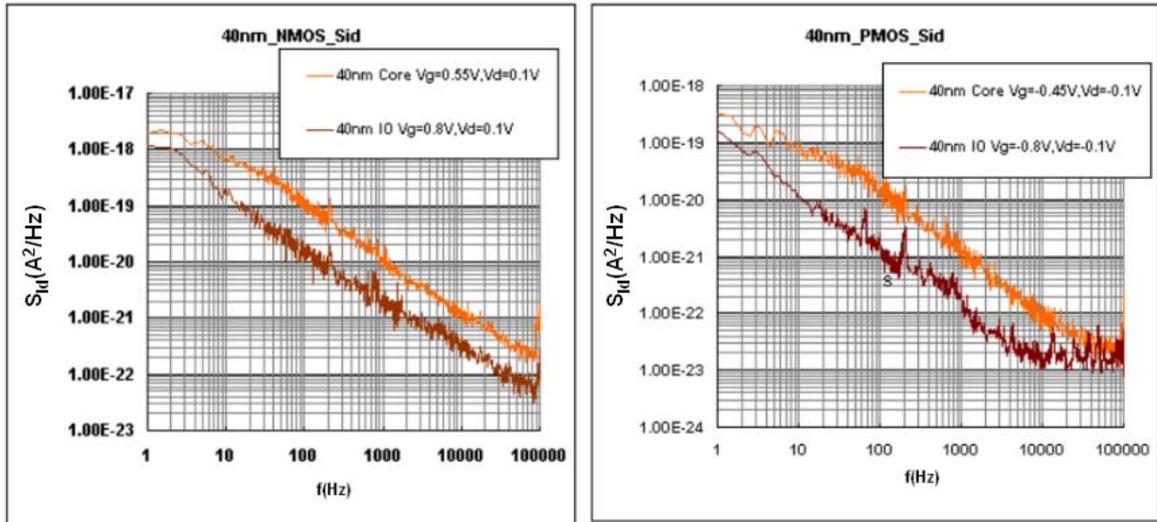


圖 2-8 40 奈米 MOSFET 的厚、薄氧化層雜訊密度比較。

表格 2-9 40 奈米 MOSFET 的厚、薄氧化層雜訊密度與電流量測結果

40nm_NMOS	Core	IO	40nm_PMOS	Core	IO
Tox_inversion(A)	18.8	57	Tox_inversion(A)	20.8	59.5
Sid(f=100Hz)	1.13E-19	1.40E-20	Sid(f=100Hz)	1.35E-20	2.34E-21
Id(A)	8.03E-05	1.76E-05	Id(A)	-2.27E-05	-1.12E-05

由以上結果可以觀察出在相同製程之下，汲極電流較大、氧化層較薄的元件其低頻雜訊密度也會比較大。也可驗證式子 2-27 中電流較大，雜訊也會愈大。

再看 NMOSFET 和 PMOSFET 於不同製程之厚氧化層及薄氧化層之雜訊和電流量測結果如圖 2-9 ~ 圖 2-16 所示。如前章節所提到，當 MOSFET 元件通道被導通行成反轉區時，閘氧化層與界面中之缺陷與晶格缺陷會與載子發生捕捉與釋放之物理現象，進而影響導通之電流量發生擾動，即為閃爍

雜訊；故當製程能力上升為了使載子遷移率上升故元件之參雜密度變濃，當到達 65 奈米及 90 奈米時更在製程中施加應力(tensile 及 compressive)以提昇載子之遷移率。載子之遷移率上升會使得汲極雜訊頻譜密度變大。而閘極氧化層厚度也隨著製程能力提昇而變薄，自然其缺陷濃度會大大提昇。所以我們可以觀察到在薄氧化層元件中，隨著製程世代演進之同樣大小 MOSFET 元件，其汲極雜訊頻譜密度隨製程能力上升變大。

集其上述兩點，故我們可以推測在薄氧化層元件中隨製程世代演進，在同一尺寸之元件其汲極雜訊頻譜密度也會隨之變大。

但於厚氧化層元件，我們並沒有辦法看出雜訊密度的分布是否有依循薄氧化層相同的結果。



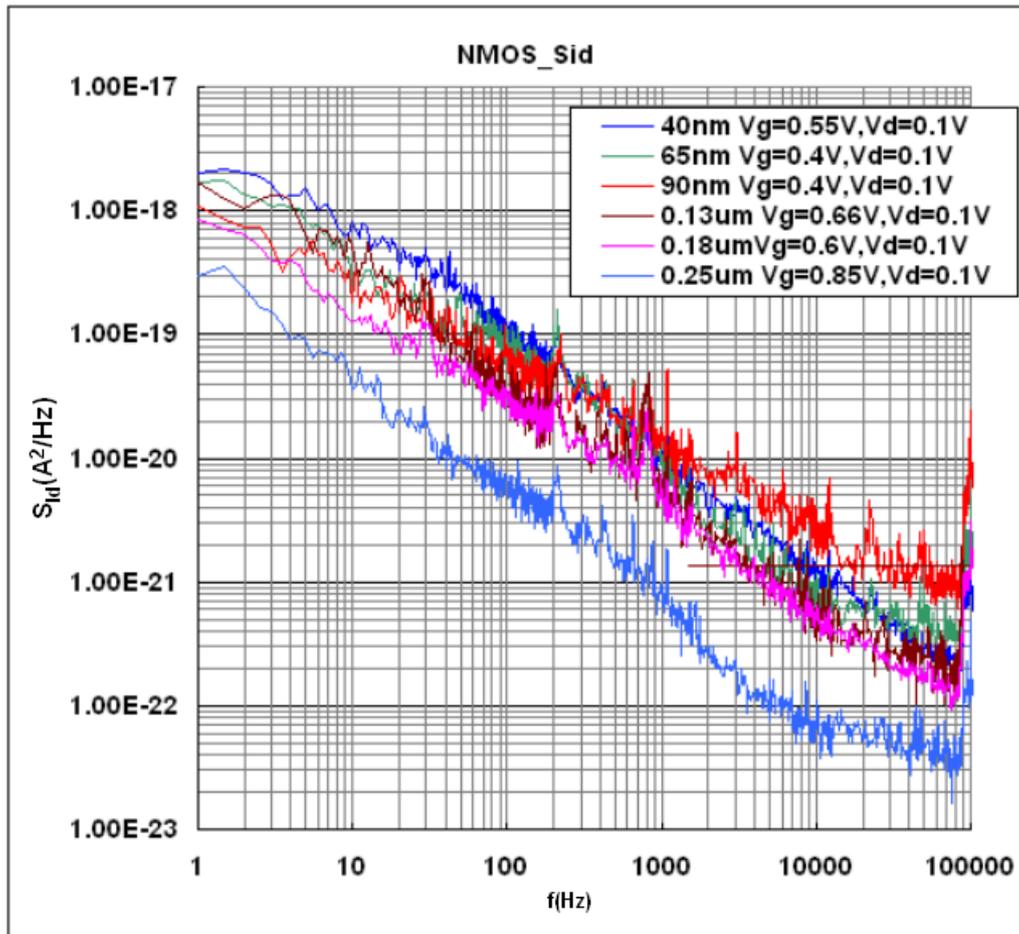


圖 2-9 NMOSFET 不同製程之薄氧化層雜訊密度比較。

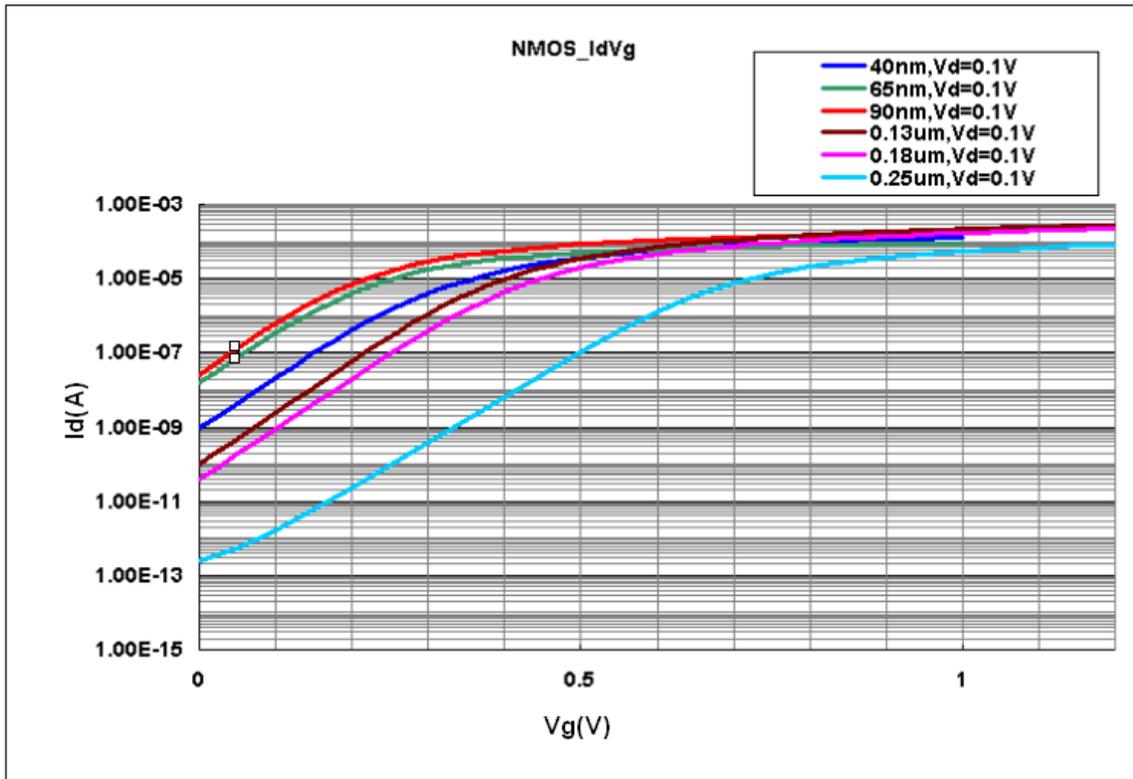


圖 2-10 NMOSFET 不同製程之薄氧化層 Id-Vg 圖。



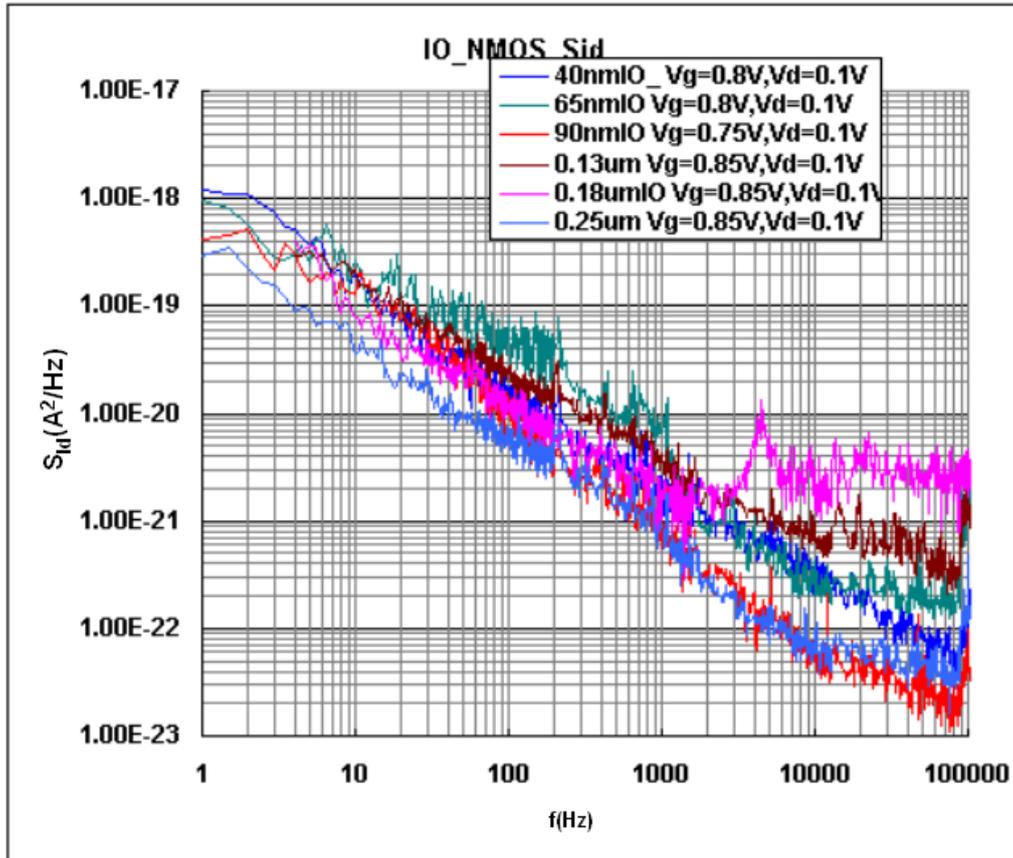


圖 2-11 NMOSFET 不同製程之厚氧化層雜訊密度比較。

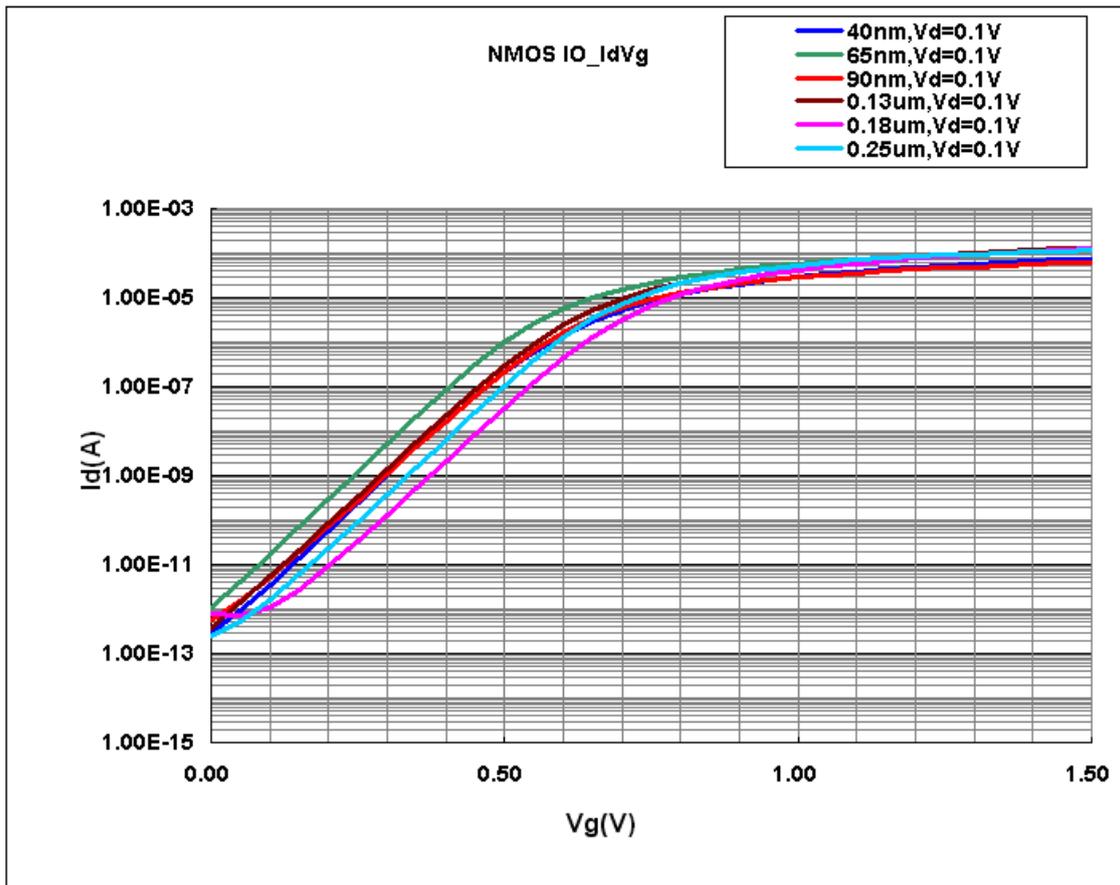


圖 2-12 NMOSFET 不同製程之厚氧化層 I_d - V_g 圖。

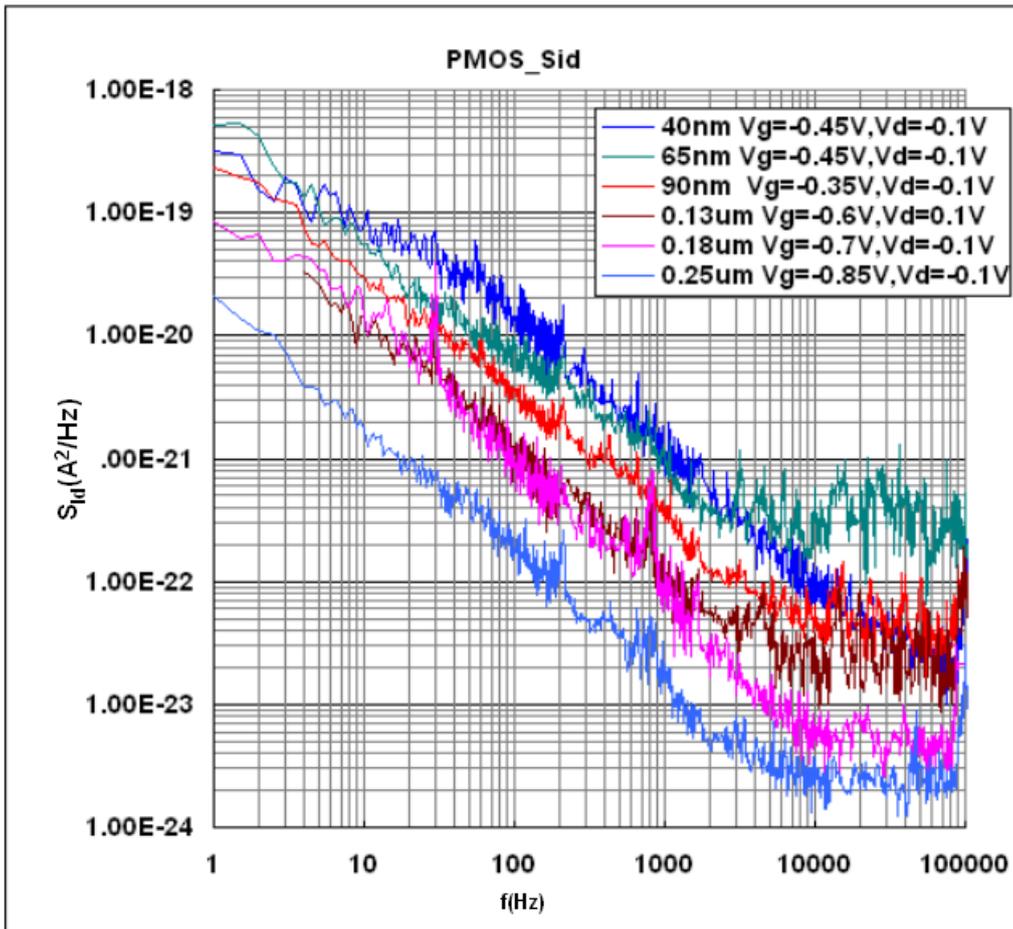


圖 2-13 PMOSFET 不同製程之薄氧化層雜訊密度比較。

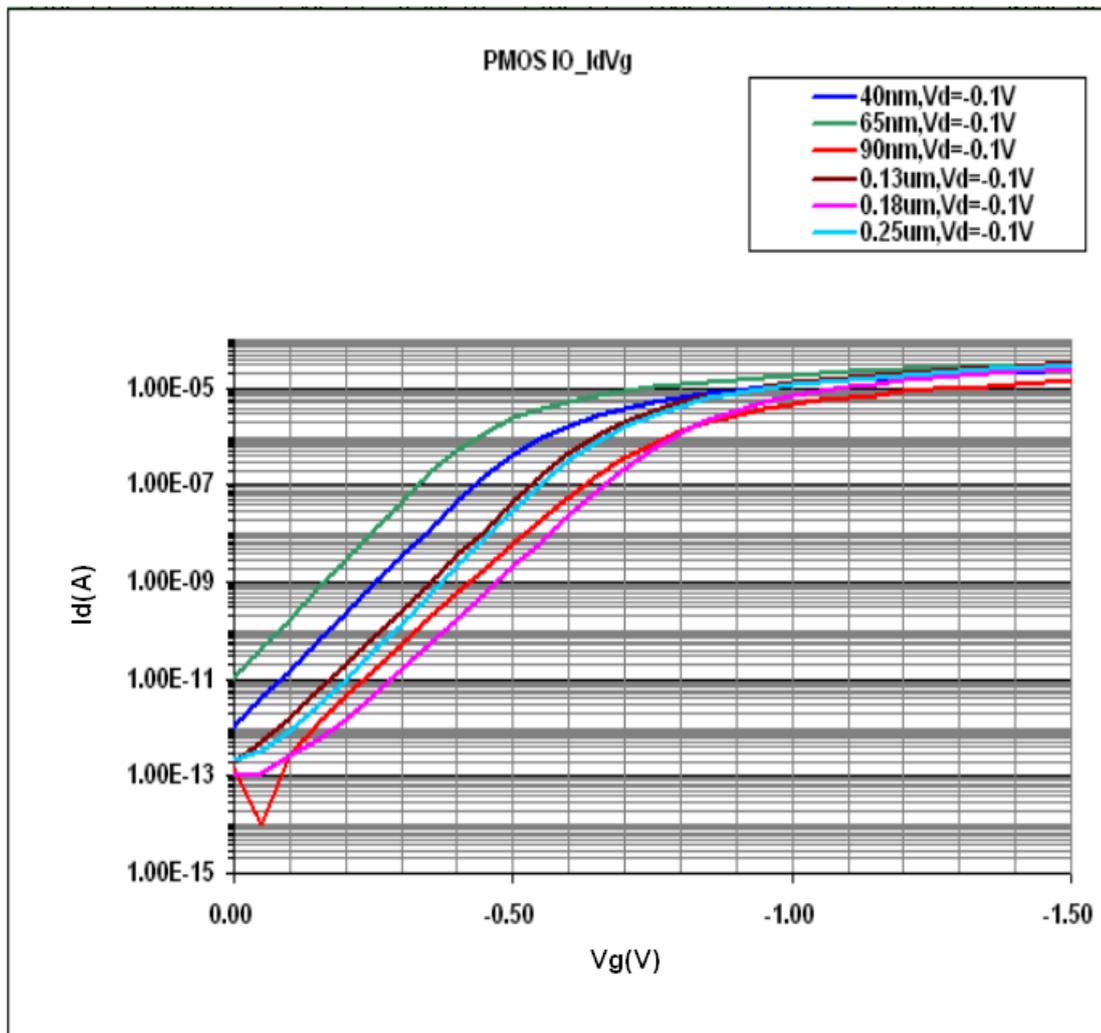


圖 2-14 PMOSFET 不同製程之薄氧化層 Id-Vg 圖。

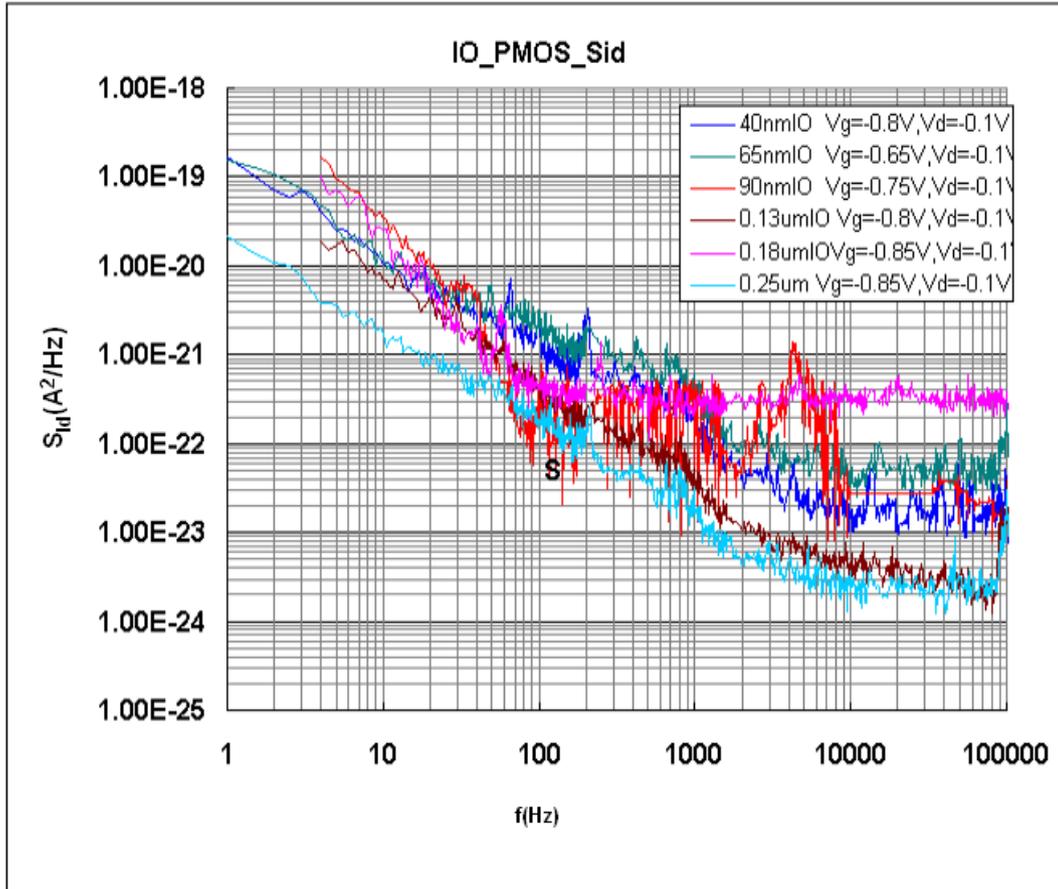


圖 2-15 PMOSFET 不同製程之厚氧化層雜訊密度比較。

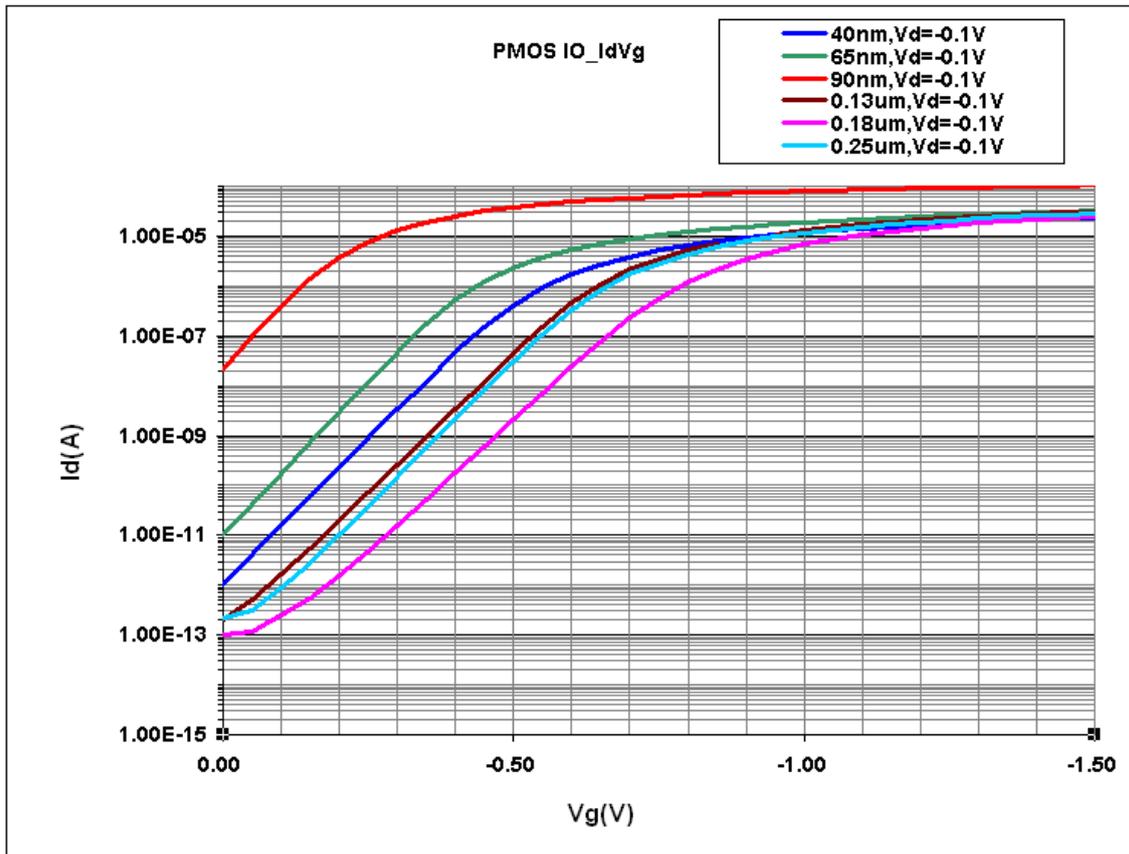


圖 2-16 PMOSFET 不同製程之厚氧化層 Id-Vg 圖。

所以我們再依循低頻雜密度對氧化層厚度做圖，如圖 2-17、圖 2-19。由於在 MOSFET 元件中，缺陷密度可由式子 2-27 推導如下[15][16]，所以我們再以常態化之低頻雜密度對氧化層厚度做圖，如圖 2-18、圖 2-20。

$$\frac{S_{Id}}{I_d^2} \propto N_t \quad (2-29)$$

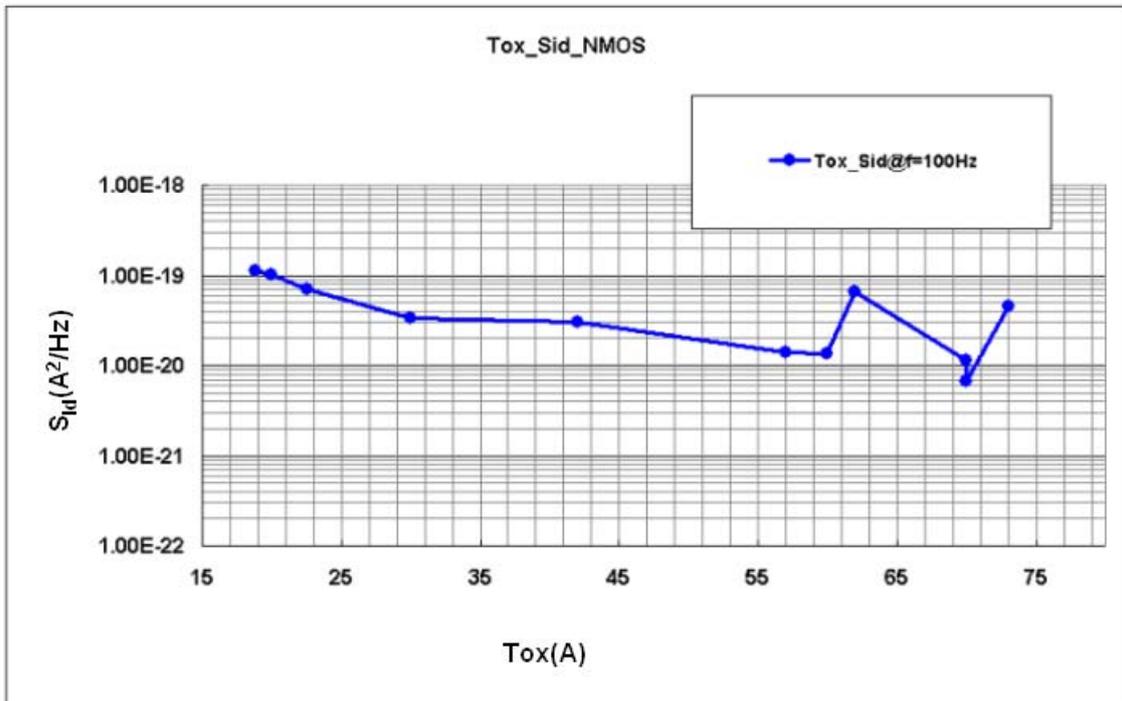


圖 2-17 NMOSFET 氧化厚度對雜訊密度。

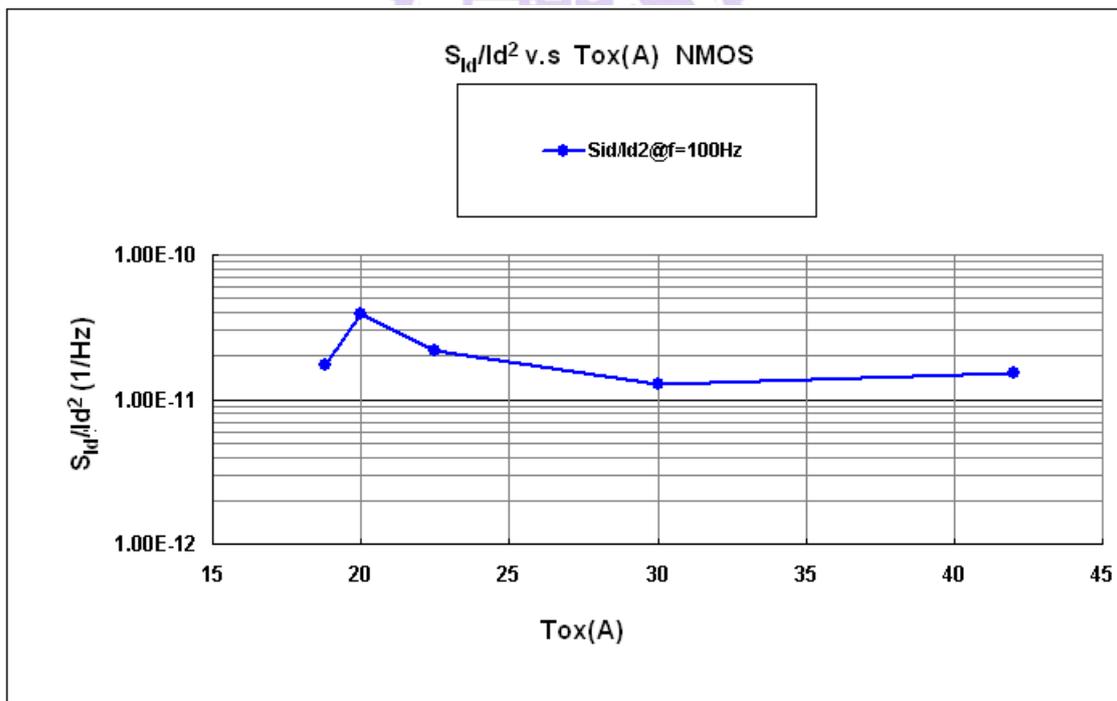


圖 2-18 NMOSFET 氧化厚度對缺陷濃度。

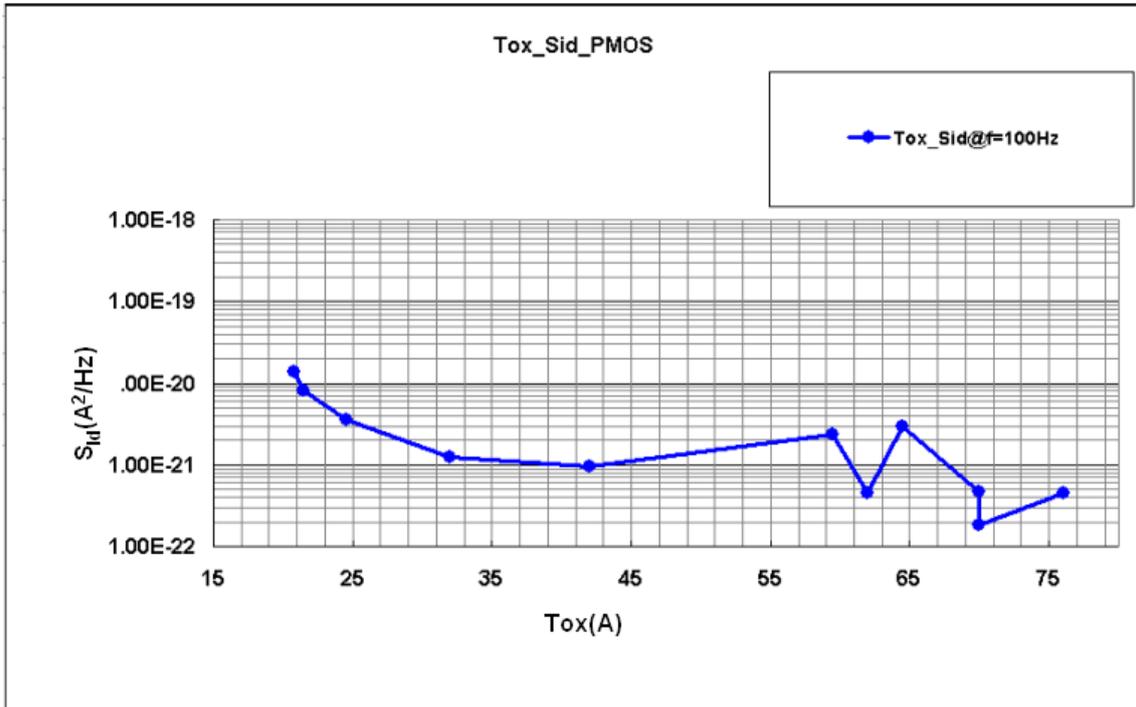


圖 2-19 PMOSFET 氧化厚度對雜訊密度。

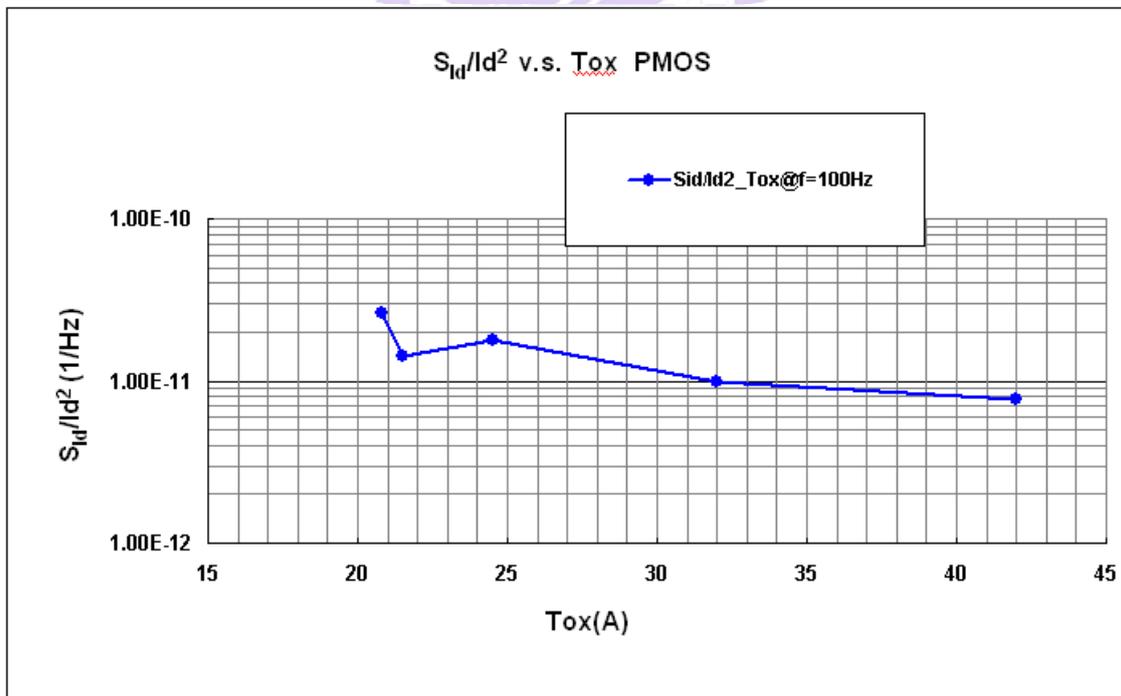
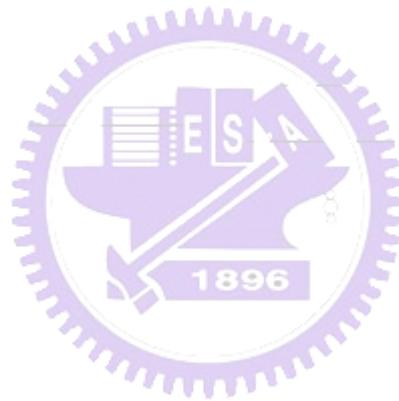


圖 2-20 PMOSFET 氧化厚度對缺陷濃度。

我們可以明顯的看出以下結論，缺陷密度隨著氧化層厚度變薄變大；但當氧化層達到一定程度的厚度之後，約 60 埃(A)，影響其低頻雜訊密度的因素為接面缺陷(Interface traps)，故其雜訊密度反而不規則變化；而在薄氧化層元件中，低頻雜訊密度確實隨著氧化層變薄而上升。



第3章 40 奈米元件之隨機電報訊號(Random Telegraph Signal) 分析

第二章所介紹之閃爍雜訊（又稱 $1/f$ noise）可以視為一個頻率域把所有不同的 RTS 訊號的貢獻全部加成起來之電子訊號，閃爍雜訊可以當成研究半導體和絕緣層之間的介面性質的有效方法。但隨著元件製程尺寸縮小的趨勢，元件中有可能存在單一缺陷，將面對更多的單電子效應，故隨機電報訊號（Random Telegraph Signal，又稱 RTS）更為重要。研究小尺寸元件中，經由單一界面氧化層缺陷所造成的 Trapping / De-trapping 之電流擾動行為，可以提供更元件操作過程中氧化層的訊息。此外，無論是 Capture / Emitter 之時間常數，RTS 之汲極電流之相對振幅 ($\Delta I_d / I_d$) 相對振幅對於界面缺陷都是很珍貴的研究資訊。

在本章節會更深入的研究探討雜訊與擾動在受製程應力（Process strained）之超薄氧化層元件。我們將發表實驗上在 40 奈米製程 1.88 奈米厚度之 N 型通道 MOSFET 及 2.07 奈米厚度之 P 型通道 MOSFET 的氧化層元件針對不同偏壓之量測結果所做的研究分析，並歸納出一個完整的結果。

3.1 隨機電報訊號(Random Telegraph Signal, RTS)之

基本原理

這是由一個靠近矽通道界面的單電子缺陷，藉由 Trapping/De-trapping 之行為產生隨機電報訊號(Random Telegraph Signal)所造成的。通常只有在足夠小的元件，缺陷能階在費米能階(Fermi level)附近會使電流產生波動。RTS的形成是經過過一系列的 Multi-phonon mechanism。當總能量的產生變化時，電子由 Inversion layer 移動從到界面缺陷。但在這裡我們只討論了兩個層次的RTS的定義，主要由三個參數：在高電流狀態所用的時間，在低電流狀態 τ_l 所花的時間，汲極電流及其變動量 ΔI_d 。如圖 3.1、圖 3.2 所示，為一個 Trap 所造成之兩階(Two-level)或多個 Trap 所造成之多階(Multi-level)之汲極電流擾動，所經過的時間間隔為 0.5 秒及 10 秒[21]。

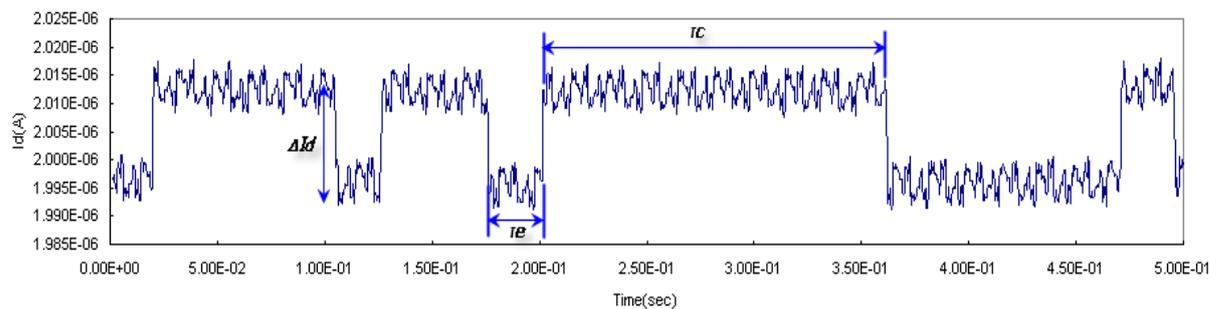


圖 3-1 NMOSFET 的兩階的汲極電流 RTS 訊號。

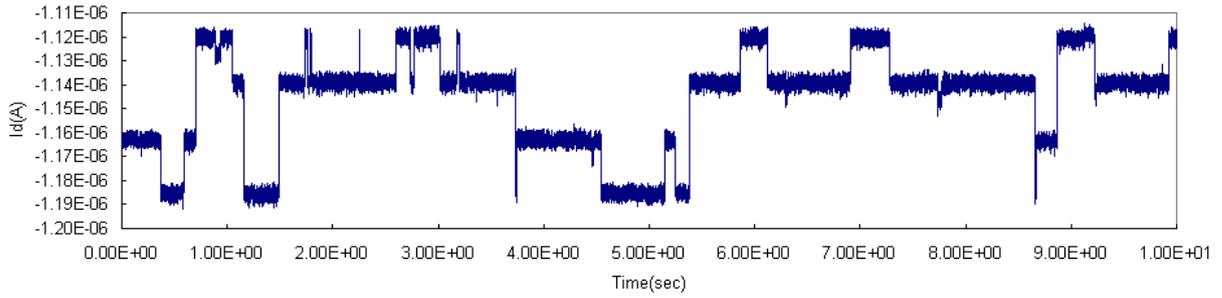


圖 3-2 PMOSFET 的多階的汲極電流 RTS 訊號。

3.1.1 隨機電報訊號與閘極偏壓之相依性

於一小尺寸 MOSFET 元件中之單一缺陷，其表面費米能階為 E_f 、位能為 E_T 、施加一正閘極偏壓 V_g 所造成施能帶彎曲由虛線所示，如圖 3.3。我們可以看到其 $E_T - E_f$ 由於 V_g 而變小。 $\delta\phi_s$ 為表面位能之變化， E_T 與 E_T' 為 V_g 改變前後之位能， ϕ_b 表示費米能階之位能與本質半導體位能之差。則線性區之缺陷被佔據之時間比可表示為[20][21][27]：

$$\frac{\overline{\tau_c}}{\tau_e} = g \exp\left(\frac{E_T - E_f}{kT}\right) \quad (3-1)$$

其中 g 為衰減常數。

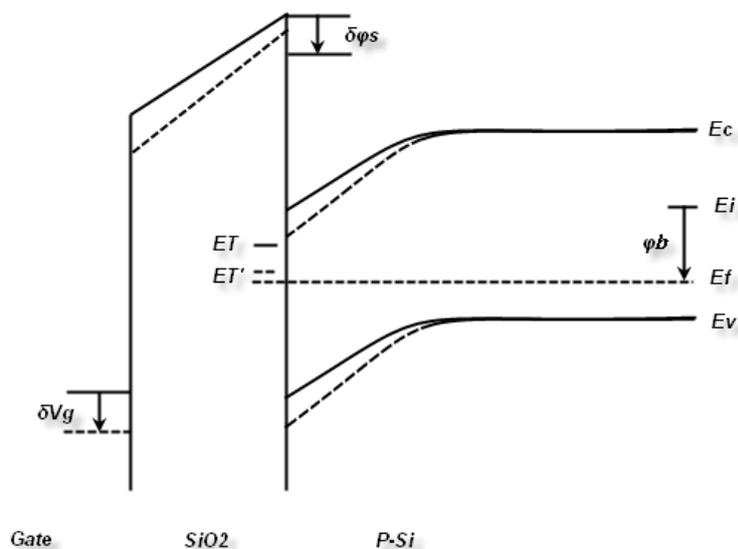


圖 3-3 NMOSFET 加閘極偏壓的能帶彎曲圖。

3.1.2 電子之發射與捕捉於隨機電報訊號

於 MOSFET 中，發現位於氧化層中距表面數奈米之缺陷，可依據與施加偏壓有相依性之 Capture time(τ_c) 與 Emission time(τ_e) 估算出精確位置。於一個足夠小的元件量測其汲極電流，其高電流狀態所花之時間分布(τ_c) 與低電流狀態所花之時間分布(τ_e) 分別呈現指數分佈，如圖 3.2 所示，所以汲極電流高低狀態之切換是由 $\frac{1}{\tau_c}$ 和 $\frac{1}{\tau_e}$ 所控制，而 τ_c 和 τ_e 遵循 Poisson distribution relationship[19][20][21][24][26][27][28]。

$$P_{c,e}(t) = \frac{1}{\tau_{c,e}} \exp\left(-\frac{t}{\tau_{c,e}}\right) \quad (3-2)$$

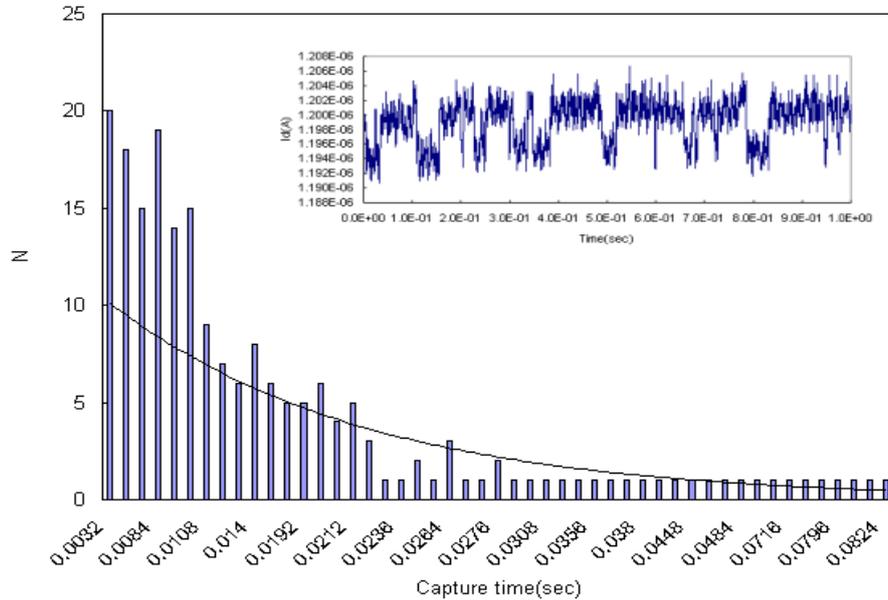


圖 3-4 MOSFET元件的高電流狀態所花時間 τ_c 之分布。

其中平均之 $\overline{\tau_c}$ 和 $\overline{\tau_e}$ 是由 τ_c 和 τ_e 經由 Poisson distribution 迴歸而來，分別被定義為高電流與低電流之時間常數。另外，可以將介面缺陷捕捉載子速率 (Capture rate) 寫成：

$$\frac{1}{\tau_c} = -\int_{E_c}^{\infty} r(E)dE = \int_{E_c}^{\infty} n(E)v(E)\sigma(E)dE \quad (3-3)$$

$r(E)$ 為反轉層 (Inversion layer) 中當能量 E 時之每單位能量之傳輸速率 (Transition rate per unit energy)； $n(E)$ 為能量 E 時反轉層中單位體積及單位能量之載子密度； $v(E)$ 為能量 E 時之載子速率。我們可把 (3-3) 表示為：

$$\frac{1}{\tau_c} = n\bar{v}\sigma \quad (3-4)$$

我們可把反轉層之單位體積載子密度表示成常數 n ， \bar{v} 和 σ 為載子平均之熱速率與平均捕捉截面 (Average capture cross-section)。其中 $\sigma = \sigma_0 \exp(-\frac{\Delta E_B}{kT})$ 。 σ_0 為 Cross-section pre-factor， ΔE_B 為跨越到 Conduction band 所需之晶格能量。當電子從反轉層進入表面缺陷所需要之能量變化，其概要的 Configuration-coordinate diagram 如圖 3.5 所示。而由 (3-1)，(3-4)， τ_e 可表示下：

$$\frac{1}{\tau_e} = \frac{\exp[(E_f - E_T)/kT]}{g\sigma vn} \quad (3-5)$$



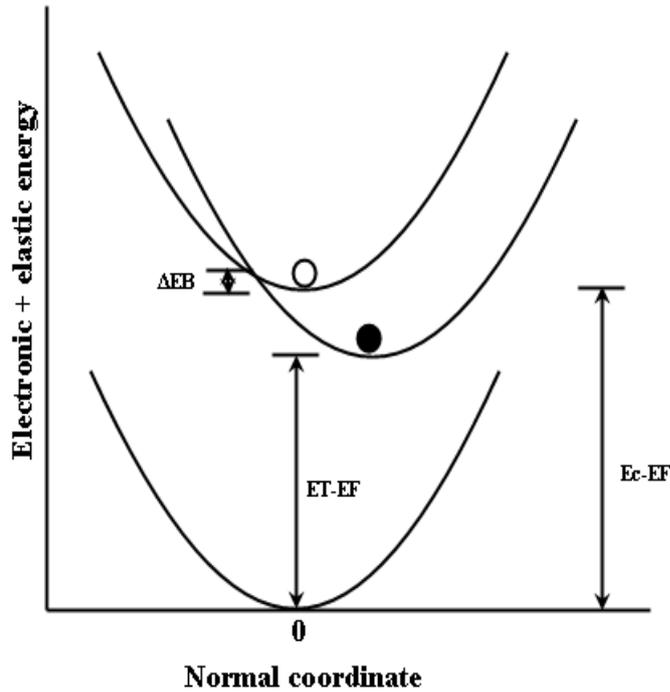


圖 3-5 能量配置座標圖：當自由電子位於費米能階，系統中能量為 0 之座標位置與空的缺陷具有一致性。○ 表示空的缺陷和自由電子於反轉層中。● 表示被填滿之缺陷。

3.1.3 缺陷深度

由圖 3-6 之能階圖與前文之 τ_c 、 τ_e ，其缺陷深度關係式如下[22]：

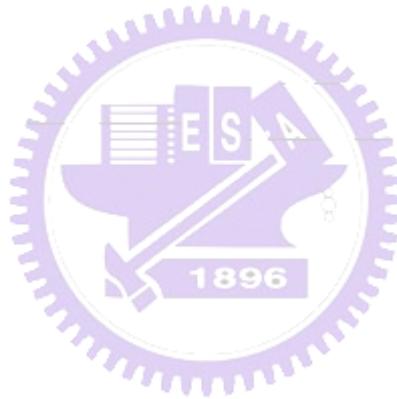
$$\ln \frac{\tau_c}{\tau_e} = -\frac{1}{kT} \left[(E_{Cox} - E_T) - (E_C - E_f) - \varphi_0 + q\phi_s + q \frac{x_T}{T_{ox}} (V_{gs} - V_{FB} - \phi_s - \phi_p) \right] \quad (3-6)$$

其中 E_{Cox} 為氧化層之 Conduction band edge， E_C 為矽基板之

Conduction band edge, ϕ_0 為矽基板與氧化層之電子趨性差, V_{FB} 為平帶偏壓, ϕ_s 、 ϕ_p 為能帶彎曲量, x_T 為氧化層中距界面之缺陷深度, T_{ox} 為氧化層厚度。

所以可推導出氧化層中之缺陷深度：

$$x_T = -T_{ox} \frac{kT}{q} \frac{d\left(\ln \frac{\tau_c}{\tau_e}\right)}{dV_{gs}} \quad (3-7)$$



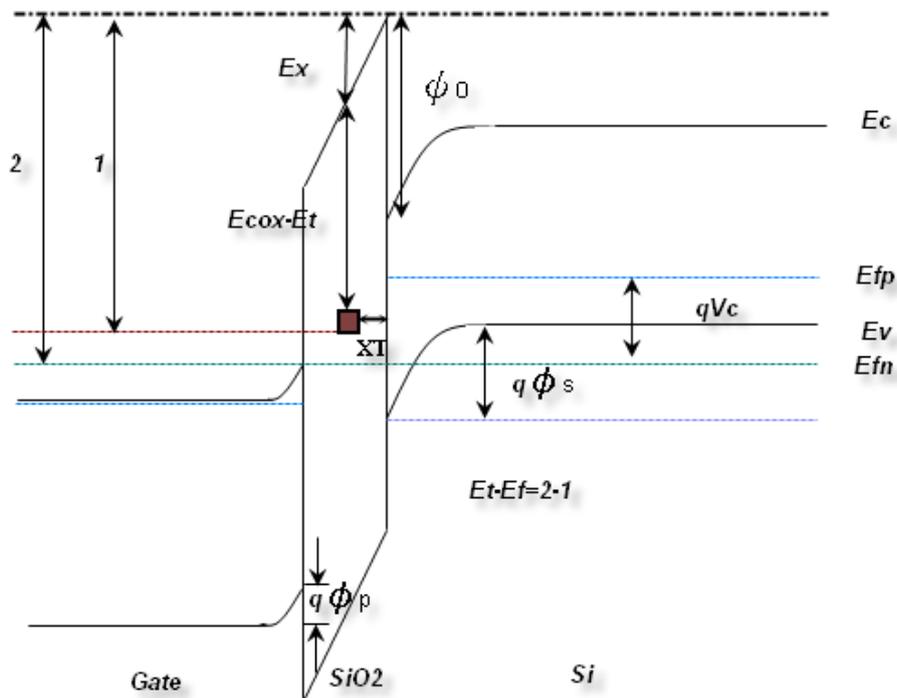


圖 3-6 MOSFET 元件中位於矽通道界面處缺陷之能帶圖。



3.2 隨機電報訊號之量測方法與結果分析

3.2.1 實驗量測方式

總結來說，決定隨機電報訊號的主要參數為以下三項：平均高和低時間常數和電流波動的振幅，範圍的時間常數從毫伏秒到。為了收斂出一個合理的平均高和低時間常數，一個夠時間夠長的時間測量系統是必要的。本實驗所需之量測儀器為 Agilent 的 B1500A Semiconductor Device Analyzer。圖 3.7 顯示了 RTS 量測系統的示意圖[23]。

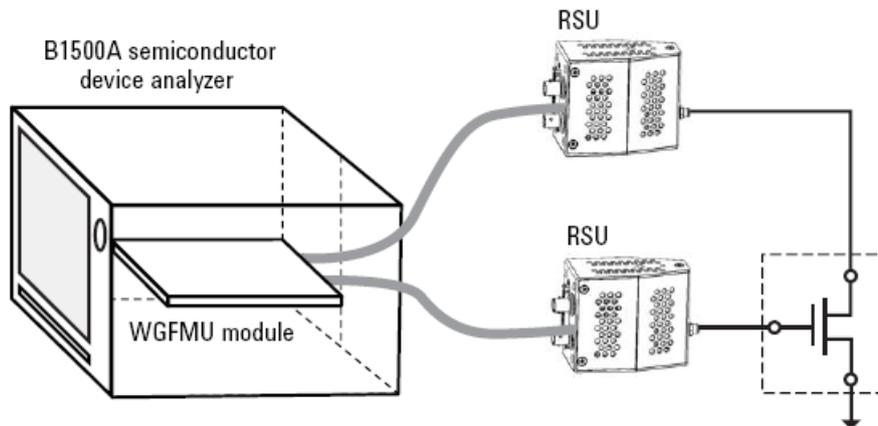


圖 3-7 B1500A 之 RTS 量測系統簡圖。

B1500A 中包含一個 WGFMU 組件作為以及兩個遠端檢測的開關組件 (RSU)。WGFMU 由主機控制產生任意波形然後通過 Cable 傳輸到 RSUs。由於 WGFMU 連接兩個 RSUs，故 RSUs 可分別連接到 MOSFET 之汲極端及閘極端做 RTS 量測。而 RSU 由於從 WGFMU 獨立，可使其放置在最靠近被測設端(DUT)的位置，以盡量減少 Cable 長度以量得準確得高速測量結果，故所量得為數據為實際電壓或電流。

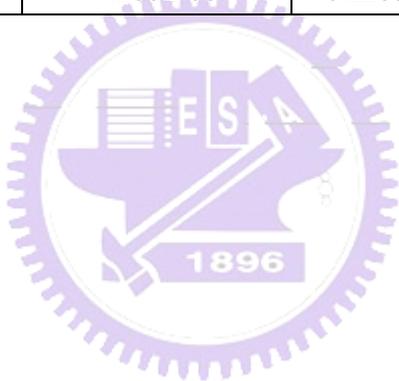
3.2.2 實驗量測結果與分析

我們取 40 奈米製程，元件尺寸元件閘極寬度為 0.12 微米、元件閘極長度為 0.036 微米之小尺寸元件以確保單一缺陷之存在，操作於線性區量測，故量測條件為：汲極電壓 V_d 設定為 0.05 伏特使元件操作於線性區，閘極電壓 V_g 設定為略大於臨界電壓(V_t)以確保元件操作於反轉區[18]。表格 3-1 及圖 3-8，圖 3-9，圖 3-10 為 40 奈米 NMOSFET($W=0.12\mu\text{m}/L=0.036\mu\text{m}$)，

氧化層厚度為 1.88 奈米，於不同閘極偏壓量得之汲極電流波動。

表格 3-1 40 奈米 NMOSFET 元件之量測資訊及其汲極電流結果

40nm NMOSFET						
W/L(um)	Vd(V)	Vg(V)	ΔId (Amplitude)	$\Delta Id / Id(\%)$	Id_High(A)	Id_Low(A)
0.12/0.036	0.05	0.4	8.000E-09	0.524%	1.5340E-06	1.5260E-06
		0.425	8.741E-09	0.454%	1.9329E-06	1.9241E-06
		0.5	1.100E-08	0.316%	3.4940E-06	3.4830E-06
		0.525	1.100E-08	0.268%	4.1120E-06	4.1010E-06
		0.55	1.100E-08	0.232%	4.7610E-06	4.7500E-06
		0.575	1.200E-08	0.220%	5.4550E-06	5.4430E-06



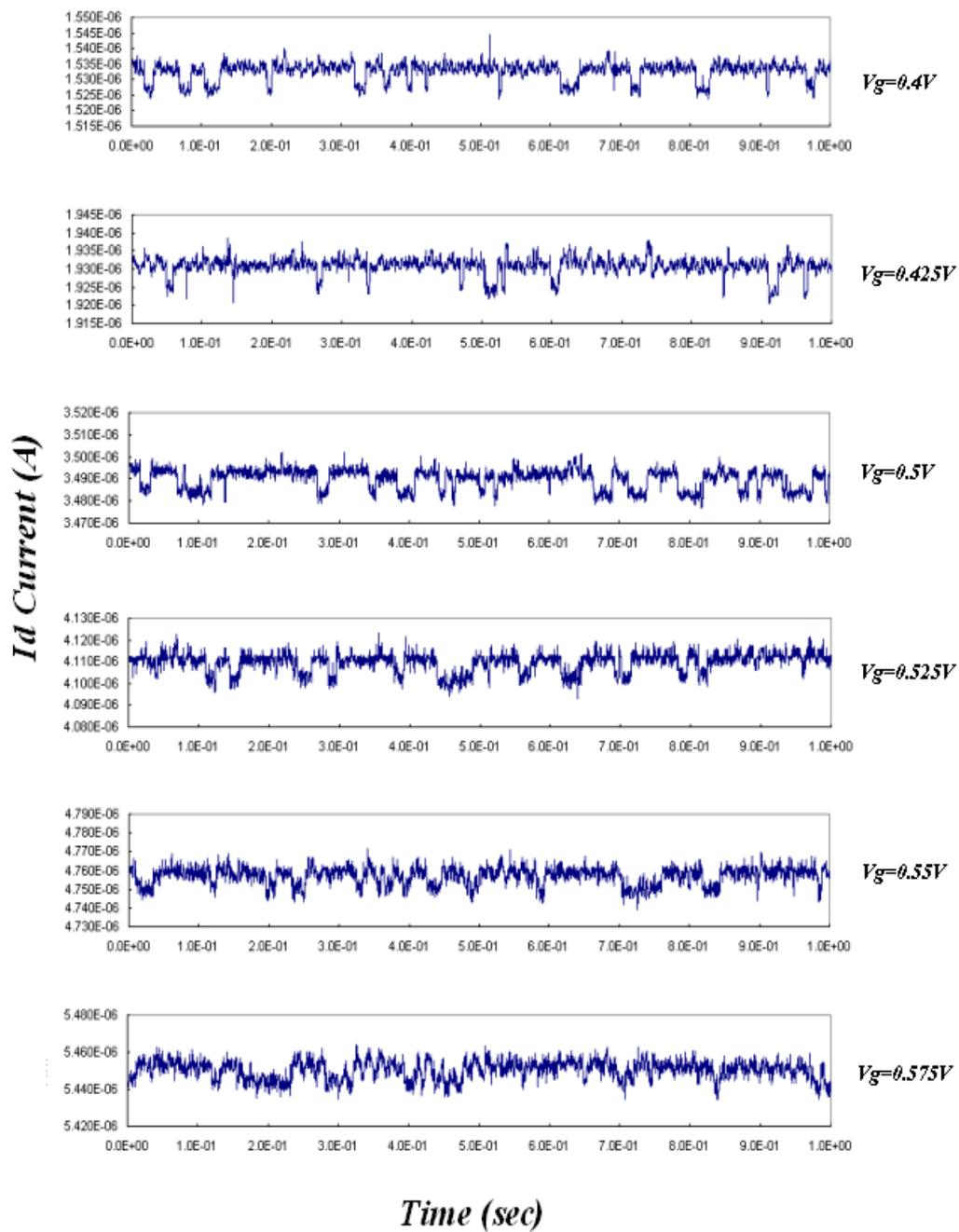


圖 3-8 40 奈米 NMOSFET 元件之 RTS 汲極電流波形圖， $T=25^\circ\text{C}$ 。

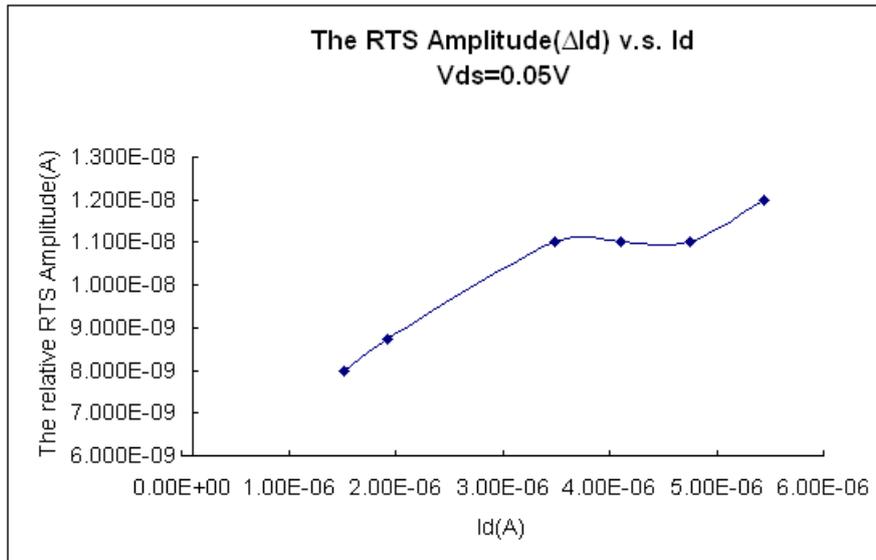


圖 3-9 40 奈米 NMOSFET 元件之汲極電流振幅與汲極電流於 $V_d=0.05V$, $T=25^\circ C$ 。

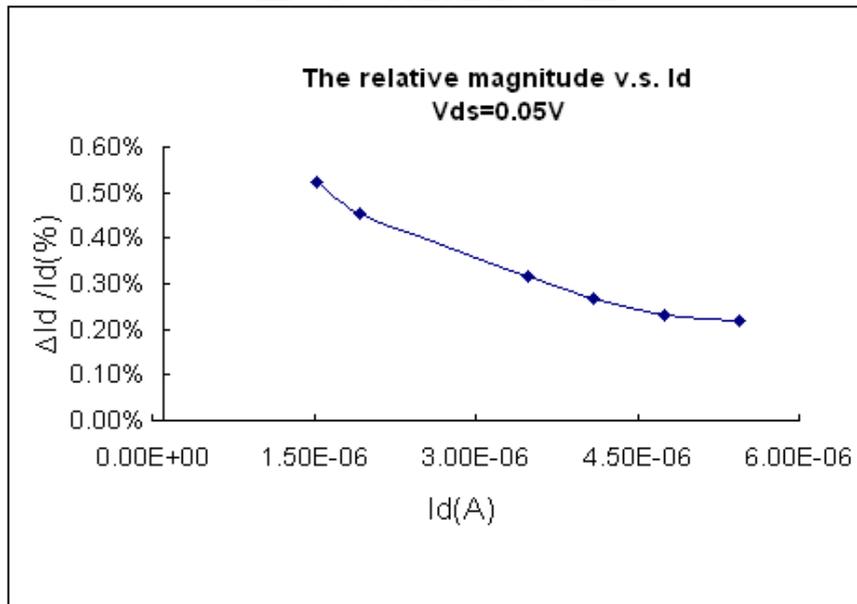


圖 3-10 40 奈米 NMOSFET 元件之汲極電流之相對振幅與汲極電流於 $V_d=0.05V$, $T=25^\circ C$ 。

由圖 3-9 我們可以觀察到當閘極偏壓增加而導致汲極電流及其變動

量增加，但是圖 3-10 中，汲極電流之相對振幅卻隨汲極電流上升而下降了。這是由於於小元件閘極寬度之 MOSFET 元件中，雖然汲極電流會隨及閘極偏壓上升而變大，但強反轉時 L_t (Electrical active length)會隨著閘極偏壓上升，通道載子密度增高產生遮蔽現象而減小，而 L_t 對於汲極電流振幅影響比元件之閘極寬度更為劇烈。故其汲極電流振幅雖然隨著汲極電流上升而變大，但其汲極電流之相對振幅隨汲極電流增加而變小[19]。

$$\frac{\Delta I_d}{I_d} = \frac{L_t}{W} \quad (3-8)$$

同樣的，我們在 40 奈米 PMOSFET($W=0.12\mu\text{m}/L=0.036\mu\text{m}$)，氧化層厚度為 2.07 奈米的量測結果中也可看到相同的現象，如表格 3-2 及圖 3-11，圖 3-12，圖 3-13。

表格 3-2 40 奈米 PMOSFET 元件之量測資訊及其汲極電流結果

40nm PMOSFET						
W/L(um)	Vd(V)	Vg(V)	ΔI_d (Amplitude)	$\Delta I_d / I_d$ (%)	I_{d_High} (A)	I_{d_Low} (A)
0.12/0.036	-0.05	-0.35	1.000E-08	-3.20000E-07	-3.100E-07	3.226%
		-0.475	1.100E-08	-1.44800E-06	-1.437E-06	0.765%
		-0.525	1.200E-08	-2.21900E-06	-2.207E-06	0.544%
		-0.55	1.300E-08	-2.66700E-06	-2.654E-06	0.490%
		-0.575	1.400E-08	-3.14200E-06	-3.128E-06	0.448%

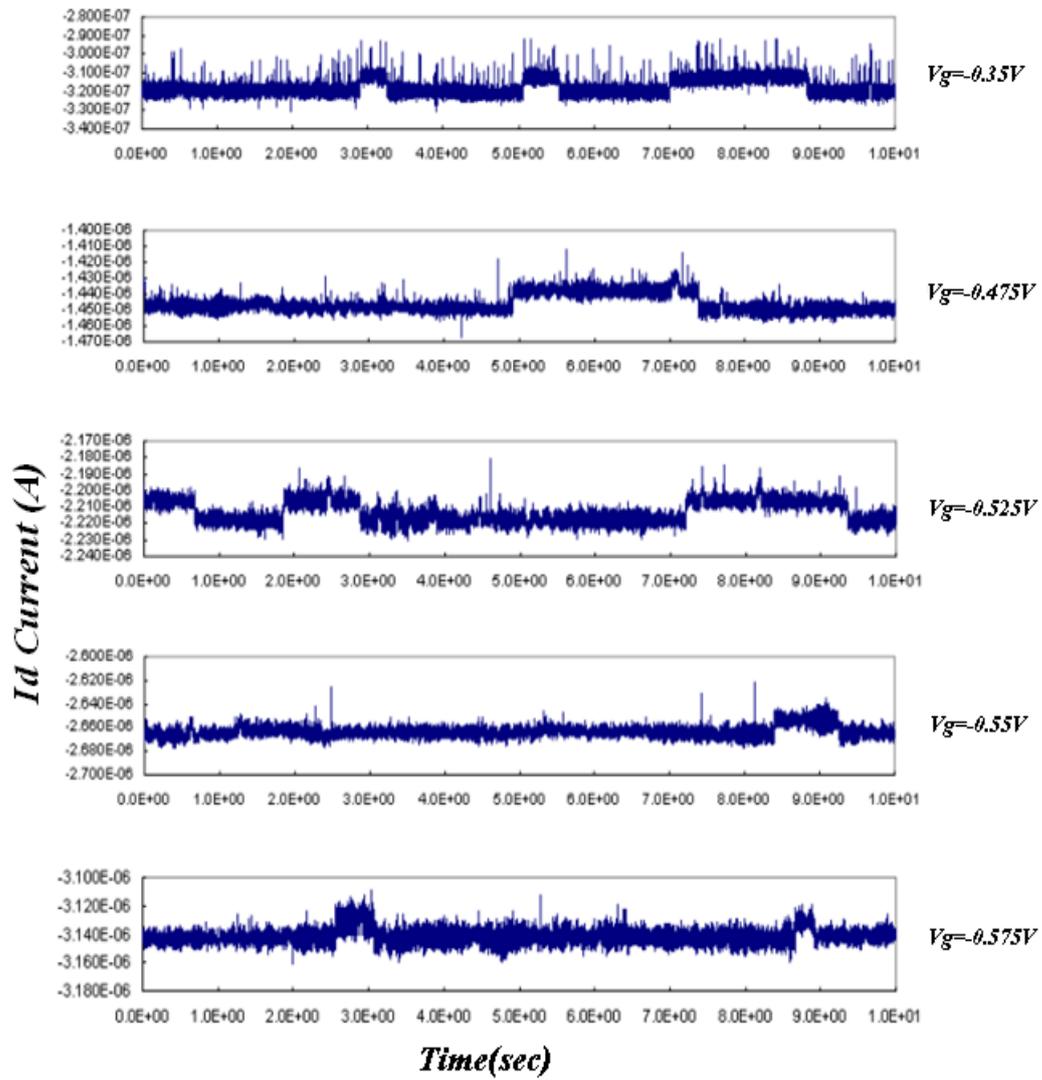


圖 3-11 40 奈米 PMOSFET 元件之 RTS 汲極電流波形圖， $T=25^{\circ}C$ 。

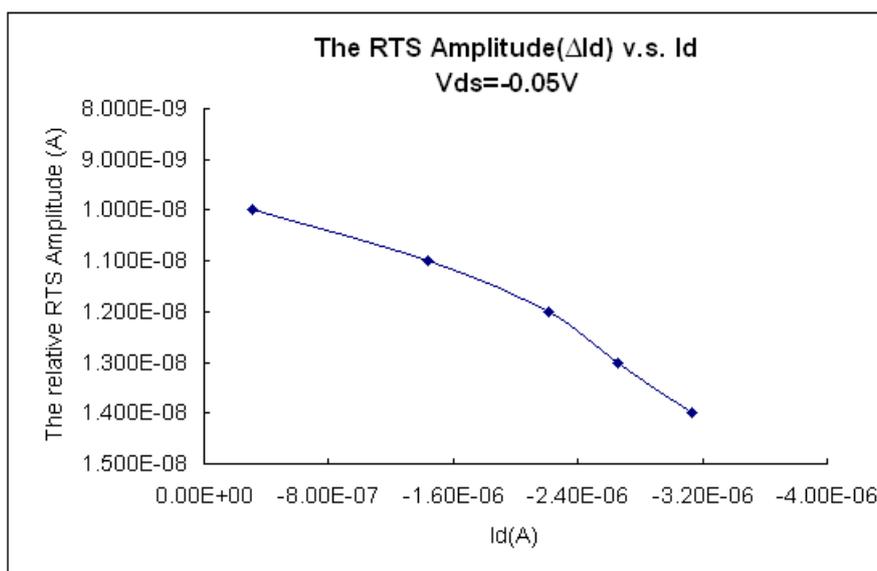


圖 3-12 40 奈米 PMOSFET 元件之汲極電流振幅與汲極電流於 $V_d = -0.05V$, $T = 25^\circ C$ 。

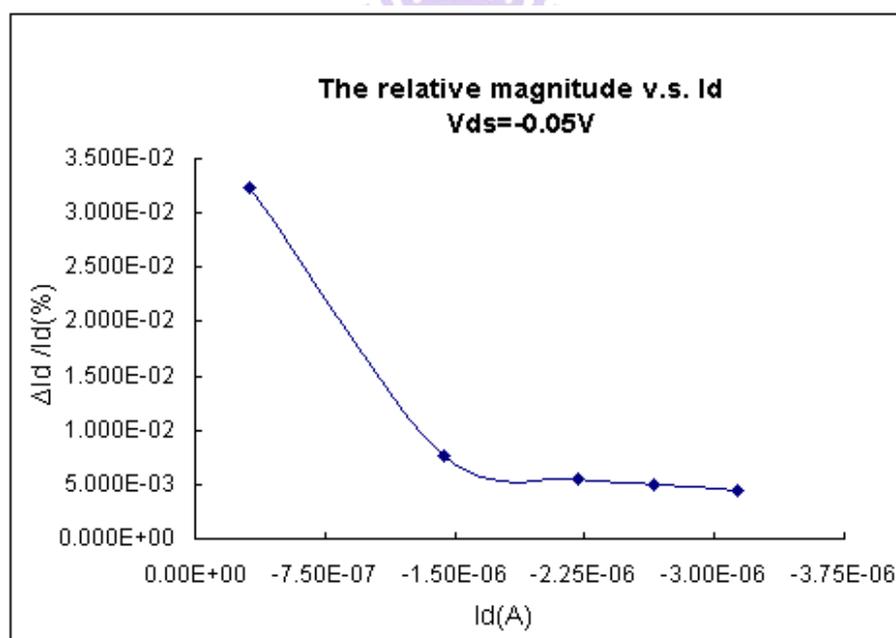


圖 3-13 40 奈米 PMOSFET 元件之汲極電流之相對振幅與汲極電流於 $V_d = -0.05V$, $T = 25^\circ C$ 。

此外，由式子 2-23，氧化物缺陷產生的汲極電流波動除了載子遷移率外，載子的數量也是主要因素。所以載子遷移率和流動性波動對僂碩雜訊的影響是由 RTS 量測結果所主導

表格 3-3 為於不同閘極偏壓量得數據經由式子 3-2~式子 3-5 用 Poisson distribution function 所迴歸的 $\overline{\tau_c}$ (The average capture time), $\overline{\tau_e}$ (The average emission time)。隨著閘極電壓的增加，缺陷之能階逐漸接近電子的費米能階。這意味著它很容易從通道中捕獲電子。因此，增加閘極電壓導致高電流狀態的持續時間 (Capture time) 下降，低電流狀態的持續時間 (Emission time) 上升，如圖 3-14，圖 3-15。

表格 3-3 40 奈米 NMOSFET 元件之量測資訊及其量測結果

40nm NMOSFET						
W/L(um)	Vd(V)	Vg(V)	$\Delta I_d / I_d(\%)$	τ_e	τ_c	$\ln(\tau_c/\tau_e)$
0.12/0.036	0.05	0.4	0.524%	4.8100E-02	3.4000E-02	-0.3469
		0.425	0.454%	5.1800E-02	3.1700E-02	-0.4911
		0.5	0.316%	6.9800E-02	2.3700E-02	-1.0802
		0.525	0.268%	7.6700E-02	2.0400E-02	-1.3244
		0.55	0.232%	8.8100E-02	1.7900E-02	-1.5937
		0.575	0.220%	1.0430E-01	1.3900E-02	-2.0154

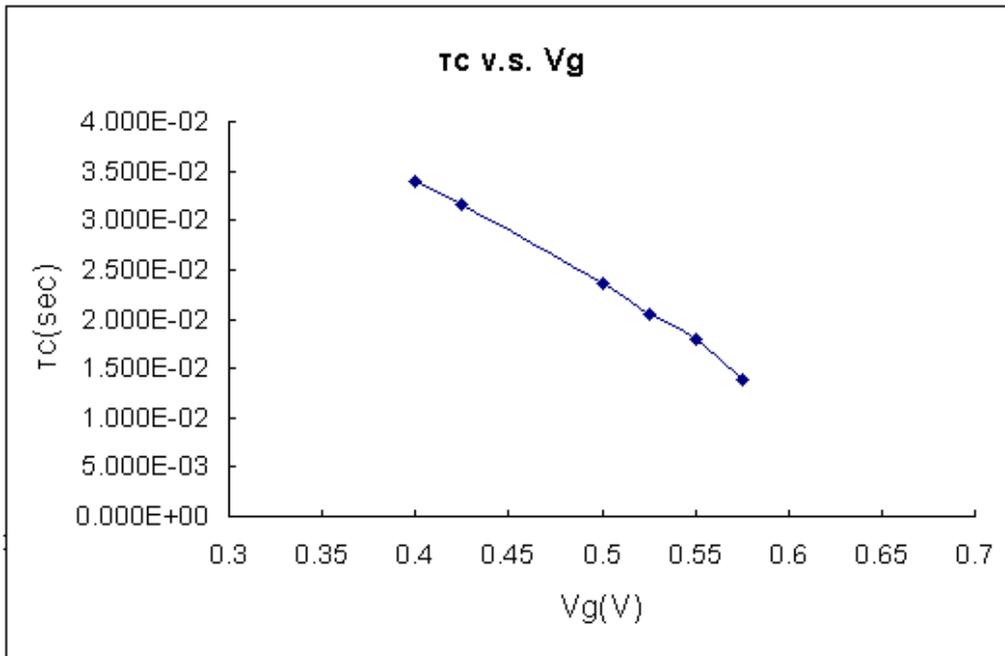


圖 3-14 40 奈米NMOSFET元件之Capture time(τ_c)與閘極偏壓於 $V_d=0.05V$, $T=25^\circ C$ 。

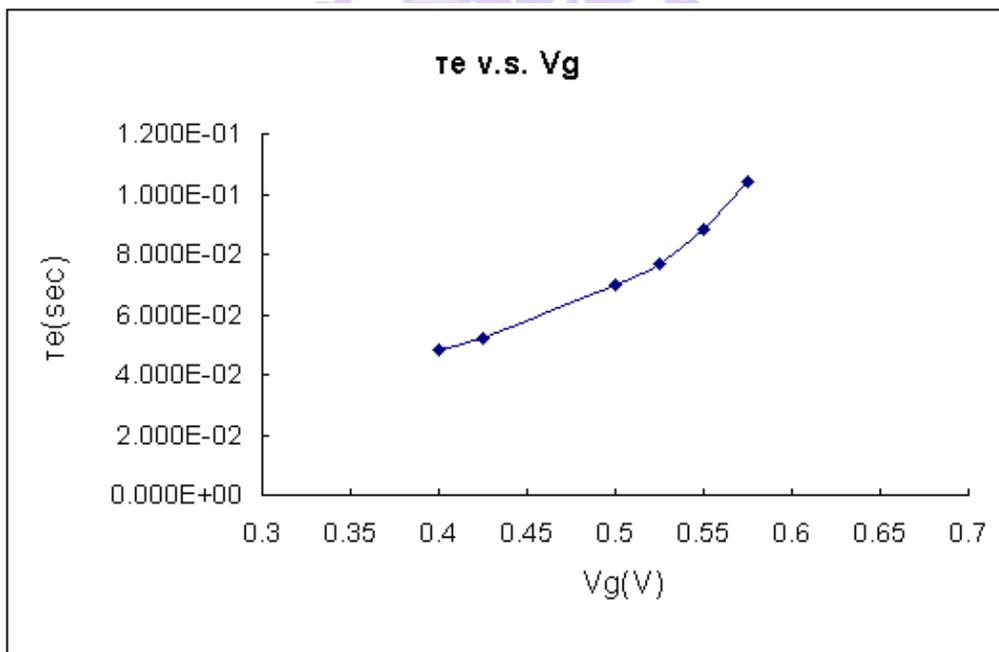


圖 3-15 40 奈米NMOSFET元件之Emission time(τ_e)與閘極偏壓於 $V_d=0.05V$, $T=25^\circ C$ 。

表格 3-4 40 奈米 PMOSFET 元件之量測資訊及其量測結果

40nm PMOSFET						
W/L(um)	Vd(V)	Vg(V)	$\Delta I_d / I_d(\%)$	τ_e	τ_c	$\ln(\tau_c/\tau_e)$
0.12/0.036	-0.05	-0.35	3.226%	6.6700E-02	4.6200E-02	-0.3672
		-0.475	0.765%	7.9600E-02	2.9200E-02	-1.0028
		-0.525	0.544%	9.9900E-02	2.5900E-02	-1.3499
		-0.55	0.490%	1.2570E-01	2.3700E-02	-1.6684
		-0.575	0.448%	1.4310E-01	2.2400E-02	-1.8545

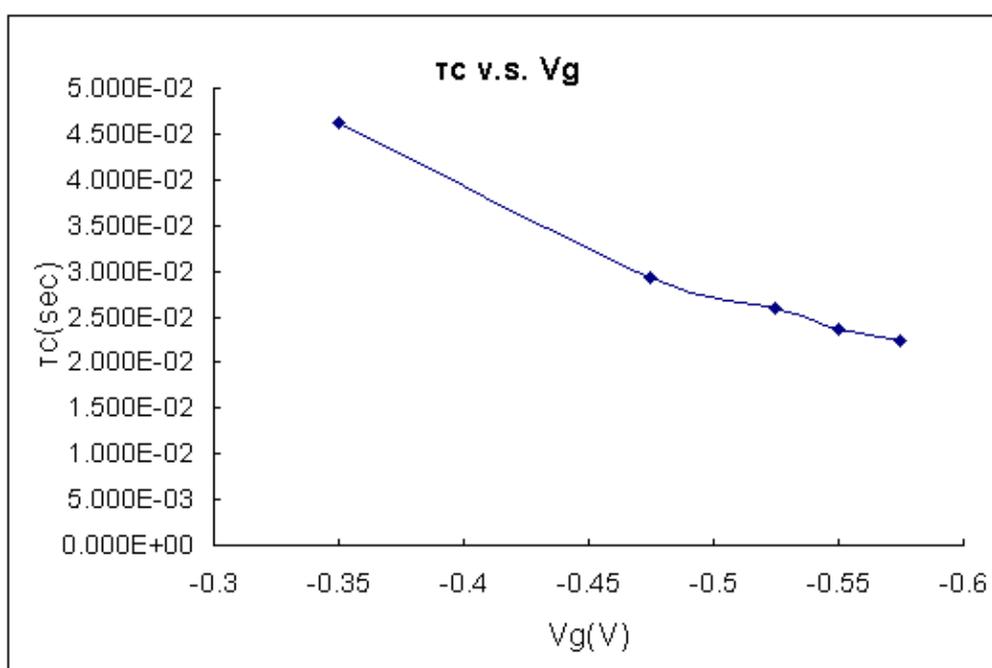


圖 3-16 40 奈米PMOSFET元件之Capture time(τ_c)與閘極偏壓於Vd=-0.05V, T=25。

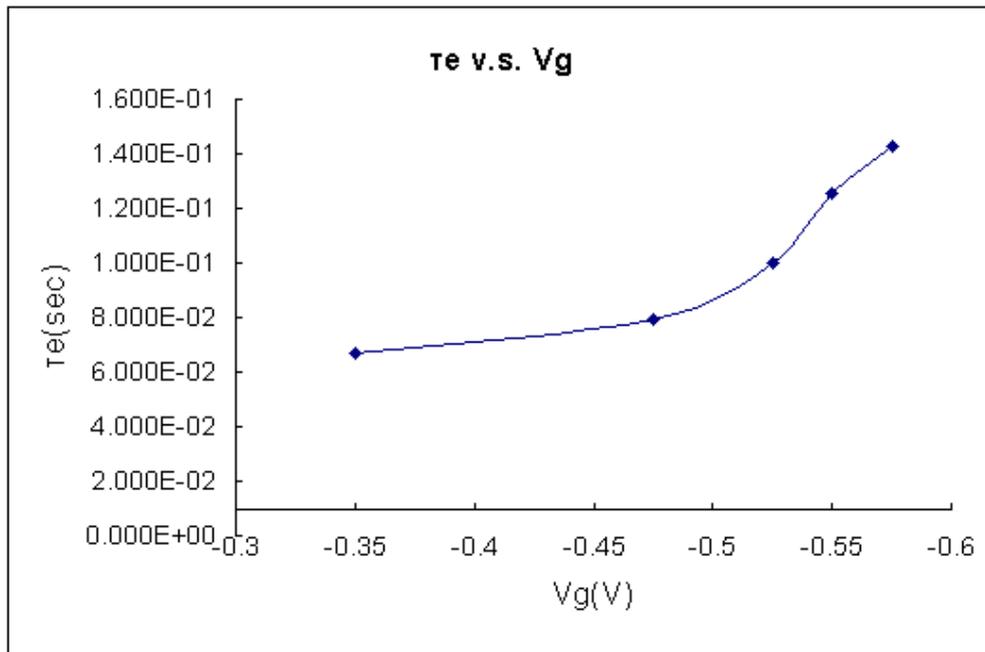


圖 3-17 40 奈米PMOSFET元件之Emission time(τ_e)與閘極偏壓於 $V_d=-0.05V$, $T=25^\circ C$ 。

故將量測之結果帶入式子 3-7 可以推算出缺陷位於 40 奈米 NMOSFET 之氧化層中深度為 6.63 埃；位於 40 奈米 PMOSFET 之氧化層中深度為 5.2355 埃，圖 3-22 與圖 3-33 為其線性迴歸之結果。由運算推得之實驗結果我們發現 PMOSFET 之缺陷深度較 NMOSFET 來的淺，剛好可以解釋由圖 3-8 和圖 3-11 所量得之 RTS 汲極電流波形圖。我們可以觀察到 PMOSFET 所量得之訊號較 NMOSFET 的更為雜散，而實驗結果之 PMOSFET 之缺陷較 NMOSFET 距界面更為靠近，故可推論 PMOSFET 之缺陷有更大的機率發生 Trapping/De-trapping 的物理現象而造成 RTS 波形的結果[25]。

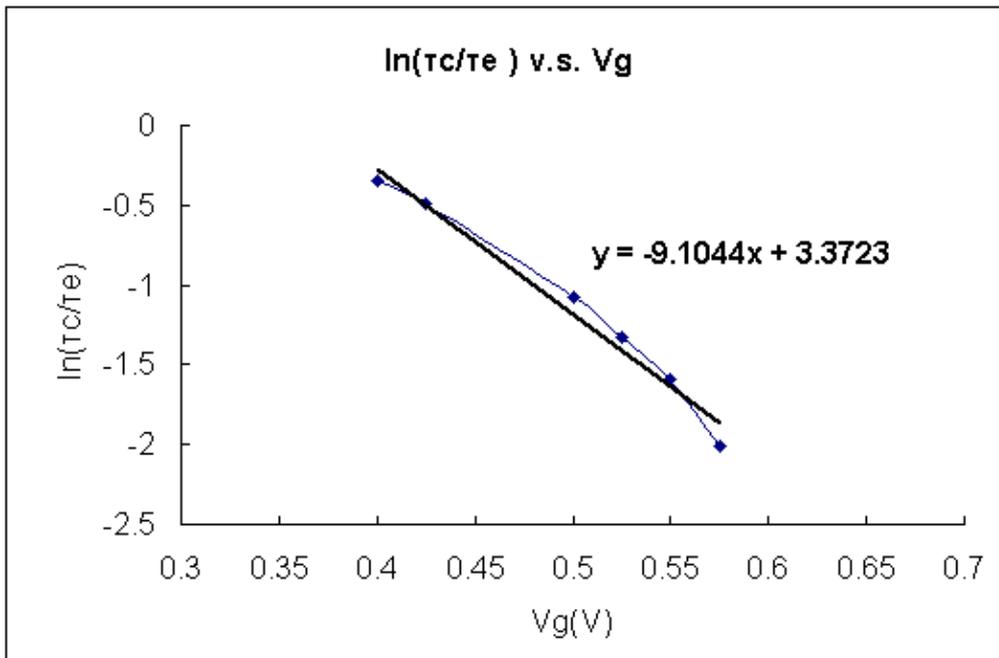


圖 3-18 40 奈米NMOSFET元件Capture time(τ_c)和Emission time(τ_e)之比值與閘極偏壓於 $V_d=0.05V$, $T=25^\circ C$ 。

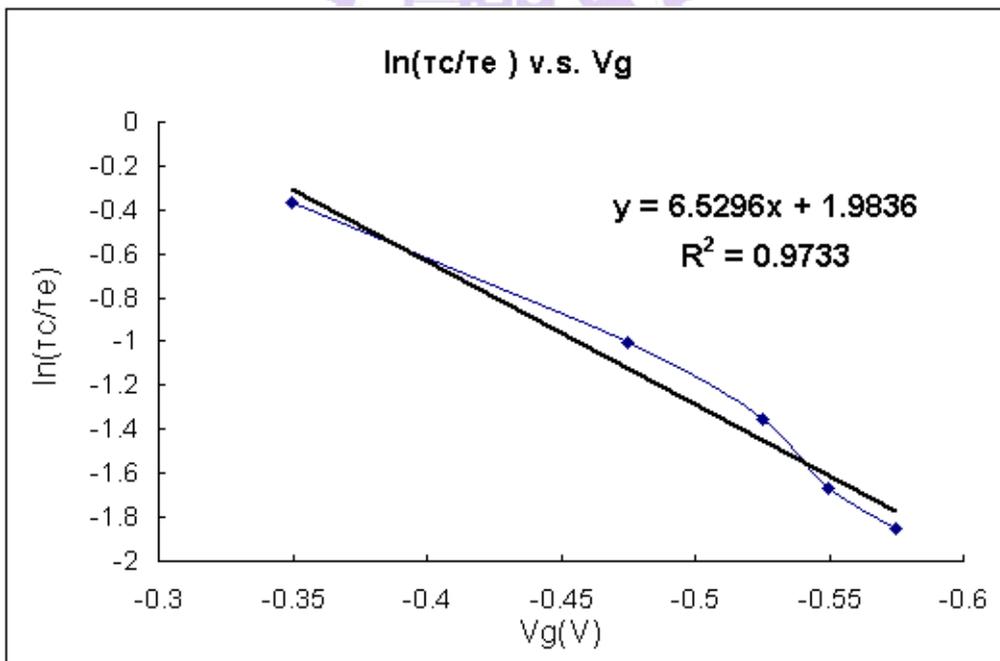


圖 3-19 40 奈米PMOSFET元件Capture time(τ_c)和Emission time(τ_e)之比值與閘極偏壓於 $V_d=-0.05V$, $T=25^\circ C$ 。

依據文獻，我們可以看到單一一個缺陷所造成之雜訊為 Lorentizan

分布，如圖 3-20，而其轉折點 f_{0RTS} 可由下列式子轉換而來[27]。

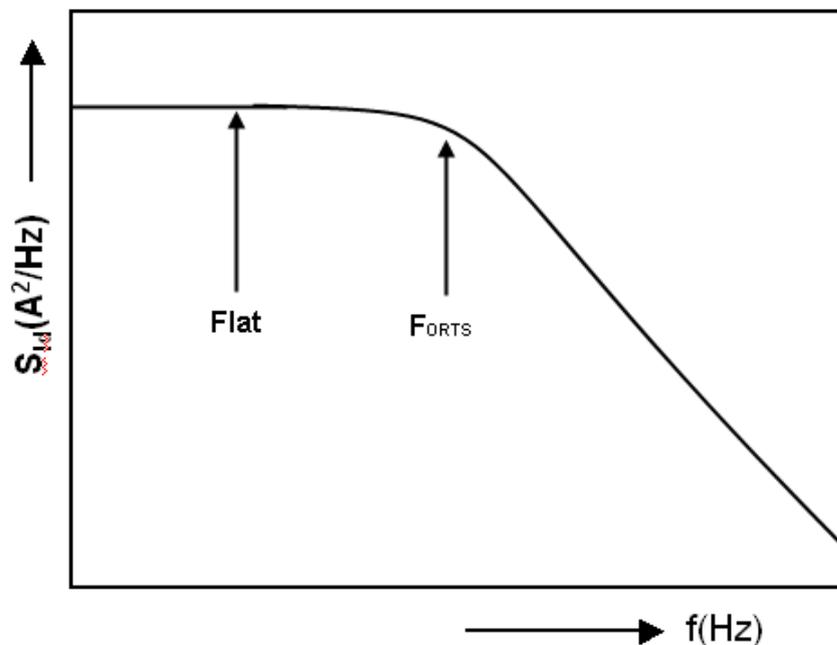


圖 3-20 RTS 對頻譜雜訊密度示意圖。

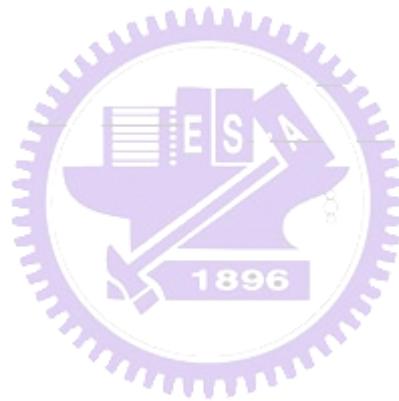
$$f_{0RTS} = \frac{1}{2\pi} \left(\frac{1}{\tau_c} + \frac{1}{\tau_e} \right) \quad (3-9)$$

$$\beta = \frac{\tau_e}{\tau_c} \quad (3-10)$$

$$S_{id}(f) = A^2 \cdot \frac{\beta}{(1 + \beta)^2} \cdot \frac{1}{f_{0RTS}} \cdot \frac{1}{1 + \frac{f^2}{f_{0RTS}^2}} \quad (3-11)$$

其中 A 為振幅 ΔId 。因此我們取 40 奈米 NMOSFET 汲極偏壓為 0.05

伏特，閘極偏壓為 0.5 伏特來做轉換，則 f_{0RTS} 為 7.9 赫茲、 $S_{Id}(7.9)$ 為 $1.449e^{-18}$ ， $S_{Id}(100)$ 為 $1.797e^{-20}$ ；PMOSFET 汲極偏壓為 -0.05 伏特，閘極偏壓為 0.475 伏特來做轉換，則 f_{0RTS} 為 7.45 赫茲、 $S_{Id}(7.45)$ 為 $3.774e^{-19}$ ， $S_{Id}(100)$ 為 $2.374e^{-21}$ 。這與我們在閃爍雜訊量測通道寬度為 10 微米、長度為 1 微米的元件其雜訊密度的量相差不遠，所以在此我們可以確定這次實驗所量得之 RTS 是準確而可信的。



第4章 討論與未來展望

隨著半導體製程技術的演進，生產複雜的系統單晶片 (System on Chip, SoC) 技術已臻成熟。目前生產系統單晶片最先進的技術，當屬 40 奈米的技術。若以元件及製程複雜度觀點而言，40 奈米相較於 65 奈米以上的元件與技術，複雜許多。為提升 40 奈米元件效能並兼顧消耗功率的限制，降低閘極厚度，藉著使用高張力薄膜 (tensile film) 與高壓縮力 (compressive film) 的材質運用於 NMOSFET 與 PMOSFET 元件上，以及鍺 (Ge) 在 PMOS 元件上，以提昇載子(電子與電洞)的遷移率(mobility)。因為元件效能的大幅提昇，傳統以數位電路為主的系統單晶片，逐漸轉變為數位電路，類比電路，與射頻電路為主的系統單晶片。這類先進的系統單晶片，功能固然強大複雜，相對上，電路設計的挑戰更艱鉅，困難度增加。在這種情況下，系統單晶片設計成功的主要條件之一，在於充分掌握元件之閃爍雜訊的行為。

理論上，當閘極氧化層厚度隨著製程能力提昇而變薄，缺陷濃度可能會大大提昇，而載子之遷移率也會上升使得汲極雜訊頻譜密度變大。由實驗結果我們可以觀察到，在相同世代製程下，汲極電流較大、氧化層較薄的元件 (core devices) 其低頻雜訊密度也會比較大。對不同世代製程，薄氧化層元件中，隨製程演進，在同一尺寸之元件其汲極雜訊頻譜密度確實也會隨之變上升。但當氧化層達到一定程度的厚度之後，約 60 埃，影響其低頻雜訊密度的因素為界面缺陷 (Interface traps)，故其雜訊密度反而呈現不規則。基本上，以閃爍雜訊的行為分析，實驗數據符合一般的理論預測。

由 RTS 實驗結果我們可以觀察到當閘極偏壓增加而導致汲極電流(I_d)及其變動量(ΔI_d)增加，但汲極電流之相對振幅($\Delta I_d / I_d$)卻隨汲極電流上升而下降了。這是由於於小閘極寬度之 MOSFET 元件中，當閘極偏壓操作於強反轉時， L_t (Electrical active length)會隨著閘極偏壓上升而減小。又隨著閘極電壓的增加，缺陷之能階逐漸接近電子的費米能階。這表示它很容易從通道中捕獲電子。因此，增加閘極電壓導致高電流狀態的持續時間 (Capture time) 下降，增加低電流狀態的持續時間 (Emission time)。實驗最後推算出缺陷位於 40 奈米 NMOSFET 之氧化層中深度為 6.63 埃；位於 40 奈米 PMOSFET 之氧化層中深度為 5.2355 埃，正好可以解釋所量得之 RTS 汲極電流波形圖。由於 PMOSFET 之缺陷較 NMOSFET 距界面更為靠近，故可合理地推論 PMOSFET 之缺陷有更大的機率發生 Trapping/De-trapping 的物理現象而造成 PMOSFET 所量得之 RTS 訊號較 NMOSFET 的訊號更為雜散。

雖然截至目前為止，所累積的大量統計數據量還不夠多，但是本論文依據此有限的數據已經驗證了一些重要的物理現象。目前業界與學術界所發表有關奈米元件 RTS 的數據與論文，尤其在 PMOSFET 方面，非常有限；相較於此，目前此研究的進度已經觀察到了雜訊在時域中的表現，尤其在 PMOSFET RTS 方面，也有進展。此外，RTS PMOSFET 所呈現出來的波形除了較雜散之外，其現象和 NMOSFET 是有差異的，是否有可能是因為 Strain 製程中的 SiGe、或是 CESL 所用的張力和壓力之不同所造成，下一步將可以繼續深入這方面的研究，若有機會進一步更深入觀察雜訊與 RTS 交互轉換，相信這將會是研究電子與缺陷態之間動力行為的一個重要參考，預期將會對雜訊分析有相當大的助益。

參考文獻

- [1] Wolfgang Arden, Patrick Coge, Mart Graef, Hidemi Ishiuchi, Toshihiko Osada, JooTae Moon, JaeSung Roh, Hyun-Chul Sohn, WeonSik Yang, Mong-Song Liang, Carlos H. Diaz, Chen-Hsi Li, n Pushkar Apte, Bob Doering, Paolo Gargini,” INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS 2007 EDITION EXECUTIVE SUMMARY,” in *THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS*, pp. 8. 2007.
- [2] J. R. Hwang, J. H. Ho, Y. C. Liu, J. J. Shen, W. J. Chen, D. F. Chen, W. S. Liao, Y. S. Hsieh, W. M. Lin, C. H. Hsu, H. S. Lin, M. F. Lu, A. Kuo, S. Huang-Lu, H. Tang, D. Chen, W. T. Shiau, K. Y. Liao, and S. W. Sun, “Symmetrical 45nm PMOS on (110) Substrate with Excellent S/D Extension Distribution and Mobility Enhancement,” in *Proc. VLSI Symp. Tech. Dig.*, pp. 90-91. 2004.
- [3] P. R. Chidambaram, C. Bowen, S. Chakravarthi, C. Machala, and R. Wise, “Fundamentals of Silicon Material Properties for Successful Exploitation of Strain Engineering in Modern CMOS Manufacturing,” *IEEE Trans. Electron Devices*, vol. 53, no. 5, pp. 944-964. 2006.
- [4] Steve S. Chung, E. R. Hsieh, D. C. Huang, C. S. Lai, C. H. Tsai, P. W. Liu, Y. H. Lin, C. T. Tsai, G. H. Ma, S. C. Chien, and S. W. Sun, “More Strain and Less Stress - The Guideline for Developing High-End Strained CMOS Technologies with Acceptable Reliability,” in *Proc. IEDM Tech. Dig.*, pp. 1-4. 2008.
- [5] David Chen, Ryan Lee, U C Liu, Michael Yeh, Burnie Huang, Meng Fan Wang, Guan Shyan Lin, Mu Kai Tsai, J H Lai, and C S Yeh, “Practical Modeling Solution for Nanodevices with Strain Engineering,” in *Proc. SSDM Tech. Dig.*, 2010, to be published.
- [6] Salvatore Levantino, Marco Zanuso, Carlo Samori, and Andrea Lacaita, “Suppression of Flicker Noise Upconversion in a 65nm CMOS VCO in the 3.0-3.6GHz Band,” in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 50-52. 2010.

- [7] Guochi Huang and Byung-Sung Kim, "Low Phase Noise Self-Switched Biasing CMOS LC Quadrature LC VCO," *IEEE Trans. Microwave Theory and Techniques*, vol. 57, no. 2, pp. 344 - 351, 2009.
- [8] Arnoud. P. van der Wel, Eric A. Klumperink, Jay S. Kothartkar, Eric Hoekstra, Martijn F. Snoeij, Cora Salm, Hans Wallinga, and Bram Nauta, "Low-Frequency Phenomena in Switched MOSFETs," *IEEE J. Solid-State Circuits*, vol. 42, No. 3, pp. 540-550, 2007.
- [9] A. van der Ziel, Noise in Solid State Devices and Circuits. *New York: John Willy & Sons, Inc.* 1986.
- [10] HORNG-SEN FU, CHIH-TANG SAH, "Theory and experiments on surface 1/f noise," *IEEE Trans. Electron Devices*, vol. ed-19n, pp. 273. February, 1972.
- [11] KWOK K. HUNG, PING K. KO, CHENMING HU, YIU C. CHENG, "A Unified Model for the Flicker Noise in Metal-Oxide-Semiconductor Field-Effect Transistors," *IEEE Trans. Electron Devices*, vol. 37, no. 3. March, 1990.
- [12] CHUNG H. SUH, "Carrier Number Fluctuation Model 1/f Noise in a Semiconductor Device," *IEEE Trans. Electron Devices*, vol. ed-34, no. 4. April, 1987.
- [13] F. N. Hooge and L. K. J. Vandamme, "Lattice scattering causes 1/f noise," *Phys. Lett.*, vol. 66a, pp. 315. 1978.
- [14] S. C. Sun and James D. Plummer, "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces," *IEEE Trans. Electron Devices*, vol. ed-21, no. 8. August, 1980.
- [15] RAJ JAYARAMAN and CHARLES G. SODINI, "A 1/f Noise Technique to Extract the Oxide Trap Density Near the Conduction Band Edge of Silicon," *IEEE Trans. Electron Devices*, vol. 36, no. 9. September, 1989.

- [16] Yuri Yasuda, Tsu-Jae King Liu and Chenming Hu, Flicker-Noise Impact on Scaling of Mixed-Signal CMOS with HfSiON,” *IEEE Trans. Electron Devices*, vol. 55, no. 1. January, 2008.
- [17] K.K. Hung, P.K. KO, C. Hu, and Y .C. Cheng, “FLICKER NOISE CHARACTERISTICS OF ADVANCED MOS TECHNOLOGIES,” in *Proc. IEDM Tech. Dig.* pp. 1-4, 1988.
- [18] Jun-Wei Wu, Jian-Wen You, Huan-Chi Ma, Chih-Chang Cheng, Chang-Feng Hsu, Chih-Sheng Chang, Gou-Wei Huang, Tahui Wang, “Excess Low-Frequency Noise in Ultrathin Oxide n-MOSFETs Arising From Valence-Band Electron Tunneling,” *IEEE Trans. Electron Devices*, vol. 52, no. 9. September, 2005.
- [19] Eddy Simoen, Bart Dierickx, Cor L. Claeys, and Gilbert J. Declerck , “Explaining the Amplitude of RTS Noise in Submicrometer MOSFET’ s,” *IEEE Trans. Electron Devices*, vol. 39, no. 2, February, 1992.
- [20] K. K. Hung, P. K. Ko, Chenming Hu, Yiu Chung Cheng, “Random Telegraph Noise of Deep-Submicrometer MOSFET’ s,” *IEEE Trans. Electron Devices*, vol. 11, no. 2. February, 1990.
- [21] Yoshihisa Yamamoto, Lecture on “Fundamentals of Noise Processes,” Stanford University. 2000.
- [22] Hochul Lee, Youngchang Yoon, Seongjae Cho, Hyungcheol Shin, “Accurate Extraction of the Trap Depth From RTS Noise Data By Including Poly Depletion Effect and Surface Potential Variation in MOSFETs” *IEICE Trans. Electron*, vol. e90-c no. 5. May, 2007.
- [23] www.agilent.com/find/b1500a , “Characterizing Random Noise in CMOS Image Sensors - RTS noise measurement using the B1500A’ s WGFMU ModuleApplication Note B1500-11” *Agilent Technologies, Inc.* 2009Printed in USA, March 13, 20095990-3705en.
- [24] J.P. Campbell, J. Qin, K.P. Cheung, L.C. Yu, , J.S. Suehle, A.

Oates, K. Sheng, “Random Telegraph Noise in Highly Scaled nMOSFETs” *IEEE CFP09RPS-CDR 47th Annual International Reliability Physics Symposium*, Montreal. 2009.

[25] M. H. Lin, E. R. Hsieh, Steve S. Chung, C. H. Tsai, P. W. Liu, Y. H. Lin, C. T. Tsai, and G. H. Ma, “A New Observation of Strain-Induced Slow Traps in Advanced CMOS Technology with Process-Induced Strain Using Random Telegraph Noise Measurement” in *Proc. VLSI Symp. Tech. Dig.*, pp. 52-53, 2009.

[26] 呂明霽，國立交通大學電子工程研究所博士論文，“先進元件中原子尺寸之缺陷研究”。2006。

[27] Arnoud P. van der Wel, Eric A. M. Klumperink, L. K. J. Vandamme, and Bram Nauta “Modeling Random Telegraph Noise Under Switched Bias Conditions Using Cyclostationary RTS Noise” *IEEE Trans. Electron Devices*, vol. 50, no. 5. MAY, 2003.

[28] Rickard S. Muller, Theodore I. Kamins, “Device Electronics for Integrated Circuits” *New York: John Willy & Sons, Inc.* Second Edition.

