

第三章 寬頻岔路環耦合器

3.1 簡介：

岔路環耦合器(rat-race ring coupler)是非常重要的且已經發展許多年的微波電路，用來做為均分功率並使得兩個輸出端具有 180° 的相位差，經常使用於倍頻器(doubler)、放大器(amplifier)與混頻器(mixer)等的電路設計當中。

傳統的岔路環耦合器是使用三段 $\lambda/4$ 與一段 $3\lambda/4$ 的傳輸線，但是由於使用 $\lambda/2$ 的傳輸線作為 180° 移相器(phase shifter)，會有偏離中心頻率就不再是 $\lambda/2$ 的問題，造成岔路環耦合器的相對頻寬大概只能做到 20% 左右。

要將岔路環耦合器的相對頻寬能夠變大，在文獻當中通常都是去改善 180° 反相器的頻寬問題，例如使用共平面波導(coplanar waveguide)[9][10]、共平面帶線(coplanar stripline)[11]或層間微帶線(broadside microstrip)，利用地線與訊號線的交叉，產生一個理想的 180° 移相器(實際上也並不是完全理想)，所以能將岔路環耦合器的相對頻寬能做到高達 100% 以上，將岔路環耦合器的相對頻寬做有效的提高。

不過共平面波導、共平面帶線都具有不是一般的印刷電路板製程的缺點，而且都必須要跳線，而層間微帶線會使得另一面無法作為其他電路使用的缺失，如圖 3.1-1。

在文獻中[12]有一種利用一段 $\lambda/4$ 雙端短路的耦合器來代替一個理想的 180° 移相器加上一段 $\lambda/4$ 傳輸線，不過此種耦合器的耦合量必須非常強，造成在一般的印刷電路板製成上的耦合器間距非常窄小，造成製成上的困難，我們將利用一種垂直安裝之平面基板(vertically installed planar)的耦合器[13]來解決耦合量非常強的問題，如圖 3.1-2，這種垂直組裝架構的耦合器先天具有強耦合的特點，非常適合使用在解決強耦合的問題，也可以使得岔路環耦合器能夠在一般印刷板電路板製程上製作，並改善頻寬的問題。

此外，此種垂直組裝的架構必須利用 3D 的電路模擬軟體(在此是使用 Ansoft

HFSS)來作電磁模擬。

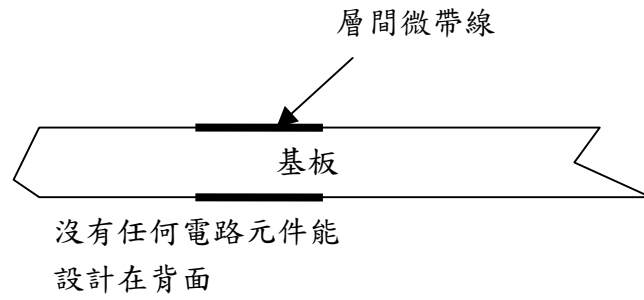


圖 3.1-1 層間微帶線

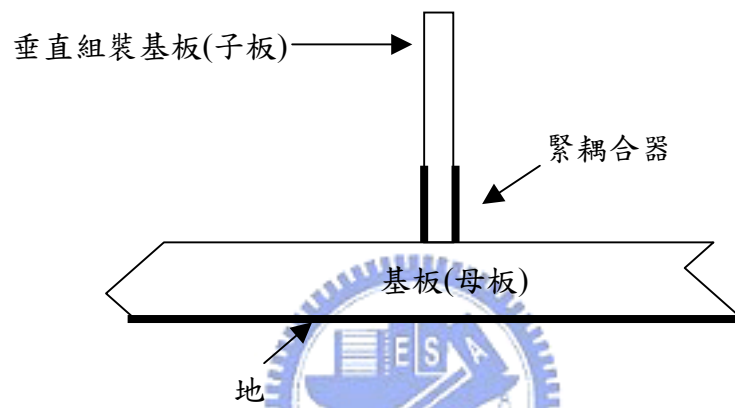


圖 3.1-2 垂直安裝之平面基板架構耦合器

3.2 原理：

傳統岔路環耦合器是由三段 $\lambda/4$ 與一段 $3\lambda/4$ 的傳輸線所組成，如圖 3.2-1。

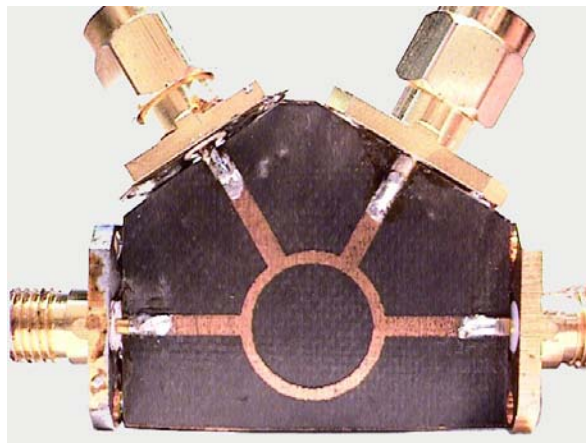


圖 3.2-1 傳統岔路環耦合器

由於使用一段 $\lambda/2$ 的傳輸線作為 180° 移相器，這是一種窄頻的移相器，造成了
 岔路環耦合器頻寬受到了限制，由圖 3.2-2(a)(b)可以看到傳統岔路環耦合器的量
 測結果。

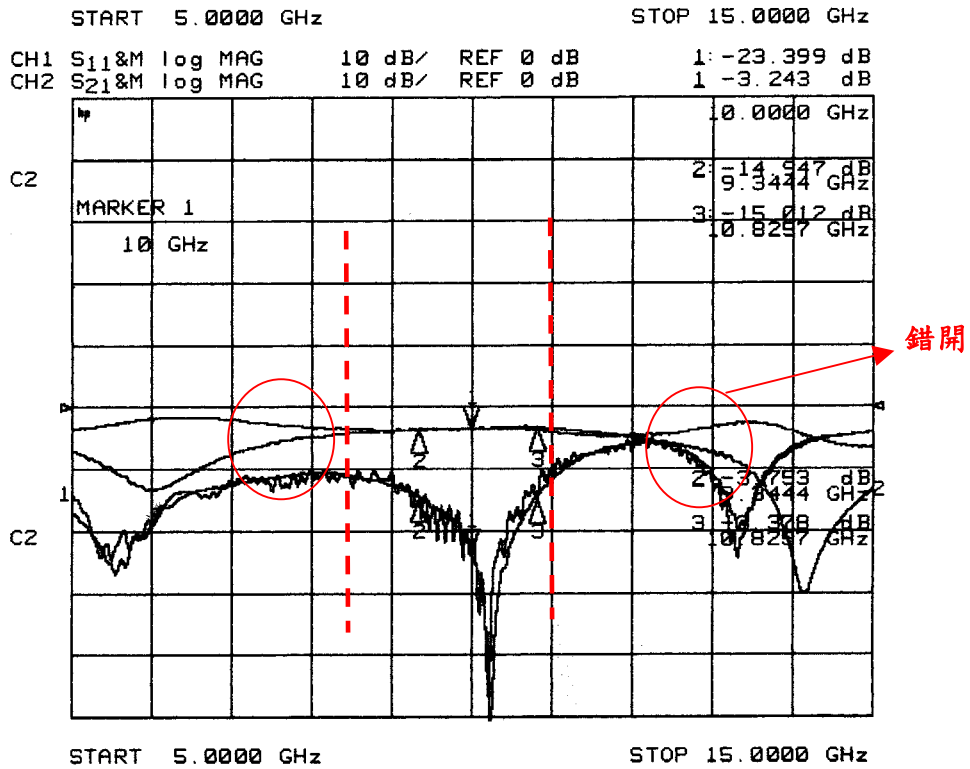


圖 3.2-2(a) 傳統岔路環耦合器，中心頻在
 10GHz，相對頻寬大約 25%

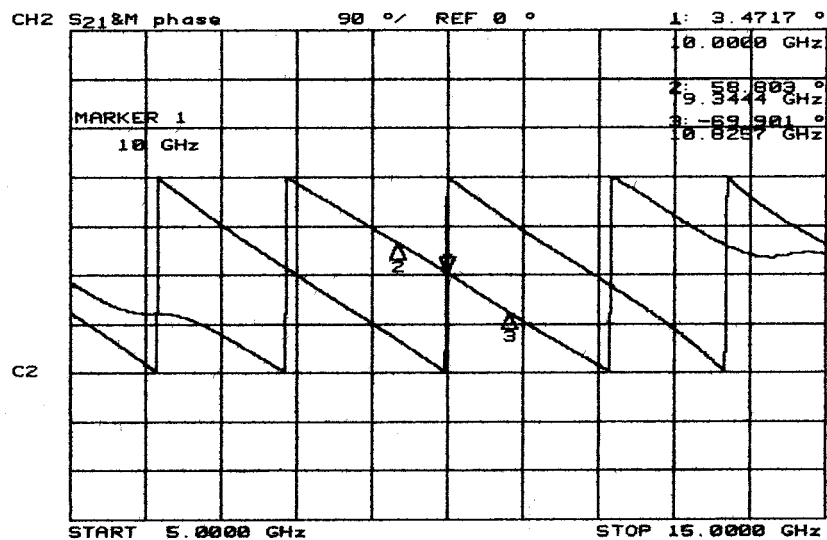


圖 3.2-2(b) 差埠(delta port)輸出端相位圖

在 1968 年, STEVEN MARCH 發表 “A wideband stripline hybrid ring,” *IEEE Trans. On Microwave Theory and Tech.* Vol. 16, pp 361, June, 1968.”[12] , 文中是利用一段 $\lambda/4$ 雙端短路的耦合器來代替傳統 $3\lambda/4$ 的傳輸線, 如圖 3.2-3, 並且雙端短路的耦合器可以等效成一個理想的 180° 移相器加上一段 $\lambda/4$ 傳輸線, 如圖 3.2-4, 所以 STEVEN MARCH 所提出的岔路環耦合器具有寬頻的特性。

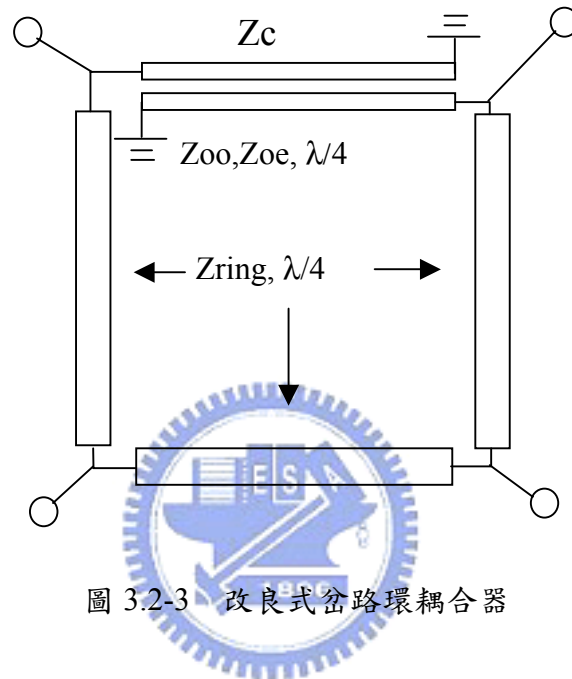


圖 3.2-3 改良式岔路環耦合器

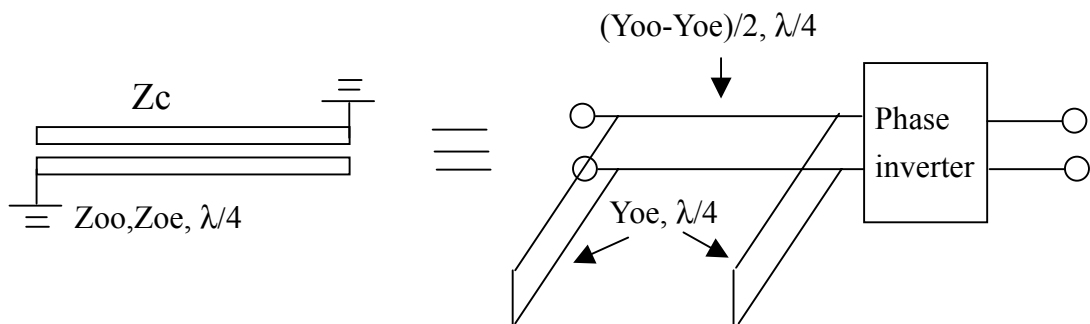


圖 3.2-4 雙端短路耦合器等效電路

“A wideband stripline hybrid ring,” *IEEE Trans. On Microwave Theory and Tech.* Vol. 16, pp 361, June, 1968.”[12]文中, STEVEN MARCH 利用數學方式解出一組奇偶模特性阻抗 Z_{oo}, Z_{oe} , 如下列所介紹。

雙端短路耦合器的輸入阻抗 Z_c 可以表示為下列方程式：

$$Z_c = \frac{2Z_{oe}Z_{oo} \sin \theta}{\left[(Z_{oe} - Z_{oo})^2 - (Z_{oe} + Z_{oo})^2 \cos^2 \theta \right]^{1/2}} \quad (3.1)$$

Z_{oo}, Z_{oe} 分別表示耦合線奇偶模特性阻抗， θ 表示耦合器電長度。

$$\because \theta = 90^\circ$$

帶入(3.1)可將簡化成下列數學式：

$$Z_c = \frac{2Z_{oe}Z_{oo}}{Z_{oe} - Z_{oo}} = \frac{2}{Y_{oo} - Y_{oe}} \quad (3.2)$$

方程式(3.2)也就是等效電路中傳輸線的特性阻抗值。

再加入 Dr. S. B. Cohn 所提出的耦合器特性阻抗方程式作為一組條件，如下列方程式：

$$Z_c = \sqrt{Z_{oe}Z_{oo}} \quad (3.3)$$

將方程式(3.3)帶入方程式(3.2)，則可以解出一組奇偶模特性阻抗 Z_{oo}, Z_{oe} ：

$$\begin{aligned} Z_{oe} &= (\sqrt{2} + 1)Z_c \\ Z_{oo} &= (\sqrt{2} - 1)Z_c \end{aligned} \quad (3.4)$$

要注意的是雙端短路耦合器中，利用此耦合器來代替 180° 移相器加上一段傳輸線時，必須在某特定條件下才能成立，接著我們來分析從輸入到輸出訊號所走的電長度 β ，電長度 β 如下列方程式所示：

$$\beta = \cos^{-1} \left[- \left(\frac{Z_{oe} + Z_{oo}}{Z_{oe} - Z_{oo}} \right) \cos \theta \right] \quad (3.5)$$

由方程式(3.5)可以看出，要當 $Z_{oe} \gg Z_{oo}$ 時， $\beta = 180^\circ + \theta$ 才會成立，所以要使用雙端短路耦合器來代替 180° 移相器加上一段傳輸線時，必須要滿足偶模特性阻抗遠大於奇模特性阻抗的條件。實際上並不可能做到偶模特性阻抗到無限大，奇模特性阻抗也不可能到無限小，所以岔路環耦合器的頻寬還是有所限制。

可以利用圖 3.2-3 與方程式(3.2)在模擬軟體 Microwave Office(MWO)中模擬，固定岔路環耦合器支線阻抗 Z_{ring} ，可以做出奇偶模特性阻抗對頻寬的關係圖，如圖 3.2-5，在此是利用柴比雪夫響應，並定義等漣波頻寬(equiripple bandwidth)。

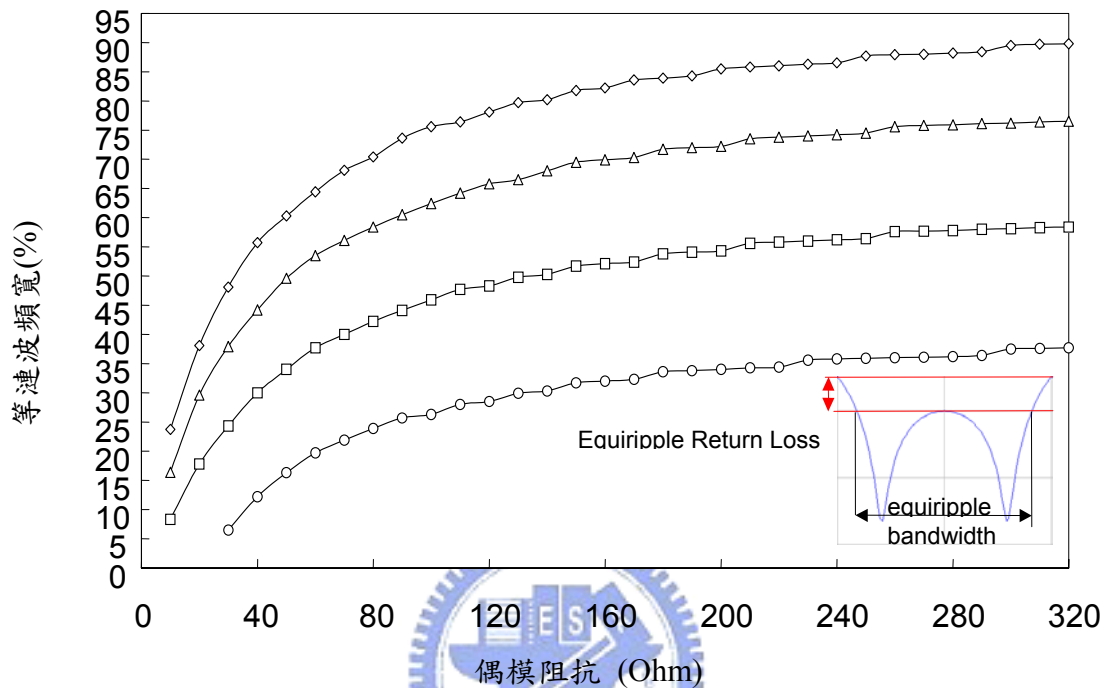


圖 3.2-5 等漣波頻寬與偶模阻抗關係圖

- ◇— $Z_{ring}=55\Omega$, 反射損耗=12.5dB
- △— $Z_{ring}=60\Omega$, 反射損耗=15.8dB
- $Z_{ring}=65\Omega$, 反射損耗=21.5dB
- $Z_{ring}=68.5\Omega$, 反射損耗=30dB

由圖 3.2-5 可以明顯看出，當根據所要的柴比雪夫響應選定岔路環耦合器支線阻抗 Z_{ring} 後，可以發現當偶模特性阻抗越大時頻寬也會越大，這是由於偶模特性阻抗越大時雖然奇模特性阻抗也會越大，不過奇模特性阻抗的變化量比較小，所以奇偶模的阻抗差會變大，所以頻寬也會相對變大，不過當偶模特性阻抗大到一個極大值後，由於奇偶阻抗差值以足夠大，頻寬變化也趨於平緩，所以在其後我們的設計當中，選擇偶模特性阻抗時，只要選到一個極大值就可以，不需

要挑選到一個非常大的值。

接著我們將分析垂直安裝之平面基板架構的耦合器與傳統平面式耦合器的不同，並說明先前所提到此種耦合器先天具有強耦合的特點，由於這種立體結構數學分析相當複雜，所以我們將簡單的利用電場分布情況來說明奇偶模特性阻抗大小。

首先先介紹一下傳統耦合器的原理，圖 3.2-6 為傳統耦合微帶線，並且可以用圖 3.2-7 的電路描述，假設耦合器都為 TEM 波傳播，其電磁特性可以完全由各線之間的等效電容和和傳播速度加以描述，如圖 3.2-7， C_{12} 為兩耦合線之間電容，而 C_{11} 和 C_{22} 為單一耦合線和地線的電容。

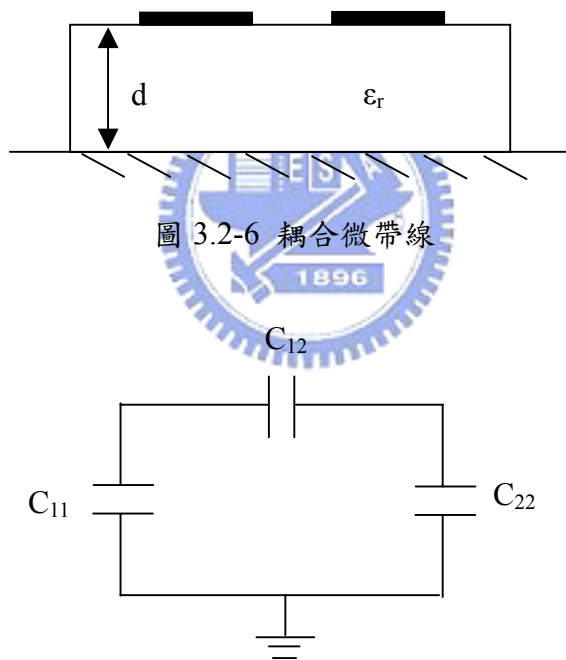


圖 3.2-7 3.2-6 等效電容圖

在分析耦合器時通常使用奇偶模分析法，偶模輸入時，兩耦合線上的電流大小與方向均相同；而奇模輸入時，兩耦合線上的電流大小相同與方向相反，可以由圖 3.2-8 看到奇偶模橫截面上電力線的分佈。

當偶模輸入時，電力線會對稱於中心線，兩耦合線間沒有電流經過， C_{12} 等效於開路，如圖 3.2-8(a)所示，所以偶模操作時，任意一條耦合線到地的電容為

$$C_e = C_{11e} = C_{22e} \quad (3.6)$$

所以，偶模特性阻抗為

$$Z_{oe} = \sqrt{\frac{L}{C_e}} = \frac{\sqrt{LC_e}}{C_e} = \frac{1}{vC_e} \quad (3.7)$$

v 為電波在線上的傳播速率。

對奇模而言，電力線分佈會反對稱於中心線，兩耦合線的對稱處會是電壓的零點，可以想像有一個接地面通過 C_{12} 的中心，等效電路可以從 3.2-8(b)所示，所以任一條耦合線到地的電容為

$$C_o = C_{11o} + 2C_{12o} = C_{22o} + 2C_{12o} \quad (3.8)$$

因此，奇模特性阻抗為

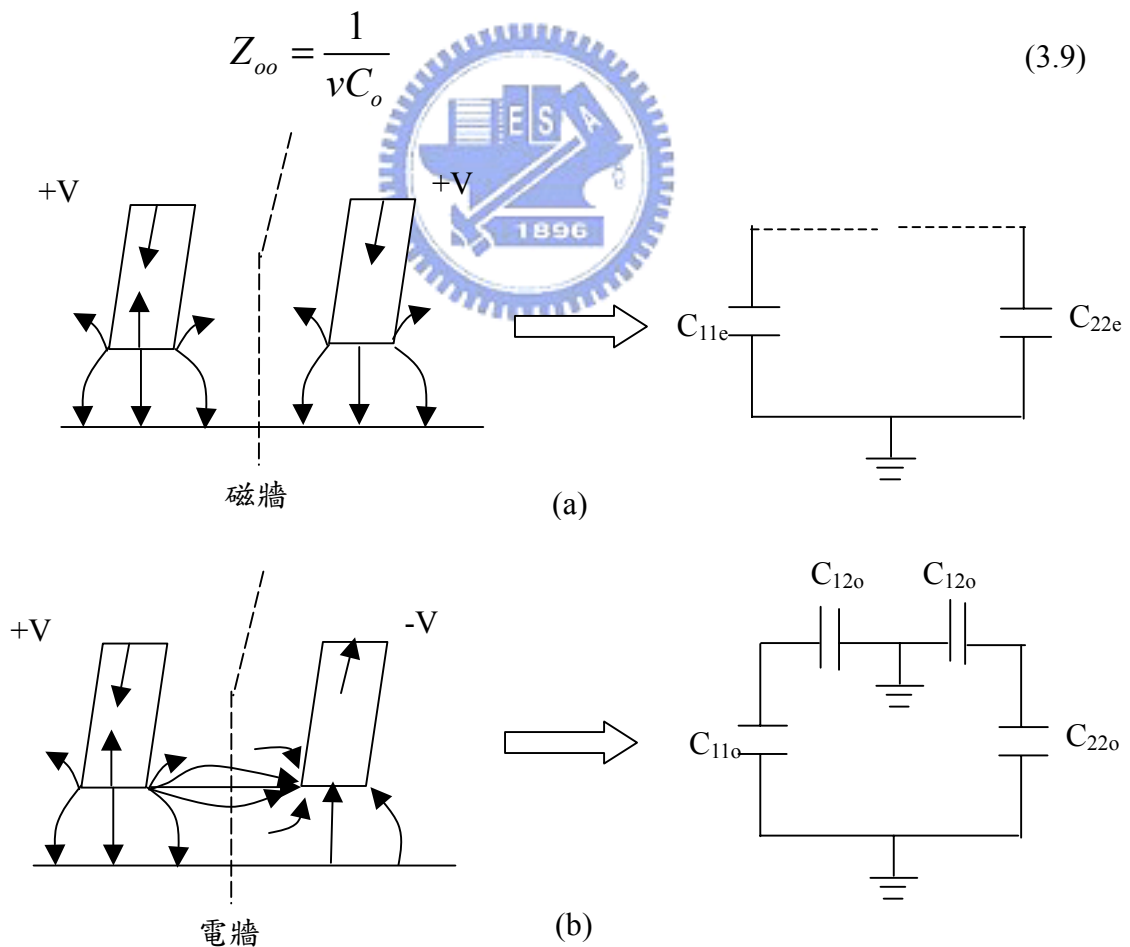


圖 3.2-8 耦合微帶線奇偶模電力分佈
(a)偶模 (b)奇模

換句話說，奇偶模特性阻抗就是耦合線在奇偶模操作時，其中一個耦合線對地線的特性阻抗，對任意的輸入條件，均可以化成奇偶模輸入的加權合。

最後定義耦合量 C 為

$$C = \frac{Z_{oe} - Z_{oo}}{Z_{oe} + Z_{oo}} \quad (3.10)$$

由(3.10)可以看出，要有強耦合量，必須要滿足偶模特性阻抗遠大於奇模特性阻抗的條件，而傳統平面式的耦合器，可由(3.7)(3.8)(3.9)(3.10)看出，如果要偶模特性阻抗遠大於奇模特性阻抗，只能將奇模特性阻抗做小，就是 C 。要很大，反而言之就是兩條耦合線必須很靠近，這在傳統印刷電路板製成上具有一定的限制，所以無法做到很強的耦合量。

不過(3.10)的定義是在奇偶模速度相同的情況所推導出的，在耦合微帶線中需要做一點修正，由圖 3.2-8 就可以知道在空氣中的電力線分佈，偶模比奇模少了許多，所以偶模的等效介電常數比較高，或者說其傳播速度比較慢，這種奇偶模速度的不相同往往會造成耦合器的方向性變差。

接著也可以利用傳統耦合器的分析方法來分析垂直安裝之平面基板架構的耦合器，如圖 3.2-9。

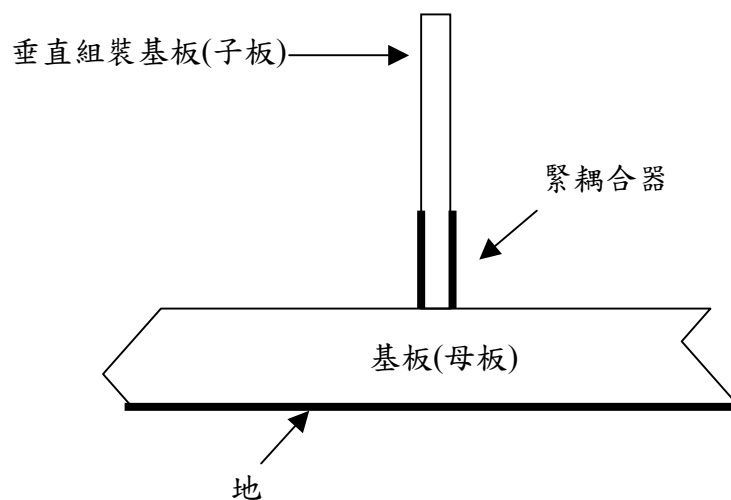


圖 3.2-9 垂直組裝架構耦合器

再來將分析垂直安裝之平面基板架構耦合器在奇偶模輸入時的電場分佈情形，如圖 3.2-10，並且觀察等效電容的特性。由於奇偶模特性阻抗就是耦合線在奇偶模操作時，其中一個耦合線對地線的特性阻抗，所以我們只需觀察一條耦合線的電場分佈情形。

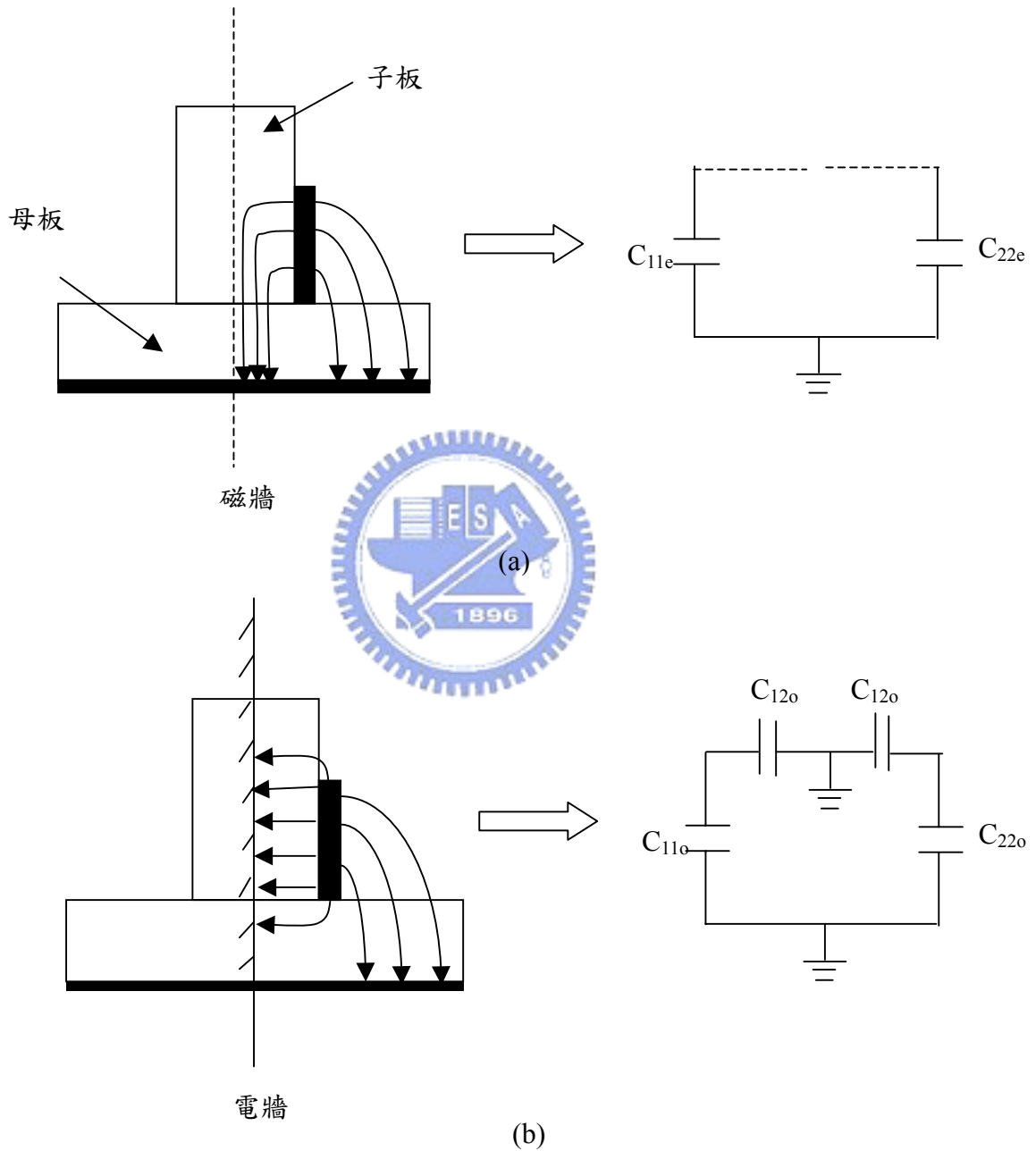


圖 3.2-10 垂直組裝架構的耦合器奇偶模電力分佈
(a)偶模 (b)奇模

由圖 3.2-10 可以看到整個電場在奇偶模時的分佈情形，我們可以明顯發覺偶模和奇模的電場分佈有很大的差異性，由圖 3.2-10(a)知道偶模的電場因為中間是看到磁牆，所以整個場的分佈都是落在空氣與子板中，然後到地線，此種結構的在偶模操作時，任意一條耦合線到地的電容 C_{11e} 、 C_{22e} 相當小，因為整個電力線的分佈長度相當長；反觀奇模的電場分佈，由圖 3.2-10(b)知道整個奇模操作時，因為中間看到的是電牆(虛接地)，假設子板厚度比母板來的小，由於耦合線離虛接地面較近，所以整個電場幾乎都落在子板當中，只有少部份的電場落到了接地面，可以發覺此種結構的在奇模操作時，任意一條耦合線到地的電容 C_{12o} 相當大 (C_{11o} 、 C_{22o} 遠小於 C_{12o})，故奇模電容 C_o 遠大於偶模電容 C_e ，且由(3.7)與(3.9)可以知道偶模阻抗 Z_{oe} 會遠大於奇模阻抗 Z_{oo} ，所以要利用這種垂直安裝之平面基板架構的耦合器來達成強耦合，是可以達成的。

接著我們將分析如何由改變某些參數來控制奇偶模大小，首先先由圖 3.2-11 來分析如何改變奇模大小。

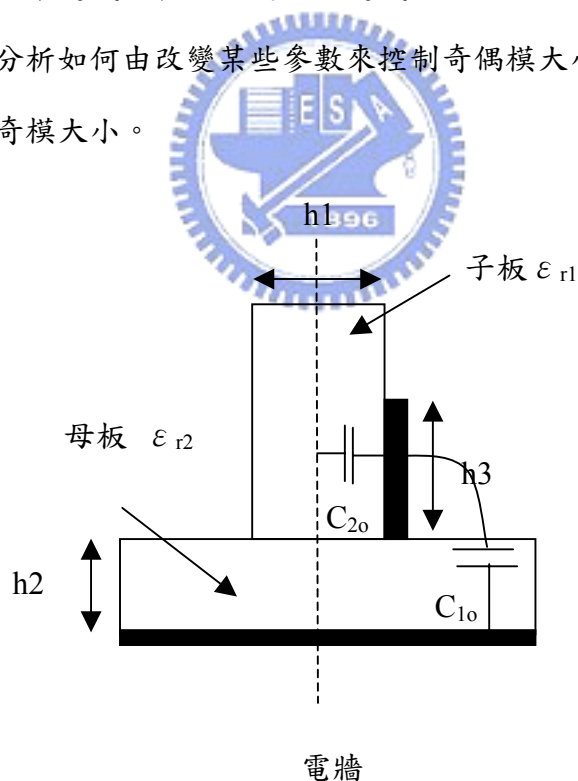


圖 3.2-11 垂直組裝架構耦合器奇模參數， h_1 為子板厚度， h_2 為母板厚度， h_3 為耦合線高度， ϵ_{r1} 為子板介電常數， ϵ_{r2} 為母板介電常數， C_{10} 為奇模時對地電容， C_{20} 為奇模時對中間電牆的電容

由先前的分析可以知道圖 3.2-11 的 $C_{20} \gg C_{10}$ ，所以控制 C_{20} 就可以有效的改變奇模阻抗的值，最有效的方式就是改變子板的厚度 h_1 或耦合線高度 h_3 ，也就是說當 h_1 變大或 h_3 縮小時， C_{20} 會變小，奇模阻抗的值變大； h_1 變小或 h_3 變大時， C_{20} 會變大，奇模阻抗的值變小；由平板電容公式知道要改變 C_{20} 大小除了距離和面積之外，也可以改變介電常數，由於奇模場都落在子板當中，所以當 ϵ_{r1} 變大時，電容也會變大，奇模阻抗的值變小；當 ϵ_{r1} 變小時，電容也會變小，奇模阻抗的值變大，不過由於也會影響到奇模的速度，所以並不如控制子板厚度來的有效果，最後，可以了解到子板厚度 h_1 與耦合線高度 h_3 是控制奇模阻抗兩個重要參數。

而偶模阻抗的控制就更為單純了，由圖 3.2-12 可以知道控制偶模阻抗的主要因素是接地電容 C_{1e} 、 C_{2e} ，所以最直接要增大偶模阻抗的辦法就是將母板高度 h_2 變高，或者縮小耦合線高度 h_3 ，都可以使得接地電容 C_{1e} 、 C_{2e} 下降，造成偶模阻抗上升。

除了這兩種方法外，還有兩種特殊的方式可以增大偶模阻抗，第一種方式如圖 3.2-13(a)所示，將耦合線離母板高度 h_4 增加，這種方法可以使耦合線離接地面更遠，造成接地電容 C_{1e} 、 C_{2e} 下降，可以增加偶模阻抗，不過這種利用提高子板高度的方式並不是很建議使用，因為這種架構會增加與其他電路串接的困難性；第二種方式，就是將地線的面積減小，如圖 3.2-13(b)，這種方式同樣也會降低 C_{1e} 、 C_{2e} 的值，也可以有效提高偶模阻抗值，但是也不建議使用，因為這種架構必須增加母板的雙面製程，增加電路製造的複雜度；反之言之，降低偶模阻抗的方法則有降低母板高度 h_2 與增加耦合線高度 h_3 的方式。

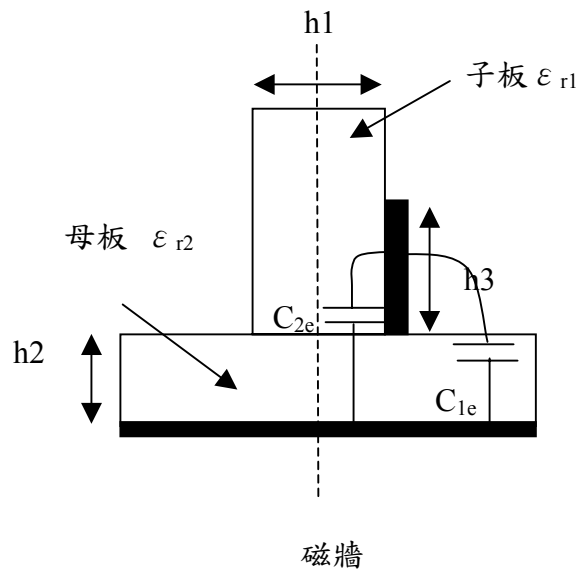


圖 3.2-12 垂直組裝架構耦合器偶模參數， h_1 為子板厚度， h_2 為母板厚度， ϵ_{r1} 為子板介電常數， ϵ_{r2} 為母板介電常數， $C_{1e}C_{2e}$ 為偶模時對地電容

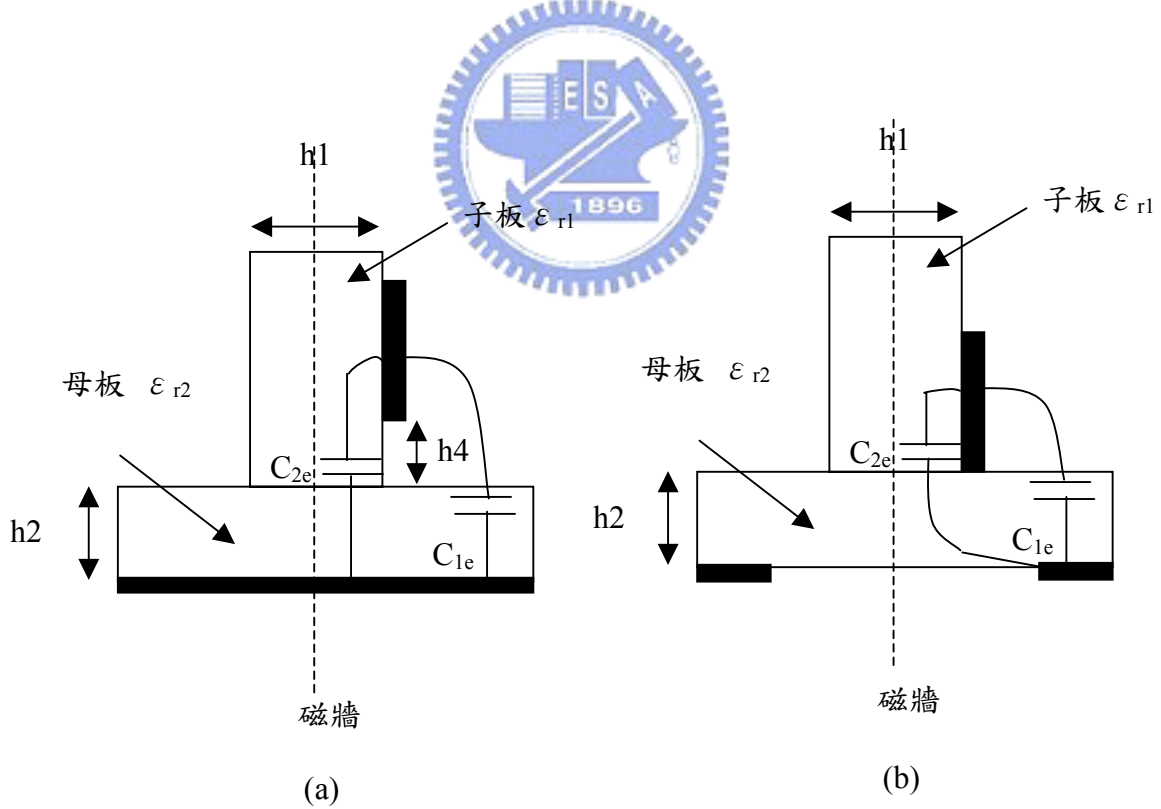


圖 3.2-13 增加偶模阻抗大小方法
(a) 提高耦合線高度 (b) 地線的面積減小

當然，改變子板與母板介電常數 ϵ_{r1} 、 ϵ_{r2} 也可以控制偶模阻抗大小，不過也是並不如控制母板厚度等方式來的有效果。

由(3.7)與(3.9)知道改變奇偶模阻抗還有一個參數可以改變，那就是奇偶模速度，不過由於速度是跟 $\sqrt{\epsilon_r}$ 成反比，並不如奇偶模電容與距離和 ϵ_r 直接成正比來的影響大，而且奇偶模速度的差異過大會影響整體的響應(其後將說明)，所以都以電容作為主要判斷，然後再利用模擬軟體去求出奇偶模阻抗。

如果要利用場論的分式來解出奇偶模阻抗的真正值，必須要處理相當複雜的數學解析，而且改變一次架構就必須重新計算一次，所以這就是為何選擇利用 3D 的電磁軟體(在此是利用 HFSS)來計算出奇偶模阻抗值，這是一個快速且對設計電路上具有效率的方式；為了能更快速估計奇偶模阻抗值，我們提供了一個簡易的模型來估計初始電路尺寸。



3.3 設計流程：

- (1).選擇圖 3.2-3 支線阻抗 Z_{ring} 阻抗為 55Ω ，為了使得反射損耗(insertion loss)具有較大頻寬。
- (2).利用圖 3.2-5 來選擇所要的頻寬和所需的奇偶模阻抗值。
- (3).利用簡易的模型來估計所需奇偶模阻抗值的初始電路尺寸。
- (4).利用 HFSS 正確計算出奇偶模阻抗值。
- (5).將模擬出的耦合器帶入電路模擬軟體 MWO 做岔路環耦合器整體模擬。
- (6).實做微調並量測。

3.4 設計實例與量測結果：

- (1).選擇圖 3.2-3 支線阻抗 Z_{ring} 阻抗為 55Ω ，中心頻為 2GHz，並由圖 3.2-5 選定偶模阻抗 $Z_{oe}=163\Omega$ ，則由(3.2)可以計算出奇模特性阻抗 $Z_{oo}=23.53\Omega$ ，由於最後我們將 Z_{oo} 微調到 26Ω ，所以下面都以 $Z_{oo}=26\Omega$ 為設計舉例。

$$Z_c = \frac{2Z_{oe}Z_{oo}}{Z_{oe} - Z_{oo}} = \frac{2}{Y_{oo} - Y_{oe}} = \frac{2}{\frac{1}{Z_{oo}} - \frac{1}{163}} = 55 \Rightarrow Z_{oo} = 23.53\Omega$$

(2).接著我們將利用簡易的模型來估計奇偶模阻抗所需的初始電路尺寸，圖

3.4-1(a)(b)分別為奇偶模的估計模型與電場分佈情形，調整電路尺寸再利用模擬軟體 ADS 來計算奇偶模值，調整到與所要設計奇偶模值相同，即為電路的初始尺寸。

這次母板是使用介電常數 $\epsilon_r=3.38$ ，厚度是 20mil；子板是使用介電常數 $\epsilon_r=3.38$ ，厚度是 8mil；因為子板越薄越可以降低奇模阻抗 Z_{oo} 。

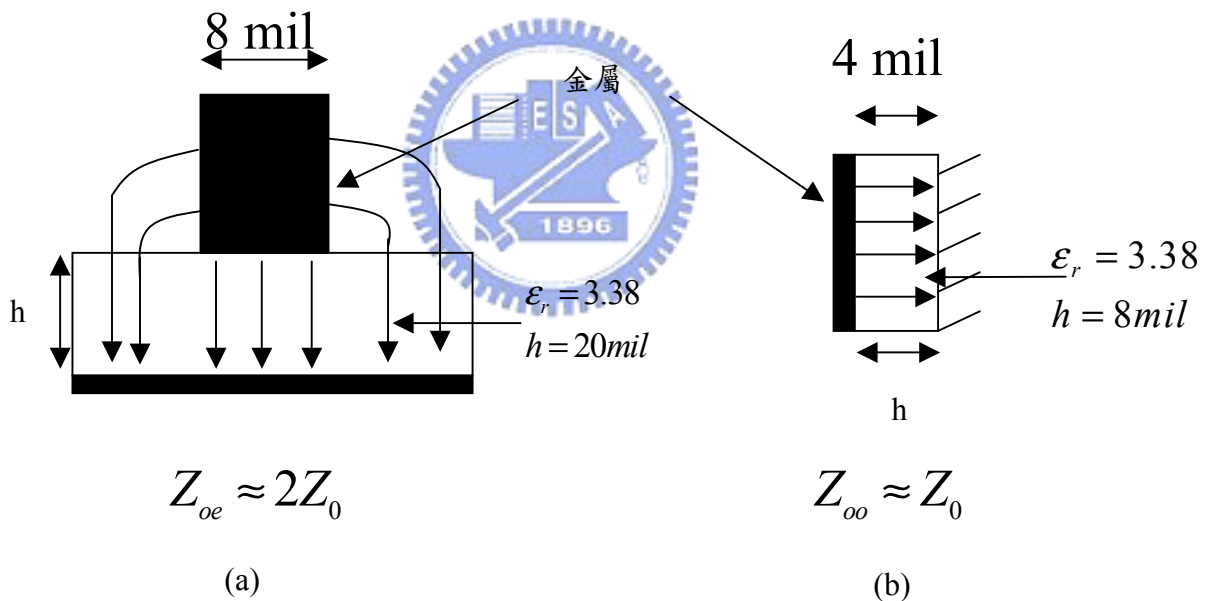


圖 3.4-1 奇偶模的估計模型
(a) 偶模模型(b) 奇模模型

我們可以看到圖 3.4-1 與 3.2-10 的奇偶模的電場分佈情況，其實 3.4-1 就是省略 3.2-10 的一些電場的簡化圖形，由於省略了一些場，所以也會有些許的誤差，不過這提供了一個初使的尺寸給電磁模擬軟體 HFSS 模擬，在往後用 HFSS 微調時會減少不少微調的時間。

(3).利用上述求出的電路尺寸，帶入 HFSS 做電磁模擬，如圖 3.4-2，求出垂直安裝之平面基板架構耦合器的奇偶模阻抗值 Z_{oe} 、 Z_{oo} 。

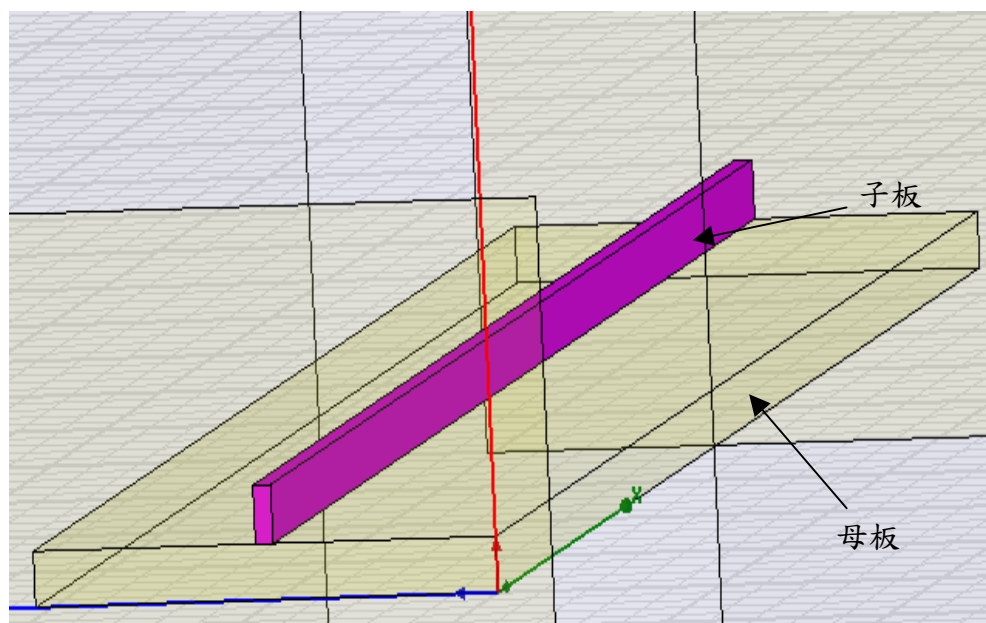


圖 3.4-2 HFSS 模擬垂直組裝架構耦合器

而圖 3.4-3 與圖 3.4-4 是模擬出來的奇偶模阻抗值 Z_{oe} 、 Z_{oo} 隨頻率的變化情形，頻率從 0 到 4GHz。

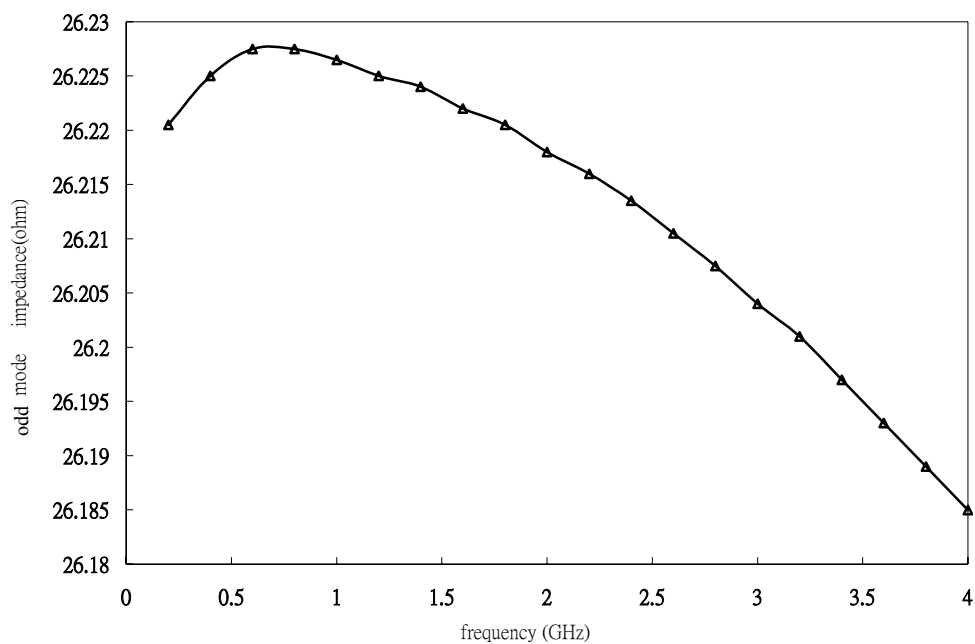


圖 3.4-3 奇模阻抗值 Z_{oo} 隨頻率的變化情形

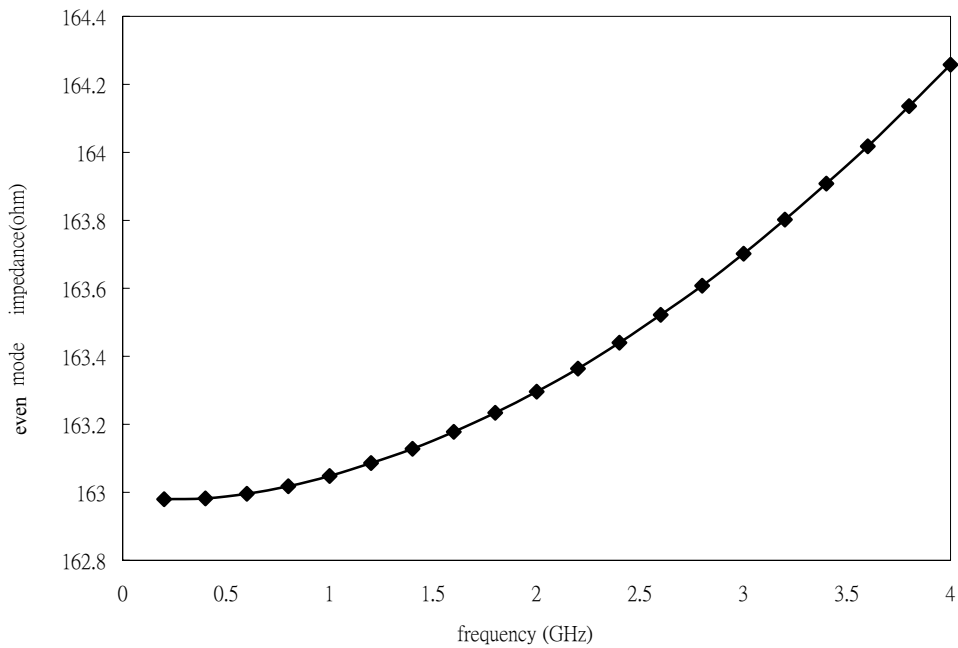


圖 3.4-4 偶模阻抗值 Z_{oe} 隨頻率的變化情形

可以從 3.4-3 和 3.4-4 看出奇偶模阻抗值 Z_{oe} 、 Z_{oo} 在中心頻 2GHz 都有達到我們所要設計的奇偶模阻抗值，而且偶模阻抗值 Z_{oe} 隨頻率成正比的變化；奇模阻抗值 Z_{oo} 隨頻率有點成反比的變化，但是變化量都非常微小。

(4). 將 HFSS 模擬出的耦合器帶入 MWO 做岔路環耦合器整體模擬，如圖 3.4-5。

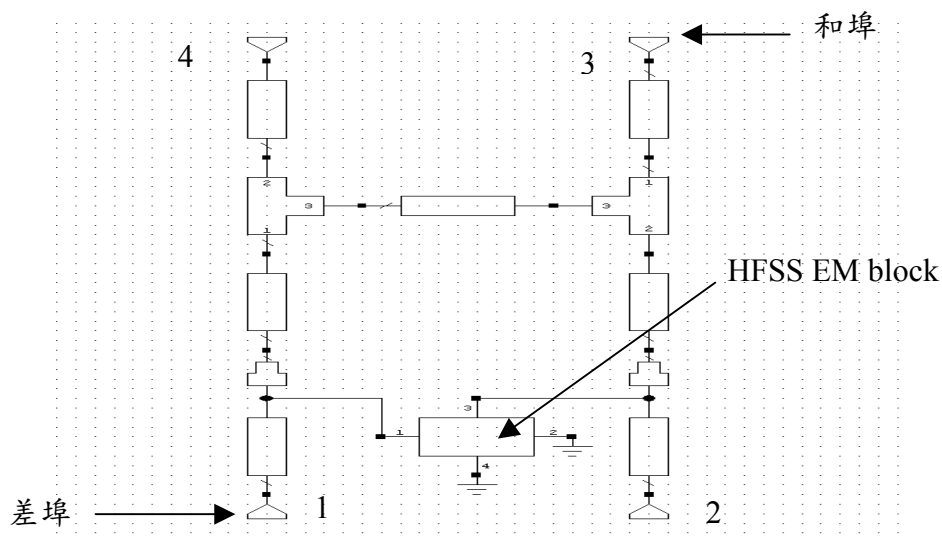


圖 3.4-5 MWO 模擬岔路環耦合器

而圖 3.4-6 和圖 3.4-7 分別為 MWO 模擬岔路環耦合器的差埠(delta port)和和埠(sum port)的模擬結果；圖 3.4-8 與圖 3.4-9 為差埠與和埠相位誤差。

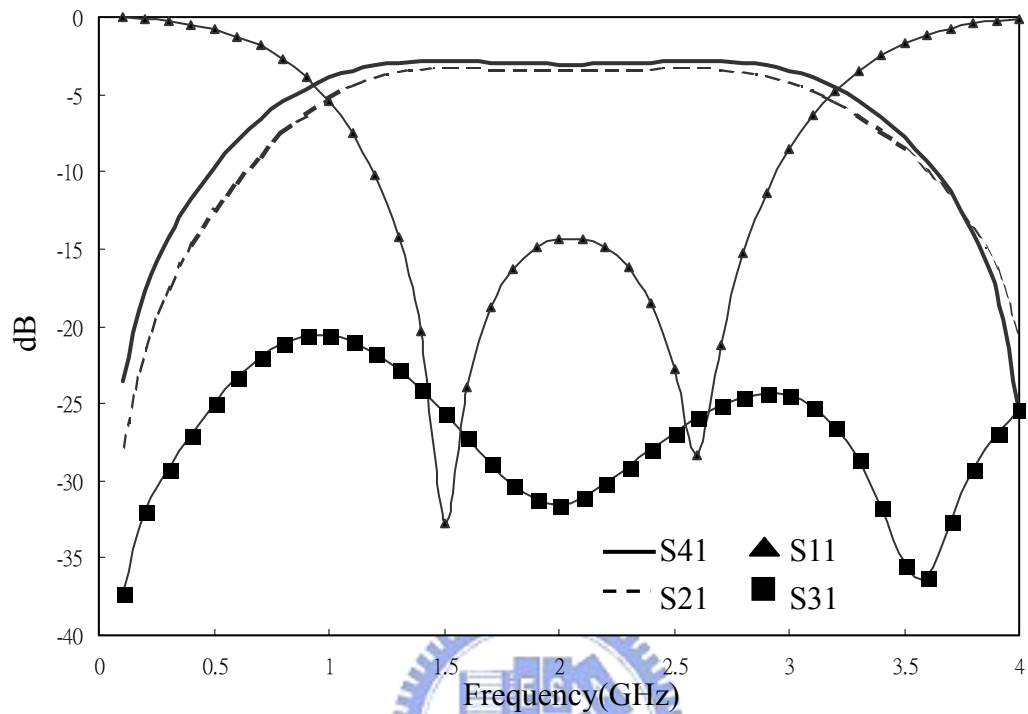


圖 3.4-6 差埠的模擬結果

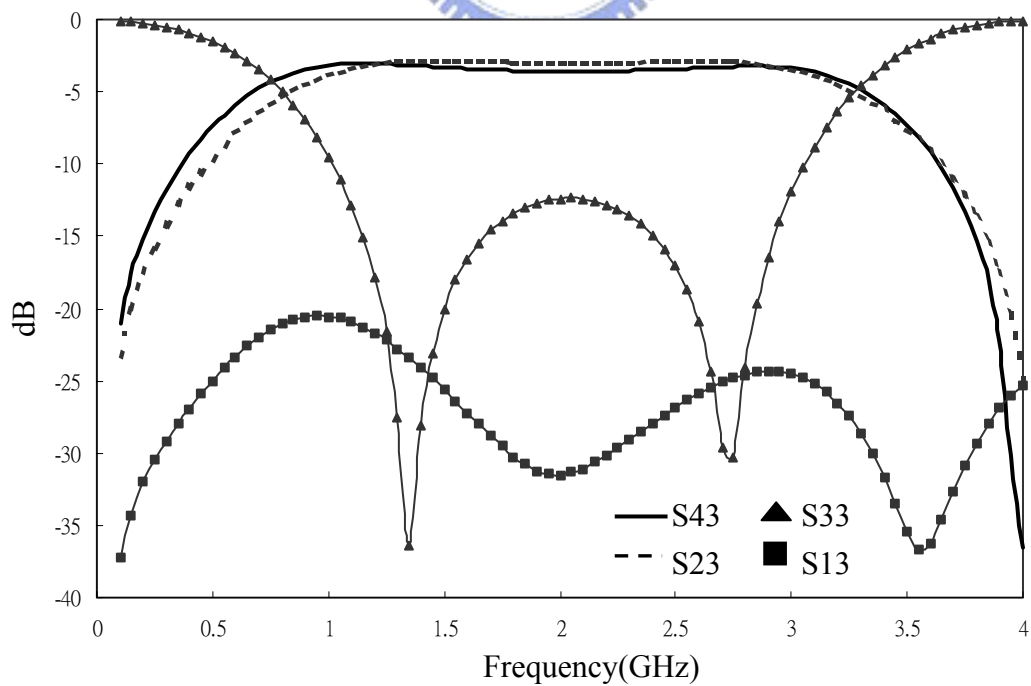


圖 3.4-7 和埠的模擬結果

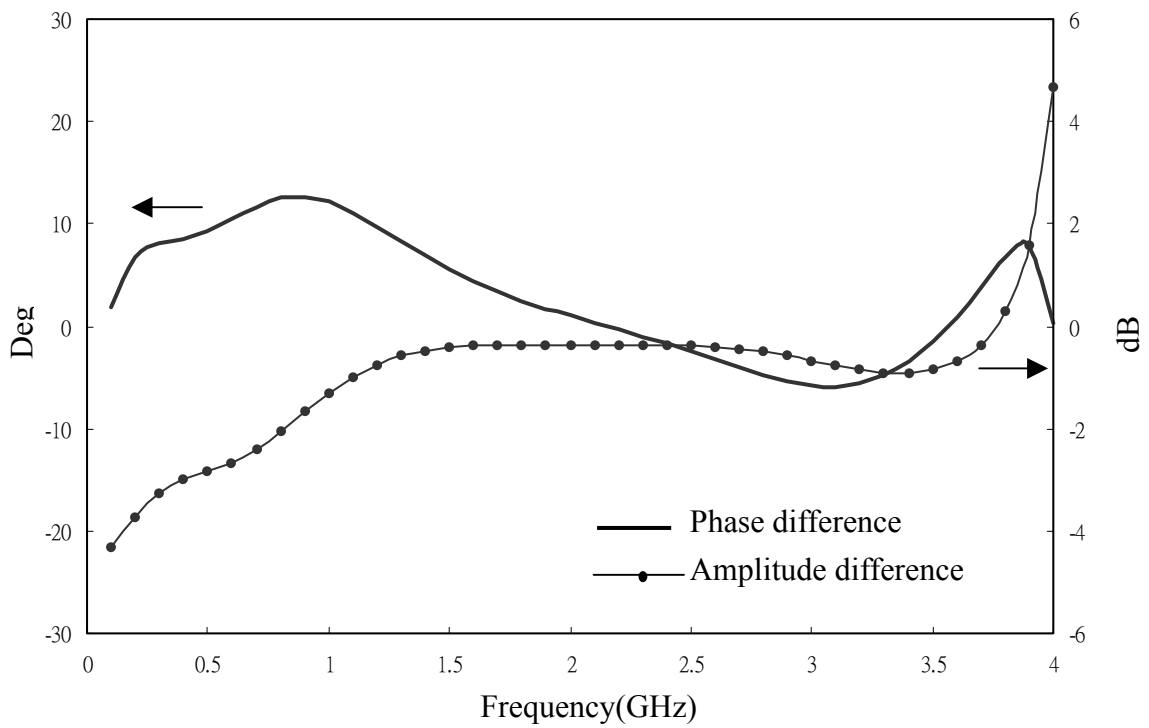


圖 3.4-8 差埠的相位與大小模擬誤差

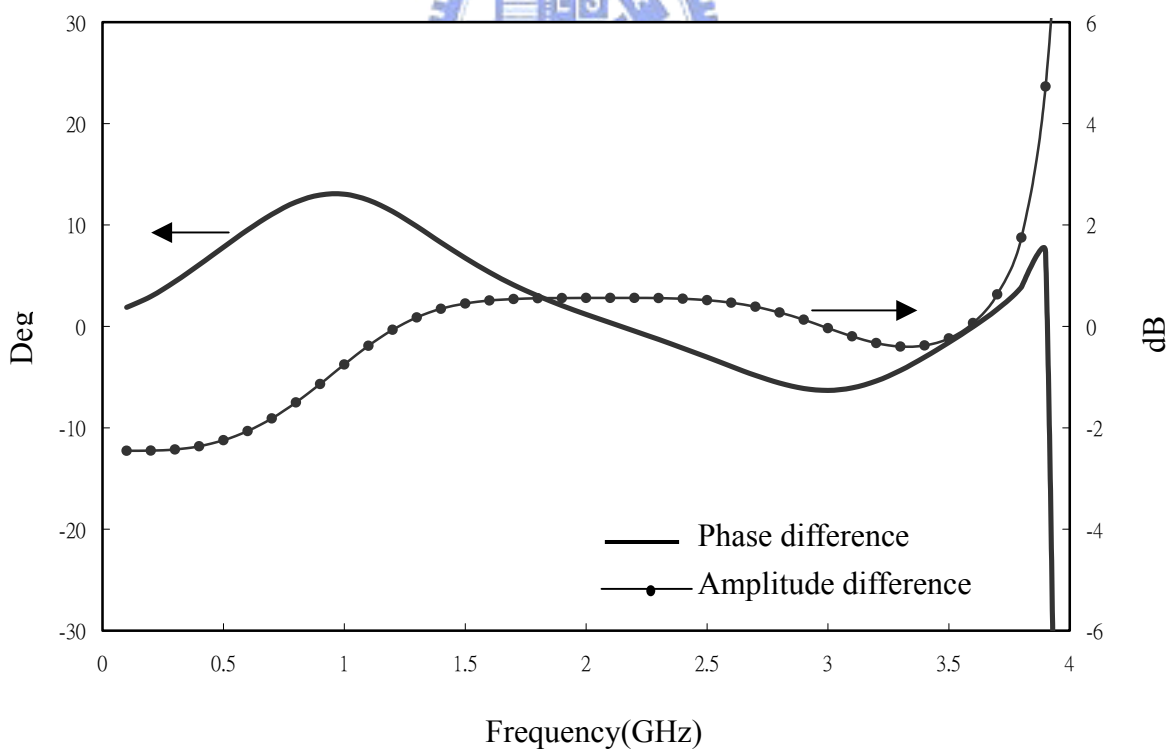


圖 3.4-9 和埠的相位與大小模擬誤差

可以從圖 3.4-6 到圖 3.4-9 得到模擬的等漣波頻寬，可以發現從 1.24GHz 到 2.83GHz 都是有效的等漣波頻寬，相對頻寬約有 79.5%，如果將頻寬定義成 1dB 以內的大小誤差與 10 度以內的相位誤差，則頻寬將由 1.2GHz 到 2.95GHz，相對頻寬達到 88%左右，是具有寬頻特性的岔路環耦合器。

由圖 3.2-5 可以發覺我們設計的岔路環耦合器等漣波頻寬應可達成 80%左右，與模擬結果相當符合。

(5).圖 3.4-10 為垂直安裝之平面基板架構耦合器的實做配置圖，需要在兩處鑽孔接地，再與耦合線利用焊錫做連結。

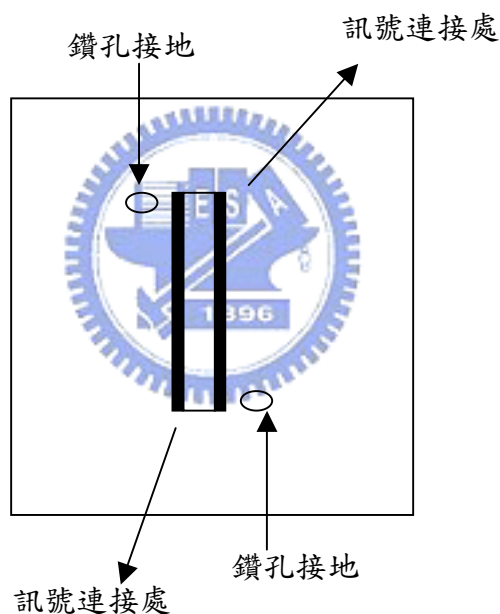


圖 3.4-10 垂直安裝之平面基板架構耦合器實做配置俯視圖

圖 3.4-11 為實做圖，而圖 3.4-12 與圖 3.4-13 為岔路環耦合器的差埠與和埠的量測結果；圖 3.4-14 與圖 3.4-15 為量測差埠與和埠的大小與相位誤差。

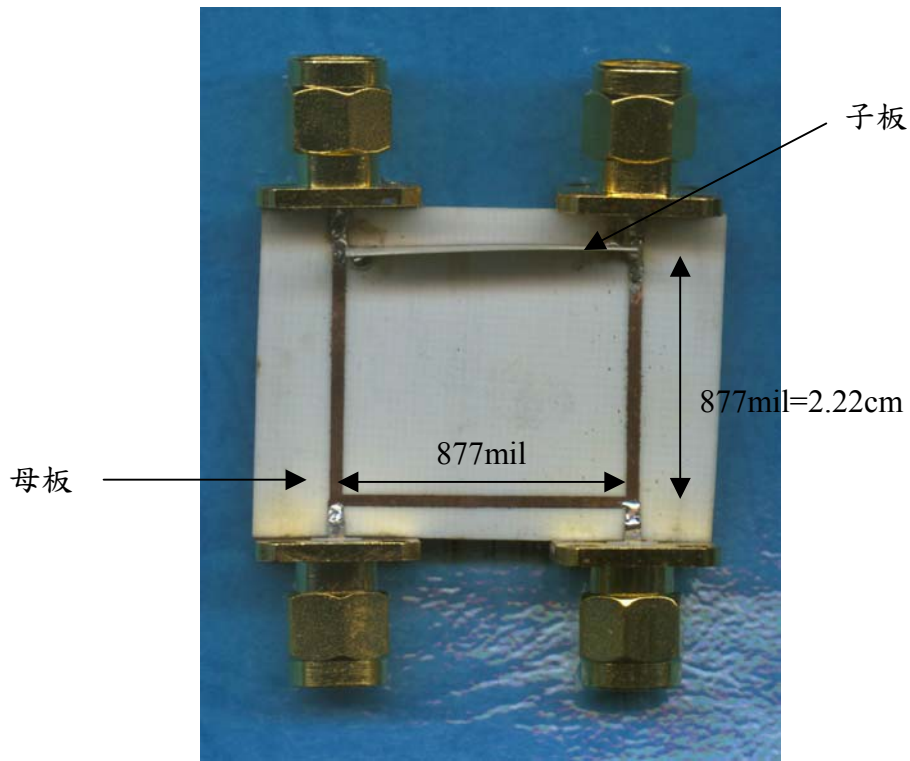


圖 3.4-11 岔路環耦合器實做圖

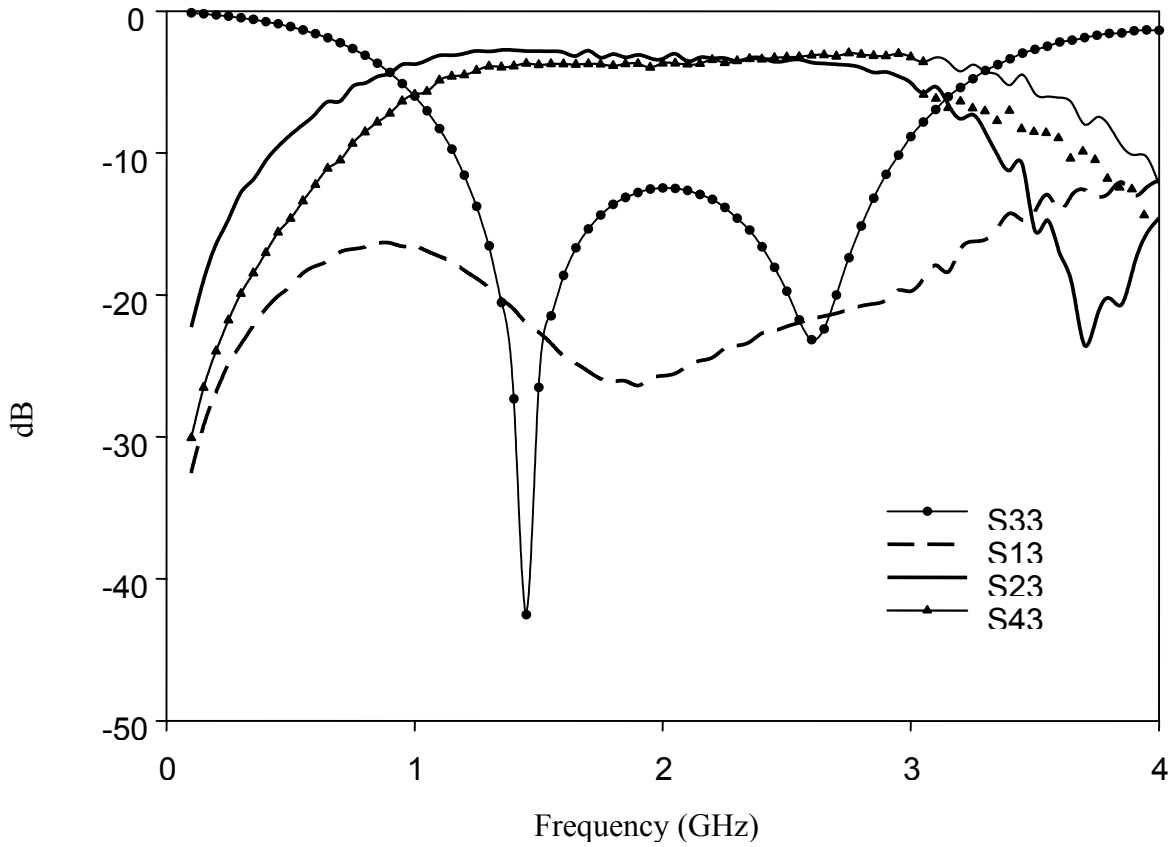


圖 3.4-12 差埠的量測結果

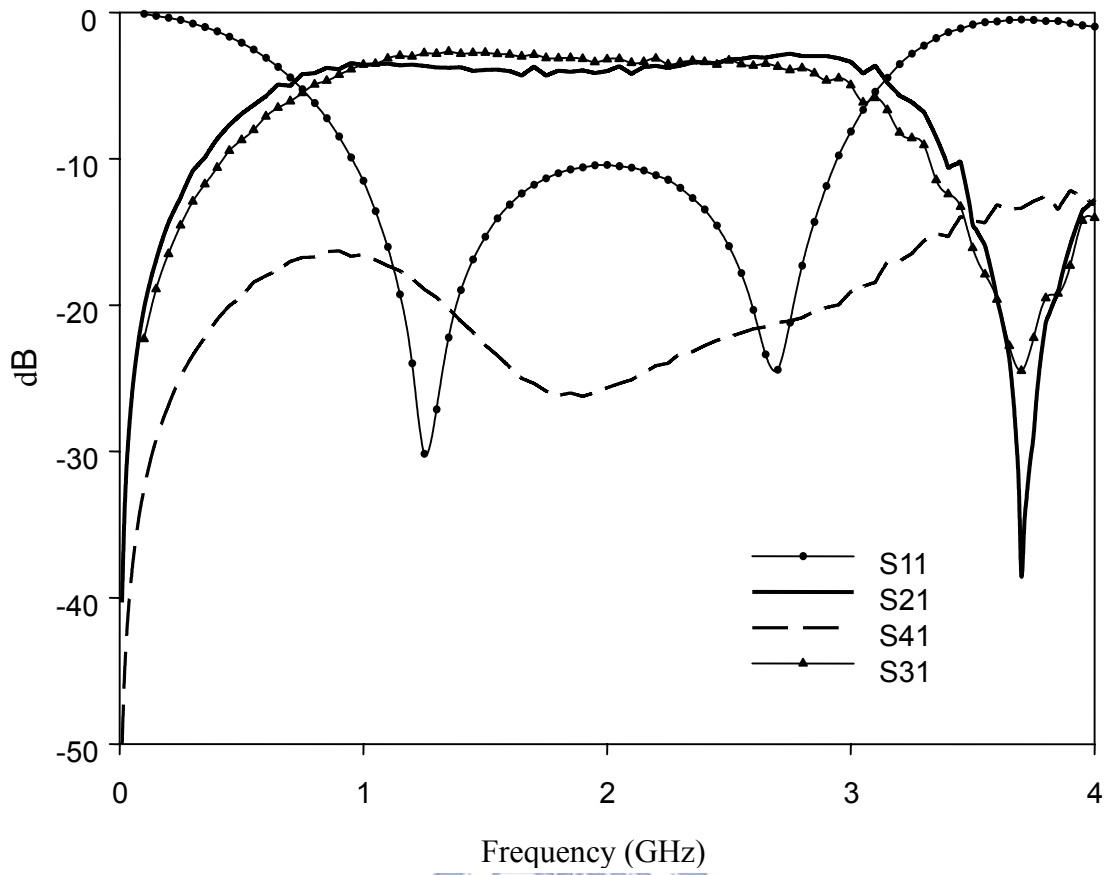


圖 3.4-13 和埠的量測結果

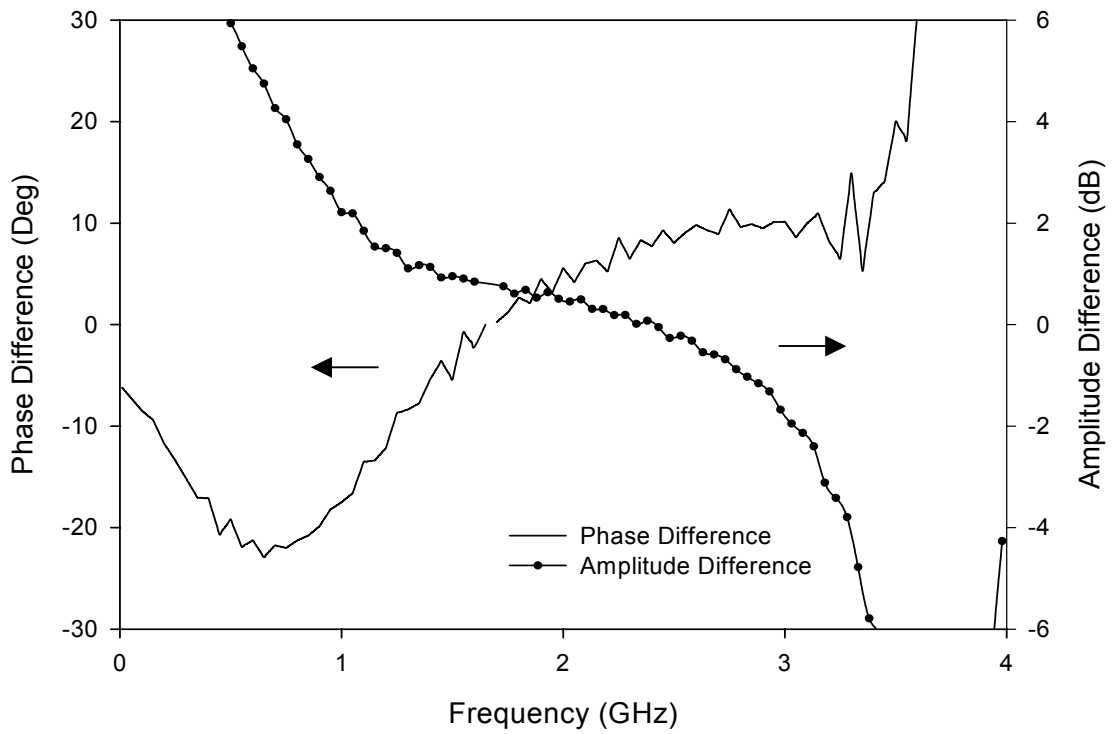


圖 3.4-14 差埠的相位與大小量測誤差

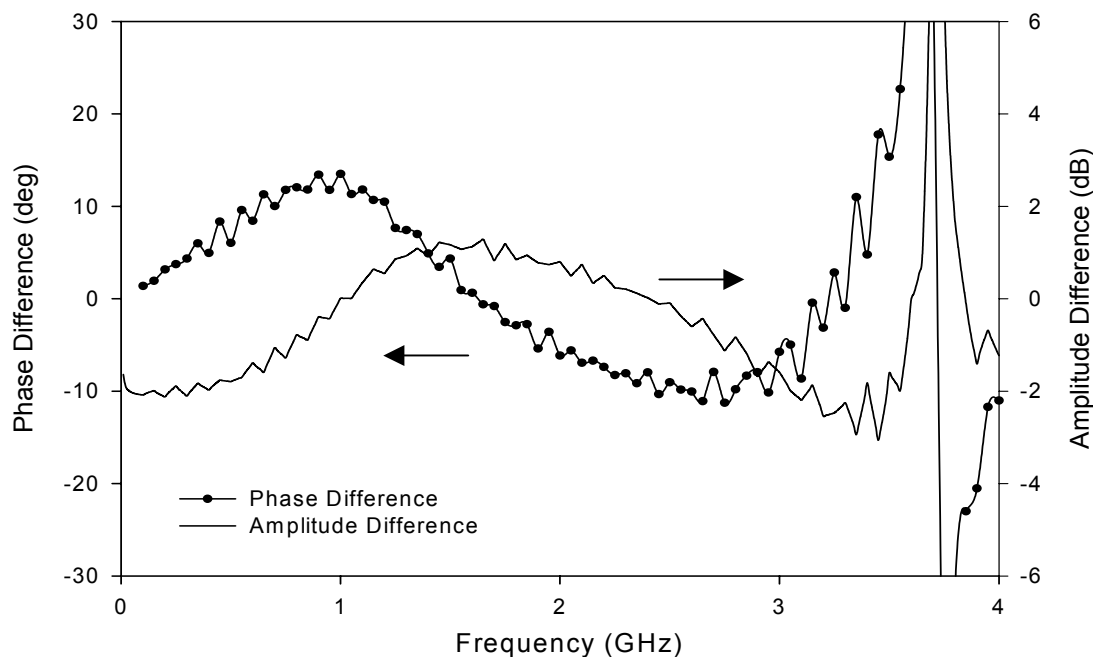


圖 3.4-15 和埠的相位與大小誤差

由圖 3.4-12 到圖 3.4-15 的量測結果中，可以發現等漣波頻寬約從 1.23GHz 到 2.83GHz，相對頻寬約為 80%，如果將 1dB 以內的大小誤差與 10 度以內的相位誤差定義成頻寬大小，則可以發現由 1.3GHz 到 2.85GHz 的範圍內都符合，相對頻寬大小約有 77.5%。

可以發現量測與模擬結果的等漣波頻寬相當接近，這代表著反射損耗的量測與模擬是相當吻合的；不過如果將 1dB 的大小誤差與 10 度的相位誤差定義成頻寬則可以發現量測值的頻寬大小比模擬值來的小，由模擬圖與量測圖可以發現量測的大小與相位誤差來的比模擬誤差值來的大了一些，造成了頻寬沒有模擬結果那麼大的頻寬，其後將對此問題做討論。

3.5 結果討論：

可以由圖 3.4-8、圖 3.4-9 的模擬與圖 3.4-14、圖 3.4-15 的量測可以看出在差埠與和埠的大小誤差在高頻處比模擬值來的差，也可由圖 3.5-1 與圖 3.5-2 所標記的圓圈部份所看出；而相位誤差方面，在頻寬之內的相位誤差也比模擬值來的

更大，這種結果造成所預期的頻寬並不如所模擬出的寬頻。

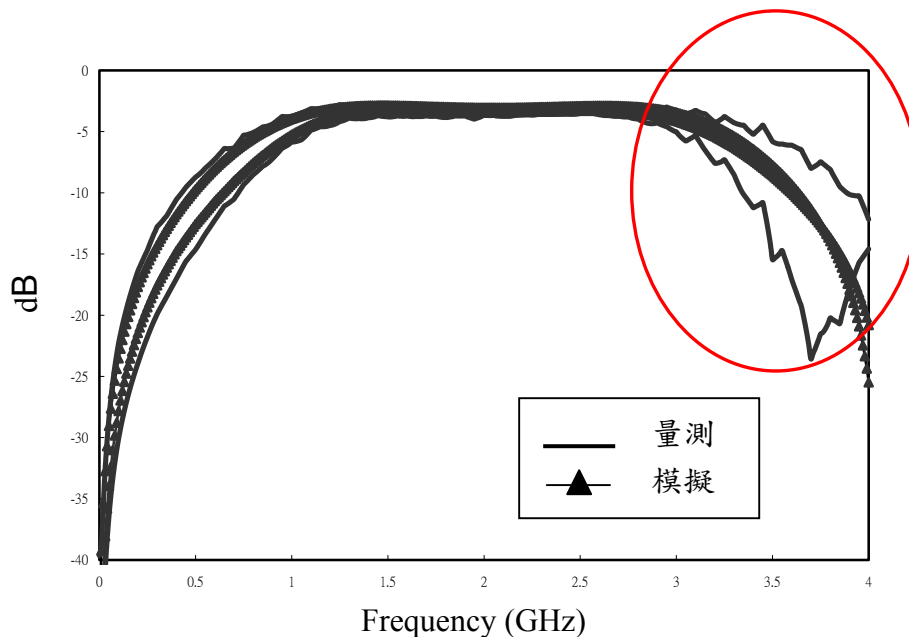


圖 3.5-1 差埠量測與模擬結果比較

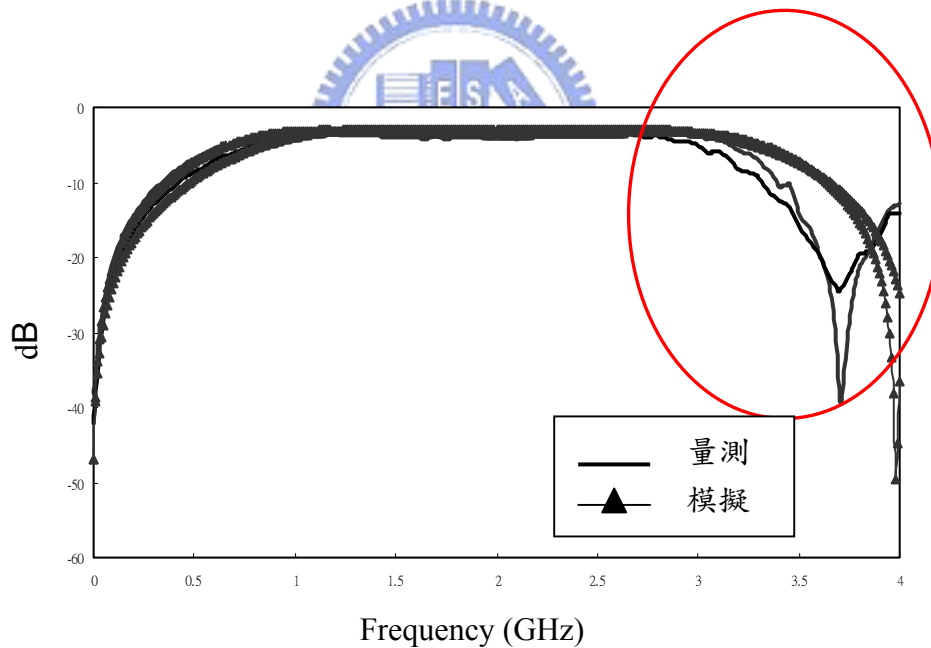


圖 3.5-2 和埠量測與模擬結果比較

由圖 3.2-10 中垂直安裝之平面基板耦合器的電場分佈可以明顯了解奇偶模電場分佈的差異性相當大，奇模的電場幾乎都存在於子板當中；而偶模的電場則分佈在空氣、子板與母板中，所以可以了解奇模的等效介電常數遠比偶模的大，這造成偶模的速度遠比奇模的快，這與傳統平面微帶耦合器的奇模速度大於偶模

速度有明顯的不同，也是垂直安裝之平面基板架構耦合器不可避免的缺點；而圖 3.2-4 中的等效電路是針對奇偶模速度相同時所推導出的，所以在奇偶模速度不同時，等效電路也需要做修正。

經由電磁模擬軟體 HFSS 模擬的結果，可以算出奇模等效介電常數約為 2.6；偶模等效介電常數 2.07，然後代入在模擬軟體 WMO 做模擬，如圖 3.5-3 所示：

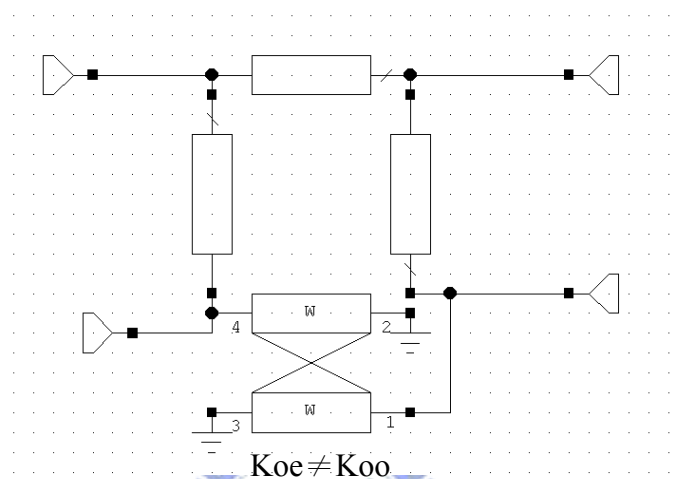


圖 3.5-3 模擬奇偶模速度不等情形

K_{oo} 、 K_{oe} 是奇偶模等效介電常數 (也就是等於調整速度)，可以得到差埠與和埠量測與模擬結果，如圖 3.5-4 與圖 3.5-5 所示：

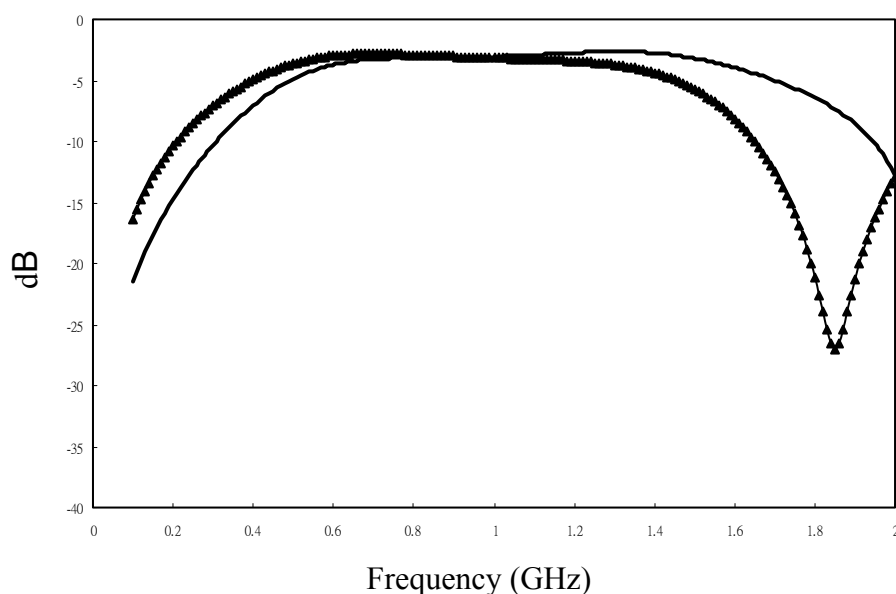


圖 3.5-4 差埠量測與模擬結果(模擬奇偶模速度不等)

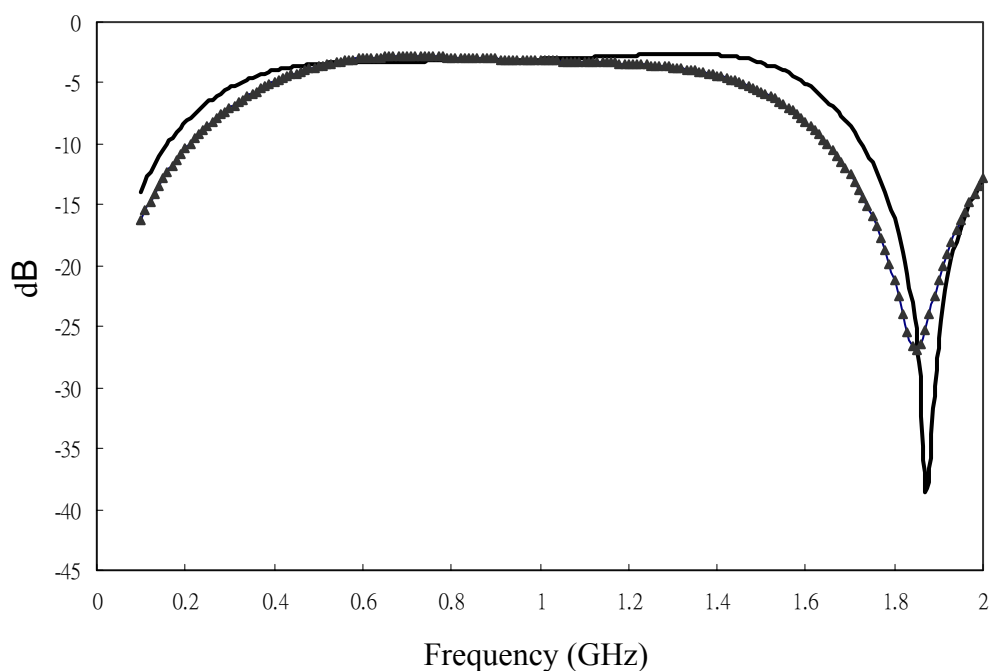


圖 3.5-5 和埠量測與模擬結果(模擬奇偶模速度不

將奇偶模速度不相等的原因考慮進去模擬時，與真正量測的結果做比較，圖 3.5-4、3.5-5 與圖 3.5-1、3.5-2 比較，可以發現與量測結果相當吻合，也就是說奇偶模速度上的差異性，的確影響了高頻處大小的誤差，也等於影響了岔路環耦合器的頻寬，造成不如預期的寬頻。

而圖 3.5-6 與圖 3.5-7 是奇偶模速度不等時，差埠與和埠的相位與大小誤差的模擬結果，由模擬結果與圖 3.4-14、圖 3.4-15 的量測做比較，可以發現相當吻合，而且受到了奇偶模速度不等的影響，整體頻寬內的大小與相位響應，也不如模擬來的好。

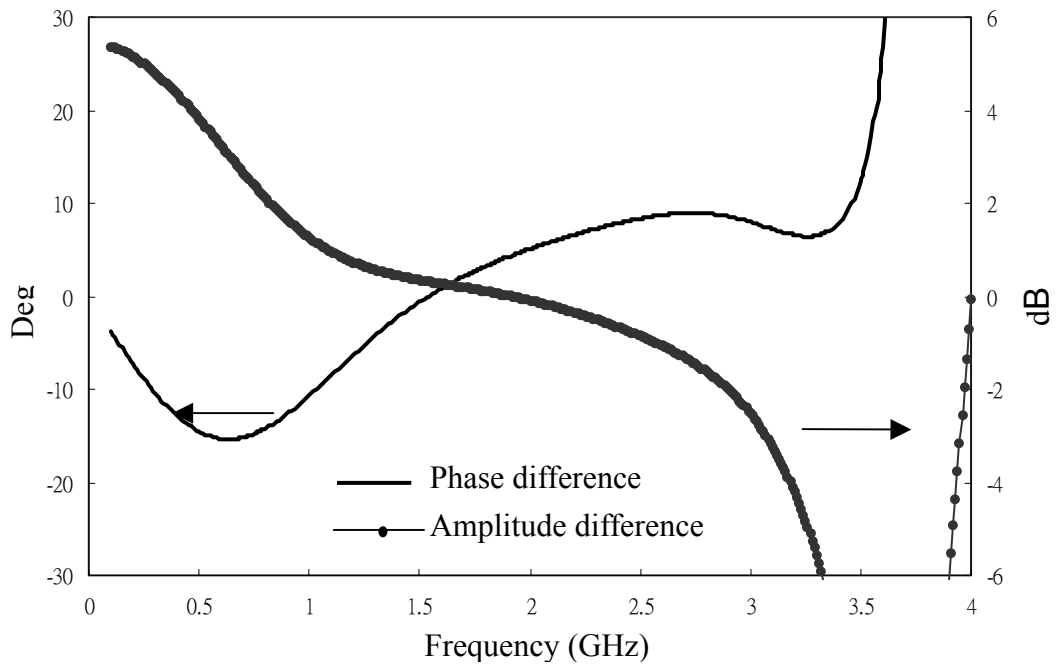


圖 3.5-6 差埠的相位與大小誤差(模擬奇偶模速度不等)

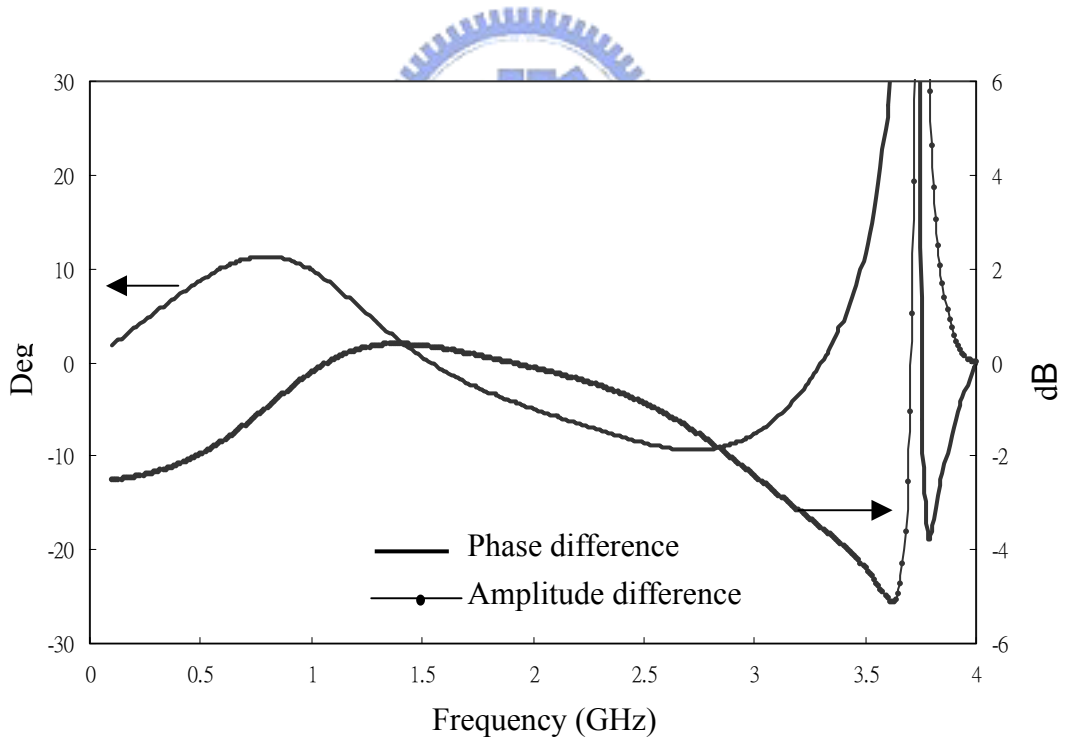


圖 3.5-7 和埠的相位與大小誤差(模擬奇偶模速度不等)