

國立交通大學

電子工程學系電子研究所

碩士論文

主動截止電路控制之單光子崩潰二極體偵測器

Single-Photon Avalanche Diode Controlled by Active
Quenching Circuit

研究生：許宏任

指導教授：林聖迪 博士

中華民國一〇〇年九月

主動截止電路控制之單光子崩潰二極體偵測器
Single-Photon Avalanche Diode Controlled by Active
Quenching Circuit

研究生：許宏任

Student: Hung-Jen Hsu

指導教授：林聖迪 博士

Adviser: Dr. Sheng-Di Lin

國立交通大學

電子工程學系 電子研究所

碩士論文

A Thesis

Submitted to Department of Electronics Engineering and

Institute of Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

In Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics Engineering

September 2011

Hsinchu, Taiwan, Republic of China

中華民國 一〇〇 年 九 月

主動截止電路控制之單光子崩潰二極體偵測器

學生：許宏任

指導教授：林聖迪 博士

國立交通大學

電子工程學系電子研究所碩士班

摘要

本論文中，我們利用現今 $0.18\ \mu\text{m}$ CMOS 標準製程設計出一套主動截止電路 (active quenching circuit, AQC)，以輔助先前設計的單光子崩潰二極體偵測元件 (single-photon avalanche diode, SPAD) 運作並增強其表現。傳統搭配被動截止電路的 SPAD 光偵測系統 dead time 太過冗長，因此 AQC 的首要設計目標便是縮短系統的 dead time；而另一方面，AQC 系統所佔面積太大將造成日後建構光偵測器矩陣時空間解析度低落，因此設計的另一目標便是縮減佔用面積。經過實際量測，我們設計的 SPAD 與 AQC 光偵測系統展現的 dead time 最短可達到 $4\ \text{ns}$ ，為參考文獻中最短紀錄；同時電路佔用面積 $15.7 \times 15.2\ \mu\text{m}^2$ 亦為使用同製程文獻中最小者。除此之外，我們設計的 AQC 首創可調變 hold-off time 的功能，可依元件特性調整 hold-off time 長度，減低 afterpulsing effect 影響，換取較佳的 dark counts 表現，實驗中我們可讓 dead time 從 $4\ \text{ns}$ 延長至 $280\ \text{ns}$ 以上，並觀察到 equivalent dark counts 隨之降低。最後，我們透過不同的偏壓點驗證 dark counts 與偵測率 (photon detection efficiency, PDE) 隨著施加在 SPAD 上的超額偏壓升高而提升，實驗中 PDE 最高來到 7.5% ，同時雜訊等效功率 (noise equivalent power, NEP) 達到 $10^{-14}\ \text{WHz}^{-1/2}$ 數量級。

Single-Photon Avalanche Diode Controlled by Active Quenching Circuit

Student: Hung-Jen Hsu

Adviser: Dr. Sheng-Di Lin

Department of Electronics Engineering & Institute of Electronics

National Chiao Tung University

Abstract

In this work, we study single-photon-avalanche-diodes (SPADs) with an active quenching circuit (AQC) by using the standard 0.18 μm CMOS technology. Because the dead time of SPAD with passive quenching circuit is too long, the main target of the AQC design is to shorten it. On the other hand, the large chip area of AQC will reduce the spatial resolution of the fabricated SPAD array so to minimize the AQC is also important. Our SPADs with well-designed AQC show the fastest dead time of 4 ns, and use the smallest chip area of $15.7 \times 15.2 \mu\text{m}^2$, comparing with others using 0.18 μm CMOS technology. In addition, we demonstrate the function of tunable hold-off time which can be adjusted, according to the characteristics of SPAD, to reduce afterpulsing effect and to lower dark counts. The measured dead time can be extended to more than 280 ns, and the reduced equivalent dark counts are also obtained. Finally, we observe that dark counts and photon detection efficiency (PDE) both increase with increasing excess bias voltages. The highest PDE of 7.5% is achieved. The noise equivalent power (NEP) is about $10^{-14} \text{ WHz}^{-1/2}$.

致謝

記得自己仔細讀戴嘉邑學長碩士論文的致謝，是在暑假期間，研究成果依然薄弱而且實驗進展並不順遂的時候。那時才發現學長在致謝中留言給我們，談到實驗中一定會遇到挫折，要堅持到底，並且莫忘初衷。學長是對的，如今實驗有了理想的成果，這篇論文也來到撰寫上的尾聲，回想起來一路走來，感觸良多。

記得林聖迪老師問我是否要研究與實驗室領域相差甚遠的電路時，提到一個團體中總有待在核心的人，以及站在外圍的人，核心一群人的工作相似度高，作為團體的骨幹穩健而扎實；而外圍的人工作與其他成員相異，雖然會有些寂寞，卻是為其他人開路的先鋒。當我做出選擇時，其實依然不覺得自己是勇於冒險拓荒的類型，但我也並非一人獨行——感謝林老師在學術和精神上給予我莫大的支持，老師在很多方面是一位很有理想跟自己想法的人，是我非常欽佩的開拓者，希望老師有朝一日實現自己的理想。

另一方面，蔡嘉明老師在電路設計上給了我很多建議與指導，是我手中這顆晶片能順利誕生最大的幕後功臣；此外，巫朝陽學長和戴嘉邑學長也傳授我許多知識，特別是巫朝陽學長點點滴滴的指導，可以說這篇論文能完成不可或缺的基石；李政儒同學則是這次研究能順利達成目標最功不可沒的角色，同時也是我在這兩年研究所生涯中認識最重要也最棒的朋友，請容我向你們致上最真摯的感謝。還有鄭濬、賴國璋、馬江智、蘇倍瑩、陳竑霖、徐偉程、李宗霖、謝銘修、李孟穎，謝謝你們時時刻刻給予我支持與鼓勵，以及實驗室其他學長姊和學弟妹，謝謝你們組成了一個超讚的團隊！

爸、媽，這篇論文要獻給你們，辛苦你們栽培我至今，學業也終於告一個段落，接下來終於能對這個世界做點貢獻了，不過在那之前，我要把我個人最至高無上的感激保留給你們以及我那可愛的老弟。另外也謝謝這一路上在我生命中留下許多美好回憶的朋友，不論你們現在身在何方，都是讓許宏任之所以能成為現在的許宏任的重要元素。最後，或許這篇致謝也要等到明年蟬鳴正熱烈時，才會被許方則和李書誠兩位學弟讀到，謝謝你們兩位鼎力幫助，戴學長的建言就此傳承給你們了：堅持到底、莫忘初衷。

目錄

中文摘要.....	i
英文摘要.....	ii
致謝.....	iii
目錄.....	iv
圖目錄.....	vi
表目錄.....	viii
第一章 簡介.....	1
1.1 研究背景.....	1
1.2 論文架構.....	2
第二章 CMOS 單光子崩潰二極體偵測器與電路.....	3
2.1 單光子崩潰二極體 (SPAD).....	3
2.1.1 半導體光偵測原理.....	3
2.1.2 單光子崩潰二極體原理.....	6
2.2 Quenching Circuit.....	10
2.2.1 Passive Quenching Circuit (PQC).....	11
2.2.2 Active Quenching Circuit (AQC).....	14
第三章 電路設計與 HSPICE 模擬.....	16
3.1 Active Quenching Circuit 設計概念.....	16
3.1.1 偵測與截止崩潰.....	16
3.1.2 延遲與回復.....	17
3.2 HSPICE 電路模擬.....	19
3.2.1 模擬條件.....	19

3.2.2	AQC 行為分析.....	20
3.2.3	調變 $V_{\text{hold-off}}$	22
3.2.4	調變 V_{bias}	24
3.2.5	調變 V_{cc}	26
3.3	元件佈局與設計.....	27
第四章	實驗結果與討論.....	31
4.1	晶片佈局結果.....	31
4.2	Dark Counts 量測.....	32
4.2.1	量測系統架設方式.....	32
4.2.2	V_o 訊號波形.....	33
4.2.3	Dark Counts.....	37
4.3	PDE 和 NEP 量測.....	42
4.3.1	照光系統架設方式.....	43
4.3.2	PDE.....	44
4.3.3	NEP.....	47
第五章	結論與未來展望.....	50
	參考文獻.....	52
	簡歷 (Vita).....	53

圖目錄

圖 2-1、 光子激發電子示意圖	3
圖 2-2、 各種材質吸收係數對光源波長圖[4]	5
圖 2-3、 矽吸收係數對光源波長圖[5]	5
圖 2-4、 Diode 操作在各種偏壓下 DC 輸出曲線示意圖	6
圖 2-5、 雪崩效應示意圖[6]	7
圖 2-6、 SPAD 暫態 I-V 特性曲線示意圖	7
圖 2-7、 熱產生機制示意圖	8
圖 2-8、 Band to band tunneling 機制示意圖	9
圖 2-9、 Trap release 機制示意圖	9
圖 2-10、 Gated mode 系統示意圖	10
圖 2-11、 Passive quenching circuit 系統示意圖	11
圖 2-12、 SPAD 等效模型	12
圖 2-13、 結合 SPAD 等效模型的 PQC 系統示意圖	12
圖 2-14、 Active quenching circuit 系統示意圖	14
圖 2-15、 AQC 運作波形圖	15
圖 3-1、 SPAD 串聯 PMOS _{load} 示意圖	16
圖 3-2、 AQC 系統示意圖	17
圖 3-3、 回復系統示意圖	18
圖 3-4、 AQC 示意圖	20
圖 3-5、 AQC 操作波形模擬圖	21
圖 3-6、 不同 $V_{\text{hold-off}}$ 下回復電路輸出波形模擬圖	22
圖 3-7、 不同 $V_{\text{hold-off}}$ 下 V_{out} 及 V_{o} 波形模擬圖	23
圖 3-8、 Dead time 對 $V_{\text{hold-off}}$ 變化模擬圖	24

圖 3-9、不同 V_{bias} 下 V_{out} 及 V_o 波形模擬圖	25
圖 3-10、不同 V_{cc} 下 V_{out} 及 V_o 波形模擬圖	27
圖 3-11、SPAD 元件結構示意圖[11].....	27
圖 3-12、AQC 系統 transistor-level 設計圖	28
圖 3-13、AQC 佈局面積	29
圖 3-14、晶片佈局設計圖	29
圖 3-15、PCB 設計圖	30
圖 4-1、晶片右半部特寫照片	31
圖 4-2、晶片全區照片	32
圖 4-3、Dark counts 量測系統設置示意圖	33
圖 4-4、不同 $V_{hold-off}$ 下 V_o 波形圖	34
圖 4-5、Dead time 對 $V_{hold-off}$ 變化量測與模擬對照圖	36
圖 4-6、 V_o 端最短 dead time 崩潰訊號圖	37
圖 4-7、Dark counts 對 V_{bias} 變化圖	38
圖 4-8、Dark counts 對 V_{cc} 變化圖	39
圖 4-9、 $V_{cc} = -9.21$ V 時 dark counts 對 V_{bias} 變化圖	40
圖 4-10、 $V_{bias} = 0.80$ V 時 dark counts 對 dead time 變化圖	41
圖 4-11、 $V_{bias} = 0.85$ V 時 dark counts 對 dead time 變化圖	41
圖 4-12、照光系統設置示意圖	43
圖 4-13、計算 PDE 用之 dark counts 及 light counts 統計圖	44
圖 4-14、PDE 對 V_{bias} 變化圖	45
圖 4-15、PDE 對 V_{cc} 變化圖	46
圖 4-16、PDE 對 dead time 變化圖	47
圖 4-17、NEP 對 V_{bias} 變化圖	48
圖 4-18、NEP 對 V_{cc} 變化圖	48
圖 4-19、NEP 對 dead time 變化圖	49

表目錄

表 5-1、 各實驗團隊開發之 AQC 系統規格比較表..... 50



第一章 簡介

1.1 研究背景

單光子偵測技術可應用在量子密碼 (quantum cryptography)、時間解析光激量測 (time resolved photoluminescence)、乃至於 3D 影像攝影、生物、天文等領域中，而為了提高準確度與可用性，單光子偵測器正朝高偵測率和高時間解析度、高空間密度等方向發展。

眾多偵測器技術中，光崩潰二極體 (avalanche photodiode, APD) 作為單光子偵測器擁有眾多優勢。首先，相對於傳統的光子倍增管 (photomultiplier tube, PMT)，APD 結構簡單又可相容於標準 CMOS 製程，適合微縮、操作電壓低、堅固而且成本便宜；相對於電子釋放時間過長 (約莫 2 ms) 的電荷耦合元件 (charge-coupled device, CCD)，APD 則擁有響應快速的優勢 (geiger mode 下可達 sub-microsecond 等級)，且讀取雜訊表現優秀，具有快速平行讀取的可能性；相對於製程技術尚未成熟，面積過小而偵測率低落 (約莫 1%) 的量子點偵測器，APD 可以自由設計元件大小並藉此提高偵測率。另一方面，相容於標準 CMOS 製成的 APD 更受益於半導體製程精進，得以微縮周邊控制電路，適合進一步組成偵測器矩陣。

使用矽製造的 APD 可用於偵測可見光波段，操作在 geiger mode 的 APD 是為單光子崩潰二極體 (single-photon avalanche diode, SPAD)，適用於偵測弱光甚至單光子。但 SPAD 需搭配外部 quenching circuit 截止崩潰電流方能正常持續運作，傳統的被動式截止電路 (passive quenching circuit, PQC) 雖然結構單純面積精小，但造成 SPAD 運作時 recharge time 過長，連帶拉長 dead time，大幅限制 SPAD 的運作頻率。

目前有數個團隊專注於另一種主動式截止電路 (active quenching circuit, AQC)，透過外部主動調節的方式致力於將 dead time 壓縮在 10 ns 以下。參考文獻中，以模擬軟體預測的最短紀錄為 4 ns [1]，並使用為數僅 13 顆 MOSFET 的電路實現上述目標，但此電路是在使用 2 μm CMOS 製程的前提之下設計，面積過大且並未付諸實現；另一組團隊

則宣稱使用 0.18 μm CMOS 製程實現後可達到 5 ns [2]，但電路過於複雜，主要功能電路佔用面積高達 $44 \times 44 \mu\text{m}^2$ ，將致使未來發展 detector array 時可偵測光面積對總面積比例 (fill factor) 低落；近期則有團隊將矩形電路面積控制在 $15.6 \times 8.9 \mu\text{m}^2$ [3]，但設計依據的是 0.13 μm 製程且 dead time 僅止於 7.5 ns。

本論文旨在發展一套與 SPAD 整合成單一晶片的 AQC 系統，以期縮短 PQC 模式下冗長的 dead time、提升光偵測系統的時間解析度，並加入可控制 hold-off time 的功能，讓使用者也能選擇適度犧牲反應速度，改善 SPAD 元件的 afterpulsing effect 以及 dark counts 表現。

1.2 論文架構

本論文分為五個章節。第二章將介紹 SPAD 光偵測器基本原理，從 CMOS 光偵測器元件的運作原理、偵測方面的各項特性與參數，到與 SPAD 搭配的 passive 及 active 兩種 quenching circuit 型態；第三章則著手設計一套 AQC 偵測系統，並以 HSPICE 模擬其內部各端點電位行為，觀察各種操作條件如何影響系統運作，最後展示晶片與印刷電路板設計成果；第四章中我們實地驗證由 tsmc 製造的晶片成品，觀察各種操作條件對 dark counts 的影響，並實際應用於偵測弱光，檢驗其偵測率和等效雜訊功率表現；第五章為結論與未來展望。

第二章 CMOS 單光子崩潰二極體偵測器與電路

二極體是半導體元件中最簡單的元件之一，以 CMOS 標準製程開發的單光子崩潰二極體偵測器 (single-photon avalanche diode, SPAD) 擁有構造簡單、體積微小及製造容易等眾多優勢，但在 geiger mode 下 SPAD 仍須搭配適當的輔助電路方能正常運作。本章將完整介紹 SPAD 元件偵測原理和與之搭配的外部電路運作原理，以及實際偵測光子時的主要參數。

2.1 單光子崩潰二極體 (SPAD)

2.1.1 半導體光偵測原理

半導體光偵測器係指能將光能量轉換成電能量的半導體元件。當光子進入半導體結構之中，將自身攜帶的能量移轉到價帶 (valence band) 中的電子，使之躍遷至導帶 (conduction band) 產生電子電洞對 (如圖 2-1)，流出半導體形成光電流，便可收集成為實用的電能量，或是連接外部儀器測量電流大小，間接推算被吸收的光子多寡，是為半導體光偵測器。

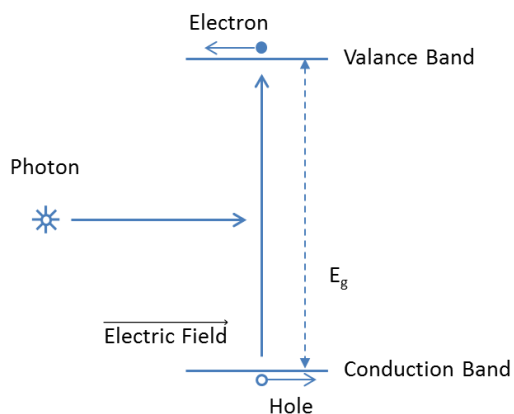


圖2-1、光子激發電子示意圖

理想上，一顆光子能激發一對電子電洞，但受限於偵測器先天及後天因素，光子通常無法產生對等數量的載子，也導致光電流比預期微弱。對光偵測器而言，光子激發電子電洞的能力以及光產生電流的能力是兩項重要參數，因此我們分別定義量子效率（quantum efficiency）和響應率（responsivity）描述之。

$$\eta_{\text{ph}}(\text{Quantum Efficiency}) = \frac{I_{\text{ph}}/e}{P_{\text{inc}}/h\nu} = \frac{\text{Number of induced electrons}}{\text{Number of photons}} \quad (2-1)$$

$$R(\text{Responsivity}) = \frac{I_{\text{ph}}}{P_{\text{inc}}} = \frac{\eta_{\text{ph}} \times e}{h\nu} = \frac{\text{Photocurrent}}{\text{Incident power}} \quad (2-2)$$

量子效率代表平均每入射一顆光子可以產生多少電子電洞對被光偵測器蒐集到，在沒有增益的前提下，其理想值為 1，但現實中偵測器本身會損耗光子，最後實際產生光載子並成功被偵測的機率必定小於 1。響應率則代表每單位入射光能量所能產生的光電流的比，因為不同波長的光子擁有不同但固定的能量，因此確定入射光的波長與能量後，便可由響應率推算量子效率。

量子效率與響應率是判斷光偵測器優劣的重要指標，使用者無非希望光偵測器的量子效率逼近 1，換言之，光子在偵測器元件中損耗越少，量測結果越能忠實呈現待測光源的光子數量，此為設計光偵測器時的主要訴求。半導體偵測器的材料與結構是影響量子效率與響應率的主要因素，了解其偵測原理，便能推知何種半導體偵測器設計可獲得較優秀的量子效率與響應率表現。

當光子入射半導體偵測器，如果其所含能量大於材料能隙（band gap），便有機會將材料中的電子從價帶激發至導帶，產生電子電洞對，而材料吸收係數 α （absorption coefficient）則決定上述過程發生的機率。每種材料對於特定波長的光的吸收係數為一定值（如圖 2-2），有鑑於此，我們可針對各個波長的偵測目標選取吸收係數合適的半導體材料，其中標準 CMOS 製程所使用的材料為矽，吸收係數在入射光波長超過 950 nm 後

迅速滑落，短於 400 nm 者則因為大量載子產生於表面而使表面復合率上升，皆無法有效貢獻偵測用的光電流，因此以矽為材料的標準 CMOS 製程光偵測器適用於包含可見光波段在內，波長在 400 nm 至 950 nm 之間的光源，如圖 2-3 所示。

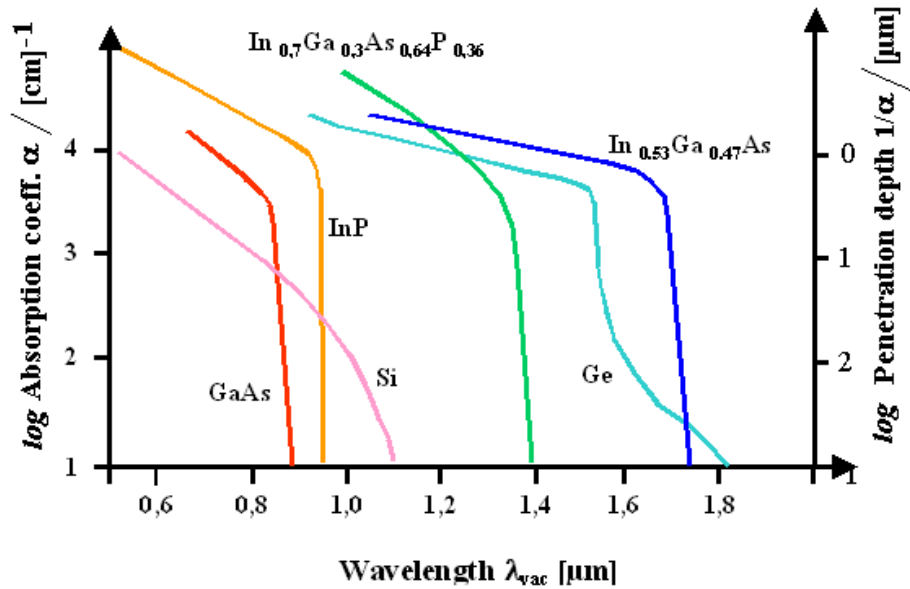


圖2-2、各種材質吸收係數對光源波長圖[4]

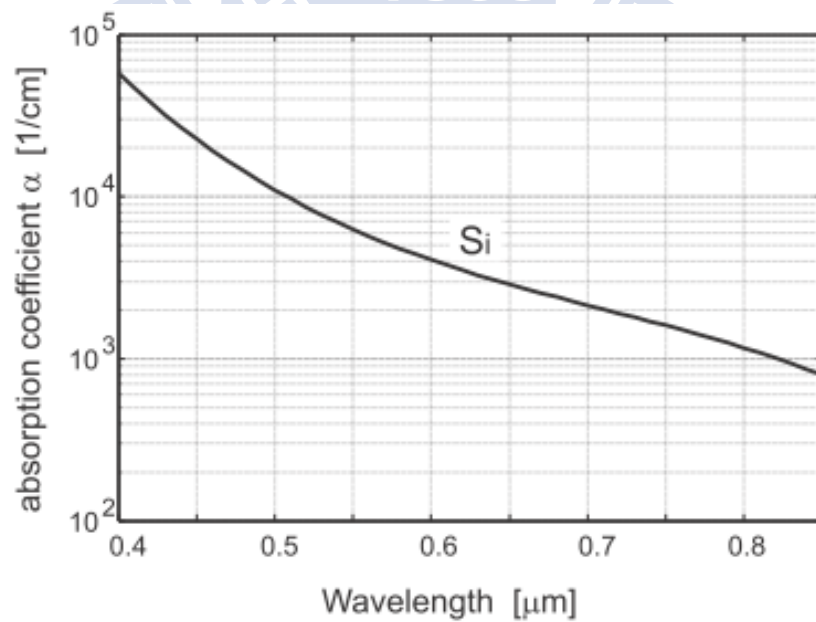


圖2-3、矽吸收係數對光源波長圖[5]

光載子產生後，必須確實被電極吸收才能真正成為光電流，貢獻響應率。雖然理想上一顆光子能產生一對電子電洞對，但產生的少數載子在通過空乏區前可能再度復合，使實際收集到的載子數少於光激發的載子數；或者，在空乏區外產生的少數載子因為以較飄移機制（drift）為緩慢的擴散機制（diffusion）遷移，因此拉長偵測完成時間，拖慢偵測器的運作頻率，產生的載子距離空乏區太遠甚至無法貢獻響應率。因此，標準 CMOS 製程光偵測器雖擁有偵測可見光波段的先天優勢，但仍須謹慎設計元件結構，以提高偵測器運作效能。

2.1.2 單光子崩潰二極體原理

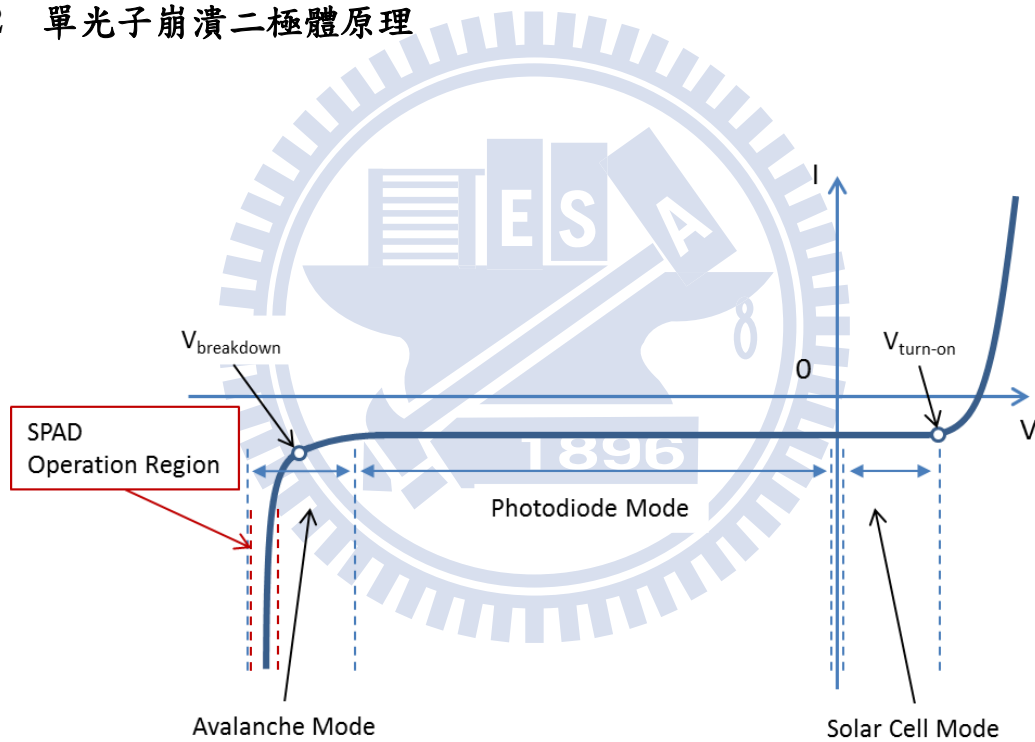


圖2-4、Diode 操作在各種偏壓下 DC 輸出曲線示意圖

以標準 CMOS 製程製作的光偵測器實為一顆結構針對吸收光特別設計的二極體，依據施加負偏壓不同，偵測器可操作在 photodiode 區和 avalanche 兩區（如圖 2-4），之間的差異在於前者的增益係數為 1，而後者因為借助雪崩效應而使增益係數大於 1。當二極體兩端施加足夠程度的負偏壓，使得少數載子在接面空乏區內，被大電場加速至足以激發出二次電子，二次電子再次被加速並撞擊出更多電子，稱為累增效應或雪崩效應

(avalanche effect)。透過雪崩效應，一顆光子可以產生許多顆光載子（如圖 2-5），亦即增益係數大於 1，我們可藉此觀察原本太過微弱以至於光電流無法被偵測的光線，甚至讓我們得以偵測單顆光子，此時即為單光子崩潰二極體偵測器（SPAD）。

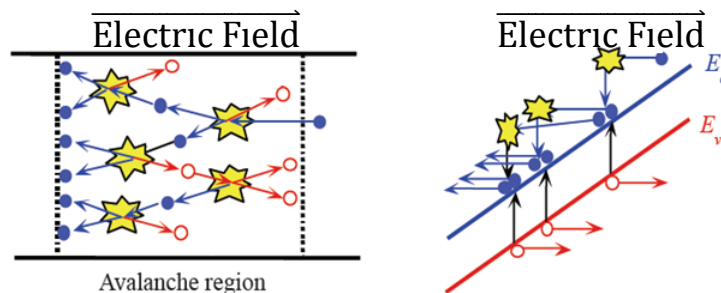


圖2-5、雪崩效應示意圖[6]

為了促使 SPAD 產生相當程度的雪崩效應，其兩端的負偏壓必須操作在崩潰電壓（breakdown voltage, V_{BD} ）之上，超出的電壓差稱為超額偏壓（excess bias voltage, V_{ex} ），一般操作時超額偏壓訂在崩潰電壓的 10% 以內較為適當。一般 DC 量測時，SPAD 操作至崩潰電壓之上時會因雪崩效應產生固定的崩潰電流，但以暫態觀察，當 SPAD 操作至崩潰電壓之後事實上擁有兩種截然不同的暫態：如果缺乏適當的激發來源，即使負偏壓超過崩潰電壓也不會產生崩潰，維持關閉狀態；唯有負偏壓超過崩潰電壓，又被光子或元件中載子觸發才會導致雪崩效應產生崩潰電流，如圖 2-6 所示。

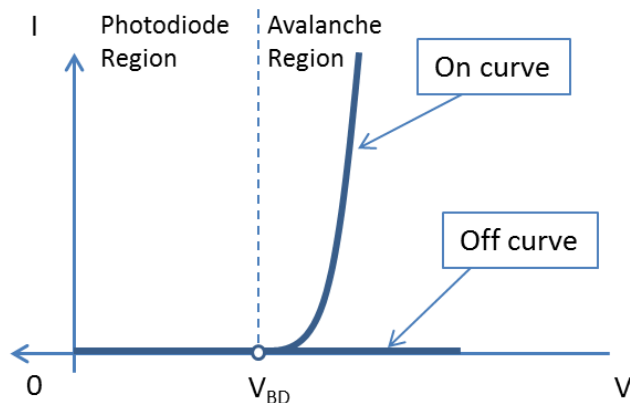


圖2-6、SPAD 暫態 I-V 特性曲線示意圖

理想上，藉由 SPAD 崩潰與未崩潰兩種相差甚遠的暫態特性，我們能清楚判斷有無入射光子，但實際上，並不只有光子會激發 SPAD 製造崩潰——正因為電子產生後被加速可能敲擊出二次電子，元件內部自生的電子也能製造崩潰。這些由電子觸發的崩潰依然會被偵測到，且無法與光子觸發的崩潰區別，成為 SPAD 偵測器實際使用時主要誤差來源之一，稱為 dark counts。引起 dark counts 的載子來源分為三種：第一種，在非完全零度下，晶體中自然會有一定量的電子因熱產生機制從價帶躍升至導帶（如圖 2-7），熱產生載子引起的 dark counts 會隨溫度升高而增加；第二種，從二極體的 band diagram 可了解，當 PN 接面承受的負偏壓越高，導帶與價帶在能量上出現重疊且間距縮小時，越容易發生 band to band tunneling（BTBT），也就是電子直接從價帶穿隧至導帶成為可能觸發崩潰的電子（如圖 2-8）；第三種電子則來自前一次崩潰期間遺留下的電子，被元件結構的 traps 捕獲後，滯留一段時間後才逐漸釋放（如圖 2-9），甚至出現於 SPAD 已回復至初始狀態、等待激發之時，則這些電子很有可能再度引發崩潰，此現象稱作 afterpulsing effect。在半導體結構中，異質接面容易產生 traps，例如 III-V 族元件或標準製程中的 STI 結構皆容易滋生 traps 造成嚴重的 afterpulsing effect。我們可以針對上述三種機制著手抑制 dark counts，例如降低偵測環境溫度、避免主動區出現異質接面結構等等。

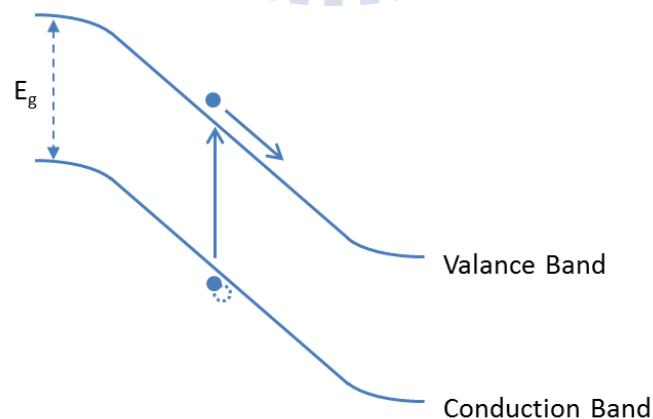


圖2-7、熱產生機制示意圖

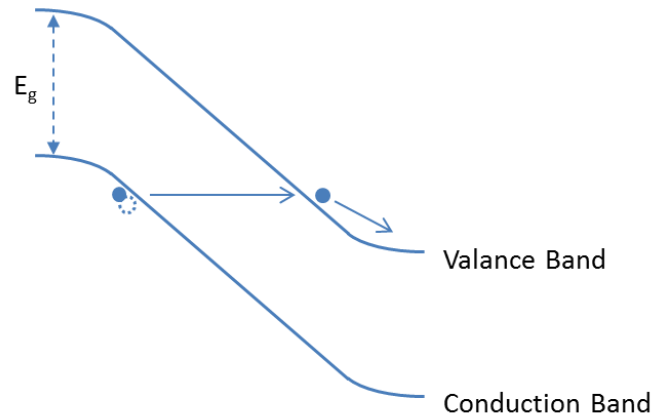


圖2-8、Band to band tunneling 機制示意圖

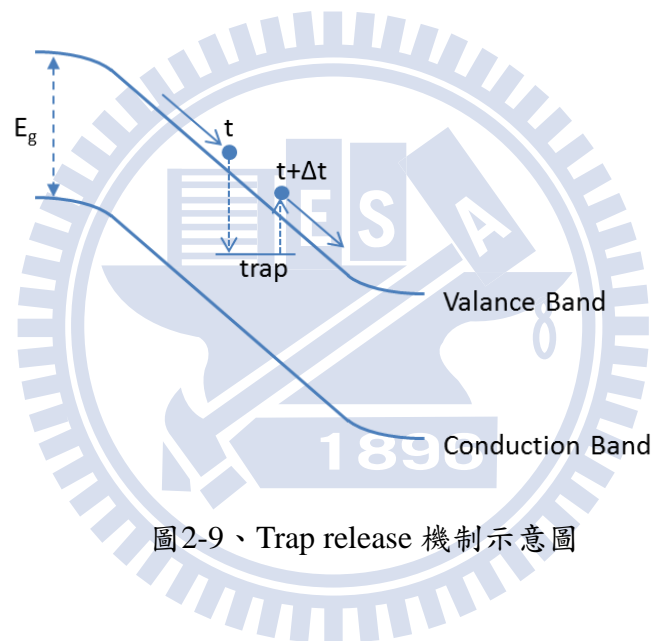


圖2-9、Trap release 機制示意圖

Dark counts 為 SPAD 元件在未照光情況下由電子觸發的崩潰數；而 light counts 則是接受待測光源照射時所統計的崩潰數，light counts 減去 dark counts 除以入射光子量，即可得知此偵測器的偵測率（photon detection efficiency, PDE），偵測率的意義在於每入射一顆光子產生崩潰電流並被觀察到的機率，也是直接判斷偵測率效能好壞最重要的指標之一。

$$\text{Photon Detection Efficiency} = \frac{\text{Light Counts} - \text{Dark Counts}}{P_{\text{inc}}/h\nu} \quad (2-3)$$

判斷 SPAD 偵測器優劣的另一項指標為偵測單光子的靈敏程度，我們透過雜訊等效功率（noise equivalent power, NEP）衡量之，其定義為讓偵測訊雜比達到 1，光源所須提供的功率。NEP 可進一步以 dark counts 及 PDE 表示[7]。

$$\text{Noise Equivalent Power} = \frac{h\nu}{\text{PDE}} \sqrt{2(\text{Dark Counts})} \quad (2-4)$$

2.2 Quenching Circuit

SPAD 崩潰之後，並不會自行截止崩潰，如此一來便無法重複偵測，另一方面，長時間操作在崩潰狀態下容易破壞元件，因此偵測到崩潰訊號後，我們必須盡快截止崩潰並將元件重新操作在崩潰電壓之上，等待下一次觸發。依照截止崩潰的方法，我們可以將 SPAD 的操作模式區分為 gated mode 與 geiger mode 兩種。

Gated mode 的作法是直接控制供給 SPAD 偏壓的電源，以固定的週期輪流施加高低偏壓，當施加高偏壓時，SPAD 操作在崩潰電壓之上，等待光子觸發產生崩潰訊號，如圖 2-10 所示；然而無論觸發與否，固定的高偏壓區段結束後便進入低偏壓區段，此時 SPAD 的兩端偏壓低於崩潰電壓，並且維持時間必須夠長，讓可能已經崩潰的 SPAD 得以截止。低偏壓區段結束後再重新進入高偏壓區段偵測光子。

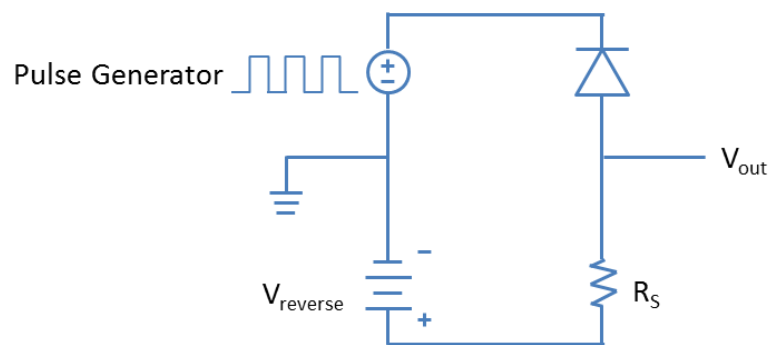


圖2-10、Gated mode 系統示意圖

以 gated mode 操作的 SPAD 偵測器系統相對容易實現、也較容易調控，但無論崩潰發生與否，一次週期只能偵測一顆光子，因此 gated mode 的偵測解析度通常受限於電壓源的操作速度，而且有固定比例的時間被迫操作在低偏壓狀態而無法偵測光子。相較之下，geiger mode 的操作方式更有效率：在此模式下，電源供應的電壓固定在崩潰電壓之上，當 SPAD 被觸發發生崩潰後，透過搭配的電路運作截止崩潰電流，並讓 SPAD 重新充電回到崩潰電壓之上偵測光子。而按照主動充電機制之有無，geiger mode 所用電路又可分為 passive quenching circuit 與 active quenching circuit 兩類。

2.2.1 Passive Quenching Circuit (PQC)

Geiger mode 下發生崩潰的 SPAD 無法自行截止崩潰電流，因此須要串接電路輔助，其中 passive quenching circuit 是最簡單的電路形式：將一枚電阻串聯至 SPAD，如圖 2-11 所示。當崩潰發生時，崩潰電流通過電阻產生壓降，隨即讓 SPAD 上的跨壓自然降低至崩潰電壓附近，支持雪崩效應的電場消失後，崩潰電流便會因為缺乏電子而截止；崩潰截止後 SPAD 透過串聯的電阻及寄生電容慢慢充電，直到回復崩潰前狀態為止。

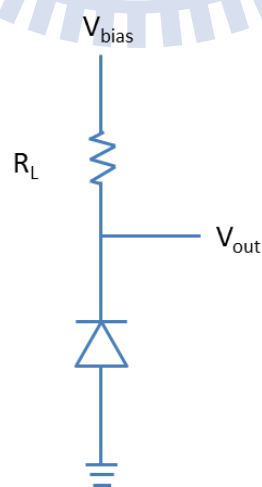


圖2-11、Passive quenching circuit 系統示意圖

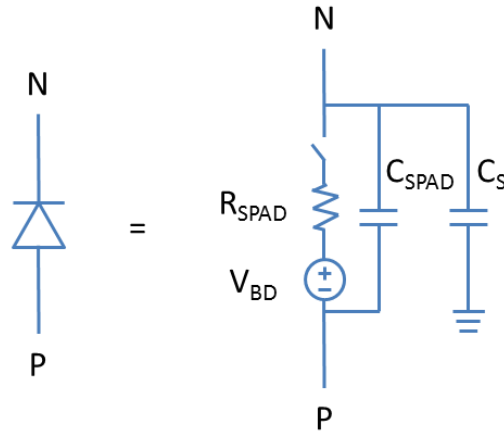


圖2-12、SPAD 等效模型

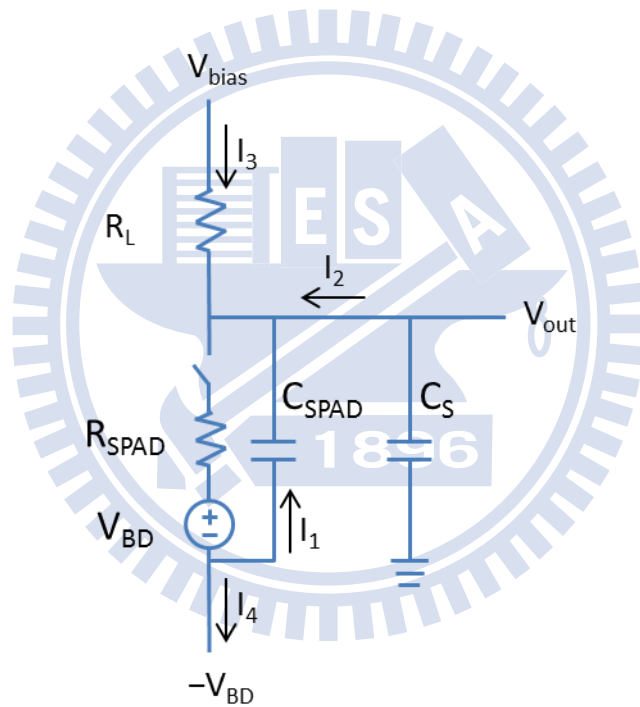


圖2-13、結合 SPAD 等效模型的 PQC 系統示意圖

PQC 中的 SPAD 可用等效模型代替 [8]，如圖 2-12 所示。模型中， R_{SPAD} 為 SPAD 的等效內部電阻， C_{SPAD} 為 SPAD 的接面電容， V_{BD} 為崩潰電壓， C_S 為寄生電容，並以開關模擬 SPAD 被觸發崩潰的行為。結合 SPAD 等效模型的 PQC 系統示意圖如圖 2-13 所示，以下將針對 PQC 系統的運作情況，SPAD 的一次崩潰分成初始、崩潰、回復三階段來介紹：

(1) 初始：PQC 系統處於初始狀態時尚未發生崩潰，因此理想上 SPAD 並沒有電流通過，等效電路的開關維持斷路。如此一來，SPAD 的陰極端（ V_{out} ）便與 V_{bias} 同電位，我們將 SPAD 的陽極端操作在 $-V_{BD}$ ，於是 SPAD 的超額偏壓 V_{ex} 為 $V_{bias} - (-V_{BD}) - V_{BD} = V_{bias}$ 。

(2) 崩潰：當光子入射 SPAD 觸發崩潰，形同等效模型中的開關短路。分析 V_O 的終態可得

$$\lim_{t \rightarrow \infty} V_O(t) = \frac{R_{SPAD}}{R_L + R_{SPAD}} \times V_{bias} \quad (2-5)$$

如果 $R_L \gg R_{SPAD}$ ，則上式趨近於 0。又 V_O 從 V_{bias} 放電至終態之間為呈指數衰減，時間常數為

$$\tau = (C_S + C_{SPAD}) \times (R_L \parallel R_{SPAD}) \quad (2-6)$$

因此崩潰期間的 SPAD 陰極端電位可寫成

$$\begin{aligned} V_O(t) &= V_O(\infty) + [V_O(0) - V_O(\infty)]e^{-t/\tau} \\ &= V_{bias} \times \left(\frac{R_{SPAD}}{R_L + R_{SPAD}} + \frac{R_L}{R_L + R_{SPAD}} e^{-t/\tau} \right) \end{aligned} \quad (2-7)$$

另一方面，崩潰時 SPAD 陰極端流入的電流 I_3 可表示成

$$I_3(t) = \frac{V_{bias} - V_O(t)}{R_L} = \frac{V_{bias}}{R_L + R_{SPAD}} \times (1 - e^{-t/\tau}) \quad (2-8)$$

而陽極端流出的電流 I_4 則可表示成

$$\begin{aligned} I_4(t) &= I_2(t) + I_3(t) = C_S \cdot \frac{dV_O(t)}{dt} + \frac{V_{bias} - V_O(t)}{R_L} \\ &= \frac{V_{bias} - V_O(\infty)}{R_L} \left[\left(\frac{C_S}{C_S + C_{SPAD}} \times \frac{R_L + R_{SPAD}}{R_{SPAD}} - 1 \right) e^{-t/\tau} + 1 \right] \end{aligned} \quad (2-9)$$

我們可量測 I_4 並稱之為崩潰電流，但實際上 I_4 並不與 SPAD 接面電流 I_1 等量，後者無法由儀器觀測[9]。由上式可知當 C_S 越大，量測到的 I_4 就越大，但同時也將拉長 τ ，拖慢反應速度。

(3) 回復：當通過 SPAD 接面的電流降低至一定程度後，雪崩效應便因無法自我維持而終止[10]。接著 V_{bias} 便透過 R_L 對 SPAD 充電。此時

$$\lim_{t \rightarrow \infty} V_O(t) = V_{bias} \quad (2-10)$$

且時間常數為

$$\tau = (C_s + C_{SPAD}) \times R_L \quad (2-11)$$

因此回復期間的 SPAD 陰極端電位可寫成

$$V_O(t) = V_{bias} \times \left(1 - \frac{R_L}{R_L + R_{SPAD}} e^{-t/\tau}\right) \quad (2-12)$$

而充電電流 I_3 則為

$$I_3(t) = \frac{V_{bias}}{R_L + R_{SPAD}} e^{-t/\tau} \quad (2-13)$$

最後 SPAD 回復至初始狀態，並等待光子再次入射觸發下一回崩潰。

2.2.2 Active Quenching Circuit (AQC)

雖然 PQC 在實現上非常簡潔，但冗長的反應時間卻是它無法避免的致命傷。一般與 SPAD 搭配的 R_L 需達數百 $k\Omega$ 才得以順利截止崩潰，但由式 2-11 所示回復階段的時間常數可知，越大的 R_L 注定拖累反應時間，往往長達數百奈秒。這段從崩潰起始直到回復完成所需的時間稱為 *dead time*，其間 SPAD 無法被觸發崩潰偵測光子，因此越長的 *dead time* 代表著偵測系統的時間解析度越低，如何減短 *dead time*、提高系統的時間解析度於是成了重要的課題。

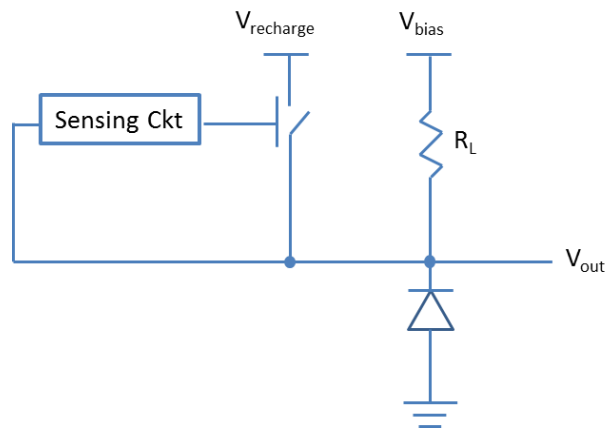


圖2-14、Active quenching circuit 系統示意圖

Active quenching circuit 可有效補強 PQC 的弱點，常見做法是在既有 PQC 外添加輔助電路（如圖 2-14），系統偵測到足以被判別為崩潰的訊號後啟動輔助電路，主動操縱 SPAD 的偏壓以截止崩潰電流並回復初始狀態，避免透過 R_L 這條路徑充電，將 dead time 控制在數十奈秒甚至十奈秒內。另一方面，可控制 SPAD 的偏壓也就意味著我們可依使用者需求設定偏壓滯留在低點的時間長短，這段時間即為 hold-off time，因此如圖 2-15 所示，AQC 光偵測系統的 dead time 即為 breakdown time、hold-off time、recharge time 三者總和。雖然保留 hold-off time 就必須犧牲偵測系統的時間解析度，但適當設定 hold-off time，讓 traps 在此期間釋放電子卻不至於觸發崩潰，可有效降低 afterpulsing effect。

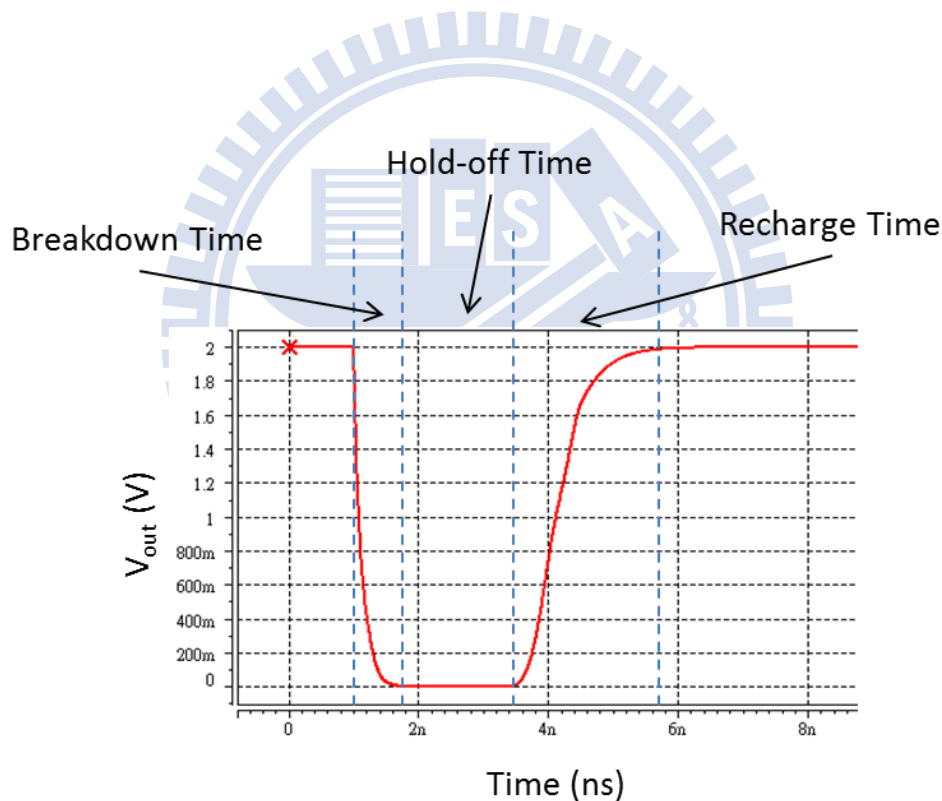


圖2-15、AQC 運作波形圖

受惠於標準 CMOS 製程成熟，主要由電晶體構成的 AQC 可高度微縮並與 SPAD 一同整合進晶片之中，減少不必要的寄生電容。然而 PQC 的優勢同時也是 AQC 的弱點：AQC 往往比 PQC 複雜許多，並且佔去大量空間，此舉將不利 SPAD 偵測器發展矩陣應用。因此快速、小面積是設計 AQC 系統的考量重點。

第三章 電路設計與 HSPICE 模擬

承上章所言，本篇論文的目標在於利用 CMOS 標準製程的優勢，設計一套反應快速而且面積精巧的 AQC 以供搭配 SPAD 之用。我們選擇 tsmc 提供的 $0.18\ \mu\text{m}$ 、 $1.8\ \text{V}$ 製程作為電路設計基準，並以 HSPICE 電路模擬軟體模擬其表現，最後完成佈局圖。

3.1 Active Quenching Circuit 設計概念

3.1.1 偵測與截止崩潰

由圖 2-14 揭示的 AQC 設計概念可知，AQC 的骨幹依然與 PQC 類似，為 SPAD 串聯電阻而成，但該電阻已不再負責製造壓降截止崩潰電流，而是偵測到崩潰電流通過時啟動輔助電路，因此該電阻的電阻值不如 PQC 時需求的大，只要求崩潰電流通過時產生足夠觸動電晶體的電位差別即可。尤其在積體電路中，製作微型的大電阻並不容易，因此我們以一顆 p type MOSFET 取代原本串聯 SPAD 的電阻，命名為 $\text{PMOS}_{\text{load}}$ 。

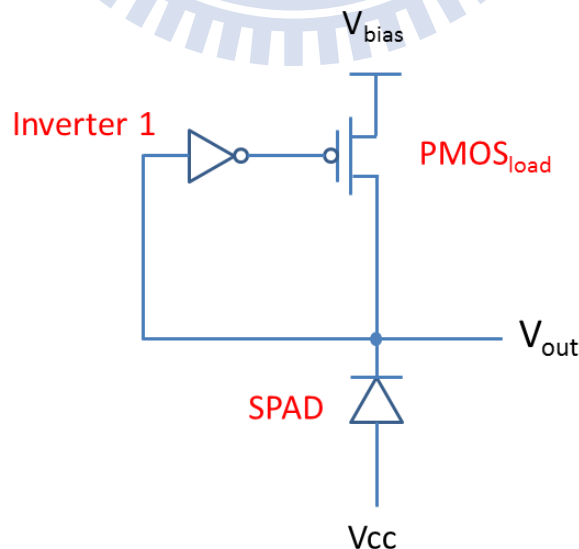


圖3-1、SPAD 串聯 $\text{PMOS}_{\text{load}}$ 示意圖

圖 3-1 為我們所設計 AQC 的骨幹部分，除了與 SPAD 串聯的電阻以 PMOS_{load} 替代外，SPAD 的陰極端 V_{out} 通過 Inverter 1 後與 PMOS_{load} 的閘極相接。初始階段 SPAD 尚未發生崩潰現象，V_{out} 此時處在高電位，約略等於 V_{bias}；而 PMOS_{load} 的閘極則被 Inverter 1 控制在 0 V——這意味著 PMOS_{load} 的通道開啟，源極和汲極之間跨壓趨近於 0 V，符合 V_{out} 維持在高電位 V_{bias} 的條件。

當 SPAD 被觸發崩潰時，崩潰電流流經 PMOS_{load} 的通道造成源極和汲極之間壓降，進而導致 V_{out} 電位下降，至一定程度後 Inverter 1 輸出端由低電位轉為高電位，透過閘極關閉 PMOS_{load} 的通道，提高源汲二極之間壓降，使得 SPAD 的超額偏壓降至 0 V，崩潰電流無法維持而截止。雖然此設計可以在避免使用大電阻的前提下巧妙地截止崩潰，卻無法回復 SPAD 至初始狀態、進行第二回偵測，因此 AQC 還須加入一套反應迅速的主動式回復設計，讓系統得以克服 PQC 情況下回復時間太過冗長的弊病。

3.1.2 延遲與回復

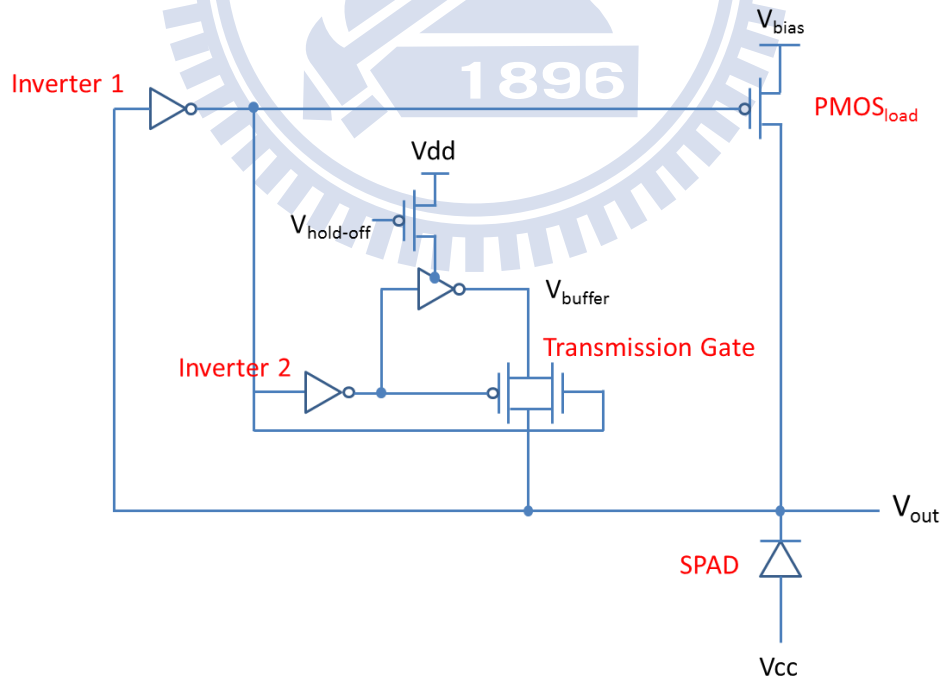


圖3-2、AQC 系統示意圖

回復系統主要由一組回復電路搭配一對 Transmission Gate 構成，如圖 3-2 中央部分所示。當 Inverter 1 的輸出端於崩潰發生後由低電位轉為高電位，下一級 Inverter 2 的輸出端便由高電位轉為低電位，將他所控制的 Transmission Gate 開啟，其作用類似水栓：當它開啟時上下兩端導通，也就意味著下端的 V_{out} 端電位可受上端的回復電路輸出端 V_{buffer} 調控。

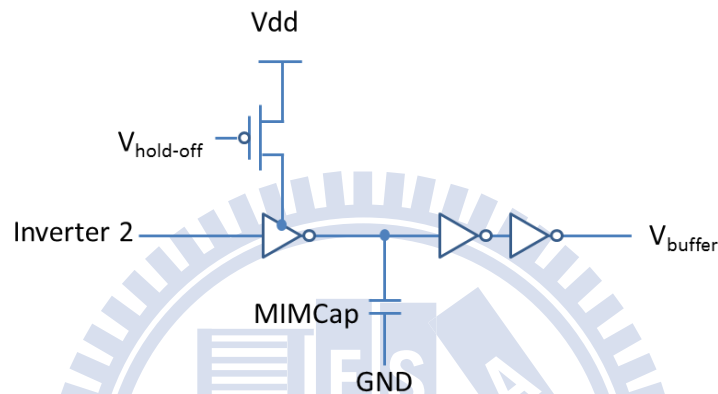


圖3-3、回復系統示意圖

我們設計的回復系統除了著重驅動能力外，也加入可控制整體光偵測系統 hold-off time 的功能，我們展開圖 3-2 中從 Inverter 2 至 V_{buffer} 間的回復電路部分加以檢視，如圖 3-3 所示。第一級 inverter 的輸出端掛載一枚電容至 GND，而第一級 inverter 中的 PMOS 則多串聯一顆 PMOS，用以控制第一級 inverter 從低電位切換至高電位時，Vdd 對電容充電的充電電流：充電電流越大，則越快完成，後級輸出端 V_{buffer} 也越快切換至高電位；充電電流越小，則 V_{buffer} 就越晚切換至高電位，停留在低電位的時間自然越長，此即形成可人工即時調控 hold-off time。而充電電流則由第一級 inverter 上多串聯的 PMOS 的閘極電壓 $V_{hold-off}$ 控制大小，設計上，當電壓降至 0 V 時電流最大，此時 hold-off time 為 0，偵測系統擁有最快反應時間。圖 3-3 中，最後兩級 Inverter 則組合成一級提高驅動能力用的 buffer，其輸出端 V_{buffer} 最重要的任務是替 SPAD 充電、迅速拉升 V_{out} ，因此電位轉換過程必須快速俐落且驅動力量足夠，才不至於拖慢整體反應時間。

經過使用者選擇的 hold-off time 後，回復電路的輸出端 V_{buffer} 透過 transmission gate

替 SPAD 充電，將 V_{out} 往 V_{dd} 拉升。當 V_{out} 回復至高電位後，與 SPAD 串聯的 $PMOS_{load}$ 也因為閘極回復至低電位而重新開啟通道。相反的，回復系統中的 transmission gate 則被關閉，因為緊接著 V_{buffer} 將回到低電位，必須與已經充電完畢的 SPAD 加以阻隔。當 V_{buffer} 確實回復低電位後，整套 AQC 便重新進入初始狀態，開始下一回合偵測。

3.2 HSPICE 電路模擬

3.2.1 模擬條件

本研究使用 HSPICE 電路模擬軟體分析我們所設計的 AQC 表現，其中 SPAD 以圖 2-12 中的等效電路替代，並代入量測先前實驗室開發的 SPAD 成品得到的各項參數：崩潰電壓 $V_{BD} = 9.7\text{ V}$ 、內阻 $R_{SPAD} = 100\ \Omega$ 、接面電容 $C_{SPAD} = 1\text{ pF}$ 、陰極至 GND 寄生電容 $C_S = 0.5\text{ pF}$ 。另外，我們在 AQC 訊號輸出端 V_{out} 添加一級 inverter 作為輸出緩衝級，目的是整理訊號並保護量測儀器，因此偵測系統真正的訊號輸出端為 output buffer 的輸出端 V_o 。

我們設計的 AQC 偵測系統如圖 3-4 所示，供操作的輸入端有五處： V_{dd} 提供 AQC 中 PMOS 所需要的高電位；GND 則為 NMOS 提供低電位以及提供 SPAD 的 substrate 接地； $V_{hold-off}$ 負責調控回復電路中電容的充電電流大小，進而控制系統的 hold-off time；施加在 $PMOS_{load}$ 源極端的 V_{bias} 與施加在 SPAD 陽極端的 V_{cc} 一同將 SPAD 操作在崩潰電壓 V_{BD} 之上，兩者必須經由適當的調整讓 SPAD 陰極端的電位變化範圍控制在 AQC 系統能偵測並回復初始狀態的能力之內。綜合上述 AQC 設計、SPAD 等效模型、輸出入端安排，HSPICE 模擬用電路如圖 3-4 所示。

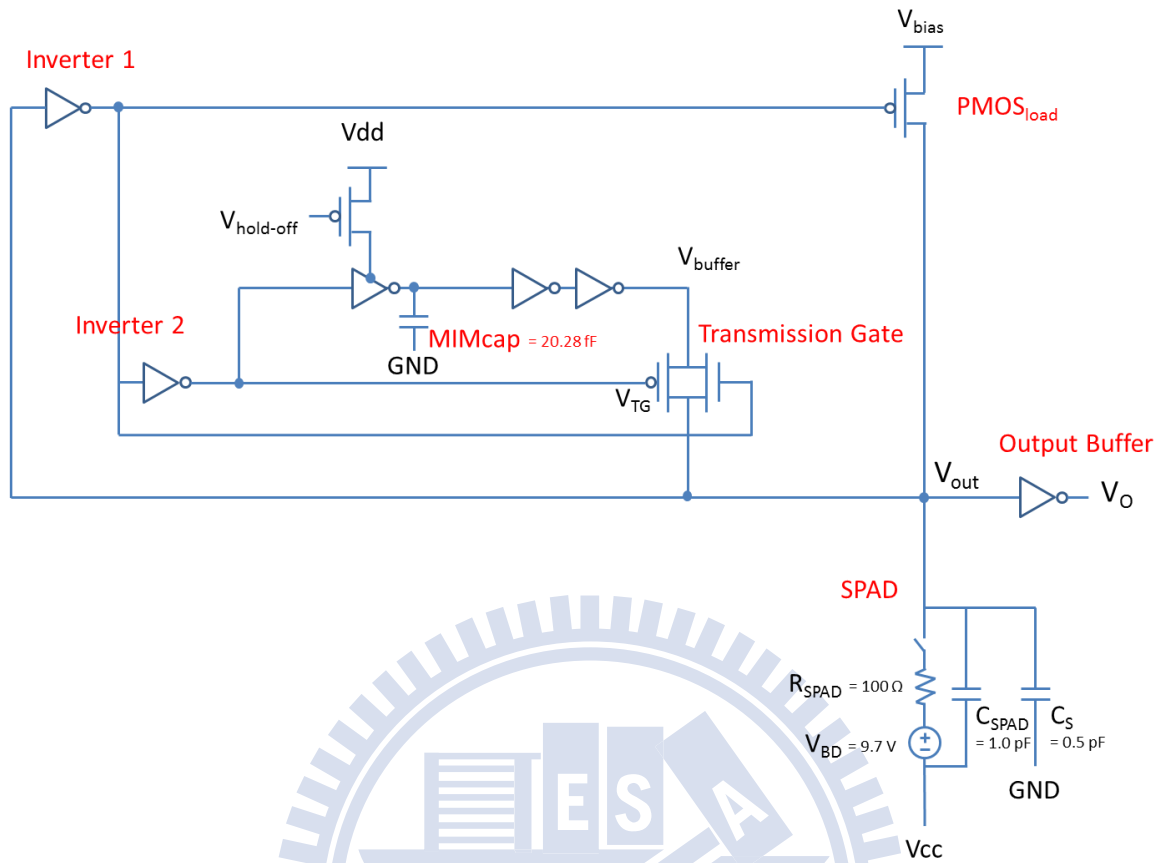


圖3-4、AQC 示意圖

3.2.2 AQC 行為分析

我們設定操作條件 $V_{dd} = 1.2\text{ V}$ 、 $V_{\text{hold-off}} = 0\text{ V}$ 、 $V_{\text{bias}} = 0.8\text{ V}$ 、 $V_{cc} = -9.25\text{ V}$ ，模擬 1 ns 時發生崩潰，並於 2 ns 時因 SPAD 上超額偏壓過低無法維持而崩潰截止；觀察 AQC 系統輸出端 V_o 、SPAD 陰極端 V_{out} 、回復電路輸出端 V_{buffer} 和控制 transmission gate 開關狀態的 PMOS 閘極端 V_{TG} 四點電位，如圖 3-5 所示。

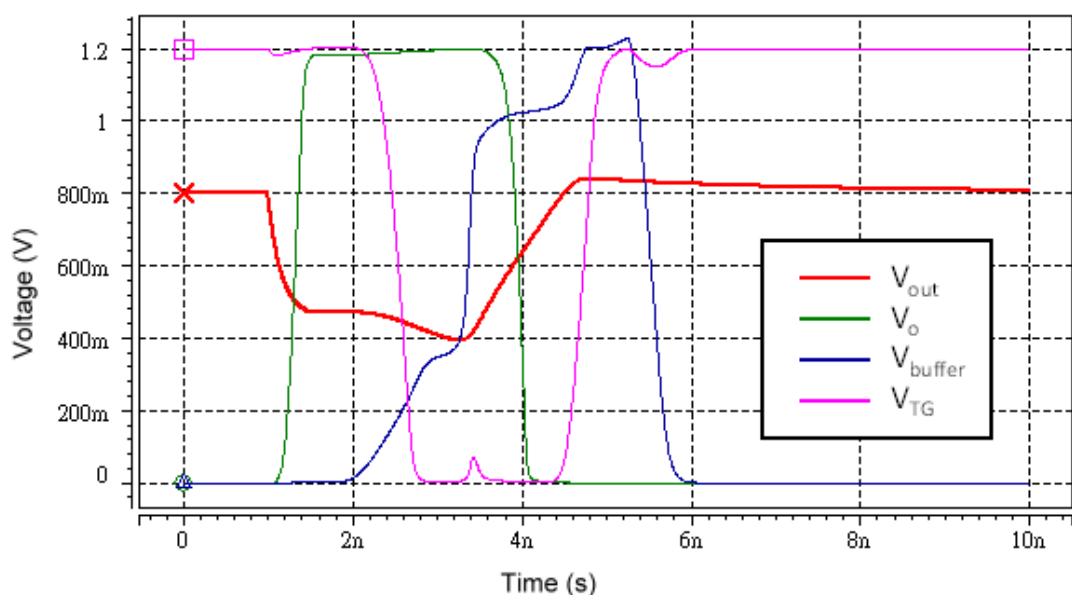


圖3-5、AQC 操作波形模擬圖

由模擬圖可知，SPAD 的陰極端 V_{out} 在初始階段維持高電位 0.80 V，意味著 SPAD 被確實操作在 V_{BD} 之上，超額偏壓 0.35 V，而輸出至量測儀器的訊號 V_o 維持在低電位 0 V。經過 1 ns 時我們使 SPAD 等效模型中的開關導通，模擬 SPAD 被觸發產生崩潰的情形，當崩潰發生後 V_{out} 由高電位以指數型態下滑至 0.45 V，也代表 SPAD 上的超額偏壓下滑至 0 V，使得崩潰電流無法維持而截止，同時 V_o 轉換至高電位接近 1.2 V，讓量測儀器偵測到崩潰發生。

經過 2 ns 時，我們設定崩潰因 SPAD 的超額偏壓過低截止，緊接著回復系統開始運作。 V_{TG} 由高電位切換到低電位，意味著 transmission gate 開啟，讓 V_{buffer} 端可以影響 V_{out} 端；另一方面，因為我們將 hold-off time 設定在最小， V_{buffer} 端電位也在 2 ns 處開始上升，並於約 3 ns 處之後將 V_{out} 端電位拉升至初始階段應有的高電位，同時 V_o 也回到低電位，完成一回合崩潰訊號波形。隨後 V_{TG} 切換回高電位，關閉 transmission gate，將 V_o 與稍後由高電位降回低電位的 V_{buffer} 隔離開來，至此，AQC 完全回復初始狀態。

此例中，由儀器量測到的崩潰訊號總長 3 ns，但從 V_{out} 分析 SPAD 一回合崩潰包含截止時間 1 ns 及回復時間 2.42 ns，總耗時 3.42 ns，此為系統真正的 dead time。

3.2.3 調變 $V_{\text{hold-off}}$

圖 3-3 的回復電路中， $V_{\text{hold-off}}$ 端負責掌控替延遲用電容充電的電流大小，意即調整 $V_{\text{hold-off}}$ 可調變回復電路的反應時間，也就能控制偵測步驟中 hold-off time 的長短。我們首先確認回復電路的運作情形，模擬條件： $V_{\text{dd}} = 1.2 \text{ V}$ 、延遲用電容 = 20.28 fF ，此為 $0.18 \mu\text{m}$ 製程所允許的最小 MIM 電容。輸入端為圖 3-3 中的 Inverter 2、輸出為 V_{buffer} ，我們模擬 1 ns 時 Inverter 2 由低電位升為高電位， 2 ns 時再由高電位降為低電位以觀察 V_{buffer} 端表現。

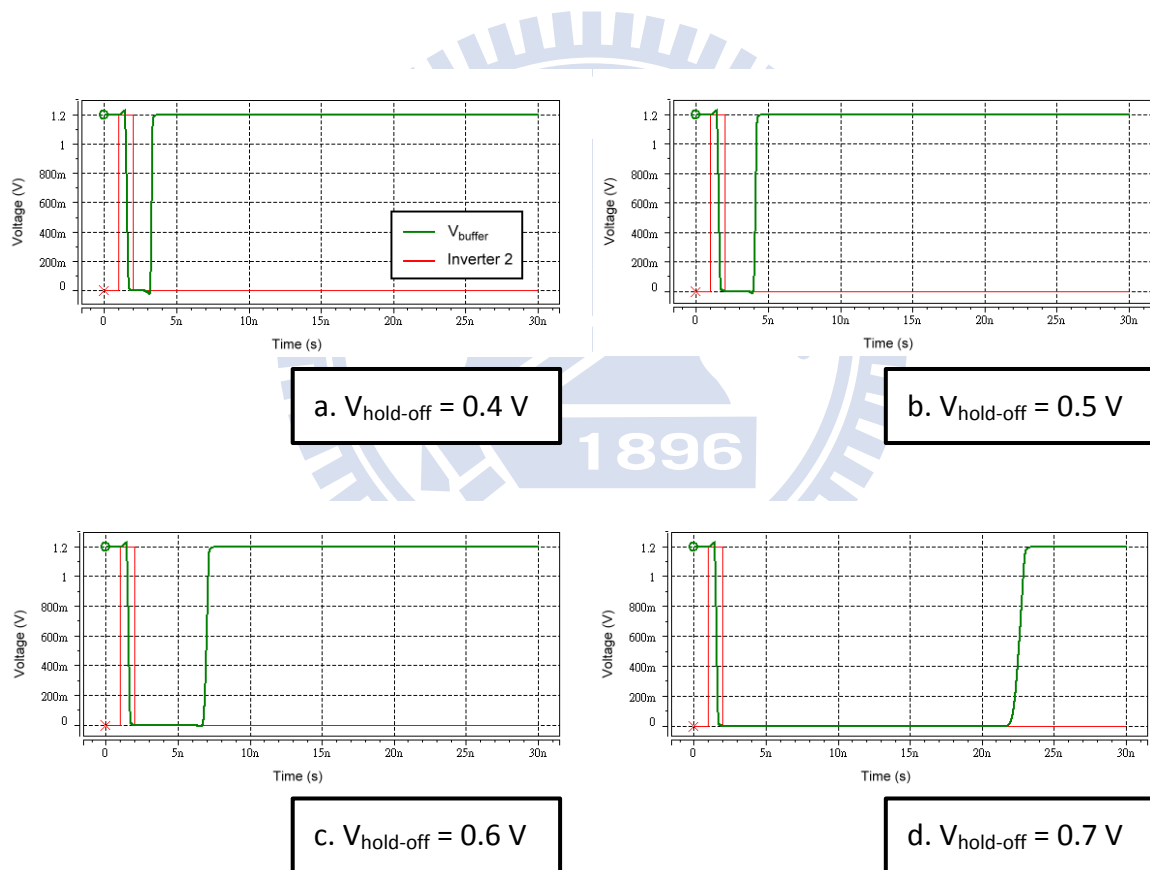


圖3-6、不同 $V_{\text{hold-off}}$ 下回復電路輸出波形模擬圖

我們分別就 $V_{\text{hold-off}} = 0.4 \text{ V}$ 、 0.5 V 、 0.6 V 、 0.7 V 觀察該點所操作的 PMOS 控制回復電路能力。從不同 $V_{\text{hold-off}}$ 條件下，回復電路的輸出波形（圖 3-6）得知，我們確實可

透過 $V_{\text{hold-off}}$ 調控 V_{buffer} 由低電位轉換高電位的延遲時間：當輸入訊號 Inverter 2 切換後，在 $V_{\text{hold-off}} = 0.4 \text{ V}$ 的條件下， V_{buffer} 從高電位轉為低電位的延遲時間為 0.4 ns ，低電位轉高電位的延遲時間則為 1.6 ns ；當 $V_{\text{hold-off}} = 0.6 \text{ V}$ ，後者增長為 5 ns ； $V_{\text{hold-off}} = 0.7 \text{ V}$ 時更增長為 21.6 ns ，可見 $V_{\text{hold-off}}$ 提升幅度越高，延遲效果越大。但同時 V_{buffer} 由高電位切換低電位的延遲時間則維持不變，意味著當其應用在 AQC 內部時，回復階段完成後 V_{buffer} 總是能迅速回到初始狀態，符合我們的需求。

接著我們模擬調變 $V_{\text{hold-off}}$ 對整套 AQC 表現的影響。模擬條件如下： $V_{\text{dd}} = 1.2 \text{ V}$ 、 $V_{\text{bias}} = 0.8 \text{ V}$ 、 $V_{\text{cc}} = -9.25 \text{ V}$ ，SPAD 於 1 ns 時發生崩潰，並於 2 ns 時截止，觀察 SPAD 陰極端電位 V_{out} 及 AQC 系統輸出端電位 V_o 。

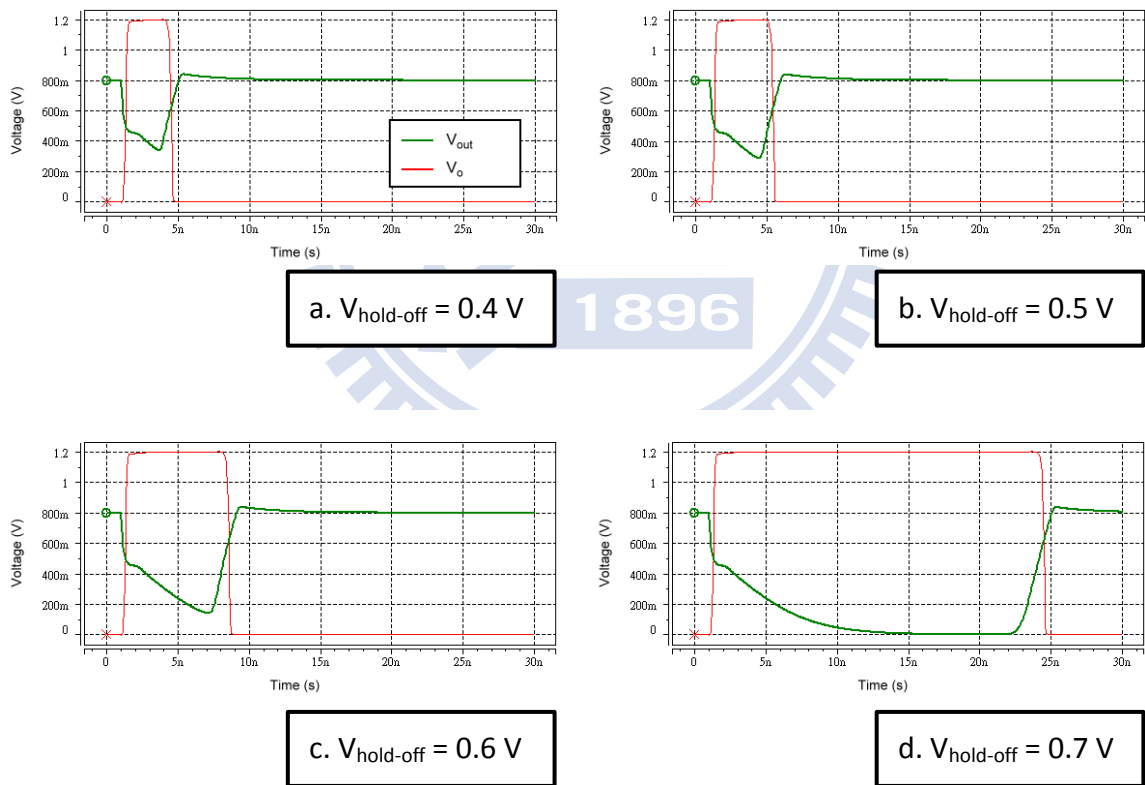


圖3-7、不同 $V_{\text{hold-off}}$ 下 V_{out} 及 V_o 波形模擬圖

由圖 3-7 中， $V_{\text{hold-off}} = 0.4 \text{ V}$ 、 0.5 V 、 0.6 V 、 0.7 V 的條件下可見 hold-off time 確實隨著 $V_{\text{hold-off}}$ 升高而增長，且 $V_{\text{hold-off}}$ 越高增長幅度越大。由 V_{out} 波形可知，調變 $V_{\text{hold-off}}$

並不影響 1 ns 至 2 ns 之間的 SPAD 截止時間，也不影響回復時 SPAD 陰極端電位的拉升速度，但當 hold-off time 延長，SPAD 上的跨壓可進一步降低至 V_{BD} 之下，SPAD 的接面電容及寄生電容持續放電，直到 V_{out} 降至回復系統的 GND 電位 0 V。我們可以觀察 $V_{hold-off}$ 與 V_{out} 端 dead time 長度間的關係，如圖 3-8 所示。

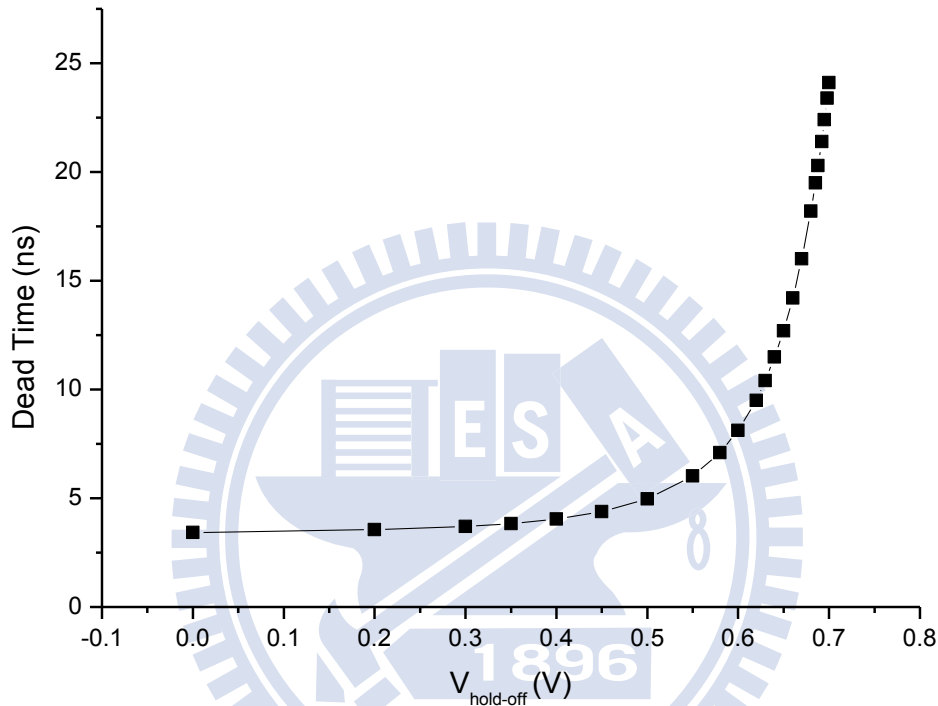


圖3-8、Dead time 對 $V_{hold-off}$ 變化模擬圖

3.2.4 調變 V_{bias}

V_{bias} 連接 PMOS_{load} 的源極，因為崩潰電流產生前 PMOS_{load} 源汲兩端電位相近，因此我們希望透過 V_{bias} ，在崩潰發生前施加正偏壓於的 SPAD 陰極端，而 V_{cc} 則負責施加負偏壓於 SPAD 的陽極端，兩者合力將 SPAD 操作在 V_{BD} 之上，如圖 3-1 所示。除了提供足夠的超額偏壓， V_{bias} 和 V_{cc} 也應該維持適當的搭配，使得 SPAD 的陰極端電位運作在可被輔助電路系統偵測的範圍內，以順利啟動 AQC 運作。我們在此模擬不同 V_{bias} 對

偵測系統的影響，模擬條件： $V_{dd} = 1.2\text{ V}$ 、 $V_{\text{hold-off}} = 0\text{ V}$ 、 $V_{cc} = -9.25\text{ V}$ ，SPAD 於 1 ns 時發生崩潰，並於 2 ns 時截止崩潰，觀察 SPAD 陰極端電位 V_{out} 及 AQC 系統輸出端電位 V_o 。

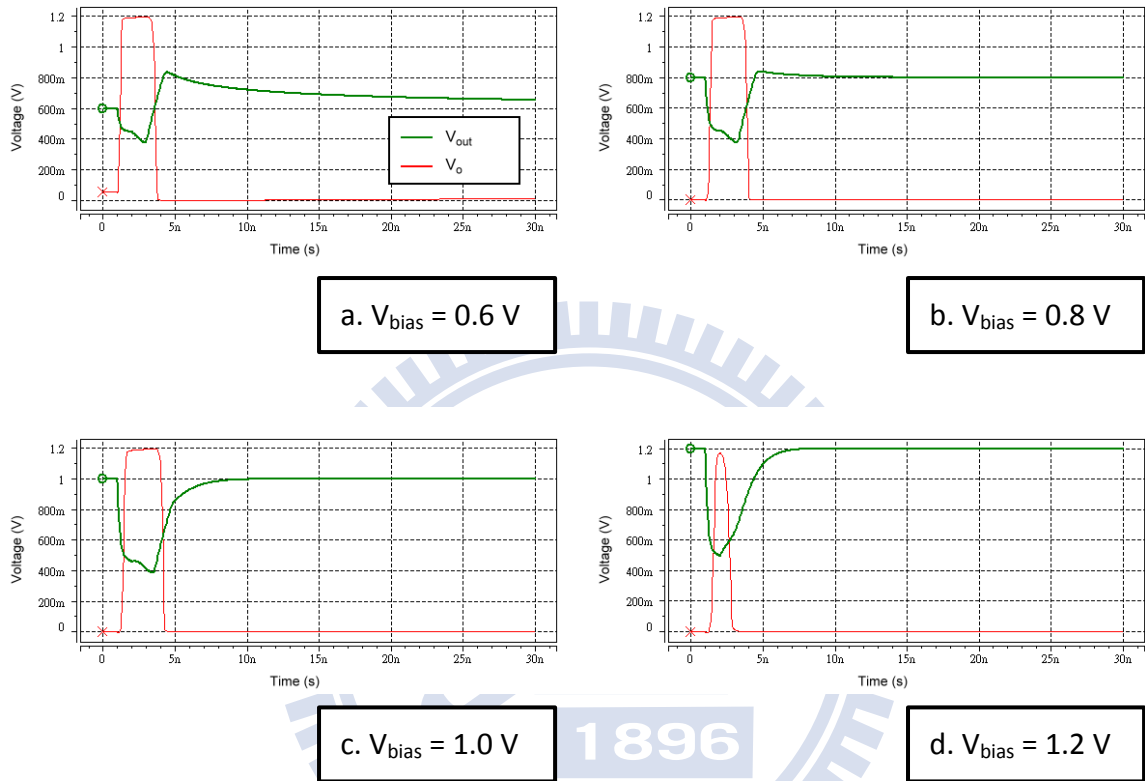


圖3-9、不同 V_{bias} 下 V_{out} 及 V_o 波形模擬圖

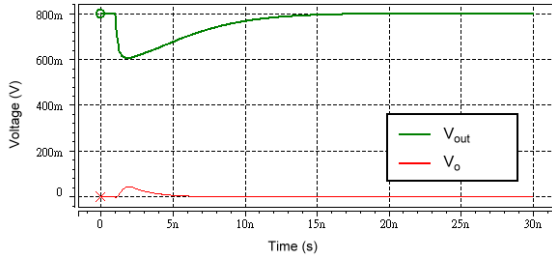
圖 3-9 分別展示了 AQC 系統在 $V_{\text{bias}} = 0.6\text{ V}$ 、 0.8 V 、 1.0 V 、 1.2 V 條件下的運作情形。當 V_{bias} 改變，SPAD 陰極端電位 V_{out} 的初始值隨之更動，代表我們確實可透過 V_{bias} 且隔著 PMOS_{load} 指定施加在 SPAD 陰極端的正偏壓。比較四個條件可發現，施加的正偏壓不同，主要影響回復階段的波形，這是因為替 SPAD 充電的電位 V_{buffer} 來自替輔助電路供電的 V_{dd} 而不像 PQC 直接來自 V_{bias} ，因此當 V_{dd} 與 V_{bias} 間有落差時，輔助電路會試圖將 V_{out} 充電至 V_{dd} ，但當 V_{out} 升至足以改變輔助電路狀態、關閉 transmission gate、中斷回復電路輸出端 V_{buffer} 對 SPAD 繼續充電，如果此時 V_{out} 電位高於 V_{bias} ，便會回落至 V_{bias} ，反之則補足至 V_{bias} 。

雖然不論何種情況， V_{out} 最終都將回復至初始狀態，但因此時 V_{out} 已經接近 V_{bias} ，導致電位變化緩慢，如果下一次崩潰發生時 V_{out} 尚未回復至 V_{bias} ，將造成崩潰發生當下超額偏壓偏離設定值，雖仍能正常運作，卻會影響實際應用時的崩潰次數。例如圖 3-9 中 $V_{bias} = 0.6\text{ V}$ 及 1.2 V 都出現 V_{out} 偏離 V_{bias} 的時間過長的情況，必須盡量避免；而在 $V_{bias} = 0.8\text{ V}$ 的條件下， V_{buffer} 對 SPAD 停止充電時， V_{out} 已相當接近初始狀態 V_{bias} ，因此是個適合實際操作的偏壓條件。

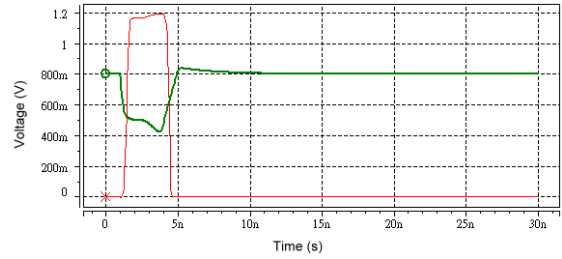
3.2.5 調變 V_{cc}

V_{cc} 負責供給 SPAD 陽極端負偏壓。SPAD 發生崩潰後，兩端的偏壓並不必要低於 V_{BD} ，只須讓接面電流小至一定程度即可截止崩潰現象，因此崩潰現象在 SPAD 偏壓低於 V_{BD} 之前便會結束——這意味著 V_{cc} 加上 V_{BD} 即約為 V_{out} 在崩潰階段的終止點。我們模擬 V_{cc} 對偵測系統的影響，模擬條件如下： $V_{dd} = 1.2\text{ V}$ 、 $V_{hold-off} = 0\text{ V}$ 、 $V_{bias} = 0.8\text{ V}$ ，SPAD 於 1 ns 時發生崩潰，並於 2 ns 時截止崩潰，觀察 SPAD 陰極端電位 V_{out} 及 AQC 系統輸出端電位 V_o 。

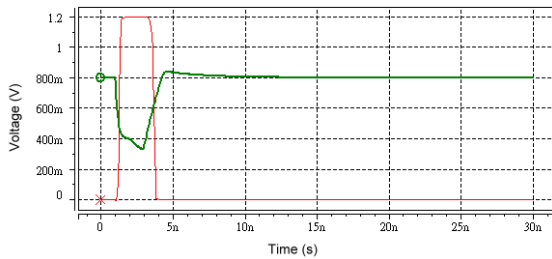
圖 3-10 分別展示了 AQC 系統在 $V_{cc} = -9.10\text{ V}$ 、 -9.20 V 、 -9.30 V 、 -9.40 V 條件下的運作情形。由圖中可驗證 V_o 於崩潰階段結束時的落點確實會隨 V_{cc} 改變而平移，在 $V_{cc} = -9.10\text{ V}$ 的條件下，因為 V_o 的變化量不足以啟動 AQC，因此其表現等同於 SPAD 串聯一 PMOS 的 PQC 系統；同時，output buffer 也未能正常呼應 V_{out} 而動作，因此 V_o 見不到正常幅度的訊號波形。適合操作的範圍在 $V_{cc} = -9.20\text{ V}$ 之後，但實際操作時仍須小心，防止過深的 V_{cc} 導致超額偏壓過高而使得崩潰電流無法截止的情況發生。



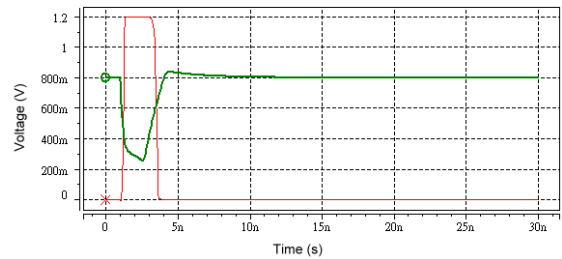
a. $V_{cc} = -9.10 \text{ V}$



b. $V_{cc} = -9.20 \text{ V}$



c. $V_{cc} = -9.30 \text{ V}$



d. $V_{cc} = -9.40 \text{ V}$

圖3-10、不同 V_{cc} 下 V_{out} 及 V_o 波形模擬圖

3.3 元件佈局與設計

本論文針對 TSMC 0.18 μm CMOS Mixed Signal RF General Purpose MIM Al 1P6M 1.8 & 3.3 V for Advance Case 製程設計，並選用實驗室既有 SPAD 設計作為搭配，收光區域為直徑 20 μm 的圓，並採用 P well 形成 guard-ring 之設計，結構如圖 3-11 所示[11]。

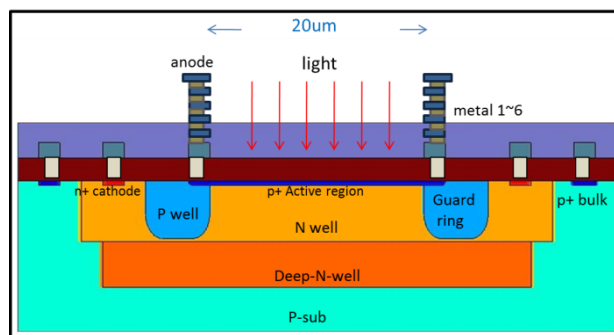


圖3-11、SPAD 元件結構示意圖[11]

SPAD 元件以外的部分，圖 3-4 中展示的 AQC 系統皆以 MOSFET 及 MIM 電容所構成，其中與 SPAD 串聯的 $PMOS_{load}$ 在截止崩潰電流的過程中扮演電阻，運作在三極管區時源汲二極間阻值越小越好，卻得確保崩潰電流通過時產生足以觸動 AQC 運作的電位變化，經模擬後閘極寬度設為 $13\ \mu m$ ；回復電路最後一級 inverter 的 PMOS 負責在回復階段替 SPAD 充電，閘極寬度設為 $13\ \mu m$ ；transmission gate 由一組 NMOS 和 PMOS 並聯而成，閘極寬度分別為 $6.5\ \mu m$ 和 $13\ \mu m$ ，如此一來當其開通時， V_{buffer} 能不受侷限地全力拉升 V_{out} ；作為 output buffer 的 inverter 也同樣使用相同的閘極寬度組合，以利之驅動儀器。除上述特殊部位 MOSFET 外，其餘的 NMOS 閘極寬度皆為 $0.5\ \mu m$ 、PMOS 閘極寬度皆為 $1.0\ \mu m$ ，而 AQC 中所有 MOSFET 的閘極長度皆為 $0.18\ \mu m$ ，安排在回復電路中作為延遲用的電容則為 $20.28\ fF$ 的 MIM 電容。最後完成之 transistor-level 設計圖如圖 3-12 所示。

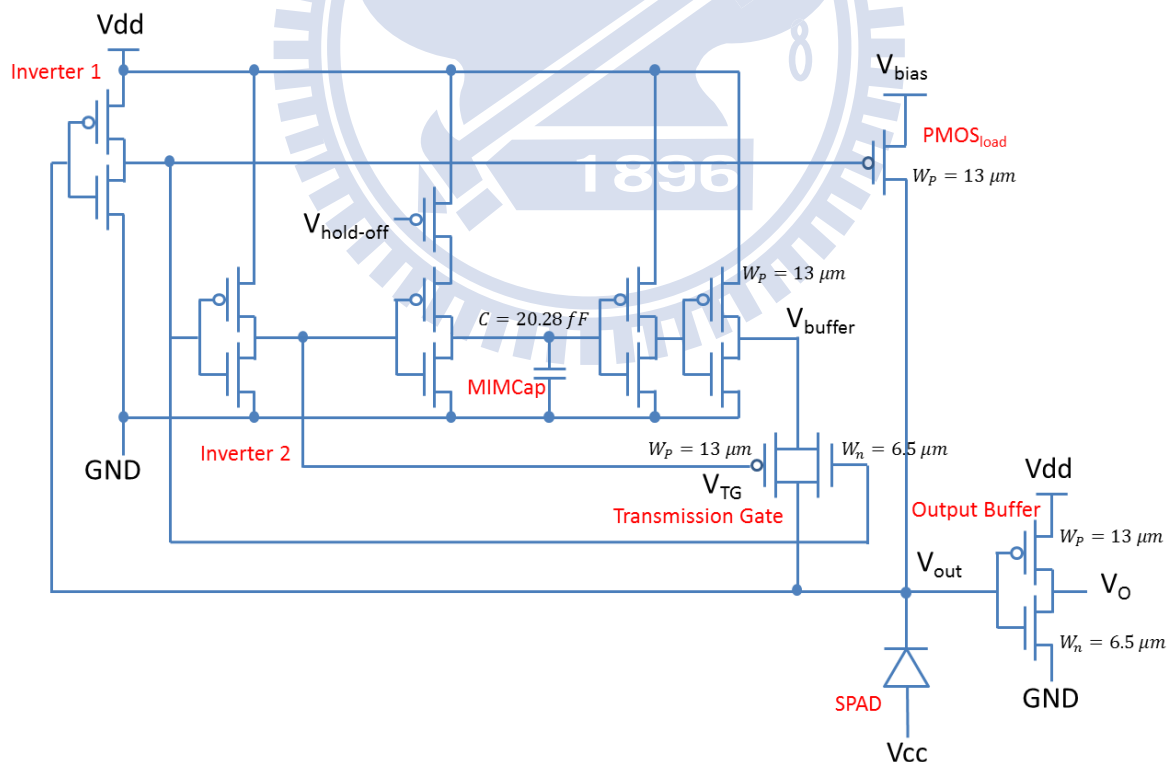


圖3-12、AQC 系統 transistor-level 設計圖

上述設計中 AQC 功能部分（不含 output buffer）使用 14 顆電晶體達成，佔用面積為 $15.2 \times 15.7 \mu\text{m}^2$ ，且佈局安排適合與呈圓形之 SPAD 元件搭配，以利未來組建偵測器矩陣時提高偵測器密度，然而本篇論文只設計單一元件並實現之，AQC 部分佈局圖如圖 3-13 所示。此外，我們在晶片中添加另一組電路，其設計為 SPAD 串聯 $\text{PMOS}_{\text{load}}$ ，單純依賴 PQC 系統運作截止崩潰並回復，用以與 AQC 系統對照比較。實際電路佈局面積為 $487 \times 355 \mu\text{m}^2$ ，晶片全圖如圖 3-14 所示。

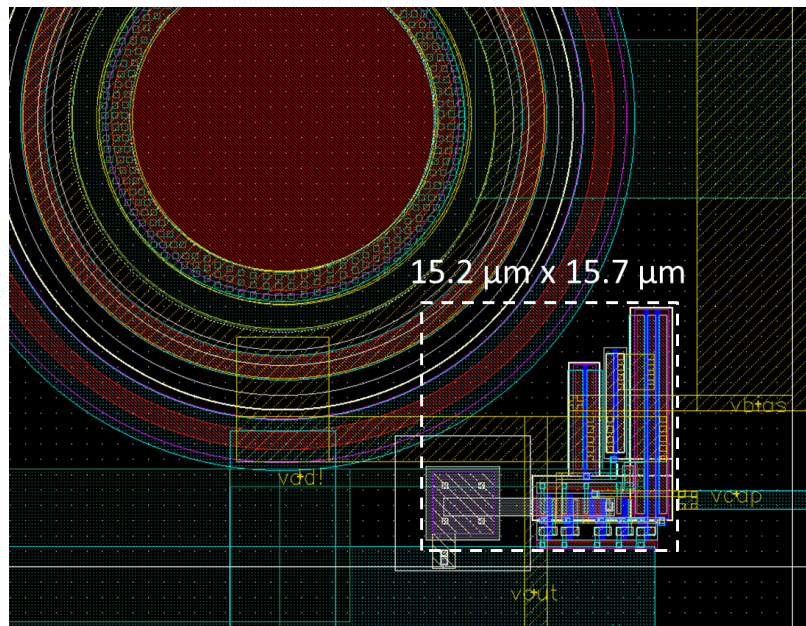


圖3-13、AQC 佈局面積

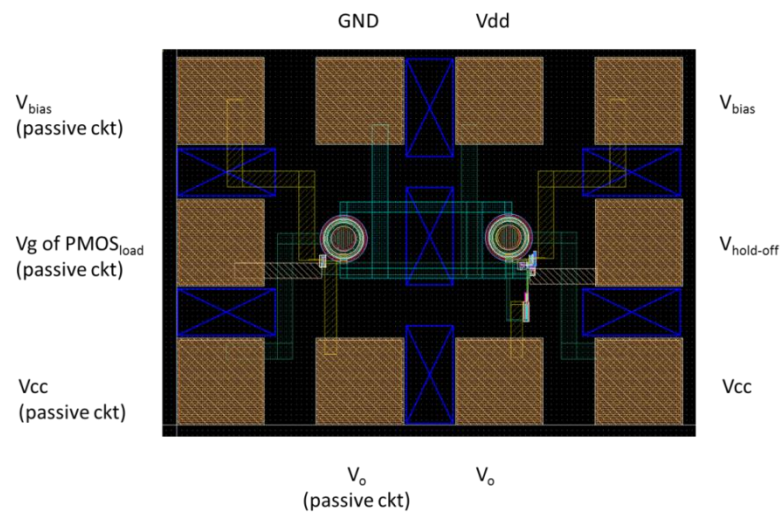


圖3-14、晶片佈局設計圖

最後，我們設計了與本晶片搭配的印刷電路板（PCB），面積為 $5.0 \times 3.7 \text{ cm}^2$ ，如圖 3-15 所示。相較於本團隊前次設計的 PCB 因其中兩層夾層鋪滿銅作為 Vdd 及 GND，導致寄生電容偏大，本次設計的 PCB 只留下一層網狀銅作為 GND，精簡電路並平面化於表面層以降低寄生電容，也因為如此，本次設計的 PCB 擁有正反面兩套獨立電路，可應用於兩種不同晶片，節省開模製造成本。

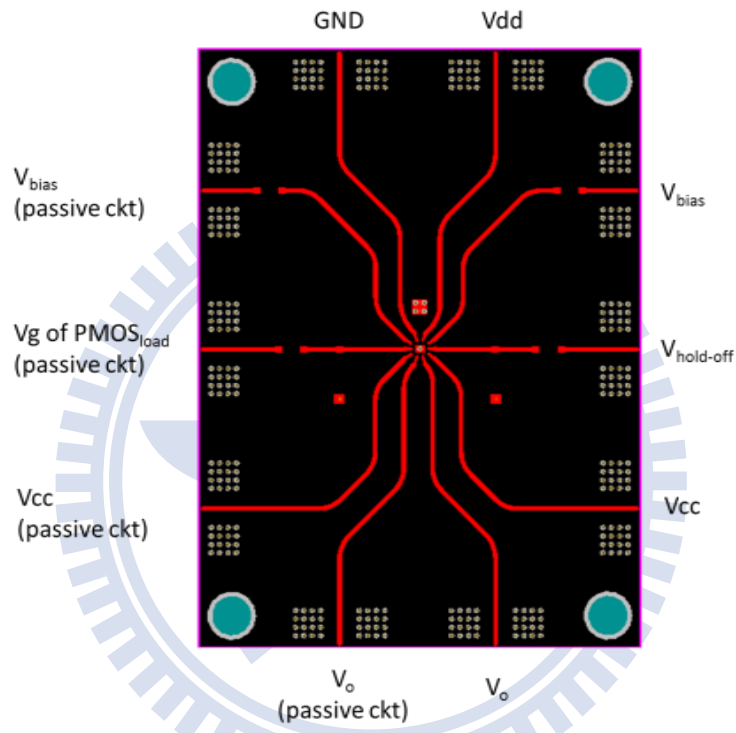


圖 3-15、PCB 設計圖

第四章 實驗結果與討論

本章首先展示晶片成品。我們將解說操作 AQC 光偵測系統的環境及方式，並探討偵測系統在各種操作條件下的量測波形，分析不同端點偏壓對 dark counts 造成的影響；接著實地應用此偵測系統量測弱光，觀察各個條件下系統的偵測率及等效雜訊功率，並討論其偵測能力表現。

4.1 晶片佈局結果

圖 4-1 為光學顯微鏡拍攝的晶片右半部特寫照片，我們在圖中標示出 SPAD 及其右下角搭配的 AQC 系統。圖 4-2 則為晶片全區照片。

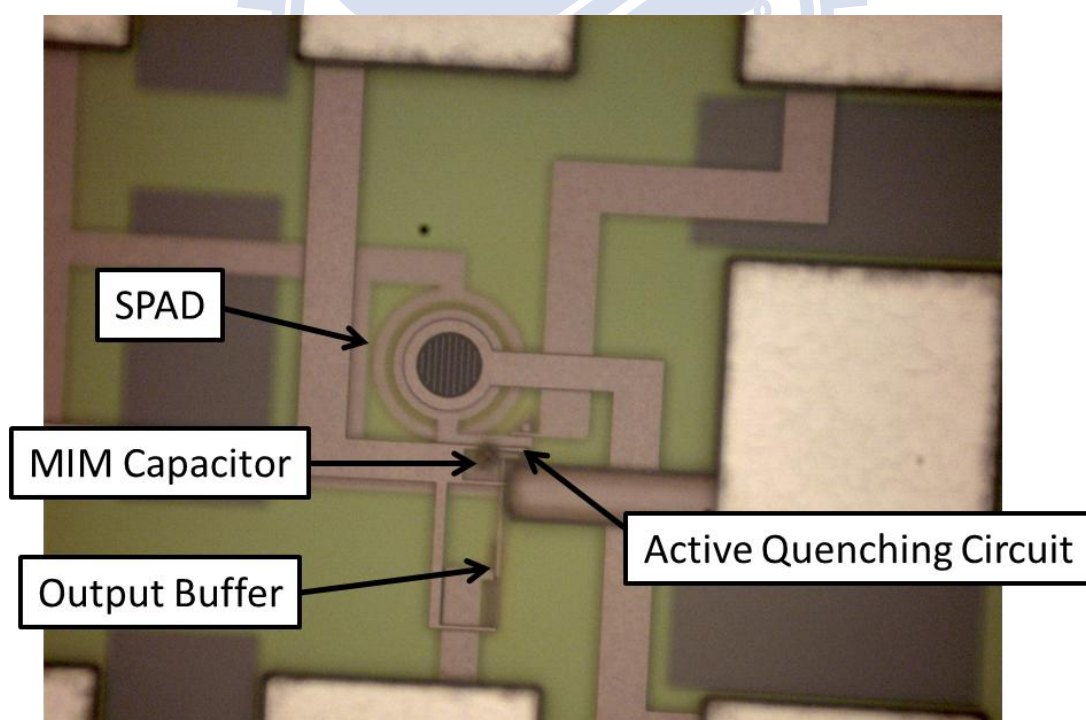


圖4-1、晶片右半部特寫照片

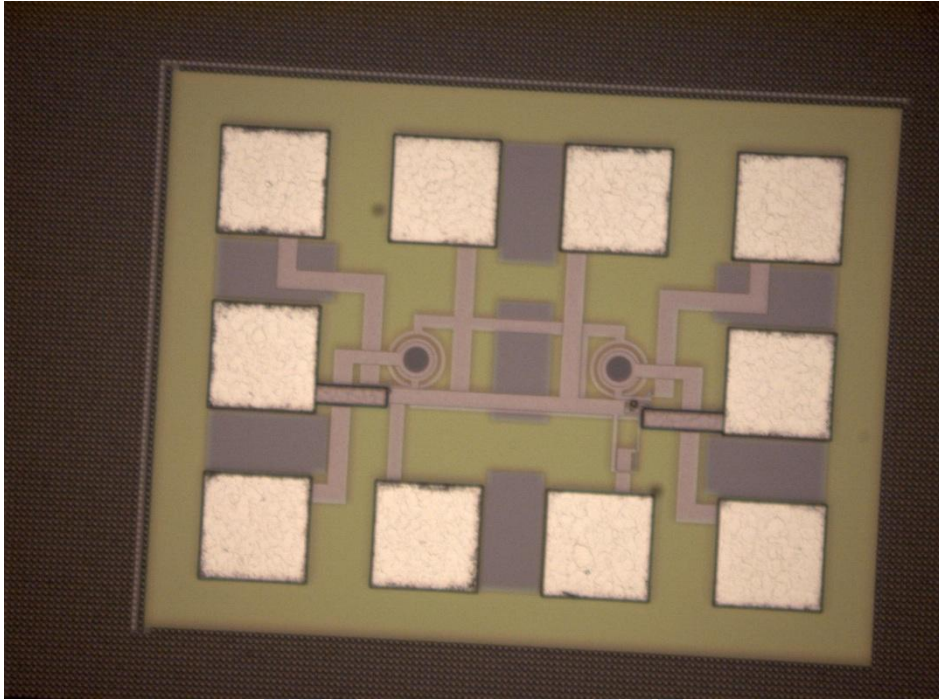


圖4-2、晶片全區照片

4.2 Dark Counts 量測

如同第二章所介紹，dark counts 是 SPAD 偵測系統在非照光的情況下，由元件中電子觸發的崩潰計數，雖然難以避免，但我們仍能設法從元件結構或輔助電路的角度試圖降低它。本節中，我們將介紹由儀器量測系統的架設方式，並呈現由示波器探測的系統輸出端 V_o 波形，接著觀察在不同操作條件下 AQC 光偵測系統的 dark counts 表現。

4.2.1 量測系統架設方式

我們將晶片安置在自行設計的 PCB 電路板上，經由 SMA 接頭轉接成 BNC 接頭，再由 BNC 訊號線連接儀器。儀器設置如圖 4-3 所示，我們選用 GWInstek GPD-3303S 電壓源替 AQC 輔助電路部分供電：它擁有兩組獨立通道，可分別接至 V_{dd} 以及 $V_{hold-off}$ ，前者負責提供 AQC 邏輯運作及回復階段時拉升 SPAD 所需的電壓，後者則控制回復電

路中替延遲用電容充電的電流大小。另一方面，我們選用 Keithley 2602 充當 SPAD 兩極的正負偏壓用電壓源：它雖然身為電壓電流計，但作為電壓源也擁有細緻的解析度，且同樣提供兩組獨立通道，可分別接至 V_{bias} 以及 V_{cc} ，前者在初始階段穿透 $PMOS_{load}$ 供給 SPAD 的陰極正偏壓，後者則供給 SPAD 的陽極負偏壓，合力將 SPAD 操作在崩潰電壓之上。

晶片唯一的輸出訊號為經過 output buffer 反轉的系統輸出端 V_o ，我們選用 SRS SR400 計數儀來計算崩潰訊號數目，其輸入阻抗為 $50\ \Omega$ ，時間解析度為 $5\ ns$ ，並可透過 GPIB 介面將資料傳遞至電腦再作整理。另外，觀察波形則用 Tektronix 7404 示波器，其輸入阻抗為 $50\ \Omega$ ，時間解析度可達 $0.25\ ns$ ，並可直接擷取波形圖存至電腦以供分析。

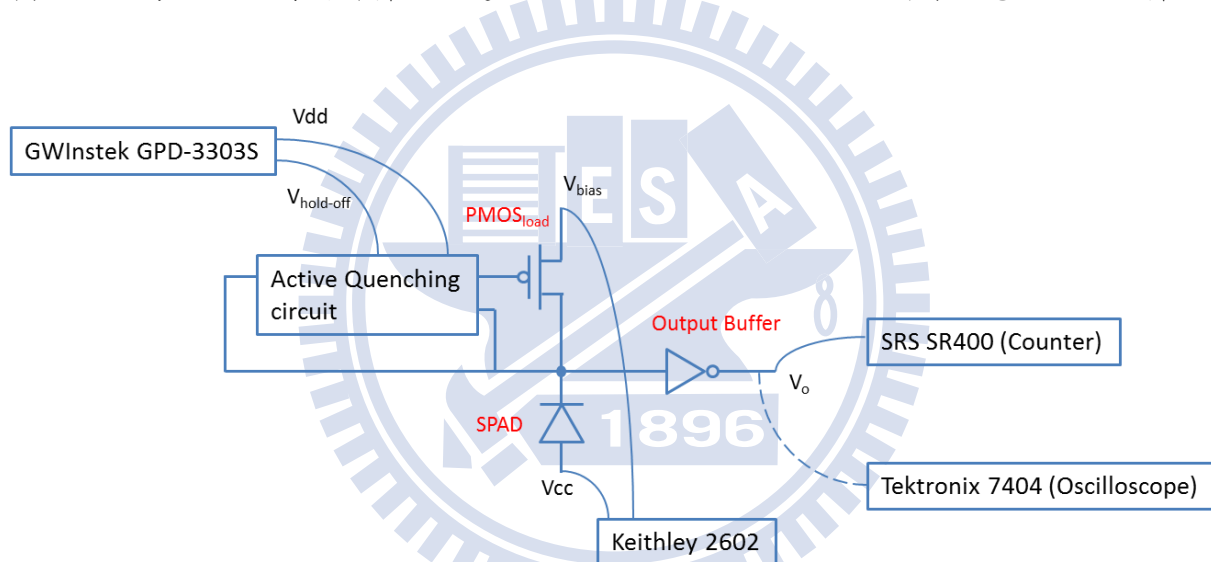


圖4-3、Dark counts 量測系統設置示意圖

4.2.2 V_o 訊號波形

由示波器觀察不同 $V_{hold-off}$ 條件下系統輸出端 V_o 訊號波形如圖 4-4 所示，固定條件 $V_{dd} = 1.2\ V$ 、 $V_{bias} = 0.8\ V$ 、 $V_{cc} = -9.25\ V$ 。因為儀器負載效應造成耗損， V_o 振幅最高只達到 $80\ mV$ （如圖 4-4 f, g, h），而非 HSPICE 模擬的結果 $1.2\ V$ ，但 $80\ mV$ 的訊號振幅對計數儀探測而言已經足夠。經由實驗觀察發現，小幅調整 V_{bias} 以及 V_{cc} 幾乎不影響 V_o 波形，而大幅調動兩者則很容易逾越 output buffer 所能反應的範圍，且施加超額偏壓

過高，也會造成崩潰電流截止困難，因此必須慎選操作條件： V_{bias} 適合的操作範圍約為 0.75 V 至 1.00 V； V_{cc} 適合的操作範圍則約為 -9.20 V 至 -9.30 V。

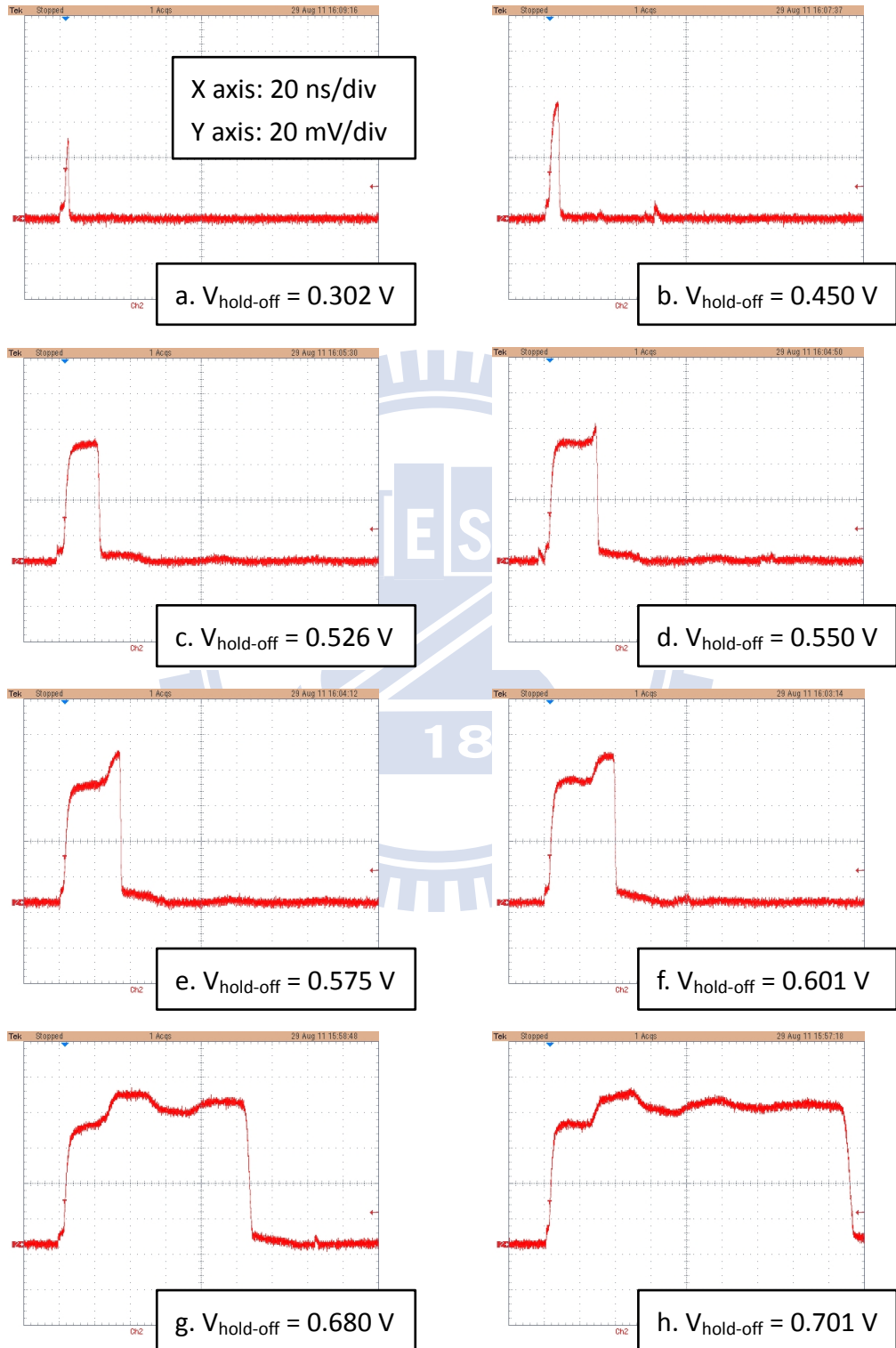


圖4-4、不同 $V_{hold-off}$ 下 V_o 波形圖

圖 4-4 中展示了 dead time 隨 $V_{\text{hold-off}}$ 提高而增長的情況，比較不同 $V_{\text{hold-off}}$ 條件下的 V_o 波形可發現，崩潰階段波形與回復階段波形並不隨 $V_{\text{hold-off}}$ 改變，影響僅止於崩潰結束至回復開始之間的 hold-off time，符合預期。因為系統唯一的輸出端為 V_o ，因此我們無法直接觀察到 V_{out} 端真正的 hold-off time 與 dead time，但根據模擬，此二者在 V_o 與 V_{out} 之間差距不大且固定，又 hold-off time 與 dead time 差距固定，因此在接下來的實驗中我們皆以 V_o 端 dead time 作為代替系統 hold-off time 的變數。

然而另一方面， V_o 波形本身卻與模擬情形有所出入：由 $V_{\text{hold-off}} = 0.601 \text{ V}$ 的例子中可明顯見到，崩潰發生後 V_o 先上升並收斂於 65 mV 處，接著再上升收在 80 mV 處，對比 AQC 操作波形模擬圖（圖 3-5）後，我們認為此現象即為崩潰電流截止後，SPAD 的陰極端電位 V_{out} 將繼續放電至 GND 為止，經由 output buffer 反映在 V_o 所形成的現象，由此可知 SPAD 陰極端電位 V_{out} 的變化量並不如模擬預期中大，但仍足以製造崩潰訊號以供儀器識別。另外，當 hold-off time 延長過 40 ns 後可見 V_o 出現微幅震盪的情形（如圖 4-4 g, h 所示），可能是晶片內部 SPAD 陰極端與 AQC 電路之間阻抗不匹配所造成，並不影響訊號可辨讀性。

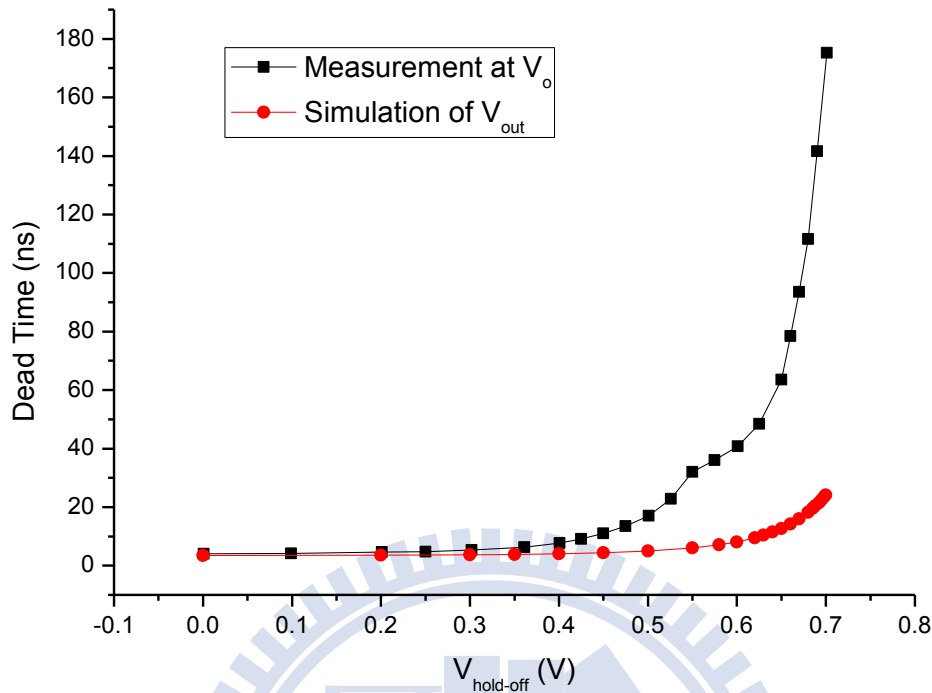


圖4-5、Dead time 對 $V_{\text{hold-off}}$ 變化量測與模擬對照圖

除輸出波形外， $V_{\text{hold-off}}$ 製造的 hold-off time 也與模擬有所出入。對比圖 4-5 的 dead time 對 $V_{\text{hold-off}}$ 模擬與實際量測情況可發現，實際產生 hold-off time 的效果遠比我們預期來得大，例如當 $V_{\text{hold-off}}$ 升至 0.7 V 時， V_o 展現的 dead time 已長達 175 ns 之譜，而模擬數值不過 24 ns。探究其因，hold-off time 由延遲電容的充電時間控制，而影響延遲電容充電時間的因素，除了電容值大小外還有替其充電的電流，上段提到 V_{out} 變化量不如預期中大，我們認為也牽連圖 3-3 回復系統中第一級 inverter 並未完全切換，於是輸出電流小於預期，拉長延遲電容充電時間，導致 hold-off time 延遲效果放大。其中，當我們將 $V_{\text{hold-off}}$ 操作在 0 V，可量測到本晶片最短的 V_o 端 dead time：4.0 ns，運作在該條件時偵測系統擁有最高的時間解析度，其波形如圖 4-6 所示。

另一方面，當 dead time 延長過 32 ns 之後， V_{out} 電位探底並且不再大幅變動，影響 dead time 增長的因素僅剩受 $V_{\text{hold-off}}$ 調節的充電電流，因此呈現兩段不同的增長趨勢。但即使如此，32 ns 之後 dead time 增長的幅度仍遠超乎模擬預期，我們無法確定其中的

原因，懷疑是模擬使用的 SPAD 等效模型較簡略，雖能大致模擬崩潰特性，但崩潰期間接面電容與內部電阻等皆會隨崩潰情況不同而即時變動，我們的固定模型無法模擬，導致 V_{out} 連帶 AQC 整體實際表現與模擬預期之間有所落差。

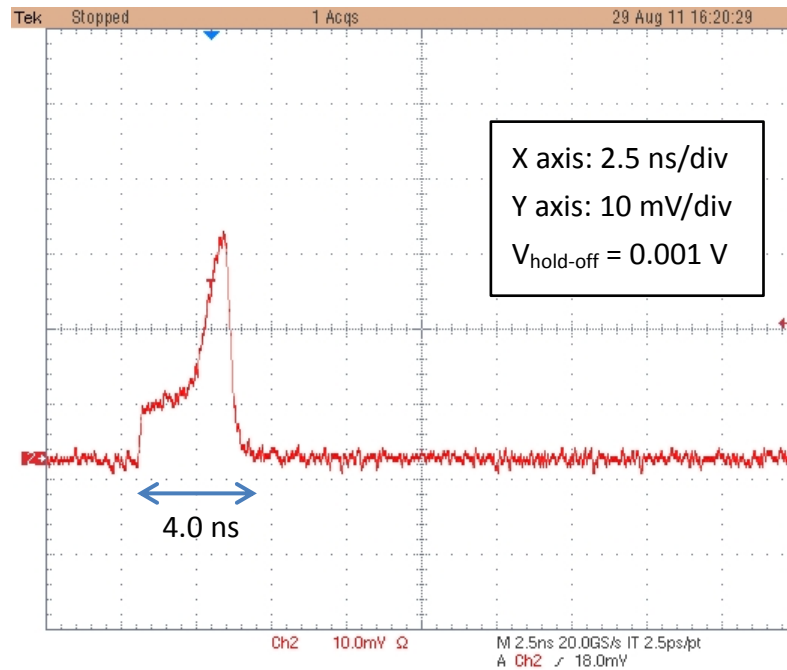


圖4-6、 V_o 端最短 dead time 崩潰訊號圖

4.2.3 Dark Counts

我們將晶片架設在特製的布幕內，以隔絕環境中的背景光源，也避免操作環境溫度變化過大，造成 SPAD 元件本身 V_{BD} 飄移。 V_o 端訊號交由計數儀探測，當輸入計數儀的訊號位準升過觸發位準，即累計一次，在此我們設定觸發位準 10 mV、統計時間 1 s、統計 100 次，將量測得到的 100 組數據取平均值作為 dark counts。

Dark counts 對超額偏壓變動非常敏感，而我們設計的 AQC 系統中，負責對 SPAD 施加偏壓的 V_{bias} 與 V_{cc} 雖然對輸出波形影響甚微，卻是影響 dark counts 的關鍵因素。以下先針對此二端點進行調變，固定 $V_{dd} = 1.2$ V、 $V_{hold-off} = 0.001$ V，觀察偵測系統的 dark counts 表現。

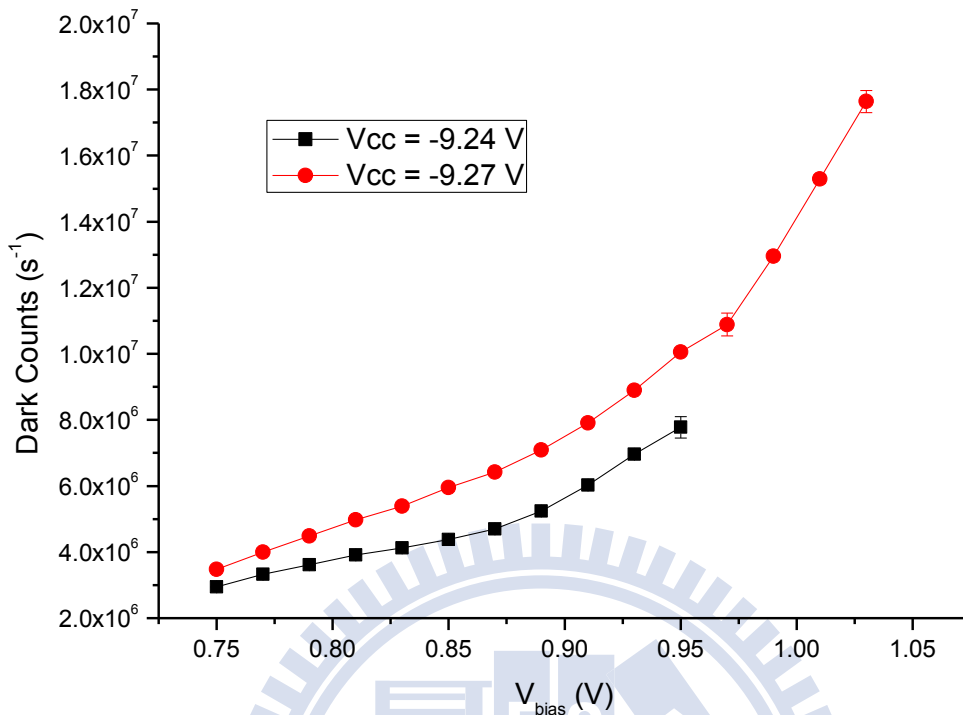


圖4-7、Dark counts 對 V_{bias} 變化圖

圖 4-7 顯示 dark counts 隨著 V_{bias} 正偏壓提高而增加，其背後有兩個主因： V_{bias} 提高意味著施加在 SPAD P-N 接面上的負偏壓越大，如此一來接面 band bending 的情況也越嚴重，導致價帶與導帶間 band to band tunneling 越趨頻繁，這些穿隧至導帶的電子觸發崩潰，dark counts 於是跟著升高；另外，SPAD P-N 接面上的負偏壓越大也代表主動區電場越強，電子獲得足夠能量並撞擊二次電子觸發崩潰事件的機率越高，dark counts 自然提升。

另外，圖 4-7 中兩種 V_{cc} 條件下量測的 V_{bias} 範圍亦不同，這是因為 $V_{cc} = -9.27$ V 所能承受的 V_{bias} 較 $V_{cc} = -9.24$ V 來得高，當操作在 V_{cc} 上的負偏壓較大時， V_{bias} 也能施加較大的正偏壓而保有正常的輸出波形；如果 V_{cc} 上的負偏壓不足，卻硬施以 V_{bias} 極高的正偏壓，則 V_{out} 電位變化將超出 output buffer 反應範圍，進而導致 V_o 訊號不穩定或消失，無法量測。

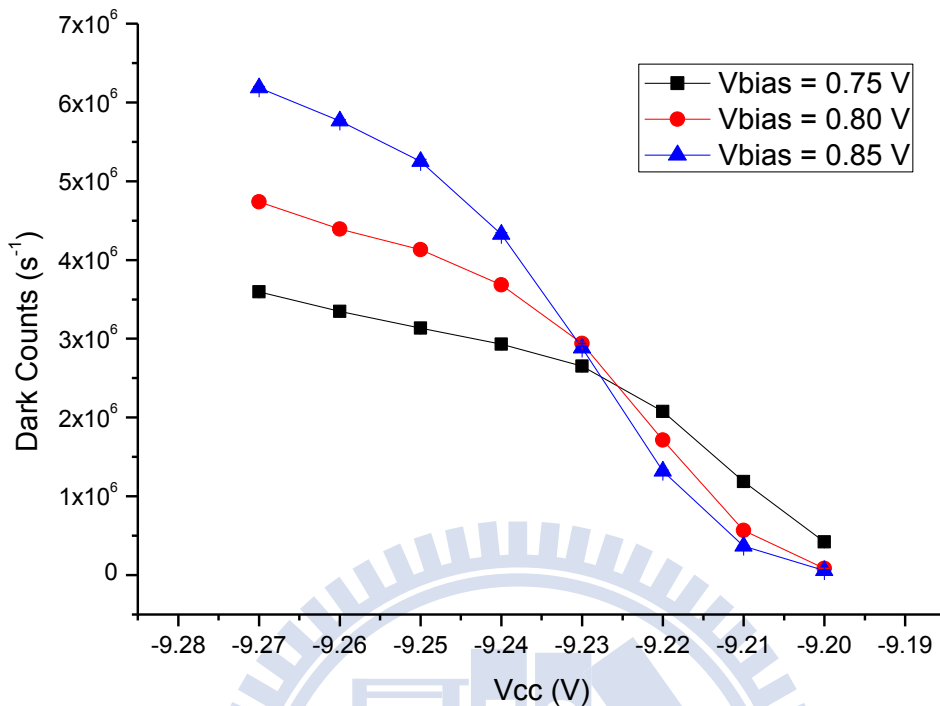


圖4-8、Dark counts 對 Vcc 變化圖

圖 4-8 顯示隨著 Vcc 負偏壓加深，施加在 SPAD P-N 接面上的負偏壓增大，使得價帶與導帶之間 band to band tunneling 加劇而導致 dark counts 增加。然而，與調變 V_{bias} 時的情況略為不同，當施加於 Vcc 的負偏壓淺於一定程度後，dark counts 便迅速滑落。第三章中我們討論過 Vcc 過淺的情況（圖 3-10 a），在此可進一步驗證：圖 4-8 中 dark counts 隨 Vcc 趨淺而迅速滑落的現象意味著有相當比例的崩潰事件，其 SPAD 的陰極輸出端 V_{out} 在降至能夠驅動 output buffer 反轉的程度前便進入回復階段，其變化量無法產生足以被偵測的訊號，導致 counts 加速滑落。而且如圖 4-9 所示，在 V_{bias} 低於 0.83 V 的區段， V_{bias} 越高則上述現象越嚴重，因為較高的 V_{bias} 將造成 V_{out} 在 Vcc 同樣低淺的情況下較難以抵達觸發 output buffer 的門檻，直到 V_{bias} 提高到 dark counts 增加的幅度足以彌補無法被偵測到的崩潰數量，如圖 4-9 中 V_{bias} 高於 0.83 V 的區段，dark counts 才再度隨 V_{bias} 升高而上升。

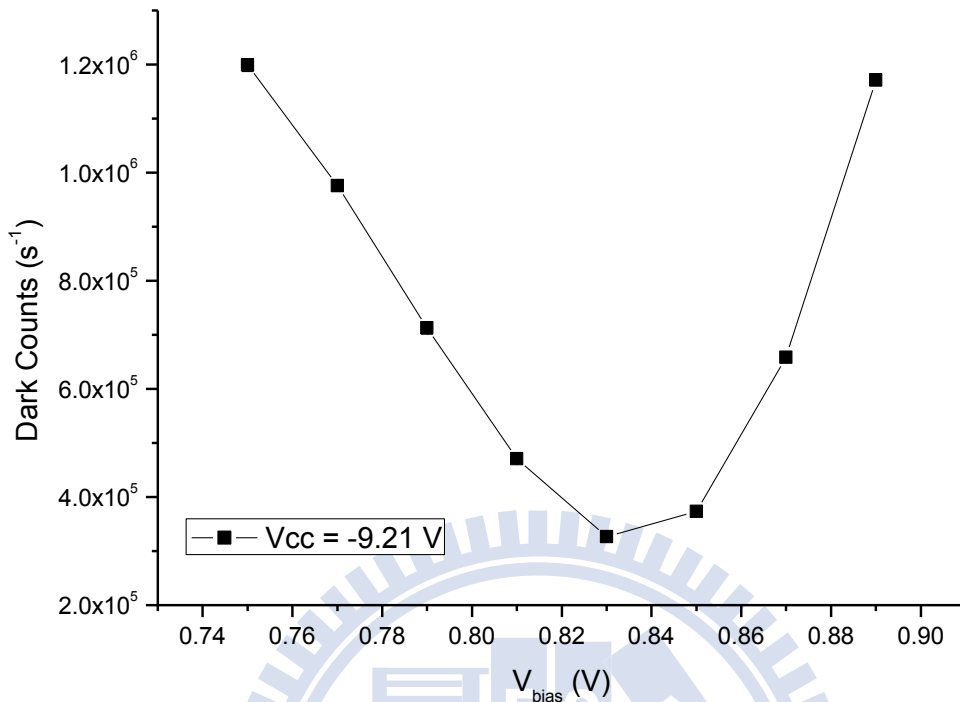


圖4-9、 $V_{cc} = -9.21$ V 時 dark counts 對 V_{bias} 變化圖

除了 V_{bias} 和 V_{cc} 會影響 dark counts，本次設計的系統包含一項重要的功能即是透過 $V_{hold-off}$ 控制 hold-off time，當 hold-off time 拉長後，元件中 traps 所捕捉的電子便有機會逐漸釋放而免於觸發崩潰，進而減少 dark counts。前文中已驗證 $V_{hold-off}$ 確實能調控使用者所需的 hold-off time，在此我們則要檢驗在不同 hold-off time 情況下 dark counts 是否會如預期降低。我們固定條件 $V_{dd} = 1.2$ V、 $V_{cc} = -9.20$ V，並將量測得到的 dark counts 標準化：除以一秒內扣掉總 dead time 後所剩下實際可偵測的時間，如此一來便可推得等量的可偵測時間下，系統所能製造的 dark counts，我們另以 equivalent dark counts 之名區分之。

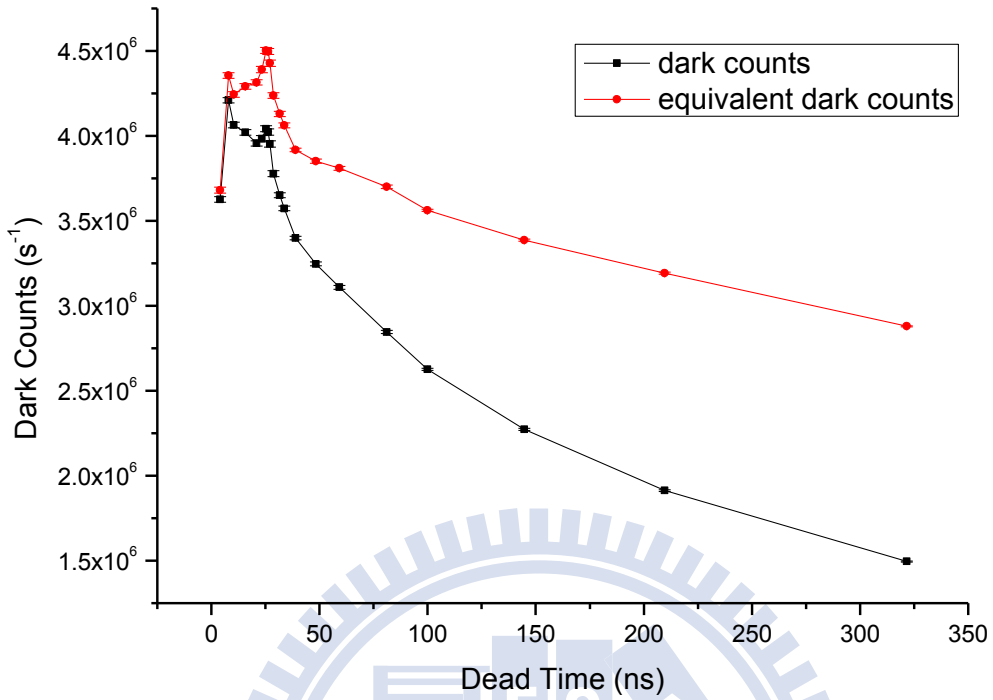


圖4-10、 $V_{\text{bias}} = 0.80 \text{ V}$ 時 dark counts 對 dead time 變化圖

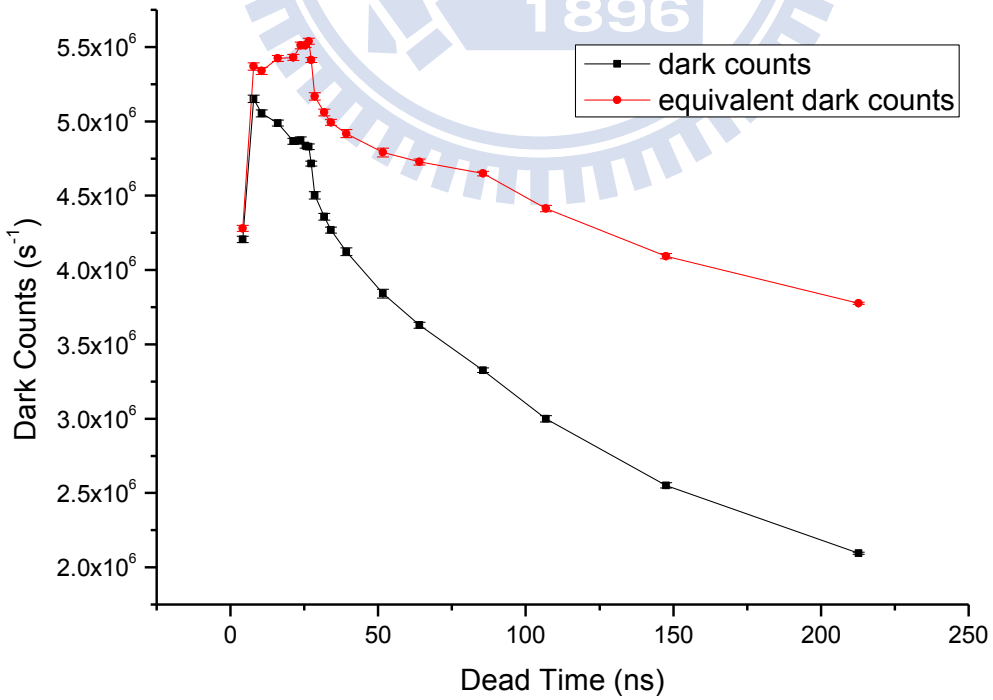


圖4-11、 $V_{\text{bias}} = 0.85 \text{ V}$ 時 dark counts 對 dead time 變化圖

圖 4-10 與圖 4-11 分別展示 $V_{\text{bias}} = 0.80 \text{ V}$ 、 0.85 V 的條件下，實際量測得到的 dark counts 以及運算過後的 equivalent dark counts 對 dead time 圖，可發現 equivalent dark counts 在 dead time = 26 ns 前約略成增長走勢，直到 26 ns 之後才呈指數遞減，85 ns 之後則再出現另一波衰減。

對照 V_o 端波形（如圖 4-4 h）可發現，26 ns 之前為崩潰階段，當我們以 AQC 強制壓縮 dead time 短於 26 ns，就等同於在 SPAD 的陰極端 V_{out} 降至崩潰截止應該抵達的終態 $V_{\text{CC}} + V_{\text{BD}}$ 前，便再度將它拉升回初始階段。如同前文談論 V_{CC} 過淺導致 dark counts 滑落的情況，此一行為將使得 V_{out} 變化幅度不足，造成一定比例的崩潰事件其 output buffer 無法正常反應，以至於探測不到崩潰訊號。圖 4-10 與圖 4-11 中，當 dead time 由系統最短值 4 ns 逐漸增長至 26 ns，equivalent dark counts 隨之增高，即代表受上述現象影響的崩潰事件逐漸減少。

當 dead time 超過 26 ns 之後，系統才進入我們真正預期的 hold-off time 階段，可見到圖 4-10 與圖 4-11 的 equivalent dark counts 在 26 ns 後隨時間呈指數遞減，代表元件中被 traps 捕獲的電子被釋放的機率隨時間呈指數遞增。至於 85 ns 之後 equivalent dark counts 出現另一波衰減，我們推論應是此時 SPAD 結構中較深層的區域也逐漸釋放出捕獲的電子所致。

4.3 PDE 和 NEP 量測

偵測率（PDE）為光偵測系統效能的重要指標，對操作在 geiger mode 的 SPAD 偵測系統而言，偵測率越高代表光子能觸發崩潰訊號並順利被儀器偵測的機率越高，而雜訊等效功率（NEP）則標示光偵測系統的訊雜相對表現。本節中，我們將介紹照光系統的架設方式，並觀察不同操作條件下 AQC 光偵測系統的 PDE 及 NEP 表現。

4.3.1 照光系統架設方式

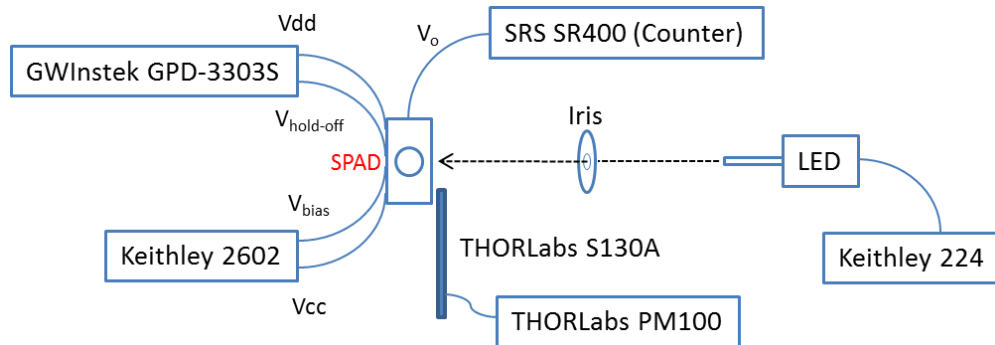


圖4-12、照光系統設置示意圖

照光系統是基於前文提到的量測系統再增設一組光源，如圖 4-12 所示。我們挑選先前實驗中，響應率較佳的綠光 LED ($\lambda_p = 514 \text{ nm}$, $\Delta\lambda = 40 \text{ nm}$) [11]作為本論文中照光實驗用的光源，並以 Keithley 224 電流源驅動。光源對準 SPAD 後，在光路途中設置 iris 過濾不均勻的光暈，為了確認實際入射 SPAD 的光量，我們使用 THORLabs PM100 power meter 搭配 THORLabs S130A detector 於 SPAD 等距位置量測照射光量，再以面積比例換算出入射 SPAD 收光區的平均光子數量。

Detector 的收光區域直徑為 4 mm，而我們使用的 SPAD 收光區域直徑為 20 μm ，由公式 $E = h\nu$ 換算可得知，當 detector 入射光量為 222.5 nW 時，SPAD 主動區入射光量為 $1 \times 10^7 \text{ photons/sec}$ 。確認光量後，接下來即可以同前文敘述的流程量測 light counts，比對相同操作條件下的 dark counts 推算出 PDE 和 NEP。

4.3.2 PDE

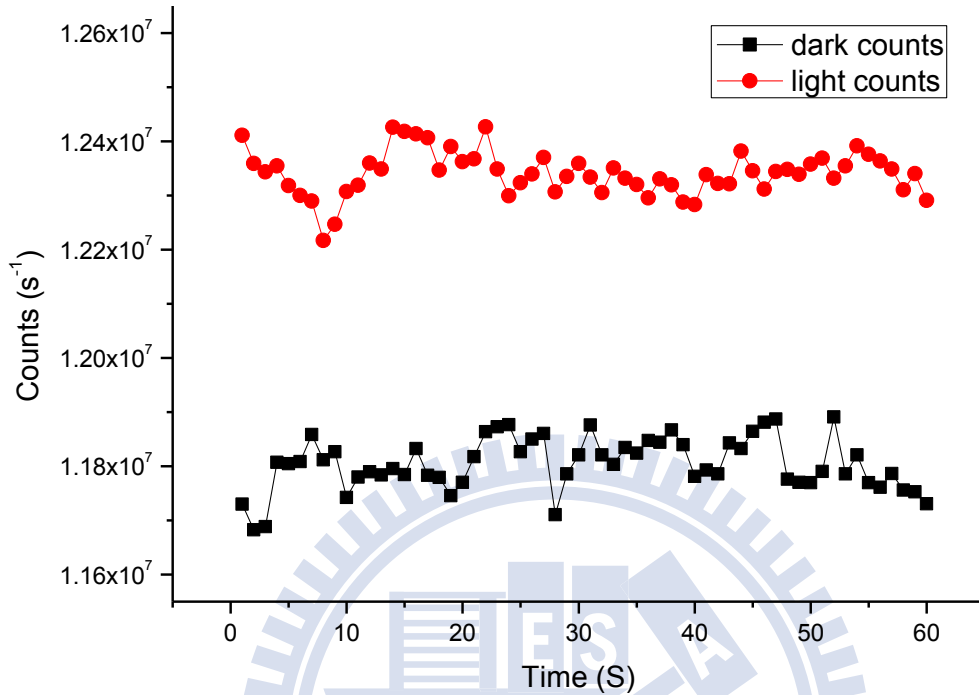


圖4-13、計算 PDE 用之 dark counts 及 light counts 統計圖

依據第二章公式 2-3，計算 PDE 的方式為 light counts 減去 dark counts，再除以入射 SPAD 的光子量。我們同樣設定計數儀觸發位準 10 mV、統計時間 1 s、統計 60 次，將量測得到照光條件下的 60 組數據取平均值作為 light counts，非照光條件下的數值作為 dark counts（如圖 4-13 所示），再代入事先以 power meter 確認的光子數量計算 PDE。固定條件為 $V_{dd} = 1.2 \text{ V}$ ，由於系統使用的 SPAD 元件先天 dark counts 偏高，為使實驗中量測誤差不至於影響偵測率太甚，我們將入射光量定在 $1 \times 10^7 \text{ photons/sec}$ 。

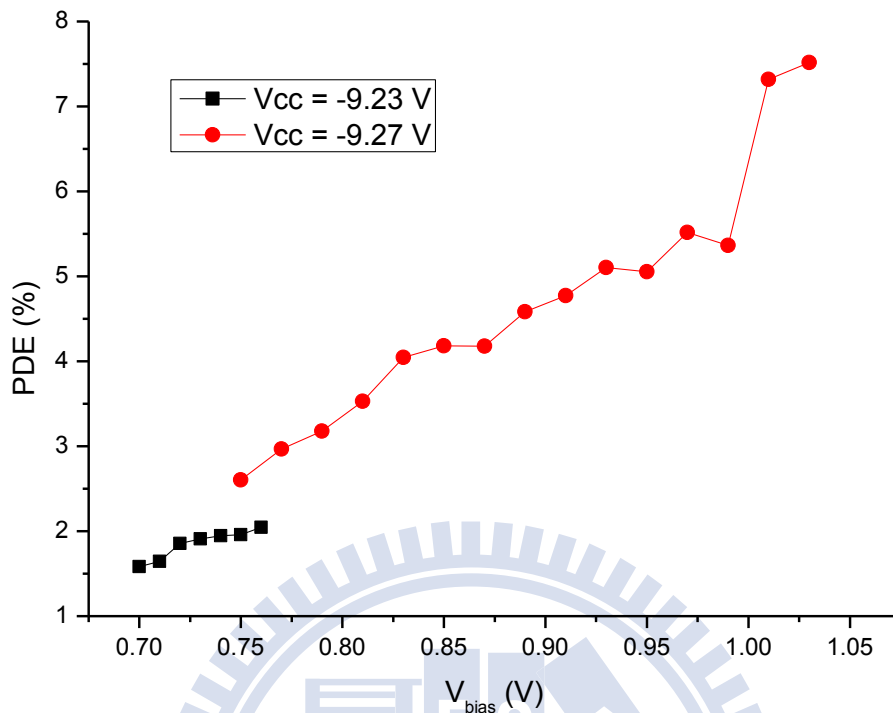


圖4-14、PDE 對 V_{bias} 變化圖

我們首先就 $V_{cc} = -9.23$ V 及 -9.27 V 的條件下觀察 PDE 對 V_{bias} 的變化情形。從圖 4-14 中可見 PDE 隨 V_{bias} 增加逐漸增長，且 $V_{cc} = -9.27$ V 時 PDE 所能達成的紀錄也較 $V_{cc} = -9.23$ V 時為高，顯見超額偏壓升高使得 SPAD 內部主動區電場增強，入射光子獲得足夠能量，成功觸發雪崩效應並且製造足以被偵測的崩潰事件的機率提高，PDE 因而隨之走升。實驗中，當偵測系統操作在 $V_{cc} = -9.27$ V、 $V_{bias} = 1.03$ V 的條件時 PDE 達到紀錄最高值 7.5 %。

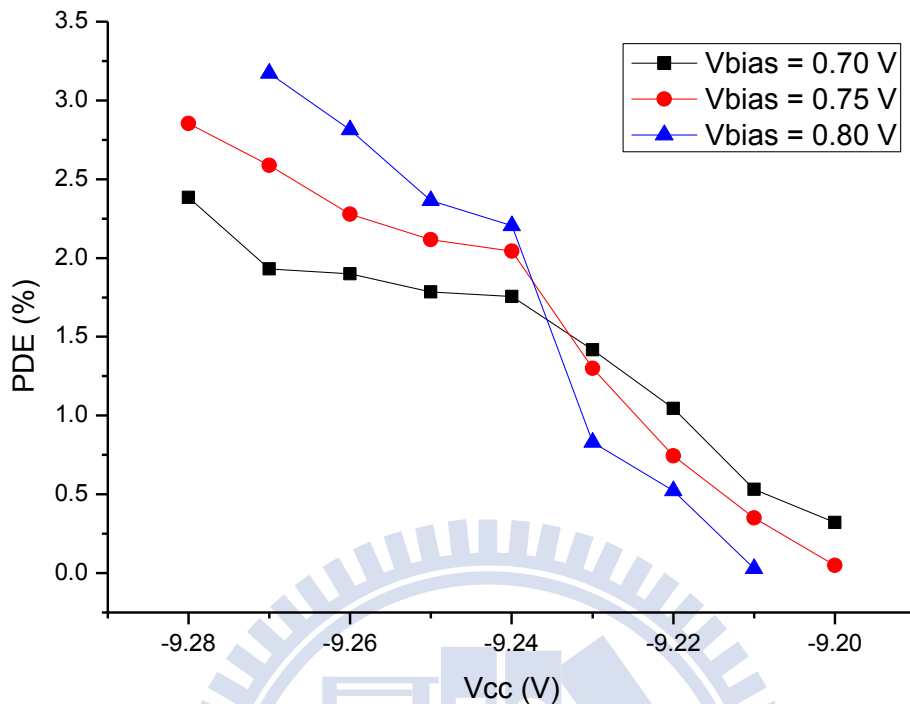


圖4-15、PDE 對 Vcc 變化圖

我們接著觀察 $V_{bias} = 0.70\text{ V}$ 、 0.75 V 、 0.80 V 的條件下 PDE 對 V_{cc} 變化情形。從圖 4-15 中同樣可觀察到當 V_{cc} 逐漸下探，PDE 因 SPAD 承受的超額偏壓升高而提升。另一方面，圖 4-8 中 dark counts 呈現的交叉趨勢也再次顯現：當 V_{cc} 過淺時，相當比例的崩潰事件將因 V_{out} 端電位變化過小而無法製造可被偵測的訊號，光子造成的崩潰事件當然也無法倖免，導致 PDE 萎縮。

最後，我們在 $V_{cc} = -9.21\text{ V}$ 、 $V_{bias} = 0.8\text{ V}$ 的條件下觀察 PDE 對 dead time 的變化趨勢。然而延長 dead time 會直接造成相同計數時間內的 counts 減少，導致 PDE 下降，所以我們比照 equivalent dark counts 的方法，將此處的 dark counts 和 light counts 都計算等效時間應有的數值後，再以這兩者推算出 equivalent PDE，觀察 hold-off time 對等效偵測率的影響，如圖 4-16 所示。

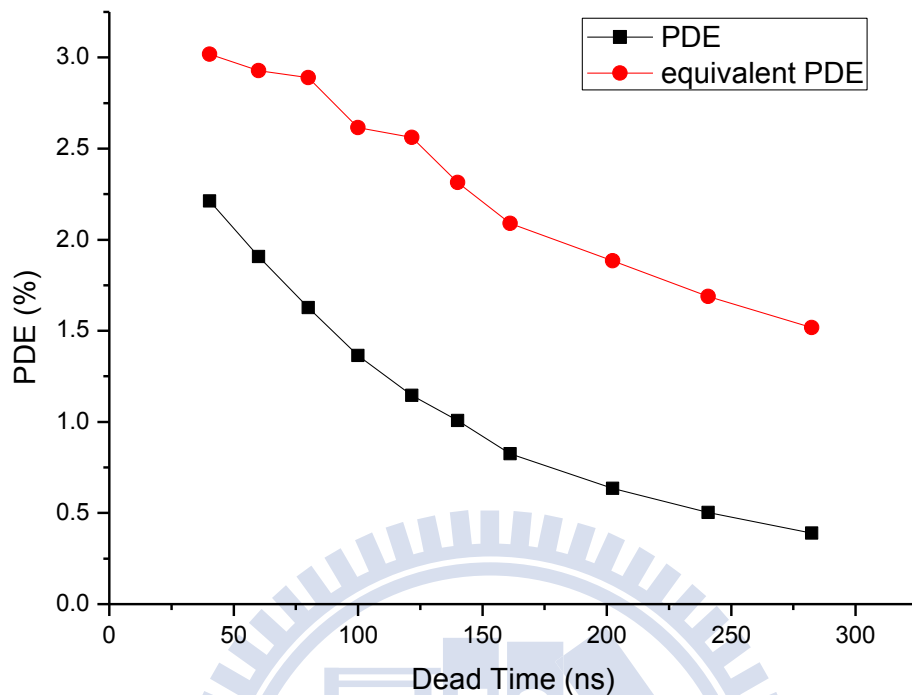


圖4-16、PDE 對 dead time 變化圖

Dead time 越長意味著 hold-off time 越長，理想上，時間解析度並不會影響光偵測系統的偵測率，但由圖 4-16 中可見，equivalent PDE 卻隨 hold-off time 增長而逐漸下降。這是因為 afterpulsing effect 不僅由 dark counts 造成，光子製造的崩潰同樣會導致 afterpulsing effect，也同樣會因 hold-off time 增長而削弱 afterpulsing effect，縮小 light counts 與 dark counts 之間的差距，PDE 於是降低。

4.3.3 NEP

雖然 PDE 可代表光偵測系統偵測弱光的能力，但即使某組 SPAD 偵測系統的 PDE 在極端的操作條件下，與另一組操作在一般條件的 SPAD 偵測系統展現的 PDE 相同甚或更高，也不一定代表前者較為優秀，因為前者的 dark counts 可能也遠高於後者，如果 dark counts 高到 light counts 與 dark counts 間的差距相較之下微不足道，便有影響 PDE

可信度之虞，即使衝高 PDE 也非使用者所樂見。因此我們也須檢驗 NEP，按照第二章公式 2-4 將 PDE 與 dark counts 同時納入考量，評斷我們的偵測系統實際用於探測弱光是否可信。

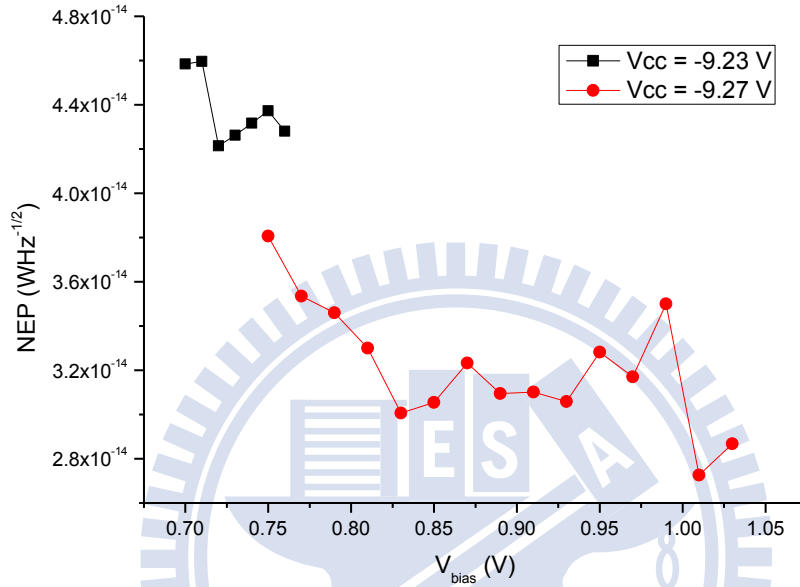


圖4-17、NEP 對 V_{bias} 變化圖

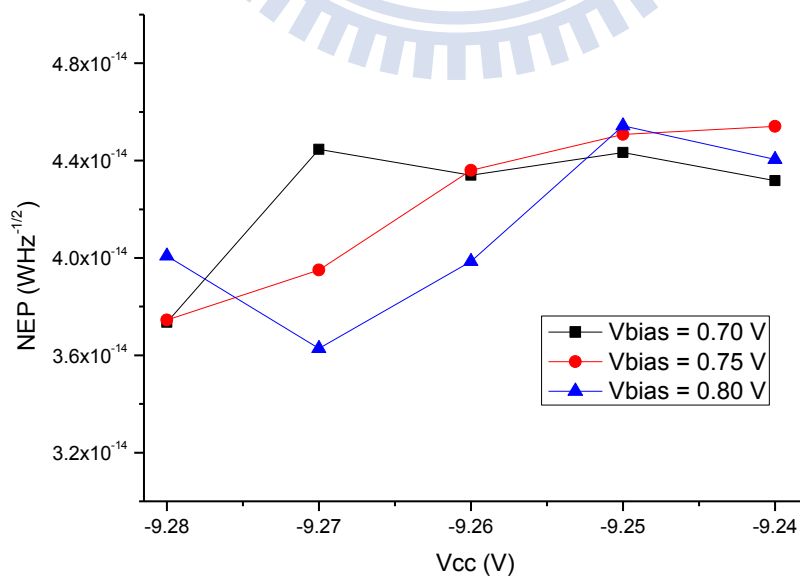


圖4-18、NEP 對 V_{cc} 變化圖

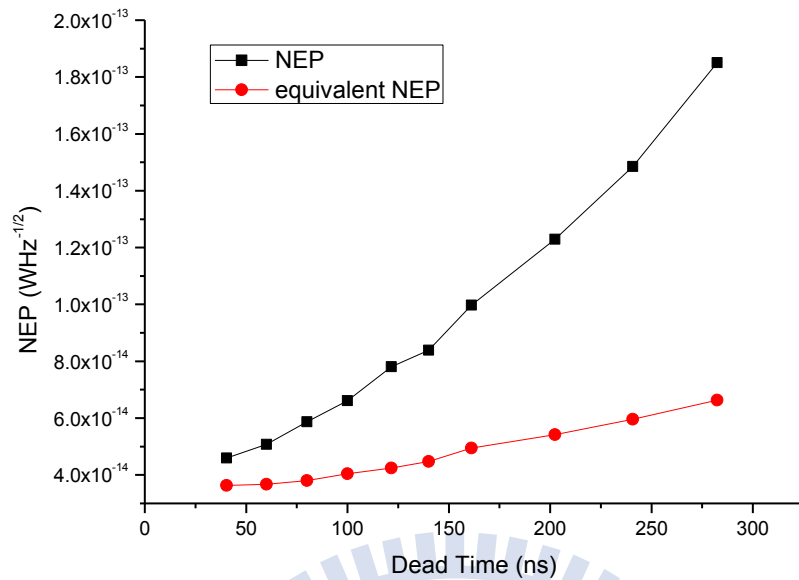


圖4-19、NEP 對 dead time 變化圖

我們直接從上節實驗中所得數據推算出 NEP，對 V_{bias} 與對 V_{cc} 變化的圖形分別展示於圖 4-17 以及圖 4-18，而對 dead time 變化的圖形則展示於圖 4-19。由前二圖中曲線可見，除了 V_{cc} 淺於 -9.24 V 的時候 NEP 因 PDE 滑落而飆升外，在正常操作的範圍內，NEP 皆維持在 $10^{-14} \text{ WHz}^{-1/2}$ 數量級，而其中 $V_{\text{cc}} = -9.27 \text{ V}$ 條件下量測的數據更維持在 $3.8 \times 10^{14} \text{ WHz}^{-1/2}$ 以下，實驗中獲得的最低紀錄值出現在 $V_{\text{bias}} = 1.01 \text{ V}$ ，此時 NEP 下探至 $2.7 \times 10^{14} \text{ WHz}^{-1/2}$ 。另一方面，隨著 hold-off time 延長，圖 4-19 顯示 dark counts 雖然降低，但同時 PDE 降低的影響更大，導致 NEP 反而逐漸上升。

第五章 結論與未來展望

本篇論文成功利用 tsmc 0.18 μm 製程設計出面積微縮至 $487 \times 355 \mu\text{m}^2$ 的主動式輔助電路以搭配 SPAD 光偵測器，面積小於 H. Finkelstein 所屬團隊以相同製程製作的輔助電路 ($44 \times 44 \mu\text{m}^2$) [2]；並且成功縮短 dead time 至 4.0 ns，系統可操作頻率高於該團隊 (5 ns) 和另一支使用 0.13 μm 製程的 M. Gronholm 所屬團隊 (7.5 ns) [3]，後者成品面積約略與我們相當；同時，我們設計的 AQC 系統的正常操作電壓 1.2 V 也是三者之間最低的。另外，我們更加入可即時調控 AQC 系統 hold-off time 的功能，並在實驗中確認系統 dead time 可延長至 280 ns 以上。

延長 hold-off time 的好處在於留給元件中的 traps 釋放被其捕獲的電子的時間，如此一來可降低由 afterpulsing effect 造成的 dark counts，我們在實驗中利用可調整 hold-off time 的功能驗證了這一點：當 dead time 調整在 26 ns 至 85 ns 之間，dark counts 確實隨著 dead time 延長而呈指數趨勢下降，符合設計預期。除此之外，我們也驗證了在適當的操作範圍內，dark counts 將因為 band to band tunneling 等效應而隨施加在 SPAD 上的超額偏壓提高而升高。

作為實際應用於偵測微弱光線的光偵測系統，我們的 AQC 光偵測系統探測波長為 514 nm 的綠光，PDE 同樣隨著超額偏壓提高而升高，並達到 7.5% 的紀錄；而同時 NEP 普遍壓低至 $5.0 \times 10^{14} \text{ WHz}^{-1/2}$ 之下，對比實驗室先前以 PQC 搭配相同 SPAD 元件量測的數據[11]，AQC 系統在這方面表現相當甚至更為優秀。

然而，即使延長 hold-off time 能有效降低 dark counts，整體而言，我們系統的 dark counts 相較於其他實驗團隊依然偏高，經由本實驗團隊其他成員調查，發現 dark counts 之所以居高不下極有可能是 tsmc CMOS 標準製程在製造本團隊設計的 SPAD 元件結構時自行安插 STI 在元件之中，使得 traps 數量大增，提高 afterpulsing effect 的發生機率。未來，我們可再針對元件改進以降低 dark counts，同時，本次設計的 AQC 系統受限於 SPAD 陰極端電位 V_{out} 在崩潰後下降幅度不足，導致能操作的偏壓範圍狹窄，得透過提

高 $\text{PMOS}_{\text{load}}$ 源汲二極間電阻值等方法加以改善。當我們克服上述問題，SPAD 偵測系統便能往更長遠的目標邁進：有了微小而反應快速的 AQC 搭配 SPAD 提升偵測能力後，以 AQC 光偵測系統作為單元建構光偵測矩陣，將拓展諸如生物攝影、天文影像等領域中更為廣泛的應用價值。

	This work	H. Finkelstein RSI 2007 [2]	M. Gronholm IEEE 2009 [3]
Technology	0.18 μm CMOS	0.18 μm CMOS	0.13 μm CMOS
Voltage Supply (V)	1.2	3.0	2.5
Dead Time (ns)	4.0	5	7.5
Tunable Hold-off Time	Yes	No	No
Circuit Size (μm^2)	15.7×15.2	44×44	15.6×8.9
The Number of FETs	16	N/A	N/A
SPAD Diameter (μm)	20	N/A	N/A
SPAD Breakdown Voltage (V)	9.7	N/A	N/A

表 5-1、各實驗團隊開發之 AQC 系統規格比較表

參考文獻

- [1] R. Mita, G. Palumbo, “High-Speed and Compact Quenching Circuit for Single-Photon Avalanche Diodes,” *IEEE Transactions on Instrumentation and Measurement*. **57**, 3 (2008)
- [2] H. Finkelstein, M. J. Hsu, S. Zlatanovic, S. Esener, “ Performance Trade-Offs in Single-Photon Avalanche Diode Miniaturization, ” *Review of Scientific Instruments*. **78**, 10 (2007)
- [3] M. Gronholm, J. Poikonen, M. Laiho, “ A Ring-Oscillator-Based Active Quenching and Active Recharge Circuit for Single Photon Avalanche Diodes, ” *European Conference on Circuit Theory and Design 2009* (2009)
- [4] http://www.tf.uni-kiel.de/matwis/amat/semi_en/kap_5/backbone/r5_2_2.html
- [5] S. Radovanović, High-Speed Photodiodes in Standard CMOS Technology (2004)
- [6] H. T. Yen, “InGaAs Avalanche Photodiode for Single-Photon-Detector Application,” *Master Thesis*, National Chaio Tung University, Taiwan (2007)
- [7] A. Lacaita, F. Zappa, S. Cova, P. Lovati, “Single-Photon Detection beyond 1 μm : Performance of Commercially Available InGaAs/InP Detectors,” *Applied Optics*. **35**, 16 (1996)
- [8] R. Mita, G. Palumbo, “High-Speed and Compact Quenching Circuit for Single-Photon Avalanche Diodes” *IEEE Transactions on Instrumentation and Measurement*. **57**, 3 (2008)
- [9] F. Zappa, A. Tosi, A. D. Mora, S. Tisa, “SPICE Modeling of Single Photon Avalanche Diodes,” *Sensors and Actuators A: Physical*. **153**, 2 (2009)
- [10] K. S. Champlin, “Microplasma Fluctuations in Silicon,” *Journal of Applied Physics*. **30**, 1039 (1959)
- [11] C. I. Dai, “Single-Photon Avalanche Photodiode Fabricated with Standard CMOS Technology, ” *Master Thesis*, National Chaio Tung University, Taiwan (2010)

簡歷 (Vita)

姓名：許宏任 (Hung-Jen Hsu)

性別：男

出生年月日：民國75年10月9日

籍貫：高雄市

學歷：

台北市立建國高級中學 (2002.9 - 2005.6)

國立交通大學電子工程系學士 (2005.9 - 2009.6)

國立交通大學電子工程系碩士 (2009.9 - 2011.8)

碩士論文題目：

主動截止電路控制之單光子崩潰二極體偵測器

Single-Photon Avalanche Diode Controlled by Active Quenching Circuit