

# 國立交通大學

電子工程學系 電子研究所

## 碩士論文

垂直式與側向式單光子崩潰二極體特性

Characteristic of Single-Photon Avalanche Diode with  
Vertical and Lateral Structures

研究生：李政儒

指導教授：林聖迪 教授

中華民國一〇〇年九月

垂直式與側向式單光子崩潰二極體特性

Characteristic of Single-Photon Avalanche Diode with Vertical and Lateral  
Structures

研究生：李政儒

Student : Zheng-ru Lee

指導教授：林聖迪

Advisor : Dr. Sheng-Di Lin

國立交通大學

電子工程學系 電子研究所

碩士論文

A Thesis

Submitted to Department of Electronics Engineering and  
Institute of Electronics

College of Electrical and Computer Engineering  
National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics Engineering

July 2010

Hsinchu, Taiwan, Republic of China

中華民國 一〇〇 年 九 月

# 垂直式與側向式單光子崩潰二極體特性

學生：李政儒

指導教授：林聖迪 博士

國立交通大學

電子工程學系電子研究所碩士班

## 摘要

本論文中，我們研究在標準 0.18  $\mu\text{m}$  CMOS 製程技術下的垂直式與側向式單光子偵測器，從模擬的結果顯示，側向式單光子偵測器採用較低濃度的 P-well 與 N-well 可以減少帶間穿隧效應，同時降低元件的暗計數。製作出十五顆元件，分別有著不同的設計參數，如不同的操作偏壓的井及是否含有光柵或是 deep n-well (DNW) 結構。量得崩潰電壓約在 10 V 與 15 V 附近，與模擬結果一致。量測並討論元件操作在低於崩潰電壓之下與之上的特性，側向式單光子偵測器有較高的響應及較快的暫態時間，並發現光柵對響應的提升沒有幫助。但元件操作在崩潰電壓之上的特性，側向式單光子偵測器的暗計數比垂直式來的高，與模擬預期的結果不符，我們懷疑較高的暗計數是源自於主動區中出現不想要的淺溝槽隔離 (Shallow Trench Isolation, STI)，由光學顯微鏡 (Optical Microscope, OM) 與掃描式電子顯微鏡 (Scanning Electron Microscope, SEM) 確認 STI 的存在。藉由 gated-mode 的量測，量得在不同超額偏壓的缺陷釋放載子時間 (de-trapping times)，並在足夠長的死亡時間 (dead times) 來避開 afterpulsing 的影響下，量得暗計數及 400 nm 的光偵側率 (photon detection efficiency, PDE) 與等效雜訊功率 (Noise-equivalent power, NEP)。

# Characteristic of Single-Photon Avalanche Diode with Vertical and Lateral Structures

Student: Zheng-ru Lee

Advisors: Dr. Sheng-Di Lin

Department of Electronics Engineering & Institute of Electronics Engineering

National Chiao Tung University

## Abstract

In this thesis, by using standard  $0.18\mu\text{m}$  CMOS process, we study the vertical and lateral single-photon avalanche diodes (SPADs). Simulation results show that the lower p-typed and n-typed doping concentration in lateral SPADs can reduce the band-to-band tunneling rate so as their dark count rate. Fifteen devices are fabricated with various parameters such as with/without grating, operation voltages, with/without deep n-well (DNW). The measured breakdown voltages of the vertical and the lateral device are about 10 V and 15 V, respectively, which is consistent with the simulated ones. The characteristics of the SPADs biased below and above the breakdown voltages are measured and discussed. The lateral structure has a higher responsivity and fast transient time, comparing with the vertical structure. It is also found that the grating above the device shows no improvement on its responsivity. For the devices performance above breakdown voltages, different from the simulation results, the dark count rate of the lateral structures is much higher than that of the vertical ones. We suspect that much higher dark count rates are caused by the unwanted shallow trench isolation (STI) in the active region, whose existence is observed with optical and secondary electron microscope. By using gated-mode measurement, we have obtained the de-trapping times of the STI-induced traps under various exceed biases. The dark count rates, photon detection efficiency (PDE) and noise equivalent power (NEP) at 400 nm are measured with long enough dead time to avoid afterpulsing effect.

# 致謝

兩年的研究生涯即將畫下句號，在這兩年研究路途上遭遇了許多大大小小的困難與阻礙，由於許多人的幫助，我才可以克服每一個關卡，完成這項研究。

在這兩年之中，最要感謝我的指導教授-林聖迪博士，感謝您的指導與紮實的訓練，使我從懵懂無知的大學生脫胎換骨變成可以獨立研究的碩士生；您清晰的思路像是一盞明燈，照亮我的研究路途，使我不必走太多的冤枉路；在與老師討論的過程中，學到在遭遇困難時，以多元的角度去思考及理解問題並將它一一擊破，這將會是我一生中最寶貴的經驗。接著要感謝國家高速網路及計算中心（NCHC）及國家晶片系統設計中心（CIC），提供 TCAD 軟體與晶片製作服務，使我的研究得以順利的進行。還要感謝光電所余佩慈教授，藉由他們提供的響應頻譜量測系統，使我的實驗結果可以更臻完善。

在實驗的架設上則要特別感謝戴嘉邑學長與巫朝陽學長，感謝兩位學長在量測設置的建立並傳承經驗，使我不必自行摸索太久便可上手。並謝謝、旭傑、岳民、柏存學長與依珊學姐在實驗上的協助及鼓勵。感謝跟我同屆的宏任、宗霖、偉程、銘修、孟穎、鄭濬、國璋、江智、竑霖、倍瑩，有你們的陪伴與鼓勵，使我兩年的研究生涯增添了許多色彩。書誠與方則學弟，感謝你們在量測的幫忙，預祝你們順利完成我未達成的目標。

最後，我要感謝我的家人以及三姑姑一家人，感謝我的父母辛苦的養育與支持，使我可以無後顧之憂去追求我的理想；感謝我敬愛的三姑姑一家，它提供了我溫暖的住所，並且為我打理生活中的大小事務，讓我可以專心地投入研究之中。而從中興電機一起進入交大的同學們，加油，你們一定都可以完成自己最初的理想，順利畢業的。最後的最後要非常的感謝我的女朋友名皓，他總是能在我低潮的時候，無所不用其極地去鼓勵我，使我可以轉變心境，去面對任何的阻礙與難關。在此，我要向每一位愛及關心我的人獻上萬分的感謝，謝謝你們。

# 目錄

中文摘要.....	I
英文摘要.....	II
致謝.....	III
目錄.....	IV
圖目錄.....	VII
表目錄.....	X
第一章、簡介.....	1
1.1 研究背景.....	1
1.2 論文架構.....	2
第二章、CMOS 單光子崩潰二極體.....	3
2.1 光偵測原理.....	3
2.2 單光子崩潰二極體基本特性.....	6
2.2.1 暗計數 (Dark counts).....	8
2.2.2 單光子偵測效率與雜訊等效功率.....	12
2.3 CMOS 單光子偵測器.....	13
2.4 CMOS 單光子偵測器設計考量.....	17
2.5 TCAD 元件模擬.....	17
2.5.1 Sentaurus 電性模擬.....	18
2.6 製程變異模擬.....	22
2.6.1 摻雜濃度變異模擬.....	22
2.6.2 摻雜濃度分佈變異模擬.....	23
2.7 EMW 光學模擬.....	26

2.7.1	吸收係數效應 .....	26
2.7.2	元件響應 (Responsivity) 模擬 .....	27
2.8	元件佈局與設計 .....	28
2.9	截止電路 (QUENCHING CIRCUIT) .....	32
2.9.1	Geiger-mode quenching circuit .....	32
2.9.2	Gated-mode.....	35
<b>第三章、LINEAR-MODE 量測結果 .....</b>		<b>37</b>
3.1	晶片佈局結果討論 .....	37
3.2	I-V 及 C-V 量測技巧與環境 .....	38
3.2.1	I-V 量測結果與討論.....	40
3.2.2	C-V 量測結果與討論.....	43
3.3	直流響應量測環境與結果 .....	45
3.3.1	直流響應量測結果與討論.....	45
3.4	響應頻譜量測環境與結果 .....	47
3.4.1	響應頻譜量測結果與討論.....	48
3.5	暫態響應量測環境與結果 .....	49
3.5.1	暫態響應量測結果與討論.....	50
<b>第四章、SPAD-MODE 量測結果.....</b>		<b>52</b>
4.1	PASSIVE-QUENCHING CIRCUIT 量測技巧與環境 .....	52
4.1.1	Passive-quenching circuit 量測結果與討論.....	54
4.2	SPAD 結構剖面圖 .....	56
4.3	GATED-MODE QUENCHING .....	57
4.3.1	Gated-mode 量測環境及技巧.....	57
4.3.2	Gated-mode dark count 量測結果與討論.....	59
4.3.3	Gated-mode PDE 量測結果與討論.....	62

第五章、結論與未來展望.....66

參考文獻.....68

簡歷(VITA).....71





## 圖目錄

圖 2-1、不同材料吸收係數與光波長之關係[5].....	4
圖 2-2、矽光偵測器入射光波長與吸收係數[4].....	4
圖 2-3、CMOS 光偵測器元件結構與入射光吸收之深度[4].....	5
圖 2-4、DIODE 操作在各種偏壓時的 DC 輸出曲線.....	6
圖 2-5、(A)單光子崩潰二極體元件結構[7]，(B)累增離子化效應[6].....	7
圖 2-6、SPAD 暫態 I-V 特性曲線圖.....	8
圖 2-7、熱產生載子能帶示意圖.....	9
圖 2-8、缺陷釋放載子能帶示意圖.....	10
圖 2-9、帶間穿隧產生載能帶示意圖.....	10
圖 2-10、摻雜濃度、費米能階與溫度關係[9].....	11
圖 2-11、摻雜濃度與暗計數關係[10].....	11
圖 2-12、極化係數與電場關係圖[7].....	12
圖 2-13、CMOS-P WELL GUARD-RING 單光子偵測器元件結構[13].....	14
圖 2-14、CMOS-STI 單光子偵測器元件結構[14].....	14
圖 2-15、CMOS 共容技術 VIRTUAL GUARD-RING 單光子偵測器元件結構[15].....	14
圖 2-16、STI 周圍有 P 型鈍化層的單光子偵測器[10].....	15
圖 2-17、退化型 DNW 的單光子偵測器[2].....	16
圖 2-18、浮接 P-WELL 單光子偵測器[3].....	16
圖 2-19、(A)垂直式與(B)側向式單光子崩潰二極體.....	17
圖 2-20、CMOS 單光子崩潰二極體模擬結構（剖面圖）.....	18
圖 2-21、CMOS 單光子崩潰二極體模擬結構（俯視圖）.....	19
圖 2-22、(A)電場分佈圖與(B)等深 0.5 MM 電場圖.....	20
圖 2-23、SPAD 元件模擬 I-V 特性曲線.....	20
圖 2-24、(A)垂直式結構界面間的 $G^{B2B}$ ，(B)側向式結構界面間的 $G^{B2B}$ ，(C,D)分別為(A,B)截面 $G^{B2B}$ 分佈圖.....	21

圖 2-25、摻雜濃度變化與 I-V 曲線關係圖.....	22
圖 2-26、N-WELL (A)與 P-WELL (B)濃度分佈變化圖.....	24
圖 2-27、不同波長下的鈍化層反射率.....	28
圖 2-28、DNW 對元件響應的影響.....	28
圖 2-29、SPAD 晶片設計流程圖.....	29
圖 2-30、SPAD 晶片佈局圖 ( $0.927 \times 0.619 \text{ MM}^2$ ).....	30
圖 2-31、被動式截止電路與 SPAD 等效電路模型.....	33
圖 2-32、崩潰電流與超額偏壓關係圖[7].....	34
圖 2-33、不同寄生電容下， $V_D$ 充電曲線[7].....	35
圖 2-34、GATED-MODE 電路設置.....	36
圖 3-1、晶片佈局照相圖.....	37
圖 3-2、SPAD 元件結構照相圖.....	38
圖 3-3、I-V 量測系統.....	39
圖 3-4、C-V 量測系統.....	39
圖 3-5、順向偏壓 I-V 曲線 (以 PD1 為例).....	40
圖 3-6、不同元件的理想因子.....	40
圖 3-7、逆向偏壓 I-V 曲線.....	41
圖 3-8、模擬不同井寬對崩潰電壓的 I-V 曲線.....	42
圖 3-9、不同晶片的崩潰電壓變異.....	42
圖 3-10、不同元件的內阻.....	43
圖 3-11、含 DNW 之不同結構的電容電壓曲線.....	44
圖 3-12、含 DNW 與不含 DNW 側向式 SPAD 電容電壓曲線.....	44
圖 3-13、直流響應量測系統.....	45
圖 3-14、雷射光源下直流響應.....	46
圖 3-15、LED 光源下直流響應.....	47
圖 3-16、響應頻譜量測系統.....	48

圖 3-17、三種元件架構的響應頻譜.....	49
圖 3-18、暫態響應量測系統.....	50
圖 3-19、垂直式單光子偵測器在不同逆向偏壓下的暫態響應.....	51
圖 3-20、側向式單光子偵測器在不同逆向偏壓下的暫態響應.....	51
圖 3-21、含 DNW LAYER 側向式單光子偵測器在不同逆向偏壓下暫態響應.....	51
圖 4-1、PQC 電路及探測訊號.....	53
圖 4-2、兩種 PCB 板.....	53
圖 4-3、PQC 量測系統.....	53
圖 4-4、PASSIVE QUENCHING 下的崩潰訊號.....	54
圖 4-5、PD03 在兩種 PCB 板下的寄生電容值.....	55
圖 4-6、(A)垂直結構與(B)側向結構的崩潰訊號.....	55
圖 4-7、垂直式 SPAD SEM 剖面圖.....	56
圖 4-8、側向式 SPAD SEM 剖面圖.....	57
圖 4-9、GATED-MODE 電路與脈衝設定.....	58
圖 4-10、GATED-MODE 量測系統.....	58
圖 4-11、GATED-MODE 下元件的崩潰訊號.....	59
圖 4-12、垂直式單光子偵測器的暗計數在不同超額偏壓下與死亡時間關係圖.....	60
圖 4-13、側向式單光子偵測器的暗計數在不同超額偏壓下與死亡時間關係圖.....	60
圖 4-14、(A)垂直式 SAPD 與(B)側向式 SAPD 的缺陷釋放時間與超額偏壓關係圖.....	61
圖 4-15、缺陷載子釋放的示意圖.....	62
圖 4-16、暗計數及光計數實際量測數據.....	63
圖 4-17、垂直式單光子偵測器在 400 nm 下的 PDE 與 NEP 及光柵對 PDE 的影響.....	64
圖 4-18、垂直式單光子偵測器在 780 nm 下的 PDE 與 NEP.....	64
圖 4-19、側向式單光子偵測器在 400 nm 下的暗計數及光計數實際量測數據.....	65

# 表目錄

表 2-1、各項元件參數設定.....	18
表 2-2、不同濃度下電場分佈圖.....	23
表 2-3、不同濃度分佈下電場分佈圖.....	25
表 2-4、矽晶圓在不同入射光波長下之強度與深度關係圖.....	27
表 2-5、偵測器標號與其設計規格.....	31
表 3-1、響應估算扣除金屬光柵的影響下與量測值比較.....	47



# 第一章、簡介

## 1.1 研究背景

近年來人們對於量子密碼 (Quantum Cryptography)、時間解析的光激光量測 (Time Resolved Photoluminescence)、3D 影像處理，生命科學及天文探測方面的應用需求，龐大的需求促使影像技術的提升，而擁有高偵測度與快速響應的單光子偵測器隨著蓬勃發展。

早期關於單光子偵測器方面的研究，著重於光電倍增管 (Photomultiplier Tube)，然而光電倍增管需要龐大的體積以及高的操作電壓 (~1700 V Hamamatsu)，且真空管既昂貴又易碎，隨著微型化與輕量化的潮流，勢必要將光電倍增管取代掉。近年來隨著積體電路製程 (Integrated circuit process) 技術的不斷進步，(CCD) 與 (APS) 亦朝著提升偵測速度及靈敏度的目標邁進，但在微量光子計算上，CCD 在吸收光之後，電荷從 CCD 中釋放的時間過長 (~2 ms)，使得重複速度的提升遭遇瓶頸。或是必須操作在極低溫及高度最佳化下的周邊電路，來避免雜訊過大導致無法偵測。此外量子點也可用於偵測單光子，但目前仍停留在學術研究階段，因為量子點本身的面積太小而導致探測光的難度增加，偵測效率大約只有 1%，且同樣的因為面積過小的問題大大增加了讀取訊號的困難度。

相較之下，採用 CMOS 單光子崩潰二極體有著小體積[1]、低的工作電壓，低功率消耗、高耐用性、及與外部電路整合成單一晶片的優勢，近年來發展備受關注，尤其是在製作影像用 2D 陣列上，進展尤其快速，現今的單光子崩潰二極體偵測器，朝著提升速度、減少雜訊、以及應用上的發展。目前已經有人使用 deep retrogradeN-well [2]及浮接式 P-well[3]成功製作出低暗計數 (dark count, ~20 Hz) 高偵測率 (detectivity, ~25%) 的單光子崩潰二極體，然而所使用並非標準製程，使得他們在製作上的成本勢必會增加且製程步驟相對複雜，造成良率下滑；對於應用上，以陣列式製作出 2D 和 3D 影像偵測器之面積受製程良率影響，若能藉由低成本且高良率 CMOS 標準製程，提升矽單光

子偵測器的偵測率，對於其在大面積影像與其他應用上的發展必有助益。

## 1.2 論文架構

本論文由五個章節架構而成。第二章將介紹光偵測基本原理，並探討材料吸收係數造成的影響，接著討論二極體累增崩潰基本理論、操作特性及單光子偵測器主要參數，最後切入本篇論文重點，CMOS 單光子偵測器，比較製程間差異及元件結構所造成的影響，並利用 Sentaurus-TCAD 元件模擬軟體進行元件模型的建立與製程變異預測，並模擬二極體在入射雷射光後的特性，最後計算元件與外部電路連接，完成元件的佈局與設計。第三章及第四章分別講述二極體在不同操作區域以及量測模式下的量測方法及環境，並討論實驗的量測結果。第五章為結論與未來展望。



## 第二章、CMOS 單光子崩潰二極體

材料吸收係數的差異，決定光偵測器的使用波段。然而，設計一個兼具高響應與低雜訊的光偵測器必須在元件結構、製程難易度做取捨。在本章中將就光偵測基本原理，探討材料吸收係數造成的影響，並討論二極體累增崩潰基本理論、操作特性及單光子偵測主要參數。最後就本篇論文的重點，CMOS 單光子偵測器，從元件的設計，到元件模擬及外部電路的搭配，做深入的探討與比較。

### 2.1 光偵測原理

能將光能量轉換成電能量的半導體感測器，稱之為半導體光偵測器。而在光轉電的過程之中，難免會有所損耗，因此，如何有效地減少耗損，即為設計光偵測器的主要課題。主要有四個因素影響著最後的光偵測效能：

(1)光穿透率，(2)材料吸收，(3)量子效率，(4)電荷傳輸效率。[4]

(1)光穿透率即為光在入射後至偵測器結構吸收前因為材料折射率不同造成的表面反射。

一般來說，反射率皆可經由表面鍍上抗反射層（anti-reflection-coating）達到相當程度的減少，然而此結構無法於 CMOS 標準製程中達成。

(2)當光進入光偵測器後，需在光能量大於材料能隙（bandgap）的條件下，處於價帶的電子將躍升至傳導帶產生電子電洞對，決定電子電洞對數量的因子便為材料吸收係數  $\alpha$ （absorption coefficient）其倒數定義為入射深度（penetration depth）。此外由於吸收係數的影響，入射光的強度會隨著入射深度成指數的衰減， $I \propto e^{-\alpha x}$ ，對特定波長而言，吸收係數為一定值，如圖 2-1 所示。

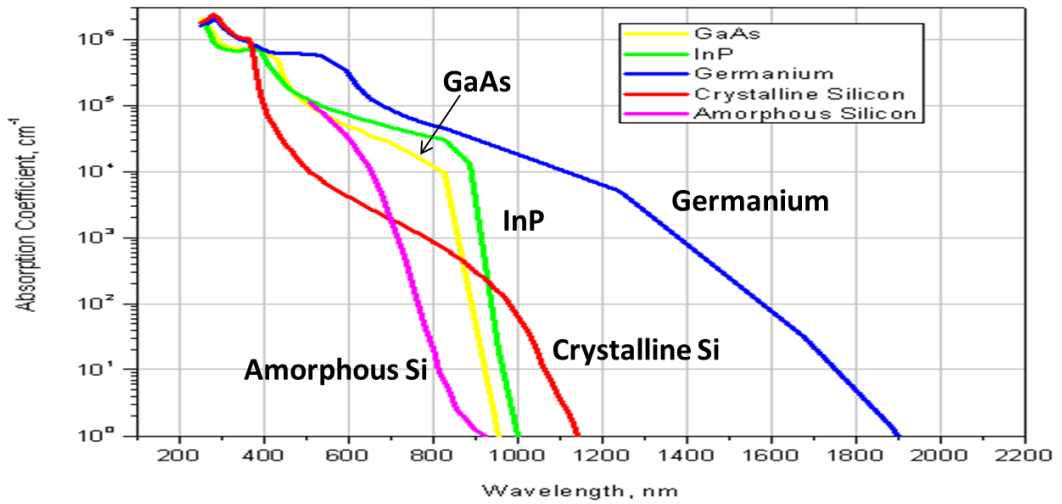


圖 2-1、不同材料吸收係數與光波長之關係[5]

而對 CMOS 製程而言，矽的吸收係數可由公式(2-1)近似( $\lambda$  為入射光波長( $\mu\text{m}$ ))，而得到圖 2-2 之相對關係。圖中我們可以了解，矽吸收係數隨著波長減少呈指數增加，在入射光大於  $0.95 \mu\text{m}$  時因吸收過低而無法產生載子，小於  $0.4 \mu\text{m}$  因大量載子產生過於靠近表面而使表面復合率相當高。因此，CMOS 光偵測器操作範圍約在  $0.4\text{-}0.85 \mu\text{m}$ 。

$$\alpha = 10^{13.2131 - 36.7985\lambda + 48.1893\lambda^2 - 22.5562\lambda^3} \text{ 1/[cm]} , \quad (2-1)$$

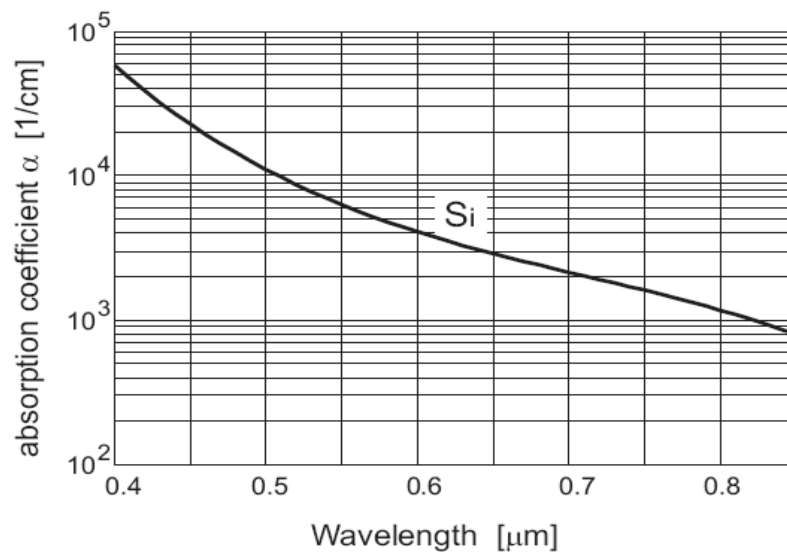


圖 2-2、矽光偵測器入射光波長與吸收係數[4]



- (3) 量子效率 (quantum efficiency,  $\eta_{ph}$ ) 定義為平均每吸收一個光子可激發電子電洞對的數量。理想上一顆光子可產生一組電子電洞對。
- (4) 電荷收集效率 (charge collection efficiency) 決定了光偵測器的速度與響應率。為使光偵測器有最好的特性,若能使大部分光子在空乏區內吸收,利用較快的飄移(drift)機制傳輸少數載子,避免少數載子在通過空乏區前復合,就能達到高速度、高響應的效果。在空乏區外的載子則由較慢的擴散(diffusion)機制傳輸,光電流即為此兩種機制收集到的載子總和。然而緩慢的擴散載子在暫態響應上產生的尾狀響應(tail response),限制了光偵測器的速度,距離空乏區過遠的吸收甚至無法貢獻響應率。因此,在圖 2-3 中顯示 CMOS 光偵測器元件結構與入射光吸收之深度,並可發現波長為 400 nm 在深度大於 0.5  $\mu\text{m}$  時以幾乎完全被吸收,而 850 nm 在大於 10  $\mu\text{m}$  時仍有一半的光未被吸收。

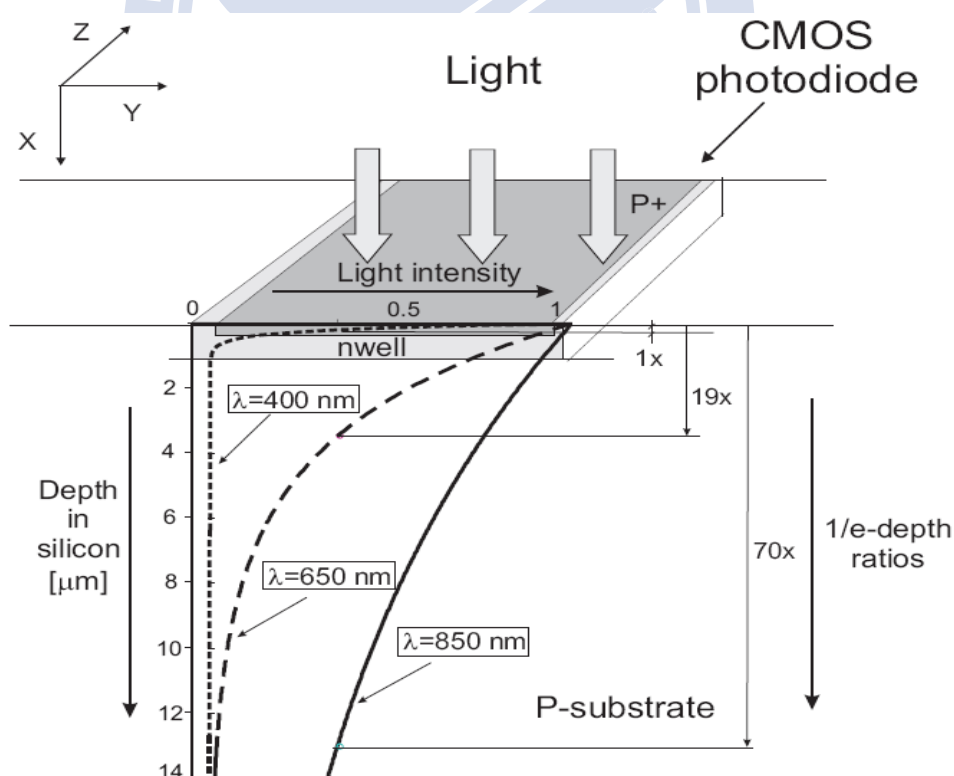


圖 2-3、CMOS 光偵測器元件結構與入射光吸收之深度[4]

最後，根據以上四個主要因素，我們定義兩個重要的參數[6]：

$$\eta_{ph} = \frac{I_{ph}/q}{P_{inc}/h\nu} = \frac{\text{Number of induced electrons}}{\text{Number of photons}}, \quad (2-2)$$

$$R(\text{Responsivity}) = \frac{I_{ph}}{P_{inc}} = \frac{\eta_{ph}e}{h\nu} = \frac{\text{Photocurrent}}{\text{Incident power}}, \quad (2-3)$$

響應率（Responsivity）代表每單位入射光能量所能產生的電流比例。

## 2.2 單光子崩潰二極體基本特性

一般二極體的操作電壓因應用的不同大致分成三種不同的操作區，分別為 solar cell 區、photodiode 區與 avalanche 區（圖 2-4）。光偵測器通常使用後兩區，而兩區間差異可以用其增益係數來區別，photodiode 的增益係數為 1，而 avalanche 區的增益係數通常大於 1，介於 10-100 之間，然而，單光子崩潰二極體偵測器運作時，有別於傳統光偵測器操作在 Photodiode 區，或是一般光崩潰二極體操作在低於崩潰電壓（約 1~2 V）的 Avalanche 區，而是操作在高於元件崩潰電壓（約 0.2~2 V）區域。[7]

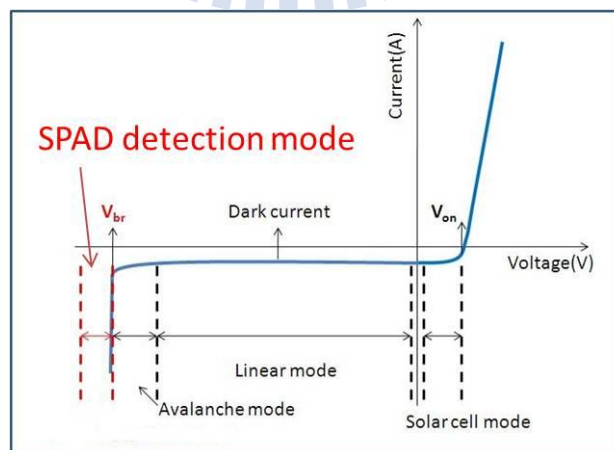


圖 2-4、Diode 操作在各種偏壓時的 DC 輸出曲線

單光子崩潰二極體的基本架構（圖 2-5(a)），在主動區（active region）加上高負偏壓，此時主動區 PN 接面形成空乏區並同時承受很大的電場，即為 SPAD 特有的累增層（avalanche region），當光進入偵測器且被吸收層吸收產生光載子，即被內建電場掃進累增層中，累增層內部的大電位差會對載子加速且同時增加載子所具有的能量，當載子能量超過活化能（Activation Energy）時，便會藉由碰撞而產生新的電子電洞對，此程序持續的進行下便會形成所謂的累增離子化效應（圖 2-5(b)），在此效應下，當一個電子進入偵測器的累增層後，會產生大量的電子輸出，於是可知此層使單光子偵測器具有內部增益存在。

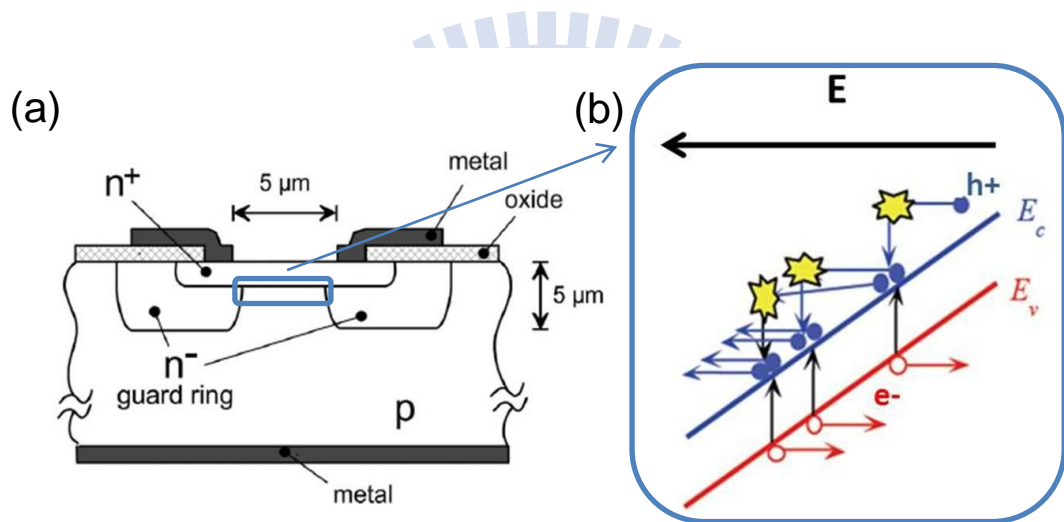


圖 2-5、(a)單光子崩潰二極體元件結構[7]，(b)累增離子化效應[6]

與 avalanche photodiode 不同的是，對於單光子偵測器來說，在偵測光子時利用的是高於崩潰電壓的暫態特性，當偵測器操作在高於崩潰電壓時，會具有的兩種暫態 I-V 特性（圖 2-6），ON 曲線代表著操作在崩潰電壓之上且有發生崩潰電流，而 OFF 曲線代表著操作在崩潰電壓之上但沒有發生崩潰效應時所代表的 I-V 特性，此一 OFF 特性曲線是在直流的量測結果中不會發現的。當元件電壓高於崩潰電壓的瞬間，需要一段時間（約數 ns 至數  $\mu$ s）產生崩潰電流，如果光子在此期間進入元件產生光電流，就會造成元件崩潰而據以判定已偵測到光子。

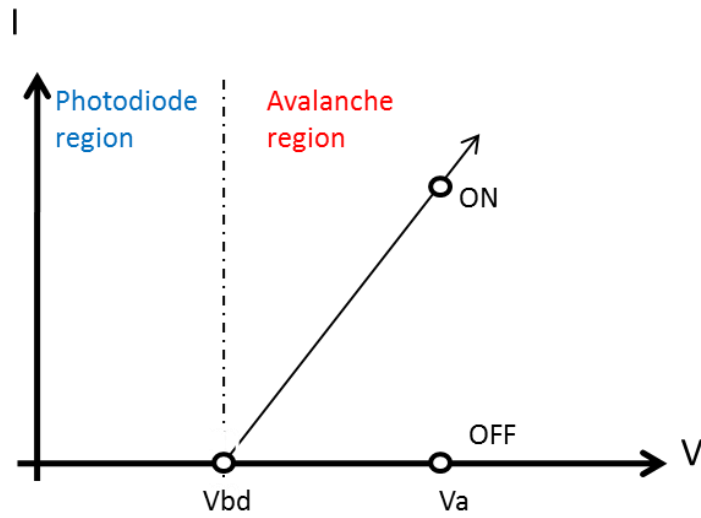


圖 2-6、SPAD 暫態 I-V 特性曲線圖

簡述完光偵測基本原理並釐清單光子崩潰二極體在 DC 與暫態下有著不同的操作特性後，接下來將針對決定單光子偵測器特性好壞的主要參數分別做介紹，進一步了解單光子偵測器操作時的物理特性。

### 2.2.1 暗計數 (Dark counts)

元件運作時，使用計數器來記錄元件偵測光子的事件，理想上，元件崩潰由光載子觸發崩潰，並由計數器記錄此事件，事實上不然，非光子產生載子，仍有機會穿越元件放大區並觸發崩潰機制，使得元件發生錯誤偵測的現象，將所有非光載子所觸發的崩潰計數統稱為暗計數。非光子產生的載子，主要有三個來源：

(1)熱產生載子，(2) 缺陷釋放 (trap release) 載子，(3) 帶間穿隧產生載子。[7,8]

#### (1) 熱產生載子 (圖 2-7)

顧名思義，載子由熱能產生，產生機制為處於價帶 (valance band, VB) 的載子，藉由熱能躍遷至導帶 (conduction band, CB)，如同在能帶中間，有一載子產生及結合

中心，產生電子於導帶，電洞於價帶，此機制通稱為 Shockley-Read-Hall。改善方法可透過降溫（ $\sim -5\text{ }^{\circ}\text{C}$ ）來減少熱產生載子產生。

$$R^{\text{SRH}} = \frac{n \cdot p - n_i^2}{\tau_p(n+n_1) + \tau_n(p+p_1)}, n_i^2 = n_1 \cdot p_1, \quad (2-4)$$

$$n_1 = N_C \exp\left[\frac{-(E_C - E_{GR})}{kT}\right], p_1 = N_V \exp\left[\frac{-(E_{GR} - E_V)}{kT}\right], \quad (2-5)$$

其中， $n(p)$ 為電子(電洞)濃度； $n_1(p_1)$ 為平衡時電子(電洞)濃度； $\tau_n(\tau_p)$ 為電子(電洞)生命週期； $N_C(N_V)$ 為導帶(價帶)能態密度； $E_C(E_V)$ 為導帶(價帶)能量； $E_{GR}$ 為載子產生及結合中心能量。

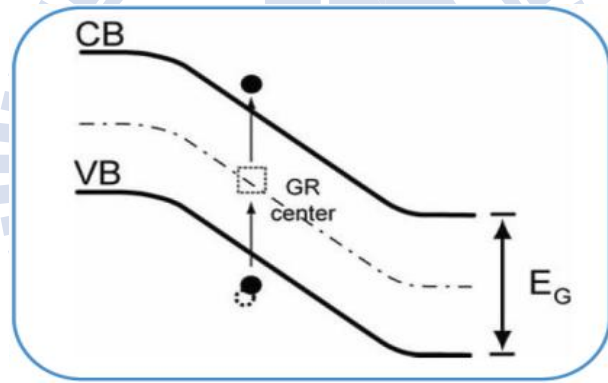


圖 2-7、熱產生載子能帶示意圖

(2) 缺陷釋放載子（圖 2-8）

在主動區內的缺陷（defect），在元件崩潰時，會大量載子流經主動區，此時，會有部分載子掉入缺陷之中，在經過一段時間後會將載子釋放，並且引發下次非光觸發的崩潰，此現象稱為 afterpulsing。因此，缺陷釋放載子時間的長短會決定元件的操作速度。而在 CMOS 標準製程中，由於製程純熟，缺陷(defect)數量較少，afterpulsing 效應不明顯。改善方法可由延長元件處於崩潰電壓之下的時間，即死亡時間，使死亡時間大於缺陷釋放載子時間。

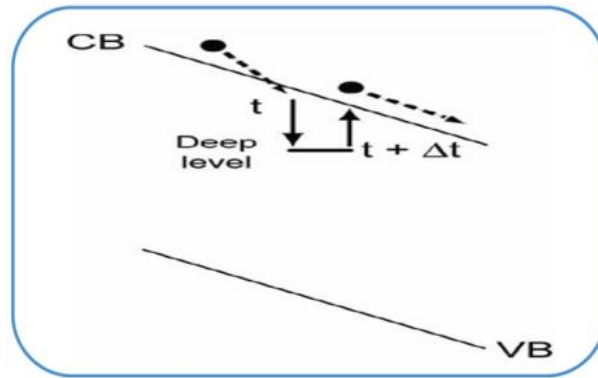


圖 2-8、缺陷釋放載子能帶示意圖

(3) 帶間穿隧產生載子 (band-to-band tunneling generation, 圖 2-9)

產生源由為元件操作在崩潰電壓之上，在界面形成大電場，從能帶圖來看，即是在界面能帶彎曲，使得 VB 與 CB 在等能量下重疊，使電子不需透過能帶躍遷，直接從價電帶穿隧至導電帶，而形成導通電流，改善方法可由降低操作偏壓、採用大能隙 ( $E_G$ ) 材料來製作元件或是降低摻雜濃度。

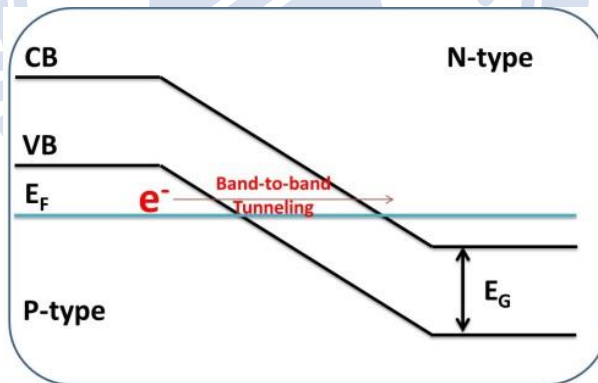


圖 2-9、帶間穿隧產生載能帶示意圖

由於 CMOS 製程遵守摩爾定律 (Moore's law)，以每兩年減少一半晶片面積持續地往低維度微縮，在微縮的過程中為了維持良好元件特性，通常會增加摻雜濃度來提升驅動電流，然而高摻雜濃度也使得元件崩潰電壓持續下降及 PN junction 間穿隧效應日趨明顯，當元件摻雜濃度達到一定濃度則元件崩潰將由穿隧效應取代累增離子化效應主導崩潰機制。而現今單光子偵測器，操作於崩潰電壓之上，此時崩潰機制將會被穿隧效應

(band-to-band tunneling) 主導。

在不改變偏壓及材料的條件下，若能在大偏壓下使價電帶與導電帶在等能量下沒有重疊，將可以免除穿隧效應，從元件物理可知，降低濃度可使費米能階 (Fermi level  $E_F$ ) 往能隙中央移動 (圖 2-10)，在形成 PN junction 後，N-type 與 P-type 費米能階差小，減少在大偏壓下能帶重疊，因此，此次的設計核心為利用降低 PN 濃度來降低介面間的 band-to-band tunneling generation 達到減少暗計數 (圖 2-11)。

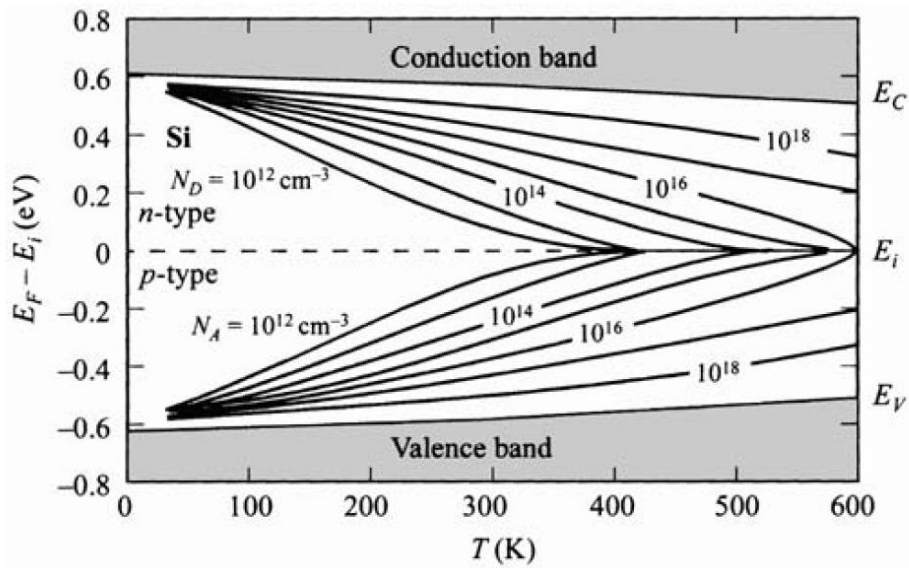


圖 2-10、摻雜濃度、費米能階與溫度關係[9]

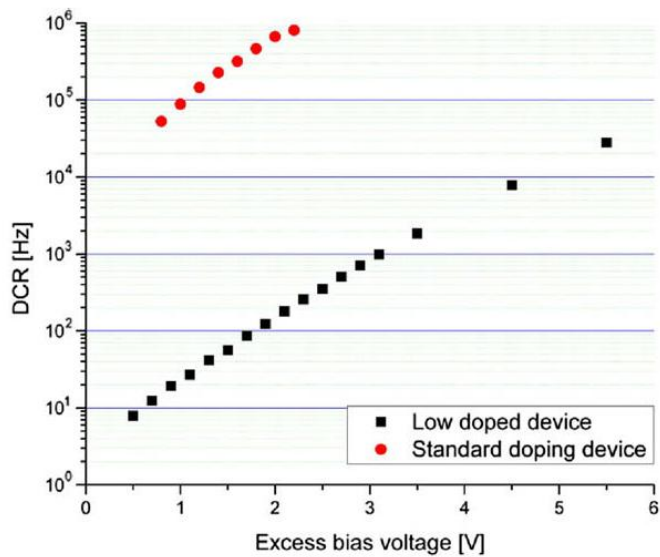


圖 2-11、摻雜濃度與暗計數關係[10]

綜合以上三點，現今的暗計數主要來自於帶間穿隧效應，透過降低主動區的摻雜濃度可減少帶間穿隧效應，然而，在標準 CMOS 製程下，我們能用的井 (well) 有限，且須考慮元件的崩潰位置，因此利用有限的井，做出適當搭配且最佳的崩潰區域是我們這次研究的主要課題。

## 2.2.2 單光子偵測效率與雜訊等效功率

在 2.1 節中提及的量子效率代表平均每入射一顆光子可產生多少電子電洞對被收集到的機率，然而單光子崩潰二極體操作在崩潰區以上時，代表光偵測能力的指標須將量子效率再乘上觸發機率 (trigger probability) 所組成。觸發機率代表光產生的電子電洞對在進入高電場的累增層後有多少的機率可以產生可自我維持的累增崩潰機制[11]。影響觸發機率的因子便是材料游離係數 (ionization coefficient)。 $\alpha$ 、 $\beta$  各代表著電子及電洞每單位距離下可產生多少新的電子電洞對，倒數則代表每產生一個新的電子電洞對，電子及電洞各所需要的平均自由路徑如圖 2-12 所示。

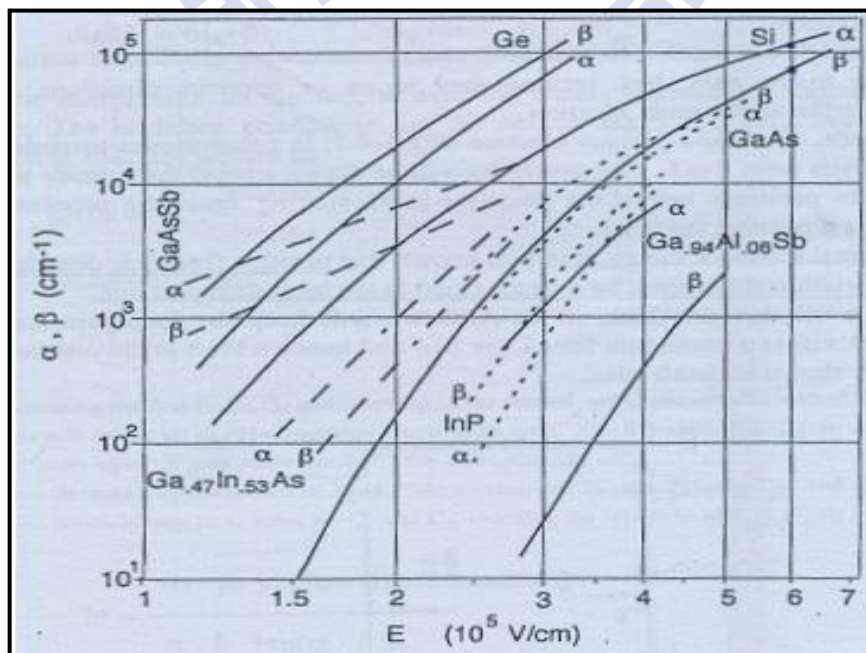


圖 2-12、極化係數與電場關係圖[7]



最後我們定義單光子偵測效率為每入射一顆光子是否可產生累增崩潰電流並由計數器量測到的機率 (2-6)，其中  $\eta_{QE}$  為量子效率， $\eta_{Trig}$  為觸發機率。

$$PDE = \eta_{QE} \cdot \eta_{Trig} = \frac{\text{Count}_{\text{signal}} \cdot h\nu \cdot e}{P_{\text{incident}}} \times 100\%, \quad (2-6)$$

有了 Dark count 與 PDE 兩個元件參數後，便可得出元件的雜訊等效功率 (NEP) [12]，定義為：

$$NEP = \frac{h\nu \cdot e}{PDE} \sqrt{2N_D}, \quad (2-7)$$

其中，PDE 為單光子偵測效率； $N_D$  是暗計數； $h$  是普朗克常數； $\nu$  是光的頻率。從 NEP 值可以判斷單光子偵測的敏感度，NEP 越小，偵測器越敏感。

## 2.3 CMOS 單光子偵測器

單光子崩潰二極體發展至今，依材料吸收係數的差異，使用 InGaAs/InP 等材料製成的單光子崩潰二極體來偵測 1.3  $\mu\text{m}$  與 1.55  $\mu\text{m}$  等通訊波段的光源，採用矽材質製作的單光子崩潰二極體則是用於偵測可見光波段的光源，InGaAs/InP 單光子偵測器雖有相當高的偵測率，但無法與外部電路整合及材料內部的缺陷多，一直是兩大問題。相比之下，採用成熟 CMOS 技術製作出的矽單光子偵測器，可輕易的與外部電路整合成單一晶片，加上成熟的工藝技術，元件內部缺陷不多，因而矽單光子偵測器近年來發展備受關注。

矽質單光子偵測器在操作時皆需要維持著均勻的大電場，並且避免接面的角落有著較窄的空乏區形成較高的峰值電場而導致崩潰區域集中在邊緣，此效應導致元件的提前崩潰，崩潰機制不再由主要偵測區主導而是由接面的邊緣效應所控制。Guard-ring 的設計便是消除角落峰值電場的功用，從簡單的 P-well guard-ring (圖 2-13) [13]、STI guard-ring (圖 2-14) 及共容技術中的虛擬 guard-ring (圖 2-15)，皆可降低元件角落電

場的大小。

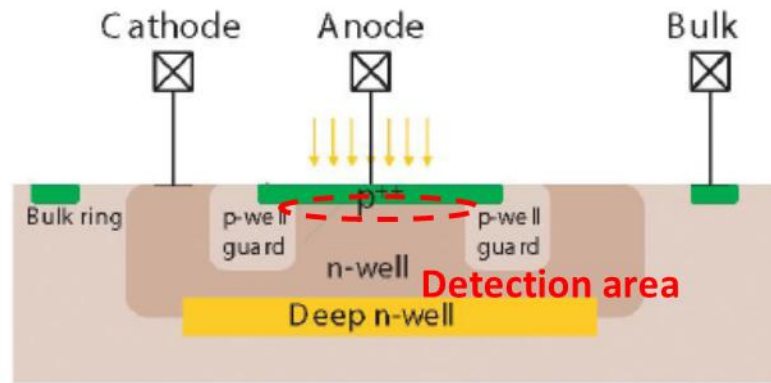


圖 2-13、CMOS-P well guard-ring 單光子偵測器元件結構[13]

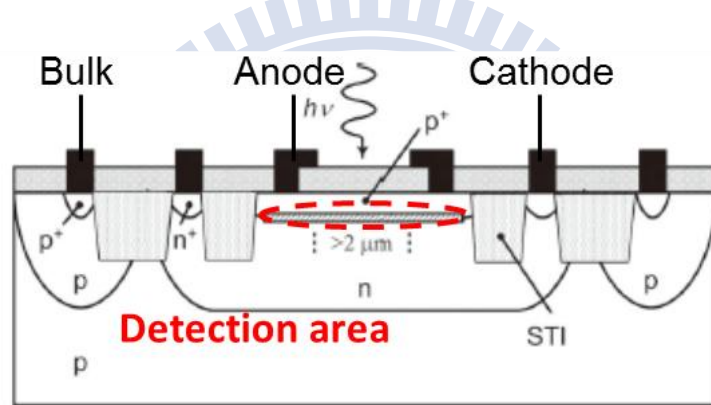


圖 2-14、CMOS-STI 單光子偵測器元件結構[14]

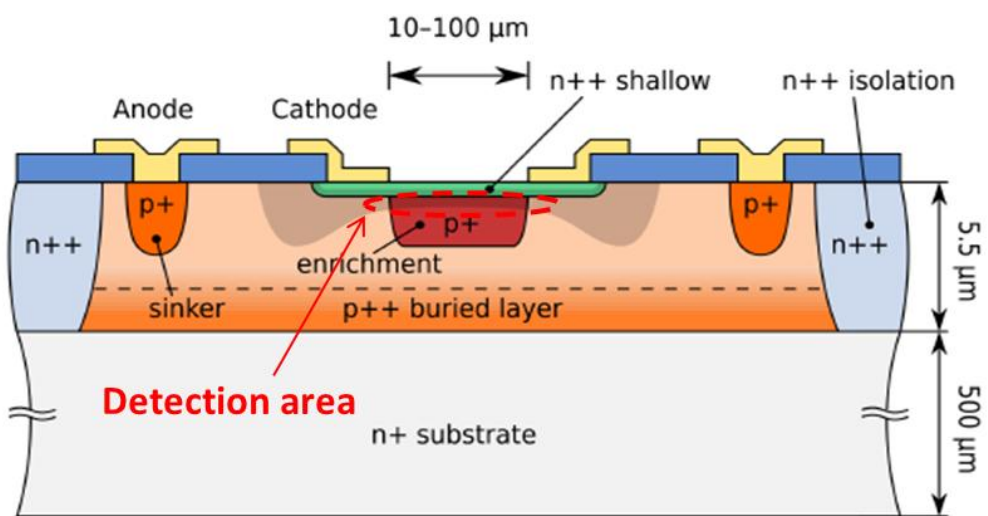


圖 2-15、CMOS 相容技術 Virtual guard-ring 單光子偵測器元件結構[15]

然而，為減少帶間穿隧而採用低濃度的井，又需同時兼具 guard-ring 的效果，使崩潰區域集中於偵測區之內是目前單光子偵測器的最大課題。近年來有人提出在 STI 周圍佈值鈍化層[10]、退化型 DNW (deep Retrograde N-well) [2]及浮接 P-well [3]等方式來達成低暗計數與避免角落崩潰的目標。

以 STI 作為 guard-ring 的單光子偵測器(圖 2-16)，有高速與高填充係數(fill-factor)的優點，然而 STI 會在 SiO<sub>2</sub> 與 Si 介面上會形成許多的缺陷，而這些缺陷會提高元件的 afterpulsing，使得暗計數居高不下。因此，愛丁堡研究團隊提出在 Si 與 STI 的接面上製作一層 P 型鈍化層[10]，來防止 afterpulsing，同時降低 N-well 的摻雜濃度，來降低帶間穿隧效應，達到低暗計數的目標。然而，製作 P 型鈍化層與調變 N-well 濃度，這些在標準製程之中，沒有製作 P 型鈍化層這道製程，且調整摻雜濃度是不被允許的。

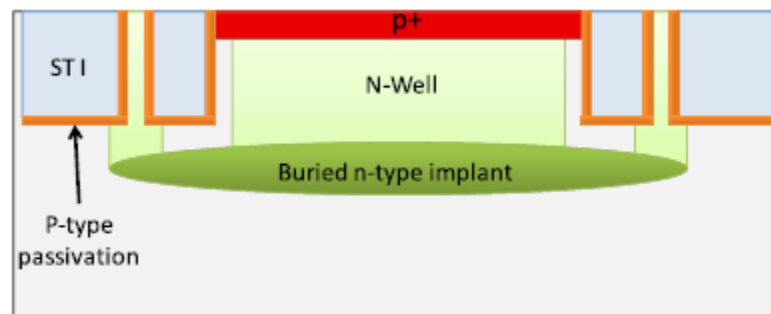


圖 2-16、STI 周圍有 P 型鈍化層的單光子偵測器[10]

Deep Retrograde N-well SPAD(圖 2-17)，採用 P-well/DNW 接面取代傳統 P+/N-well 接面作為主動區，而 guard-ring 部分，利用 DNW 在離子佈植之後的熱退火製程，使 DNW 的摻雜濃度形成底部濃度高，表面濃度低的高斯分佈，使主動區集中於 P-well 底部，避免邊緣崩潰。但這樣的過程需要做最佳化的處理，才可以避免元件的角落崩潰效應。在標準製程之下，我們無法得知 DNW 的濃度分佈是否為我們所需要的，也無法改變之，因此這個做法在標準製程中亦不可行。

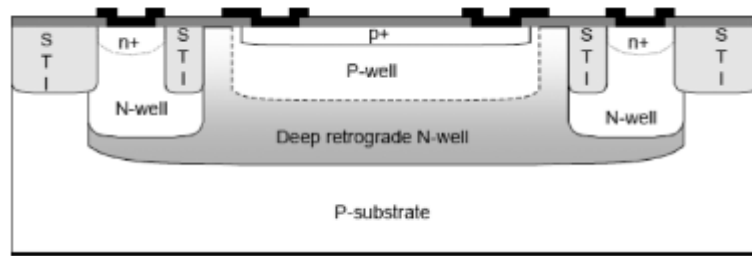


圖 2-17、退化型 DNW 的單光子偵測器[2]

浮接 P-well 的單光子偵測器（圖 2-18），同樣採用濃度較低的 P-well/DNW 界面作為主動區，並且在距主動區外圍適當距離下製作浮接的 P-well，隨著主動區的偏壓上升，主動區與浮接 P-well 之間的 N-well 被空乏形成空乏區之後，會如同電容一般，部分電壓耦合至浮接 P-well，而使得在主動區周圍的電場下降，無法觸發崩潰，透過以上機制來避免元件的邊緣效應，達到 guard-ring 的目的。而主動區與浮接 P-well 的距離同樣需要最佳化，太近會使得浮接 P-well 邊緣電場過大，造成崩潰區域在浮接 P-well 上，浮接 P-well 太遠則無法發揮 guard-ring 的作用。而在 0.18  $\mu\text{m}$  標準製程下，受限於設計規範（design rule），兩個 P-well 之間最小間距為 0.86  $\mu\text{m}$ ，而在這樣的規範之下，依據模擬的結果，浮接 P-well 無法發揮 guard-ring 的作用。

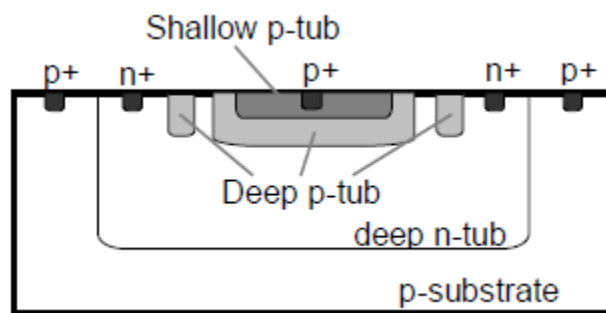


圖 2-18、浮接 P-well 單光子偵測器[3]

## 2.4 CMOS 單光子偵測器設計考量

從前節中得知，在元件結構的設計考量上最重要的關鍵就是在 Guard-ring 的設計，唯有良好的 Guard-ring 設計，元件才可以有均勻且大電場區域來偵測光子，然而要同時達到低暗計數及良好的 Guard-ring 設計融入標準製程之中是一大挑戰。而先前的研究團隊所提出的方法，皆因標準製程的種種限制而無法實行，因此我們逆向思考，捨棄 Guard-ring 並使用 N-well 及 P-well 相鄰，在相鄰界面形成側向內建電場，使得角落崩潰轉變成邊緣崩潰，如此一來便將原有的主動區修改成 P-well/N-well 界面，達到降低主動區摻雜濃度，並將這種結構的單光子偵測器稱為側向式單光子偵測器 (Lateral SPAD, 圖 2-19(b))，依其電場方向，將傳統的單光子偵測器統稱為垂直式單光子偵測器 (Vertical SPAD, 圖 2-19(a))。

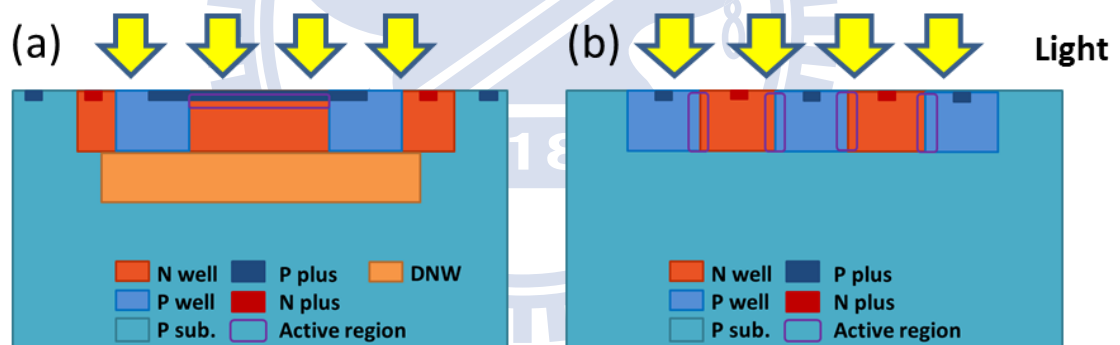


圖 2-19、(a)垂直式與(b)側向式單光子崩潰二極體

## 2.5 TCAD 元件模擬

在確定元件結構之後，便可以開始一連串的電性模擬，而在開始模擬之前，在模擬與元件的參數上取自 CIC 提供的技術文件、參考論文[16]以及模擬已知的結構來與實驗數據媒合，其中，我們假設兩種 plus 與兩種 well 濃度相同且設定 plus 區域濃度為  $1e19 \text{ cm}^{-3}$ ，最後得出參數如表 2-1。

	Doping concentration	Depth	Reference
P <sup>+</sup> /N <sup>+</sup>	1e19 cm <sup>-3</sup>	0.15 μm(1)	CIC reply
PW/NW	1.7e17 cm <sup>-3</sup>	0.8 μm(2)	paper[16]
DNW	1e17 cm <sup>-3</sup>	3 μm(1,2)	CIC reply paper[16]
Psub	9e16 cm <sup>-3</sup>	-	-

表 2-1、各項元件參數設定

接下來我們使用 Technology Computer Aided Design (TCAD) 模擬軟體，完成元件電性上的各項模擬及元件照光後光性上的計算，最後探討在 geiger-mode 與 gated-mode 操作下所需的 Quenching 電路的運作機制。

### 2.5.1 Sentaurus 電性模擬

我們使用結構如圖 2-20 與圖 2-21 所示。以相鄰的 P-well/N-well 作為主要偵測界面，也就是崩潰放大區，並且利用第四成金屬層定義元件偵測面積為 20 μm。

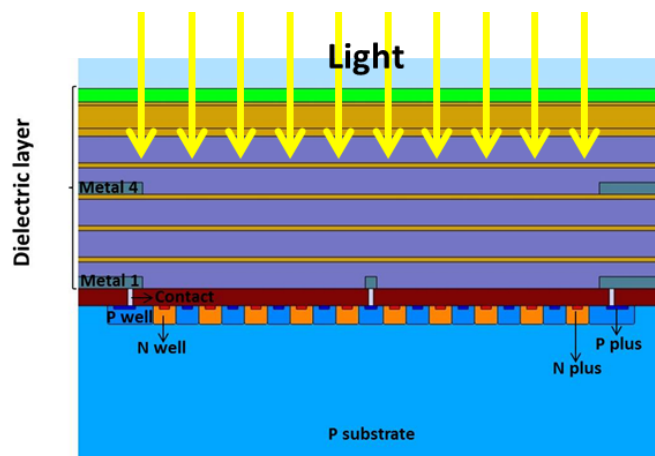


圖 2-20、CMOS 單光子崩潰二極體模擬結構 (剖面圖)

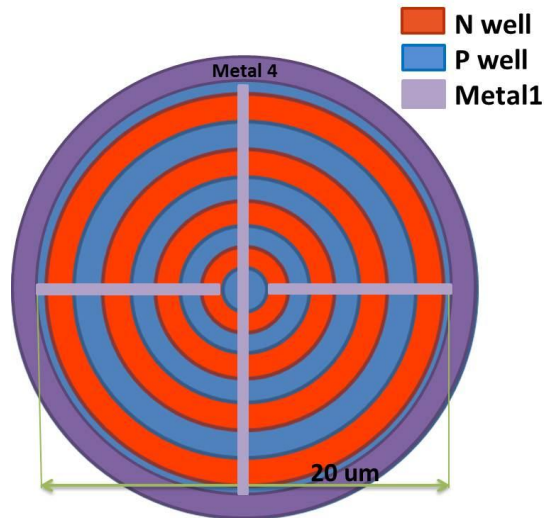


圖 2-21、CMOS 單光子崩潰二極體模擬結構（俯視圖）

圖 2-22(a)為電場分佈圖，從圖中可知電場最強區域（紅色部分）集中於井的兩側，也就是我們設定的主動區域，而在模擬的過程之中發現，若是井寬太窄，作為歐姆接觸（ohmic contact）之用的 plus 區域，會因兩相鄰 plus 之間電場過強而引發元件提前崩潰，因此，在井寬的設定上須先做最佳化的模擬。由模擬計算出的 I-V 特性曲線中如圖 2-23 所示，我們預估崩潰電壓介於-14~-15V 中間，暗電流值約 pA 左右。

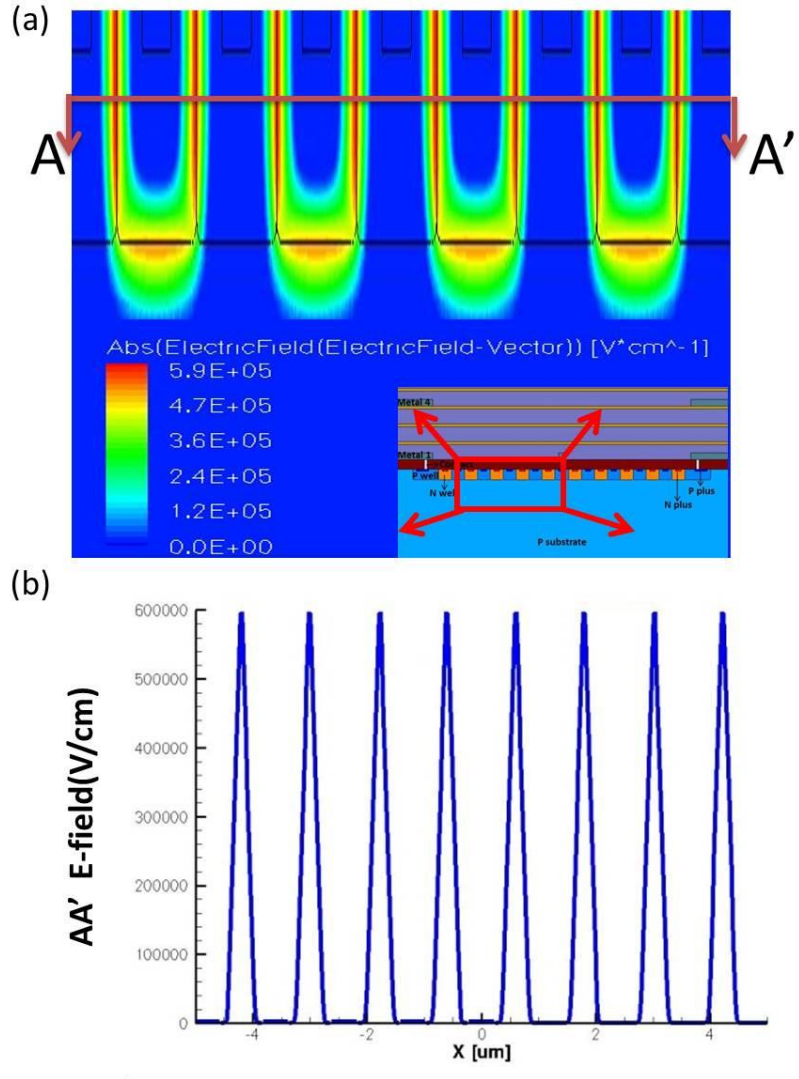


圖 2-22、(a)電場分佈圖與(b)等深  $0.5 \mu\text{m}$  電場圖

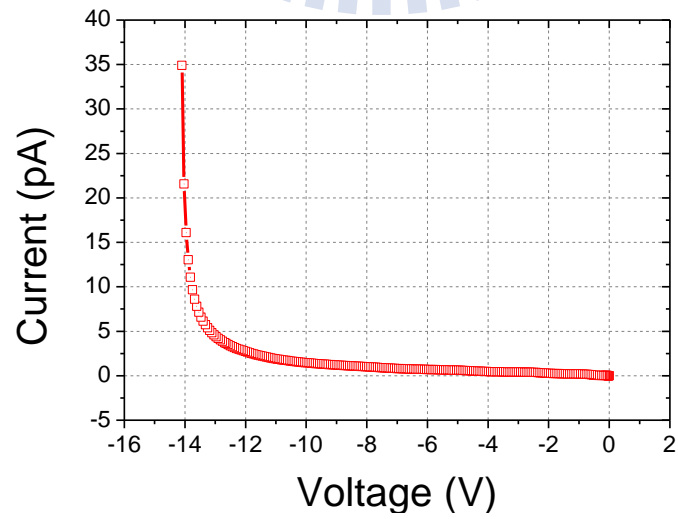


圖 2-23、SPAD 元件模擬 I-V 特性曲線



接著，比較側向式與垂直式兩種元件接面間的帶間載子產生率（Band-to-band generation rate  $G^{B2B}$ ）的差異（圖 2-24(a,b)），以元件在 0.9 倍的崩潰電壓下，作為兩者的比較基準，從中接面剖面圖中（圖 2-24(c,d)），可見側向式結構的  $G^{B2B}$  比垂直式少了四個數量級，因此驗證了降低主動區濃度，可以大大的減低  $G^{B2B}$ 。

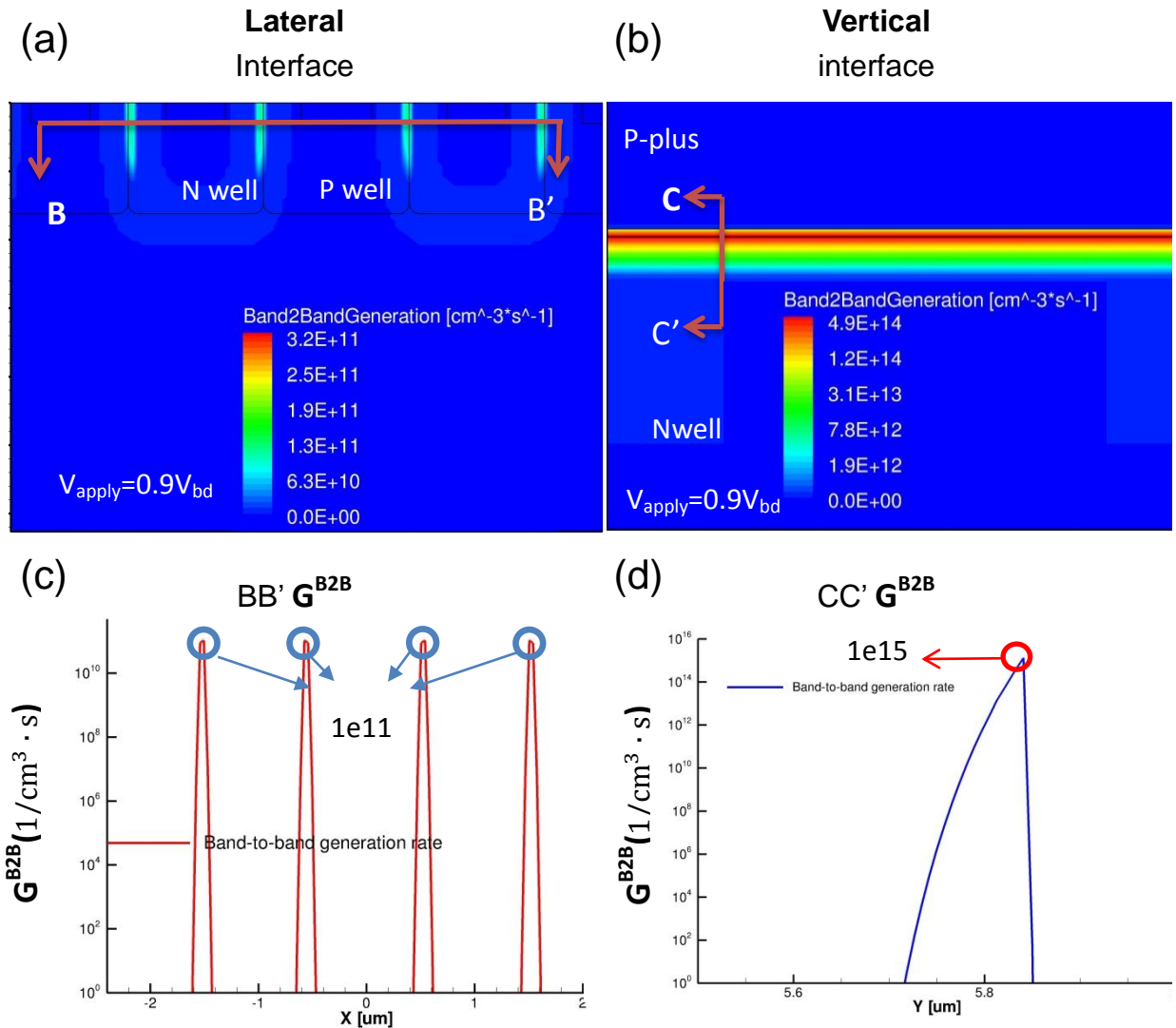


圖 2-24、(a)垂直式結構接面間的  $G^{B2B}$ ，(b)側向式結構接面間的  $G^{B2B}$ ，(c,d)分別為(a,b)

截面  $G^{B2B}$  分佈圖

## 2.6 製程變異模擬

接下來考慮 CMOS 標準製程下可能的製程變異，利用元件模擬推估可能對元件造成的影響。首先針對摻雜濃度對元件的影響，接著確認元件在不同接面深度下都能維持電場的均勻度。

### 2.6.1 摻雜濃度變異模擬

元件的摻雜濃度，影響著單光子崩潰二極體的崩潰機制。若我們改變其中一個井的摻雜濃度 ( $2e17 \text{ cm}^{-3}$ ,  $1.7e17 \text{ cm}^{-3}$ ,  $1.4e17 \text{ cm}^{-3}$ ) 並且固定其他摻雜濃度，將會觀察到崩潰電壓隨著井的摻雜濃度下降而提升 (圖 2-25)，同時從電場分佈圖 (表 2-2) 中，濃度較低的井，空乏區往井內部延伸，若井的邊界與高濃度區域 (plus region) 間距太小，空乏區將會碰觸高濃度區域使元件提前崩潰且崩潰區集中於元件表面附近，造成偵測率下滑。而在模擬的參數設定上，均採用低於 CIC 製程檔提供摻雜濃度 ( $3e17 \text{ cm}^{-3}$ )，因此摻雜濃度改變使得空乏區寬度改變，在 15% 濃度變化範圍內，此次設計 well 寬度之下，空乏區不會受到摻雜濃度變異影響，而使元件提前崩潰，造成偵測率下降。

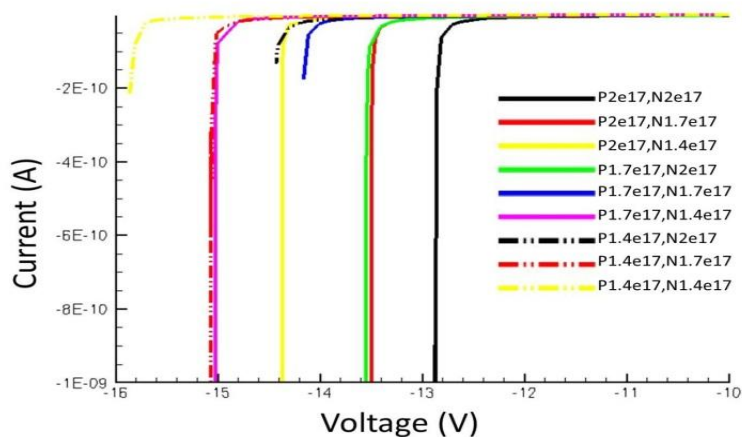


圖 2-25、摻雜濃度變化與 I-V 曲線關係圖

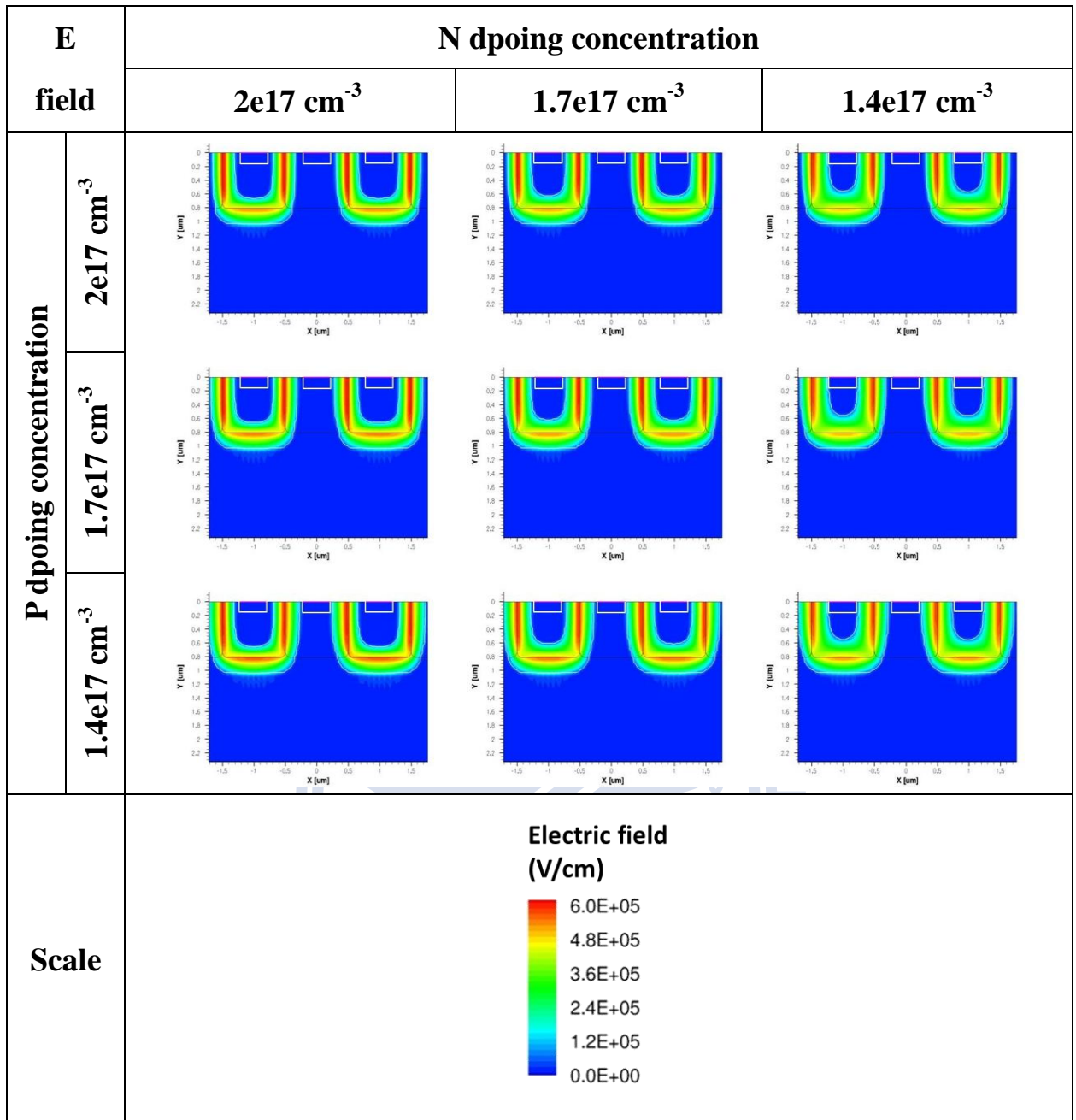


表 2-2、不同濃度下電場分佈圖

### 2.6.2 摻雜濃度分佈變異模擬

在 CMOS 製程之中，我們無法得知摻雜濃度分佈，故藉由改變 N-well 與 P-well 內的摻雜濃度分佈（圖 2-26），來確認不同的濃度分佈，對元件主動區域的電場分佈的影響。在井的摻雜濃度分佈設定採用兩邊不對稱的高斯函數，由濃度最高點作為分界，從

濃度最高點至表面設為近乎均勻的分佈，另一邊則是固定深度為  $0.8 \mu\text{m}$  的濃度，改變濃度最高點深度（峰值位置  $0.4\sim 0.7 \mu\text{m}$ ），形成四種摻雜濃度分佈（profile 1~profile 4），其中，N-well 的摻雜濃度分佈（圖 2-26(a)）在 N-well 與 P-type 基板（substrate）間，濃度從 N-type 轉變成 P-type，因而分佈圖中出現凹陷處。當 N-well 的摻雜濃度分佈改變時 P-well 的摻雜濃度分佈固定為 P profile 3，反之（圖 2-26(b)），P-well 的摻雜濃度分佈改變則固定為 N-well 的摻雜濃度分佈，基板摻雜濃度不動，固定為  $9e16 \text{ cm}^{-3}$

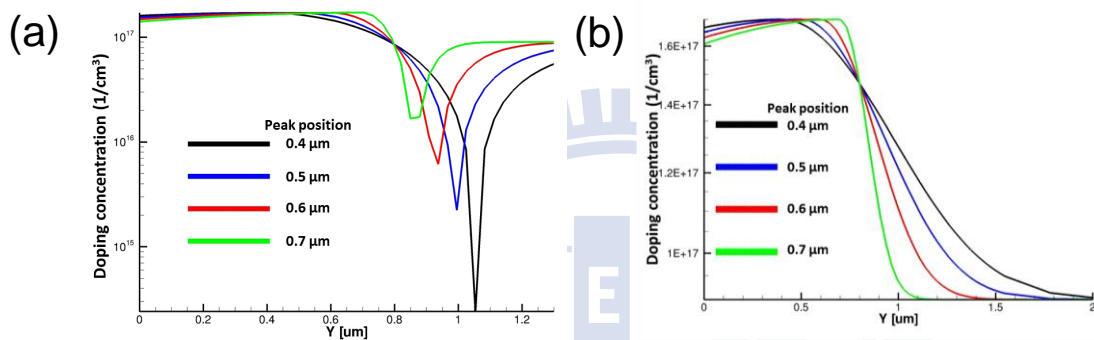


圖 2-26、N-well (a)與 P-well (b)濃度分佈變化圖

表 2-3 為不同濃度分佈的模擬電場分佈圖，從中可看見在不同的濃度分佈變化之下，電場最強處仍分佈於井的兩側，並無集中於角落的現象。

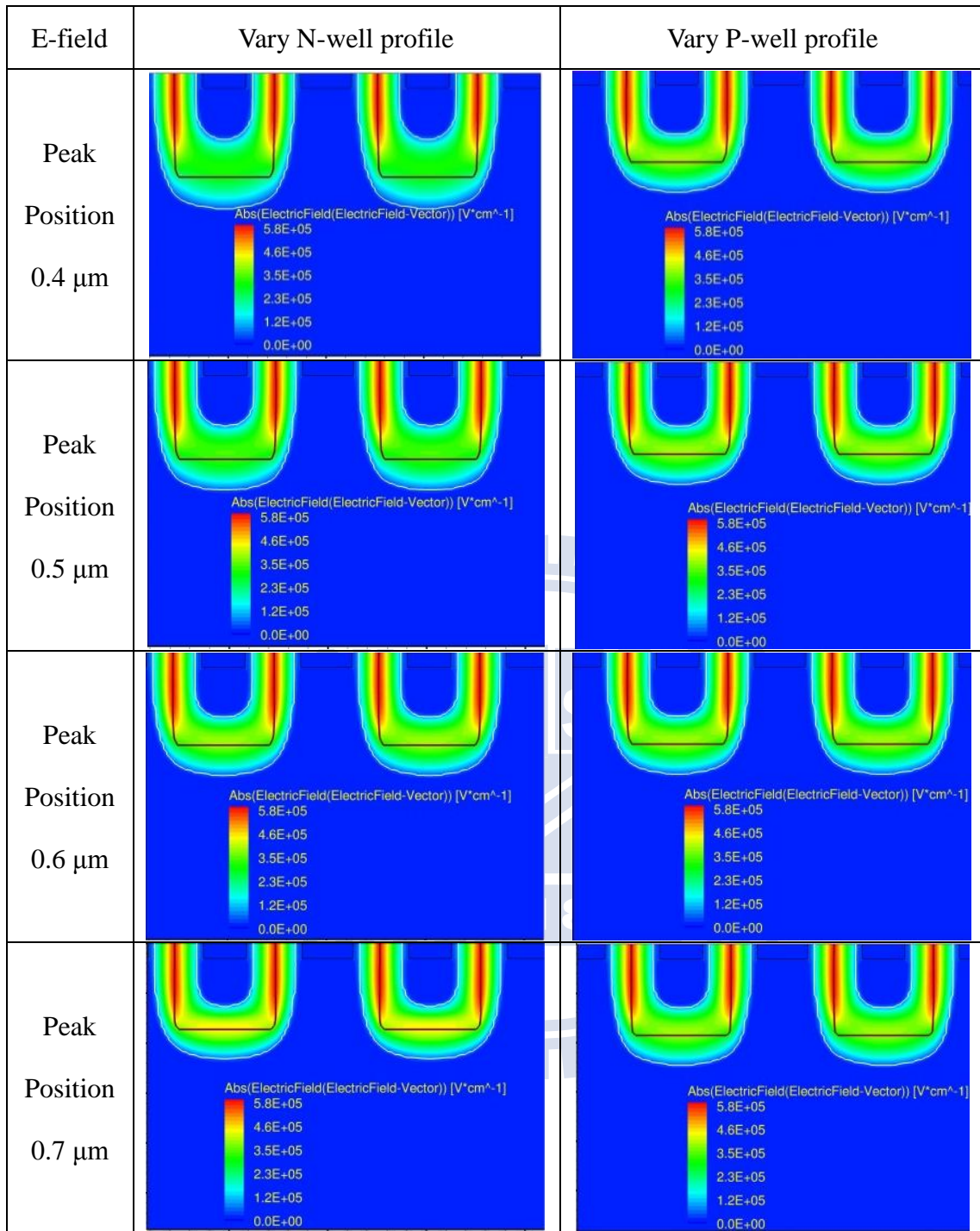


表 2-3、不同濃度分佈下電場分佈圖

經由製程變異模擬，我們可以得知元件 well 的摻雜濃度主導著崩潰電壓及邊緣效應，並且確定在摻雜濃度合理的變異範圍內，皆有良好的元件特性。此外濃度分佈改變並不影響電場的分佈，仍然維持良好的均勻度，角落效應並不顯著。

## 2.7 EMW 光學模擬

在確認單光子崩潰二極體的元件結構模型後，為了瞭解光打入 SPAD 後不同波長造成的影響，我們首先須定義 TCAD-EMW 模擬入射光的光電場強度為  $E$  (V/m)，藉由下面簡單的計算可以得到入射光的能量 (Power)，因此可以得知我們在模擬時使用的光量及在計算元件響應率時入射光能量的大小。

$$\text{Incident power}(W) = \text{Power density} \left( \frac{W}{m^2} \right) \times \text{Area}(m^2), \quad (2-8)$$

$$\text{Power density} \left( \frac{W}{m^2} \right) = \frac{1}{2} \cdot c \cdot \epsilon_0 \cdot n \cdot E^2, \quad (2-9)$$

$$\text{Incident power}(W) = \left( \frac{1}{2} \cdot c \cdot \epsilon_0 \cdot n \cdot E^2 \right) \times \text{Area}(m^2), \quad (2-10)$$

### 2.7.1 吸收係數效應

光吸收部分，由於材料對於不同波長吸收係數 (absorption coefficient) 的差異，光入射至半導體時，其強度會隨入射深度指數的衰減  $I \propto e^{-\alpha x}$ ，其中  $\alpha$  即為吸收係數，對特定波長而言，矽的吸收係數是一定值，利用 TCAD-FDTD 模擬光打入偵測器後，因為矽材料對不同波長的光吸收係數的不同，造成光穿透進矽晶圓後強度有著不同的指數性衰減，由下表 2-4 可觀察到，當入射光波長越短，吸收越快，光穿透路徑越短。

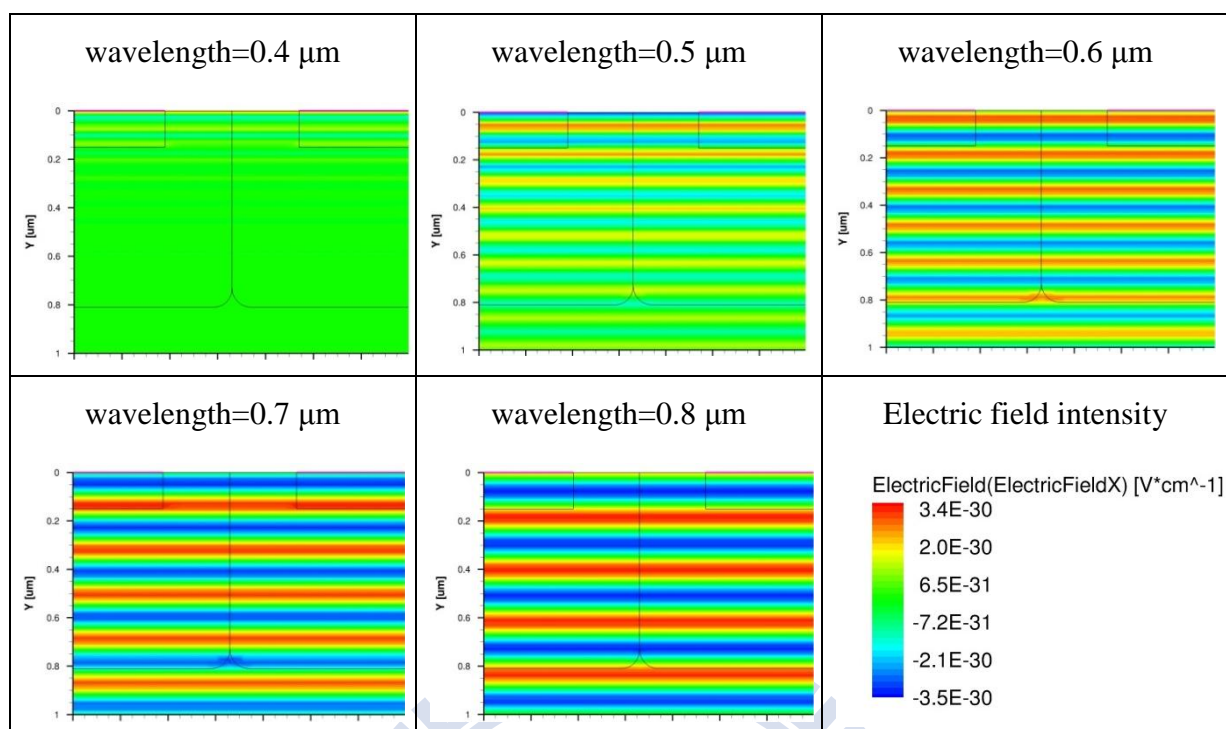


表 2-4、矽晶圓在不同入射光波長下之強度與深度關係圖

## 2.7.2 元件響應 (Responsivity) 模擬

由吸收係數影響，長波長吸收於元件的較深處，因而若在元件中加入 deep N-well (DNW)，則 DNW 與 P-type 基板形成空乏區會阻擋長波長吸收之載子進入放大區，使得元件在長波長的偵測率下降。且 CMOS 製程中在元件上方會有鈍化層 (passivation)，而鈍化層中有兩種不同介電質交替堆疊而成，此種結構如同布拉格反射鏡 (distributed Bragg reflector, DBR)，使得不同波長的反射率不同 (圖 2-27)，故不同波長光波進入光量不一致，造成元件響應對光波波長作圖有震盪的現象 (圖 2-28)。而在一般垂直式單光子崩潰二極體中，電極仍是水平放置於元件表面，因而須使用 DNW，作為訊號連接，造成垂直式單光子崩潰二極體在長波長偵測率不佳。而此次設計不須使用 DNW，因此側向式單光子崩潰二極體在響應頻譜會往長波長延伸。

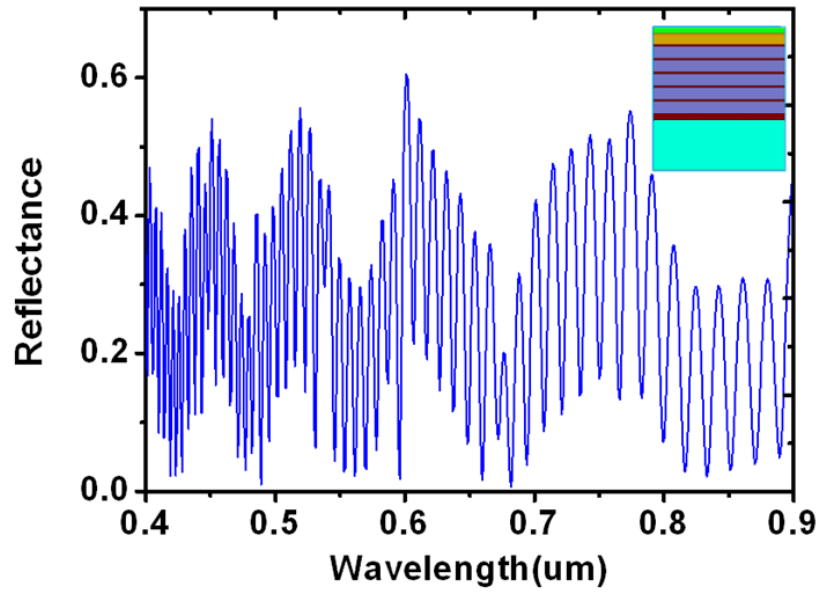


圖 2-27、不同波長下的鈍化層反射率

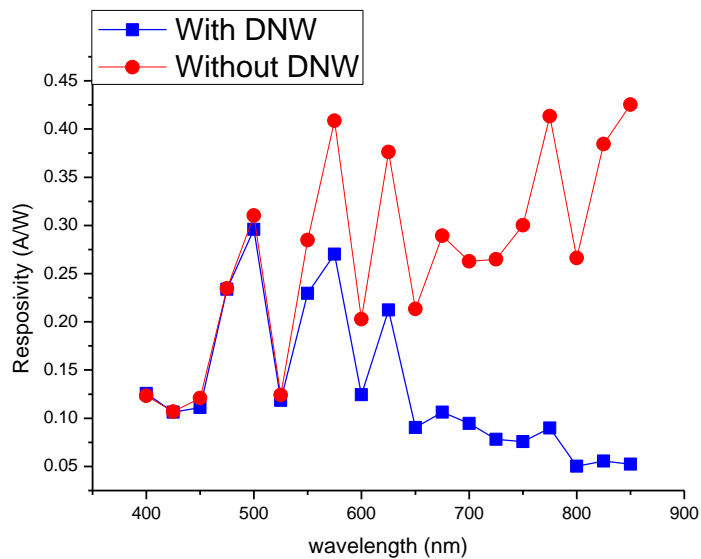


圖 2-28、DNW 對元件響應的影響

## 2.8 元件佈局與設計

現今單光子偵測器直徑可從 2 ~ 200  $\mu\text{m}$ ，但因應用上及製程結構上的不同，大於直徑 100  $\mu\text{m}$  以上的單光子偵測器，必須使用特殊 CMOS 製程以確保元件在大偵測面積上仍有均勻的電場以達到崩潰，及減少雜質在偵測的面積上以降低暗電流及 afterpulsing



影響。而元件幾何形狀也從早期的八角形演進成圓形，如此一來可以避免元件尖端電場過大而提前崩潰。考量量測系統的光纖直徑後，設計圓形的單光子偵測器，其直徑為 20  $\mu\text{m}$ ，確保之後入射光可全部藉由光纖導入元件之中。

由於 tsmc 0.18  $\mu\text{m}$  的設計規範下，plus region 最小寬度為 0.44  $\mu\text{m}$ ，N-well width 最小為 0.86  $\mu\text{m}$ ，從 Sentaurus 電性模擬中，發現 well width 太小會出現元件提前崩潰的現象，而 well width 太寬，會使得偵測面積內的主動區面積下降，因此，最佳化的 well width 為 1  $\mu\text{m}$ 。

設計流程（圖 2-29）：

- [1] 從模擬出最佳的結果出發，考量因製程變異使元件提前崩潰，加入兩組 well width（0.86  $\mu\text{m}$  & 1.1  $\mu\text{m}$ ）。
- [2] 使用另一種操作偏壓 well（1.8 V）在 well width 為 0.86  $\mu\text{m}$  & 1.0  $\mu\text{m}$  之中，比較兩種操作偏壓對的元件的影響。
- [3] 加入垂直式單光子偵測器，作為暗計數比較基準，同時使用兩種操作偏壓，再次證實在改變摻雜濃度對暗計數的影響。
- [4] 加入 DNW 於側向式結構之中，證明 DNW 對長波長偵測率的影響，及使側向式與垂直式單光子偵測器比較上扣除 DNW 的影響。
- [5] 延續先前金屬光柵專題的成果，加入在側向式單光子偵測器之中，進一步提升偵測效率。

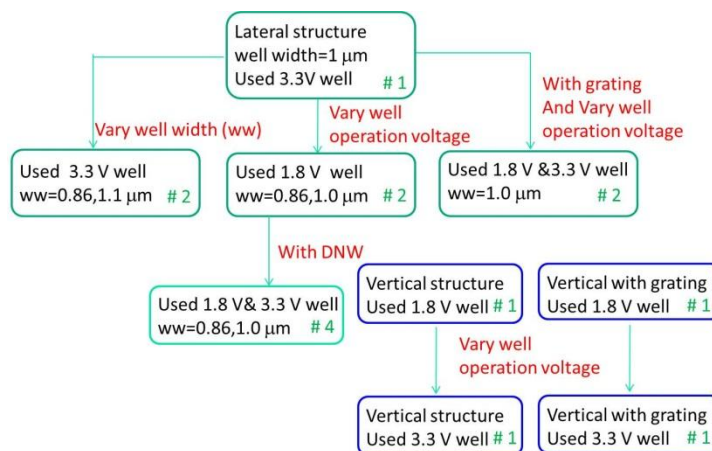


圖 2-29、SPAD 晶片設計流程圖

最後，佈局中總共有 15 顆單光子偵測器（圖 2-30），每顆設計規格見表 2-5，每顆偵測器上方，加入浮接金屬層 4，確保偵測器只有在主要偵測區能夠有光進入。依其操作偏壓的不同分別放置於左右兩側，電極配置則依其結構中是否含有 DNW，而有所不同，含 DNW 之單光子偵測器，有獨立的陽極與陰極，不含 DNW 之架構，只有名為訊號的電極，為之後量測 COB（chip on board）上的方便，加入三個 GND 的電極，因此電極總數為 26 個。

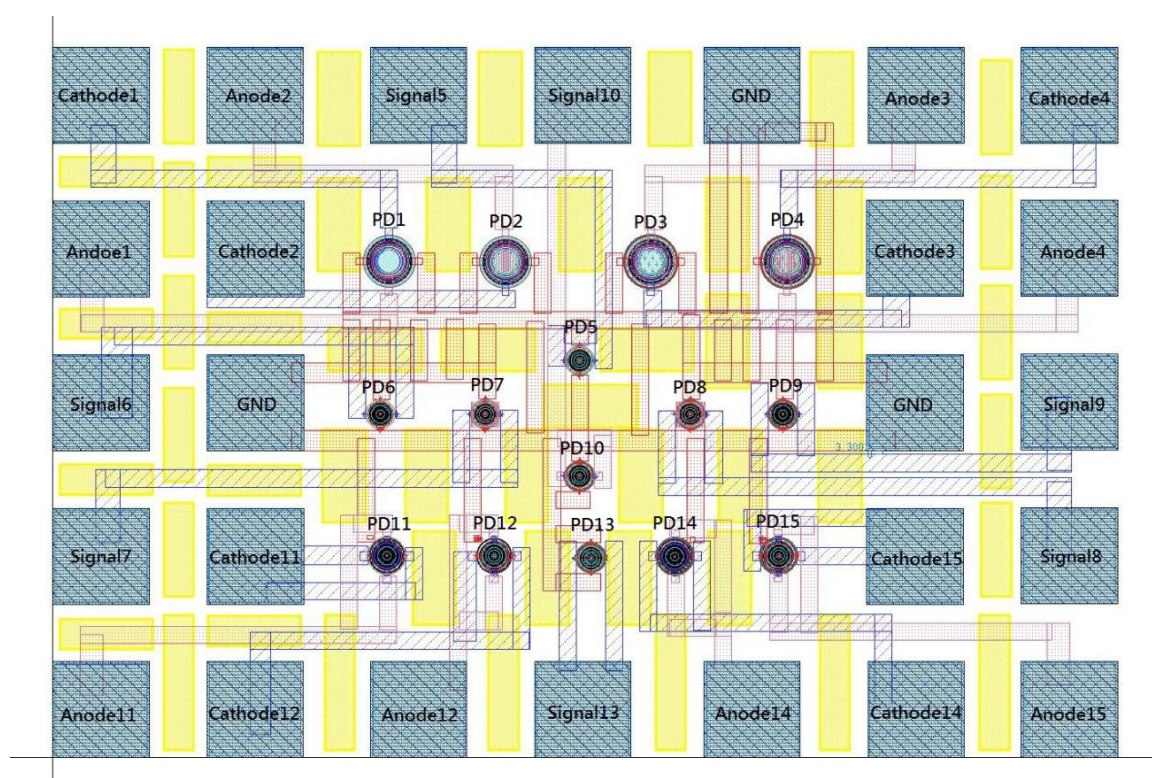


圖 2-30、SPAD 晶片佈局圖 ( $0.927 \times 0.619 \text{ mm}^2$ )

Number	Structure	Well Width	Operation Voltage	With DNW	With Grating
PD01	Vertical	-	1.8 V	Yes	No
PD02		-	1.8 V	Yes	No
PD03		-	3.3 V	Yes	Yes
PD04		-	3.3 V	Yes	Yes
PD05	Lateral	1 $\mu\text{m}$	1.8 V	No	No
PD06		0.86 $\mu\text{m}$	1.8 V	No	No
PD07		1 $\mu\text{m}$	1.8 V	No	Yes
PD08		1 $\mu\text{m}$	3.3 V	No	Yes
PD09		0.86 $\mu\text{m}$	3.3 V	No	No
PD10		1 $\mu\text{m}$	3.3 V	No	No
PD11		0.86 $\mu\text{m}$	1.8 V	Yes	No
PD12		1 $\mu\text{m}$	1.8 V	Yes	No
PD13		1.1 $\mu\text{m}$	3.3 V	No	No
PD14		0.86 $\mu\text{m}$	3.3 V	Yes	No
PD15		1 $\mu\text{m}$	3.3 V	Yes	No

表 2-5、偵測器標號與其設計規格

## 2.9 截止電路 (quenching circuit)

結束元件的設計與佈局後，接著進入元件操作在崩潰電壓之上時，需要搭配的電路。在 SPAD 運作時，元件本身無法自行中斷崩潰機制，需藉由外部電路的輔助，來中止元件的崩潰狀態，有了電路輔助，SPAD 在崩潰之後受到電路的截止崩潰，再回復到崩潰之前的狀態，進行下一次的偵測，而這些截止元件崩潰的電路稱之為 quenching 電路。

依不同的操作模式分別，有 geiger-mode 與 gated-mode 兩種操作模式。geiger-mode 操作模式為將提供一個直流偏壓，當元件發生崩潰時，崩潰電流受到截止電路影響而截止崩潰，之後重新充電至崩潰前的狀態。目前 geiger-mode 有兩種重新充電方式，一種是截止電路搭配回充電路，稱之為主動式截止電路 (active-quenching circuit, AQC)，另一種則無回充電路，稱之為被動式截止電路 (passive-quenching circuit, PQC)。

Gated-Mode 操作方式是直接控制電壓源，改變 SPAD 上的跨壓，使元件操作偏壓在崩潰電壓上下作切換，因此，光子必須在元件處於崩潰電壓之上時，才可以偵測光子。調整脈衝頻率及工作週期 (duty cycle) 可輕易的改變元件的死亡時間，因此在多缺陷的元件量測時，可使用 Gated-Mode 操作來避開 afterpulsing 效應。

### 2.9.1 Geiger-mode quenching circuit

geiger-mode 操作下最簡單的截止電路為 PQC (圖 2-31)，將負載電阻 ( $R_L$ ) 與 SPAD 串聯，當 SPAD 關閉時電阻相當大，提供電壓 ( $V_{\text{apply}}$ ) 跨在 SPAD 兩端，等待載子進入觸發崩潰，一旦 SPAD 受載子觸發崩潰之後，電阻值驟降，迴路電流竄升，負載電阻跨壓隨之上升而 SPAD 跨壓降低，迴路電流下降，當電流降至約  $20\mu\text{A}$  以下，便有相當程度的機率使 SPAD 自行關閉[17]。在元件關閉之後，提供的電壓又慢慢回到 SPAD 之上，等待下一次的觸發。

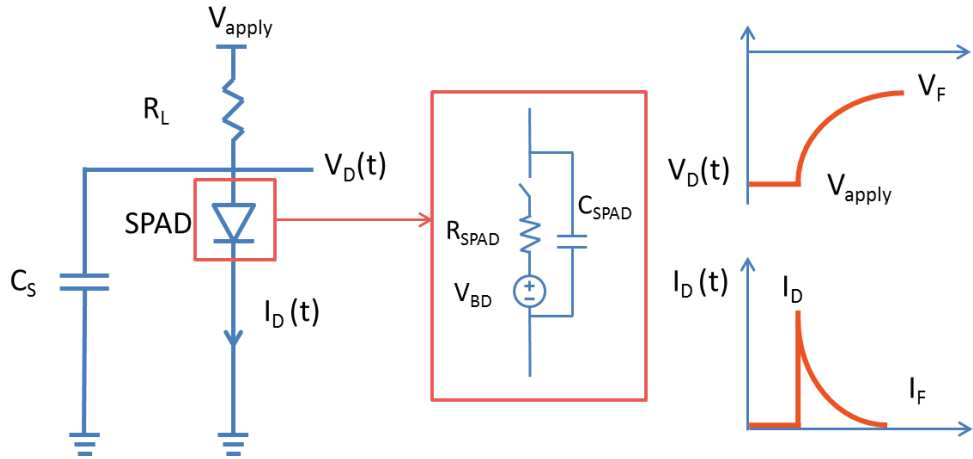


圖 2-31、被動式截止電路與 SPAD 等效電路模型

將 SPAD 的等效電路模型代入 PQC 電路之中[17]，可推得公式(2-11)及公式(2-12)，其中， $R_{SPAD}$  為崩潰時元件內阻， $V_E$  為元件超額偏壓， $V_D$  為元件跨壓， $I_D$  為迴路電流。

$$I_D(t) = \frac{V_D(t) - V_{BD}}{R_{SPAD}} = \frac{V_E(t)}{R_{SPAD}}, \quad (2-11)$$

$$I_F = \frac{V_{apply} - V_{BD}}{R_{SPAD} + R_L} \cong \frac{V_E}{R_L}; V_F = V_{BD} + R_{SPAD} I_F, \quad (2-12)$$

選用大的  $R_L$  在 SPAD 崩潰漸趨穩定後，可以順利自我關閉，若是  $V_E$  太大或是  $R_L$  過小，則會使元件無法關閉，進行下一次的偵測，從暫態的模擬中可以得到驗證（圖 2-32）。

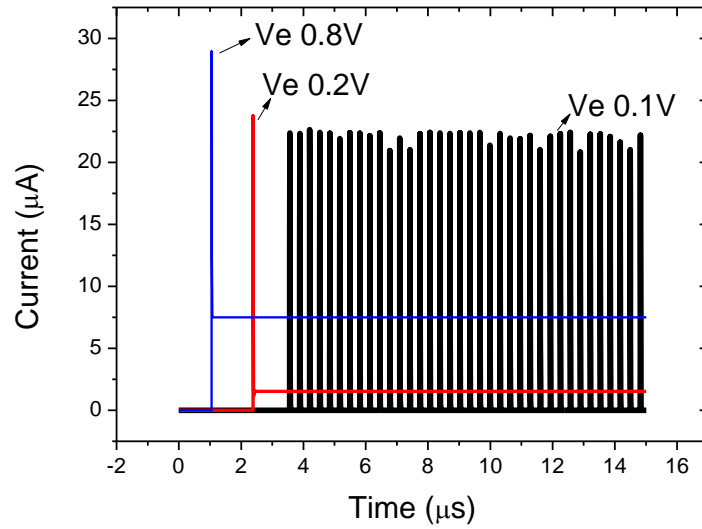


圖 2-32、崩潰電流與超額偏壓關係圖[7]

一般而言，增加 SPAD 的  $V_E$  可使元件偵測率提升，因而須選用較大的  $R_L$  以利 SPAD 的自我關閉，一旦  $R_L$  上升，藉由等效電路模型所推得的元件充電時間 ( $T_r$ ) 公式 (2-13) 及截止時間 ( $T_q$ ) 公式 (2-14) [17] 可知，SPAD 恢復的充電時間便隨之增長，而  $R_L$  對 SPAD 的截止時間則可略。其中  $C_{SPAD}$  與  $C_S$  代表 SPAD 內的空乏區電容與寄生電容。從圖 2-33 可看見充電時間與截止時間對不同寄生電容的差異，寄生電容對充電時間影響較大，對截止時間影響較小。

$$T_r = R_L(C_{SPAD} + C_S), \quad (2-13)$$

$$T_q = \frac{R_{SPAD} \cdot R_L}{R_{SPAD} + R_L} (C_{SPAD} + C_S) \approx R_{SPAD} (C_{SPAD} + C_S), \quad (2-14)$$

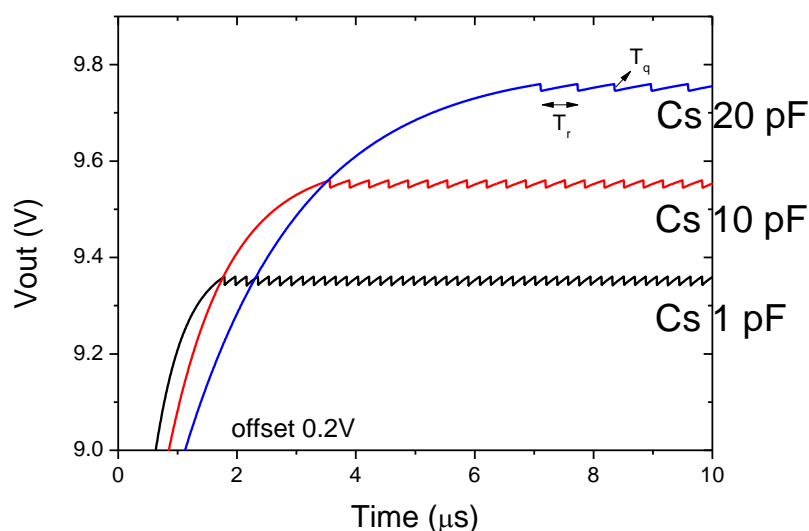


圖 2-33、不同寄生電容下， $V_D$  充電曲線[7]

一般來說，需要約五倍的  $T_r$ ，約數  $\mu\text{s}$  才可恢復至額定的超額偏壓[17]，相較之下，元件的關閉時間約數  $\text{ns}$  可以忽略，因此元件的回覆時間主宰元件的操作速度。此外，加大的  $V_D$  端的寄生電容可提升元件的崩潰電流，使崩潰訊號更容易被偵測[18]。

AQC 針對 PQC 過長的恢復時間做改善，可將恢復時間從數  $\mu\text{s}$  縮短至  $\text{ns}$ ，增加元件的操作速率，然而，AQC 不在此次的研究範圍之內，故不加敘述。

## 2.9.2 Gated-mode

圖 2-34 為 gated-mode 操作方式，以一個直流電壓源 ( $V_{CC}$ ) 加上脈衝電壓源控制供應 SPAD 的偏壓，使元件在崩潰電壓 ( $V_{BV}$ ) 上下作切換，因此，光子必須在 SPAD 處於崩潰電壓之上時，才可以偵測光子。將 SPAD 並聯  $50\ \text{ohm}$  電阻，與儀器做阻抗匹配 (impedance matching)，避免脈衝訊號反射使脈衝波形變形。調整脈衝頻率及工作週期可任意的改變元件無法偵測光子的時間，稱此時間為死亡時間 (dead time)，通常將設定 dead time 大於缺陷釋放載子時間 (de-trapping time)，來避開 afterpulsing 效應。然而，電路中缺乏關閉 SPAD 的機制，故在一個周期之內無法偵測超過一個光子。

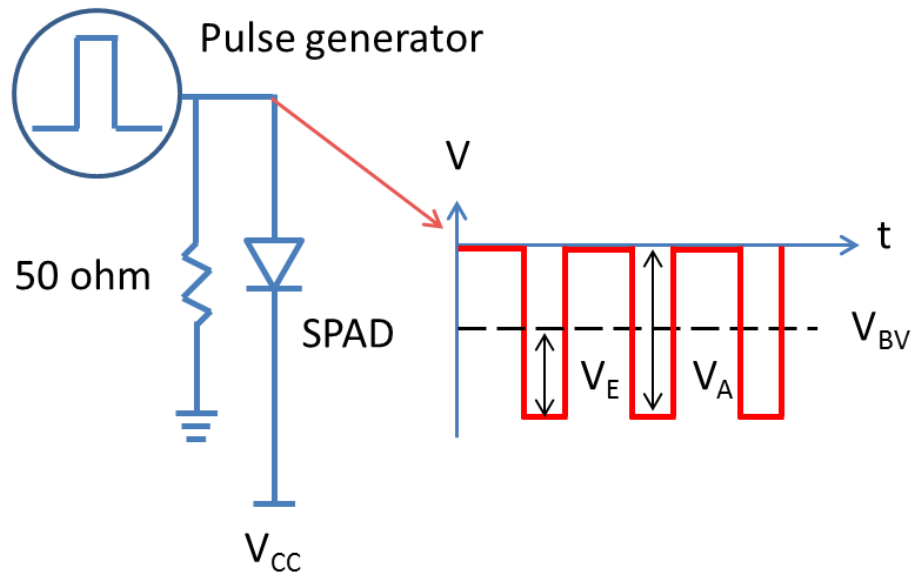


圖 2-34、Gated-Mode 電路設置





## 第三章、Linear-mode 量測結果

本章中首先將介紹晶片佈局製作結果，介紹經由 CMOS 標準製程製作出的單光子偵測器結構。接著說明偵測器操作在 linear-mode 時量測的環境及技巧，並分析直流響應、響應頻譜及暫態響應的量測結果。

### 3.1 晶片佈局結果討論

圖 3-1 為晶片佈局上視圖。圖 3-2 (a) ~ (d)，分別為垂直式單光子偵測器、有光柵結構之垂直式單光子偵測器、側向式單光子偵測器及有光柵結構之側向式單光子偵測器。圖中最內圈為有效的收光區域，光柵採用金屬層 3，週期為  $2\ \mu\text{m}$ ，填充係數 (fill-factor) 為 0.18，然而，因垂直式單光子偵測器的陽極需要用到金屬層 3 作為訊號連接，故在光柵無法完整覆蓋整顆元件，而側向式單光子偵測器僅使用金屬層 1&2 做訊號連接，故光柵結構可完整覆蓋元件。然而在這次的佈局中，在元件電極與 PAD 的連結疏忽，誤將 PD11 的陽極電極與陰極電極連接在一起，造成元件短路，無法量測，因此在後續的量測之中，無法量得 PD11 的元件特性。

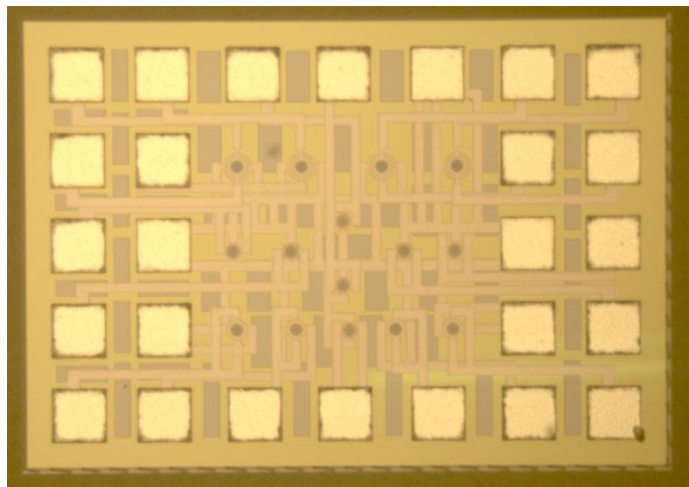


圖 3-1、晶片佈局照相圖

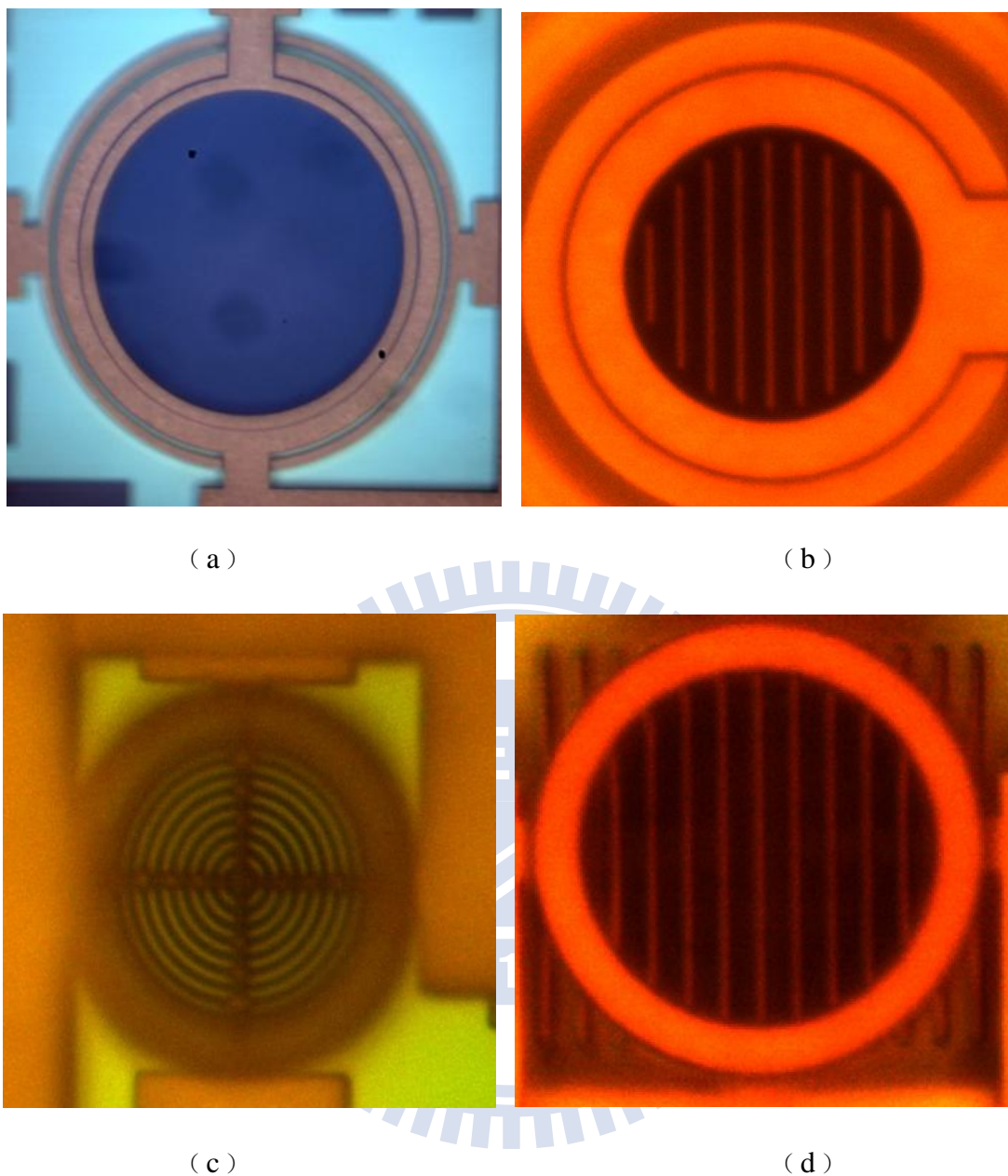


圖 3-2、SPAD 元件結構照相圖

### 3.2 I-V 及 C-V 量測技巧與環境

在開始 linear-mode 量測之前，我們必須先取得元件的 I-V 及 C-V 曲線，從 I-V 曲線取得崩潰電壓之後，便可定義 linear-mode 及 SPAD-mode 量測區間，而 C-V 曲線可得知元件電容，搭配 passive-quenching 電路中的電阻，便可得知元件的充電時間。因此，

我們利用 Agilent B1500 半導體參數分析儀 (Semiconductor parameter analyzer)，在探針座上量測未經過 COB 的裸晶，取得 I-V 曲線後，定義崩潰電壓為當崩潰電流達到  $1\ \mu\text{A}$  時的電壓值，並且萃取出元件的理想因子，之後再利用 Agilent B1500 的 C-V 模組，採用電容並聯電阻的等效電路模型，量測元件在負偏壓下，隨著電壓改變，電容隨之變化情形。

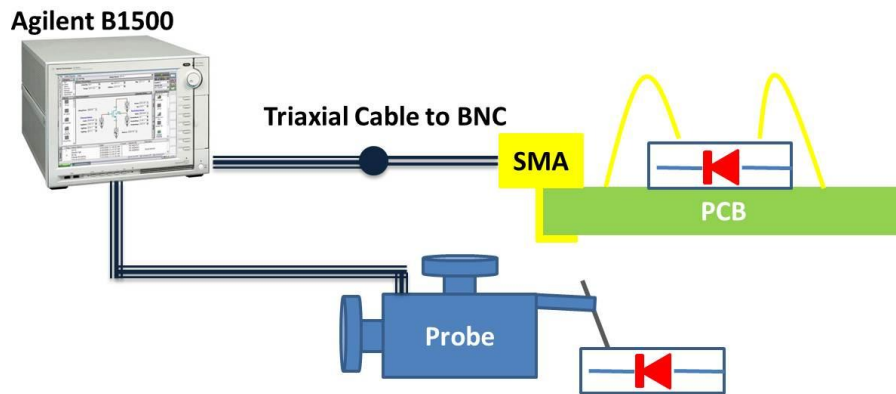


圖 3-3、I-V 量測系統

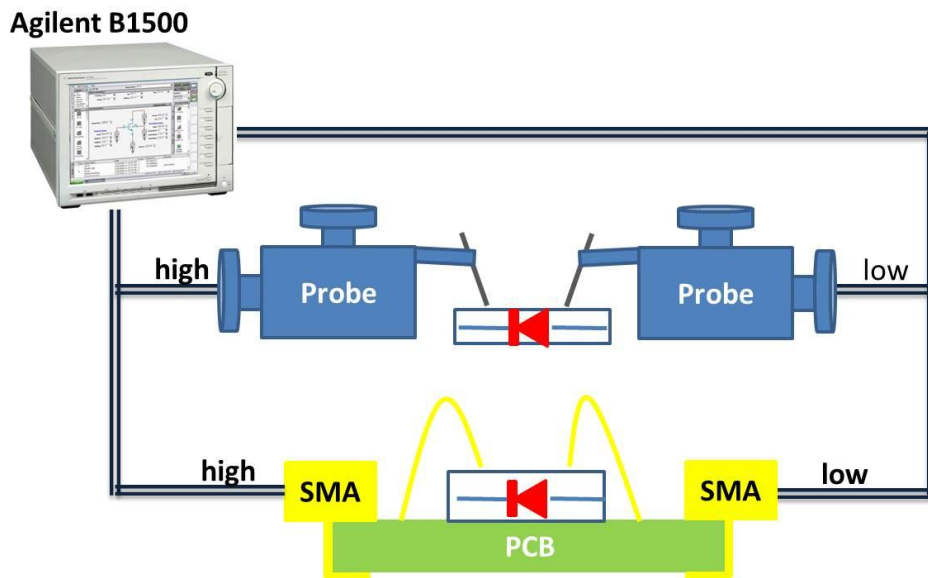


圖 3-4、C-V 量測系統

### 3.2.1 I-V 量測結果與討論

從元件順偏的電壓電流曲線(圖 3-5)中可以看見,元件的啟動電壓(turn on voltage)為 0.6 V 附近,並且可以從公式 (3-1) 中萃取出元件的理想因子 (ideal factor)。

$$I(\text{forward}) = I_0 \exp\left(\frac{qV_{app}}{m k T}\right), \quad (3-1)$$

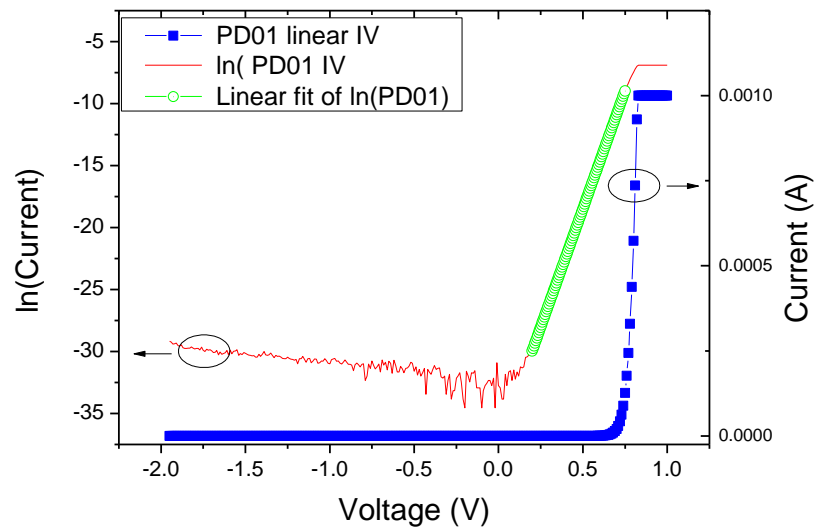


圖 3-5、順向偏壓 I-V 曲線 (以 PD1 為例)

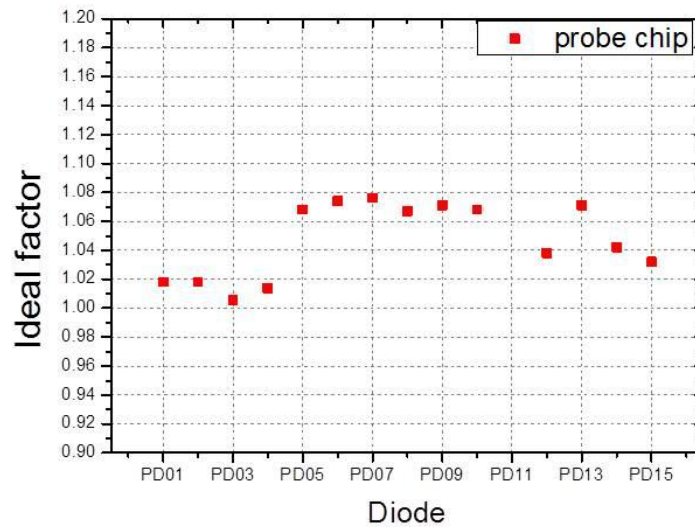


圖 3-6、不同元件的理想因子

從理想因子萃取（圖 3-6），得出在同一顆晶片不同的元件中，每顆元件的理想因子  $m=1$ ，即元件的電流以飄移電流（drift current）為主，也可看得出 tsmc 成熟穩定的製程工藝。

從元件的逆偏電壓電流曲線（圖 3-7）中，在垂直式 SPAD（PD01~PD04）中，因  $P^+$ -N well junction 有著較高的摻雜濃度，使得崩潰電壓在 9.7 V 與 10.1 V 附近，而側向式 SPAD（PD05~PD15）則採用較低濃度的井形成 Pwell-Nwell 主動區，因而有較高的崩潰電壓，其中可以看見隨著 well width 加寬，崩潰電壓隨之上升，與模擬結果趨勢相同（圖 3-8），此外 1.8 V 及 3.3 V 操作偏壓的井，僅在垂直式 SPAD 的  $P^+$ -N well junction 中造成崩潰電壓些微的差距（1.8 V well BV=9.7 V, 3.3 V well BV=10.1 V），而在其他元件之其中，並無明顯變化，故不同操作偏壓的井僅在  $P^+$  有些微的濃度差異，而在井中並無濃度上的差異。

在不同的晶片之中（圖 3-9），受製程變異的影響，相同的元件崩潰電壓會有些許的不同，不過在相同的晶片不同的元件仍保有一致的趨勢。

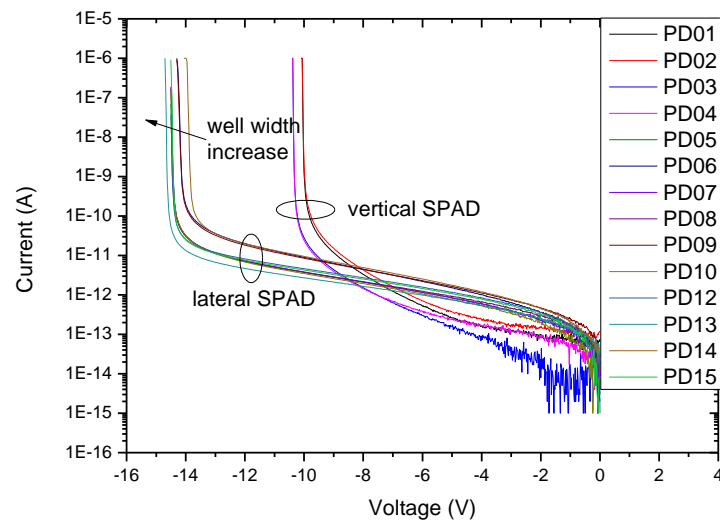


圖 3-7、逆向偏壓 I-V 曲線

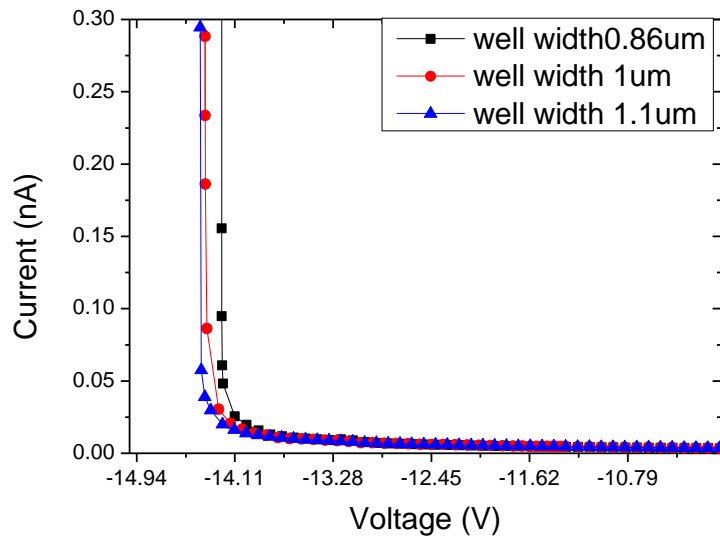


圖 3-8、模擬不同井寬對崩潰電壓的 I-V 曲線

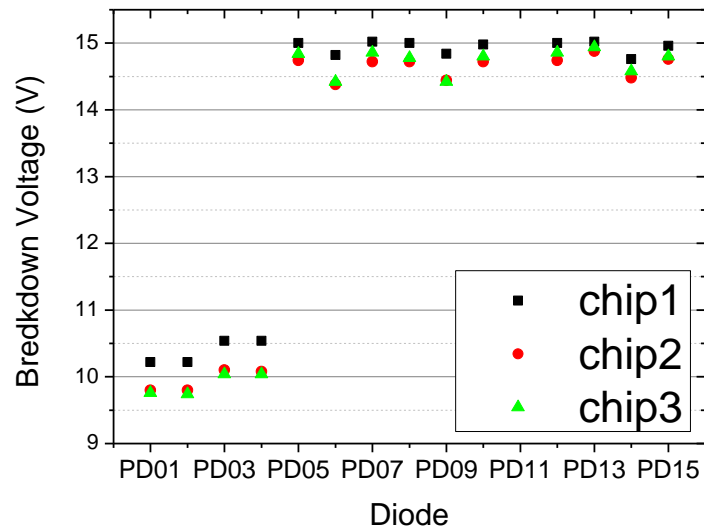


圖 3-9、不同晶片的崩潰電壓變異

最後，將元件電流限制訂為 2 mA，來萃取元件崩潰之後的內阻。從元件的內部阻抗，取倒數則為元件的增益，也就是說，內阻的大小可以得知元件內部的累增離子化增益的強弱。圖 3-10 中，垂直結構單光子偵測器，內阻約為 60 歐姆，且 3.3 V 操作偏壓的元件 (PD03&PD04)，有些許的增加，其原因為較低的摻雜濃度，崩潰時的接面電場較小，較不易發生累增離子化崩潰，使得內阻略高，同理，在側向式單光子偵測器，也

因低的摻雜濃度，使得元件崩潰之後的內阻介於 160 歐姆附近。

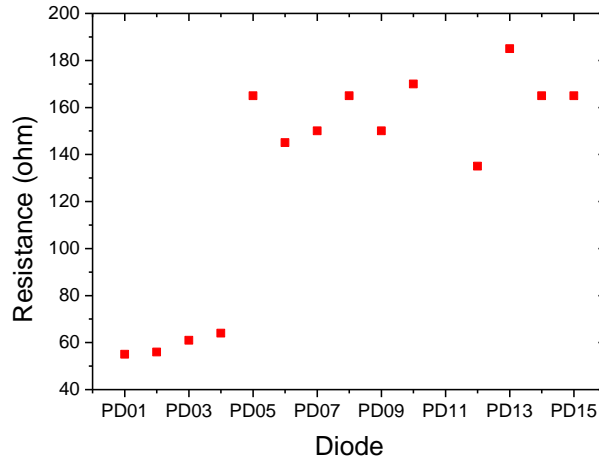


圖 3-10、不同元件的內阻

### 3.2.2 C-V 量測結果與討論

圖 3-11 為含有 Deep N well layer (DNW layer) 的單光子偵測器，從圖中可看出，電容值隨著電壓上升而下降，乃是空乏區隨著逆向偏壓上升而變寬，因而電容至隨之下降，其中不同的結構有著不同的接面電容值，垂直結構由濃度高的 P<sup>+</sup>-N well 接面形成較窄的空乏區 (depletion region)，而有較高的電容值，反觀側向結構由 P-well-N-well 形成的主動區，有較寬的空乏區，因而有較低的元件接面電容。

然而，同為側向結構 (圖 3-12)，不含 DNW layer 的元件 (PD05~PD10 & PD13) 卻有較高的電容值，依元件結構來說，含有 DNW layer 的元件，除了井間接面空乏區之外，在井的底部因 DNW layer 濃度高於基板的濃度，元件的接面電容將會高於不含 DNW layer 的元件，而量測的結果卻不是如此，因此推測，量測的電容值包含了元件接面電容與寄生電容，而這些寄生電容除了來自於作為訊號連接的金屬線，主要來源為元件的電極的設置差異，因為在不含 DNW layer 的元件結構，有一端使用整個 P-type 基板為電極，即為 GND 電極，佈局時連接 GND 的導線廣布於晶片之中，因而在 C-V 的量測之中除了量到元計本身的電容值之外，還有重疊導線的寄生電容，而不同的元件有不一樣的寄

生電容，使得在量測的數據之中看不見井寬與元件空乏電容相關的趨勢。

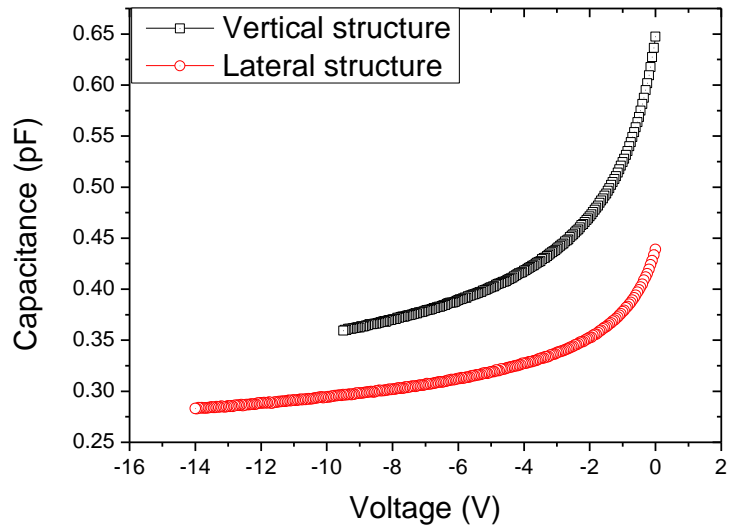


圖 3-11、含 DNW 之不同結構的電容電壓曲線

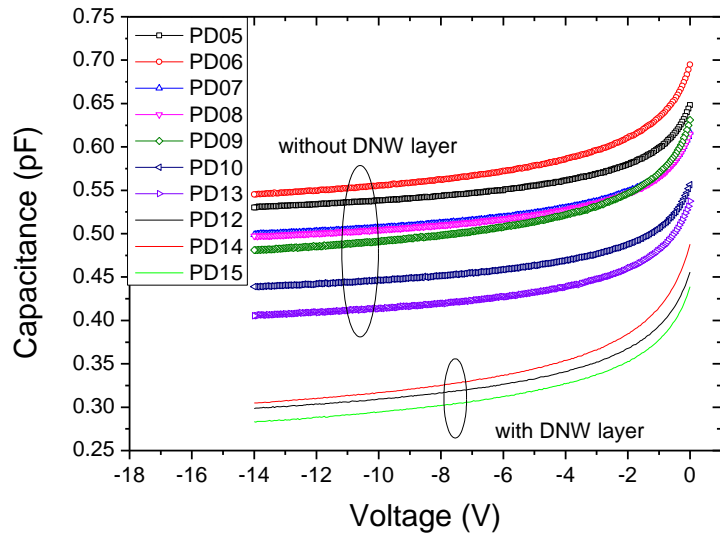


圖 3-12、含 DNW 與不含 DNW 側向式 SPAD 電容電壓曲線



### 3.3 直流響應量測環境與結果

直流響應量測如圖 3-13 所示，首先使用 Thorlabs PM100 確認進入 SPAD 光量後，再以 HP4145 半導體參數分析儀監看元件偏壓在-1 V 時的光電流，調整移動平台確認光完全進入元件後，記錄下其光電流。依不同的光源來源，兩種雷射光源（400 nm 及 780 nm）及三種 LED 光源（中心波長分別為:465 nm、592 nm 及 628 nm），採用兩種不同的入光模式，雷射光源透過準直儀連接單模光纖導入 SPAD 之中，LED 則在自由空間下，經過 iris 射入元件，調整移動平台，使元件得到最強的光電流，確保不同元件有相同的進光量。

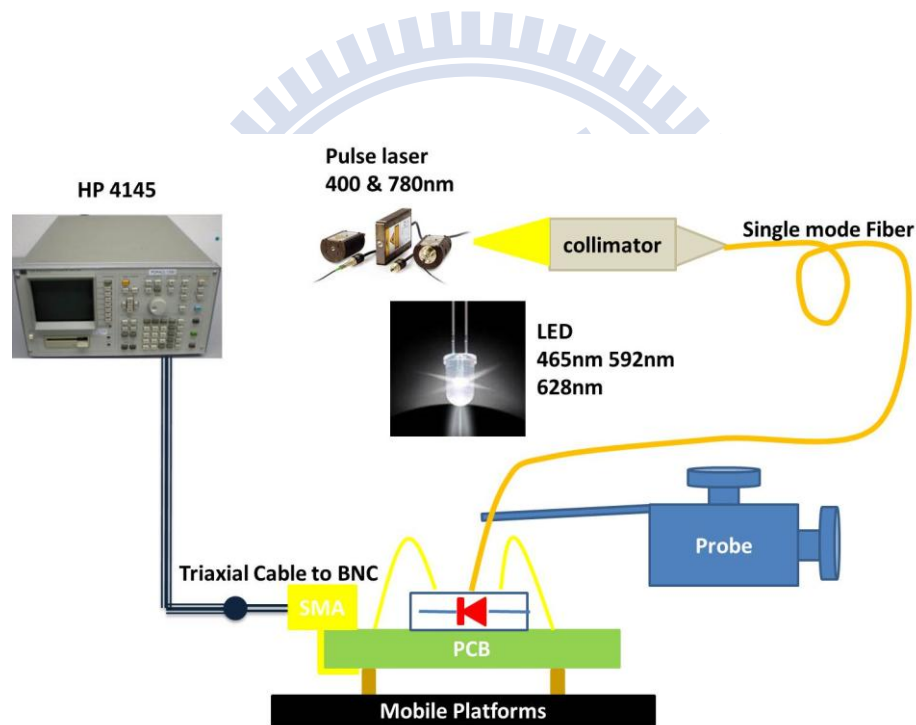


圖 3-13、直流響應量測系統

#### 3.3.1 直流響應量測結果與討論

在入射固定的光能量與偏壓下，量測光電流，經由公式（2-3）我們便可求出偵測器響應率。圖 3-14 量測雷射光源下不同波長的直流響應，其中特別加入前次下線的晶片，垂直結構直徑為 70  $\mu\text{m}$  的單光子偵測器來做比較，PD01-70 $\mu\text{m}$  的直流響應與直徑

20  $\mu\text{m}$  的 PD01 相同，也就是說，直流響應與元件的偵測面積無關，只與入射的光量有關，也確定光可以完全從單模光纖入射至元件之中。

圖 3-15 量測 LED 光源下不同波長的直流響應，而在 LED 經由自由空間 (free space) 入射至晶片的量測之下，不含 DNW 側向式結構的單光子偵測器，沒有 DNW layer 可以阻擋來自基板吸收的光電子，因而無法正確的定義出有效的收光面積，使得在 LED 的直流響應量測無法取得合理的數據。

從圖 3-14 及圖 3-15 中皆可看出，側向式結構有較佳的響應值，因其主動區較垂直式結構來的多。而 DNW layer 則阻擋來自深層吸收的光電子，因而在長波長時，響應差異較大，在短波長時，因吸收深度較淺，所以響應無明顯的差異。

至於，在這次設計中所加入的光柵結構 (PD02、PD04、PD07、PD08)，不論在雷射或是 LED 光源的直流響應量測之中，均無任何響應提升作用，也確定在先前的研究中所得到的響應提升，是來自於不同晶片間的差異，而非金屬光柵對響應的提升。

為檢視光柵是否有任何作用，假設光柵只有擋光的效果，將有光柵結構的元件，扣除金屬光柵所佔據的面積，得到有效的入光面積與總面積的比例，再乘上沒有光柵結構的響應，在與量測的有光柵結構的元件做比較，發現量測的數據比估算值來的低(表 3-1)，因此，光柵效果為負面效果，因此無法對響應有效的提升作用。

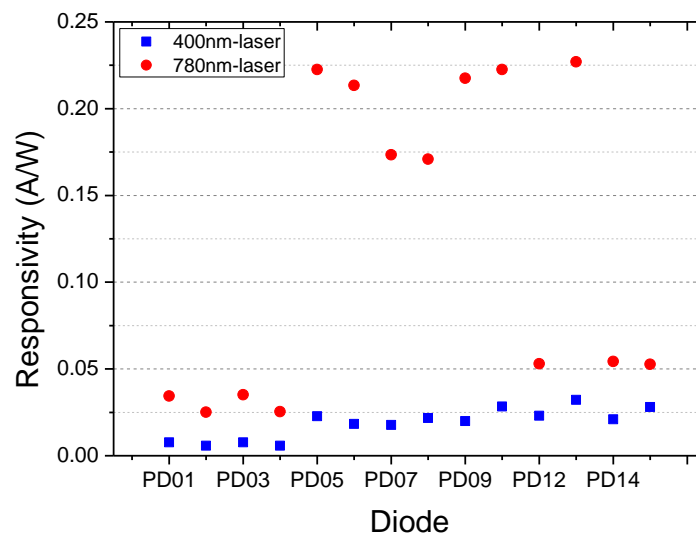


圖 3-14、雷射光源下直流響應

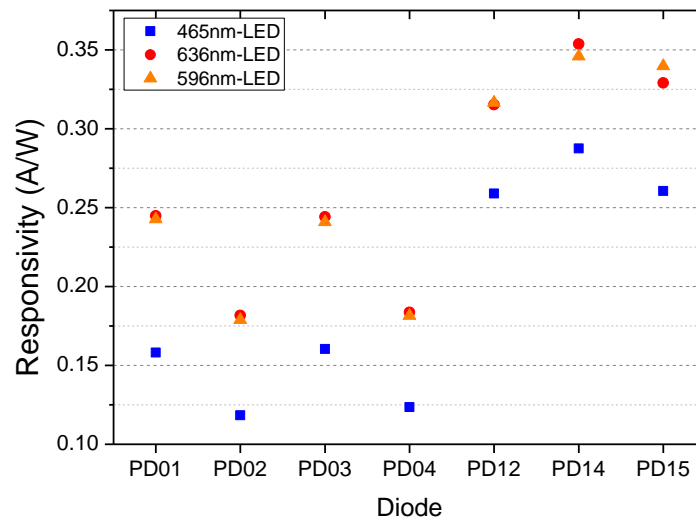


圖 3-15、LED 光源下直流響應

	Responsivity(A/W) measurement	Responsivity(A/W) estimated
PD01	0.0076	-
PD02	0.0057	0.0065

PD02 metal grating area= 45.27 $\mu\text{m}^2$

$$R(\text{PD01}) \times \frac{\text{active area} - \text{metal area}}{\text{active area}} = 0.0065 > R(\text{PD02})$$

R(PD01): responsivity of PD01

表 3-1、響應估算扣除金屬光柵的影響下與量測值比較

### 3.4 響應頻譜量測環境與結果

響應頻譜量測為光電所余佩慈老師實驗室提供，其設置如圖 3-16 所示，使用 300 W 氙氣燈，經過 chopper 給定頻率，再射入單光儀（monochromator）中，由電腦控制單光儀選擇出光波長，出光後經拋物面鏡反射在經過物鏡聚焦，再進入元件之中，由 SR570 電流放大器，放大元件偏壓在-1 V 時的光電流，再透過 SR810 鎖定 chopper 給定的頻率，放大並讀取訊號，回傳給電腦，得出該波長下的光電流。重複前述量測過程，便可得出元件在不同波長下的響應，然而由於系統因素，波長解析度僅 5 nm。

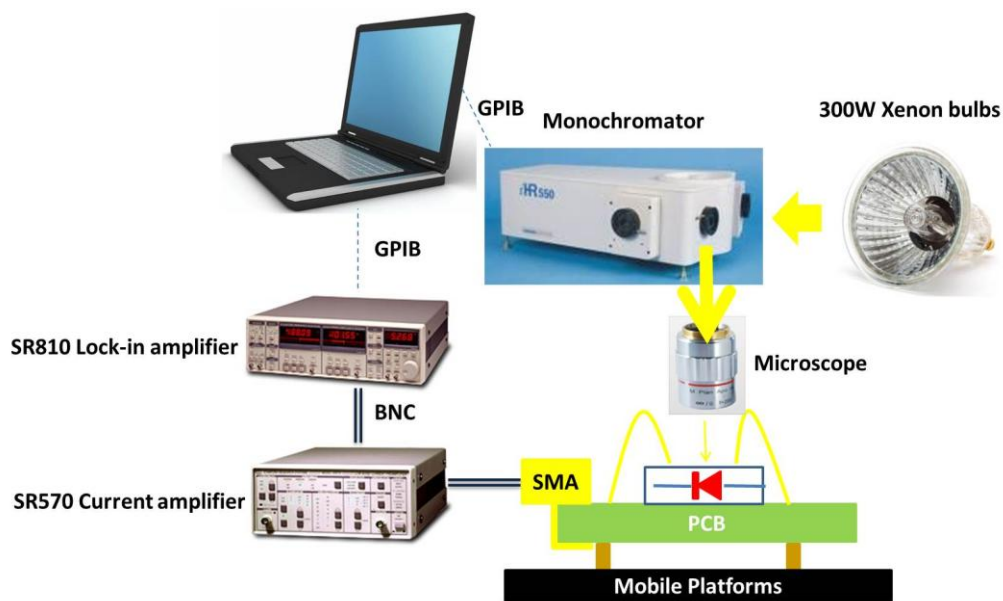


圖 3-16、響應頻譜量測系統

### 3.4.1 響應頻譜量測結果與討論

圖 3-17 為響應頻譜的量測結果，由於量測時的疏忽，在光量校正時，因氙氣在其特徵波長 825 nm 有較強的光量，而 lock-in amplifier 未調整至適當的位準，使得在之後的量測數據之中，在 825 nm 的數據無法與其他波長做比較，因此將它去除。

從數據中發現，相同架構下，不同類元件的響應頻譜相似，主要差異來自架構的不同，而不論何種架構的元件，皆可看見響應頻譜在震盪，其原因為 2.6.2 節中所述，由層層堆疊的介電質會形成分佈布拉格反射鏡，在不同的波段有不同的反射率，造成響應頻譜隨著反射率震盪。而不同架構的元件在長波段的響應差異，其原因仍為 DNW layer 影響，與直流響應在長波長有較高的響應相同原因。

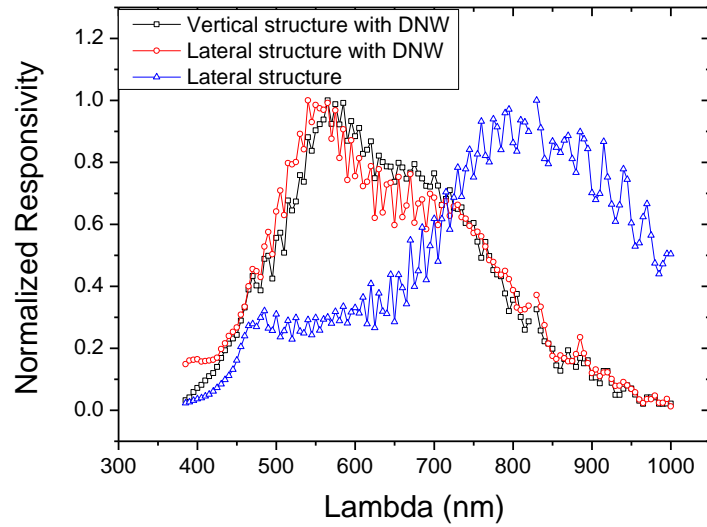


圖 3-17、三種元件架構的響應頻譜

### 3.5 暫態響應量測環境與結果

暫態響應照光設置與直流響應相似（圖 3-18 所示），不同之處在於，當元件操作在逆偏壓下，脈衝雷射光源經光纖進入元件之中，產生脈衝的電流訊號疊加逆向偏壓飽和電流，藉由 Agilent 11612A bias network 將直流偏壓電流與脈衝電流訊號分離，並在高頻示波器 Tektronix TDS7404 中取得暫態訊號波形。

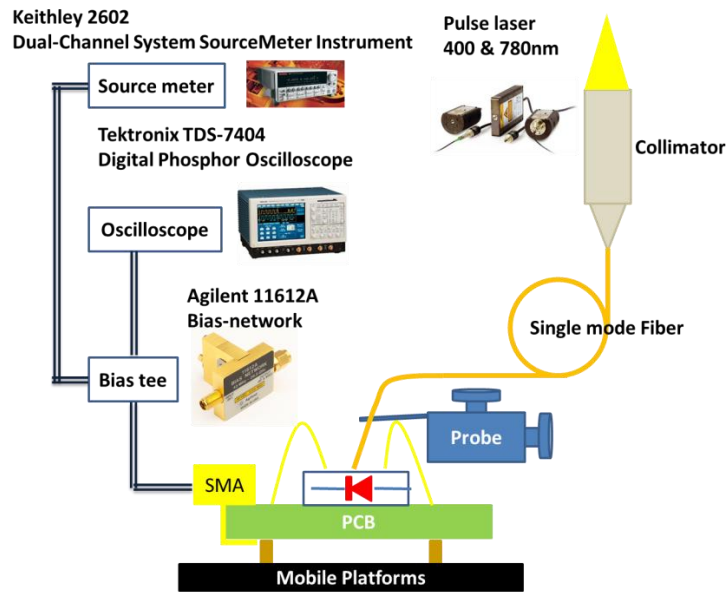


圖 3-18、暫態響應量測系統

### 3.5.1 暫態響應量測結果與討論

暫態響應的量測在於元件中垂直結構的吸收造成飄移及擴散載子移動時間的不同。圖 3-19、3-20、3-21 為三種架構的單光子偵測器在不同波長的暫態響應，側向架構主動區分佈由淺至深，而垂直架構主動區僅分佈於淺層，在短波長時，響應速度差異不大，而在長波長時，光電子產生於元件的深處，需要較長的時間移動至主動區，因而有較長的響應時間，可以從中看見主動區深淺對於響應速度的影響。

隨著逆向偏壓的上升，光電子受到累增離子化效應程度，可由訊號的上升幅度來判斷，訊號強度上升越多，累增離子化效應越強，有趣的是在側向結構的單光子偵測器（圖 3-20(b)），可以看見隨著偏壓上升，訊號強度等間距上升，有別於其他訊號，在接近崩潰電壓時（最高的逆向偏壓），訊號強度劇烈上升，這意味著，長波長產生的光電子並沒有經過主要的累增離子化區域，也就是說，主要的累增離子化區域在側邊 PN 界面，而不是底部的 PN 界面。同理，可以發現在垂直式單光子偵測器從逆向偏壓 7 V→9 V，不同波長下，訊號強度上升約三倍，而在側向式單光子偵測器則沒有相同的倍率，意味著不同波長的光載子，因為不同的吸收區域，走過不同的主動區，因而受到的累增離子

化效應也不同，從圖 3-20 與圖 3-21 中，可以發現短波長的光載子，受累增離子化效應較強，亦即主要的累增離子化集中於淺的主動區域，也就是說，在側向結構中，崩潰區域發生於側面，而非底部的主動區域。

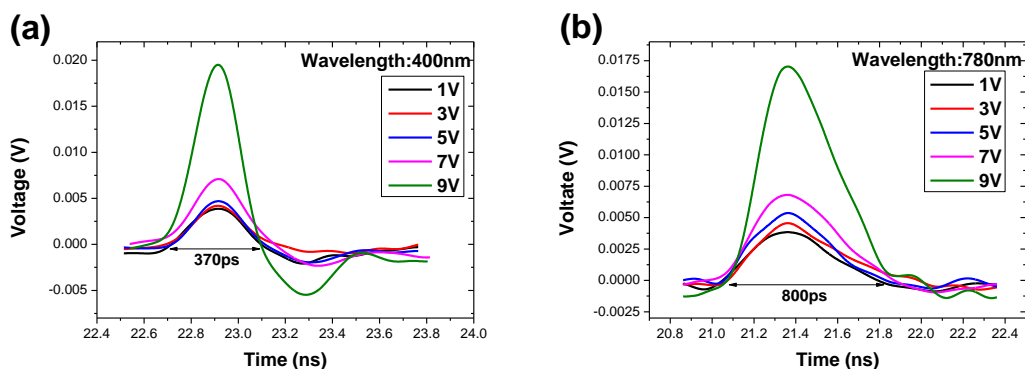


圖 3-19、垂直式單光子偵測器在不同逆向偏壓下的暫態響應

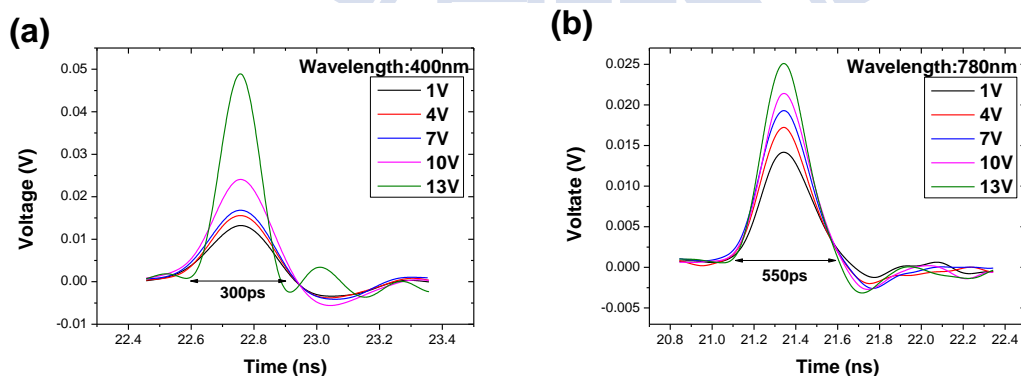


圖 3-20、側向式單光子偵測器在不同逆向偏壓下的暫態響應

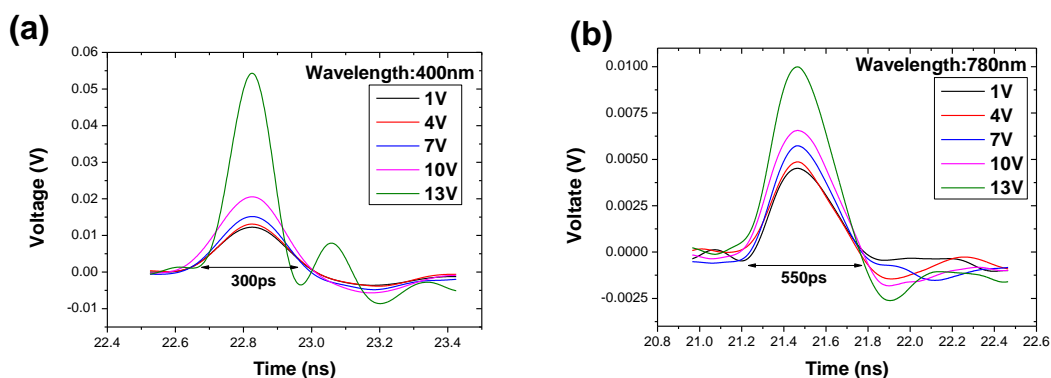


圖 3-21、含 DNW layer 側向式單光子偵測器在不同逆向偏壓下暫態響應

## 第四章、SPAD-mode 量測結果

本章主題為 SPAD-mode 的量測，首先介紹量測環境與 PCB (printed circuit board) 上 passive-quenching circuit 的設定，我們發現側向式單光子偵測器不但沒有達到低暗計數的目標，反而比垂直式單光子偵測器有更高的暗計數，因此，便著手於探究其原因，經過研磨晶片之後，從光學顯微鏡以及掃描式電子顯微鏡進行結構確認，發現在我們的主動區出現 STI，也就是說，元件結構與當初設計不同，使得研究成果與目標不符，最後，我們量測載子缺陷釋放時間及避開 STI 造成 afterpulsing 的影響下量測光偵測率。

### 4.1 Passive-quenching circuit 量測技巧與環境

承 2.9.1 中的 PQC 電路，在陽極加入  $C_C$  (10 nF)，阻擋崩潰電流流經儀器，讀取崩潰電流的暫態訊號，而  $R_S$  (50 ohm) 則是作為與儀器阻抗匹配使用 (圖 4-1)，從  $V_{out}$  及分別可以探測元件的電壓充電曲線及電流崩潰訊號， $V_{out}$  端會有將元件偏壓灌入機器的疑慮，因此我們觀察  $I_{out}$  來判斷元件崩潰次數。將電路佈局於 PCB 上，本次使用到兩片不同的 PCB (圖 4-2)，其差異待後面詳述。量測系統如圖 4-3，使用 GWinstek GPD3303S 供應元件偏壓，在高頻示波器 Tektronix TDS7404 上觀察  $V_{out}$  與  $I_{out}$  波形，判定崩潰訊號大小，並讀出崩潰訊號最小位準作為計數器 SR400 位準設定依據，確定位準之後，便將訊號切換至計數器，計數器便可記下所有大於位準的訊號，即為 SPAD 在量測周期內崩潰次數，此位準適用於暗計數及光計數。接下來 LED 光量與適當衰減片搭配，使每秒入射光子數量約  $10^6$  個光子，之後設定計數器以每秒為一個周期，量測 30 次取其平均值。



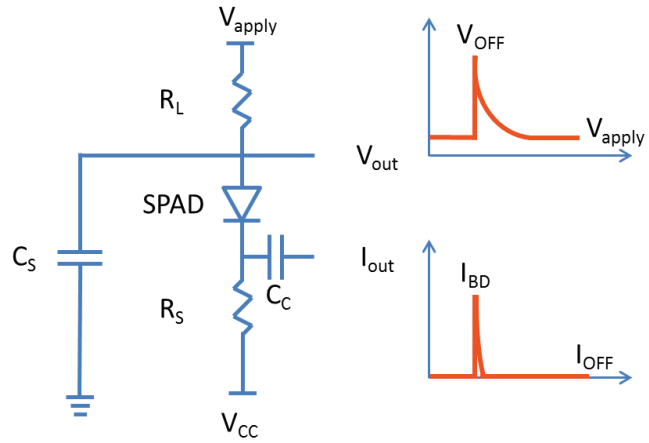
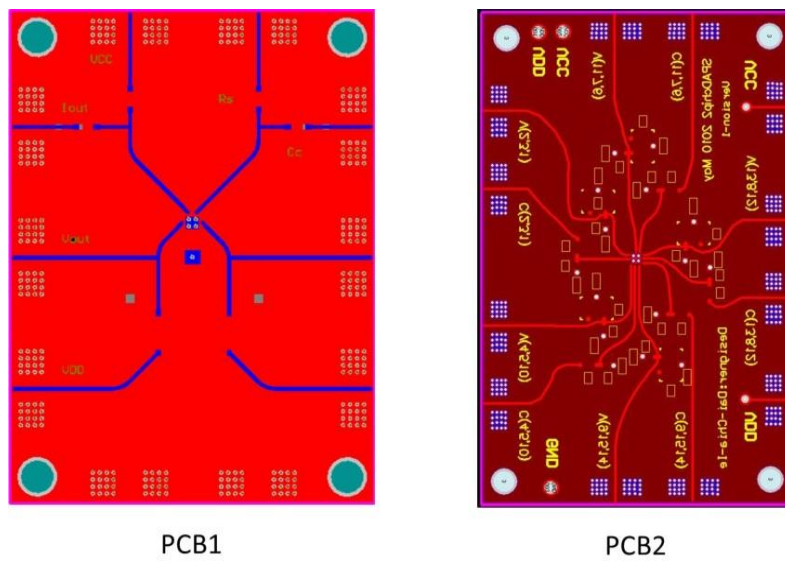


圖 4-1、PQC 電路及探測訊號



PCB1

PCB2

圖 4-2、兩種 PCB 板

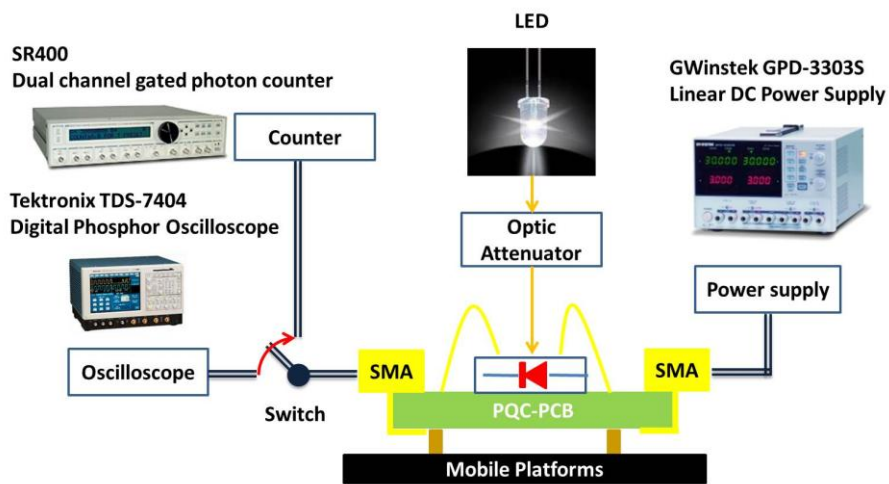


圖 4-3、PQC 量測系統

### 4.1.1 Passive-quenching circuit 量測結果與討論

在開始進行量測之前，先以主動探棒探測  $V_{out}$  端電壓曲線及  $I_{out}$  崩潰電流訊號，當元件發生崩潰， $V_{out}$  端電壓驟降且  $I_{out}$  端驟升（圖 4-4），從圖中可知在  $10\ \mu\text{s}$  內 SPAD 崩潰了 7 次，且在圖中紅色圈圈內，發生尚未恢復到工作電壓及崩潰的情形，且這個現象隨著超額偏壓增加更加明顯，也就是說，SPAD 的充電時間過長，使元件無法充電至額定的超額偏壓。藉由量測  $V_{out}$  端與地端（GND）得出在不同的 PCB 下  $V_{out}$  端的總電容（圖 4-5），發現 PCB2 大了 PCB1 一個數量級，而 PCB1 的電容值與先前 C-V 量測值相去不遠，也就是說，PCB2 多出來的電容皆由寄生電容所貢獻，使得兩者的充電時間相差 10 倍，推測 PCB2 的寄生電容來源為設計時將  $V_{DD}$ 、 $V_{CC}$  級 GND 整片佈滿於 PCB 中的內層，使得 PCB2 相當大的寄生電容，而 PCB 僅使用上下雙面且以導線形式做訊號連接，無整面覆蓋金屬的設計，故幾乎沒有任何寄生電容。

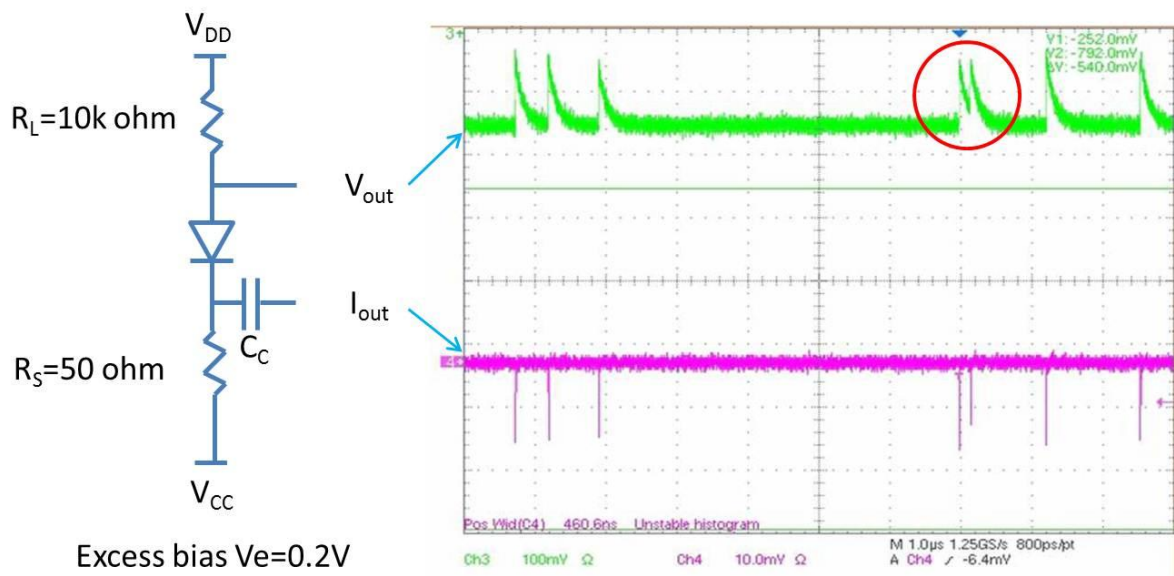


圖 4-4、passive quenching 下的崩潰訊號

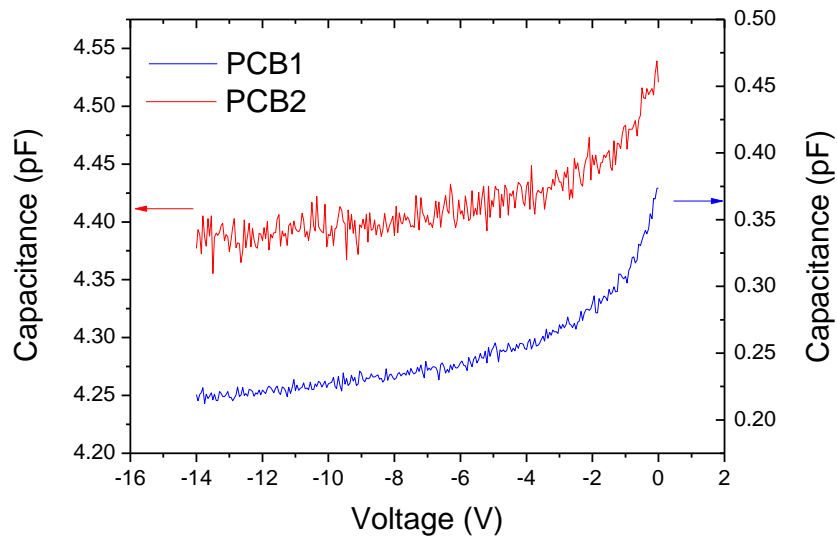


圖 4-5、PD03 在兩種 PCB 板下的寄生電容值

為避開 PCB 上的寄生電容，我們選定 PCB1 作為後續量測的 PCB。比較兩種 SPAD 在同樣的電路架構及超額偏壓下，發現兩個元件有截然不同的訊號（圖 4-6），在  $10\ \mu\text{s}$  內兩者的崩潰次數差異甚大，意味著兩者的暗計數相差甚遠，而預計要有比較低的暗計數的元件（圖 4-6(b)）卻有比較高的暗計數，與當初的設計目的不相符，因此我們推論可能來源為在  $0.18\ \mu\text{m}$  引入的淺溝槽隔離技術，在 STI 的製作過程，會先將矽晶圓蝕刻出淺溝槽，之後在成長上二氧化矽做絕緣層使用，因而在矽與二氧化矽間形成許多缺陷，這些缺陷會使元件在崩潰電壓上的暫態特性不顯著，使得在 geiger-mode 操作下有著極高的暗計數，使得設計與結果不符。

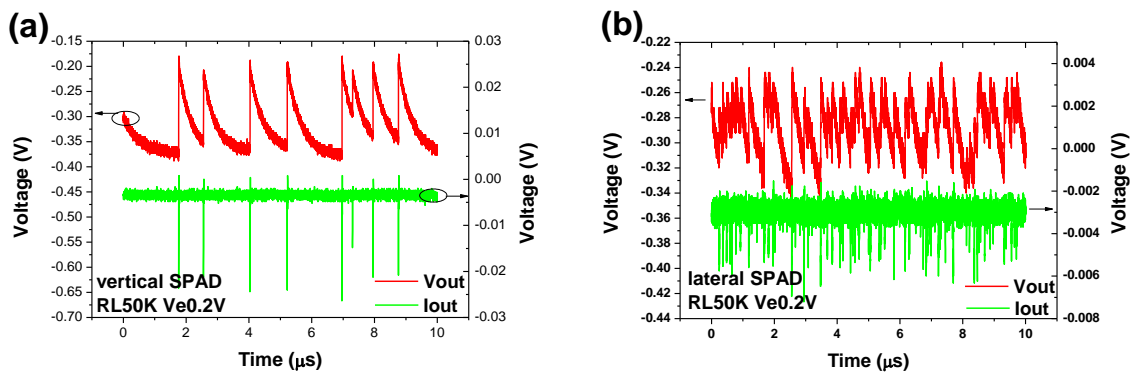


圖 4-6、(a)垂直結構與(b)側向結構的崩潰訊號

由於元件的暗計數過高，使得多數的崩潰皆為未充電至額定的超額偏壓即發生崩潰，造成光計數及暗計數量測上量化的困難，最後只好捨棄 PQC 的量測，轉向 gated-mode 量測。

## 4.2 SPAD 結構剖面圖

為了驗證我們的推測，便將晶片研磨至元件位置，透過光學顯微鏡及掃描式電子顯微鏡皆可以看見 STI 存在於元件的證據。由圖 4-7 中可見垂直式單光子偵測器中，STI 圍繞於主動區域的外圍，而在側向式單光子偵測器中（圖 4-8），STI 存在於兩高濃度區域之間，此區域洽為側向式 SPAD 的主動區。從兩張 SEM 圖中得出有 plus 區域便不會出現 STI，且 STI 存在於兩個 plus 區域之間，對照佈局時所使用的佈局層，plus 區域為 implant 層與 DIFF 層重疊區域，因此推測，含有 DIFF 層的區域則無 STI 形成。

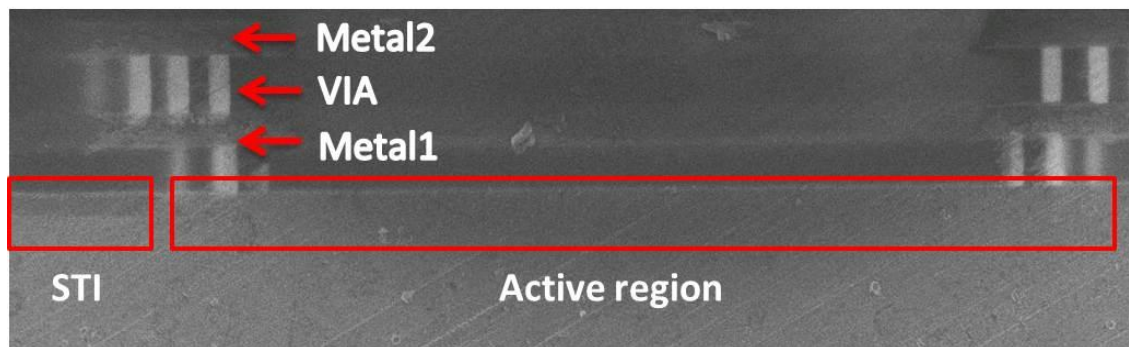


圖 4-7、垂直式 SPAD SEM 剖面圖

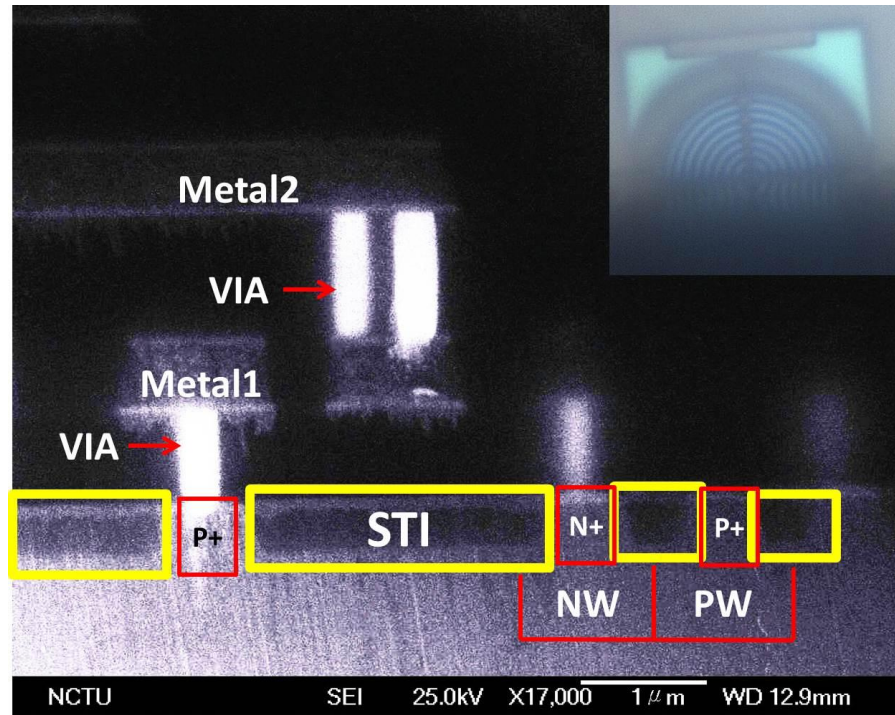


圖 4-8、側向式 SPAD SEM 剖面圖

### 4.3 Gated-mode quenching

確認 SPAD 暗計數來源為矽與二氧化矽介面缺陷之後，為了避開元件的 afterpulsing 效應，利用 gated-mode 操作下可以準確控制元件的 dead time 的特性，調控 dead time 避開缺陷釋放的載子。並且針對含有 DNW 的垂直式與側向式單光子偵測器，進行完整的暗計數及 PDE 的量測。

#### 4.3.1 Gated-mode 量測環境及技巧

Gated-mode 量測電路與 PQC 相似，但將 PQC 上的負載電阻移除，並使元件與 50 ohm SMD 電阻並聯做阻抗匹配（圖 4-9）。量測系統如圖 4-10 所示，將晶片置於布幕之中，使用 GWinstek GPD3303S 供應元件直流電壓於陰極，由 HP 8115A 提供脈衝訊號從陽極輸入，訊號讀取由電容耦合出元件崩潰電流訊號，接至示波器觀察波形及確定位準，之

後再接計數器，計算崩潰次數。而在光源方面則使用 400 nm 及 780 nm 的脈衝雷射經準直鏡收入光纖在射入元件，透過脈衝產生器傳送同步訊號給雷射電壓源啟動雷射，調整脈衝產生器的延遲時間（delay time），補償線路延遲，使光訊號與脈衝同時抵達元件，之後便可開始進行暗計數及光計數的量測。

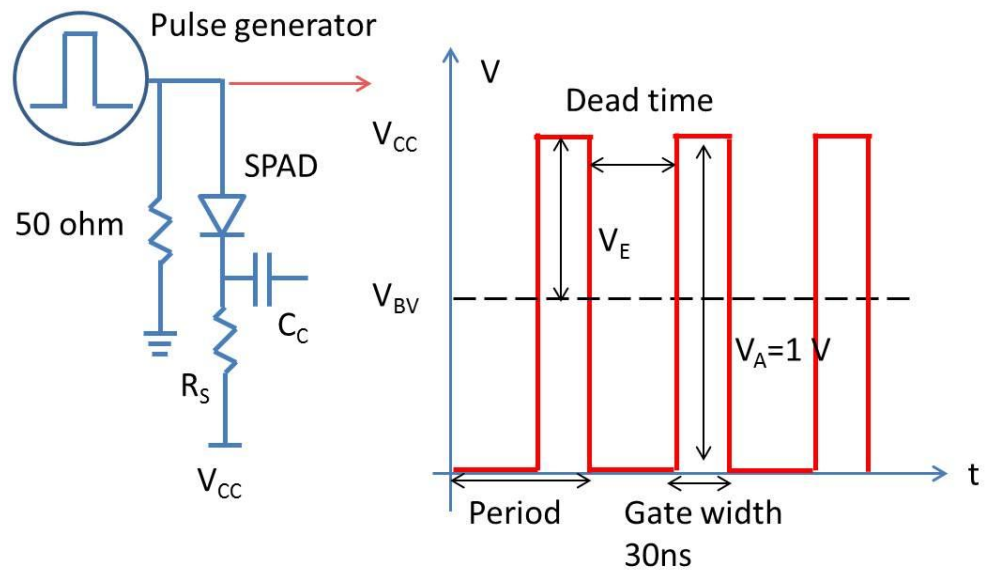


圖 4-9、gated-mode 電路與脈衝設定

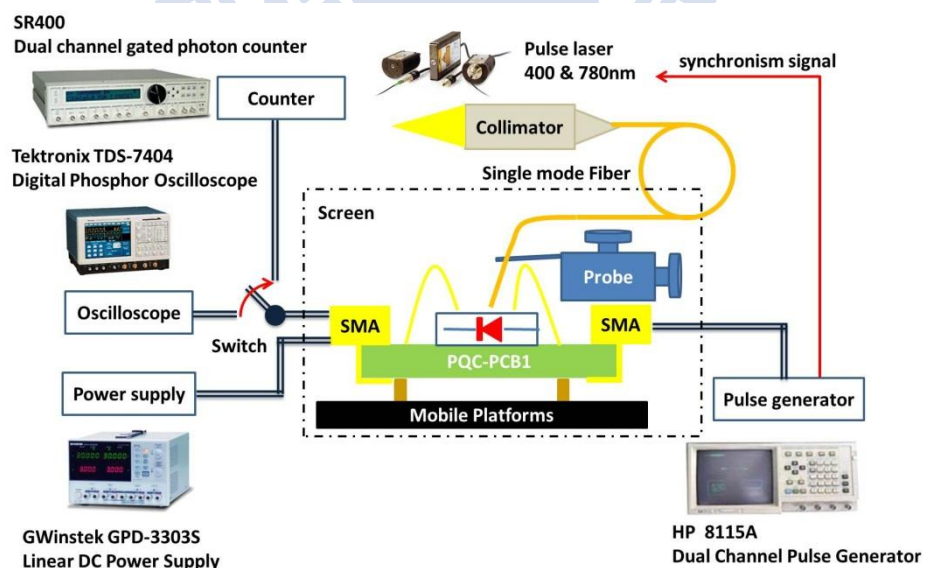


圖 4-10、gated-mode 量測系統

在脈衝的設定上（圖 4-9），我們固定脈衝時間（gate width）為 30 ns，脈衝振幅（amplitude）為 1 V，調整脈衝週期（period）來改變元件的死亡時間，調整  $V_{CC}$  改變元件的超額偏壓。從示波器上檢視元件的崩潰訊號及雷射光同步訊號（圖 4-11），調整脈衝延遲時間，使兩者同時抵達。從圖中發現元件在脈衝時間之內發生崩潰，元件無法自我關閉，待脈衝結束之後，崩潰現象隨之終止，此時作為訊號耦合的電容開始放電，並在脈衝結束之後出現第二波谷，此波谷會隨著超額偏壓增大而上升，因此在位準的設定上，我們偵測不同的超額偏壓下第二波谷的位準，再以此位準增加 5 mV 作為計數器的位準設定，來避免同一次崩潰訊號偵測兩次。確定訊號位準後，以一秒為統計時間，統計 30 次，將量測得到的 30 組數據做平均，即為我們要的計數。

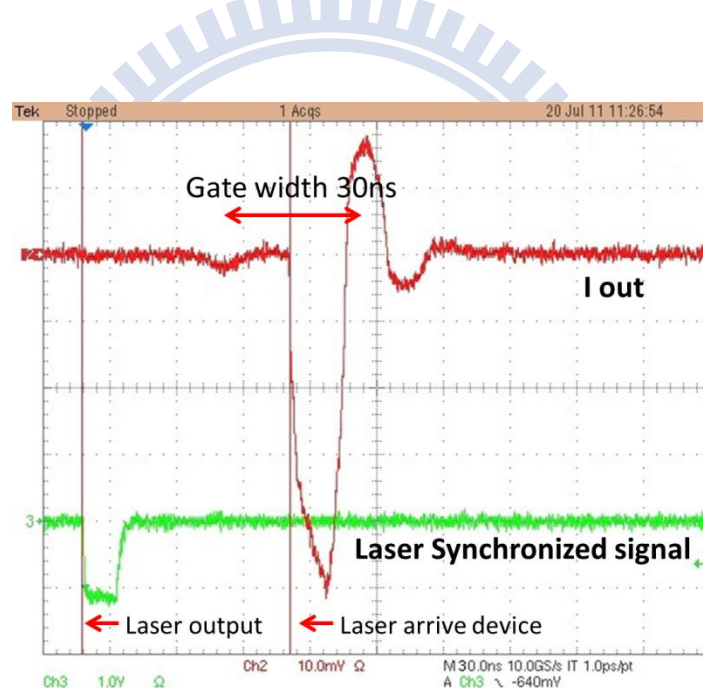


圖 4-11、Gated-mode 下元件的崩潰訊號

### 4.3.2 Gated-mode dark count 量測結果與討論

由於缺陷的影響，我們必須先取得缺陷的載子釋放時間，來避開 afterpulsing 的影響。我們先將量測的計數扣除死亡時間，以等效脈衝時間為 1 s 做為比較基準，觀察在不同超額偏壓及元件架構下暗計數的差異（圖 4-12、圖 4-13），從圖中可見，暗計數接隨著

超額偏壓增加而上升，垂直式單光子偵測器約在死亡時間 1500 ns 便沒有 afterpulsing 的影響，而垂直式則要到 40  $\mu$ s 方可避開 afterpulsing，且在暗計數的數量上，側向式約略高於垂直式有八倍之多（超額偏壓 0.4 V，沒有 afterpulsing 影響下），其原因是垂直式僅在主動區外圍有 Si/SiO<sub>2</sub> 的缺陷，而側向式則是在每個主動區域皆與 STI 相鄰，故兩者受 STI 影響差異甚大，所以在暗計數上的表現也相差甚遠。

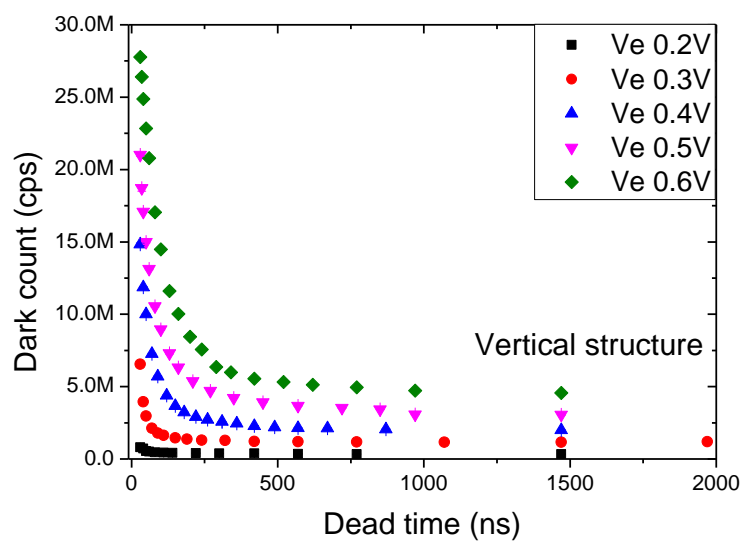


圖 4-12、垂直式單光子偵測器的暗計數在不同超額偏壓下與死亡時間關係圖

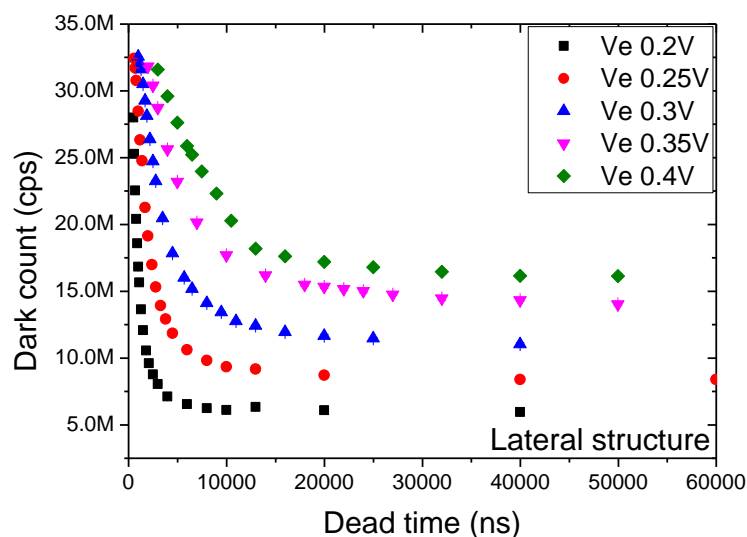


圖 4-13、側向式單光子偵測器的暗計數在不同超額偏壓下與死亡時間關係圖



藉由暗計數對死亡時間的量測結果，可萃取出缺陷釋放載子時間，其方法為利用暗計數與死亡時間模型[19,20]公式(4-1)。其中， $N_{dc}$  為平均暗計數； $N_{pdc}$  為主要載子引發的崩潰次數； $N_{adc}$  為缺陷釋放載子引發的崩潰次數； $P_d$  觸發崩潰的機率； $N_{tr,0}$  平均一次崩潰後被缺陷抓住的載子數量； $\tau$  脈衝時間； $\Delta T$  死亡時間； $\tau_d$  缺陷釋放載子時間。

$$N_{dc} = N_{pdc} + N_{adc}; \quad N_{adc} = P_d N_{tr,0} \left( \frac{\exp(\frac{\tau}{\tau_d}) - 1}{\exp(\frac{\Delta T}{\tau_d}) - 1} \right) \quad (4-1)$$

萃取結果如圖 4-14，從中看見隨著超額偏壓的增加，元件的缺陷釋放載子時間隨之上升。而這與一般缺陷的生命週期的趨勢不一致，從能帶圖的觀點來看，電場強度上升，能帶彎曲越嚴重，缺陷抓住的載子看見的等效能障寬度變窄，載子從缺陷穿隧至導帶的機率增加，因此，缺陷釋放時間下降。

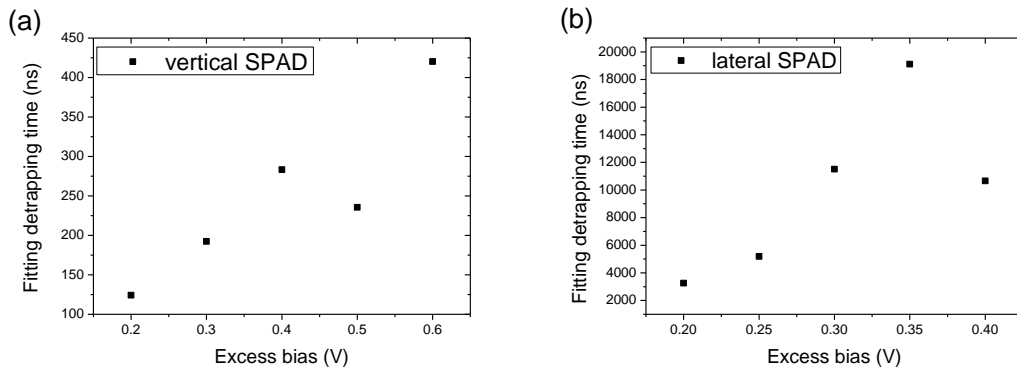


圖 4-14、(a)垂直式 SAPD 與(b)側向式 SAPD 的缺陷釋放時間與超額偏壓關係圖

從量測的過程中發現在切換元件的操作偏壓，需等待一段時間才可量得趨近穩定的計數，而其原因為元件本身的崩潰電流對自己加熱造成，而此次的量測系統中沒有針對元件溫度作管控，加上 PCB 本身散熱不佳，無法有效的帶走元件的積熱，造成不同的操作條件，有不同的元件溫度。

將觀察到的溫度現象納入考量，推論缺陷釋放載子時間與一般缺陷不一致的原因來

自溫度的影響（圖 4-15），隨著超額偏壓上升，能帶更加彎曲且元件溫度越高，載子除了透過穿隧效應之外，亦可藉由吸收熱能跳至別的缺陷直至導帶流往電極，而溫度越高，載子越容易吸收熱能跳至導帶，如此一來，前一次量測的缺陷載子，不在是經由穿隧效應至導帶而是吸收熱能躍遷至導帶，使得每次量測的缺陷位置不同，且隨著超額偏壓增大，量得的缺陷位於能帶的更深處，造成缺陷釋放載子時間變得越長。至於兩種不同的結構因缺陷數量不同，缺陷越多抓住載子的數量越多，載子從缺陷跳至下一個缺陷直至電極的時間相對變長，同時躍遷至導帶的過程中，載子亦可藉由穿隧至導帶，因此，缺陷數量越多，缺陷釋放載子時間越長，而側向式 SPAD 受 STI 影響較垂直式 SPAD 來的大，故側向式有較長的缺陷釋放載子時間。

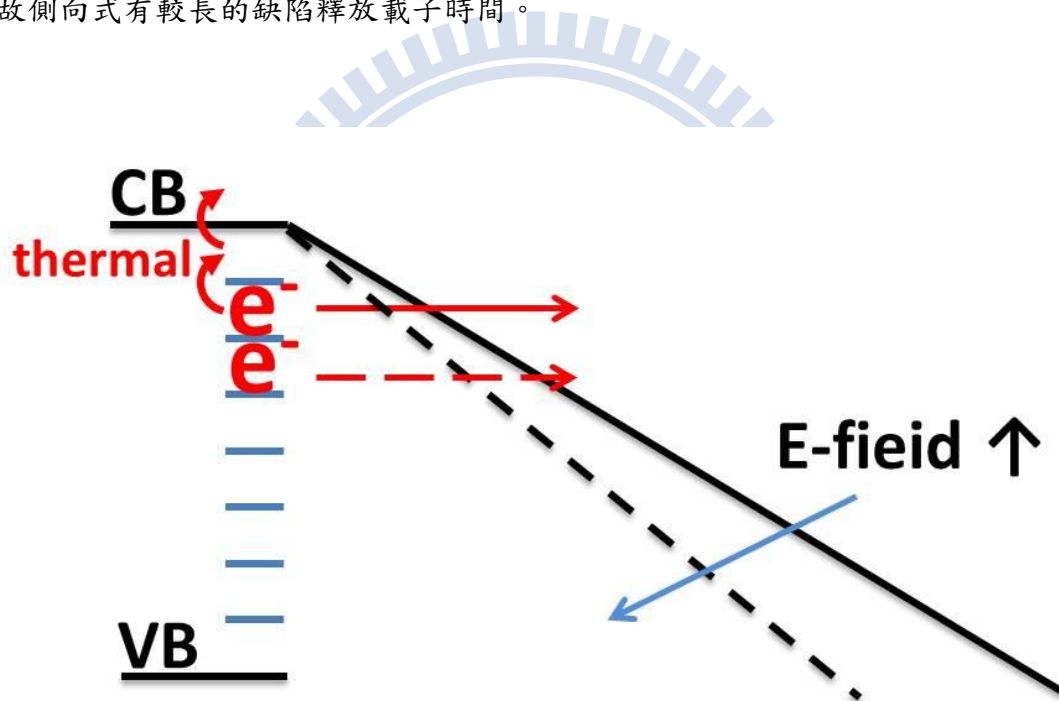


圖 4-15、缺陷載子釋放的示意圖

### 4.3.3 Gated-mode PDE 量測結果與討論

由暗計數對死亡時間的量測得知，多長的死亡時間方避開 afterpulsing 之後，便可開始進行光偵測率的量測。然而元件本身的偵測率不佳，加上計數會隨時間波動，因此為了減低擾動影響光計數，我們提升入射光子數，並依不同元件計數受擾動的影響程度差

異，分別設定為平均每十個脈衝有一個及三個光子數，藉由入射光子數的提升，擴大光計數及暗計數的差異。統計次數為 65 次，並且以手動的方式控制元件的照光與否，每五秒變換一次（1-5 s 照光，6-10 s 不照光，11-15 s 照光...依此類推），因而在一次的量測下，同時量到光計數及暗計數，利用這樣的量測方式來減少光計數與暗計數受擾動影響而造成的差異（圖 4-16）。扣除人為因素影響的數據之後再分別將光計數及暗計數平均後相減再除以入射光子數，即為元件的偵測率。

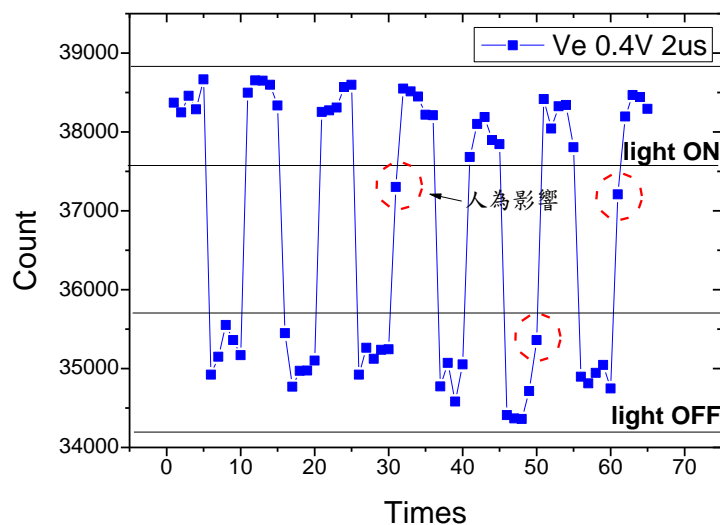


圖 4-16、暗計數及光計數實際量測數據

圖 4-17 為垂直式單光子偵測器在波長為 400 nm 的光偵測率受光柵的影響，與響應一致的結果，光偵測率受到光柵的干擾而降低。且圖中可見隨著超額偏壓的增加 PDE 可以隨之提升，然而超額偏壓增加也帶來暗計數的增加，從公式 (2-7) 得出 NEP，可量化兩者之間的增加比例，並得出在 400 nm 的波段下，垂直式單光子偵測器最佳的操作偏壓為 0.4 V，此時元件有最高的敏感度。

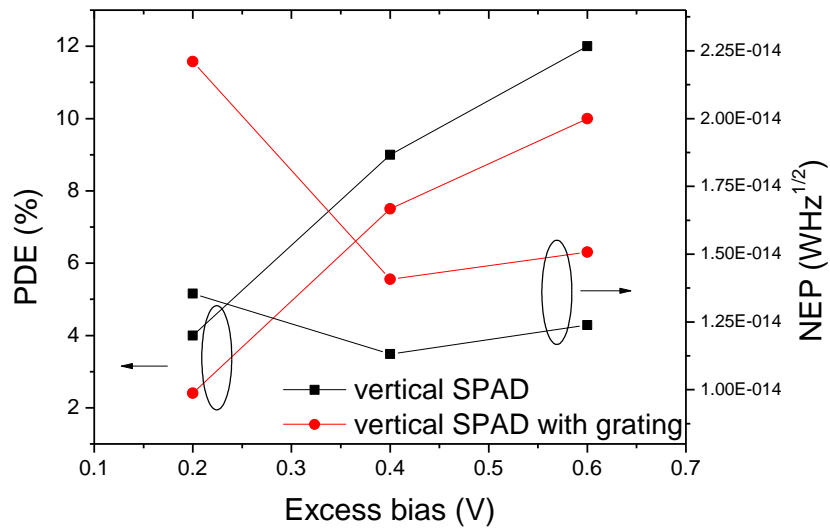


圖 4-17、垂直式單光子偵測器在 400 nm 下的 PDE 與 NEP 及光柵對 PDE 的影響

圖 4-18 為垂直式單光子偵測器在 780 nm 的 PDE 及 NEP，780 nm 的 PDE 較 400 nm 低，由於長波長吸收較深，載子需擴散較長的距離才可到達主動區，過程中間載子可能會復合，故在長波長下的偵測率不如 400 nm。而 NEP 則因為 PDE 下滑使 780 nm 較 400 nm 高出 4 倍。

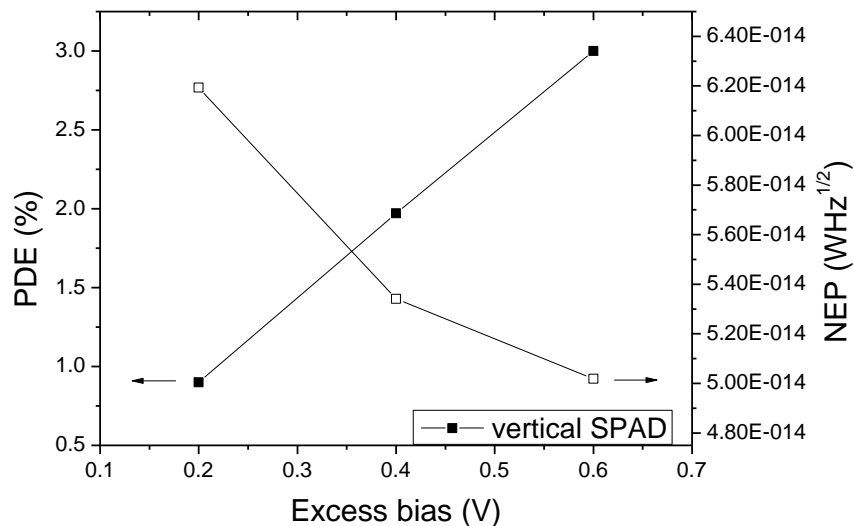


圖 4-18、垂直式單光子偵測器在 780 nm 下的 PDE 與 NEP

圖 4-19 為側向式單光子偵測器在 400 nm 的暗計數及光計數實際量測數據，從中可看見照光對計數增加量不明顯，且光增加量與計數的擾動接近，因此量測的 PDE 有大的誤差值。量得 PDE 在 0.2 V 及 0.3 V 下皆在 3.3 % 附近，而隨著超額偏壓增加，PDE 並沒有隨之上升的趨勢，推測原因為在高的超額偏壓下，元件的暗計數增加量遠大於光計數的增加量，加上計數本身的擾動，蓋過光計數的增加量，使得元件的 PDE 降低，而 NEP 在 0.2 V 及 0.3 V 下分別為  $7.85 \times 10^{-14} \text{ WHz}^{-1/2}$  與  $9.95 \times 10^{-14} \text{ WHz}^{-1/2}$ ，因 PDE 不隨著超額偏壓增加而上升，使得 NEP 有多達  $2 \times 10^{-14} \text{ WHz}^{-1/2}$  的增加。

由於元件的偵測率偏低，使得在 780 nm 的 PDE 量測下，照光對計數的增加量已無法分辨光計數與暗計數的差別。依據兩種波長的偵測率量測結果發現，波長長的有較高的響應卻沒有較高的 PDE，推測長波長吸收的載子位於元件的底部，元件主要的崩潰區卻分佈於元件表面附近，STI 的下方，而長波長吸收的載子在到達崩潰區前即被 P-well/DNW 接面的電場給帶走，故長波長的偵測率比短波長的低。

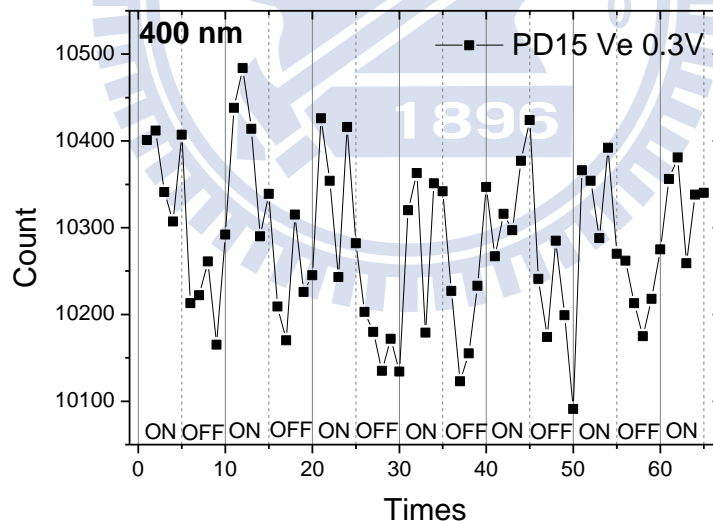


圖 4-19、側向式單光子偵測器在 400 nm 下的暗計數及光計數實際量測數據

## 第五章、結論與未來展望

為了利用標準製程上與電路整合的優勢，我們利用 Sentaurus TCAD 元件模擬軟體輔助設計出側向式單光子偵測器元件結構，了解元件操作在崩潰電壓之上時，有 geiger-mode 與 gated-mode 兩種不同操作模式的電路搭配，不同的操作模式可針對元件特性，選擇適當的操作模式。

在 linear-mode 量測上，經由 I-V 曲線的分析元件的崩潰電壓，確認 CMOS 0.18  $\mu\text{m}$  標準製程中的兩種不同操作偏壓的 well 僅對 plus 的高濃度區域有些許的影響，且不同的主動接面的搭配，使崩潰電壓分別在 10 V 與 15 V 附近，崩潰電壓低的主動接面有較小的崩潰內阻 60 ohm，接著分析元件在不同波長下的響應，不論在何種光元下，側向式結構皆有較佳的響應，且證實前次研究中，光柵對元件響應提升的緣由來自元件間的差異，及 DNW layer 對長波長吸收載子的影響，並且從暫態響應的量測得出側向式 SPAD 的崩潰區域集中於表面附近。

當元件操作在崩潰電壓的量測上，首先發現製作出來的元件中被加入了 STI，因而無法達到低暗計數的單光子偵測器的目標，也使得在 passive-quenching 量測下，無法將元間恢復至額定的超額偏壓，而無法準確的量測元件在該超額偏壓的特性，因此利用 gated-mode 操作來改善 passive-quenching 下的缺點，得出垂直式 SPAD 在 400 nm，超額偏壓 0.4 V 下，元件對 400 nm 的光子最敏感，此時偵測率為 9 %，雜訊等效功率為  $1.13 \times 10^{-14} \text{ WHz}^{-1/2}$ ，而側向式 SPAD 則受 STI 影響甚大，造成極高的暗計數 (>6 MHz) 與 PDE 量測上的難度。

透過 SEM 確認元件剖面結構及搭配佈局規則，得出在佈局時含有 DIFF layer 的區域便不會出現 STI，往後即使成功製作出沒有 STI 的側向式單光子偵測器，也會因崩潰區域集中於表面附近，同樣有在長波長的光偵測率不佳的問題，及崩潰區域佔有效的入光面積的面積比例過低，使側向式單光子偵測器的光偵測率無法如同響應度一樣，比垂直式單光子偵測器來的高。即便側向式單光子偵測率不如垂直式單光子偵測器，但透過

避開 STI 對暗計數的影響，可以在短波長的偵測上有比垂直式單光子偵測器更高的敏感度。



## 參考文獻

- [1] F. Zappa, A. Tosi, A. D. Mora, F. Guerrieri, S. Tisa, “Single-Photon Avalanche Diode Arrays and CMOS Microelectronics for Counting, Timing, and Imaging Quantum Events,” *Proc. of SPIE*. **7608**, 70682C (2010)
- [2] J. A. Richardson, L. A. Grant, R. K. Henderson, “Low Dark Count Single-Photon Avalanche Diode Structure Compatible with Standard Nanometer Scale CMOS Technology,” *IEEE Photonics Technology Letters*. **21**, 14 (2009)
- [3] Z. Xiao, D. Pantic, and R. S. Popovic, “A New Single Photon Avalanche Diode In CMOS High-Voltage technology,” *International Conference on Solid-State Sensors, Actuators and Microsystems 2007* (2007)
- [4] S. Radovanovic, High-Speed Photodiodes in Standard CMOS Technology, Springer, 1st edition (2004)
- [5] [http://www.tf.uni-kiel.de/matwis/amat/semi\\_en/kap\\_5/backbone/r5\\_2\\_2.html](http://www.tf.uni-kiel.de/matwis/amat/semi_en/kap_5/backbone/r5_2_2.html)
- [6] S. O. Kasap, Optoelectronics and Photonics : Principles and Practices, Prentice Hall, 1st edition (2001)
- [7] C. I. Dai, “Single-Photon Avalanche Photodiode Fabricated with Standard CMOS Technology,” *Master thesis*, National Chaio Tung University, Taiwan (2010)
- [8] C. Niclass, M. Gersbach, R. Henderson, L. Grant, E. Charbon, “A Single Photon Avalanche Diode Implemented in 130-nm CMOS Technology,” *IEEE Journal Of Selected Topics In Quantum Electronics*, **13**, 4 (2007)
- [9] S. M. Sze, Kwok K. Ng, Physics of Semiconductor Devices, Wiley-Interscience, 3rd edition (2006)
- [10] M. Gersbach, J. Richardson, E. Mazaleyrat, S. Hardillier, C. Niclass, R. Henderson, L. Grant, E. Charbon, “A Low-Noise Single-Photon Detector Implemented in a 130 nm CMOS Imaging Process,” *Solid-State Electronics*, **53**, 803 (2009)



- [11] W. G. Oldham, R. R. Samuelson, P. Antognetti, “Triggering Phenomena in Avalanche Diodes,” *IEEE Trans. on Electron Devices*. **19**, 9 (1972)
- [12] A. Lacaita, F. Zappa, S. Cova, P. Lovati, “Single-Photon Detection beyond 1  $\mu\text{m}$ : Performance of Commercially Available InGaAs/InP Detectors,” *Applied Optics*. **35**, 16 (1996)
- [13] M. A. Marwick, A. G. Andreou, “Fabrication and Testing of Single Photon Avalanche Detectors in the TSMC 0.18, $\mu\text{m}$  CMOS Technology,” *2007 41st Annual Conference on Information Sciences and Systems, CISS '07* (2007)
- [14] M. J. Hsu, H. Finkelstein, and S. C. Esener, “A CMOS STI-Bound Single-Photon Avalanche Diode with 27-ps Timing Resolution and a Reduced Diffusion Tail,” *IEEE Electron Device Lett.* **30**, 6 (2009)
- [15] I. Rech, A. Ingargiola, R. Spinelli, I. Labanca, S. Marangoni, M. Ghioni, S. Cova, “A New Approach to Optical Crosstalk Modeling in Single-Photon Avalanche Diodes,” *IEEE Photonics Technology Lett.* **20**, 5 (2008)
- [16] J. G. Su, H. M. Hsu, S. C. Wong, C. Y. Chang, T. Y. Huang, Y. C. Sun, “Improving the RF Performance of 0.18  $\mu\text{m}$  CMOS With Deep n-Well Implantation,” *IEEE ELECTRON DEVICE LETTERS*, **22**, 10 (2001)
- [17] S. Cova, M. Ghioni, A. Lacaita, C. Samori, F. Zappa, “Avalanche photodiodes and quenching circuits for single-photon detection,” *Applied Optics*. **35**, 12 (1996)
- [18] H. T. Yen, “InGaAs Avalanche Photodiode for Single-Photon-Detector Application,” *Master thesis*, National Chaio Tung University, Taiwan (2007)
- [19] M. A. Itzler, R. Ben-Michael, C.-F. Hsu, K. Slomkowski, A. Tosi, S. Cova, F. Zappa and R. Ispasoiu “Single photon avalanche diodes (SPADs) for 1.5  $\mu\text{m}$  photon counting applications,” *Journal of Modern Optics* **54**, 283 (2007)
- [20] Y. Kang, H. X. Lu, Y.-H. Lo, D. S. Bethune, W. P. Risk, “Dark Count Probability and Quantum Efficiency of Avalanche Photodiodes for Single-Photon Detection,” *Applied*



## 簡歷(vita)

姓名：李政儒 (Zheng-Ru Lee)

性別：男

出生年月日：民國75年09月22日

籍貫：台灣省宜蘭縣

學歷：

國立宜蘭高級中學 (2002.9 – 2005.6)

國立中興大學電機工程系學士 (2005.9 – 2009.6)

國立交通大學電子工程系碩士 (2009.9 – 2011.8)

碩士論文題目：

垂直式與側向式單光子崩潰二極體特性

Characteristic of Single-Photon Avalanche Diode with Vertical and Lateral Structures