

國立交通大學電信工程學系碩士班  
碩士論文

異質接面雙極性電晶體 VBIC 模型參數萃取與  
高速前置除頻器之實作

Parameters Extraction of InGaP/GaAs HBTs VBIC Model and  
Implementation of High-Speed Prescalerer



研究生：陳為昱

指導教授：孟慶宗

中華民國九十三年六月



國立交通大學  
電信工程學系碩士班

論文口試委員會審定書

本校 電信工程學系 碩士班 陳為昱 君

所提論文(中文) 異質接面雙極性電晶體 VBIC 模型參數萃取與高速前置  
除頻器之實作

(英文) Parameters Extraction of InGaP/GaAs HBTs VBIC Model  
and Implementation of High-Speed Prescaler

合於碩士資格水準、業經本委員會評審認可。

口試委員：孟慶宗 郭治群  
信春仁  
王學士

指導教授：孟慶宗

系主任：唐震寰 教授

中華民國 93 年 6 月 30 日



# 摘要

本論文中，我們將探討和射頻積體電路設計有關的兩大主題。目前使用積體電路實作射頻電路最大的問題在於元件模型的不準確性，故第一個主題是利用新型的 VBIC 模型來模擬 InGaP/GaAs 異質接面雙極性電晶體特性，希望可以準確至幾個 GHz。第二個部份則是高速前置除頻電路的設計、實作與量測的部份。

在前半段我們會討論在目前先進製程中的一些元件現象，尤其是 Spice Gummel-Poon 模型所沒有包含的部份。然後利用異質接面雙極性電晶體來測試 VBIC 模型是否可以準確的表現元件特性。由於 VBIC 在傳輸時間的部份繼承原本 SGP 模型的描述方式，所以在此部份是不足以完整描述元件現象。故我們再利用一個具物理意義的一維元件模型來模擬異質接面雙極性電晶體的傳輸時間特性。

在後半段，我們將設計並實作兩個能在射頻應用的高速前置除頻器。其一為利用 SiGe 製程的 5GHz 雙模數除頻器，它從 5V 的電源消耗 31mA，以及在 7.5GHz 前低於 20dB 的輸入反射係數。第二個部份則是不同架構的除三電路特性比較，發現 SHH 架構可以有效的提昇電路最高工作頻率約 30%。

# Abstract

---

In this paper, we will concentrate on two topics of Radio Frequency Integrated Circuits design issue. One is parameters extraction of InGaP/GaAs Heter-junction Bipolar Transistors using VBIC (Vertical-Bipolar Inter-Company) Model. The second is implementation and design of high speed prescaler.

We will discuss about the effects which were implemented in the VBIC model but not include in Spice Gummel-Poon model. Then model InGaP/GaAs HBT using VBIC model to demo the capability of VBIC for both DC and AC characteristics. VBIC cannot model the HBT well in the part of transit time, since it use SGP equations which cannot tell the real case under different bias conditions to describe  $\tau_f$ . Finally, a 1-D physical-based transit time model is used to model InGaP/GaAs HBT.

The second part of this thesis is high speed prescaler. We will design and implement two prescaler for RF usage. The first is a 5GHz dual-modulus prescaler in SiGe technology consuming 31 mA from a 3.5 V supply. The prescaler (/4/5) can work up to 5GHz and the input return loss is below -7.5dB before 7.5GHz. The second one is comparison of two different topologies for truly 50% duty-cycle divide-by-3 circuit. The SHH topology can really extend input frequency range 30% for the divide-by-3.

# 誌謝

---

經過兩年的耕耘，我的碩士論文終於誕生了。在此要先感謝孟慶宗教授在這兩年來不斷的諄諄教悔，以及在實作時的細心指導，使我得以進入此研究領域，亦讓我了解到自己所知的不足，且讓我有努力的目標與方向。經由許多人的幫助，我才得以在兩年的時間內完成此一階段性的研究目標，在此以感恩的心謝謝大家。更要感謝的是我的父母親與家人的全力支持與鼓勵，才讓我在兩年乏味的生活中找到自己想做的事。



此篇論文能順利完成，要感謝國家毫微米實驗室成員們的幫助，才得以有完整的量測結果。同時也要感謝吳宗翰學長、鄒伯均學長、宋大偉學長及蘇珍儀學姊等的指導與照顧，才能讓剛進入此領域的我，得以有更進一步的認識與瞭解。更要感謝明奇、慶鴻、紹宇、仰涵及智琦等同學們以及智凱、澤宏、宇文和聖哲學弟平日的幫忙討論與日常生活壓力的排解，才能讓我快樂的渡過這兩年的光陰。最後要感謝每個一個幫助過我的人。

# 目錄

摘要.....	i
Abstract.....	ii
誌謝.....	iii
目錄.....	iv
表目錄.....	vi
圖目錄.....	vii
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 論文組織.....	3
第二章 異質接面雙極性電晶體 VBIC 模型之建立.....	4
2.1 VBIC 模型之介紹.....	5
2.1.1 集極穿透電流( $I_{cc}$ ) : .....	8
2.1.2 基極電流( $I_{be}, I_{bc}$ ) : .....	8
2.1.3 弱累增效應(Weak Avalanche Effect).....	9
2.1.4 類飽和效應(Quasi-saturation effects).....	10
2.2 VBIC 模型直流參數之量測與萃取.....	11
2.2.1 寄生電阻之量測與萃取.....	12
2.2.1.1 射極與集極寄生電阻.....	13
2.2.1.2 基極寄生電阻.....	15
2.2.2 順向及逆向 Gummel plot 參數之萃取.....	16
2.2.3 基極寬度調變效應(Base Width Modulation Effect)萃取.....	20
2.2.4 類飽和效應(Quasi-saturation)萃取.....	21
2.2.5 直流參數萃取結果.....	24
2.3 VBIC 模型交流參數之量測與萃取.....	25
2.3.1 VBIC 模型電容分析.....	25
2.3.2 接面電容量測與萃取.....	27
2.3.3 傳輸時間常數萃取.....	31
2.3.4 S 參數分析與交流參數萃取結果.....	34
2.4 InGaP/GaAs HBT 傳輸時間特性.....	37
2.4.1 基極中性區(Neutral Base Region).....	39
2.4.2 基極-集極空間電荷區(BC Space Charge Region).....	41
2.4.3 射極中性區(Neutral Emitter Region).....	42

2.4.4	基極-射極空間電荷區(BE Space Charge Region).....	43
2.4.5	集極中性區(Neutral Collector Region) .....	44
2.4.6	傳輸時間模型及萃取結果.....	45
第三章	正交相位壓控振盪器.....	50
3.1	振盪器基本原理.....	50
3.2	正交相位壓控振盪器.....	54
3.2.1	反相耦合壓控振盪器.....	57
3.2.2	利用除二產生正交相位.....	62
3.2.3	利用除四產生正交相位.....	67
3.3	結論.....	70
第四章	高速前置除頻器.....	71
4.1	射極耦合邏輯.....	72
4.1.1	射極耦合邏輯閘.....	72
4.1.2	D型正反器(D-type Flip-Flop).....	76
4.2	雙模前除頻器(除四除五).....	81
4.2.1	電路架構及原理.....	82
4.2.2	晶片實作量測結果及討論.....	87
4.2.3	靈敏度特性分析.....	91
4.3	產生 50%工作周期的除三電路.....	93
4.3.1	電路架構及原理.....	93
4.3.2	量測結果及討論.....	99
4.4	結論.....	107
第五章	結論.....	108

# 表目錄

---

表 2-1	寄生電阻萃取結果 .....	16
表 2-2	順向與逆向 Gummel Plot 參數萃取結果.....	20
表 2-3	類飽和效應參數與其物理意義 .....	21
表 2-5	InGaP/GaAs HBT 直流參數萃取結果整理.....	24
表 2-7	VBIC 傳輸時間參數萃取結果.....	34
表 2-8	InGaP/GaAs HBT 的 VBIC 模型交流參數萃取結果 .....	35
表 2-9	InGaP/GaAs HBT 傳輸時間參數萃取結果.....	48
表 3-1	反相耦合壓控振盪器量測結果 .....	61
表 3-2	利用除二產生正交相位壓控振盪器量測結果 .....	67
表 4-1	SiGe HBT 前置雙模除頻器量測結果 .....	90
表 4-2	各種產生 50%工作周期除三的接線方法 .....	97
表 4-3	SSH 與 SHH 量測摘要 .....	105





# 圖目錄

圖 2-1	VBIC 模型等效電路圖.....	7
圖 2-2	類飽和效應及其等效模型示意圖.....	11
圖 2-3	InGaP/GaAs HBT 元件結構圖.....	12
圖 2-4	RE-flyback(a)及 RCX-flyback(b)量測設定圖.....	13
圖 2-5	RE 量測與萃取結果.....	14
圖 2-6	RCX 量測與萃取結果.....	14
圖 2-7	萃取 RBX 及 RBI 示意圖.....	16
圖 2-8	Gummel Plot 各參數與其物理意義.....	17
圖 2-9	逆向 Gummel Plot 參數與其物理意義.....	18
圖 2-10	順向與逆向 Gummel Plot.....	19
圖 2-12	逆向 Gummel Plot 量測與模擬結果比較.....	20
圖 2-16	HBT 元件電壓電流特性圖 1.....	23
圖 2-17	HBT 元件電壓電流特性圖 2.....	23
圖 2-18	定偏壓下的寄生元件示意圖.....	28
圖 2-19	CBE 量測設定示意圖.....	29
圖 2-20	CBC 量測設定示意圖.....	29
圖 2-21	CBE 量測及模擬結果.....	30
圖 2-22	CBC 量測及模擬結果.....	30
圖 2-23	傳輸時間量測設定示意圖.....	32
圖 2-24	傳輸時間量測與 VBIC 模擬比較.....	33
圖 2-25	InGaP/GaAs HBT 量測 S 參數與 VBIC 模型模擬結果(S11).....	35
圖 2-26	InGaP/GaAs HBT 量測 S 參數與 VBIC 模型模擬結果(S12).....	36
圖 2-27	InGaP/GaAs HBT 量測 S 參數與 VBIC 模型模擬結果(S21).....	36
圖 2-28	InGaP/GaAs HBT 量測 S 參數與 VBIC 模型模擬結果(S22).....	37
圖 2-29	量測 Ft 對 Ic 的作圖.....	38
圖 2-30	InGaP/GaAs HBT 區域模型示意圖.....	38
圖 2-31	利用一維元件模型萃取 InGaP/GaAs HBT 傳輸時間(log).....	48
圖 2-32	利用一維元件模型萃取 InGaP/GaAs HBT 傳輸時間(lin).....	49
圖 3-1	產生正迴授系統示意圖.....	51
圖 3-2	負阻抗振盪器示意圖.....	52
圖 3-3	負阻抗振盪器小信號示意圖.....	53
圖 3-4	各種 LC type 差動振盪器架構.....	56
圖 3-5	反相耦合式正交相位壓控振盪器電路圖.....	57

圖 3-6	(a)壓控振盪器及耦合元件 (b)小信號模型 .....	58
圖 3-7	壓控振盪器反相耦合示意圖 .....	59
圖 3-8	反相耦合壓控振盪器晶片照片 .....	60
圖 3-9	反相耦合壓控振盪器量測頻譜圖 .....	60
圖 3-10	反相耦合壓控振盪器輸出頻率對 $V_{tune}$ 的關係 .....	61
圖 3-11	(a).D-type flip-flop (b).除二電路 .....	62
圖 3-12	輸出信號相位關係 .....	63
圖 3-13	電容耦合壓控振盪器核心電路 .....	64
圖 3-14	利用除二產生正交相位壓控振盪器電路圖 .....	65
圖 3-15	利用除二產生正交相位壓控振盪器電路 .....	65
圖 3-16	相位雜訊量測圖(Freq. 5.755 GHz).....	66
圖 3-17	輸出頻率與 $V_{tune}$ 的關係 .....	66
圖 3-18	利用除四電路的產生低頻 LO 的系統方塊圖 .....	68
圖 3-19	利用除四產生正交相位壓控振盪器電路圖 .....	68
圖 4-1	射極耦合差動對電路圖 .....	73
圖 4-2	差動對的集極電流 .....	74
圖 4-3	多用途 ECL 邏輯閘電路圖 .....	75
圖 4-4	射極耦合 D 型正反器電路 .....	76
圖 4-5	追鎖級之線性簡化模型 .....	77
圖 4-6	追鎖級放大倍率與時間關係圖 .....	79
圖 4-7	傳統雙模除頻器電路架構 .....	81
圖 4-8	傳統雙模除頻器的 Timing Diagram.....	82
圖 4-9	將 AND 閘整合後的 D 型正反器 .....	83
圖 3-10	併入 AND 閘之除四除五電路架構及時脈原理推導圖 .....	84
圖 4-11	前置輸入級電路圖 .....	85
圖 4-12	輸出級緩衝級電路圖 .....	86
圖 4-13	SiGe 前置雙模除頻器 .....	87
圖 4-14	輸入頻率為 1GHz 時，除四(a)及除五(b).....	88
圖 4-15	輸入頻率為 3GHz 時，除四(a)及除五(b).....	88
圖 4-16	輸入功率敏感度對輸入頻率作圖 .....	89
圖 4-17	量測輸入反射係數 .....	89
圖 4-18	靈敏度特性曲線示意圖 .....	91
圖 4-19	令 CLK 端小信號輸入為零的 D 型正反器 .....	92
圖 4-20	二級環形振盪器示意圖 .....	92
圖 4-21	利用同步式除二產生 50%工作週期示意圖 .....	93
圖 4-22	利用同步式除四產生 50%工作週期示意圖 .....	94
圖 4-23	傳統除三電路 .....	95
圖 4-24	相位可切換式 D 基正反器電路圖及真值表 .....	95

圖 4-25	SSH 接線的信號走向圖 .....	96
圖 4-26	正緣觸發 SSH 電路架構圖及信號時間圖 .....	97
圖 4-27	正緣觸發 SHH 電路架構圖及信號時間圖 .....	98
圖 4-28	負緣觸發 SSH 電路架構圖及信號時間圖 .....	98
圖 4-29	負緣觸發 SHH 電路架構圖及信號時間圖 .....	99
圖 4-30	二種產生 50%工作周期電路的照片 .....	100
圖 4-31	輸入信號為 600MHz(輸出信號 200MHz) .....	101
圖 4-32	輸入信號為 900MHz(輸出信號 300MHz) .....	101
圖 4-33	輸入信號為 1.2GHz(輸出信號 400MHz) .....	102
圖 4-34	輸入信號為 1.5GHz(輸出信號 500MHz) .....	102
圖 4-35	輸入信號為 2.05GHz(輸出信號 683MHz) .....	103
圖 4-36	輸入信號為 2.4GHz(輸出信號 800MHz) .....	103
圖 4-37	靈敏度對輸入頻率(SSH) .....	104
圖 4-38	靈敏度對輸入頻率(SHH) .....	104
圖 4-39	Vcore=5V 時，SSH 與 SHH 靈敏度比較 .....	105



# 第一章

## 緒論



### 1.1 研究動機

隨著科技的進步，人與人的溝通方式愈來愈多，在現代的社會中，最方便且最重要的就是無線通訊了。由於個人行動通信用品，如：2G、3G 行動電話、Bluetooth、無線區域網路 (Wireless LAN :WLAN) 等無線設備的普及，無線通訊已完全融入我們的生活之中成為人與人之間不可或缺的溝通方式。同時，要求具備高通訊品質、高資料傳輸率，以及在單位頻寬內能有更多的頻道可供多人同時使用已成為迫不及待的目標。且各種可攜帶式行動通訊設備均須降低耗電量以延長電池使用時間和縮小體積以提高可攜性的要求，皆對設計者的要求更加嚴苛，如何在有限的空間內達成最佳的通訊品質是對設計者的一大挑戰。



就現今的個人通訊裝置而言，包含數百萬計的電路元件，其中射頻電路只佔了極小的一部份，但射頻電路較之電晶體最多的數位電路而言，不但研發期長，且研發失敗的機率又高，使得射頻電路仍為現今電路設計上的一個重大瓶頸。由於射頻電路設計需考慮許多參數，包含了雜訊、線性度、功率消耗、阻抗匹配、操作頻率、直流電壓供應、信號振幅及系統規格之間的兩難(Trade Off)，各種參數相互地影響造成設計上更加困難。

另一方面，由於半導體製程不斷的進步，電晶體的單位電流增益頻率( $f_T$ )、最大振盪頻率( $f_{max}$ )亦不斷的提高，使將射頻電路積體化，以達成降低成本、縮小體積、減輕重量、降低功率消耗，及可高重覆性製作的目標，不再是遙不可及的夢想。然而，由於射頻電路對多利用電晶體本身的效應設計，故電晶體模型的準確性將大幅的影響電路設計者如何設計電路，且模型只能描述部份現象，使得射頻電路設計者被迫只能依經驗及直覺來設計電路。

一個精確的非線性元件模型將大大有助於射頻電路積體化之實作。因此我選擇了 VBIC 元件模型以及高速除頻器作為研究的主题。

## 1.2 論文組織

本論文將包含五個章節，第一章為緒論，說明研究動機、目前發展概況及論文組織。第二章將以利用由 CIC 提供下線機會由 GCTC 製作的 InGaP/GaAs HBT 來萃取 VBIC 模型參數，提供一套正確有效率的流程。並且對異質接面雙極性電晶體的傳輸時間(transient time) 做一深入的討論。第三章為正交相位壓控振盪器介紹，將討論如何產生在直接降頻及低中頻收發機中須要的本地端信號。第四章高速前置除頻器，將介紹除頻器電路特性與實際晶片量測及討論。第五章為結論。

