

第三章

正交相位壓控振盪器



在通訊系統之中，不管是在發送端或是接收端都須要有一個穩定的本地端信號，才可以將欲傳送或是接收的信號加以調變或是解調變。而此本地端信號的好壞將嚴重的影響整個系統的通信能力，在本地端信號中最重要的規格為其相位雜訊 (phase noise)，若其相位雜訊太大會將信號屏蓋住，而無法通信。

3.1 振盪器基本原理

振盪器為一利用直流偏壓(DC bias)產生交流(AC)信號的電路。最基本的振盪器(Oscillator)電路特性就是會產生一個具有週期性的信號，通常是以電壓的型式來呈現，而和其餘電路最大的不同點就是在於，它在沒有交流信號輸入的情況下會持續的輸出一個週期信號，也就是會”無中生有”。為了達到這個目的，最直覺的方法就是利用”

正迴授”的系統來達成此一目標。

正迴授系統有幾種組成型式，包括：(1).將一負迴授系統加上 180° 的相位延遲，使其”負負得正”。(2).將一沒有相位延遲的系統加上 $360^\circ \times N (N=0,1,2,\dots)$ 的相位延遲。都可以輕易的產生正迴授系統。

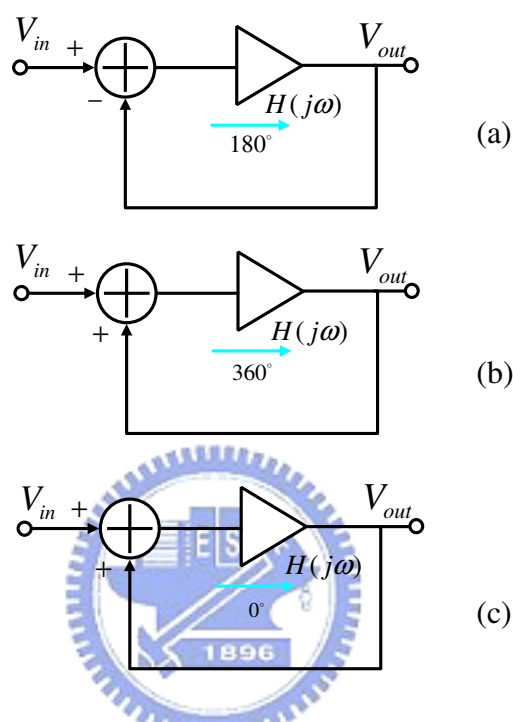


圖 3-1 產生正迴授系統示意圖

以負迴授系統加上 180° 的相位延遲的設計為例，其架構如上圖(a)所示，其輸出電壓和輸入電壓的關係如下式：

$$\frac{V_{out}}{V_{in}}(j\omega) = \frac{H(j\omega)}{1 + H(j\omega)} \quad (\text{式 3.1})$$

從上式來看，如果我們可以找到一個頻率使其代入後使得 $H(j\omega) = -1$ ，則該系統在 ω_0 這個頻率的封閉迴路增益會趨近無限大，代表只要有任何這個頻率的信號即會產生周期性輸出。換句話說我們只要給它一個此頻率的小信號，它就會無限長大，而達到無中生有的

目的。從 $H(j\omega) = -1$ 這個條件來看，事實上就是把一個負回授的系統轉換成一個正回授的系統，而且只有在 ω_0 這個頻率的信號是正回授，所以我們也就可以用以產生一單一頻率的信號，所以只要讓 $H(j\omega) \leq -1$ 以達到正回授條件，我們可以找到振盪器的起振條件 (Barkhausen criteria)：

$$\begin{aligned} |H(j\omega_0)| &\geq 1 \\ \angle H(j\omega_0) &= 180^\circ \end{aligned} \quad (\text{式 3.2})$$

在實際設計時，應將封閉迴路增益設計至略大於 1 即可，而真正會決定振盪器振盪頻率的是封閉迴路增益的相位。只有完全符合正迴授條件的頻率才會振盪。另外須要注意的是，一個良好的振盪器設計時，須要避免多個頻率同時符合振盪條件，這將會造成多個頻率同時起振，除了會將輸出功率分掉之外還會造成不穩定的輸出。

在高頻振盪器的設計上，我們常常使用負電阻 (Negative-Resistanc) 模型來幫助設計單端輸出的振盪器。可分為兩個部份，分別為主動電路部份及共振電路，利用共振電路的部份來做頻率選擇，主動電路的部分提供負電阻維持振盪時所須的能量及抵消由共振腔寄生電阻。一個小信號負電阻振盪器的示意圖如圖 3-2 所示：

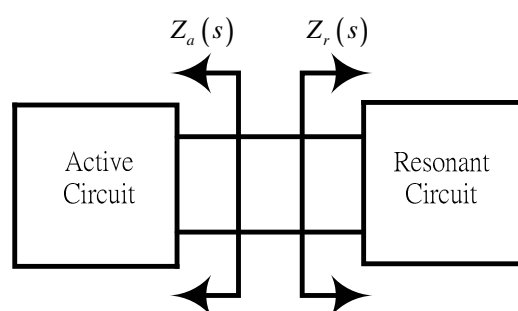


圖 3-2 負阻抗振盪器示意圖

假設主動電路和共振腔電路的輸入阻抗分別為 $Z_a(s)$ 和 $Z_r(s)$ 或者是 $Y_a(s)$ 和 $Y_r(s)$ ，通常共振腔都是正阻抗(消耗能量)的電路，如果我們可以另用主動元件來設計出負阻抗(產生能量)的電路，來使得 $Z_a(s)+Z_r(s)=0$ 或是 $Y_a(s)+Y_r(s)=0$ ，則信號就會在上面的電路裡一直振盪而不會因衰減而散失。以下我們用更詳細的推導來證明：

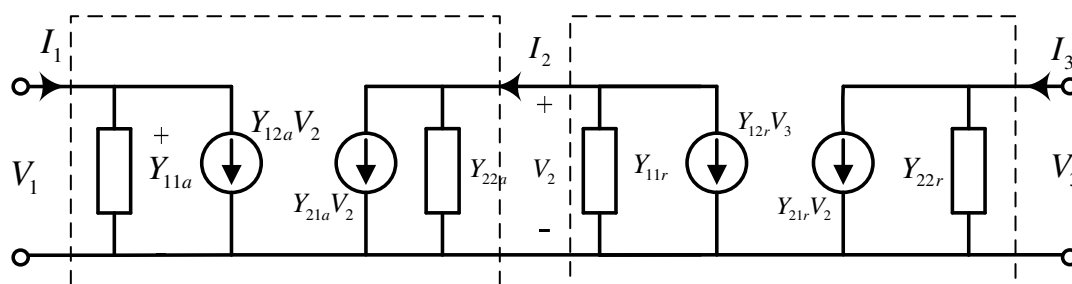


圖 3-3 負阻抗振盪器小信號示意圖

上圖是我們把某個頻率附近的負電阻模型轉換成兩個雙埠 Y 參數模型來分析，利用克希赫夫電流定律(KCL)，我們可以寫出電路的方程式如下：

$$\begin{aligned}
 I_1 &= Y_{11a} V_1 + Y_{12a} V_2 \\
 I_2 &= Y_{21a} V_1 + Y_{22a} V_2 \\
 -I_2 &= Y_{11r} V_2 + Y_{12r} V_3 \\
 I_3 &= Y_{21r} V_2 + Y_{22r} V_3 \\
 I_1 &= 0 \\
 I_3 &= 0
 \end{aligned}
 \tag{式 3.3}$$

$$\begin{pmatrix} I_1 \\ 0 \\ I_3 \end{pmatrix} = \begin{pmatrix} Y_{11a} & Y_{12a} & 0 \\ Y_{21a} & (Y_{22a} - Y_{11r}) & Y_{12r} \\ 0 & Y_{21r} & Y_{22r} \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \\ V_3 \end{pmatrix}
 \tag{式 3.4}$$

其中下標 a 表示主動電路部份的參數，下標 r 表示被動電路部份 (resonant circuit)。振盪的條件是外部不須要輸入信號($I_1=I_3=0$)，但仍

會有輸出信號(V_1, V_2, V_3 皆不等於 0)。

$$\text{欲求出此解須要 } \det \begin{vmatrix} Y_{11a} & Y_{12a} & 0 \\ Y_{21a} & (Y_{22a} - Y_{11r}) & Y_{12r} \\ 0 & Y_{21r} & Y_{22r} \end{vmatrix} = 0$$

而上述線性系統的 determinant 是

$$D(s) = Y_{11a} (Y_{11r} Y_{22r} - Y_{21r} Y_{12r}) + Y_{22r} (Y_{11a} Y_{22a} + Y_{21a} Y_{12a}) \quad (\text{式 3.5})$$

所以我們就可以解出主動電路和共振腔的等效電導

$$\begin{cases} Y_a(s) = Y_{22a} - \frac{Y_{21a} Y_{12a}}{Y_{11a}} \\ Y_r(s) = Y_{11r} - \frac{Y_{21r} Y_{12r}}{Y_{22r}} \end{cases} \quad (\text{式 3.6})$$

又因我們的共振條件可知 $Y_a(s) + Y_r(s) = 0$ ，所以把上列二式相加

$$Y_a(s) + Y_r(s) = 0 = Y_{11a} (Y_{11r} Y_{22r} - Y_{21r} Y_{12r}) + Y_{22r} (Y_{11a} Y_{22a} + Y_{21a} Y_{12a}) = D(s) \quad (\text{式 3.7})$$

所以我們由 $Y_a(s) + Y_r(s) = 0$ 導出的(式 3.7)和電路的特性方程式(式 3.5)所得到的結果相同，因此我們又得到了另一種方法來描述 Negative resistance oscillator 的線性行為。我們常常用這兩種模型來設計振盪器。

3.2 正交相位壓控振盪器

目前通訊系統收發機的架構將由之前的超外差式(Heterdyne)收

發機朝向直接降頻式(Direct-conversion)收發機或是低中頻式(Low-IF)收發機的架構演進，而在此種收發機架構下，由於其中頻非常低，故其鏡像頻率可能是鄰近使用者正在使用的頻道，所以功率非常大易將信號屏蓋住。為了使收發機在此狀態下仍可以正常的收發，我們必須要提高鏡像頻率排斥比(Image Rejection Ratio)，根據計算約須至少具有 60dB 的鏡像排斥比。為了提高鏡像排斥比，我們須使用具有正交相位(I、Q phase)的本地端信號(LO)將射頻信號做降頻，所以選擇此一重要的電路元件做為研究的主題。

差動輸出壓控振盪器，其電路如圖 3-4 所示，利用一組元件，將其排列成 Cross-couple 的型式，即可以在其輸出端產生正回授，再利用輸出端的負載經由適當的設計其共振頻率 $\omega = 1/\sqrt{LC}$ ，即可在想要的頻率產生周期性的輸出。

壓控振盪器中，最重要的規格為其相位雜訊(phase noise)，而增加輸出電壓振幅即為降低相位雜訊最好的方法。一組電晶體利用回授產生負電阻的方法有三種，分別為：(1).直接回授：即直接將兩顆元件的射極接到另外一顆的基極，可以產生 $2/g_m$ 的負電阻。(2).利用電感作回授元件。(3).利用電容作為回授元件。直接回授時，由於振幅最大無法使元件的基極-集極接面順偏，所以其輸出電壓即被此接面的電壓所限制。為了避免此情況，我們可以採用電容或耦合電感作為回授元件。使用電容作為回授元件時，由於此時電晶體的基極並無直流偏壓電流，須另加一大電阻在基極端提供直流偏壓，但同時亦會增加對相位雜訊的干擾。這可以由使用耦合電感來加以改善，理想的耦合電感並無電阻故不會增加雜訊，但實際上由於其寄生電阻的存在仍會對相位雜訊造成某種程度的增加。

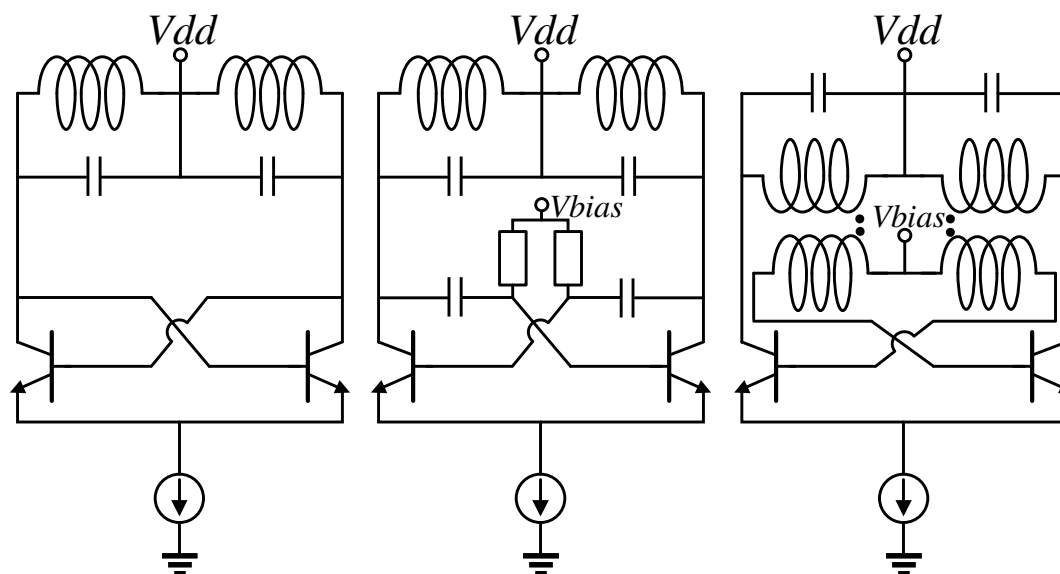


圖 3-4 各種 LC type 差動振盪器架構

由 T.H.Lee 的 model，一個 LC 型振盪器的相位雜訊大小可表成如下的型式：

$$P_{SBC}(\Delta\omega) = 10 \cdot \log \frac{\overline{i_n^2} \Gamma_{rms}^2 \Delta f}{2q_{max}^2 \Delta\omega^2} \quad (式 3.8)$$

其中， Γ_{rms} 是 ISF (impulse sensitivity function) 的均方根值，因為振盪器為一個時變的系統，在一個振盪周期的不同時間點，電路雜訊造成相位雜訊的效果亦不相同。而所謂的 ISF 就是用來描述電路雜訊在不同的時間對相位雜訊的影響程度。且因為振盪器為一時變的系統，電流在兩個耦合電晶體上來回振盪，因此 ISF 必須要考慮到電流的效應，所以我們採用「有效 ISF ($\Gamma_{rms,eff}$)」作為電路雜訊轉換成相位雜訊的貢獻量。式中 q_{max} 是指輸出端的電容乘上最大的電壓振盪幅度，即為輸出端電荷的變化量。較大的輸出振幅會對應到較小的相位雜訊。而 i_n^2 是非時變的電路雜訊，表示相位雜訊是由電路的雜訊所貢獻。

適當的選擇電路元件，可有效的降低相位雜訊。

一般認為相位雜訊亦會由振盪頻率各階波將雜訊作混波而合成，所以電晶體的 $1/f$ 雜訊將被混波至高頻，產生相位雜訊。選擇較低 $1/f$ 雜訊的電晶體將亦有效的降低由電晶體所貢獻的相位雜訊。

3.2.1 反相耦合壓控振盪器

電路架構及原理：

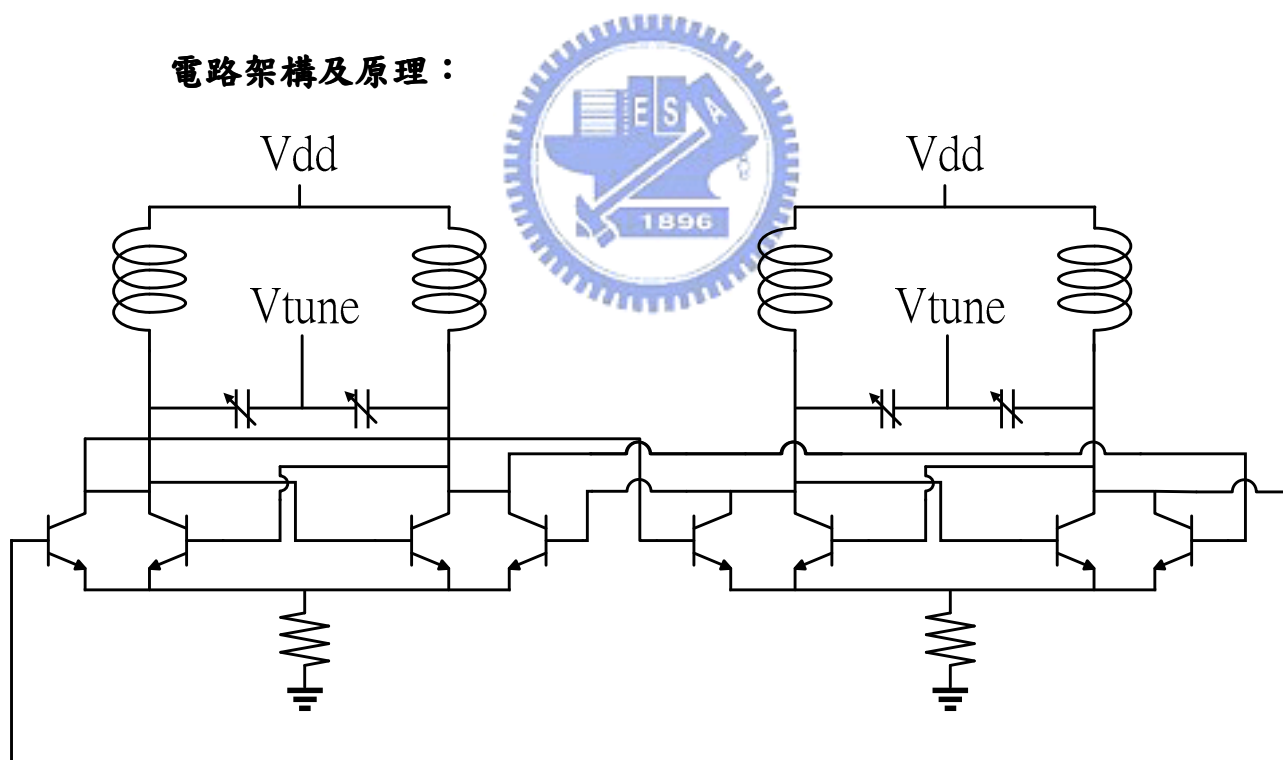


圖 3-5 反相耦合式正交相位壓控振盪器電路圖

我們將利用以上的架構去設計可產生正交相位的壓控振盪器。利用兩個壓控振盪器互相作反相耦合，可以得到四個相位的輸出，即可

得四個相位各差 90 度的信號。

假設振盪器如圖 3-6(a)所示， M_1 及 M_2 為耦合用的元件，為了要達到可以起振的條件， g_{m1} 及 g_{m2} 必須要小於由 g_{m3} 和 g_{m4} 所產生的負電阻。而此振盪器的小信號模型可用圖 3-6(b)來表示。其中， $-R$ 代表由 M_3 、 M_4 產生的負電阻， Z_T 則是由 LC tank 所產生的阻抗， G_m 則是由 M_1 和 M_2 這對 Emitter-coupled pair 所造成。

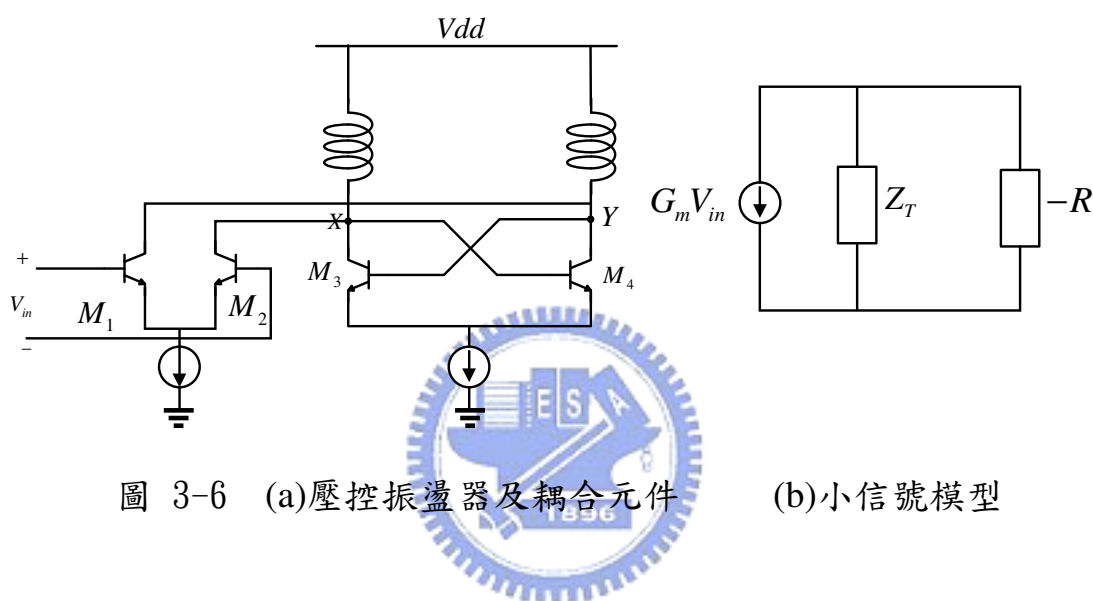


圖 3-6 (a)壓控振盪器及耦合元件 (b)小信號模型

若將圖 3-6 的兩個相同的振盪器，以反相的方式將其作耦合，如圖三所示，即可產生四個正交相位的信號。由小信號模型出發，可得：

$$G_{m1}V_1 \frac{-RZ_T}{Z_T - R} = V_2 \tag{式 3.9}$$

$$G_{m2}V_2 \frac{-RZ_T}{Z_T - R} = V_1$$

其中， V_1 、 V_2 分別為 V_{CO2} 、 V_{CO1} 所產生的信號。設所產生的信號皆不為零，並將上列二式相除，可得：

$$\frac{G_{m1}V_1}{G_{m2}V_2} = \frac{V_2}{V_1} \tag{式 3.10}$$

$$G_{m1}V_1^2 - G_{m2}V_2^2 = 0 \quad (\text{式 3.11})$$

如果(1). $G_{m1}=G_{m2}$ ，則 $V_1=\pm V_2$ ；(2). $G_{m1}=-G_{m2}$ ，則 $V_1=\pm jV_2$ 。所以當我們選擇作反相的耦合時，可得到 90 度相位差的信號。

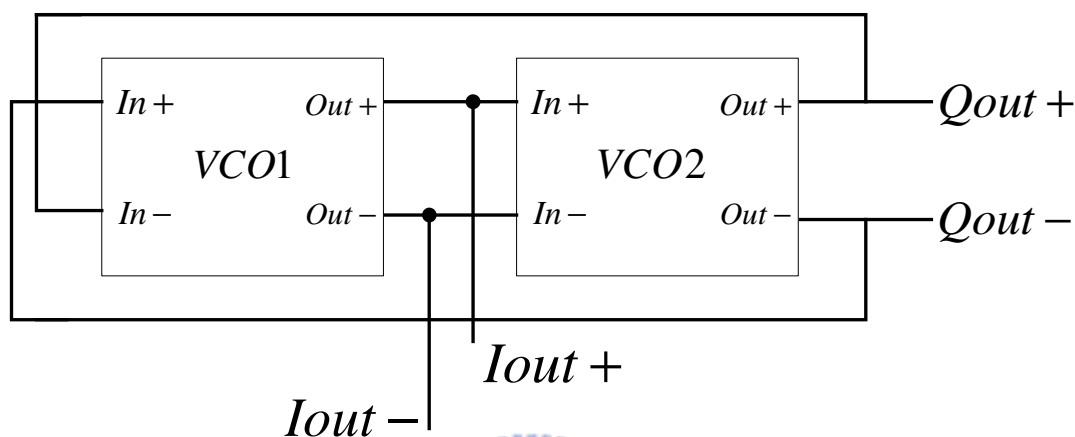


圖 3-7 壓控振盪器反相耦合示意圖

晶片實作：

基於以上的原理，我們設計並利用 CIC 提供的下線服務，利用 TSMC SiGe HBT 的製程實作一個四相位輸出的壓控振盪器。其電路架構如圖 3-5 所示，另有四個共集極 buffer 作為輸出緩衝級。其 Die photo 如圖 3-8 所示

量測設定與結果：

使用兩組 pitch-to-pitch 150um 標準 G-S-G-S-G RF probe，及一組 6pin 的 DC 排針。利用 on-wafer 及 PCB 量測。

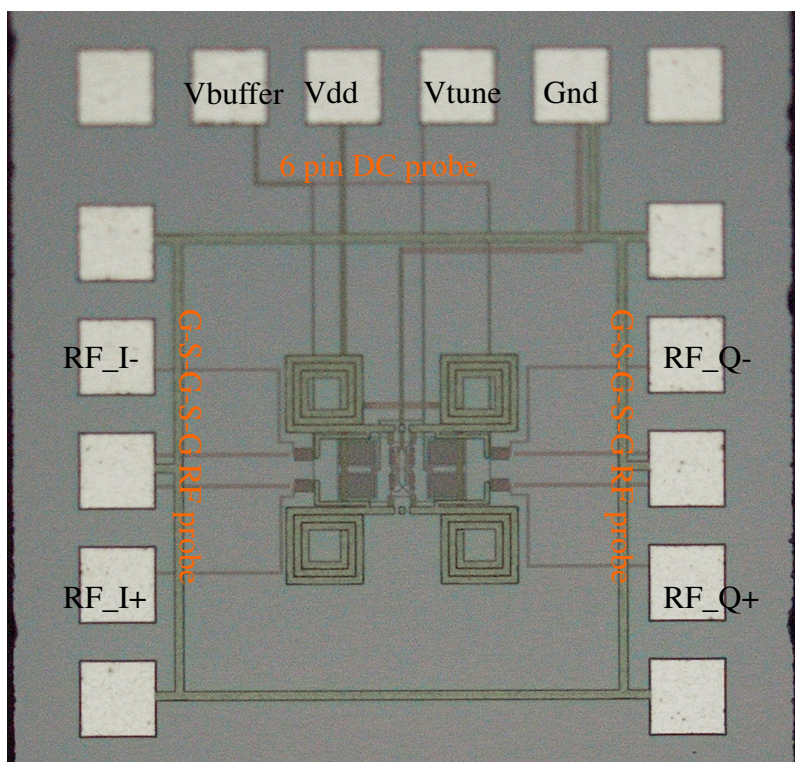


圖 3-8 反相耦合壓控振盪器晶片照片

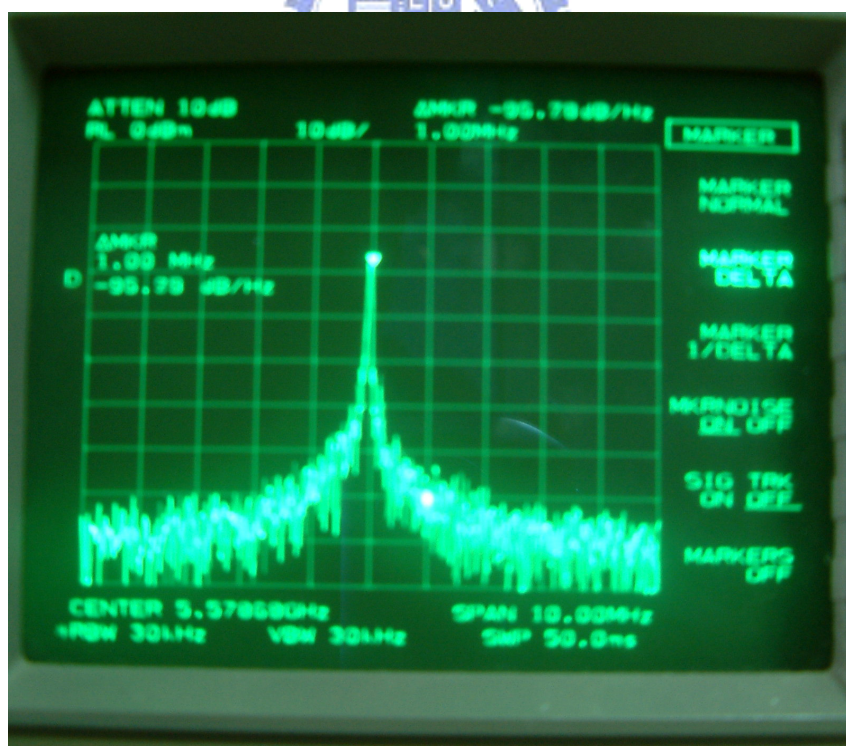


圖 3-9 反相耦合壓控振盪器量測頻譜圖

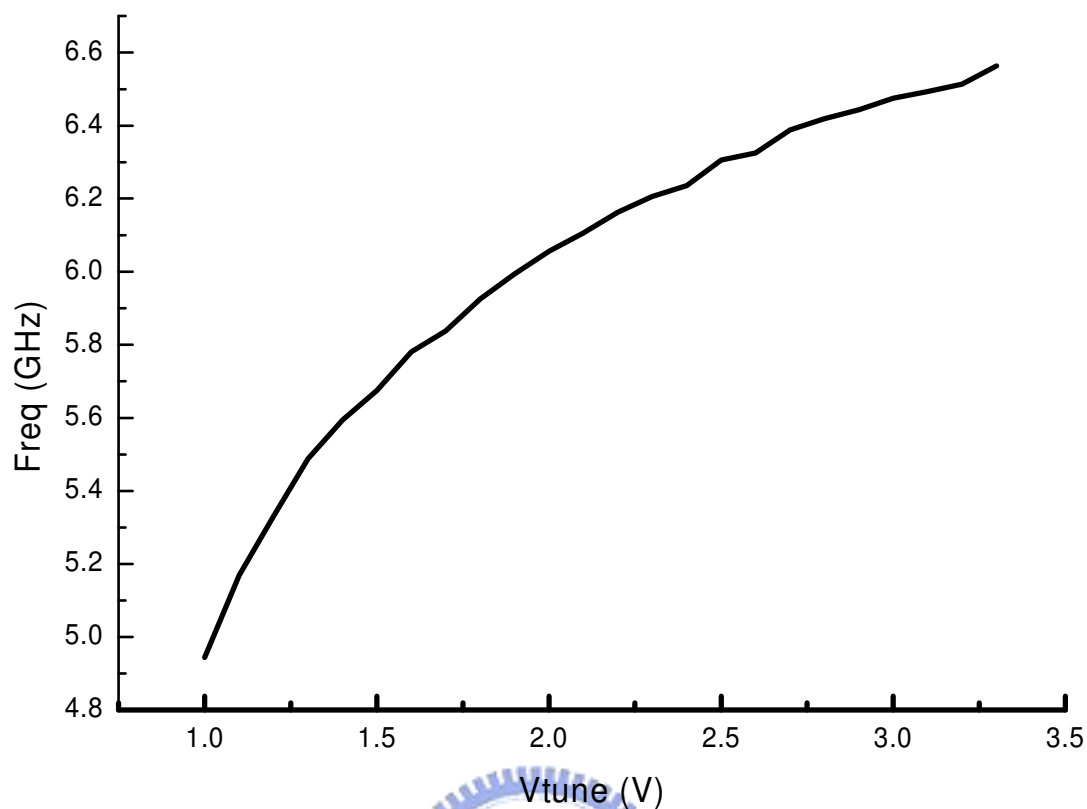
圖 3-10 反相耦合壓控振盪器輸出頻率對 V_{tune} 的關係

表 3-1 反相耦合壓控振盪器量測結果

Item	Spec
Supply Voltage (core)	1.5 V
Supply Current (core)	2.68 mA
Supply Voltage (output stage)	2.5 V
Supply Current (output stage)	2.3 mA
Supply Power	4.02 mW (core)
RF output Power	-20 dBm
Tuning Range	4.95 GHz ~ 6.4 GHz
Phase noise	-96 dBc/Hz@1MHz offset
Die size	900 um × 850 um

3.2.2 利用除二產生正交相位

電路架構及原理：

在高頻的電路設計中，我們還可以使用注入鎖定(Injection Lock)的方法，來降低相位雜訊，可以使用一個輸出功率較小但是具有較佳相位雜訊的振盪器，將其所產生的輸出信號注入至另一個輸出功率較大但是相位雜訊亦較大的振盪器，利用電路鎖定的特性，可以製造出相位雜訊小且高輸出功率的本地端信號。

由於現今的半導體技術愈來愈進步，使得以往工作頻率不高的電路，藉著元件製程的改進而具有更佳的表现。故我們使用以往在較低頻及數位電路設計的理念來實現可在 RF 頻段工作的電路。

觀察以下的射極耦合邏輯(Emitter-Coupled Logic, 可簡寫為 ECL)的 D 型正反器(D-type flip-flop)，當我們輸入 Clk 端為 high(1)時，D 值傳入電路，但 Q 值則不改變。而當 Clk 為 low(0)時，Q 值才會改變。(詳細的電路原理請參考第四章的部份)。由於此電路是利用 ECL 只須要很小的電位差即可很快速的轉換電流的特性，所以很適合在高頻操作。

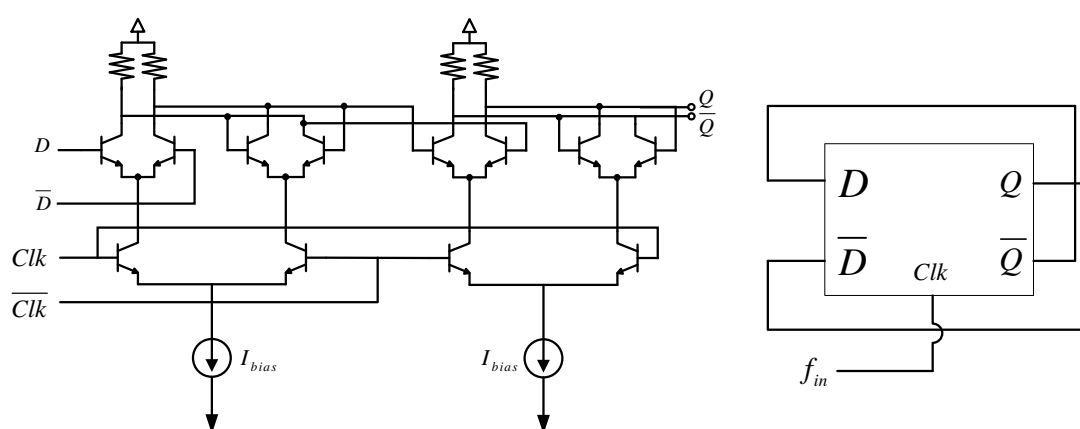


圖 3-11 (a).D-type flip-flop (b).除二電路

利用此電路特性，將欲除二之信號(f_{in})由 Clk 輸入，則可在輸出端得到四個相位的 $f_{in}/2$ 的信號，其中 $Q+$ 較 $I+$ 延遲 90° 。如圖 3-12 所示。

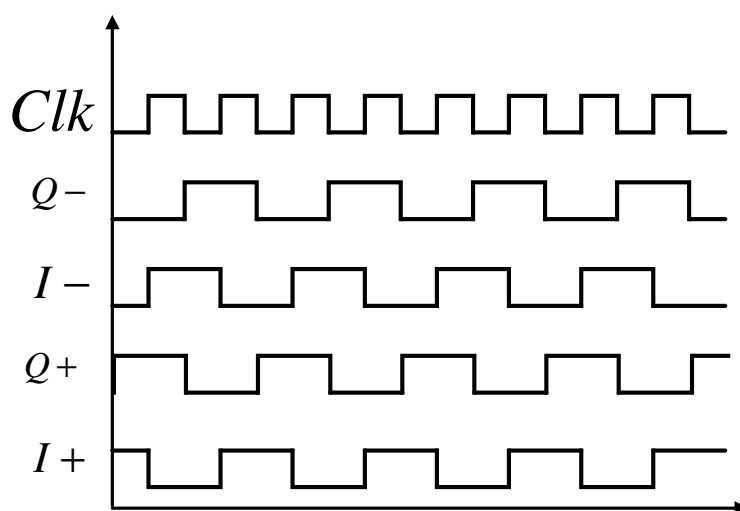


圖 3-12 輸出信號相位關係

在輸出端為一電流流經阻抗產生電壓降，若在阻抗上有太多的直流電流將造成邏輯不正確，所以每個 D 型正反器後不能接太多的輸出。在設計此電路時，電晶體的反應時間是很重要的，由於我們使用數位觀點來設計電路，所以在偏壓元件時，我們會將電路元件偏壓在其傳輸時間最短的偏壓，將可得到最高的工作頻率。而目前的 SGP 模型，並不足以提供準確的模擬結果，且由於現今的頻域量測系統，如頻譜分析儀，網路分析儀等等儀器皆為 50 歐姆的測試環境。在量測時，須加上輸出級以避免邏輯不正確。

由於輸入信號的頻率非常高，為了避電晶體速度跟不上，故在選用電晶體時，須特別小心。且為了讓輸出信號的相位關係良好，輸入的信號必須相當對稱(滿足 50%的工作週期)

晶片實作：

利用 GCT InGaP/GaAs HBT 設計並實作一振於 11GHz 的壓控振盪器，及一組除二電路。在 LC 型壓控振盪器方面，我們使用電容作耦合元件，核心電路部份如圖 3-13 所示。

本電路使用靜態的除頻電路，其工作頻率會由 DC 至某一最高頻率後即無法正常工作，為了提昇其最高工作頻率，我們在設計負載端的阻抗時，多加了一組並聯電感，此並聯電感可將在電路內部的寄生電容共振掉，而提昇電路的最高工作頻率，但其缺點將使電路的最低工作頻率也提高。完整的電路，如圖 3-14 所示。

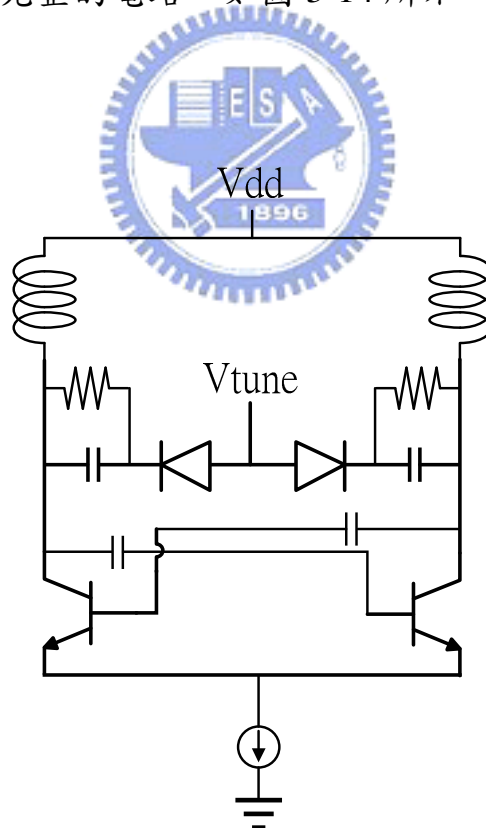


圖 3-13 電容耦合壓控振盪器核心電路

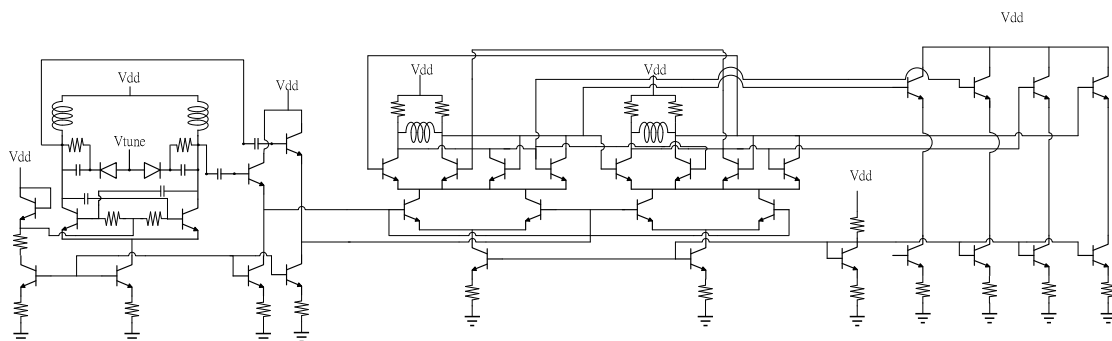


圖 3-14 利用除二產生正交相位壓控振盪器電路圖

量測設定與結果：

使用兩組 pitch-to-pitch 150um 標準 G-S-G-S-G RF probe。利用 on-wafer 及 PCB 量測。

晶片照片如圖 3-15 所示。

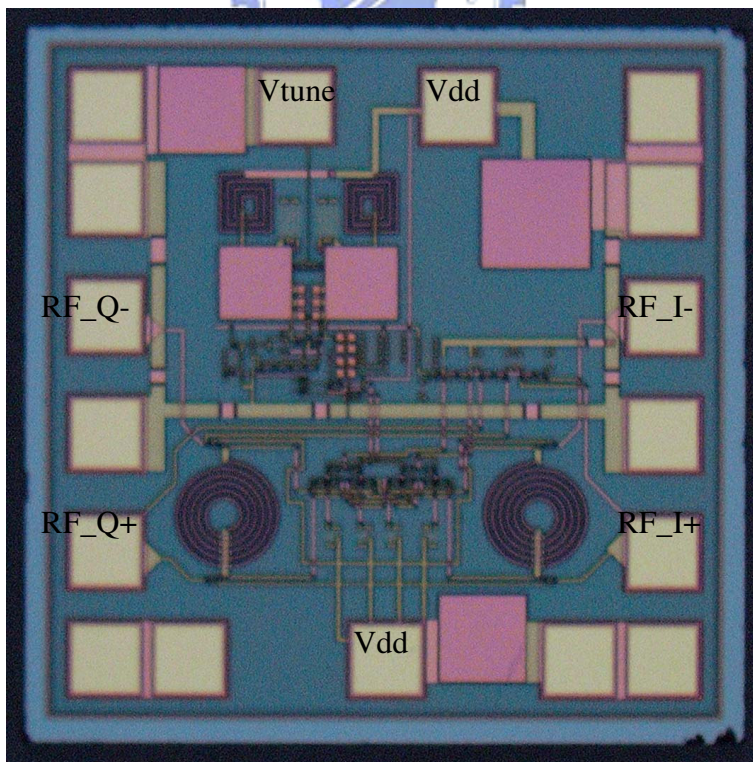


圖 3-15 利用除二產生正交相位壓控振盪器電路

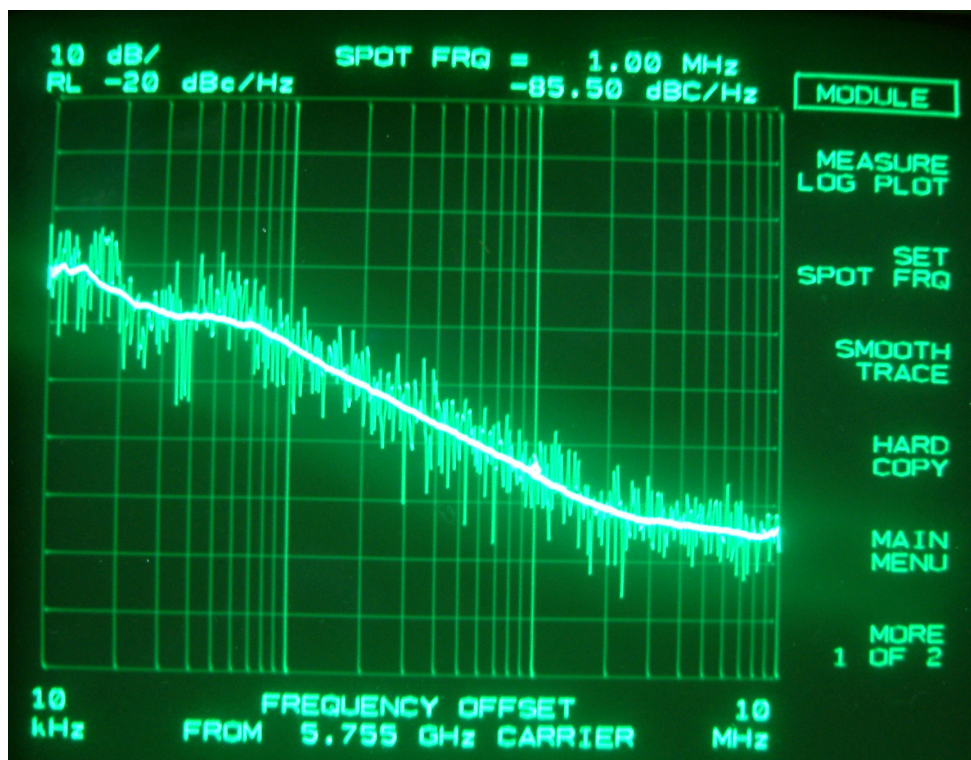


圖 3-16 相位雜訊量測圖(Freq. 5.755 GHz)

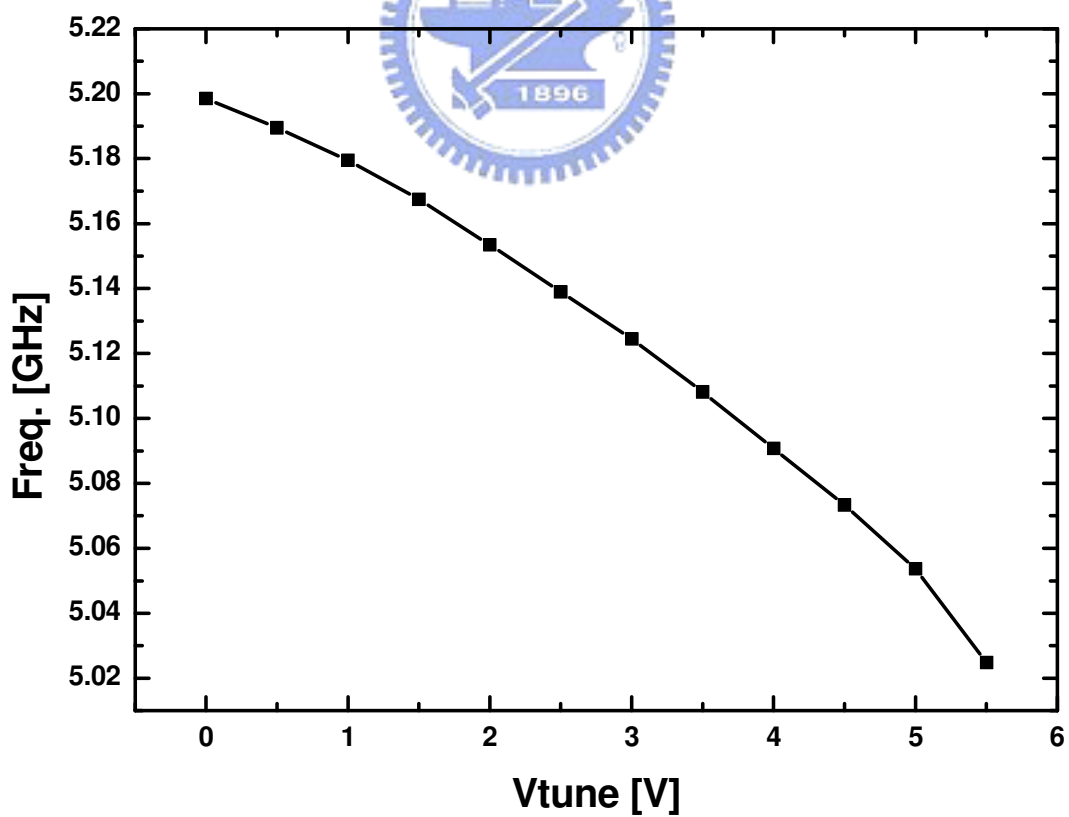


圖 3-17 輸出頻率與 V_{tune} 的關係

表 3-2 利用除二產生正交相位壓控振盪器量測結果

Item	Spec
Supply Voltage (core)	5 V
Supply Current (core)	4 mA
Supply Voltage (output stage)	5 V
Supply Current (output stage)	4 mA
Supply Power	40 mW (core)
RF output Power	-36.5 dBm
Tuning Range	5 GHz ~ 5.2 GHz
Phase noise	-85 dBc/Hz after divide-by 2
	-96 dBc/Hz before divide-by 2
Die size	1000 um × 1000 um



3.2.3 利用除四產生正交相位

電路架構及原理：

利用一個振盪頻率在想要頻率的四倍的壓控振盪器，再加上高速的除頻器將輸出信號除四，可以得到四個相位的輸出，即可得四個相位各差 90 度的信號。使用除四電路來產生四個正交相位最大的優點就是我們可以不須要 50% 工作週期的輸入信號，因為我們使用的 D 型正反器是邊緣觸發式(edge-trigger)，即輸入信號 D 只有在 CLK 是由 1→0 或是由 0→1 時才可以輸入暫存器儲存。所以輸出的 Q 值不會有追趕 D 值的現象。但其缺點則是在於，在目前的 RF 應用中，要產生四倍頻的振盪器是相當困難的，如果我們想在 5.2GHz 使用，則 VCO 本身的輸出頻率須高至 20GHz，這麼高頻的 VCO 極易受到直流

偏壓不穩定的影響而使其相位雜訊的表現下降，且在非常不易在積體電路中實現。

為了解決直接產生四倍頻信號的不易，有人提出如圖 3-18 的系統架構。此一收發機架構的好處在於不須要去產生的一個非常高頻的信號且可獲得較好的系統表現以及可單晶片實現整個 RF 收發機的電路，可以大幅度的降低生產成本。但其缺點則是電路的複雜度大為增加，增加設計上的困難。

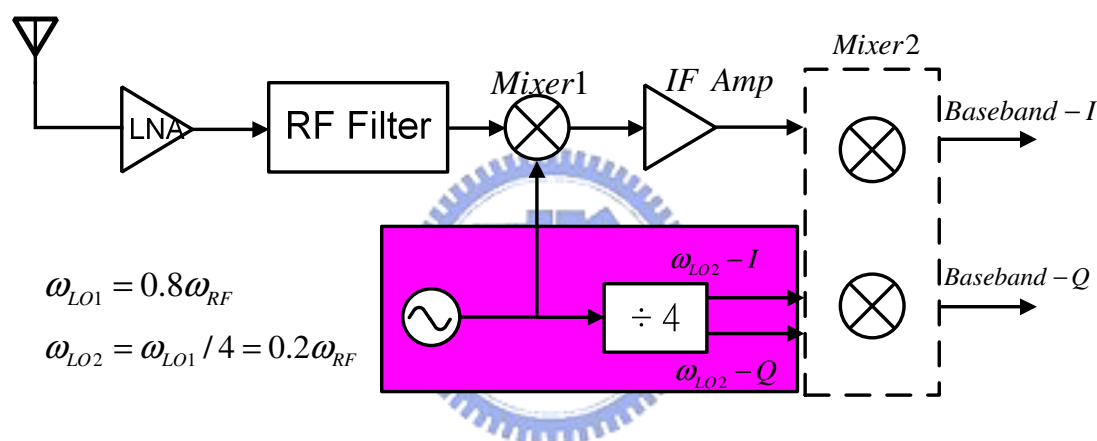


圖 3-18 利用除四電路的產生低頻 LO 的系統方塊圖

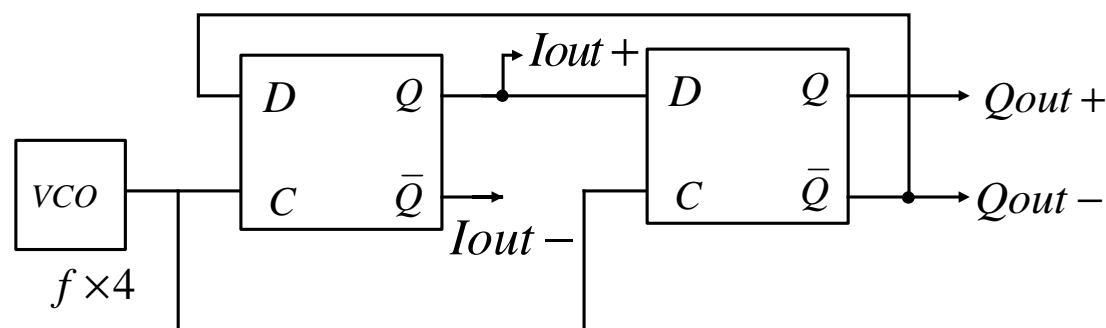


圖 3-19 利用除四產生正交相位壓控振盪器電路圖

為了讓此除頻器能在我們想要的頻率下工作，在選用電路架構時，要選用能工作至最高頻率的電路架構。在此，我們選用 CML (current-mode logic)，為 ECL(Emitter-coupled logic)的變形，利用射極耦合電路，只須非常小的輸入電壓變化即可產生足夠的輸出電流變化。由於此電路特性，所以 CML 非常適合應用在高速電路中，且此電路為 fully-differential 的架構，可以降低雜訊的影響，並能配合差動輸出的壓控振盪器。

另外，除四電路由於其使用的 D 型正反器數目較多，再加上將最末端信號拉回輸入端時相位會符合巴克豪森準則，故其本身亦是一個環型振盪器，所以在其 CLK 端沒有輸入信號時，亦有可能會看到輸出的信號。所以在設計時須考量此點，將後端的除四電路設計至穩定不會起振的情況下。



3.3 結論

在本章中，我們利用 CIC 提供下線的機會，設計並實作反相耦合正交相位壓控振盪器，以及利用除二機制產生正交相位的振盪器。在量測 VCO 時，我們發現直流電源是否穩定，會嚴重的影響 VCO 的表現，尤其是對相位雜訊的影響最為顯著。量測時，周遭環境是否有任何會影響電路的高頻信號，亦會對輸出信號造成非常大的干擾。在本章中，我們實作的電路其輸出功率皆不足夠，這是由於我們在輸出緩衝級並沒有使用較大的電流，導致輸出信號沒有辦法傳至量測系統。以 50Ω 量測系統為例，若我們希望有 0dBm 的信號可以被接收到：

假設輸入為電流弦波 $I = I_m \cos(\omega t)$

$$0dBm = 1mW = 10^{-3}W = \frac{I_m^2 R}{2} = \frac{I_m^2 \times 50}{2}$$

$$I_m = \sqrt{\frac{10^{-3}}{25}} A = 6.325 mA$$

所以，以一個單端輸出的 A 類輸出級，其所須的直流電流須大於 6.3mA。而為了平衡所有的電路，若將輸出級皆用如此大的電流，我們即可得到想要的輸出功率。此觀點，可參考[xx]。