


第四章

高速前置除頻器



在通訊系統之中，不管是在發送端或是接收端都須要有一個穩定的本地端信號，而此本地端信號常常須要利用頻率合成器或是鎖相迴路，將壓控振盪器的輸出信號穩定後，降低其相位雜訊以符合通訊系統的須求。除頻器在低頻鎖相迴路系統中，本為可有可無的配角，但應用在頻率合成器或高頻的鎖相系統時，就成為不可或缺的子電路；換言之，頻率合成器之所以能合成各種通道，主要就是靠除頻器三個的功能，分別為變更輸入範圍、整波以及最重要的**倍頻**效果；舉例來說，如果追蹤訊號相當高頻，而相位頻率偵測器卻無法在如此高頻的操作頻率下工作時，可以採用除頻器降頻，以達到有效工作頻率，再追蹤比較訊號。然而就除頻器電路而言，概分為兩條除頻路徑，用以克服高時脈工作以及功率耗損這兩難題；路徑分路方式為：低速鏈除頻器，主要負責再次除頻以及選頻的工作，工作頻率較低，也較不費電；另一條即為**高速鏈前置除頻器**，用以預除高頻訊號降至較低工作

頻率，但相對的需要犧牲高電流來拉高工作頻率，這也是本章所要探討的重點。

4.1 射極耦合邏輯

雖然在數位及混合式信號積體電路的嶺域中，CMOS 積體電路已成為主流，但是基於雙極性電晶體(BJT)的低 mismatch、低製程漂移、較 MOS 為大的轉導(g_m)及較高的 f_t ，使其適合高頻工作的特性，BJT 電路仍存活在射頻及光通訊嶺域中。

在眾多的 BJT 電路中，又以射極耦合邏輯(Emitter-Coupled Logic)，因其只須微小的電壓變化及可判別出邏輯準位，速度較快非常適合在高頻段工作。且由於其全差動的操作方式，可以有效的抑制雜訊，且較不受共模電壓的影響。但因其元件常常須要在集極和基屬間加入隔絕層，故面積較 MOS 元件為大，在製作電路時較佔晶體片面積；且須要較大的偏壓電流以及基極端須要電流偏壓，都使其在現今希望低功耗，小晶體片面積的競爭上顯得弱勢。但其在高頻段的表現仍是遠遠超過 MOS 元件。

4.1.1 射極耦合邏輯閘

射極耦合邏輯中最重要的元件就是射極耦合差動對，其大信號行為分析如下：

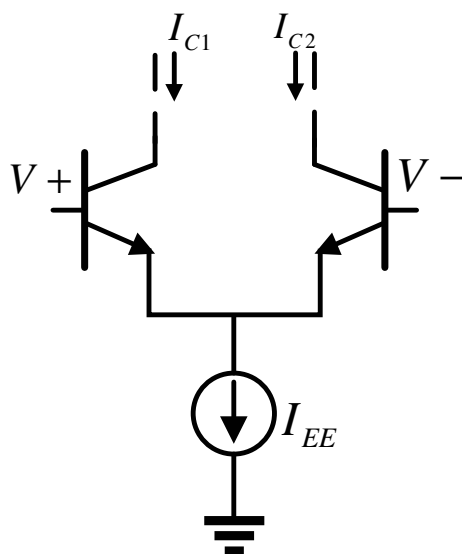


圖 4-1 射極耦合差動對電路圖

對一個 BJT 電晶體來講

$$I_C = I_S e^{(V_{BE}/V_T)} \tag{式 4.1}$$

假設兩個電晶體之間沒有 mismatch， $I_{S1} = I_{S2}$ ， $V_{BE1} = V_{BE2}$ ，再利用(式 4.1)：

$$V^+ - V_{BE1} + V_{BE2} - V^- = 0 \tag{式 4.2}$$

我們可以得到：

$$\frac{I_{C1}}{I_{C2}} = e^{[V^+ - V_{BE1} + V_{BE2} - V^- / V_T]} = e^{[V^+ - V^- / V_T]} = e^{(V_{id}/V_T)} \tag{式 4.3}$$

其中， v_{id} 定義為差動對兩端的電壓差，又加上

$$\alpha I_{EE} = I_{C1} + I_{C2} \tag{式 4.4a}$$

$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1} \tag{式 4.4b}$$

最後，由(式 4.3)及(式 4.4a)我們可以得到

$$I_{C1} = \frac{\alpha I_{EE}}{1 + e^{(-V_{id}/V_T)}} \tag{式 4.5a}$$

$$I_{C2} = \frac{\alpha I_{EE}}{1 + e^{(V_{id}/V_T)}} \tag{式 4.5b}$$

將(式 4.5)對 V_{id} 作圖可得圖 4-2：

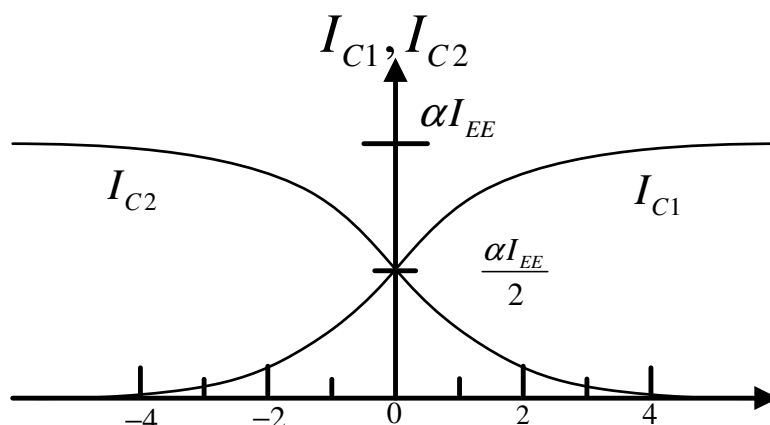


圖 4-2 差動對的集極電流

由圖 4-2 我們可以知道，當 V_{id} 大於 $4V_T$ (即約 100mV) 時，電流即會完全的切換至另一端輸出，且和共模電壓並沒有關係，因為差動對只會對差動信號反應，所以可以降低雜訊對電路的干擾。

如將射極耦合電路做不同的變化，我們可以得到不同的邏輯閘。圖 4-3 是一個多用途三輸入的邏輯閘，每個輸入端有不同的共模電壓，所以使用時其共模電壓必須在前一級先調好，可以利用射極追隨電路或是串接二極體來調。

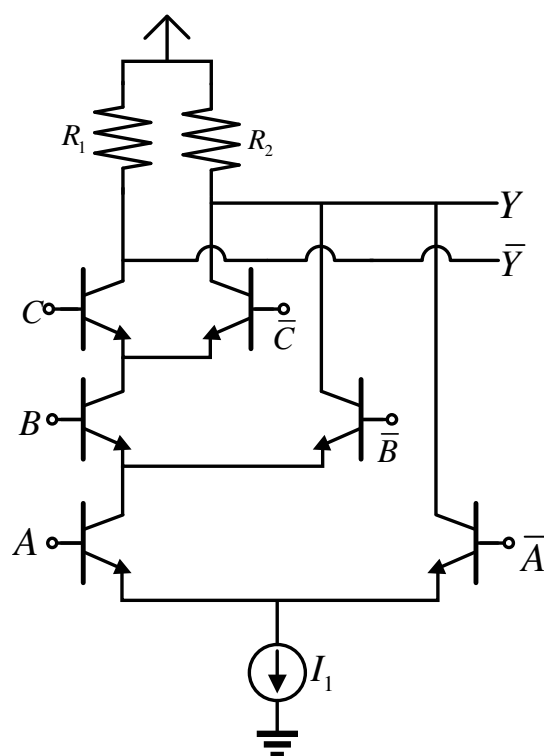


圖 4-3 多用途 ECL 邏輯閘電路圖

ECL 的特色是每個信號皆有正負端，故在要使用反相信號時不須外加反相器。此多用途的邏輯閘可以做為 AND、NAND、OR 及 NOR 等功能，全依如何接腳而定。先考慮在 A、B、C 皆為 1 的情況， I_1 全流經 R_1 ， \bar{Y} 為 0，Y 為 1。如果其中一個輸入端變成 0， I_1 流經 R_2 則 Y 為 0，因此 $Y=A \cdot B \cdot C$ ，實現了一個 AND 閘。由於互補信號為 \bar{Y} 故若信號由 \bar{Y} 拉出則為 NAND 閘。再來，我們將所有的輸入端互相交換，即 A 和 \bar{A} 交換；然後我們可以得到 $Y=\bar{A} \cdot \bar{B} \cdot \bar{C} \equiv \overline{A+B+C}$ ，即 NOR 閘。

4.1.2 D型正反器(D-type Flip-Flop)

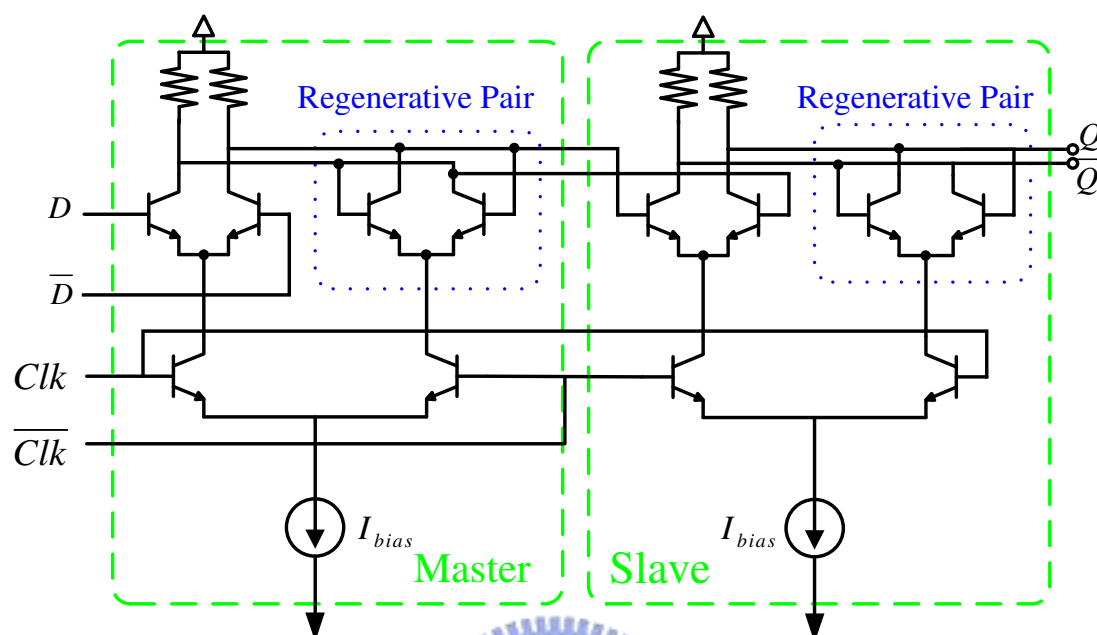


圖 4-4 射極耦合 D 型正反器電路

一個射極耦合 D 型正反器是由兩個存鎖器(Latch)所組成，每個存鎖器又包含一個 Data 讀取端、一組將讀入的 Data 放大鎖定的再生資料對(Regenerative Pair)。接下來我們將分析一下其行為：

A. 資料讀取端

資料讀取端就是一組射極耦合差動對，其負責將資料由上一級的輸出端將資料讀入。

B. 資料再生對(Regenerative Pair)

資料再生對是一組正迴授的射極耦合電路，其主要的功能就是要將由讀取端讀入的信號，做放大及存鎖信號的功能。其電路如圖 4-1 中的 Regenerative Pair 所示，欲探討其時間常數的關係可以將此追鎖

電路以一對互相串接的反相器組成簡單的模型來近似；假設當存鎖相位開始產生時，反相器輸出兩個互相接近的電壓，使得其中之電晶體落在線性區間，此時反相器可以被當作電壓控制電流源驅動 RC 負載；以簡單線性模型分析可得下圖：

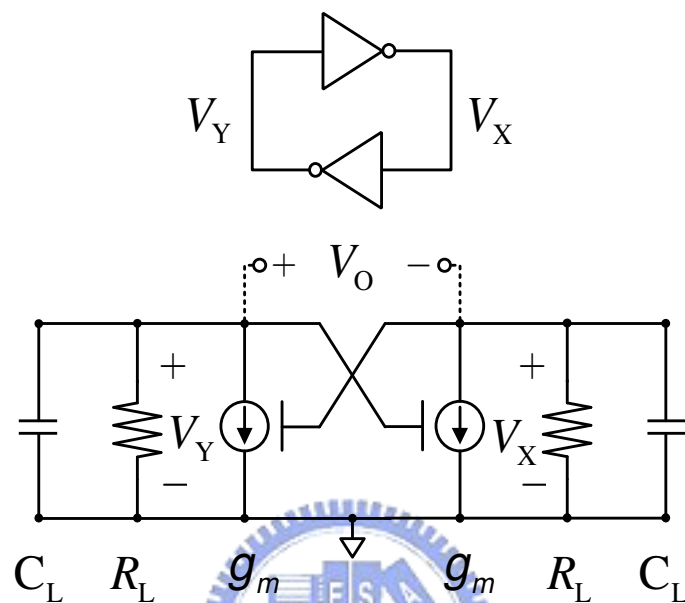


圖 4-5 追鎖級之線性簡化模型

假設反相器有低頻增益 A_V ，則可由模型中推得式(3.2)和(3.3)：

$$\frac{A_V}{R_L} V_Y = -C_L \left(\frac{dV_X}{dt} \right) - \left(\frac{V_X}{R_L} \right) \quad (\text{式 4.6a})$$

$$\frac{A_V}{R_L} V_X = -C_L \left(\frac{dV_Y}{dt} \right) - \left(\frac{V_Y}{R_L} \right) \quad (\text{式 4.6b})$$

將上式以反相器時間常數 $\tau = R_L C_L$ 代換可得(式 4.7a)和(式 4.7b)：

$$\tau \left(\frac{dV_X}{dt} \right) + V_X = -A_V V_Y \quad (\text{式 4.7a})$$

$$\tau \left(\frac{dV_Y}{dt} \right) + V_Y = -A_V V_X \quad (\text{式 4.7b})$$

所以當 $V_O = V_X - V_Y = \Delta V$ 時，把(式 4.7a)和(式 4.7b)相減後可得(式

4.8) :

$$\left(\frac{\tau}{A_V - 1}\right) \left(\frac{d\Delta V}{dt}\right) = \Delta V \quad (\text{式 4.8})$$

設 ΔV_0 為初始電壓差時，(式 4.8)可轉換成為(式 4.9)：

$$\Delta V(t) = \Delta V_0 e^{(A_V - 1)t/\tau} \quad (\text{式 4.9})$$

把(式 4.9)以單位增益來近似求得存鎖級時間參數式來作討論：

$$\tau_{latch} = \frac{\tau}{A_V - 1} \cong \frac{R_L C_L}{A_V} = \frac{C_L}{G_m} \quad (\text{式 4.10})$$

其中， C_L 的部份包含由負載端及主動元件中寄生效應所產生的 C_{CS} 及元件的擴散電容部份相關。 G_m 則是和再生對的偏壓電流有關，在 HBT 中，擴散電容的關係和元件如何偏壓有著相當複雜的關係，如本文第二章中所討論。故不易導出一個簡明的式子來說明，但可知偏壓電流須慎重考慮，因過大的電流將造成元件擴散電容(Kirk effect)大幅上升，而影響整體電路特性。所以，須要有一個完整的大信號模型幫助設計此電路。

最後將鎖存時間以方程式表示來討論：

$$t_a = \frac{C_L}{G_m} \ln\left(\frac{\Delta V(t_a)}{\Delta V(0)}\right) \quad (\text{式 4.11})$$

$$\therefore \frac{t_a}{\tau_{latch}} \approx \ln(U) \quad \text{if } A_V \gg 1 \quad (\text{式 4.12})$$

由式(4.12)中可以看出此電路有可將微小的差異作放大的特性，並且跟時脈週期相關，即表示存鎖電路經時間 t 後會再生訊號並且放大輸出，當時間愈長其放大效果以指數倍成長，可由作圖得知其特殊關係：

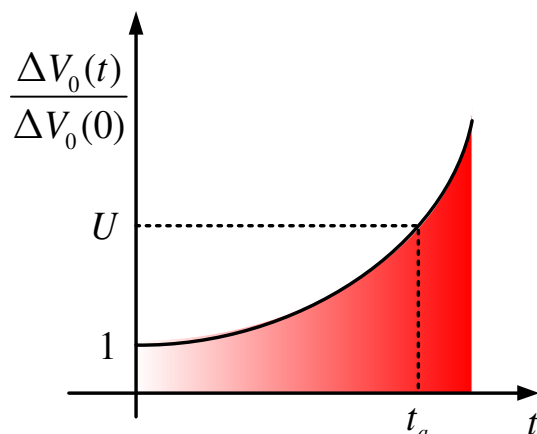


圖 4-6 追鎖級放大倍率與時間關係圖

因此我們由圖中可以知道，鎖存對電路在低頻時，因為追隨存鎖級(track-and-latch stage)有足夠的時間再生並放大雙端電壓差，以達正確之邏輯準位，但也因其放大效果太好，而得元件進入非線性區，造成除頻電路在除較低頻訊號時，其輸出將會受到元件及電源的限制而呈現出**方波**的型式；相對的在高頻時，因為其再生時間較短以致其放大效果大打折扣，使資料再生對並不會進入非線性區，所以輸出訊號的振幅亦相對的較小，所以輸出呈現與輸入相同的**弦波**形狀

而此電路能工作的頻率則有如下關係：

$$f_{divided} \propto \frac{1}{t_a} \propto G_m \propto \Delta V$$

當追鎖級啟動時，會依據兩端電壓差(ΔV)值的大小，相對的影響兩顆電晶體的電流(I_C)大小，再經過正回授放大輸入訊號 ΔV ，達可判斷的邏輯準位 $U\Delta V(0)$ ，產生再生訊號，其操作所需的時間為 t_a ；但隨著頻率的提高，操作時間(t_a)會相對減少，此時如要維持一樣的邏輯準位時，就必需加大其輸入壓差 $\Delta V(0)$ 值，以提高其轉導值(G_m)去調整加大電流(I_C)；換言之，高頻輸入時，除頻器需以較大的時脈振幅輸入來驅動存鎖級，以維持正確的邏輯判斷，是為常見之現象。

C. 主從式 D 型正反器

此電路為一受正緣觸發驅動(positive edge-trigger)的電路，其操作方式分為二個步驟：

- ❶ 當工作週期時脈 CLK 進入：
 - a. 達高準位時，主取樣端讀入資料 Data1；其他暫不動作。
 - b. 達低準位時，主存鎖端再生資料 Data1；副取樣端讀取主存鎖端所保存的資料 Data1；其他暫不動作。
- ❷ 當下一個週期時脈 clock2 進入~
 - a. 達高準位時，主取樣端讀入下一個資料 Data2；副存鎖端再生資料 Data1 輸出。
 - b. 達低準位時，主存鎖端再生資料 Data2；副取樣端讀入主存鎖端所保存的資料 Data2。

接著連續重覆❶❷之動作，以延遲一個週期時脈送出上個週期時脈取樣的資料來運作。所以此電路的模式可以用邏輯表示式：

$$Q(n+1) = Q(n)$$

4.2 雙模前置除頻器(除四除五)

雙模數的前置除頻器目前已廣泛的利用在頻率合成器中，此種頻器具有兩種不同且可選擇的除法倍率，且被利用來增加可程式化除頻器的除頻範圍。為了達成此種應用，兩個除數的差必須為1，即可除之倍率必須為P 或 P+1。且因其必須被在頻率合成器的輸出端，故常常是要接受高頻的信號輸入，所以很適合作為我們研究的對象。

目前常見的雙模數除頻器之電路架構如圖 4-7 所示

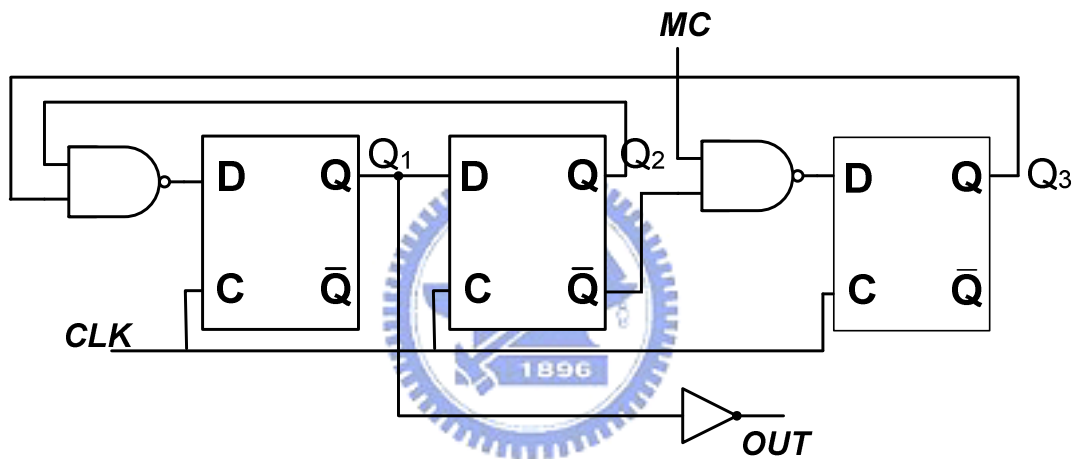


圖 4-7 傳統雙模除頻器電路架構

其電路工作的原理為：

$$\begin{aligned} Q_1(n+1) &= \overline{Q_2(n) \cdot Q_3(n)} \\ Q_2(n+1) &= Q_1(n) \\ Q_3(n+1) &= \overline{MC \cdot Q_2(n)} \end{aligned} \quad (\text{式 4.13})$$

其中， $Q_1(n)$ 代表第 n 個 clock 時， Q_1 的邏輯值(1 或 0，high 或 low)。 $Q_1(n+1)$ 則是代表第 $n+1$ 個 clock 時， Q_1 的邏輯值。其 timing diagram 如圖 4-7 所示。由於此電路除了 D-type flip-flop 之外，必須另加兩個 NAND 邏輯閘，不但須要另外提供的功率，且增加晶片

的面積，更會因多出的邏輯閘延遲時間(gate-delay)而降低電路的最
高工作速度。

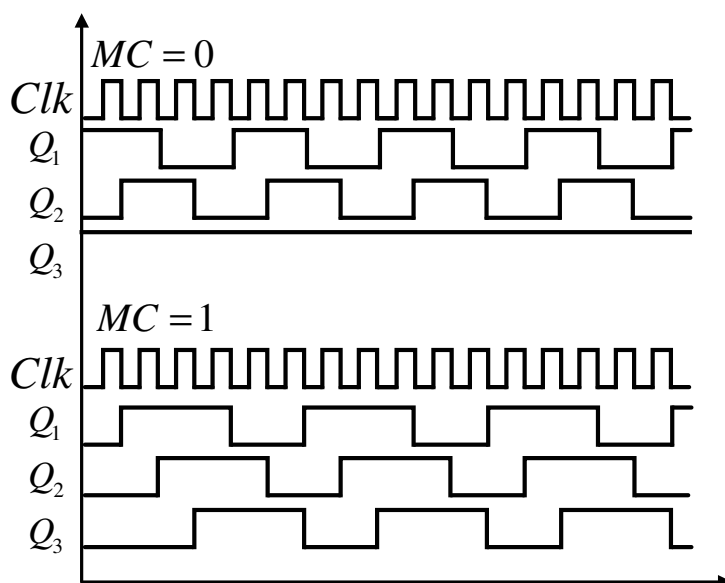


圖 4-8 傳統雙模除頻器的 Timing Diagram



4.2.1 電路架構及原理

A. 核心電路 - 雙模除頻器

基於以上的缺點，在設計實作的雙模數除頻器時，將原本外接的 NAND 邏輯閘，吸收至 D-type flip-flop 中，如圖 4-9 所示，不但可以降低直流功率，更可提昇電路的速度。

此 DFF 在每個 D 型存鎖器(d-latch)之間都加上一組 Emitter Follower，不但提供一個高阻抗的負載，更可增加 fan-out 的數目，且由於邏輯使用的電流不須外流，故更可提高電路的工作頻率。但其缺點是會增加直流功率。

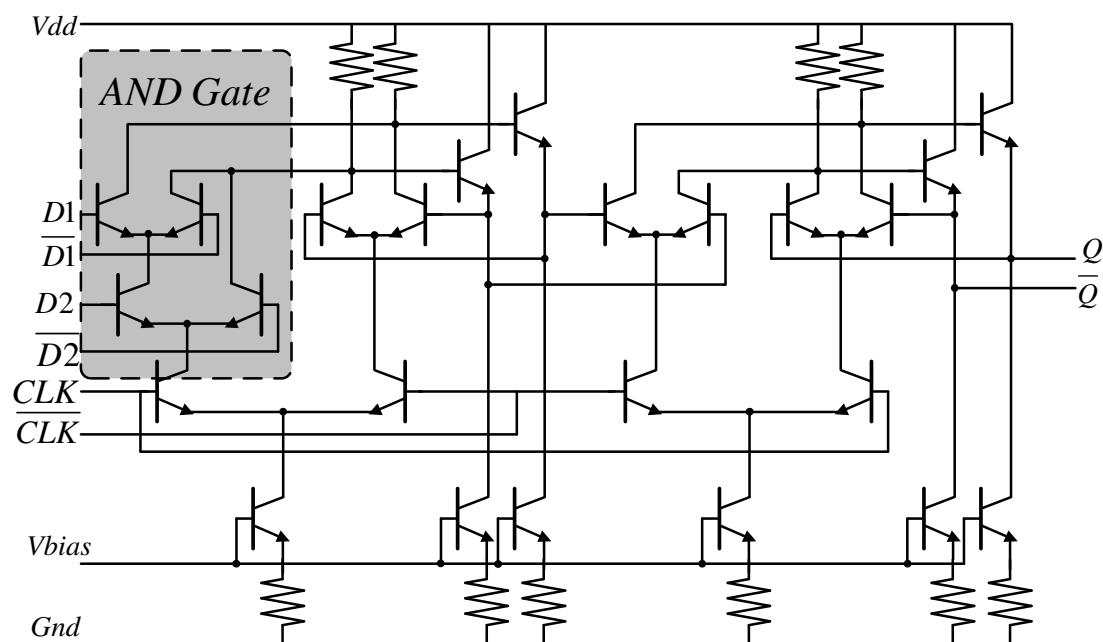
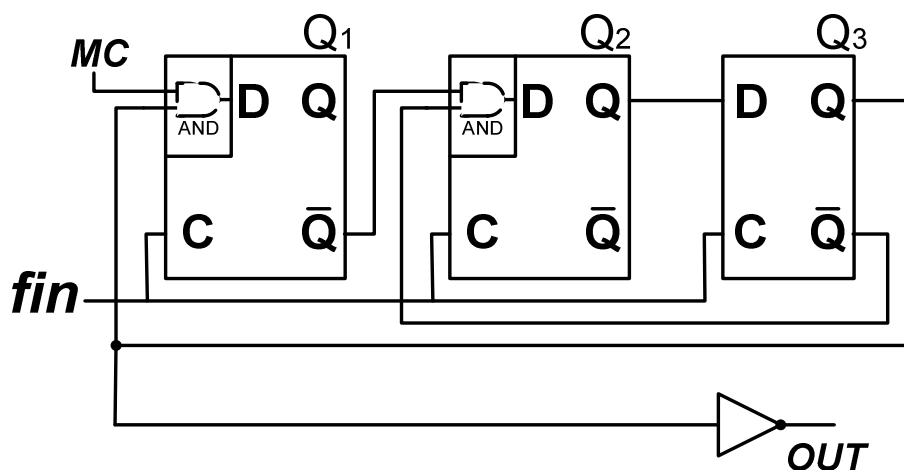


圖 4-9 將 AND 閘整合後的 D 型正反器

使用了併入 AND 閘之後的雙模除頻器電路如圖 4-10 所示，其中當模數控制信號 $MC=1$ 的時候，信號會在高準位 ($D=1$) 延遲三次之後才變號至低準位 ($D=0$) 再延遲兩次，即為除五之動作。而當 $MC=0$ 時，則 DFF1 無作用，只剩 DFF2 及 DFF3 作用，信號在高準位延遲兩次後變號至低準位再延遲兩次，即為除四之動作。



$$Q1(n+1) = Q3(n) \cdot MC$$

$$Q2(n+1) = \overline{Q3(n)} \cdot \overline{Q1(n)} \begin{cases} Q1 = 1 \rightarrow hold \\ Q1 = 0 \rightarrow set \end{cases}$$

$$Q3(n+1) = Q2(n)$$

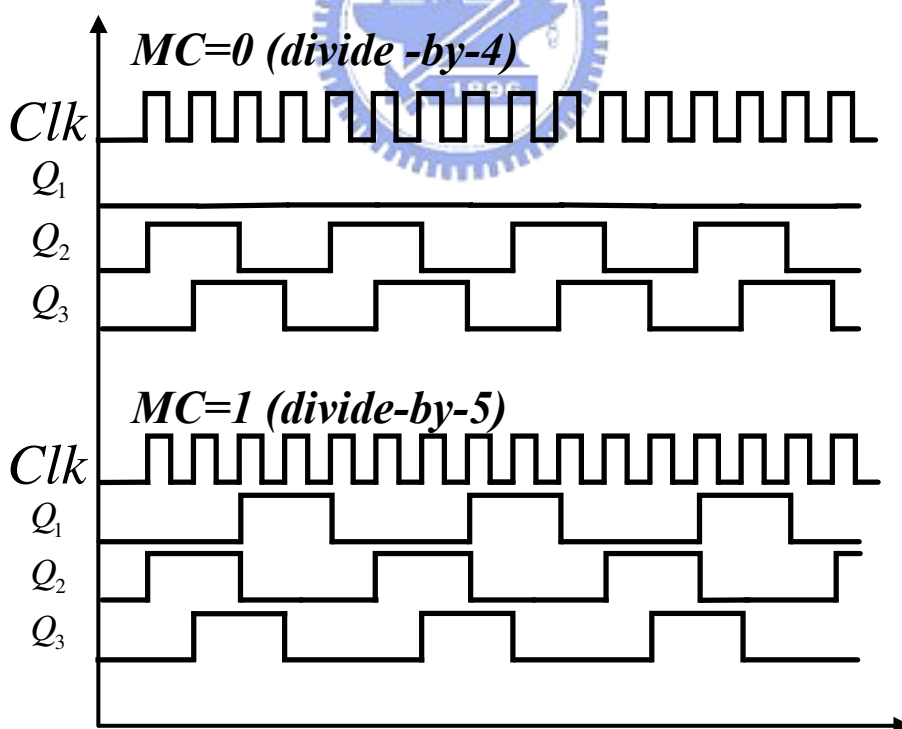


圖 3-10 併入 AND 閘之除四除五電路架構及時脈原理推导图

B. 前置輸入級：

將單端輸入之信號，轉為差動模的信號以提供全差動的電路(DFF)使用。並在輸入端作 50Ω 的阻抗匹配，可以有效隔絕儀器端或是對前端電路的影響。電路如圖 4-11 所示。

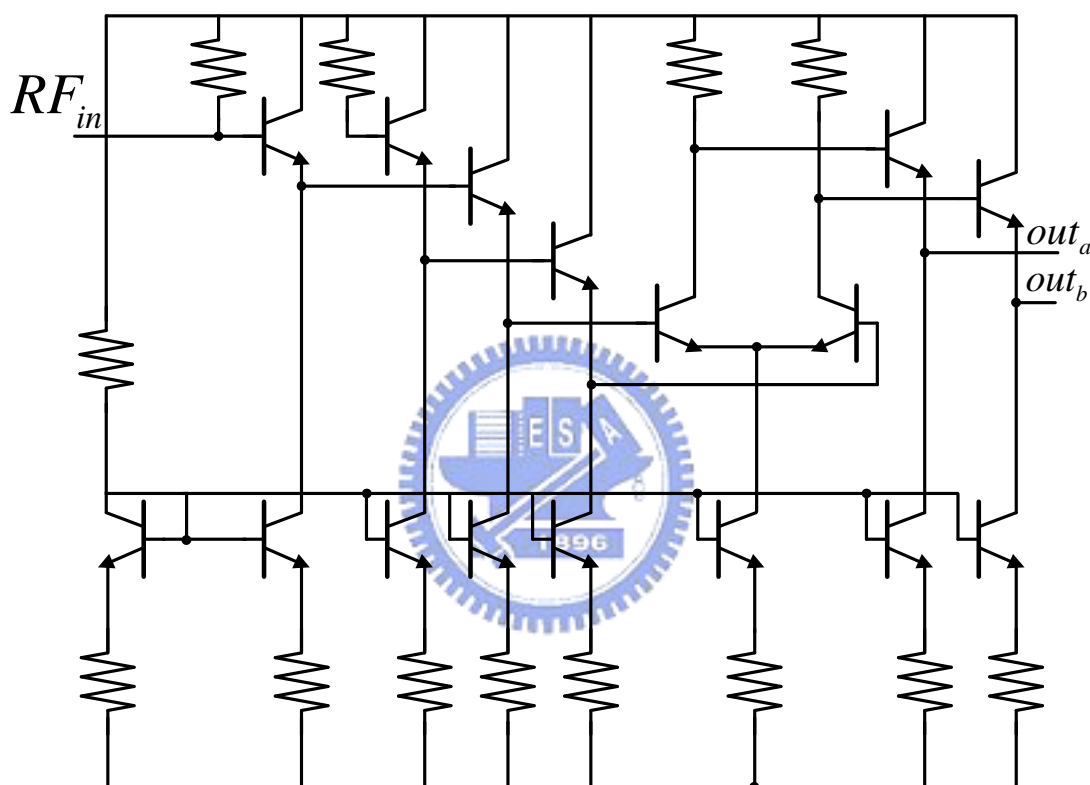


圖 4-11 前置輸入級電路圖

C. 輸出緩衝級：

若下級電路的負載較小，會吃掉許多電流，而使邏輯準位不正確，為了避免此一狀況的發生，我們在輸出端加上一組輸出緩衝級，不但可正確的傳出電壓準位，更可將信號放大。且為了量測儀器只能單端量測，此電路亦具有將差動模信號轉回單端輸出的功能。

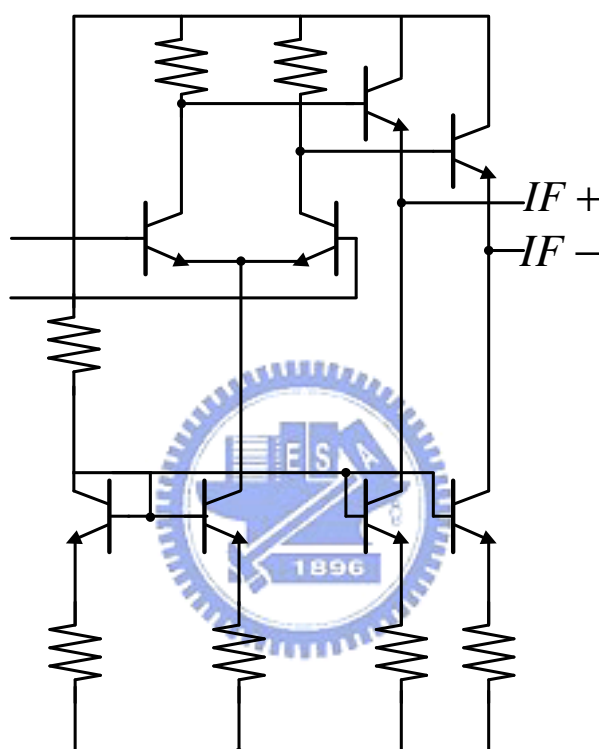


圖 4-12 輸出級緩衝級電路圖

4.2.2 晶片實作量測結果及討論

晶片實作：

我們利用 TSMC SiGe 0.35 μm 的製程將晶片實作出來，其 Die photo 如圖 4-13 所示。

量測設定：

RF probe 使用 G-S-G 和 G-S-G-S-G 標準 150- μm pitch-to-pitch 各一組。

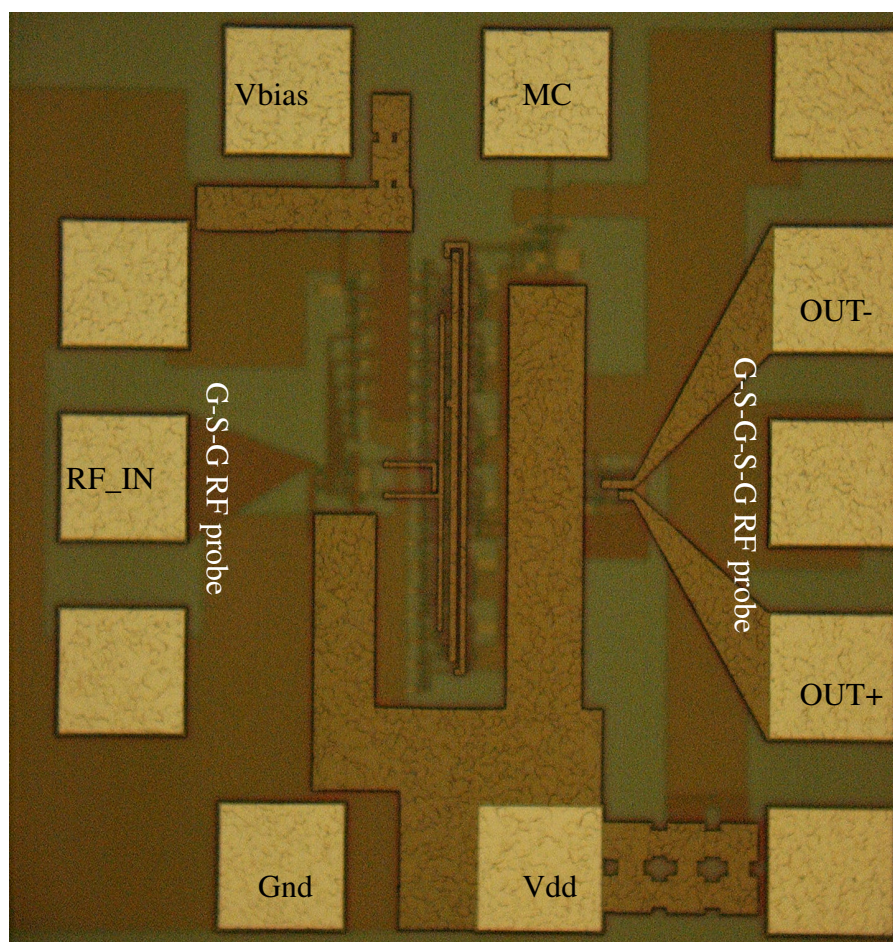
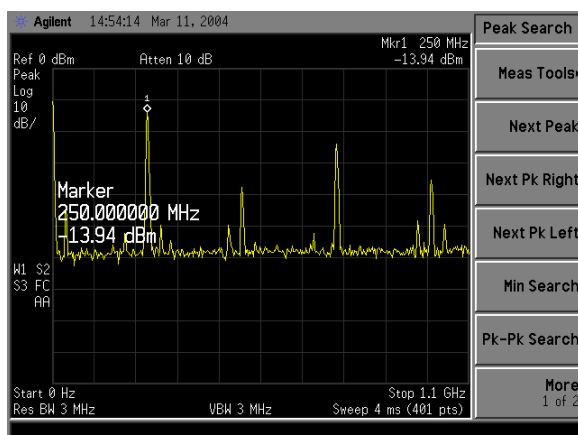
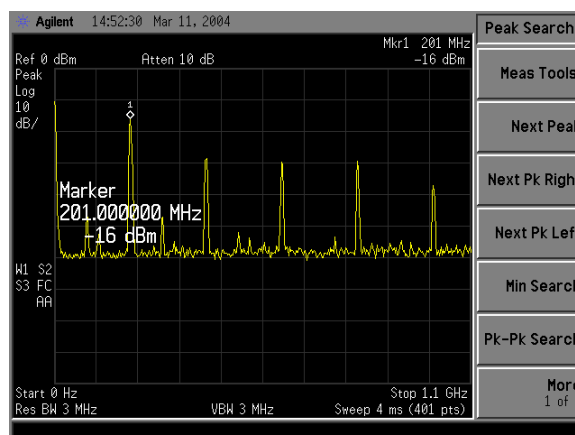


圖 4-13 SiGe 前置雙模除頻器

NDL 量測結果：

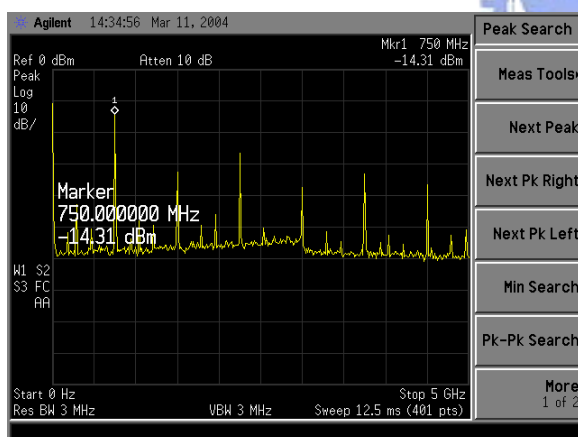


(a)

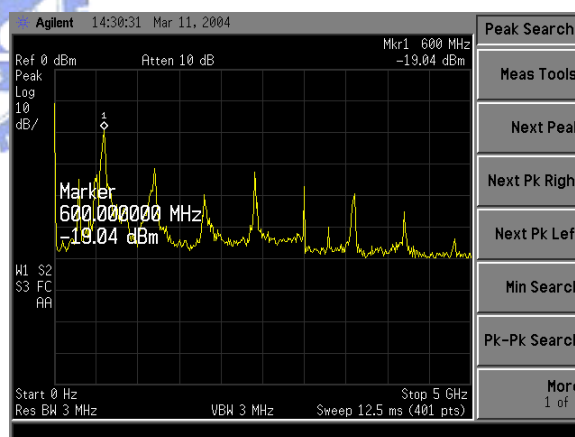


(b)

圖 4-14 輸入頻率為 1GHz 時，除四(a)及除五(b)



(a)



(b)

圖 4-15 輸入頻率為 3GHz 時，除四(a)及除五(b)

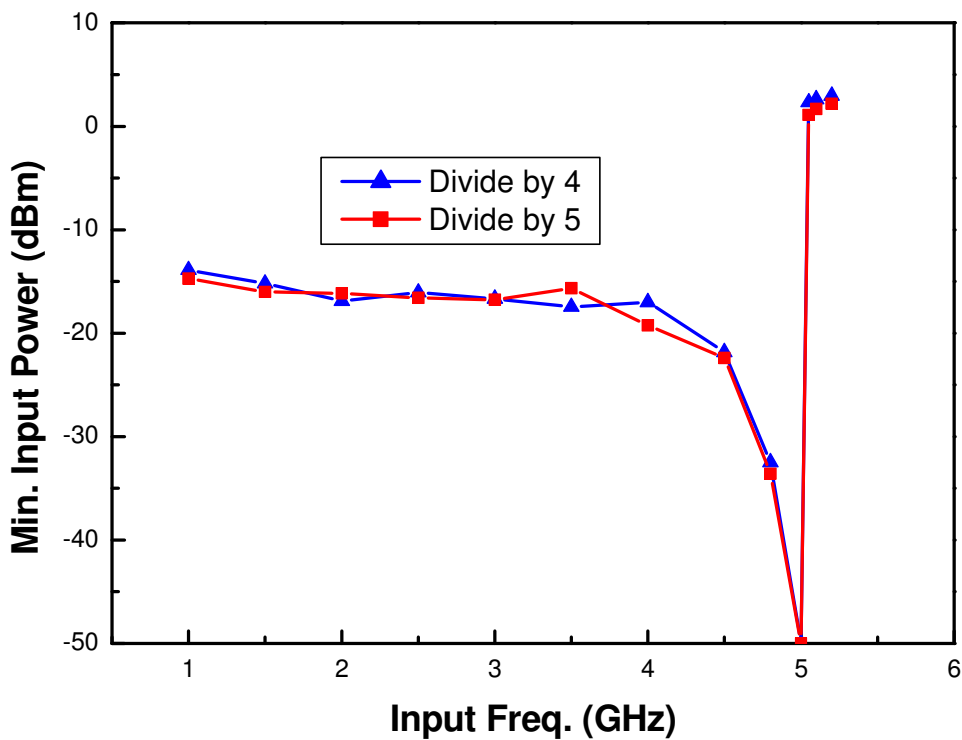


圖 4-16 輸入功率敏感度對輸入頻率作圖

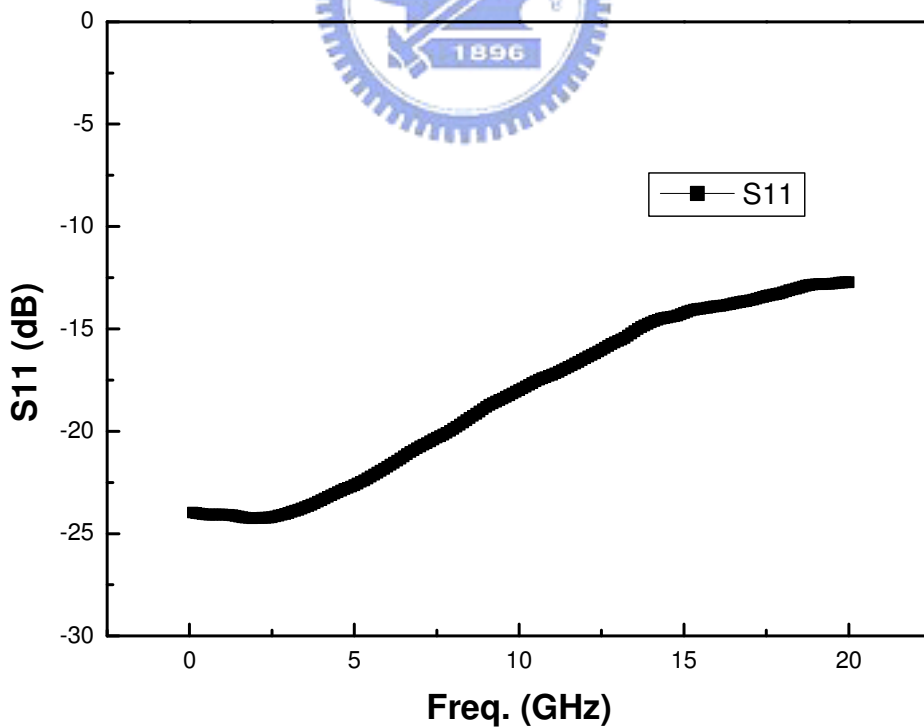


圖 4-17 量測輸入反射係數

量測結果摘要討論：

表 4-1 SiGe HBT 前置雙模除頻器量測結果

Item	Spec
Technology	TSMC SiGe 0.35um
Supply Voltage	3.5 V
Supply Current	31mA
Input Power	-15 dBm ~ 0 dBm
Output Power	-18 dBm ~ -14 dBm
Operation Frequency	DC~5GHz
Die size	700 um x 700 um

本電路使用 SiGe HBT 製程實現，於 NDL 使用 on wafer 的方法量測後，發現此電路工作頻率可至 5GHz，且其輸入端反射係數在 7.5GHz 以前皆小於-20dB，核心電路共消耗 15mA 左右。在直流偏壓部份，直流電流有比預期的稍小一點。在實際量測時，我們果如預期的可以看到各 harmonic 項的頻率出現。

而輸出功率及最高工作頻率和模擬不同有幾個原因可以解釋之：

1. Layout 上對寄生電容電阻及高頻的信號對鄰近線路的影響考量不夠。
2. 電晶體與電阻並不是與模擬所提供的模型一致，同時也造成直流偏壓不甚準確。

由以上的原因可以發現，電路佈局的考量對高頻特性的影響非常鉅大。在量測最低輸入功率敏感度時，發現所須功率較模擬所得為大，應是由於前置放大器之放大功率不足，或已進入飽和區而致。且輸入功率最低的頻率即為此除頻器之自振頻率。

4.2.3 靈敏度特性分析

從實驗所得的 Sensitivity 圖形中可以看到→以 ECL DFF 所組成的除頻器對於驅動電路所需之最小輸入時脈擺幅有著很特別的現象：

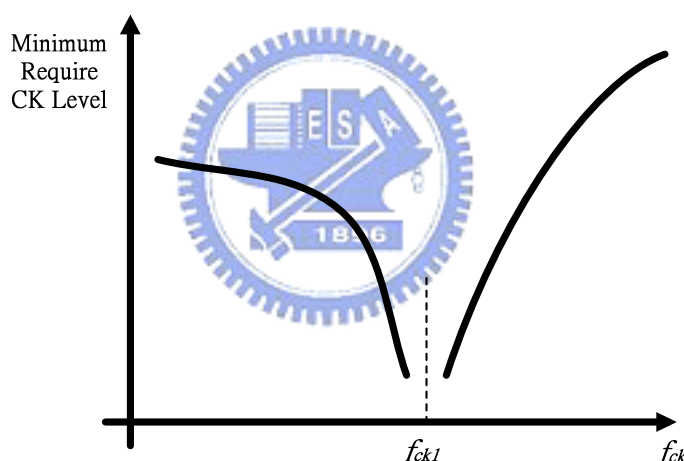


圖 4-18 靈敏度特性曲線示意圖

❶ 頻率小於 f_{ck1} 時：輸入時脈頻率較低，所需的最小時脈擺幅亦相對的較小，因為，假使電流速不夠快，導致在讀取端與存鎖端沒有完全正確的開關電晶體，然而其頻率並不快，使得電路仍能有足夠的時間回復正確的準位正常工作；

❷ 頻率到達 f_{ck1} 附近時：當頻率繼續增加時，電路所需的最小時脈

擺幅突然急降至一個特別的頻率 f_{ck1} ，此點也代表著特別的意義—若此點的擺幅小到某種程度，亦代表著 CLK 與 $\overline{\text{CLK}}$ 端幾乎沒有小信號輸入而有相同的直流準位，而 D 型正反器即可轉換成如圖所示之狀態；

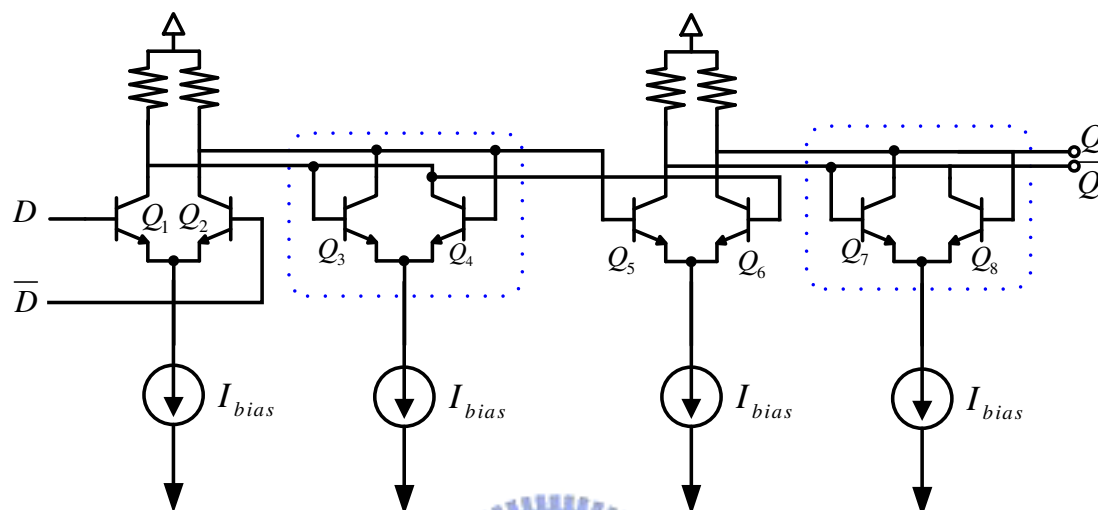


圖 4-19 令 CLK 端小信號輸入為零的 D 型正反器

以一組除二電路為，原本四對 RC 所產生的相位位移未達 360 度不足以起振，但如再加上存鎖端再生對電晶體的遲滯能造成之相位位移時，即可成為二級架構的環形振盪器，如圖所示，在頻率 $f_{ck1/2}$ 處自行起振。

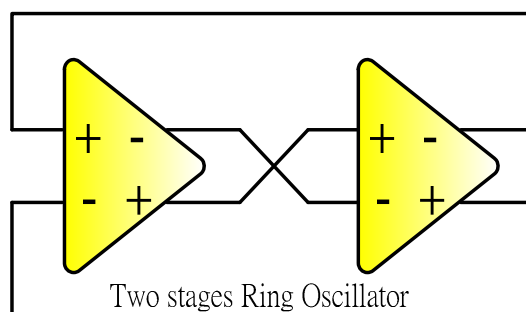


圖 4-20 二級環形振盪器示意圖

③ 頻率大於 f_{ck1} 時：隨著輸入時脈頻率的增加，除頻電路必須要有相對較大的時脈迴轉率(Slew rate)，才可以足夠快速的操控 Q_3 、 Q_4 存鎖對及 Q_7 、 Q_8 存鎖對的電流，然而在弦波的輸入下，我們就以較大的振幅輸入來近似較高的迴轉率，亦有相同的結果。因此，最小輸入時脈擺幅才會隨著頻率愈到高频而愈加增大，直到操作頻率的極限。

4.3 產生 50% 工作周期的除三電路

在直接降頻收發機中，是利用相位相消的方法來消除鏡像頻率，萬一本地端的信號不是 50% 的 duty cycle 時，會顯著的降低收發機系統的鏡像排斥比。故若希望在直接降頻系統中有較佳的通訊品質，則必須產生 1/2 工作週期的本地端信號。



4.3.1 電路架構及原理

常見能產生 1/2 工作週期的電路，為除以偶數的除頻器如除二、除四。皆可以產生 1/2 工作週期的信號。如圖 4-21 及圖 4-22 所示。

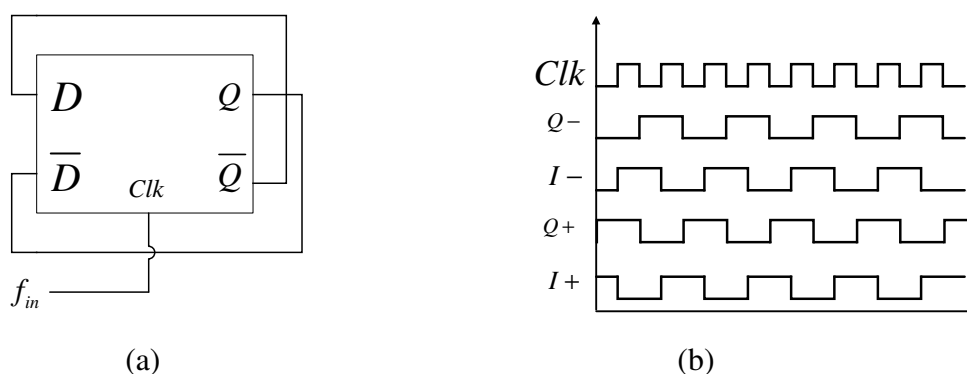


圖 4-21 利用同步式除二產生 50% 工作週期示意圖

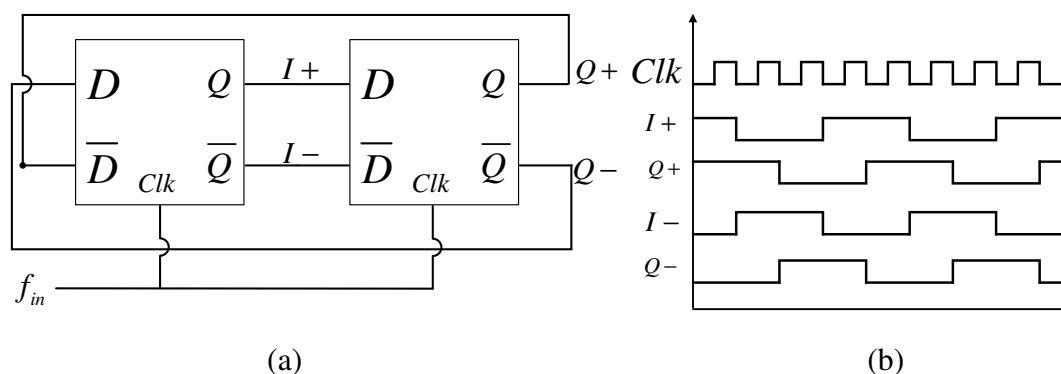


圖 4-22 利用同步式除四產生 50%工作週期示意圖

我們將利用除三的架構產生 50%工作週期的信號。傳統的除三電路最大的缺點皆是只能產生 33%或是 67%的工作周期信號，如圖 4-23 所示。即採用環型相接 edge-trigger 正反器的方法，在二個觸發信號後將原來的 Data 轉向(0→1, 1→0)，然後再一個觸發信號後轉向一次。持續的將信號遞回傳給後面的正反器，即可達成除三的效果。以同樣的方法思考，此邏輯可以持續擴大可達成除 N 的效果。但這並沒有辦法產生工作周期為 1/2 的信號。

而本電路利用一個新型的可切換式 ECL D 型正反器產生工作週期為 1/2 的信號。我們在 Data 和 CLK 端的中間加入一級可切換電流的元件， θ 。利用多出的這一端我們可以在某些時間將輸出端 Q 保持在之前的準位而達成 50%的輸出要求。

新的 D 型正反器之電路圖及真值表如圖 4-24 所示，當 θ 和 CLK 的 XOR 為 1 時，此電路的作用為保持(Hold)態；而當 θ 和 CLK 皆為 0 或皆為 1 時，電路為接收(Sense)態。再加以適當的接線 θ ，可採用 SSH (sense, sense, hold)或 SHH(sense, hold, hold)的方法，皆可以達成除三的效果。

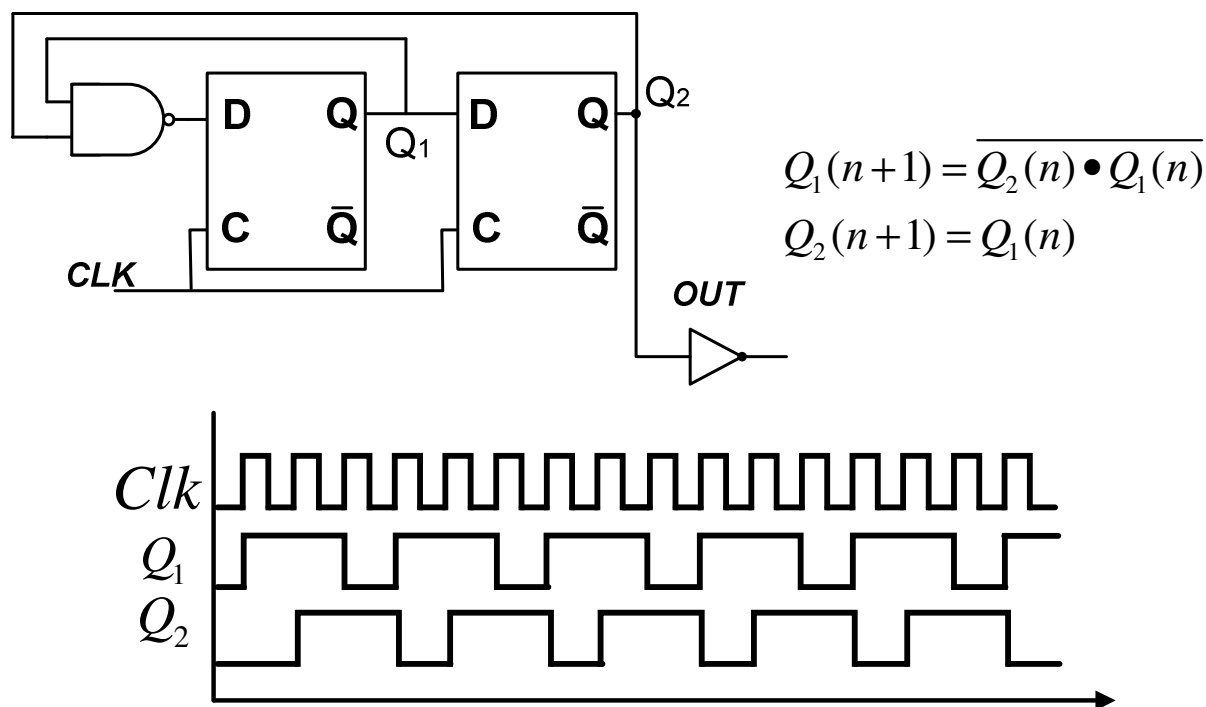


圖 4-23 傳統除三電路

如採用 SSH 的接線方式其信號走向如圖 4-25 所示。可得 θ_1 應等於 $\overline{Q_2}$ ， θ_2 應等於 $\overline{Q_3}$ ，而 θ_3 則應等於 Q_1 。

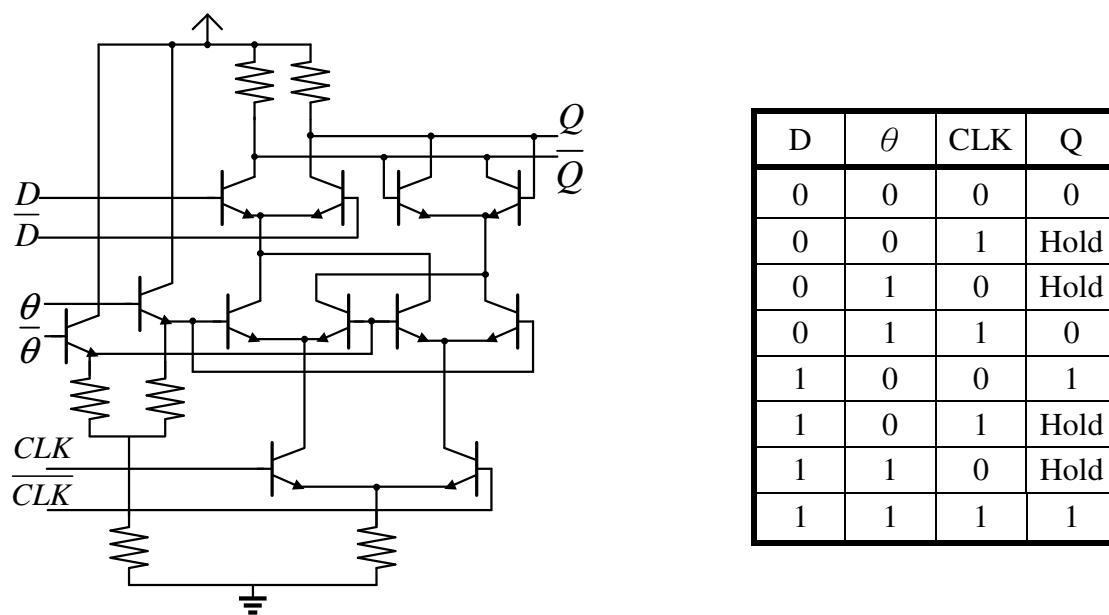


圖 4-24 相位可切換式 D 基正反器電路圖及真值表

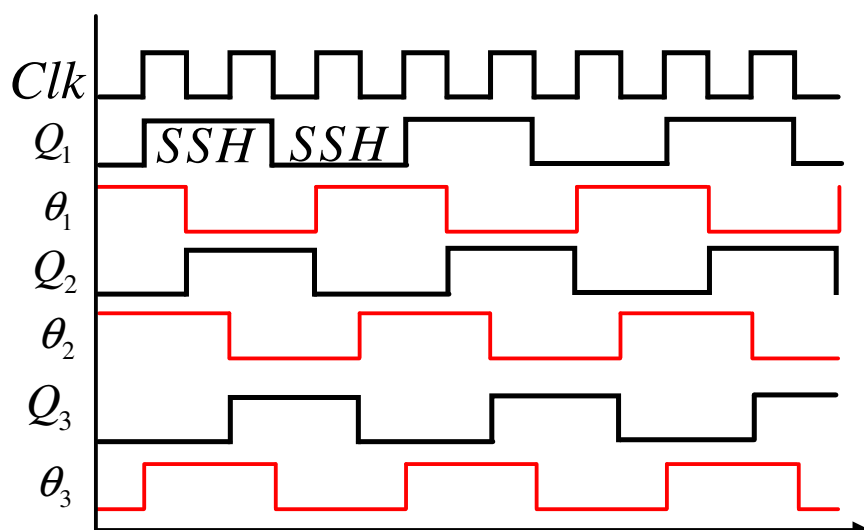


圖 4-25 SSH 接線的信號走向圖

利用此新型的正反器，我們可以歸納出四種方式，皆可產生 50% 工作周期的接線方式並整理如表 4-2 所示。其中，Positive 表示 Q_1 信號為正緣觸發，Negative 表負緣觸發。在同是 SSH 的情況下，我們可以發現其接線方式，只是將 θ 端的輸入信號反接；而 SSH 和 SHH 的分別則是信號向後一個正反器取或是向前一個正反器取得的差別。

為了配合目前量測方便，我們另外設計了前置輸入級及輸出緩衝級的電路，前置輸入級的目的是為了將目前單端輸入的儀器轉為差動信號讓除三電路可以正常工作；輸出緩衝級則提供了將雙端信號轉為單端信號的功能。其電路分別如圖 4-11 及圖 4-12 所示。為了測試並比較這些產生方式有何差別，我們選擇 Positive 的 SSH 及 SHH 作為比較的電路。

為比較其優劣，我們設計電路時，將直流部份設計相同，只有電路架構不同，每顆電晶體具有相同的偏壓電流，故其傳輸時間約相同。從模擬上，我們看出 SHH 的架構在將可以提昇工作頻率約 20%。

表 4-2 各種產生 50%工作周期除三的接線方法

Edge	Positive		Negative	
mode	SSH	SHH	SSH	SHH
θ_1	$\overline{Q_2}$	$\overline{Q_3}$	Q_2	Q_3
θ_2	Q_3	$\overline{Q_1}$	$\overline{Q_3}$	Q_1
θ_3	Q_1	Q_2	$\overline{Q_1}$	$\overline{Q_2}$

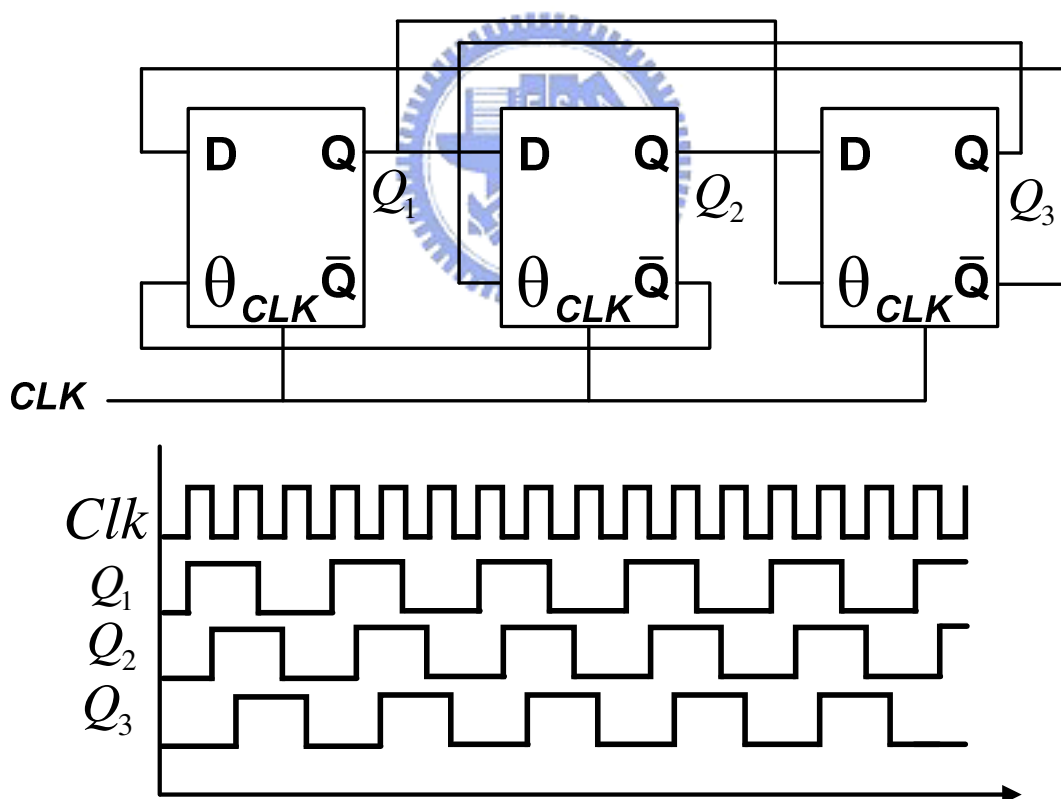


圖 4-26 正緣觸發 SSH 電路架構圖及信號時間圖

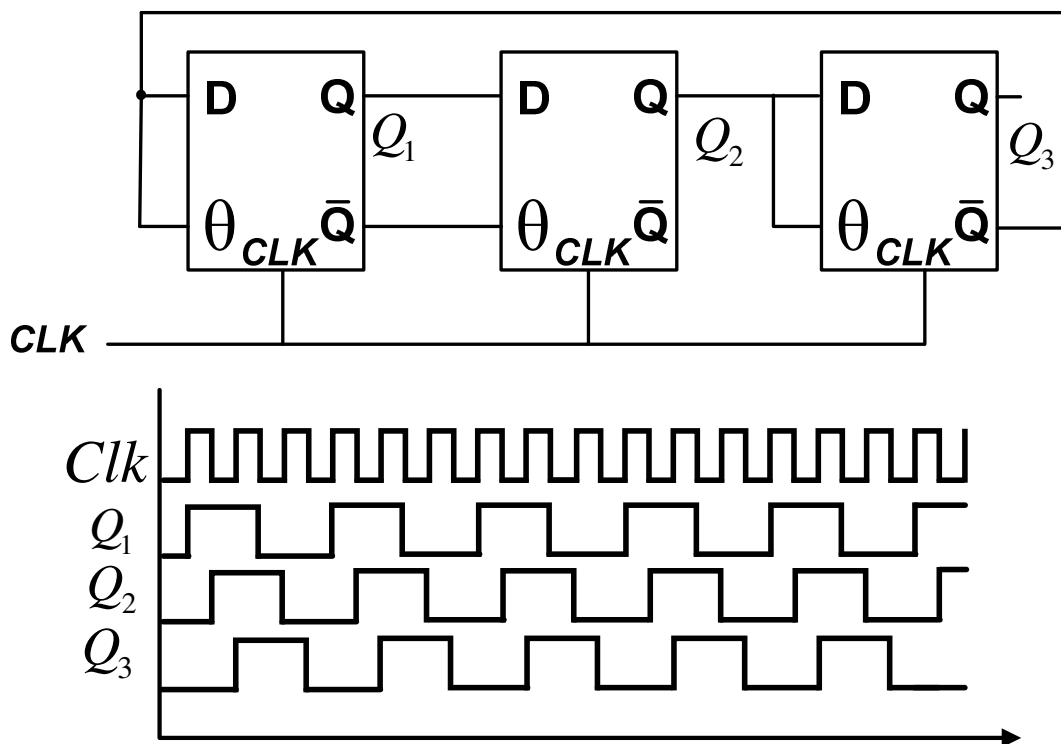


圖 4-27 正緣觸發 SHH 電路架構圖及信號時間圖

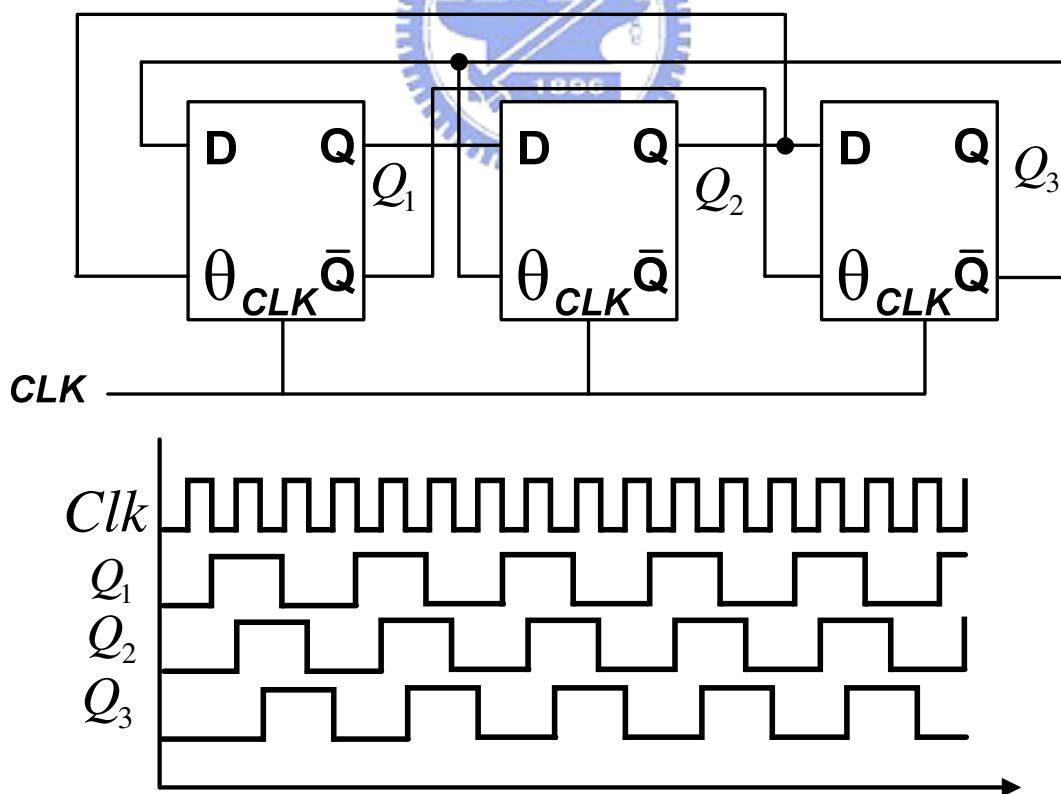


圖 4-28 負緣觸發 SSH 電路架構圖及信號時間圖

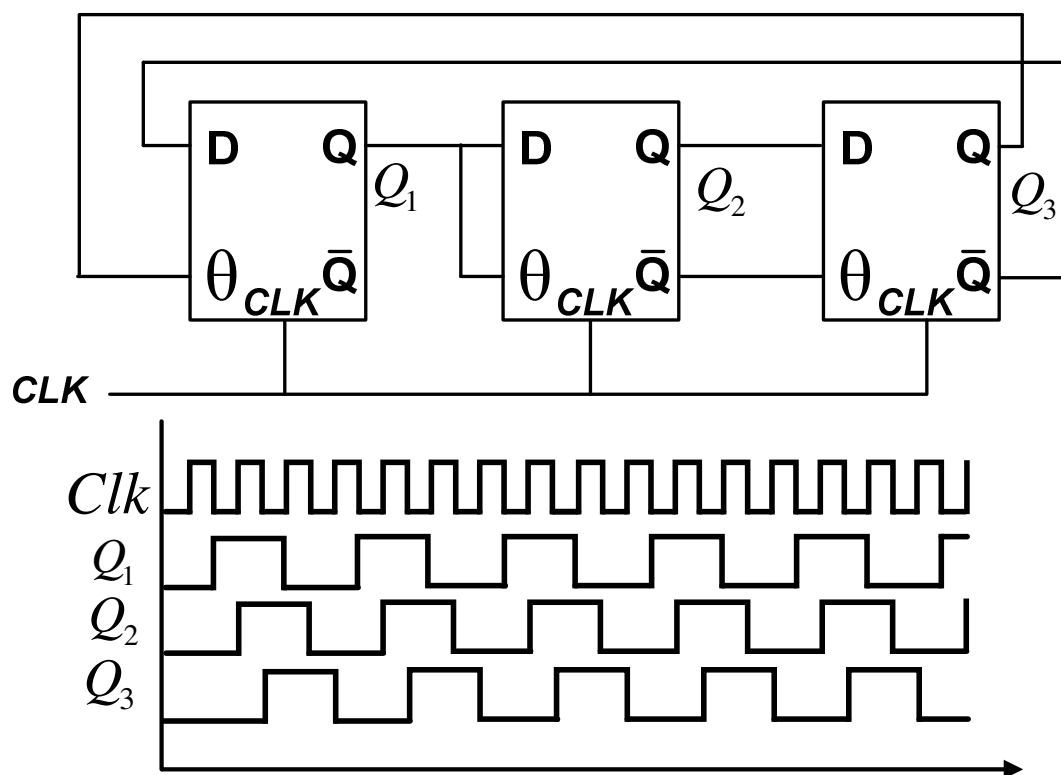


圖 4- 29 負緣觸發 SHH 電路架構圖及信號時間圖



4.3.2 量測結果及討論

晶片實作：

我們利用 GCTC $2\ \mu\text{m}$ InGaP/GaAs HBT 的製程將晶片實作出來，其 Die photo 如圖 4-26 所示。

量測設定：

RF probe 使用 G-S-G 標準 $150\text{-}\mu\text{m}$ pitch-to-pitch 各二組。

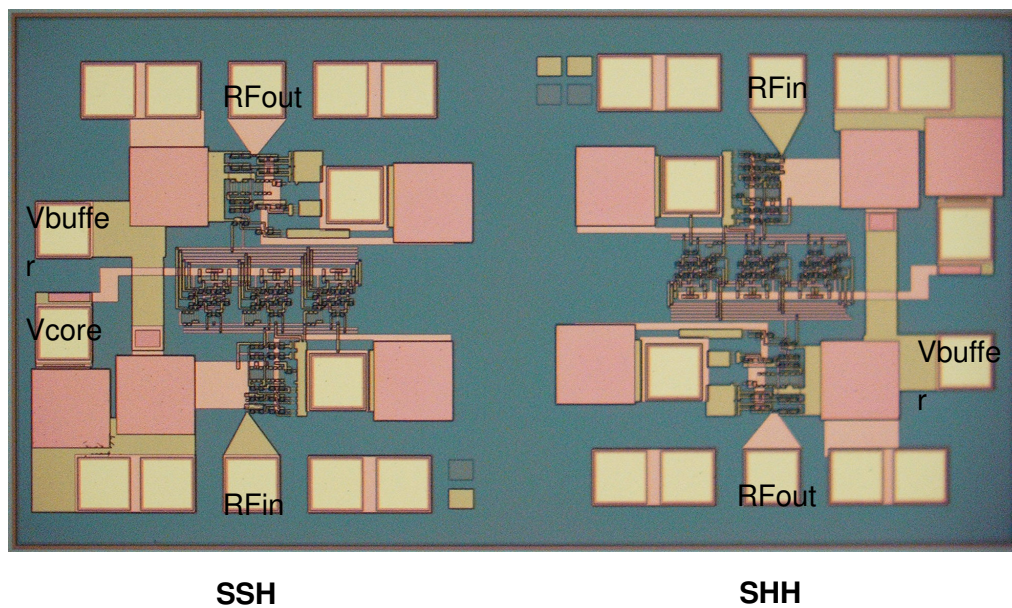


圖 4-30 二種產生 50%工作周期電路的照片

NDL 量測結果：

Vcore

測試時，利 NDL 提供 on wafer 測試服務，我們使用 Real time Oscilloscope 作時域量測，使用譜頻分析儀(Spectrum Analyzer)作頻域量測，量測結果如下列所示。

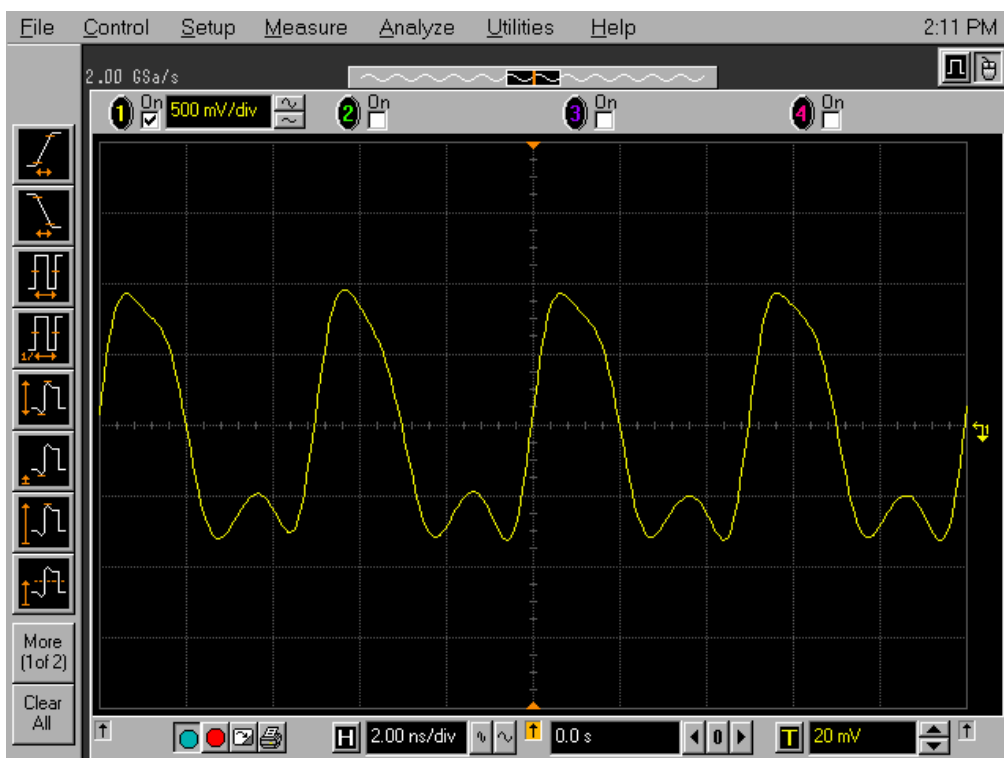


圖 4-31 輸入信號為 600MHz(輸出信號 200MHz)

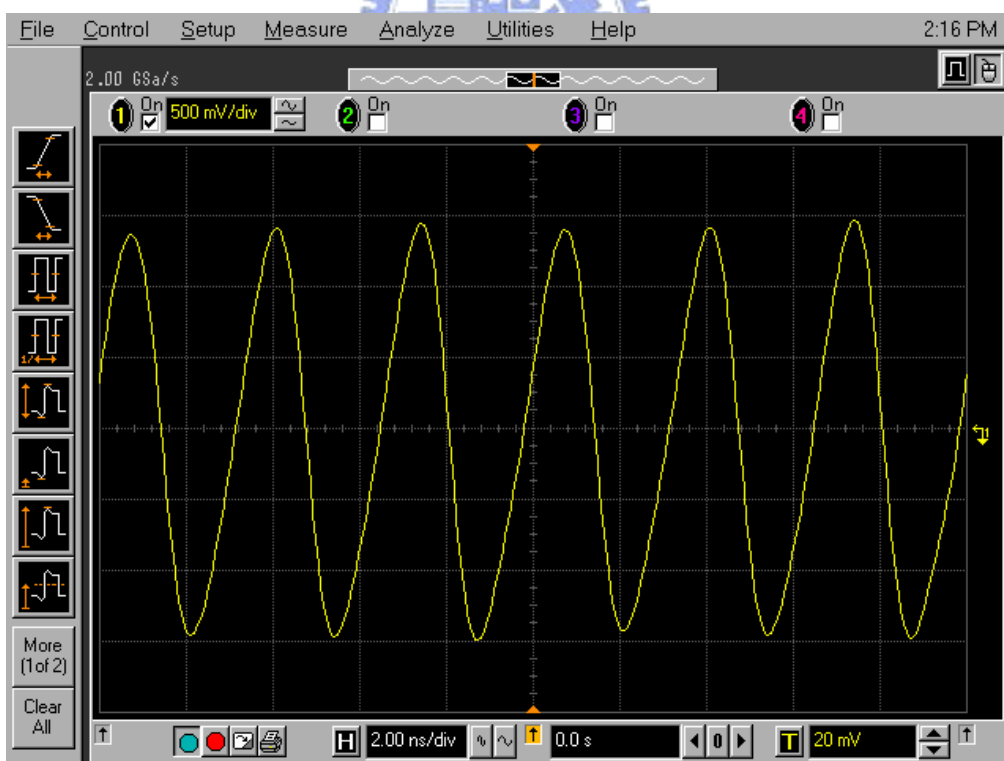


圖 4-32 輸入信號為 900MHz(輸出信號 300MHz)

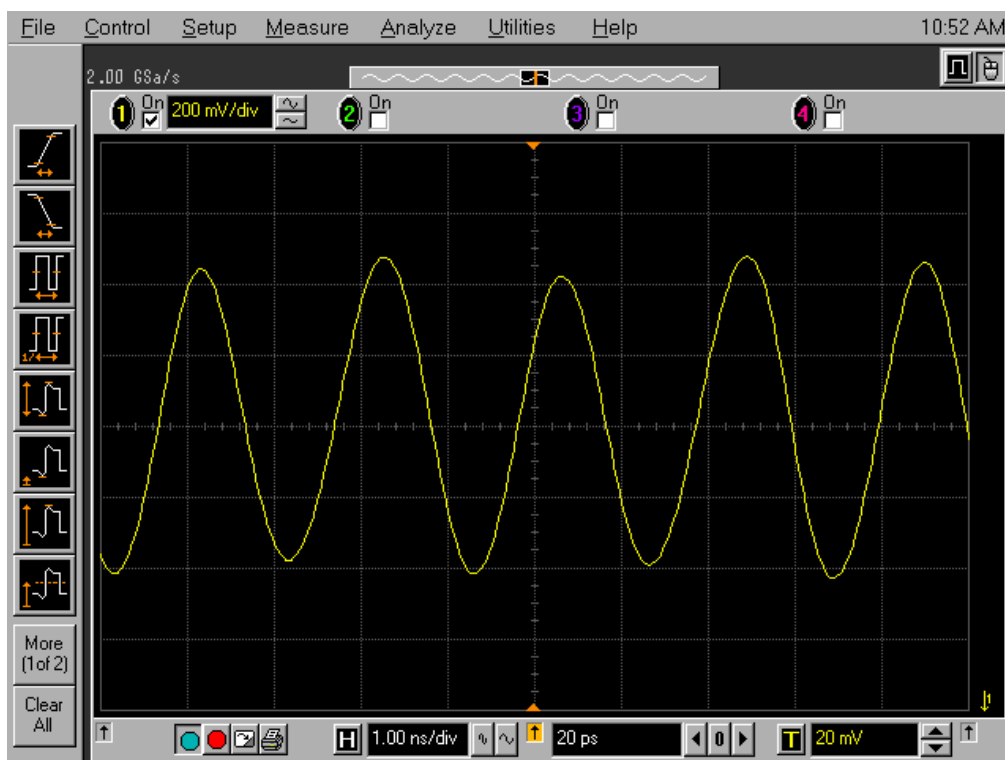


圖 4-33 輸入信號為 1.2GHz(輸出信號 400MHz)

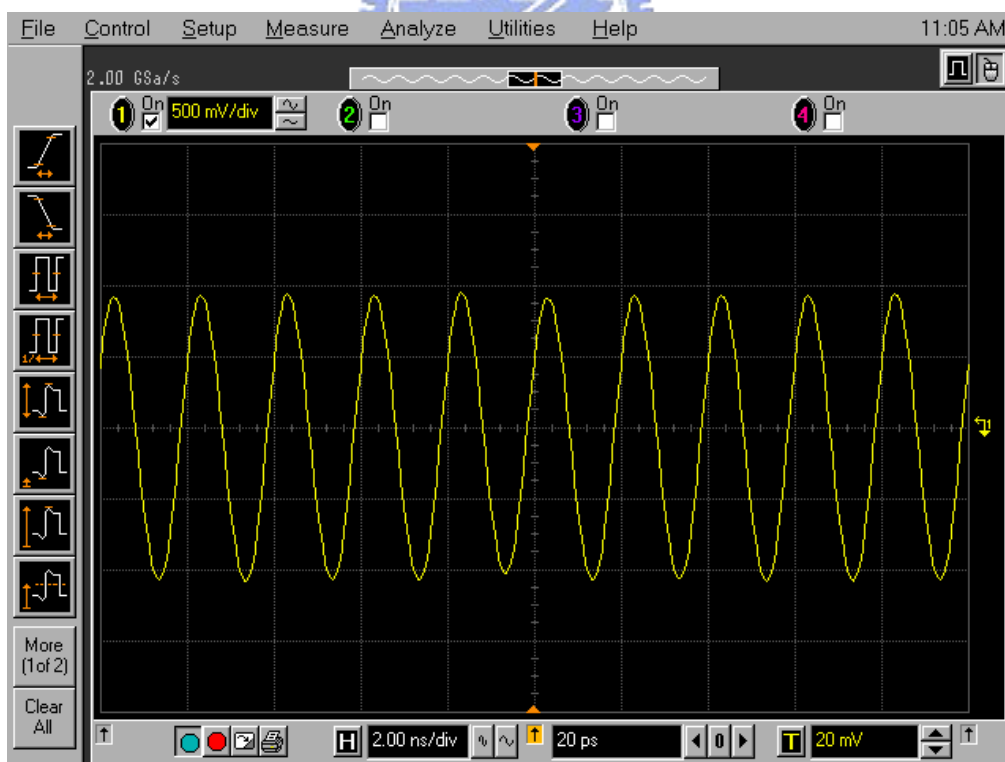


圖 4-34 輸入信號為 1.5GHz(輸出信號 500MHz)

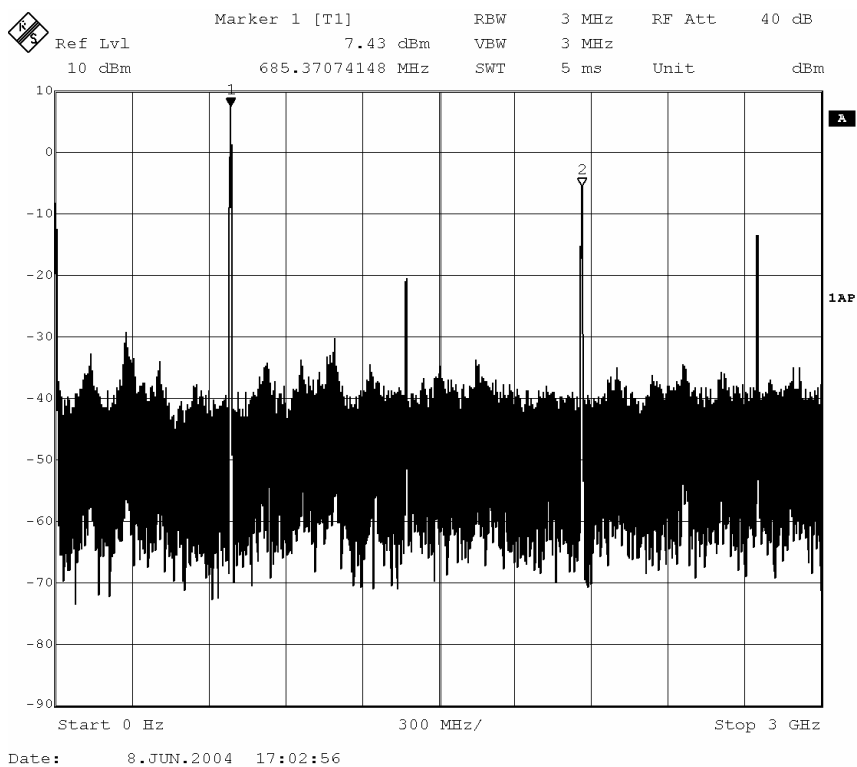


圖 4-35 輸入信號為 2.05GHz(輸出信號 683MHz)

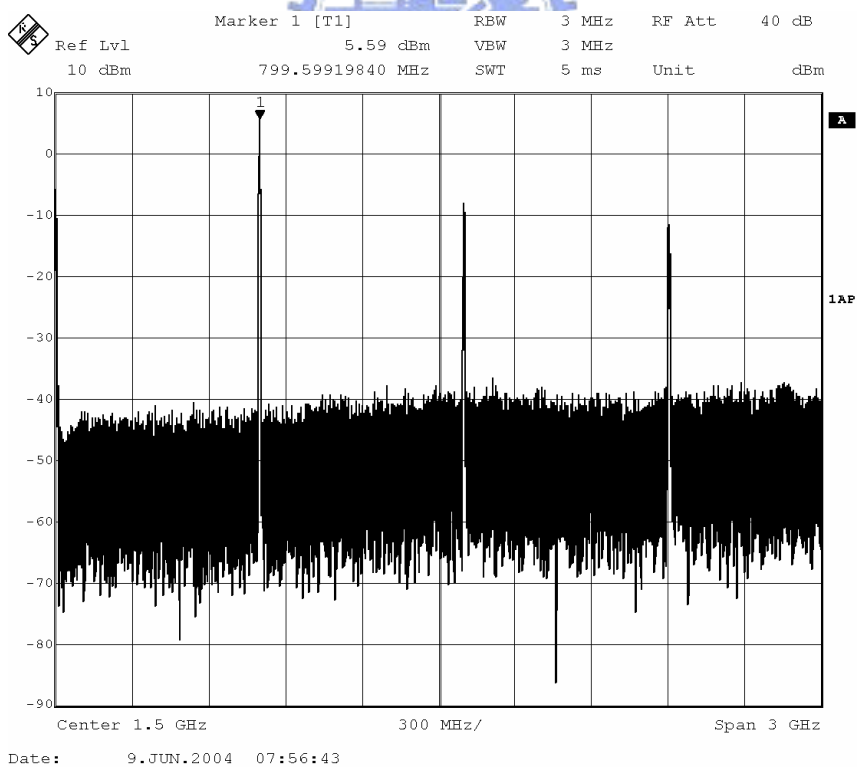


圖 4-36 輸入信號為 2.4GHz(輸出信號 800MHz)

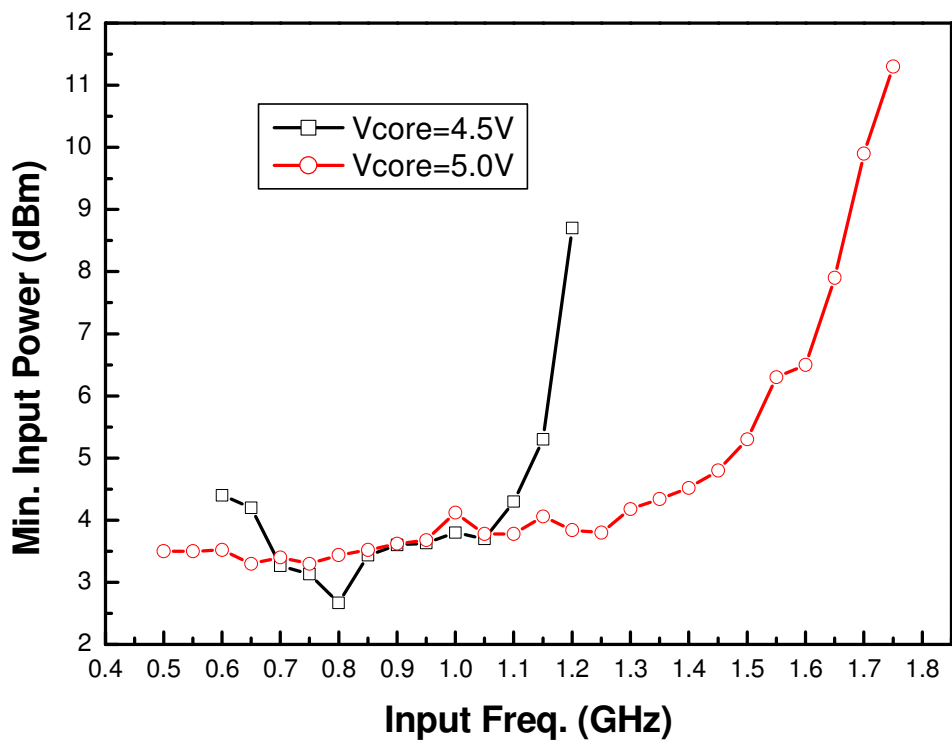


圖 4-37 靈敏度對輸入頻率(SSH)

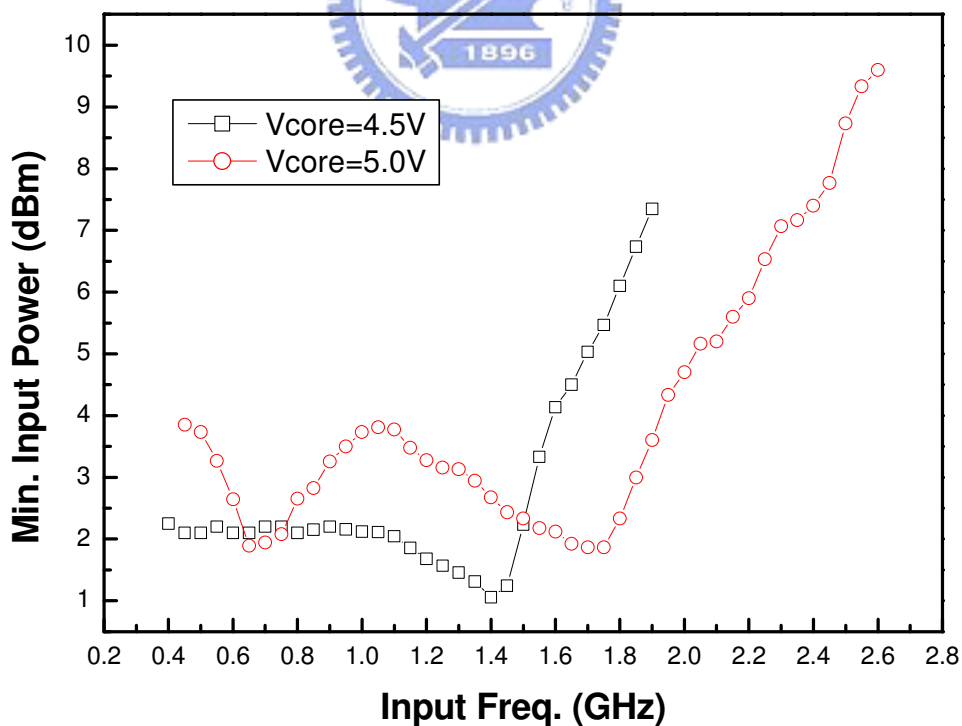


圖 4-38 靈敏度對輸入頻率(SHH)

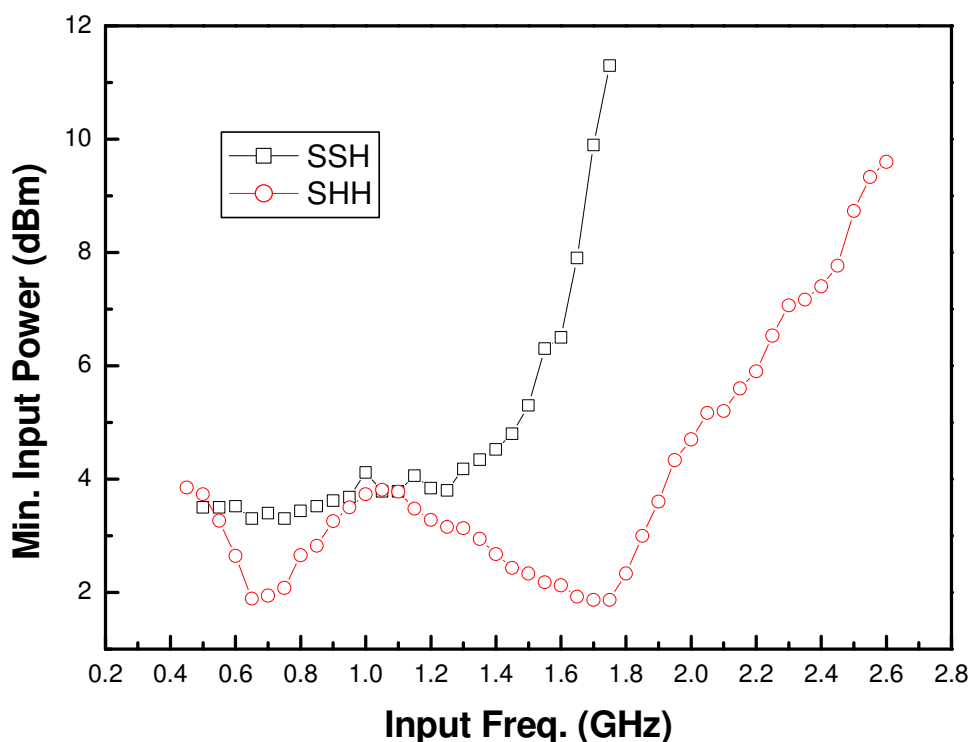


圖 4-39 Vcore=5V 時，SSH 與 SHH 靈敏度比較

量測結果摘要討論：

表 4-3 SSH 與 SHH 量測摘要

Item	SSH	SHH
Technology	GCTC InGaP/GaAs HBT 2.0um	GCTC InGaP/GaAs HBT 2.0um
Supply Voltage	5 V	5V
Supply Current	17.14mA	17.74mA
Input Power	2 dBm ~ 10 dBm	2 dBm ~ 10 dBm
Output Power	5 dBm ~ 7 dBm	5 dBm ~ 7 dBm
Operation Frequency	DC~1.5GHz (5dBm)	DC~2.0GHz(5dBm)
Die size	1000 um × 1000 um	1000 um × 1000 um

在本次的設計與測試中，我們發現除三電路須要相當大的輸入信

號才會動作，和模擬結果相差甚多，這可能是因為我們新設計的前置輸入須要較大的信號才會動作有關。且除三電路本身能動作的範圍就較除四除五來的小，這是因為使用的正反器堆疊較多級的電晶體，使電晶體 V_{BC} 較小，Kirk Effect 提早發生而使用在 f_T 較低的區域而致。和模擬相同的我們看到 SHH 的電路較 SHH 可工作的頻率區較寬，實際量測結果，在輸入功率在 6dBm 時，可提昇工作頻率約 25%。

而此除三電路並沒有自振的現象，所以在量測時，我們並沒有看到靈敏度圖形有一個最佳頻率點。這是因為在除三電路即使 CLK 信號很小，但其在 θ 端仍有信號輸入，使電路不易成為環形振盪器。這亦有可能是此自振現象被前置輸入級給飽和掉，而無法加以量測。

而在核心電路給不同偏壓時，我們可以明顯看出整體工作頻率向下降的現象，這是因為正反器設計時整體的直流偏壓來自於最低的電阻，而當 V_{core} 降低時，會使接到 CLK 端的電晶體 V_{CE} 下降至 0.7V 左右，其它電晶體的偏壓沒有改變。由之前 f_T 對 V_{CE} 的關係，在此種偏壓下 f_T 的降低是很顯著的，同時整體電路的工作速度亦因此而下降。

4.4 結論

在本章中，我們利用將 AND 閘併入的 D 型正反器，設計並實作一顆 3.5V，31mA 且可工作至 5GHz 高速雙模前置除頻器。此電路利用由 CIC 提供 TSMC SiGe HBT 製程做為實作平台，並利用 NDL 所提供的 on wafer 式測量服務作為驗證平台。

另一方面，我們利用由 CIC 提供 GCTC InGaP/GaAs HBT 製程，測試二種利用可切換相位式 D 型正反器設計產生 50% 工作周期的除三電路，每一個須使用 5V，17mA(核心電路部份)。其中，SHH 的電路架構較之 SSH，工作頻率約可提昇 30% 左右。



第五章

結論



本論文中，我們利用由 CIC 提供下線機會，由 GCTC 製作的 InGaP/GaAs HBT 來萃取 VBIC 模型參數，提供一套正確有效率的流程。並探 VBIC 模在 InGaP/GaAs HBT 上的應用與討論其極限。並且由於 VBIC 模型的方程式無法完整的描述元件的傳輸時間效應。所以我們對異質接面雙極性電晶體(Heter junction Bipolar Transistor)的傳輸時間(transient time)做一深入的討論。

在本論文中，我們利用一維的元件區域性模型為基礎，將各區域的傳輸時間常數作一整合式的分析與整理其描述方程式，將和各種不同偏壓有關的參數作一整理，且在不影響模型準確性的條件下將方程式簡化，達到同時兼顧模擬速度與模型準確度的目標。

在研究的同時，我們亦發現 InGaP/GaAs HBT 的傳輸時間，雖仍由基極傳輸時間為最重要的項，但由基極-集極空乏區所造成的傳輸時間仍會在低電流區域造成 f_T 對 I_C 偏壓會分開的影響。而基極-射極間的傳輸時間則在低電流的部份會影響 f_T 上昇的斜率。在高電流的情況下，不只是集極部份會因 Kirk 效應造成電流增益大幅下降，同時亦會由射極區的有限的等效金屬接觸再結合速率造成 f_T 下降的情況。

在電路實作的部份，我們分別利用由 CIC 提供的 TSMC SiGe HBT 及 GCTC InGaP/GaAs HBT 設計並實作了正交相位壓控振盪器、併入 AND 閘的高速前置雙模除頻器(除四除五)、50%工作周期的除三電路等電路。並利用 NDL 提供 on wafer 測試服務完成電路的量測與驗證。其中，利用 TSMC SiGe HBT 製作的雙模除頻器在 3.5V, 31mA(含 buffer 電流)時可工作至 5GHz，其輸入端反射係數在 7.5GHz 前皆小於 -20dB。而 50%工作周期除三電路則是利用了新型的存鎖器架構來達成。本文中則利用 SHH(Sense, Hold, Hold)的接線方式可有效的提昇最高工作頻率。

參考文獻

-
- [1] Behzad Razavi, “*RF Microelectronics*,” Prentice Hall, 1998.
- [2] David A. Johns, Ken Martin, “*Analog Integrated Circuit Design*,” John Wiley&Sons Inc., 1997.
- [3] Lan E. Getreu, “*Modeling the Bipolar Transistor*,” Tektronix Inc., 1976.
- [4] 王雅萱, “異質接面雙極性電晶體 VBIC 模型建立及其在射頻電路之應用”, 碩士論文, 國立中央大學, 2003.
- [5] Conlin C. McAndrew, “VBIC95, The Vertical Bipolar Inter-Company Model,” *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 10, Oct. 1996.
- [6] Xiaochong Cao, “Comparison of the New VBIC and Conventional Gummel-Poon Bipolar Transistor Models,” *IEEE Transactions on Electron Device*, Vol. 47, No. 2, Feb. 2000.
- [7] Marcel Tutt, “GaAs Based HBT Large Signal Modeling Using VBIC for Linear Power Amplifier Applications,” *IEEE BCTM 2000*, Sep. 2000.
- [8] S.V. Cherepko, J.C.M Hwang, “VBIC Model Applicability and Extraction Procedure for InGaP/GaAs HBT,” *APMC 2001*.
- [9] Günther Palfinger, “Modelling the Heterojunction Bipolar Transistor with VBIC,” Diploma Thesis, 2000.
- [10] Matthias Rudolph, “Scalable GaInP/GaAs HBT Large-Signal Model,” *IEEE Transactions on Microwave Theory and Techniques*, Vol. 48, No. 12, Feb. 2000.
- [11] Michael Schröter, “Physics-Based Minority Charge and Transit Time Modeling for Bipolar Transistors,” *IEEE Transactions on Electron Devices*, Vol. 46, No. 2, Feb. 1999.
- [12] 柳順儒, “雙載子電晶體大信號參數粹取”, 碩士論文, 國立中興大學電機工程所, 2001.
- [13] 鄒伯均, “雙載子電晶體和異質接面雙載子電晶體之雜訊特性分析”, 碩士論文, 國立中興大學電機工程所, 2002.

- [14] Domine Leenaerts, Carel Dijkmans, Michael Thompson, "A 0.18 μm CMOS 2.45GHz Low-Power Quadrature VCO with 15% Tuning Range," *IEEE Radio Frequency Integrated Circuits Symposium*, 2002.
- [15] Donhee Ham, Ali Hajimiri, "Concepts and Methods in Optimization of Integrated LC VCOs," *IEEE Journal of Solid-State Circuits*, Vol. 36 No.6, pp.896-909, June 2001.
- [16] Behzad Razavi, "*Design of Integrated Circuits for Optical Communications*," 2002
- [17] Herbert Knapp, Thomas F. Meister and others, "A Low Power 20 GHz SiGe Dual-modulus Prescaler," *IEEE MTT-S Digest*, 2000
- [18] Herbert Knapp, Martin Wurzer, Josef Böck, Thomas F. Merster, Günter Ritzberger, Klaus Aufinger, "36 GHz Dual-Modulus Prescaler in SiGe Bipolar Technology." *IEEE Radio Frequency Integrated Circuits Symposium*, 2002.
- [19] Sang-Woong Yoon, Eun-Chul Park, Chang-Ho Lee, Sanghoon Sim, Sang-Goog Lee, Euisik Yoon, Joy Laskar, and Songcheol Hong, "5~6GHz-Band GaAs MESFET-Based Cross-Coupled Differential Oscillator MMICs With Low Phase-Noise Performance." *IEEE Microwave and Wireless Components Letters*, Vol. 11, No. 12, Dec. 2001
- [20] Markus Zannoth, Bernd Kolb, Joseph Fenk, and Robert Wergel, "A Fully Integrated VCO at 2 GHz." *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 12, Dec. 1998.
- [21] Herbert Knapp, Martin Wurzer, Josef Böck, Thomas F. Meriter, Günter Ritzberger, Klaus Aufinger, "36Ghz Dual-Modulus Prescaler in SiGe Bipolar Technology," *IEEE RFIC Symposium*, 2002
- [22] Sergio A. sanielevici, Kenneth R. Cioffi, Bahman Ahrari, Paul S. Stephenson, David L. Skoglund, and Masoud Zargari, "A 900-MHz Transceiver Chipset for Two-Way Paging Applications," *IEEE Journal of Solid-state Circuits*, Vol. 33, No. 12, Dec 1998
- [23] Ken Martin, "*Digital Integrated Circuit Design*."
- [24] Ching-Yuan Yang, Guang-kaai Dehng and Shen-Iuan Liu, "High-speed divide-by-4/5 counter for a dual-modulus prescaler," *Electronics Letter*, Vol 33, Issue 20, 25 Sept. 1997, pp. 1691-1692
- [25] Behzad Razavi, "*Design of Integrated Circuits for Optical Communications*,"

2002

[26] A.Molnar et al, "A Single Chip Quad Band (850/900/1800/1900MHz) Direct Conversion GSM/GPRS RF Transceiver with Integrated VCOs and Fractional-N Synthesizer," *ISSCC 2002, International Solid-State Circuits Conference*, February 2002, San Francisco.

[27] R. Magoon and A. Molnar, "RF Local Oscillator Path for GSM Direct Conversion Transceiver with True 50% Duty Cycle Divide by Three and Active Third Harmonic Cancellation," in 2002 *RFIC Symp. Dig. Papers*, RFIC, Seattle, WA, 2002

