

# 國立交通大學

電子工程學系電子研究所碩士班

## 碩士論文

低壓高速動態比較器之實現



Implementation of Low Voltage, High Speed  
Dynamic Comparators

研究生：郭柏均

Bo-Jyun Kuo

指導教授：蔡嘉明 教授

Prof. Chia-Ming Tsai

中華民國一〇一年十一月

# 低壓高速動態比較器之實現

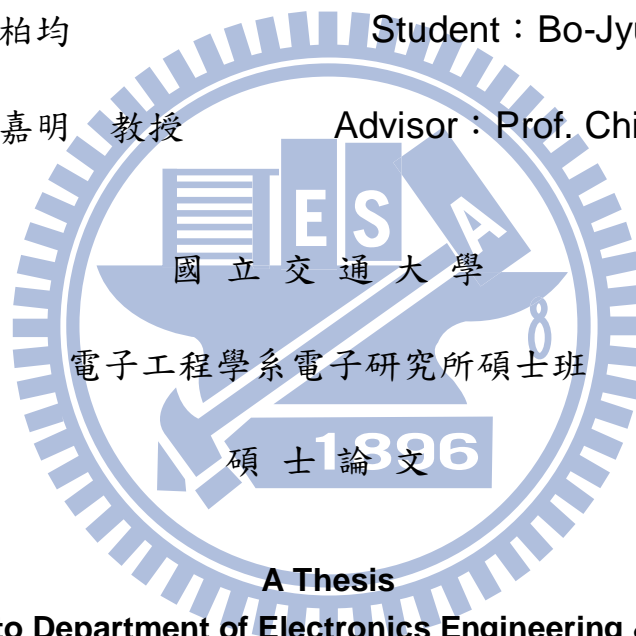
## Implementation of Low Voltage, High Speed Dynamic Comparators

研究生：郭柏均

Student : Bo-Jyun Kuo

指導教授：蔡嘉明 教授

Advisor : Prof. Chia-Ming Tsai



電子工程學系電子研究所碩士班

碩士論文

A Thesis

Submitted to Department of Electronics Engineering & Institute of  
Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electronics Engineering

Nov. 2012

Hsinchu, Taiwan, Republic of China

中華民國一〇一年十一月

# 低壓高速動態比較器之實現

學生：郭柏均

指導教授：蔡嘉明 教授

國立交通大學

電子工程學系電子研究所碩士班

## 摘要

本論文設計兩種低壓高速動態比較器，針對核心電路“栓鎖器”做改善，使比較器在低供給電壓操作時時，讓比較器能有足夠得過驅動電壓，保持足夠的轉導，維持高速的運作，並使用 65nm CMOS 做驗證，使之能夠在 0.6 伏特時，操作速度然能夠達到 GHz 的等級。第一個比較器在供給電壓 0.6V 時，操作速度可達 1GHz，偏差電壓( $1\sigma$ ) 為 6mV，雜訊大小( $1\sigma$ )為 0.65mV，敏感度僅需 3mV 即可達到  $BER=10^{-9}$ ，同時功率消耗僅 38 $\mu$ W。第二個比較器在供給電壓 0.6V 時，操作速度更可高達 1.3GHz，偏差電壓( $1\sigma$ ) 為 7.5mV，雜訊大小( $1\sigma$ )為 0.5mV，敏感度僅需 4.2mV 即可達到  $BER=10^{-9}$ ，同時功率消耗僅 64 $\mu$ W。

# Implementation of Low Voltage, High Speed Dynamic Comparators

Student : Bo-Jyun Kuo

Advisor : Prof. Chia-Ming Tsai

Department of Electronics Engineering & Institute of Electronics  
National Chiao Tung University

## Abstract

This thesis presents two low voltage, high speed dynamic comparators. It improves the core circuit "latch architecture", so the comparators can operate at low supply voltage. The comparators have the large enough overdrive voltage to keep the transconductance, so the comparators can maintain the high speed operation. And realizing comparators in 65nm CMOS. The first comparator operate at supply voltage is 0.6V, the operating speed is 1GHz, and the input referred offset( $1\sigma$ ) is 6mV, the input referred noise( $1\sigma$ ) is 0.65mV, and the sensitivity is 3mV to achieve the BER is  $10^{-9}$ . And the power consumption is only  $38\mu\text{W}$ . The second comparator operate at supply voltage is 0.6V, the operating speed is 1.3GHz, and the input referred offset( $1\sigma$ ) is 7.5mV, the input referred noise( $1\sigma$ ) is 0.5mV, and the sensitivity is 4.2mV to achieve the BER is  $10^{-9}$ . And the power consumption is  $64\mu\text{W}$ .

## 誌謝

在這段研究所的求學過程中，一直起起伏伏，雖然充滿挫折與辛苦，但是卻也讓我學習到許多知識與做事的態度，而指導我最多的就是蔡嘉明老師，所以我非常感謝老師對我的指導，在研究上，各個研究方面的叮嚀指導與分析的能力訓練，在做事態度上，不厭其煩的糾正我的缺失，使我更加成長，以其之後在社會上也能有一番作為。

感謝吳介琮老師、洪浩喬老師及謝志成老師在論文上的指導與建議，有了你們的指導讓我的論文能夠更加地完整，不足之處得以改進。再來我要感謝實驗室的博瑋學長，在研究上不吝的指導，給與我極大的幫助與支持，還有勛哲、致煌、至中學長們研究上的建議，而一起學習的夥伴們，光仁、曄庭、瑜聰，感謝你們在課業及研究上的幫助，安修、易弘和勝凱學弟們在布局上的幫助，有了你們一起作研究或是打球跑步，都讓我覺得得到支持與鼓勵。再來我要感謝我的家人，在物質上與心靈上的鼓勵支持，讓我能夠專心一致地進行學習與研究。

最後要感謝我的朋友們，給予我不管是在感情或生活上的建議與支持，讓我更加專注在研究上。

郭柏均

2012.11.19

# 目錄

中文摘要 .....	i
英文摘要 .....	ii
誌謝.....	iii
目錄.....	iv
表目錄 .....	vii
圖目錄 .....	viii
第一章 簡介 .....	1
1.1 研究背景.....	1
1.2 論文大綱.....	2
第二章 比較器相關背景 .....	3
2.1 比較器基本觀念.....	3
2.2 栓鎖器架構.....	4
2.2.1 傳統栓鎖器.....	4
2.2.2 低供給電壓栓鎖器.....	8
2.3 比較器基本架構.....	10
2.3.1 單級比較器架構.....	10
2.3.2 兩級比較器架構-電流模式.....	12
2.3.3 兩級比較器架構-電壓模式.....	14
2.3.4 兩級比較器架構-訊號依賴模式(signal dependent) .....	15
2.4 比較器基本觀念總結.....	16
2.4.1 栓鎖器架構總結 .....	16
2.4.2 比較器架構總結 .....	16
第三章 低供給電壓高速比較器設計(I).....	17
3.1 研究動機.....	17
3.2 新式低供給電壓栓鎖器(I)分析及設計.....	18

3.2.1 栓鎖器電路概念與架構.....	18
3.2.2 栓鎖器電路架構與直流特性.....	19
3.2.3 栓鎖器電路架構改良 .....	23
3.2.4 栓鎖器電路暫態及直流分析.....	25
3.2.5 新式栓鎖器電路總結 .....	33
3.3 新式低供給電壓比較器(I)分析及設計.....	33
3.3.1 比較器第一級設計.....	33
3.3.2 比較器設計.....	37
3.4 電路佈局和模擬結果.....	45
第四章 低供給電壓高速比較器設計(II).....	47
4.1 研究動機.....	47
4.2 新式低供給電壓栓鎖器(II)分析及設計.....	48
4.2.1 栓鎖器電路概念與架構.....	48
4.2.2 栓鎖器電路架構與直流特性.....	49
4.2.3 栓鎖器電路暫態及直流分析.....	52
4.2.4 新式栓鎖器電路總結- Cross-Coupled Latches.....	59
4.3 新式低供給電壓比較器(II)分析及設計.....	60
4.4 比較器資料輸出電路.....	63
4.5 電路佈局和模擬結果.....	71
第五章 量測結果.....	73
5.1 晶片照片.....	73
5.2 量測環境.....	74
5.3 新式低壓比較器(I)量測結果.....	78
5.3.1 低壓量測結果.....	78
5.3.2 高壓量測結果.....	82
5.4 新式低壓比較器(II)量測結果.....	85
5.4.1 低壓量測結果.....	85

5.4.2 高壓量測結果.....	89
第六章 結論與改進.....	94
參考文獻.....	95





# 表目錄

表 3.1 不同傳輸閘設計結果(1) (a)傳統設計 (b)改良設計 .....	24
表 3.2 不同傳輸閘設計結果(2) (a)傳統設計 (b)改良設計 .....	25
表 3.3 架構一與架構二比較表 .....	38
表 3.4 架構二與架構三比較表 .....	39
表 3.5 架構二與架構三偏差電壓比較表 .....	39
表 3.6 模擬結果比較 .....	43
表 3.7 偏差電壓模擬結果比較 .....	44
表 3.8 新式比較器(I)低壓模擬結果列表 .....	46
表 3.9 新式比較器(I)高壓模擬結果列表 .....	46
表 4.1 架構一與架構二比較表 .....	61
表 4.2 架構二與架構三比較表 .....	62
表 4.3 架構二與架構三偏差電壓比較表 .....	62
表 4.4 模擬結果比較 .....	64
表 4.5 偏差電壓模擬結果比較 .....	65
表 4.6 新式比較器(II)低壓模擬結果列表 .....	72
表 4.7 新式比較器(II)高壓模擬結果列表 .....	72
表 5.1 新式比較器(I)的低壓模擬與量測比較結果 .....	77
表 5.2 新式比較器(I)的高壓模擬與量測比較結果 .....	80
表 5.3 新式比較器(II)的低壓模擬與量測比較結果 .....	84
表 5.4 新式比較器(II)的高壓模擬與量測比較結果 .....	87
表 5.5 新式比較器(I)與(II)比較表 .....	88
表 5.6 新式比較器(I)低壓操作與文獻比較表 .....	88
表 5.7 新式比較器(I)高壓操作與文獻比較表 .....	89
表 5.8 新式比較器(II)與文獻比較表 .....	89

# 圖目錄

圖 1.1 $ V_{gs} $ 對截止頻率( $f_T$ )關係圖 .....	1
圖 1.2 快閃式類比數位轉換器 .....	2
圖 2.1 比較器及功能示意圖 .....	3
圖 2.2 典型動態比較器架構 .....	3
圖 2.3 傳統栓鎖器 .....	4
圖 2.4 傳統栓鎖器應用成動態操作的其中一種架構 .....	4
圖 2.5 傳統栓鎖器直流等效半電路 .....	5
圖 2.6 傳統栓鎖器飽和區操作之等效電路 .....	5
圖 2.7 $ V_{gs} $ 對截止頻率( $f_T$ )模擬設定 .....	6
圖 2.8 $ V_{gs} $ 對截止頻率( $f_T$ )關係圖 .....	7
圖 2.9 低供給電壓栓鎖器(2) .....	8
圖 2.10 單級比較器架構-使用傳統栓鎖器 .....	10
圖 2.11 單級比較器架構-使用低供給電壓栓鎖器 .....	11
圖 2.12 雙級比較器架構-使用傳統栓鎖器 .....	12
圖 2.13 雙級比較器架構-使用低供給電壓栓鎖器 .....	13
圖 2.14 雙級比較器架構-使用傳統栓鎖器 .....	14
圖 2.15 雙級比較器架構-訊號依賴 .....	15
圖 3.1 比較器在相同輸入信號差值( $\Delta V_{in}$ )下供給電壓對延遲時間的比較圖 .....	17
圖 3.2 新式低供給電壓栓鎖器(I) .....	18
圖 3.3 新式低供給電壓栓鎖器與其直流等效半電路 .....	19
圖 3.4 輸出波形圖 .....	20
圖 3.5 低供給電壓比較器 .....	21
圖 3.6 低供給電壓比較器輸出波形圖 .....	21
圖 3.7 $V_{boost}$ 電壓過大時的直流等效半電路 .....	22

圖 3.8 傳輸閘波形示意圖 .....	23
圖 3.9 N 型電晶體取代傳輸閘之問題 .....	23
圖 3.10 不同傳輸閘設計波形示意圖 (a)傳統設計 (b)改良設計 .....	24
圖 3.11 低供給電壓栓鎖器時序圖 .....	25
圖 3.12 階段一(Phase 1)電流關係圖.....	26
圖 3.13 穩態電流半電路.....	26
圖 3.14 X 範圍與 $V_x$ . $V_y$ 計算與模擬 .....	28
圖 3.15 X 對延遲時間關係圖.....	29
圖 3.16 階段二等效電路.....	30
圖 3.17 新式低供給電壓栓鎖器-Equalize .....	32
圖 3.18 新式低供給電壓栓鎖器-P 型電晶體做重置 .....	32
圖 3.19 兩級式比較器第一級電路.....	34
圖 3.20 N 型電晶體直流操作特性 .....	34
圖 3.21 兩級式比較器第一級電路輸出波形-DP.DN.....	35
圖 3.22 M1 尺寸對比較器的影響 .....	36
圖 3.23 OUTP.OUTN 當作輸入點-架構一.....	38
圖 3.24 OUTP1.OUTN1 當作輸入點-架構二.....	38
圖 3.25 OUTP.OUTN 及 OUTP1.OUTN1 當作輸入點-架構三 .....	39
圖 3.26(a)(b) CLK 對 CLKd 時間差之影響 .....	40
圖 3.26(c)(d) CLK 對 CLKd 時間差之影響 .....	41
圖 3.27 新式低供給電壓比較器(I) .....	42
圖 3.28 比較器重要節點波形圖 .....	42
圖 3.29 比較器架構.....	43
圖 3.30 比較器(I)布局圖.....	45
圖 4.1 [1][2]低供給電壓栓鎖器.....	47
圖 4.2 新式低供給電壓栓鎖器(II) .....	48
圖 4.3 正回授操作關係.....	49

圖 4.4 新式低供給電壓栓鎖器直流等效半電路.....	50
圖 4.5 新式低供給電壓栓鎖器形成之比較器 .....	51
圖 4.6 新式低供給電壓比較器輸出波形圖 .....	51
圖 4.7 低供給電壓栓鎖器時序圖 .....	52
圖 4.8 階段一(Phase 1)電流關係圖 .....	53
圖 4.9 穩態電流半電路 .....	54
圖 4.10(a)(b) $V_{dd}=0.6V$ , X 對 $V_x.V_y$ 關係圖.....	55
圖 4.10(c)(d) $V_{dd}=0.9V$ , X 對 $V_x.V_y$ 關係圖.....	56
圖 4.11 X 對比較器延遲時間關係圖.....	57
圖 4.12 階段二等效電路.....	58
圖 4.13 新式低供給電壓栓鎖器-P 型電晶體做重置 .....	59
圖 4.14 使用 OUTP.OUTN 當輸入點-架構一 .....	60
圖 4.15 使用 OUTP1.OUTN1 當輸入點-架構二 .....	61
圖 4.16 使用兩組輸入進入栓鎖器-架構三 .....	61
圖 4.17 新式低供給電壓比較器(II) .....	62
圖 4.18 比較器重要節點波形圖.....	63
圖 4.19 比較器架構.....	64
圖 4.20 比較器輸出與傳統反向器波形圖.....	66
圖 4.21 改良式反向器 .....	67
圖 4.22 比較器輸出與改良式反向器波形圖 .....	68
圖 4.23 比較器輸入輸出完整關係圖.....	68
圖 4.24 電壓轉換(level shifter)電路.....	69
圖 4.25 SR 型栓(SR latch)電路 .....	69
圖 4.26 輸出緩衝器(output buffer)電路 .....	69
圖 4.27 D 型正反器(D-flip flop) .....	70
圖 4.28 電流式邏輯(Current Mode Logic, CML)緩衝器.....	70
圖 4.29 比較器(II)布局圖.....	71

圖 5.1 晶片照與比較器的放大照 .....	73
圖 5.2 錯誤率(Bit Error Rate, BER)量測環境 .....	74
圖 5.3 雜訊的統計量測環境 .....	75
圖 5.4 比較器轉換曲線.....	75
圖 5.5 比較器機率密度函 .....	76
圖 5.6 使用誤碼率量測偏差電壓關係圖.....	77
圖 5.7 比較器輸入輸出完整關係圖.....	78
圖 5.8 比較器(I)的輸入及輸出波形圖 .....	78
圖 5.9 比較器(I)的低壓偏差電壓量測結果 .....	79
圖 5.10 比較器(I)的低壓偏差電壓累積分布統計結果.....	79
圖 5.11 比較器(I)的低壓雜訊量測結果 .....	80
圖 5.12 比較器(I)的低壓誤碼率量測結果.....	80
圖 5.13 比較器(I)的高壓偏差電壓量測結果.....	82
圖 5.14 比較器(I)的高壓偏差電壓累積分布統計結果.....	82
圖 5.15 比較器(I)的高壓雜訊量測結果.....	83
圖 5.16 比較器(I)的高壓誤碼率量測結果.....	83
圖 5.17 比較器的輸入及輸出波形圖.....	85
圖 5.18 比較器(II)的低壓偏差電壓量測結果.....	86
圖 5.19 比較器(II)的低壓偏差電壓累積分布統計結果.....	86
圖 5.20 比較器(II)的低壓雜訊量測結果 .....	87
圖 5.21 比較器(II)的低壓誤碼率量測結果.....	87
圖 5.22 比較器(II)的高壓偏差電壓量測結果 .....	89
圖 5.23 比較器(II)的高壓偏差電壓累積分布統計結果.....	89
圖 5.24 比較器(II)的高壓雜訊量測結果 .....	90
圖 5.25 比較器(II)的高壓誤碼率量測結果.....	90

# 第一章 簡介

## 1.1 研究背景

低供給電壓(low supply voltage) 電路設計是目前研究的趨勢，不管在類比或是數位電路中，都有大量論文研究及專利探討低供給電壓的電路設計，除了配合現在越來越先進的製程，較不適合在高電壓操作之外，為了達到低功率消耗的目的而把電路的供給電壓降低，這也是一種常見的手段。

另一目前研究的重要目標就是高速(high speed)資料傳輸，從圖 1.1 可以知道，電晶體的截止頻率會決定操作的速度，在 $|V_{gs}|$ 低時( $|V_{gs}|=|V_{ds}|$ )， $|V_{gs}|$ 與操作速度成正比，越小速度越慢。

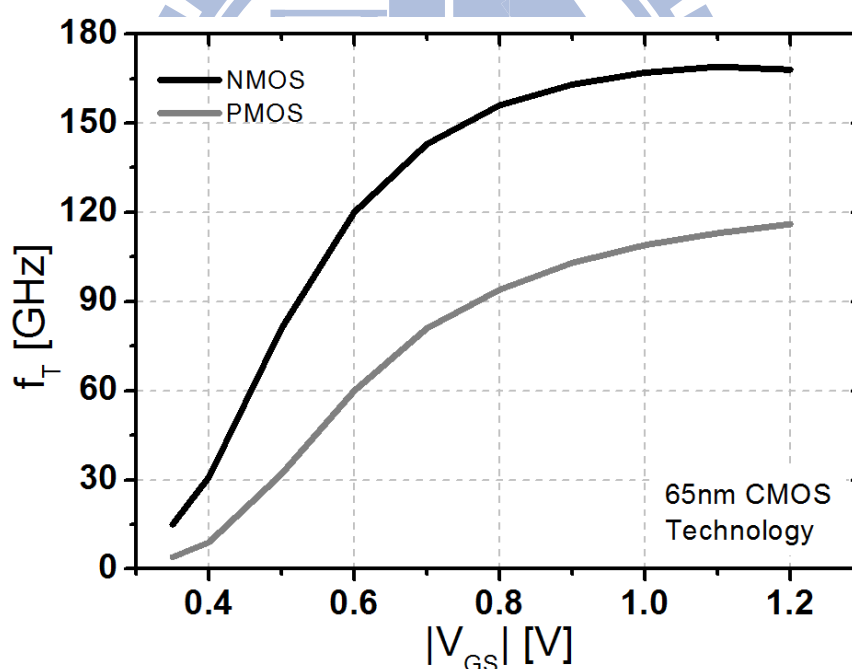


圖 1.1  $|V_{gs}|$ 對截止頻率( $f_T$ )關係圖

在現今資料傳輸中，類比數位轉換器(ADC)是其中很重要的一環，而在類比數位轉換器中，比較器(comparator)是一個極重要的核心，影響著類比數位轉換器主要的性能表現。而常用於達到高速的架構之一為快閃式類比數位轉換器(Flash ADC)，基本架構如圖 1.2 所示。圖 1.2 可以看到比較器對快閃式類比數位轉換器的數量上的使用程度，更是決定快閃式類比數位轉換器的性能好壞，因此比較器的設計變成了重要的一環。

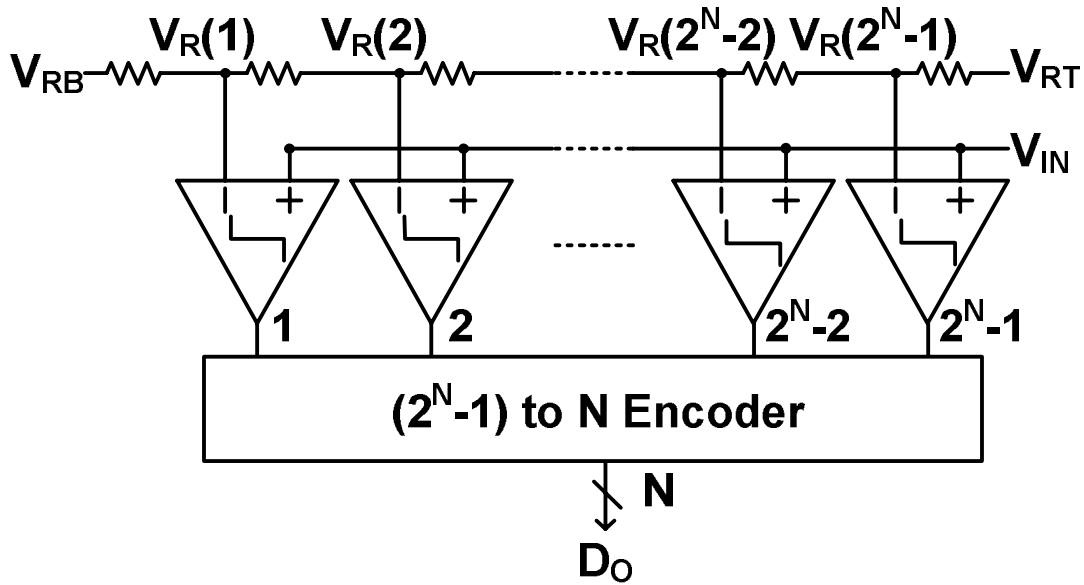


圖 1.2 快閃式類比數位轉換器

現在常用的比較器電路會加入栓鎖電路(latch)，也就是正回授的技術，使操作速度更快且可以把輸出完全數位化，但是從[1][2]可以知道，當供給電壓下降，比較器在使用傳統栓鎖電路的架構下，正回授的能力隨著供給電壓下降而下降，速度的表現明顯下降很多，故為了改善此現象，[1][2]提出新式栓鎖電路改善此現象。

本論文也將從栓鎖電路開始做改進，以實現低供給電壓下仍維持高速的特性，使之可以應用在靜態隨機存取記憶體(SRAM)、比較器(comparator)、正反器(flip-flop)等，本論文更進一步應用在比較器中並實現。

## 1.2 論文大綱

本論文由六個章節所組成

第一章對比較器的應用及重要性做介紹。

第二章介紹比較器的基本觀念，以及比較器中的核心技術-栓鎖電路，現有技術的發展及缺失。

第三章則是談到電路設計方面，先介紹對栓鎖電路做的第一種改進方法，再對其做詳細的分析及操作介紹，並應用在比較器電路上。

第四章則是談到電路設計方面，先介紹對栓鎖電路做的第二種改進方法，再對其做詳細的分析及操作介紹，並應用在比較器電路上。

第五章為量測結果，在此章節會先描述這次量測環境的建立以及量測時晶片的設定條件。

第六章則為結論。

## 第二章 比較器相關背景

### 2.1 比較器基本觀念

從[3]可知，比較器就是把不同大小的訊號作比較，如圖 2.1 所表示，當  $(V_{in+} - V_{in-}) > 0$  時，輸出保持在邏輯 1，當  $(V_{in+} - V_{in-}) < 0$  時，輸出保持在邏輯 0，把極小的訊號比較出來以利後面電路作邏輯運算。

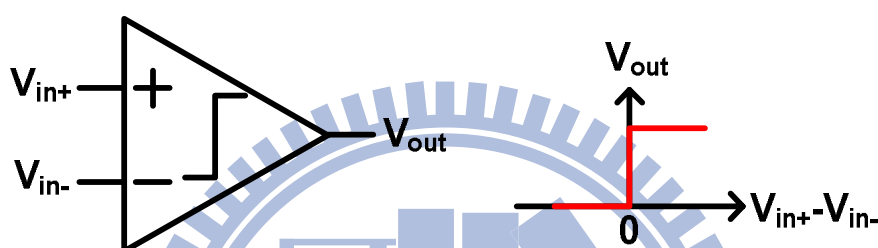


圖 2.1 比較器及功能示意圖

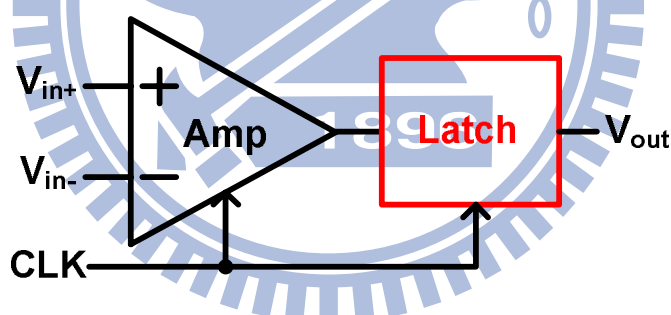


圖 2.2 典型動態比較器架構

圖 2.2 為一典型動態比較器架構，前端為一放大器(amplifier)，把極小訊號作放大，後端電路為栓鎖器(latch)，用來把放大的訊號迅速得拉開到邏輯 1 或邏輯 0 的電位，且可使輸出維持電位並減少功率的消耗，而加入時脈訊號(CLK)，形成動態比較器(dynamic comparator)，用來獨立每次的比較，可以避免上一筆的比較結果干擾到這一次筆的比較。故可知栓鎖器(latch)在比較器中佔有重要地位，接下來將介紹常見栓鎖器的優缺點及目前常見應用在動態比較器比較器上所形成的架構。



## 2.2 栓鎖器架構

### 2.2.1 傳統栓鎖器

圖 2.3 為傳統栓鎖器，圖 2.4 為傳統栓鎖器應用成動態操作的其中一種架構，核心栓鎖器電路由 M1~M4 組成，M<sub>r1</sub> 及 M<sub>r2</sub> 為重置(reset)用，M<sub>tail</sub> 作為開關使用，當時脈訊號為邏輯 0 時，此時稱為重置相位(reset phase)，M<sub>tail</sub> 關閉且 M<sub>r1</sub> 及 M<sub>r2</sub> 導通，使輸出 OUTN 及 OUTP 充電到供給電壓(V<sub>dd</sub>)值，當時脈訊號為邏輯 1 時，此時稱為比較相位(comparison phase)或再生相位(regeneration phase)，M<sub>r1</sub> 及 M<sub>r2</sub> 關閉而 M<sub>tail</sub> 導通，栓鎖器進入操作狀態。此時 M<sub>tail</sub> 操作在三極區(triode region)，阻抗極小，故操作如同由 M1~M4 組成之傳統栓鎖器。

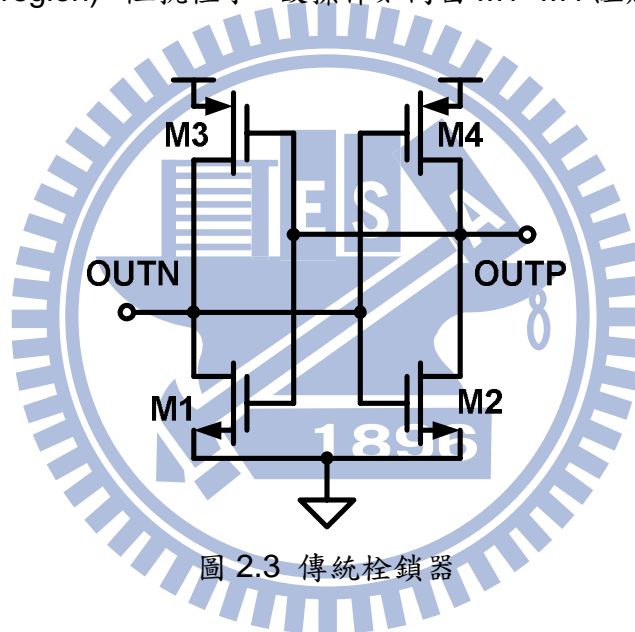


圖 2.3 傳統栓鎖器

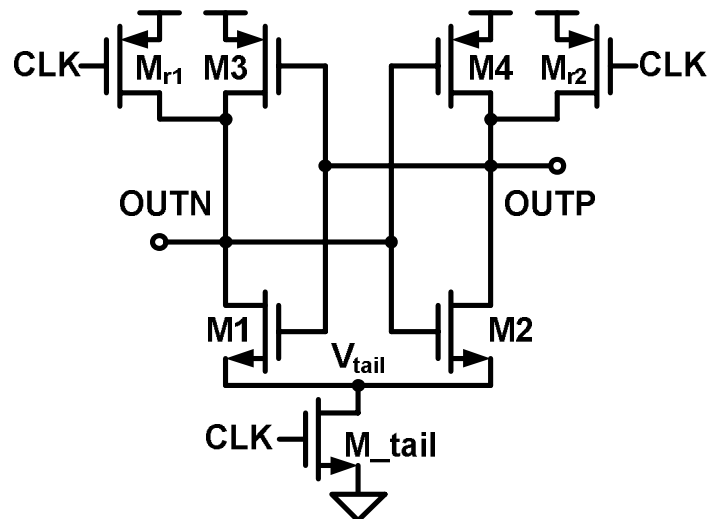


圖 2.4 傳統栓鎖器應用成動態操作的其中一種架構

由於在重置相位時，輸出兩端電壓都被充電至供給電壓，所以在比較相位初始的時候，輸出兩端電壓因為  $M_{tail}$  導通而開始放電，此時輸出兩端電壓差極小，此時可以看成共模操作(common-mode operation)，可以等效成一直流等效半電路，如圖 2.5 所示，而供給電壓與電晶體的閘極、源極跨壓關係如公式 2.1

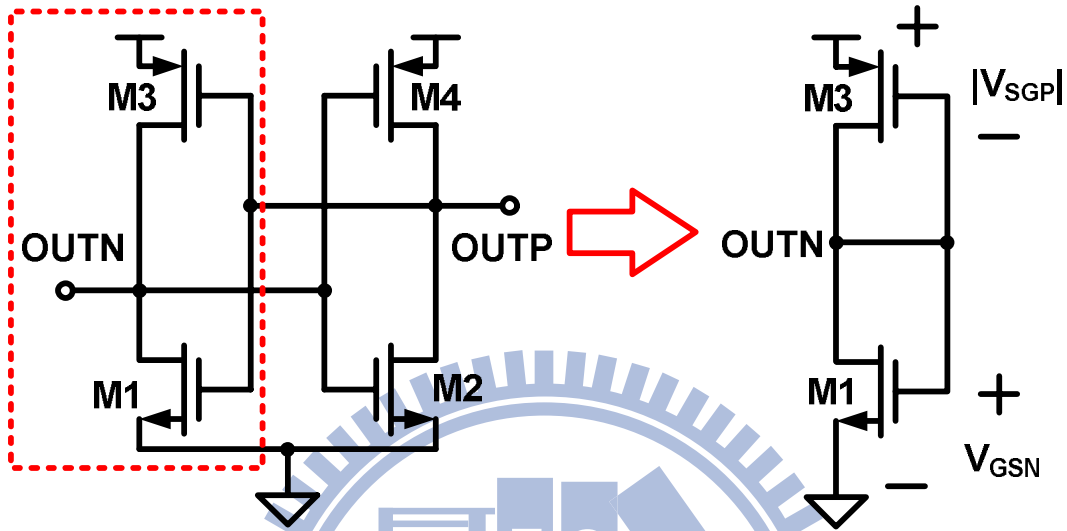


圖 2.5 傳統柵鎖器直流等效半電路

$$V_{dd} = V_{G_{SN}} + |V_{S_{GP}}| = (V_{thN} + |V_{thP}|) + (V_{OVN} + V_{OVP}) \quad (\text{公式 2.1})$$

當輸出兩端電壓持續下降到使其中一個 P 型電晶體導通(M3 或 M4)進入飽和區操作，而柵鎖器進入再生階段(regeneration)，此時輸出電壓差仍很小，另一顆 P 型電晶體導通也會接著進入飽和區操作，此時 M1~M4 都偏壓在飽和區，此時柵鎖器為最有效的操作，能把輸出拉開到全擺幅(full swing)，當所有電晶體都在飽和區操作，從[4]可以知道，當柵鎖器為一左右對稱電路，M1 及 M2 尺寸相等，M3 及 M4 尺寸相等，則可等效成一等效電路成如圖 2.6 所示，

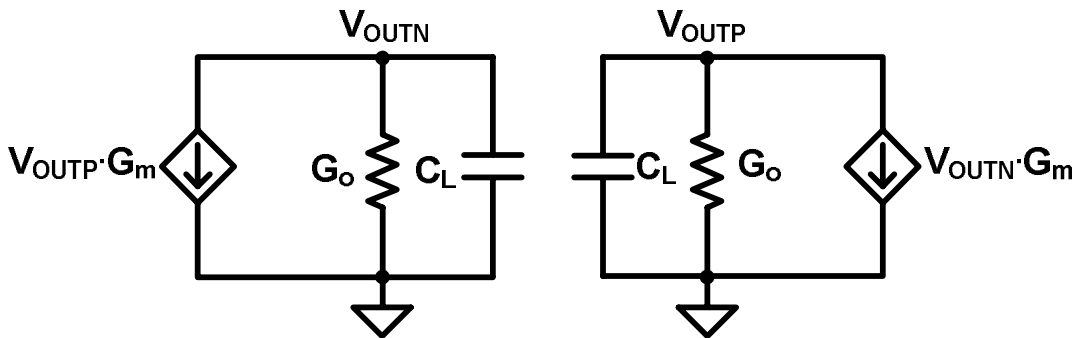


圖 2.6 傳統柵鎖器飽和區操作之等效電路

所以由以上等效電路可以推出其各元件所扮演之角色，由公式 2.3 及 2.4 得知，其中  $G_m$ 、 $G_o$  為輸出端所看到的等效轉導、等效轉阻， $C_L$  為負載電容及雜散電容之總和， $V_0$  為電晶體剛進入飽和區操作時的初始電壓差， $V_{OUT\_X}$  為自定義值，為當電晶體仍在飽和區操作，所定義的一輸出電壓差值的大小，藉公式 2.4 可估算出輸出電壓差由  $V_0$  變化到  $V_{OUT\_X}$  所花的時間( $t_{latch}$ )。

$$V_{OUT} = |V_{OUTP} - V_{OUTN}| \quad (\text{公式 2.2})$$

$$V_{OUT} \cdot (G_m - G_o) = C_L \cdot \frac{dV_{OUT}}{dt} \quad (\text{公式 2.3})$$

$$V_{OUT}(t) = V_0 \exp\left[\frac{(G_m - G_o)}{C_L} t\right], \quad V_0 = V_{OUT}(t = t_0) \quad (\text{公式 2.4})$$

$$t_{latch} = \frac{C_L}{G_m - G_o} \ln\left(\frac{V_{OUT\_X}}{V_0}\right), \quad \tau_{latch} = \frac{C_L}{G_m - G_o} \quad (\text{公式 2.5})$$

公式 2.5 可以知道栓鎖器的時間常數(time constant)，如果要讓栓鎖器速度快，那麼電晶體需在飽和區操作，此時等效轉導大，如果電晶體是在三極體區操作，等效轉阻較大，則時間常數會變大，速度下降，所以為了得到較快的速度，需使電晶體偏壓在飽和區操作。

為了使電晶體在飽和區操作，則電晶體需要有足夠的過驅動電壓( $V_{ov}$  : overdrive voltage,  $V_{ov} = |V_{gs}| - |V_{th}|$ )，才可以在飽和區操作，在飽和區操作時，過驅動電壓越大速度越快，可以看到圖 2.7，透過模擬此製程的過驅動電壓對截止頻率( $f_T$ )的關係，了解過驅動電壓對速度的影響，讓 $|V_{ds}| = |V_{gs}|$ 保證電晶體都在飽和區操作。

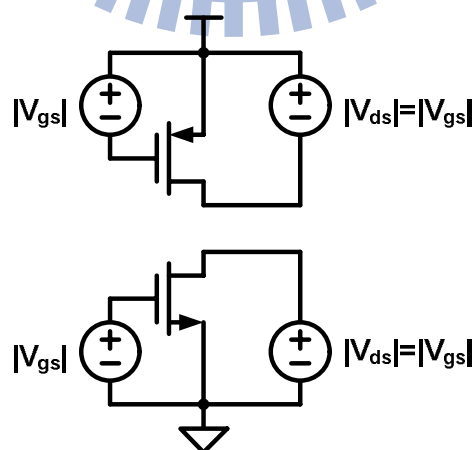


圖 2.7  $|V_{gs}|$  對截止頻率( $f_T$ )模擬設定

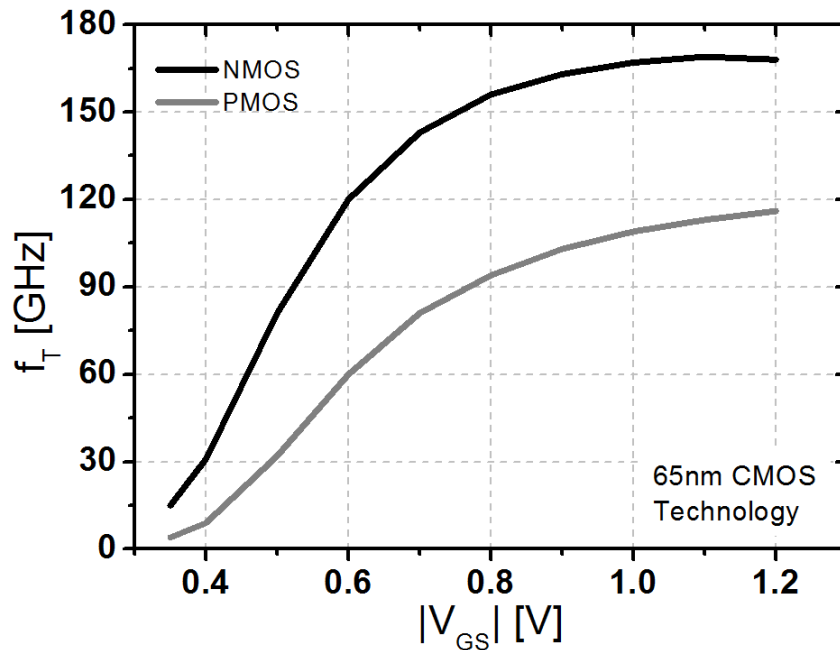


圖 2.8  $|V_{GS}|$  對截止頻率( $f_T$ )關係圖

$|V_{GS}|$  越大，電晶體的截止頻率越大，且小於 0.6 伏特時，幾乎為一斜直線，也就是如果低壓操作時， $|V_{GS}|$  得到一點點的改善，速度就會有明顯改善。而傳統架構中的  $|V_{GS}|$ ，從公式 2.1 可以知道，供給電壓必須大於 N 型電晶體的臨界電壓及 P 型電晶體的臨界電壓之總和，假設 N 型電晶體及 P 型電晶體的臨界電壓絕對值相等，則公式 2.1 可改寫成公式 2.7。

$$V_{thN} = |V_{thP}| = V_{th} \quad (\text{公式 2.6})$$

$$V_{dd} = V_{GSN} + V_{SGP} = 2V_{th} + (V_{OVN} + V_{OVP}) \quad (\text{公式 2.7})$$

所以傳統栓鎖器操作的最低供給電壓至少要大於兩倍的臨界電壓，而多餘的電壓多寡會決定過驅動電壓的大小，越大則等效轉導越大，一直趨近於飽和，反之則越小，且 N 型電晶體及 P 型電晶體會互相競爭所需的過驅動電壓，造成速度變慢，甚至無法操作。

為了要在低供給電壓下操作常見的，目前已有有人提出適用於低電壓操作的架構，。

## 2.2.2 低供給電壓栓鎖器

而在[1]中所介紹的架構，圖 2.9，是 B. Goll 與 H. Zimmermann 在 ISSCC'09 所發表的，他的概念與前一架構不同，前一架構是利用電路技巧，增加電晶體的過驅動電壓。此架構把傳統栓鎖器中 N 型電晶體及 P 型電晶體的關係打斷，多加入另一組電路來控制 P 型電晶體的過驅動電壓，藉此來緩解傳統栓鎖器中 N 型電晶體及 P 型電晶體會互相競爭所需的過驅動電壓的問題。而各個電壓關係如公式 2.8 ~ 公式 2.11 所示。

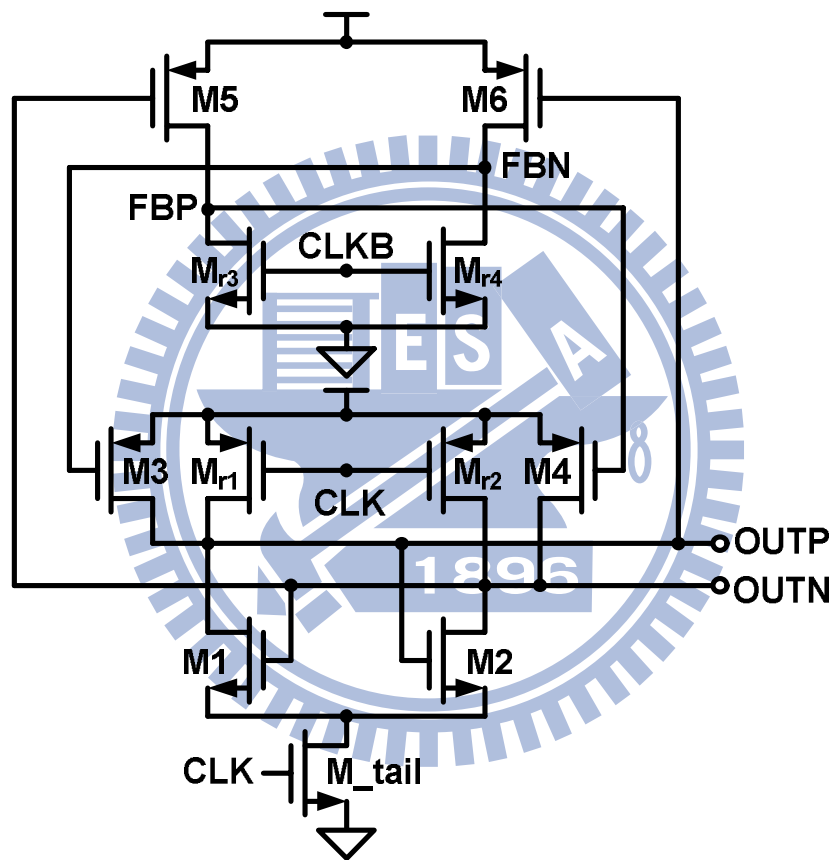


圖 2.9 低供給電壓栓鎖器(2)

$$NMOS(M1.M2): V_{dd} = V_{GSN1,2} + V_{SDP3,4} \quad (\text{公式 2.8})$$

$$NMOS(M1.M2): V_{dd} - V_{SDP3,4} = V_{th} + V_{OVN1,2} \quad (\text{公式 2.9})$$

$$PMOS(M3.M4): V_{SDP5,6} = V_{SGP3,4} \quad (\text{公式 2.10})$$

$$PMOS(M3.M4): V_{SDP5,6} = V_{th} + V_{OVP3,4} \quad (\text{公式 2.11})$$

此架構，由 M1~M4 組成主要的栓鎖器電路，M<sub>r1</sub>~M<sub>r4</sub> 為重置所用電晶體，在重置相位(CLK="0". CLKB="1".CLKB 為 CLK 之反向訊號)時，M<sub>tail</sub> 關閉，M<sub>r1</sub>.M<sub>r2</sub> 把 OUTP.OUTN 充電到供給電壓，使 M5.M6 關閉，M<sub>r3</sub>.M<sub>r4</sub> 把 FBP.FBN 放電到零電位，使 M3.M4 導通，幫助把 OUTP.OUTN 充電到供給電壓。從重置相位結束的電位關係可以知道，N 型電晶體(M1.M2) 已偏壓在飽和區，P 型電晶體(M3.M4)偏壓在三極體區，都已準備好可以立即進入操作。

此架構中，在公式 2.9 與 2.11 中，可以看到 N 型電晶體與 P 型電晶體的過驅動電壓已經獨立出來了，且 N 型電晶體的過驅動電壓從原本受到兩個臨界電壓的限制變成只受到一個臨界電壓及一個(汲極-源極)跨電壓(V<sub>DS</sub>)的限制，有效緩解供給電壓下降時，過驅動電壓不足的問題。而 P 型電晶體的過驅動電壓，從原本受到兩個臨界電壓的限制變成只受到一個臨界電壓的限制，而 V<sub>SDP5,6</sub> 操作範圍從零電壓到供給電壓，把公式 2.11 改寫成公式 2.12 可以更清楚的了解其電壓的限制關係。

$$PMOS(M3.M4):V_{dd} = V_{th} + V_{OVP3,4} \quad (\text{公式 2.12})$$

在比較相位操作(CLK="1". CLKB="0")時，比較相位初始時，OUTP.OUTN 偏壓在供給電壓，FBP.FBN 偏壓在零電壓，M<sub>tail</sub> 導通後，M1.M2 已操作在飽和區，M3.M4 因 OUTP.OUTN 電位下降從三極體區進入飽和區，此時 M<sub>r3</sub>.M<sub>r4</sub> 關閉，M5.M6 也因 OUTP.OUTN 電位下降開始對 FBP.FBN 充電，而 M3.M4 充電能力由 FBN.FBP 控制，當訊號使 OUTP 往供給電壓充電，會把 M6 逐漸關閉，FBN 電壓上升速度變慢，仍維持在低電位，使 M3 有較強的充電能力，持續對 OUTP 往供給電壓充電，而 OUTN 往零電壓放電，促使 M5 快速對 FBP 充電至供給電壓，把 M4 關閉不再對 OUTN 充電，此過程 M3.M4 仍是一正迴授操作，而 M1.M2 是最原本的正迴授操作，完成比較後，此時也如同傳統栓鎖器，沒有靜態電流，也就沒有靜態功率消耗。

此電路有一明顯缺點，當比較相位初始時，FBP.FBN 都是往上充電，但是不能往下放電，也就是一點點的趨勢出來後正迴授就逐漸增強把訊號拉開，故此架構較易受偏差電壓(offset voltage, V<sub>OS</sub>)及雜訊影響，敏感度(sensitivity)下降，所以如何把訊號送進栓鎖器中是一很重要的環節。且 FBP.FBN 只能上升造成栓鎖器中的 P 型電晶體 M3.M4，正回授的能力越來越差，使整體正回授能力變弱，且輸入越小此情況越嚴重，造成敏感度(sensitivity)下降。

## 2.3 比較器基本架構

### 2.3.1 單級比較器架構

在圖 2.10 中，為目前常見的單級架構，輸入訊號由 M5.M6 經過放大再進入到栓鎖器中，此架構在過去文獻已有大量討論，文獻[5][6]由為詳細，此架構有高速、低輸入偏差電壓(input referred offset voltage)(以下簡稱偏差電壓)、低相互干擾(kickback noise)、電流再利用(current reuse)等特性。文獻[2]中，圖 2.11，也使用此方法將訊號進入到所提出之低供給電壓栓鎖器(章節 2.2.3)，使用了低供給電壓栓鎖器可以使供給電壓低到 0.65 伏特來操作。

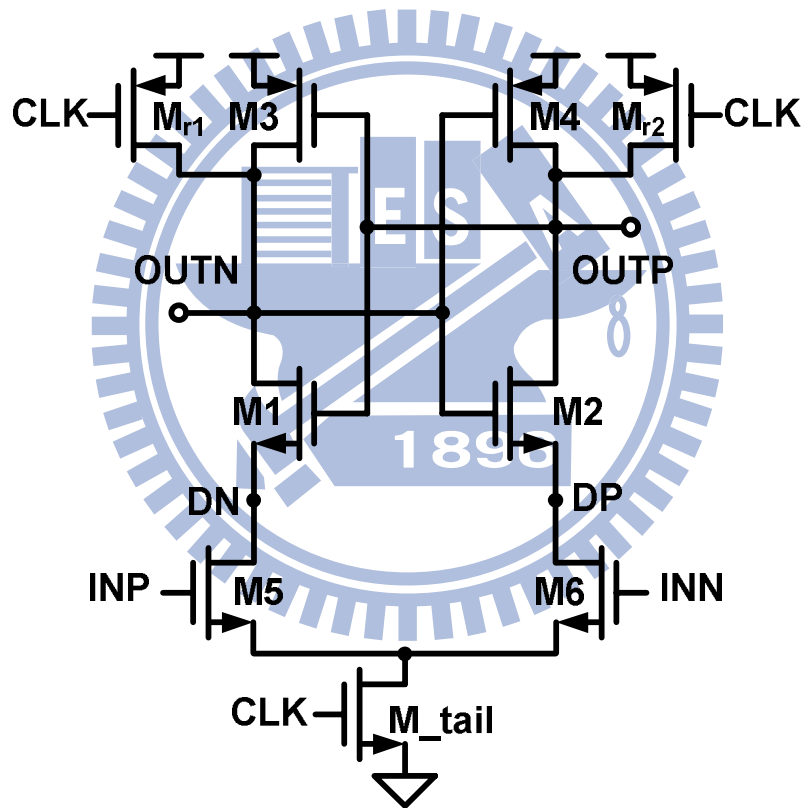


圖 2.10 單級比較器架構-使用傳統栓鎖器

此架構雖有眾多優點，但也有明顯缺點，電晶體堆疊數過多，不適合在低電壓下操作，且操作速度及偏差電壓受到輸入共模電壓( $V_{icm}$ )影響劇烈，而  $M_{tail}$  的尺寸無法兼顧速度及偏差電壓。

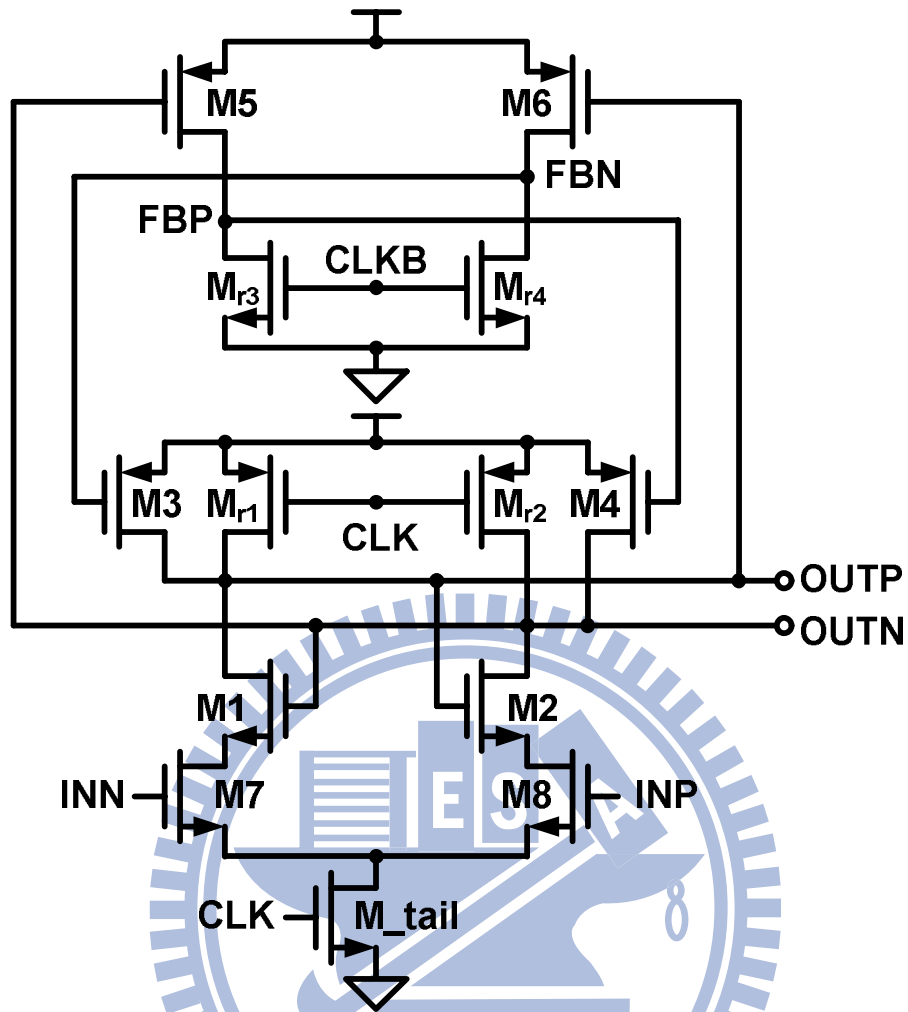


圖 2.11 單級比較器架構-使用低供給電壓栓鎖器





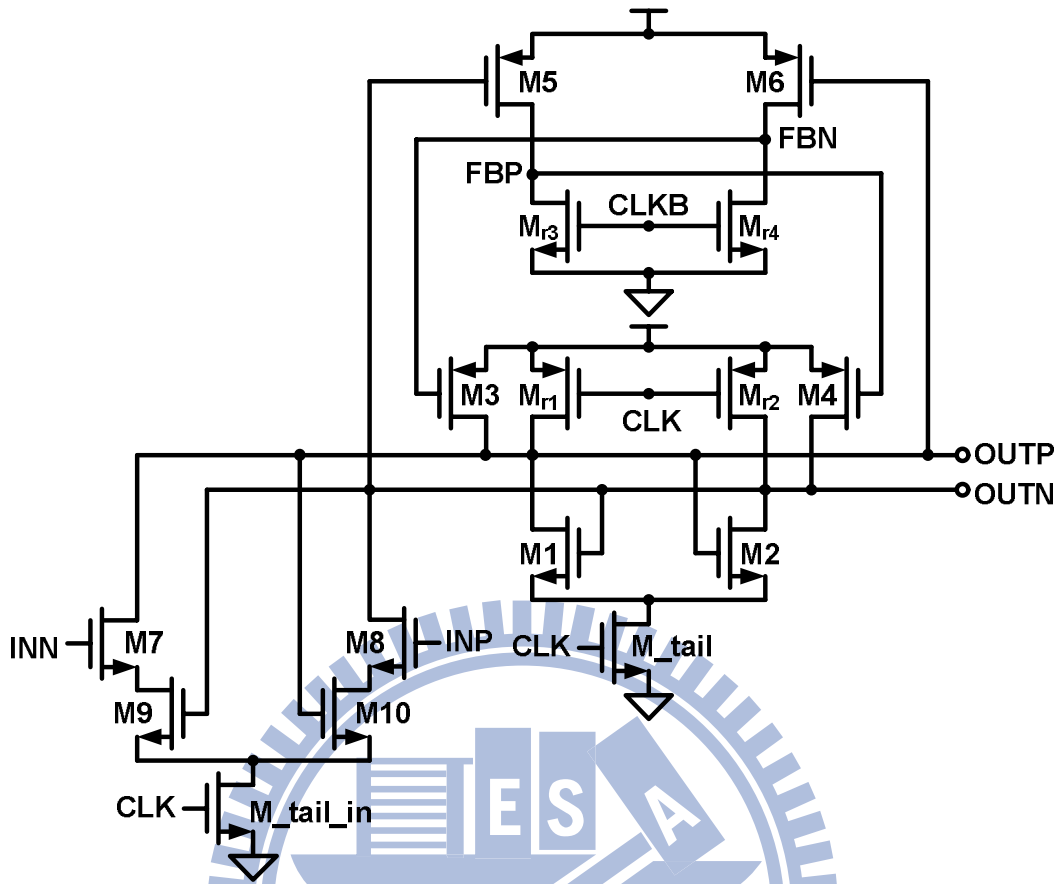


圖 2.13 雙級比較器架構-使用低供給電壓栓鎖器

### 2.3.3 兩級比較器架構-電壓模式

文獻[9]，在圖 2.14 中，為 2007 年提出之架構，輸入訊號也是由 M5.M6 經過放大又再一次經過 M7.M8 放大後才進入到栓鎖器中，串接了兩次，但由於 M7.M8 操作仍由 M\_tail 控制，所以仍然屬於在第兩級的範圍，故第一級訊號 DP.DN 是由電壓方式進入第二級，與上面(章節 2.3.2)區分故稱為電壓模式。

此架構有較少的電晶體堆疊數，M7.M8 把第一級與第二級區分得更徹底，控制第一級的 M\_tail\_in 使 M5.M6 操作在弱反轉區(weak inversion)，由於弱反轉區的特性， $g_m/i_d$  較大，能產生更有效的訊號給第二級，降低第二級造成的偏差電壓及雜訊，而控制第二級的 M\_tail 使栓鎖器可以快速的的操作，故第一級的設計可以針對偏差電壓做優化，第二級的設計可以針對速度做優化。且此設計可以有效降低輸入共模電壓對操作速度及偏差電壓的影響。而 M7.M8 做為第一級的訊號路徑同時也做為重置用電晶體，減少電晶體數量也避免多餘雜散電容產生。

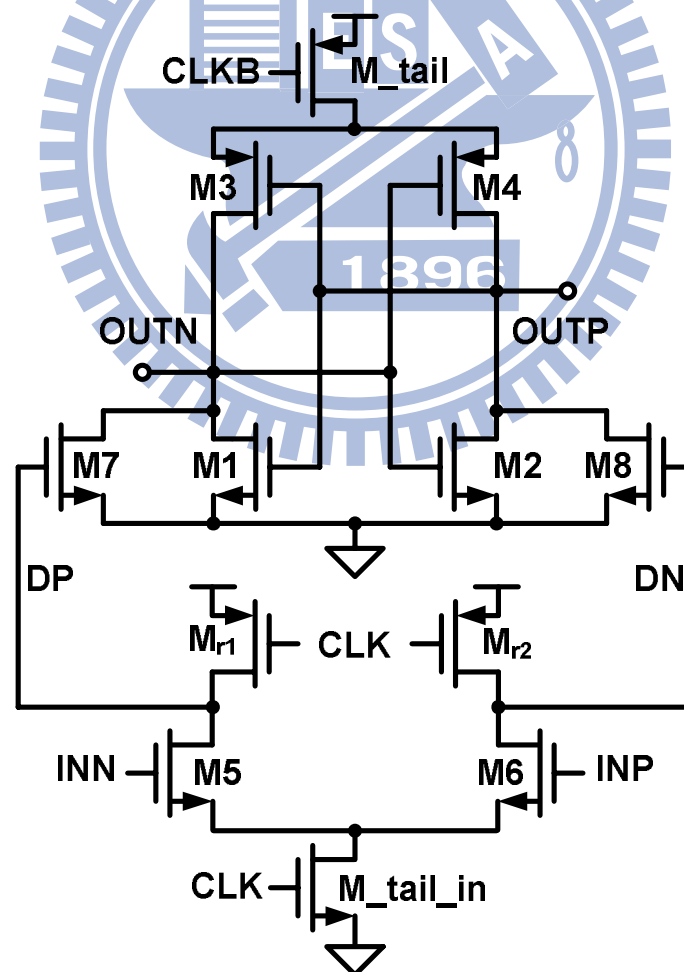


圖 2.14 雙級比較器架構-使用傳統栓鎖器

### 2.3.4 兩級比較器架構-訊號依賴模式(signal dependent)

文獻[10]，在圖 2.15 中，為 2008 年提出之架構，針對[9]做改善，所提出之概念為訊號依賴(signal dependent)，栓鎖器完全由第一級的訊號來決定其動作，更有效的抑制栓鎖器所產生的偏差電壓及雜訊，此為重要的概念，與之前所提到的兩級之間在導通上有時間差的概念類似，只是在偏差電壓及雜訊上的考量更為有效，但是也犧牲了栓鎖器的速度。

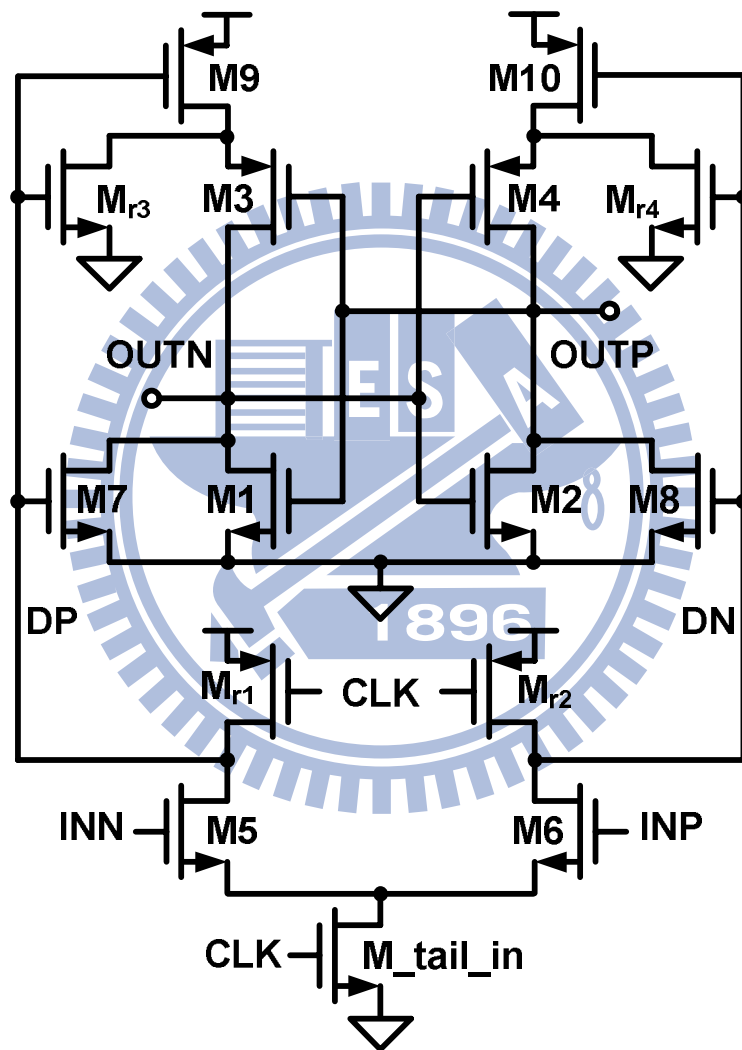


圖 2.15 雙級比較器架構-訊號依賴

## 2.4 比較器基本觀念總結

### 2.4.1 栓鎖器架構總結

在低供給電壓栓鎖器的設計上，如何在低供給電壓下，仍然有有效的過驅動電壓，使栓鎖器可以擁有較大的轉導，將是一個重點，如同所介紹到的架構，降低臨界電壓個數，是已驗證且有效的方式，故此方向仍是重要的概念及切入點。

### 2.4.2 比較器架構總結

比較器的設計不限於所介紹的這幾種，以上介紹的為基本的比較器架構，許許多多不同的設計都是由這幾種基本觀念所延伸出來的，各個架構的差別主要在於訊號進入栓鎖器的方式，不同的方式都有不同的考量，

本論文將在低供給電壓做設計，所以對於低壓操作有利的考量為第一優先，故在架構上傾向於使用兩級式的架構，由所設計出的新式低供給電壓栓鎖器來負責速度的部分，且兼具低功率消耗的特性，而在偏差電壓及雜訊的考量上，將選擇有效的方式將訊號送進栓鎖器，使栓鎖器的偏差電壓及雜訊得到有效抑制。

## 第三章 低供給電壓高速比較器設計(I)

### 3.1 研究動機

但是隨著把供給電壓降低，許多電路在操作上就會遇到許多的瓶頸，很明顯的在於速度上的表現，從[1]中，圖 3.1，可以清楚的知道，在相同條件下，差別僅在於栓鎖器架構不同，高供給電壓下，比較器的延遲時間(delay time)都可維持在一高速的操作狀態，但是將供給電壓下降時，使用傳統栓鎖器(章節 2.2.1)的比較器的延遲時間明顯的上升，甚至在供給電壓為 0.6 伏特時，傳統比較器的延遲時間為使用低供給電壓栓鎖器(章節 2.2.3)比較器延遲時間的三倍。但從[1]所呈現的資料也顯示出當供給電壓下降時，此比較器雖然已適度解決了速度的問題，但卻無法兼顧偏差電壓的表現，從供給電壓為 1.2 伏特時的 22 毫伏特上升到供給電壓為 0.6 伏特時的 47 毫伏特。

而[2]中仍使用相同低供給電壓栓鎖器，但是訊號進入到栓鎖器的方式卻做了改變，比較器架構不同了，仍擁有可以在低供給電壓操作(0.65 伏特)、高速的特性，也改善前一比較器偏差電壓太大的缺點，但是可以發現在功率方面的表現就被犧牲了。

由此可知，比較器的速度，雖然會受限於比較器的架構，但是主要仍受限於栓鎖器的速度，所以改善的目標會針對栓鎖器，而比較器架構會選擇較易於在低供給電壓下操作的架構，兩級式操作。

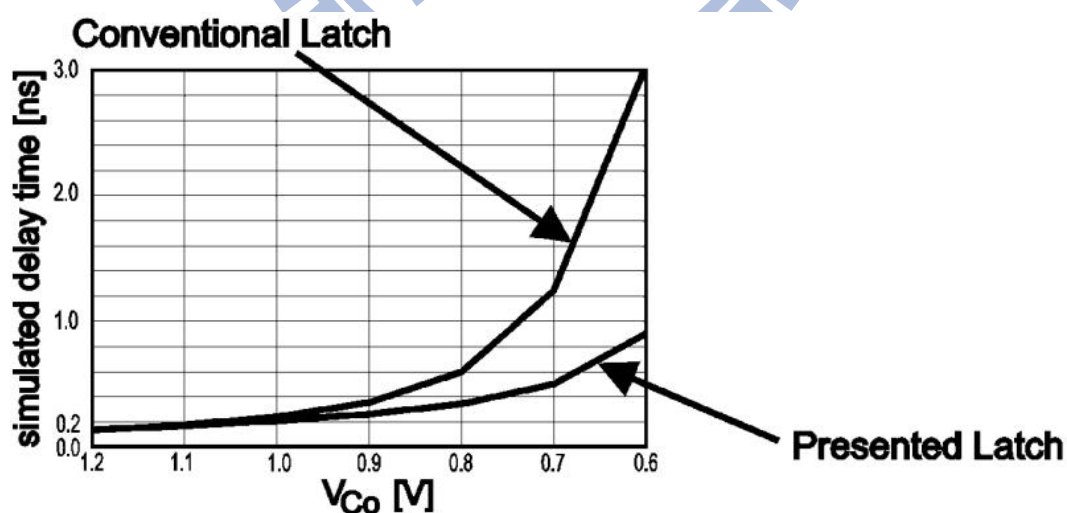


圖 3.1 比較器在相同輸入信號差值( $\Delta V_{in}$ )下供給電壓對延遲時間的比較圖  
延遲時間是指時脈訊號的上升邊緣到輸出達到供給電壓一半時的時間差  
V<sub>Co</sub> 為比較器操作的供給電壓

## 3.2 新式低供給電壓栓鎖器(I)分析及設計

### 3.2.1 栓鎖器電路概念與架構

從傳統栓鎖器的直流關係式公式 2.6 改寫成公式 3.1，可以看出，如果想讓 N 型電晶體的及 P 型電晶體在低供給電壓下仍有足夠的過驅動電壓，有一個想法就是想辦法增加供給電壓，如公式 3.2 所示，利用電路技巧產生一多出(boost)電壓當做等效的過驅動電壓

$$V_{OVN} + V_{OVP} = V_{dd} - 2V_{th} \quad (\text{公式 3.1})$$

$$V_{OVN} + V_{OVP} = V_{dd} - 2V_{th} + V_{boost} \quad (\text{公式 3.2})$$

基於以上概念，我們將電路改進成新的架構，在圖 3.2 中，其中 Ms1~Ms4 用來當作開關，在比較相位(CLK="1". CLKB="0". CLKB 為 CLK 之反向訊號)時，Ms1~Ms4 導通但仍有一段電壓差跨在 OUTP(OUTN)與 OUTP1(OUTN1)之間，且為了使每次輸出在重置相位會收斂相同電壓值，有重置用的電晶體 Mr1.Mr2，在重置相位(CLK="0". CLKB="1")時，Ms1~Ms4 關閉，將 OUTP1.OUTN1 都重置到零電壓，讓 M3.M4 導通使 OUTP.OUTN 重置到供給電壓，也會讓 M1.M2 導通幫助 OUTP1.OUTN1 放電到零電壓。

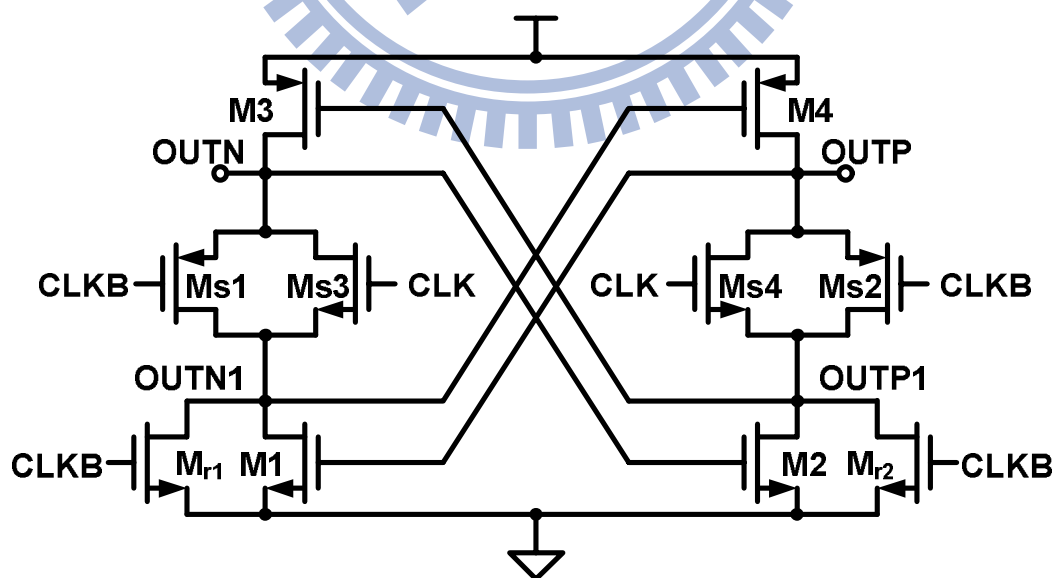


圖 3.2 新式低供給電壓栓鎖器(I)

此重置機制若依需求也可採用 P 型電晶體使 OUTP.OUTN 充電到供給電壓，再使 OUTP1.OUTN1 放電到零電壓。此處考量到 P 型電晶體需用較大面積來取得與 N 型電晶體相同的充電能力，會有更大的寄生電容，不利於電路在高速的時候操作，且從[9]中，使用 N 型電晶體同時也可做為第一級訊號的輸入，可以使用較少電晶體，減少布局時的難度及布局時所產生的寄生電容，故此處選擇 N 型電晶體來做重置機制。

所以重置相位結束後，OUTP1.OUTN1 電壓為零電壓，使 P 型電晶體 M3.M4 偏壓在深三極體區(deep triode region)，OUTP.OUTN 電壓為供給電壓，使 N 型電晶體 M1.M2 也偏壓在深三極體區，M1~M4 都已導通，當時脈訊號使中間開關導通後，栓鎖器可立即進入到飽和區並保持足夠得過驅動電壓，執行拉開的動作。

### 3.2.2 栓鎖器電路架構與直流特性

如同傳統架構，我們觀察其直流操作，先忽略重置用電晶體(M<sub>r1</sub>.M<sub>r2</sub>)，進入比較相位初期，因 Ms1~Ms4 導通，OUTP.OUTN 開始放電，造成電壓下降，OUTP1.OUTN1 開始充電而電壓開始上升，N 型及 P 型電晶體從三極體區快速進入飽和區，此過程差動輸出(OUTP.OUTN)及(OUTP1.OUTN1)幾乎為零，故此過程可等效成一直流等效半電路，如圖 3.3 所示，

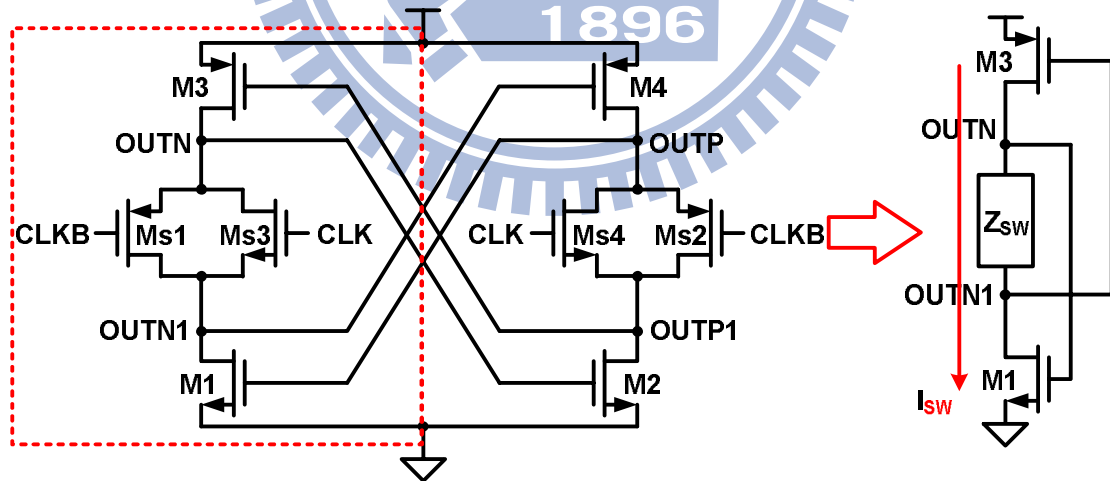


圖 3.3 新式低供給電壓栓鎖器與其直流等效半電路

$$V_{dd} = V_{GSN} + V_{SGP} - I_{SW} \times Z_{SW} \quad (\text{公式 3.3})$$

$$V_{OVN} + V_{OVP} = V_{dd} - 2V_{th} + I_{SW} \times Z_{SW} \quad (\text{公式 3.4})$$



$$V_{boost} = I_{SW} \times Z_{SW} \quad (\text{公式 3.5})$$

公式 3.4 中，很明確的可以看到，N 型及 P 型電晶體的過驅動電壓關係式中，多了由  $Z_{SW}$  產生的電壓差，使 OUTP.OUTN 保持在一穩定高電位，OUTP1.OUTN1 保持在一穩定低電位，此穩定電壓差彌補了低供給電壓時，電晶體的過驅動電壓不足的問題，使電晶體的速度沒有因供給電壓減少而下降的問題。

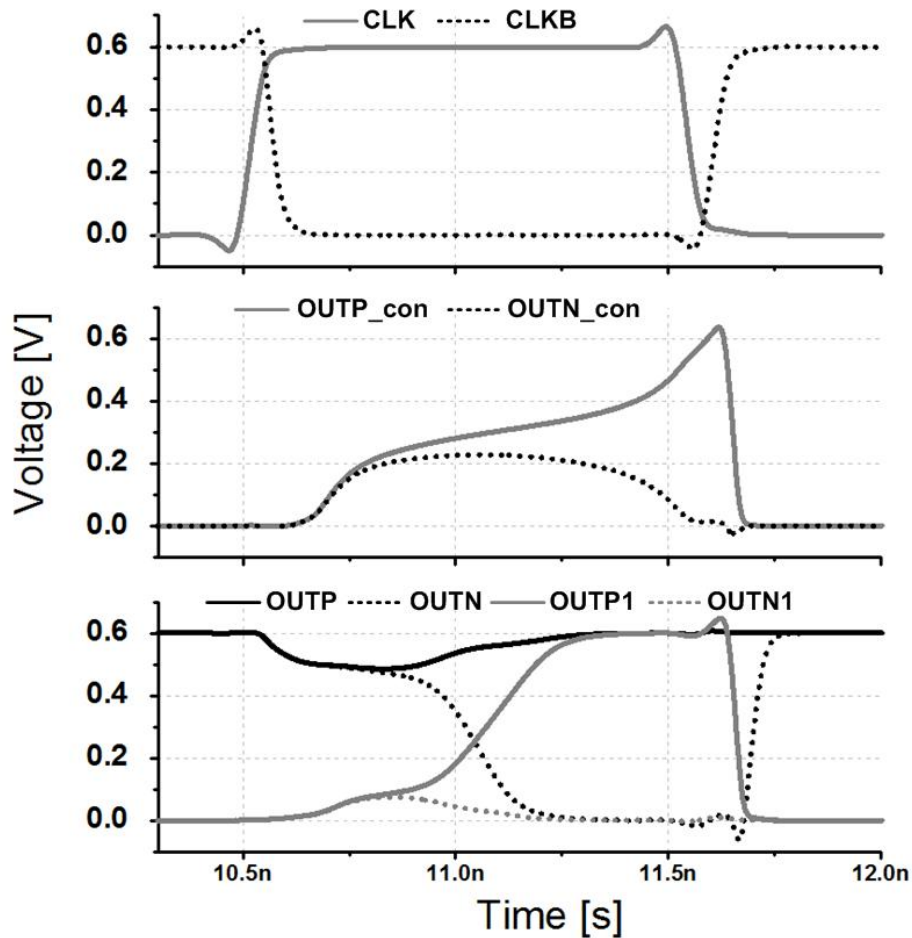


圖 3.4 輸出波形圖

圖 3.4 為實際模擬的波形圖( $CLK=500MHz$ ,  $V_{dd}=V_{icm}=0.6V$ ,  $V_{in}=1mV$ )，採用 [7] 的比較器架構，將訊號送入栓鎖器，第一張圖為時脈訊號，重置相位的時脈皆為( $CLK="0"$ ,  $CLKB="1"$ )，比較相位的時脈皆為( $CLK="1"$ ,  $CLKB="0"$ )，第二張圖為傳統的栓鎖器架構，重置時輸出為零電壓，比較相位時，輸出電壓開始上升，一值上升到接近二分之一的供給電壓，此時 N 型及 P 型電晶體的  $|V_{gs}|$  值都接近於二分之一的供給電壓(300 毫伏特)，一直到比較相位快結束時，差動輸出才可拉開到二分之一的供給電壓。

第三張圖為相同條件下，僅把栓鎖器部分改成所提出的低電壓栓鎖器，如圖 3.5 所示，從圖 3.4 就可以明顯看出直流偏壓的不同，也造成速度上的改善，將第三張圖放大成圖 3.6 可以更清楚其直流的改變。

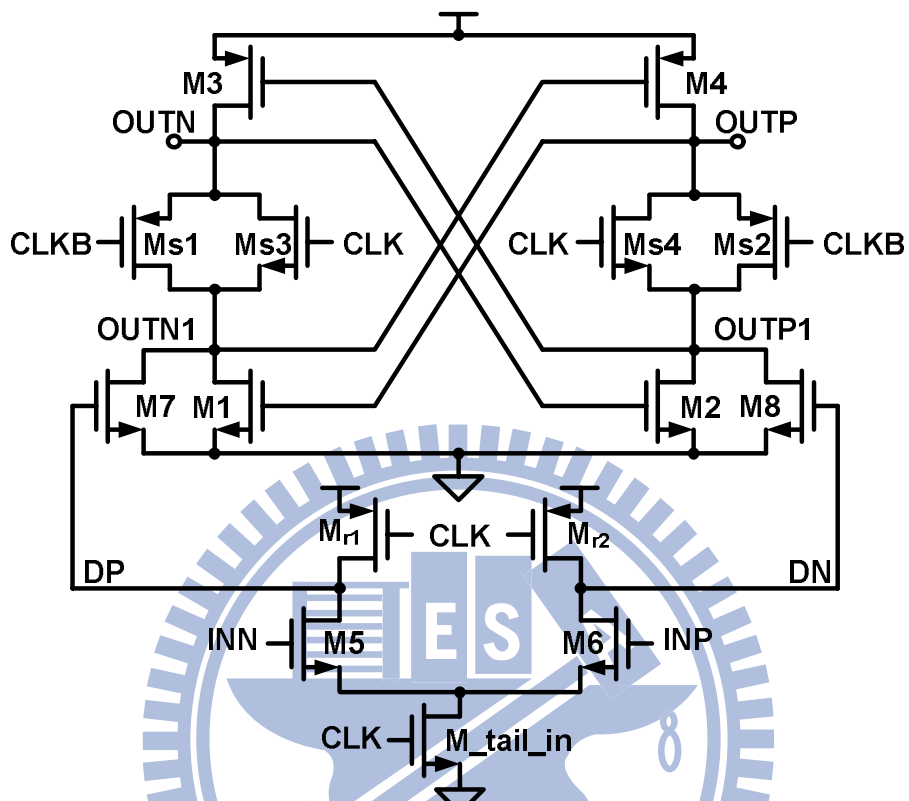


圖 3.5 低供給電壓比較器

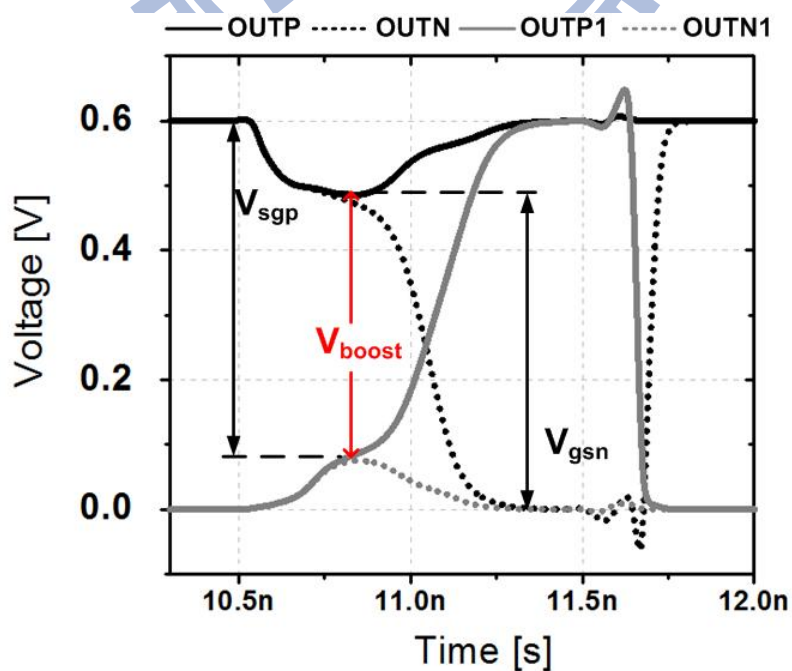


圖 3.6 低供給電壓比較器輸出波形圖

可以從圖 3.6 看出，M1~M4 的 $|V_{gs}|$ 約為 470 毫伏特，比傳統栓鎖器的 $|V_{gs}|$ (約 300 毫伏特)整整多出了約 50%的電壓，而這部分電壓就是由 Ms1~Ms4 所產生的，使之有過驅動電壓操作在飽和區，使的速度快了約一倍，僅需一半的時間就可將輸出拉開到二分之一的供給電壓，僅僅改變栓鎖器開關的型態成傳輸閘(transmission gate)與位置，並做尺寸上的調整，就可得到明顯的改善，且可以發現到兩組差動輸出都為全振幅輸出，差別在於偏壓的電位不同，而可以依照此特性，讓後續電路需要選擇其中一組的差動輸出或是兩組都做輸出，有更多更適合的選擇性。

但是此架構有一需特別注意，當電晶體想要多一點的過驅動電壓時，會設計大一點的  $V_{boost}$  電壓，但是當  $V_{boost}$  過大時，M1~M4 會一直被偏壓在深三極體區而無法進入飽和區操作，如圖 3.7 所示，電晶體會操作成一電阻，無法產生正回授功能，而  $V_{boost}$  的大小取決於 Ms1~Ms4 的尺寸及供給電壓的大小，易受到 PVT 影響，故設計時需針對不同條件下考慮 M1~M4 與 Ms1~Ms4 的尺寸關係，不宜過大使栓鎖器無法操作或過小沒有增加電壓的好處。

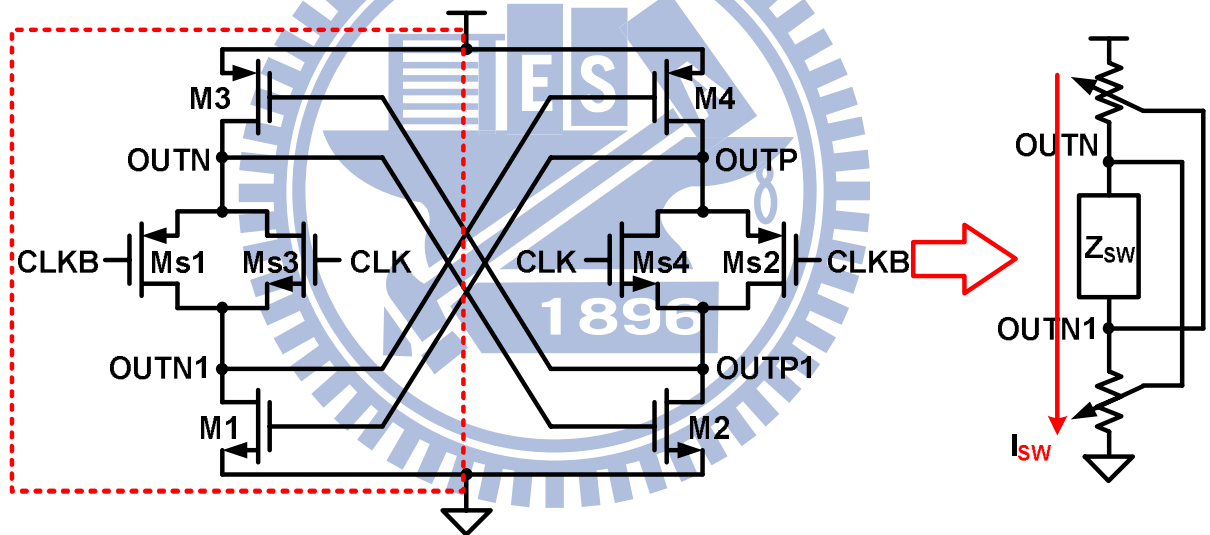


圖 3.7  $V_{boost}$  電壓過大時的直流等效半電路

而  $V_{boost}$  設計時需避免往上位移，造成 M1.M2 進入到飽和區操作，而 M3.M4 在三極體區操作，P 型電晶體無法提供轉導，反之也需避免往下位移，所以設計時 M1.M2 與 M3.M4 的充放電能力要相等避免遇到此問題。

因此，如何選擇 Ms1~Ms4 的尺寸就很重要，再加上栓鎖器的開關由 N 型電晶體改成傳輸閘且被移到輸出節點上，增加的電晶體所造成的雜散電容直接造成輸出負載的增加，為了減少傳輸閘對負載的影響，在不影響所需的操作之下，傳輸閘的設計勢必做一些改變。

### 3.2.3 栓鎖器電路架構改良

一般傳輸閘的設計，會讓輸出是一對稱輸出，希望上升(rising)及下降(falling)能力相等，如圖 3.8，所以設計上 P 型電晶體會採用較大的尺寸彌補電流能力的不足，也就是轉導( $g_m$ )的不足，所以尺寸設計上 P 型及 N 型電晶體比例約為轉導的反比 (3:1)。

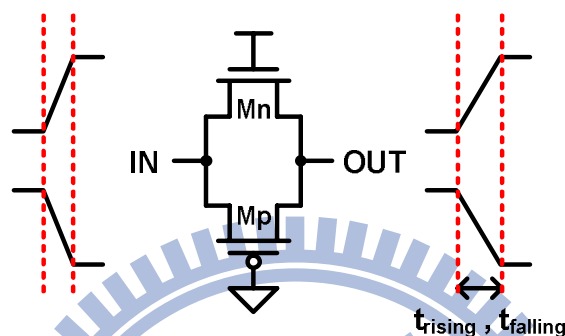


圖 3.8 傳輸閘波形示意圖

但是因為 P 型電晶體的雜散電容造成負載的增加遠比 N 型電晶體嚴重，且此處所需要產生的主要電路功能是在導通初期時，OUTP.OUTN 能有電流路徑通到 OUTP1.OUTN1 做充電且能保持一穩定電壓差，此功能僅靠 N 型電晶體就可做到，可是在後續的操作上，OUTP.OUTN 雖仍能保持全振幅輸出，但 OUTP1.OUTN1 卻無法達到全振幅輸出，甚至有可能因電壓不夠高不足以把栓鎖器中 P 型電晶體關閉，造成栓鎖器在鎖定電壓時有漏電流消耗功率。如圖 3.9 所示。

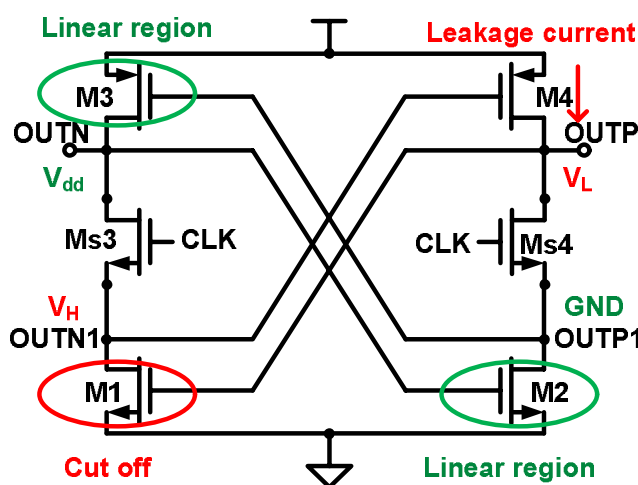


圖 3.9 N 型電晶體取代傳輸閘之問題

故設計時，仍使用傳輸閘的架構，但由 N 型電晶體來決定兩端跨壓的大小，而 P 型電晶體被最小化，僅需提供能將  $OUTP1.OUTN1$  往上充電把栓鎖器中 P 型電晶體關閉的能力。圖 3.10 中可以看到在兩端跨壓幾乎相等之下，整個比較的暫態過程因設計觀點不同而有波形的差異。表 3.1 為模擬結果。

$$(\Delta V_{OUT} = |V_{OUTP} - V_{OUTN}| \Delta V_{OUT1} = |V_{OUTP1} - V_{OUTN1}|)$$

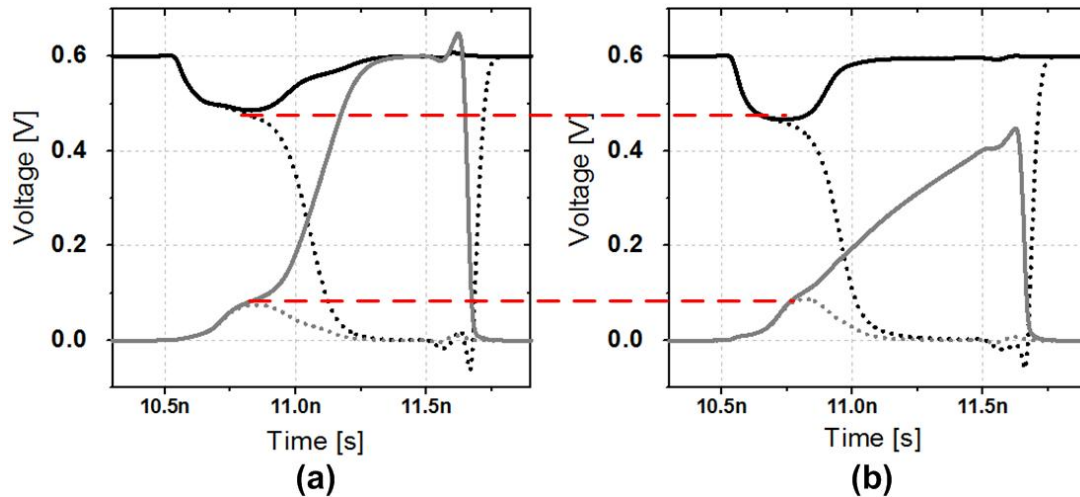


圖 3.10 不同傳輸閘設計波形示意圖 (a)傳統設計 (b)改良設計

	Delay of “ $\Delta V_{OUT}=300mV$ ”	Delay of “ $\Delta V_{OUT1}=300mV$ ”	Power
(a)	557 ps	601 ps	24 $\mu$ W
(b)	453 ps	750 ps	23 $\mu$ W

表 3.1 不同傳輸閘設計結果(1) (a)傳統設計 (b)改良設計

延遲時間是指時脈訊號的上升邊緣到差動輸出為供給電壓一半(300 毫伏特)時的時間差，表 3.1 中可以得到預期的結果， $OUTP.OUTN$  快了 1.2 倍，功率消耗也更小，雖然  $OUTP1.OUTN1$  拉開速度看似變慢了，但是仔細注意可以發現變慢的部分是在於輸出拉開的後半面沒有 P 型電晶體的強力拉升，但初期  $OUTP1.OUTN1$  拉開的速度幾乎不受影響，表 3.2 可以看到此結果。

	Delay of “ $\Delta V_{OUT1}=200mV$ ”	Delay of “ $\Delta V_{OUT1}=300mV$ ”
(a)	552 ps	601 ps
(b)	560 ps	750 ps

表 3.2 不同傳輸閘設計結果(2) (a)傳統設計 (b)改良設計

由於設計觀點的不同，得到了速度及功率的改善，但是此架構的有效差動輸出也變回一組了，另一組差動輸出只能做為輔助用，無法做一獨立輸出。接下來將以此種設計觀點，繼續分析此架構。

### 3.2.4 栓鎖器電路暫態及直流分析

為了有效設計此電路，需知各個電晶體所擔任的角色，推導其在暫態時的關係可以有效幫助設計，如同[6]之過程，在比較相位(comparison phase)時將其分成不同階段來看，圖 3.11:

階段一 (Phase 1):

Ms1~Ms4 保持在飽和區，M1~M4 從深三極體區開始往飽和區做偏壓，當 M1~M4 都在飽和區操作時，且 OUTP.OUTN 達到一穩態高電壓，OUTP1.OUTN1 達到一穩態低電壓，進入到階段二。

圖 3.12 及 3.13 為此階段之電流關係，因 P 行電晶體極小，忽略其電流，此階段訊號已開始進入到栓鎖器中但差動輸出極小，可看成共模(common mode)操作，OUTP.OUTN 從供給電壓下降到一穩定電壓值  $V_x$ ，OUTP1.OUTN1 從零電壓上升到一穩定電壓值  $V_y$ ，當  $V_x - V_y < V_{th}$ ，電晶體從三極體區進入到飽和區。因飽和區有較大轉導，才可有效使電路加速，故達到穩態時的電壓需使 M1~M4 都操作在飽和區，假設  $V_{thn} = |V_{thp}| = V_{th}$ ， $C_{OUT}$  為 OUTP.OUTN 所看到的所有等效對地電容值， $C_{OUT1}$  為 OUTP1.OUTN1 所看到的所有等效對地電容值，可列出公式 3.6 及 3.7，

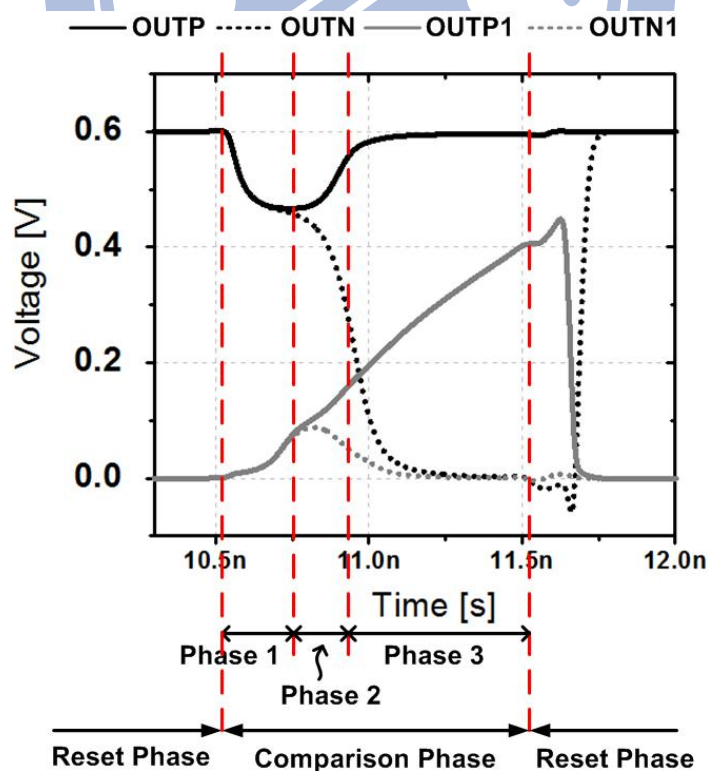


圖 3.11 低供給電壓栓鎖器時序圖

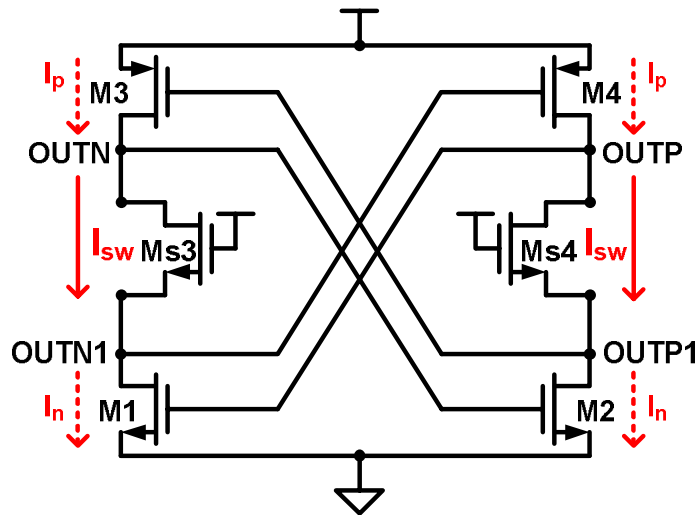


圖 3.12 階段一(Phase 1)電流關係圖

$$t_{0\_OUT} = \frac{C_{OUT} \cdot (V_{dd} - V_x)}{I_{sw\_ave} - I_{p\_ave}} \quad (\text{公式 3.6})$$

$$t_{0\_OUT1} = \frac{C_{OUT1} \cdot V_y}{I_{sw\_ave} - I_{n\_ave}} \quad (\text{公式 3.7})$$

因  $I_n$ 、 $I_p$ 、 $I_{sw}$  會隨電壓改變而變化，但電壓變化近似一斜直線，公式中  $I_{n\_ave}$ 、 $I_{p\_ave}$ 、 $I_{sw\_ave}$  條件是  $OUTP$ 、 $OUTN$  電壓為  $V_{x\_mid} = 0.5 \times (V_{dd} + V_x)$ ， $OUTP1$ 、 $OUTN1$  電壓為  $V_{y\_mid} = 0.5 \times (V_y)$ ，用此時的電壓條件，將此時電流視作為平均值。 $t_{0\_OUT}$  與  $t_{0\_OUT1}$  為分別對應  $OUTP$ 、 $OUTN$  與  $OUTP1$ 、 $OUTN1$  達到穩定電壓的時間，因充放電流的不同及對應到不同的雜散電容，會有些許時間差，取較大值為階段一所需時間。

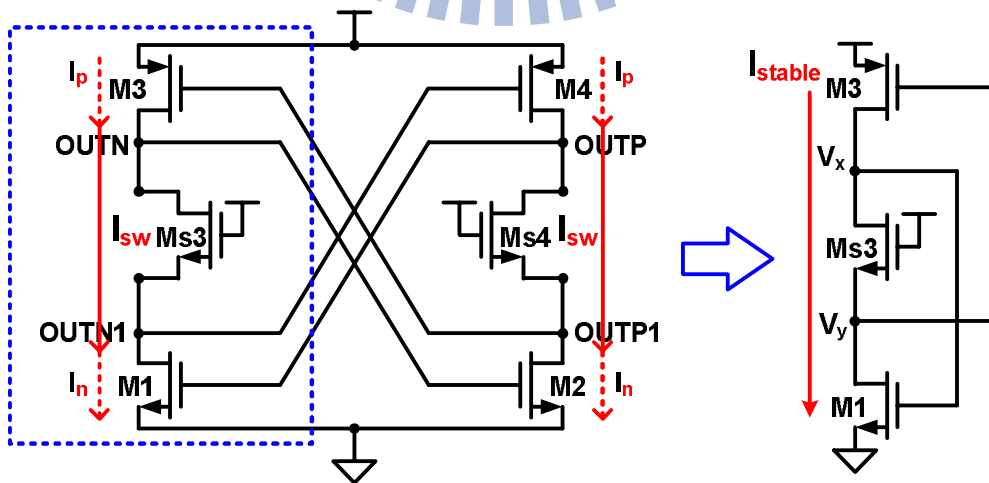


圖 3.13 穩態電流半電路

因  $V_x - V_y < V_{th}$  條件成立才能進入階段二，所以可以訂出穩定時  $OUTP.OUTN$  與  $OUTP1.OUTN1$  的跨壓，需小於一個臨界電壓值，穩態時其等效半電路如圖 3.13，而電流關係如公式 3.8

$$\begin{aligned}
 I_{stable} &= K_{P3} (V_{dd} - V_y - |V_{thp}|)^2 \cdot \left(1 + \frac{V_{dd} - V_x}{V_{AP}}\right) \\
 &= K_{N1} (V_x - V_{thn})^2 \cdot \left(1 + \frac{V_y}{V_{AN}}\right) \quad (\text{公式 3.8}) \\
 &= K_{NSW} (V_{dd} - V_y - V_{thn})^2 \cdot \left(1 + \frac{V_x - V_y}{V_{AN}}\right)
 \end{aligned}$$

假設此製程之 P 型及 N 型電晶體的通道長度調變效應係數相同，在這探討過驅動電壓的關係，栓鎖器 P 型及 N 型電晶體由尺寸的調整而只剩過驅動電壓的關係，則可得到  $X$  ( $X = W_{MS3} / W_{M1}$ ) 和  $V_x, V_y$  的關係式公式 3.9，進一步簡化可以得到  $V_x$  及  $V_y$ ，公式 3.10。

$$\begin{cases}
 X = \frac{W_{MS3}}{W_{M1}} \\
 V_{dd} - V_x = V_y
 \end{cases} \quad (\text{公式 3.9})$$

$$\begin{cases}
 X = \frac{(V_A + V_y)}{(V_A + V_x - V_y)} \\
 V_x = \frac{V_A(1 - X) + V_{dd}(1 + X)}{2X + 1} \\
 V_y = \frac{V_A(X - 1) + X \cdot V_{dd}}{2X + 1}
 \end{cases} \quad (\text{公式 3.10})$$

在  $M1.M3$  都需在飽和區操作的條件之下，我們可以得到  $X$  的範圍限制，公式 3.11，實際帶入條件計算與模擬結果做比較(TT corner)，如圖 3.14(a)中，圖 3.14(b)為不同角落模擬，雖有些需誤差但仍可以看到  $X$  對應不同供給電壓時，會有不同範圍，也就是說無法在一個大範圍的供給電壓下工作，所以需針對不同供給電壓做最佳化。



$$\left(\frac{V_{dd} - 3V_{th}}{2V_A} + 1\right) < X < \left(\left(\frac{2V_{dd} - 3V_{th}}{V_A} + 1\right), \left(\frac{V_{dd}}{2V_A} + 1\right)\right) \quad (\text{公式 3.11})$$

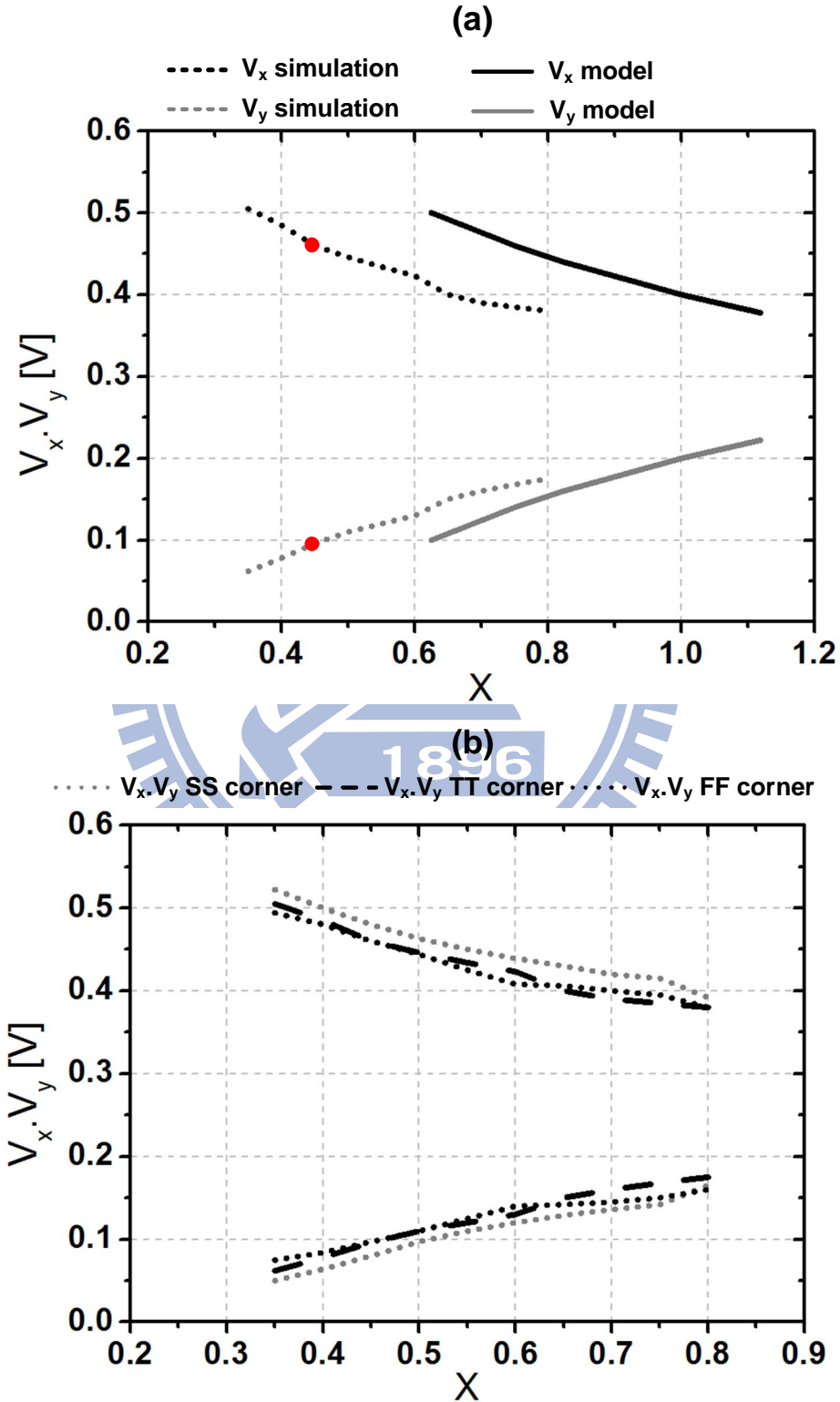


圖 3.14 X 範圍與  $V_x, V_y$  計算與模擬

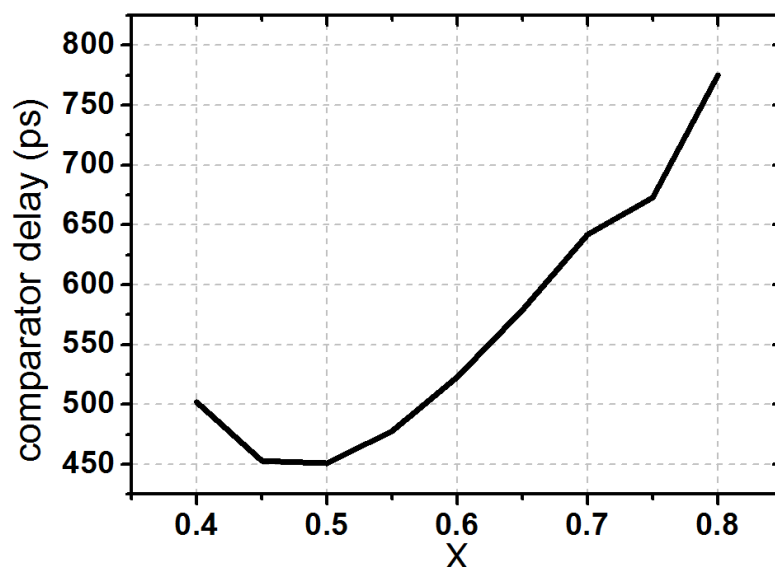


圖 3.15 X 對延遲時間關係圖

圖 3.5 為比較器改變 X 對速度的影響(TT corner)，在 X 介於 0.45 及 0.75 間，雖然都在飽和區操作但因  $V_{gs}$  同而有不同的轉導，越大則速度越快。小於 0.45 時雖操作在三極體區但仍有部分轉導，仍可操作，若再更小就因操作在深三極體沒有轉導而無法操作，而大於 0.75 時操作在弱反轉區，充放電電流能力太弱，速度變慢。X=0.45 為此次設計所選之比例關係。

階段二 (Phase 2) :

$M_{s1} \sim M_{s4}$  持續保持在飽和區， $M_1 \sim M_4$  全在飽和區的這段時間，此時是比較相位的正回授最強也是最重要的階段，而輸出快速拉開，而  $M_1 \sim M_4$  將逐漸關閉或偏壓到深三極體區。因之前所提傳輸閘設計觀點， $M_1.M_2$  會比  $M_3.M_4$  快進入關閉及深三極體區，當  $M_1.M_2$  其中一個電晶體的  $|V_{gs}|$  小於臨界電壓時，階段二結束。

此階段電晶體都操作在飽和區，差動輸出很小可當成小訊號，且直流偏壓條件相近，故可將電路等效成如圖 3.16，其中

$g_{mp}.g_{mn}$  分別為  $M_3.M_4$  與  $M_1.M_2$  的轉導，

$g_{mswn}$  為栓鎖器中傳輸閘的 N 型電晶體轉導，

$g_{op}.g_{on}$  分別為  $M_3.M_4$  與  $M_1.M_2$  小訊號電阻的倒數，

$g_{osw}$  為栓鎖器中傳輸閘等效小訊號電阻的倒數，

$C_p.C_n$  為分別  $OUTP.OUTN$  與  $OUTP1.OUTN1$  所看到的等效對地電容

( $C_p=C_{gsn}+C_{gsswp}+C_{gdsw}$ ， $C_n=C_{gsp}+C_{gsswn}+C_{gdsw}$ )，

$C_{gdl}$  為栓鎖器中 P 型與 N 型電晶體中  $C_{gd}$  的總合

( $C_{gdl}=C_{gdn}+C_{gdp}$ )，

公式 3.12 到 3.15 為  $OUTP.OUTN.OUTP1.OUTN1$  節點的電流關係

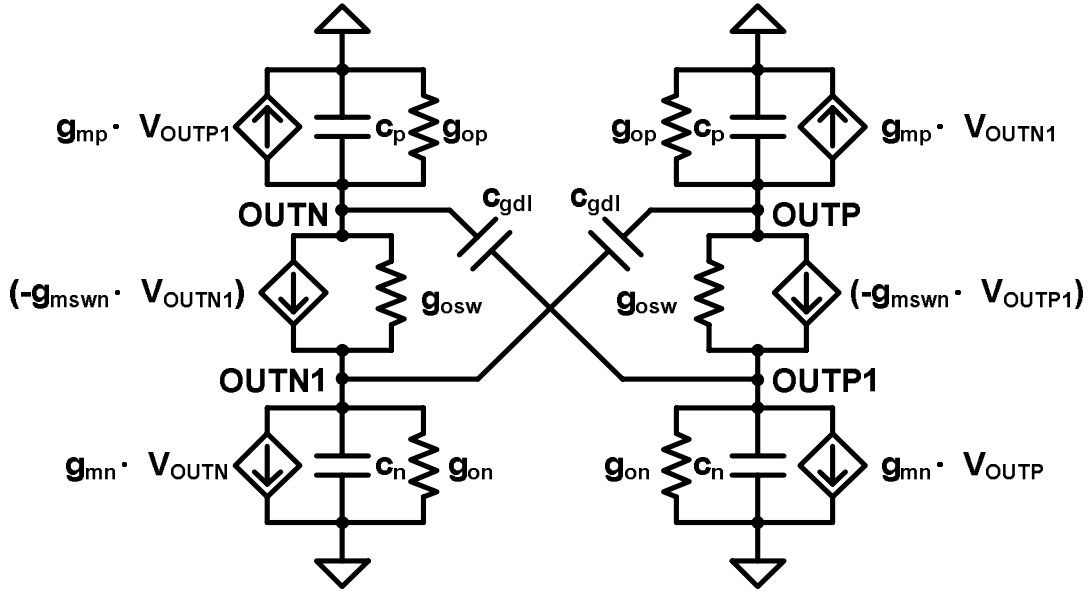


圖 3.16 階段二等效電路

$$\begin{aligned} \text{OUTP: } & V_{\text{OUTN1}} \cdot g_{mp} + c_p \cdot \frac{dV_{\text{OUTP}}}{dt} + V_{\text{OUTP}} \cdot g_{op} + c_{gdl} \cdot \frac{d(V_{\text{OUTP}} - V_{\text{OUTN1}})}{dt} \\ & + (-V_{\text{OUTP1}} \cdot g_{mswn}) + (V_{\text{OUTP}} - V_{\text{OUTP1}}) \cdot g_{osw} = 0 \end{aligned} \quad (\text{公式 3.12})$$

$$\begin{aligned} \text{OUTN: } & V_{\text{OUTP1}} \cdot g_{mp} + c_p \cdot \frac{dV_{\text{OUTN}}}{dt} + V_{\text{OUTN}} \cdot g_{op} + c_{gdl} \cdot \frac{d(V_{\text{OUTN}} - V_{\text{OUTP1}})}{dt} \\ & + (-V_{\text{OUTN1}} \cdot g_{mswn}) + (V_{\text{OUTN}} - V_{\text{OUTN1}}) \cdot g_{osw} = 0 \end{aligned} \quad (\text{公式 3.13})$$

$$\begin{aligned} \text{OUTP1: } & V_{\text{OUTP}} \cdot g_{mn} + c_n \cdot \frac{dV_{\text{OUTP1}}}{dt} + V_{\text{OUTP1}} \cdot g_{on} + c_{gdl} \cdot \frac{d(V_{\text{OUTP1}} - V_{\text{OUTN}})}{dt} \\ & = (-V_{\text{OUTP1}} \cdot g_{mswn}) + (V_{\text{OUTP}} - V_{\text{OUTP1}}) \cdot g_{osw} \end{aligned} \quad (\text{公式 3.14})$$

$$\begin{aligned} \text{OUTN1: } & V_{\text{OUTP}} \cdot g_{mn} + c_n \cdot \frac{dV_{\text{OUTN1}}}{dt} + V_{\text{OUTN1}} \cdot g_{on} + c_{gdl} \cdot \frac{d(V_{\text{OUTN1}} - V_{\text{OUTP}})}{dt} \\ & = (-V_{\text{OUTN1}} \cdot g_{mswn}) + (V_{\text{OUTN}} - V_{\text{OUTN1}}) \cdot g_{osw} \end{aligned} \quad (\text{公式 3.15})$$

觀察其差動輸出，定義輸出關係如公式 3.16，可整理出公式 3.17

$$\begin{cases} |V_{OUTP} - V_{OUTN}| = V_{OUT} \\ |V_{OUTP1} - V_{OUTN1}| = V_{OUT1} \end{cases} \quad (\text{公式 3.16})$$

$$\begin{aligned} & V_{OUT1} \cdot g_{mp} - V_{OUT} \cdot g_{op} - c_p \cdot \frac{dV_{OUT}}{dt} - c_{gdl} \cdot \frac{d(V_{OUT} + V_{OUT1})}{dt} + \\ & V_{OUT} \cdot g_{mn} - V_{OUT1} \cdot g_{on} - c_n \cdot \frac{dV_{OUT1}}{dt} - c_{gdl} \cdot \frac{d(V_{OUT} + V_{OUT1})}{dt} = 0 \end{aligned} \quad (\text{公式 3.17})$$

$$V_{OUT} \cdot (G_m - G_o) = C_L \cdot \frac{dV_{OUT}}{dt} \quad (\text{公式 2.3})$$

$$\begin{aligned} & V_{OUT1} \cdot (g_{mp} - g_{on}) + V_{OUT} \cdot (g_{mn} - g_{op}) \\ & = \frac{d \left[ (2c_{gdl} + c_p) \cdot V_{OUT} + (2c_{gdl} + c_n) \cdot V_{OUT1} \right]}{dt} \end{aligned} \quad (\text{公式 3.18})$$

公式 3.17 整理成公式 2.3 的型式可以更好了解這個系統，如公式 3.18

對照傳統架構公式 2.3 中，可以知道此新式栓鎖器的  $V_{OUT}$  差動輸出的速度由  $(g_{mn} - g_{op})$  對  $(2c_{gdl} + c_p)$  充放電所決定， $V_{OUT1}$  差動輸出的速度由  $(g_{mp} - g_{on})$  對  $(2c_{gdl} + c_n)$  充放電所決定，由此知取  $V_{OUT}$  做輸出的好處在於雜散電容較小，而  $V_{OUT}$  與  $V_{OUT1}$  此兩組輸出無法獨立分開看，是相關的，但此關係除了電阻關係外，還有隨電壓變化而做改變的轉導的關係，雖然設計上傳輸閘 P 型與 N 型比例不平衡造成轉導的關係較弱，但電阻關係卻還在，且雜散電容對兩組輸出影響也較小，彌補了轉導的關係較弱的影響。

所以此架構與傳統架構一樣需要有較大的轉導能力及較小的雜散電容，轉導由 M1~M4 及偏壓電壓所決定，偏壓電壓由 Ms1~Ms4 所決定，偏壓電壓受臨界電壓限制，故在已知負載電容之下，電晶體尺寸的關係就可知道，再考慮偏差電壓的大小及雜訊的影響，可以決定栓鎖器的尺寸。

### 階段三 (Phase 3) :

此時輸出已成定局且差動輸出已大於二分之一的供給電壓，後續已具有有效資料可開始做運算，此階段已較不重要。M1~M4 繼續將輸出拉開直到全振幅輸出，此時已無靜態電流，故無靜態功率消耗。

### 重置相位(Reset Phase)

重置相位時，為了每次的比較都可以回到固定的值，減少記憶效應，且重置相位時所接受到的雜訊，因為 M1~M4 及 Mr1.Mr2 都是導通，屬於低阻抗(low impedance)，雜訊會被釋放到供給電壓或零電壓，差動操作不會受到影響。所以不會選擇等電壓重置(Equalize)，如圖 3.17。

若 P 型電晶體做重置(如圖 3.18)時需用比 N 型更大的面積換速度，造成比較相位時 OUTP.OUTN 看到更多的雜散電容，與傳輸閘設計觀點背道而馳。故使用 N 型電晶體做重置也做為訊號的路徑，較省面積及較少的雜散電容。

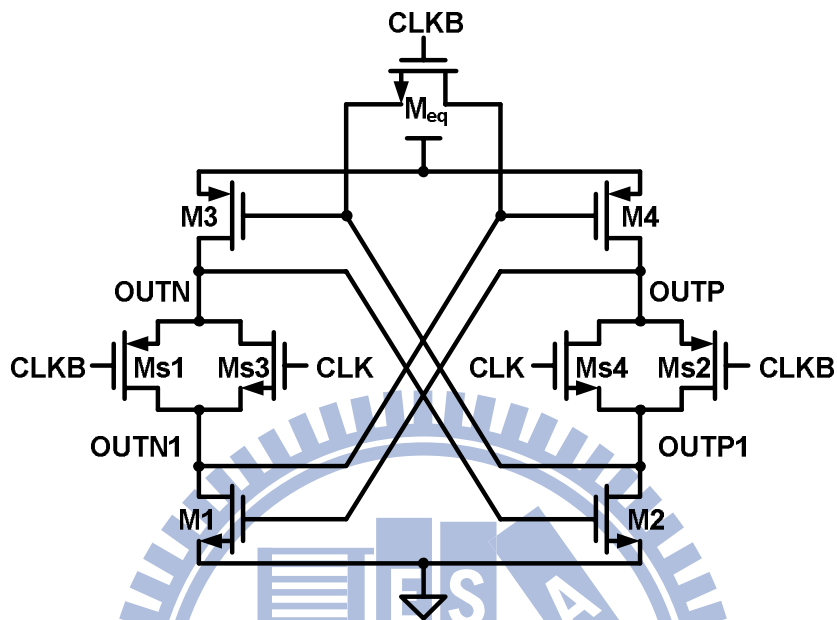


圖 3.17 新式低供給電壓栓鎖器- Equalize

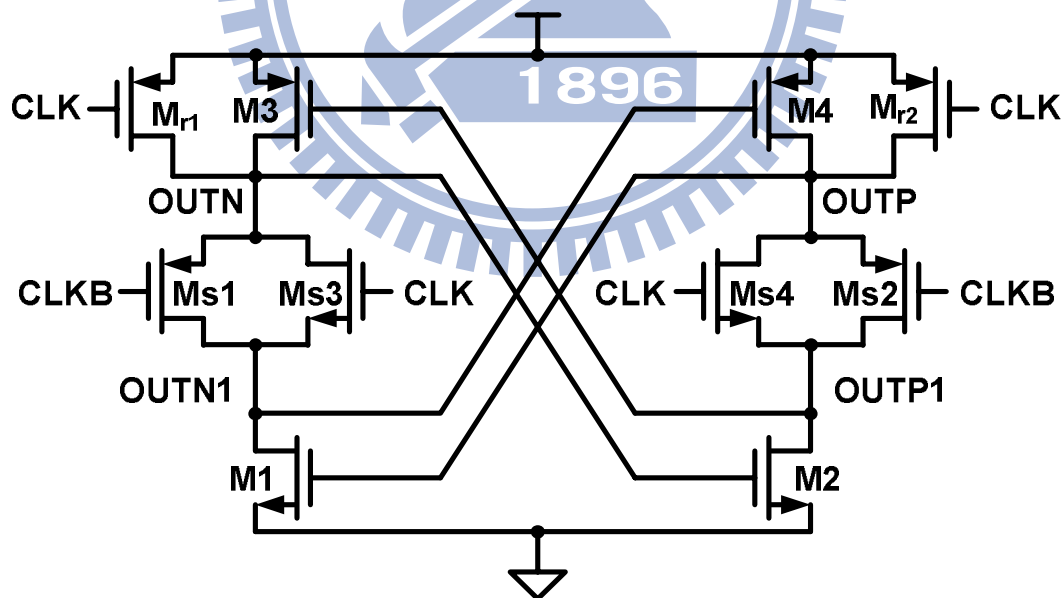


圖 3.18 新式低供給電壓栓鎖器-P 型電晶體做重置

### 3.2.5 新式栓鎖器電路總結

經過直流及暫態的分析後，此電路在設計上，已經可以掌握各個電晶體各自的角色及相互之間的關係，同時也知道此電路的優缺點，在設計上需注意的事與平時設計觀念一致。

設計要點:

1. 設計上簡單為原則，避免造成過多雜散電容或增加設計複雜度。
2. 使用 N 型電晶體為主，P 型電晶體輔助。
3. 開關形成的偏壓條件需同時使電晶體操作在飽和區已達到最佳化。

優點:

1. 栓鎖器有足夠的過驅動電壓，可高速操作。
2. 有一組主要輸出，可依需要選擇另一組輸出做搭配。

缺點:

1. 操作範圍小，易受 PVT 影響，需針對不同電壓做最佳化設計。

## 3.3 新式低供給電壓比較器(I)分析及設計

### 3.3.1 比較器第一級設計

在之前介紹已知兩級式的架構，較適合在低供給電壓下操作，而電壓模式與訊號相依模式，經過[9][10]驗證，對輸入的共模電壓較不靈敏，可由第一級有效控制偏差電壓及雜訊，讓栓鎖器更專注於速度的操作。為了具有這些優點，第一級(圖 3.19)中 M2.M3 操作區間需操作在弱反轉區中。需先了解電晶體操作特性，圖 3.20 為 N 型電晶體直流操作 I-V 特性圖。

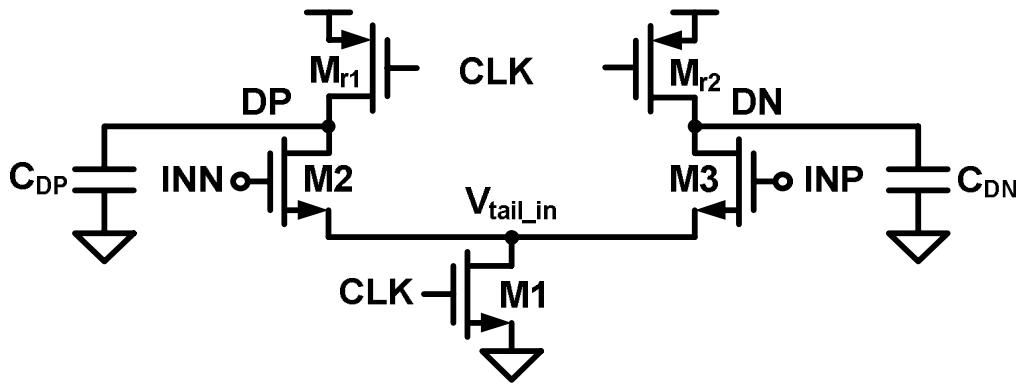


圖 3.19 兩級式比較器第一級電路

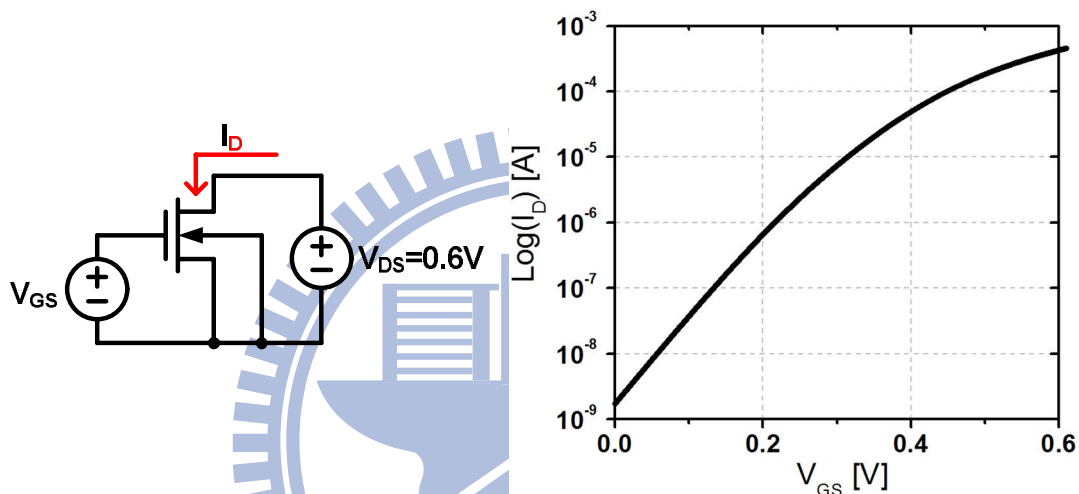


圖 3.20 N 型電晶體直流操作特性

從 I-V 關係圖可以看到，當  $V_{gs}$  約小於 400 毫伏特，關係為指數型式 (exponential)， $V_{gs}$  介於 400 毫伏特到 600 毫伏特，關係逐漸向二次型式 (square law) 靠近。

了解 N 型電晶體直流關係後，觀察第一級的輸出波形 (DP, DN) 及特性，圖 3.21。觀察第一級的輸出波形可以知道，時脈訊號使 M1 導通  $V_{tail\_in}$  電壓開始下降，M2, M3 從關閉的狀態進入飽和區或弱反轉區操作，DP, DN 電壓開始下降，DP, DN 的差異量 ( $\Delta D$ ) 由小到大慢慢增加，當 DP, DN 下降同時使 M2, M3 慢慢從飽和區或弱反轉區進入到三極體區操作， $\Delta D$  變小一直到 DP, DN 約為 150 毫伏特時， $\Delta D$  已無差異，由此可知，要用最大的增益，需使 M2, M3 盡量保持在飽和區或弱反轉區操作，而 M2, M3 的操作受  $V_{tail\_in}$  電壓下降速度決定，而 M1 的閘極電壓在操作時都為供給電壓值，故此處需由 M1 尺寸的調整來決定  $V_{tail\_in}$  電壓的下降速度。

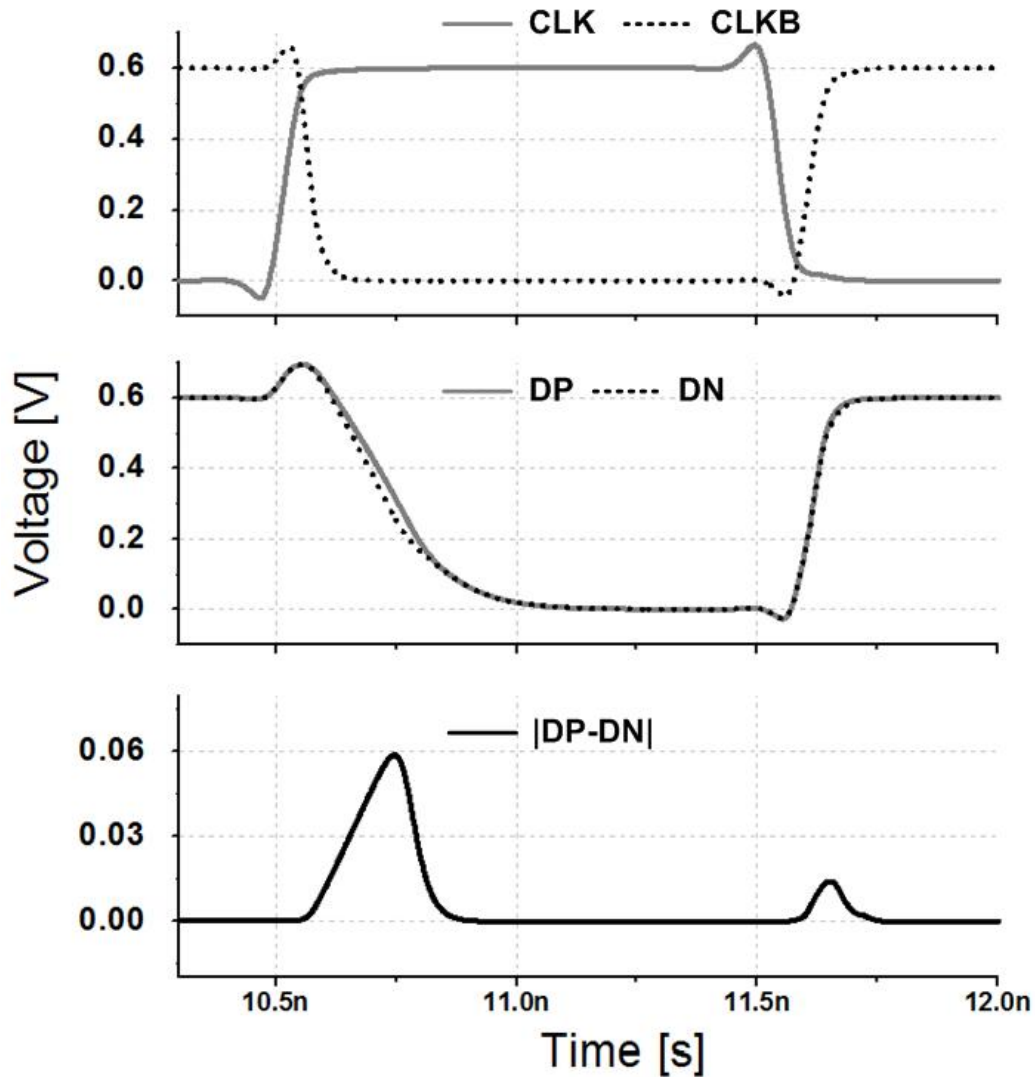


圖 3.21 兩級式比較器第一級電路輸出波形-DP.DN

而 $\Delta D$ 在DP.DN電壓低時已無差異，故[10]中訊號差異較大的部分無法從P型電晶體進入到栓鎖器，增益很小，而P型電晶體控制著栓鎖器的導通，在未導通之前，訊號也無法透過N型電晶體進入到栓鎖器中。由此可知因DP.DN的訊號特性，在低供給電壓操作時，不適合用P型電晶體來當作訊號路徑傳輸到栓鎖器中。

當M1越小， $V_{tail\_in}$ 電壓下降越慢，M2.M3保持在弱反轉區時間越長，DP.DN也越慢放完電，對第二級的影響也越久，反之M1越大，對第二級的影響較短。



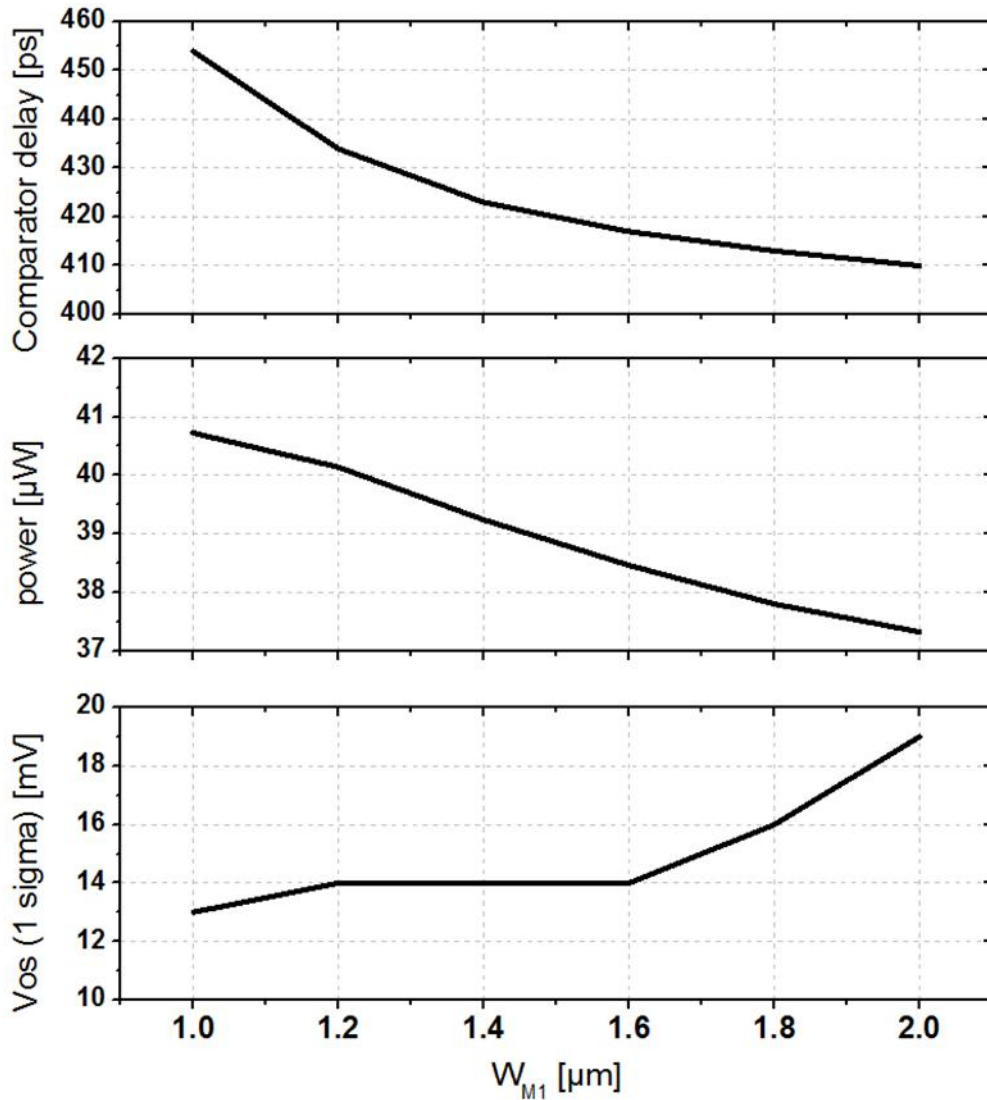


圖 3.22 M1 尺寸對比較器的影響

圖 3.22 中，改變 M1 的尺寸對比較器影響，M1 越大 DP/DN 越快結束，對第二級影響較小，較不影響栓器的偏壓，速度較快且功率效好較小，但也因此無法抑制第二級的偏差電壓，M1 越小則反之，設計時取其平衡點。

M2/M3 的設計，除了考慮到增益的大小以抑制第二級的偏差電壓及雜訊之外，還需要考慮本身到偏差電壓及雜訊的大小，第一級的偏差電壓關係為公式 3.19

$$\sigma_{V_{os}}^2 = \left[ \frac{V_{GS2,3} - V_{TH2,3}}{2(W/L)_{2,3}} \right]^2 \cdot \sigma_{(W/L)_{2,3}}^2 + \left[ \frac{V_{GS2,3} - V_{TH2,3}}{2C_D} \right]^2 \cdot \sigma_{C_D}^2 + \sigma_{V_{TH2,3}}^2 \quad (\text{公式 3.19})$$

除了 M2.M3 用較大的尺寸上來改善偏差電壓之外，也可以增加 DP.DN 上的節點電容，且此電容越大也越不易受雜訊影響，此電容除了受 M2.M3 影響之外，也受 M4.M5 影響，M4.M5 功能為把第一級在重置相位時，把 DP.DN 充到供給電壓。而 DP.DN 有機會做為栓鎖器的重置訊號，所以重置速度也不能太慢，所以 M4.M5 的尺寸大一點可達到這些需求。

### 3.3.2 比較器設計

在了解兩級式架構中第一級的特性之後，如何有效把訊號送入栓鎖器中，是有多種方式和不同的考量，由第一級訊號特性可知，在低供給電壓下用 N 型電晶體把訊號送入栓鎖器中是較好的選擇，在所提之架構中，有兩組地方可以做為訊號的輸入。而 Ms1.Ms2 的控制訊號 CLKB，在操作時為零電壓，從之前結論可知其角色不為主要充放電路徑，而 DP.DN 最終會降到低電位，用來取代 CLKB 訊號不僅可以減少系統中時脈訊號所需的緩衝器，也可減少布局的難度。

若選用 OUTP.OUTN 當作輸入，如圖 3.23，需要 M11 做為控制導通的機制，避免重置時因 DP.DN 在高電位使 M9.M10 導通而有漏電，且還需要重置電晶體 M7.M8，且需經過中間的傳輸閘才能使 P 型電晶體的閘極接收到訊號，需經過傳輸閘 N 型電晶體才能對其放電。

若選用 OUTP1.OUTN1 當作輸入，如圖 3.24，M7.M8 在比較相位當作訊號輸入用，重置相位當做重置電晶體，減少負載增加，且直接控制 M3.M4 的閘極，控制 OUTP.OUTN 的充放電。

兩種架構 M7.M8 尺寸相等，原因在於 DP.DN 與 CLKB 都為 CLK 經過一次反向器的訊號，上升條件相似，而 M11.M12 是訊號用電晶體，為了使兩個架構在增益條件上相近，M9.M10 尺寸跟 M7.M8 一樣，但可調整 M11 使增益得到最有效利用。表 3.3 可以看到，多加電晶體而造成雜散電容增加使得速度減慢，及使增益的到有效利用也無法使速度補回來。

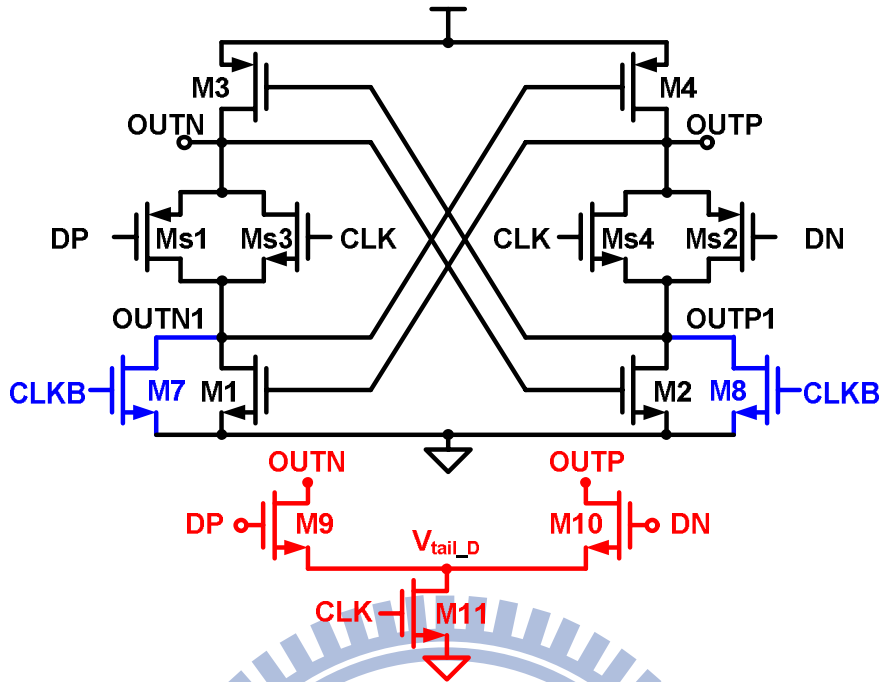


圖 3.23 OUTP.OUTN 當作輸入點-架構一

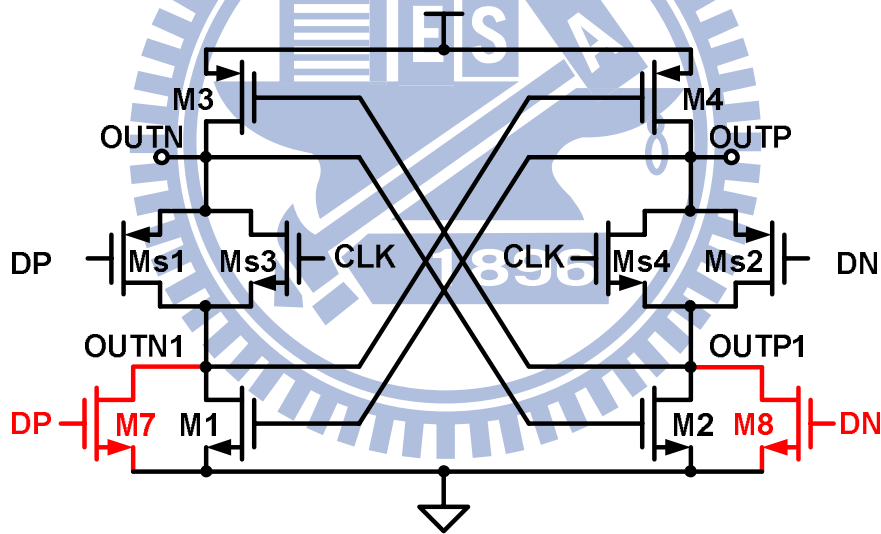


圖 3.24 OUTP1.OUTN1 當作輸入點-架構二

	架構一	架構二
比較器延遲時間( $\Delta V_{OUT}=300\text{mV}$ )	629ps	420ps
功率消耗	26 $\mu\text{W}$	27 $\mu\text{W}$

表 3.3 架構一與架構二比較表

若同時從 OUTP.OUTN 及 OUTP1.OUTN1 當作訊號輸入，如圖 3.25，除了對兩組輸出都造成負載之外，DP.DN 為一直變化的訊號，當栓鎖器在偏壓時，OUTP.OOUTN 從 M7\_0.M8\_0 流出的電流會一直變化，會影響偏壓到穩定時的

電壓，而由於 OUTP.OUTN 流入 OUTP1.OUTN1 的電流變少，M1.M2 仍屬於深三集體區操作，電流會迅速流走，而由 M7\_1.M8\_1 對 OUTP1.OUTN1 所產生的影響就會減少，反而不利於同時從兩組差動對做輸入，且設計難度將大很多。

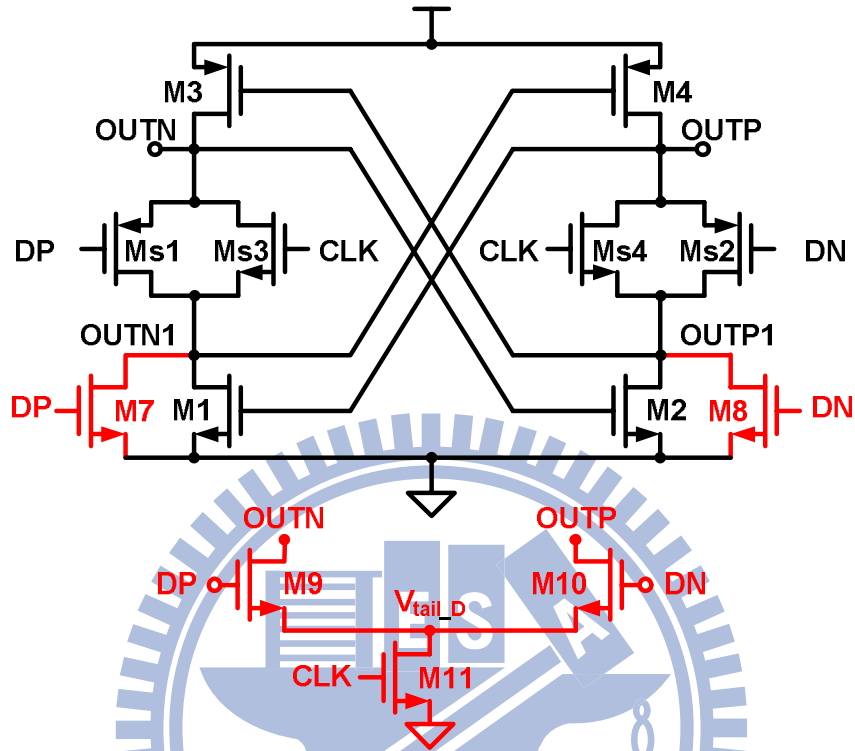


圖 3.25 OUTP.OUTN 及 OUTP1.OUTN1 當作輸入點-架構三

	架構二	架構三
比較器延遲時間( $\Delta V_{OUT}=300mV$ )	420s	576ps
功率消耗	27 $\mu$ W	32 $\mu$ W

表 3.4 架構二與架構三比較表

直接將架構一中 CLKB 改成由 DP.DN 控制，雖然訊號更有效進入栓鎖器中，但仍無法把速度補回來，但是另一方面思考，架構三應可更有效抑制第二級產生的偏差電壓。

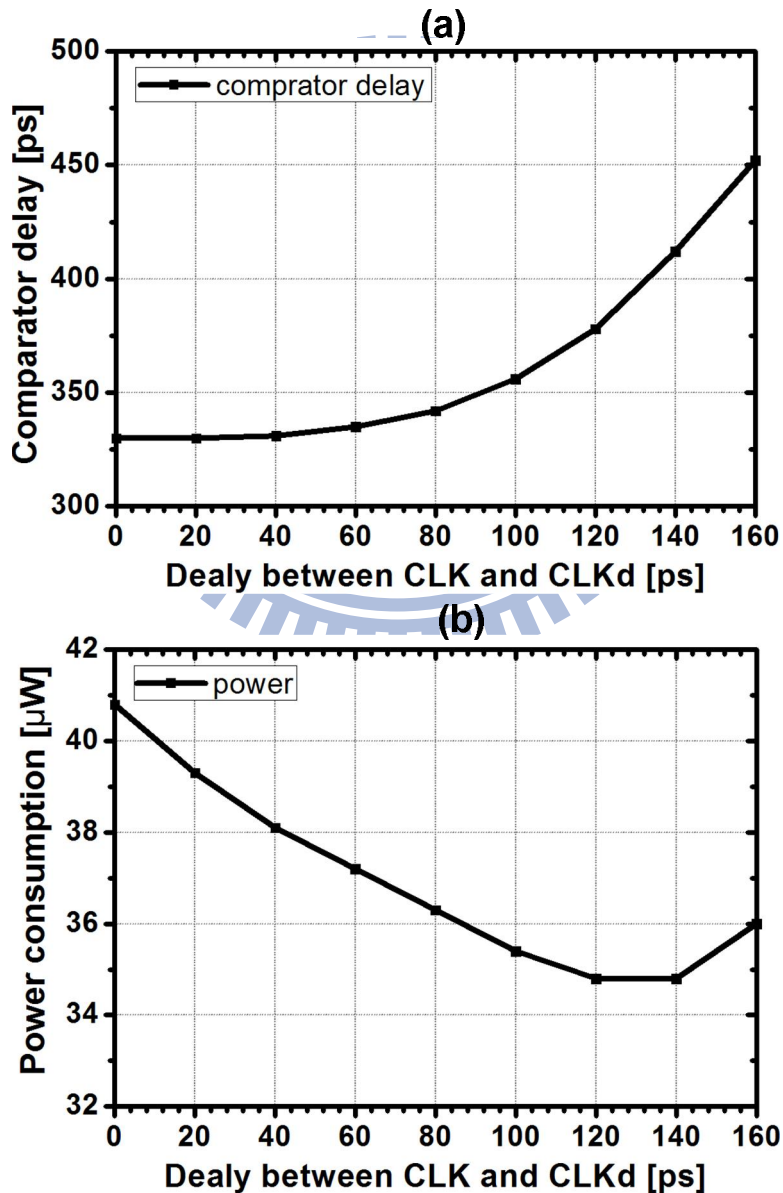
	架構二	架構三
偏差電壓 $V_{os}(1\sigma)$	14mV	12mV

表 3.5 架構二與架構三偏差電壓比較

經過以上比較，我們由速度為優先考量選擇架構二當做比較器架構，但是可以看到偏差電壓的部分就表現不理想。但是我們採用的是兩級式的架構，所以可以利用之前所提到的技術，故意使第二級比第一級慢導通，使 M7.M8 的閘級有

較大的差動訊號，然後才開啟第二級，所以更改架構二中 Ms3.Ms4 的控制訊號，改為 CLKd，與 CLK 有時間差，圖 3.26(a)~(d)為時間差的影響的模擬結果。

CLK 及 CLKd 之間時間差越多，比較器需越久才能比較出來，但輸入訊號變更有效，且時間差控制在 80ps 之內，只增加約 5%的延遲時間，功率消耗因第二級較慢開始動作，一開始無功率消耗，功率有稍微下降，但後來時間差大到 DP.DN 差已變小，訊號無法進入栓鎖器，栓鎖器無法判斷拉開方向，不穩定狀態(metastable)太長，功率又會上升。偏差電壓也因訊號有效進入栓鎖器，抑制第二級的偏差電壓使比較器之偏差電壓下降 40%，雜訊的反應可之第一級已有效的抑制第二級的影響，若時間差太大使訊號不容易傳到栓鎖器，才會造成第二級雜訊影響劇烈，綜合模擬結果，將時間差控制在 40ps~80ps 之間，可在各個表現上得到較理想的平衡點。



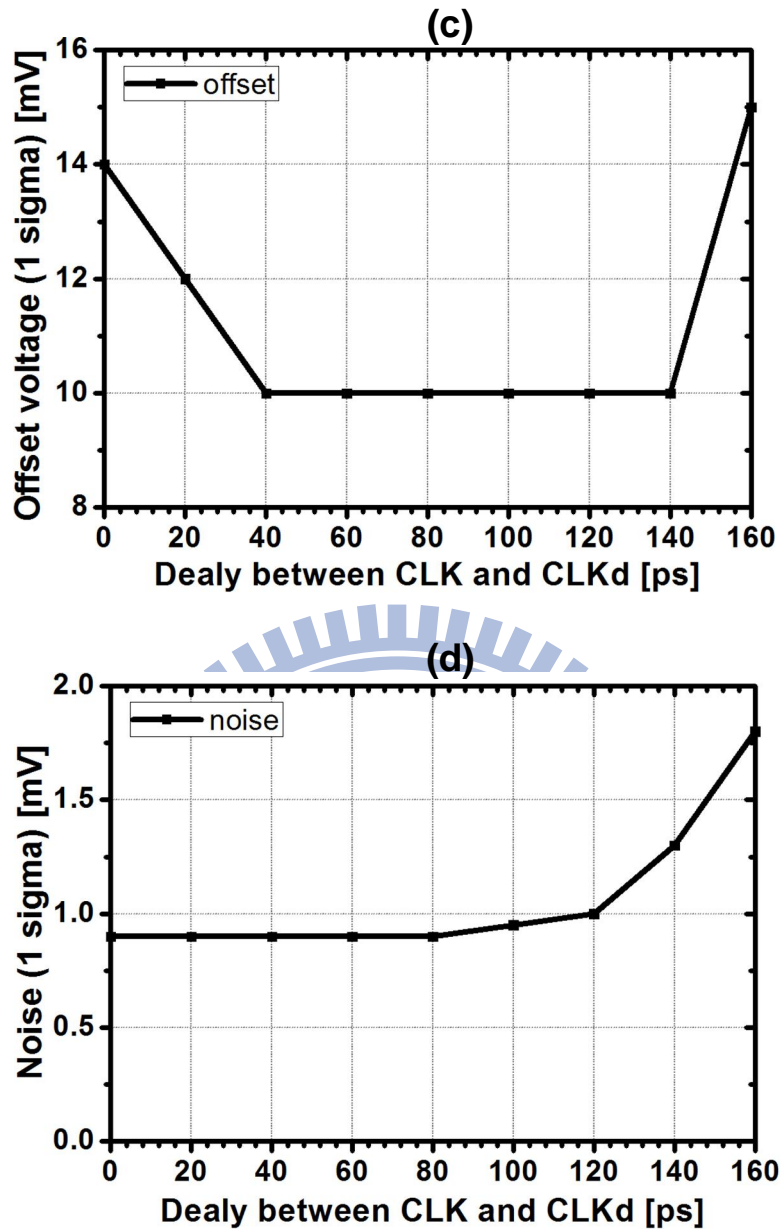


圖 3.26(a)~(d) CLK 對 CLKd 時間差之影響

設計時，將時間差控制在 60ps，當 variation 發生時仍有  $\pm 20$  ps 的可用範圍，在這沒有多做控制機制以避免 variation 的產生，故量測統計時，避免 variation 過度影響，把速度過慢或功率過大的比較器剔除，不參與統計。

而 M7.M8 的設計，考量同時兼具放大訊號及重置功能，但第一級訊號主要还是由第一級的電晶體決定，所以尺寸由重置相位時的能力為優先考量。

在以上考慮之下，形成圖 3.27 之架構，CLK 及 CLKd 的時間差由傳輸閘產生，先讓第一級操作，使 DP.DN 有差異之後，再傳入到栓鎖器中，使栓鎖器得到更有效的訊號。實際在低供給電壓為 0.6 伏特做模擬，在 TT 角落可以操作至少在 GHz 的速度。

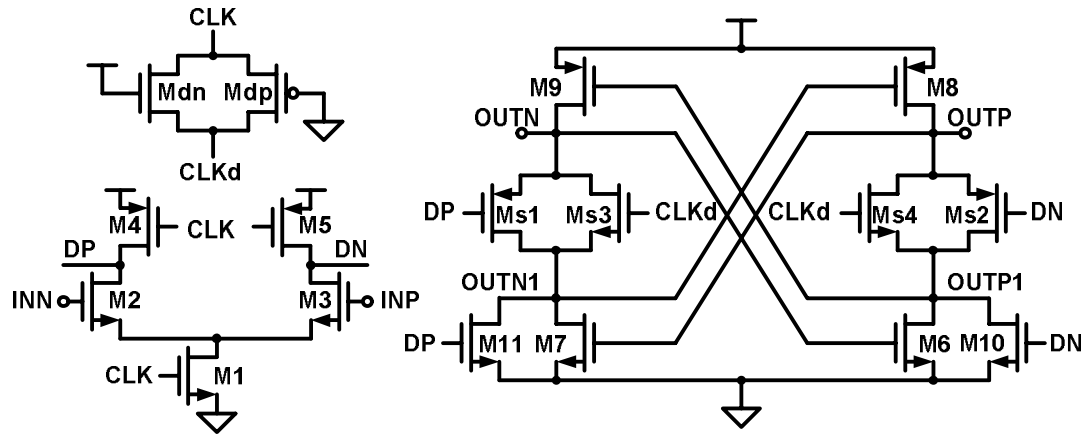


圖 3.27 新式低供給電壓比較器(I)

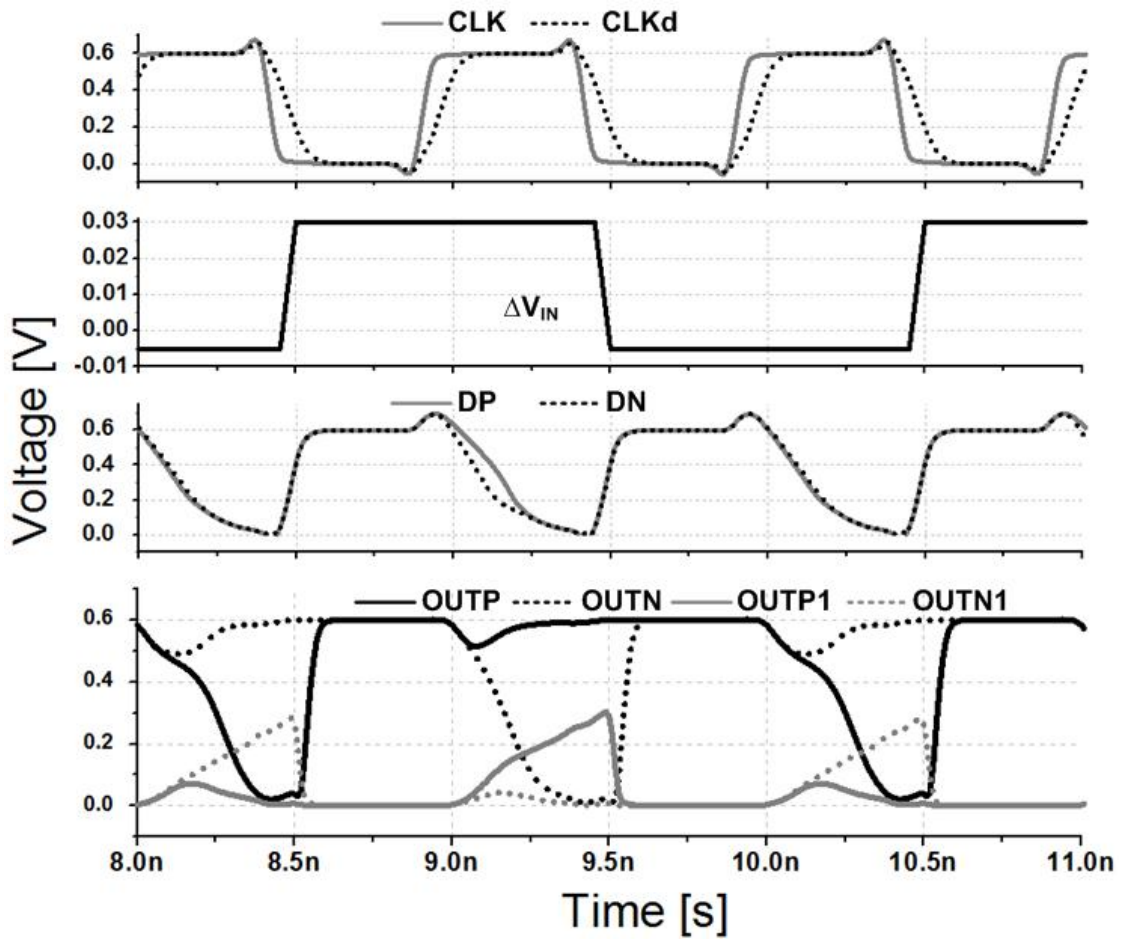


圖 3.28 比較器重要節點波形圖

圖 3.28 為圖 3.27 之模擬結果，CLK 速度為 1GHz，各個節點的特性也如之前所提到的，在低電壓下保持大的轉導，使電路能在高速操作。

將所設計出的尺寸，設計成傳統栓鎖器架構所形成的比較器，比較其低壓的操作圖 3.29 為比較器架構，其中電晶體編號相等則尺寸相等，傳統架構中 M\_tail 為 M8 與 M9 總合。而從輸入端 INN.INP 所看到的電容，在比較器操作時約為 13fF，在比較器重置時約為 5fF。

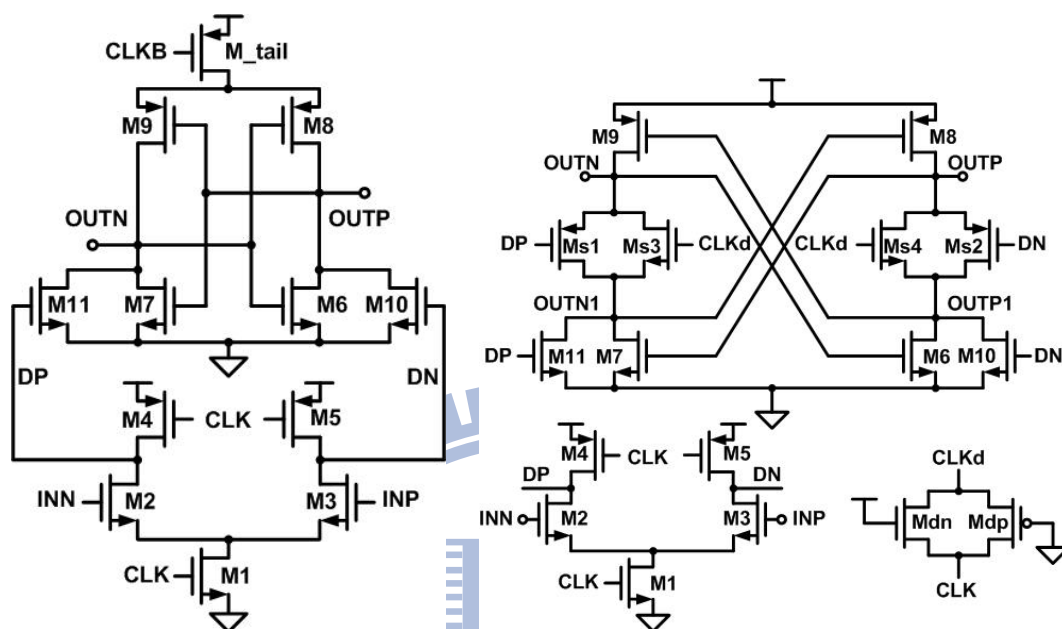


圖 3.29 比較器架構

表 3.6 為供給電壓為 0.6 伏特時的模擬結果，可以看到我們速度的部分，傳統架構無法達到 1.1GHz 的操作，甚至連一半的速度操作都達不到，參考[3]中 FoM 的比較方式， $FoM = [Speed \times (Accuracy)^2] / Power$ ，其中  $Accuracy \propto (V_{dd} / \sigma_{V_{os}})$ ，可以看到雖然 FoM 較差，但是在低壓時卻能達到之前所無法達到的操作速度。

	Conventional comparator	Proposed I Comparator
CLK rate	0.5GHz	1.1GHz
Accuracy $\propto (V_{dd} / \sigma_{V_{os}})$	600/8.5	600/10
Power	17 $\mu W$	34 $\mu W$
FoM	146.55	116.47

表 3.6 模擬結果比較

再來比較偏差電壓的大小，分成兩級來看，第一級由 M1~M5 組成，剩下為第二級，包含 Mdn 與 Mdp，則偏差電壓可表示成公式 3.20，對應模擬結果

$$\sigma_{V_{os\_total}}^2 = \sigma_{V_{os\_1st}}^2 + \sigma_{V_{os\_2st}}^2 \quad (\text{公式 3.20})$$



	Conventional comparator	Proposed I Comparator (w/ timing control)	Proposed I Comparator (w/o timing control)
Total input referred offset ( $\sigma_{Vos\_total}$ )	8.5mV	10mV	14mV
Input referred offset of 1st stage ( $\sigma_{Vos\_1st}$ )	5.5mV	5.5mV	5.5mV
Input referred offset of 2nd stage ( $\sigma_{Vos\_2nd}$ )	5mV	8mV	11mV

表 3.7 偏差電壓模擬結果比較

雖然第二級栓鎖器的部分，所提出之架構有較大的偏差電壓，但是我們已取得速度上的優點，且經過適當的電路技巧，仍可以將偏差電壓有效降低，避免造成太大的影響。



### 3.4 電路佈局和模擬結果

這製程使用 TSMC 65nm 1P9M 互補式金氧半製程。比較器布局如圖 3.30，布局時，考慮需要有嚴謹的對稱性及抗製程變異，第一級採用 common centroid layout，來降低第一級的偏差電壓，布局時嚴謹保持左右對稱性，避免造成布局時產生偏差電壓，重要訊號走高層金屬層以減少寄生電容及寄生電阻。輸入訊號從底下進入，輸出在頂部，避免不必要轉彎。

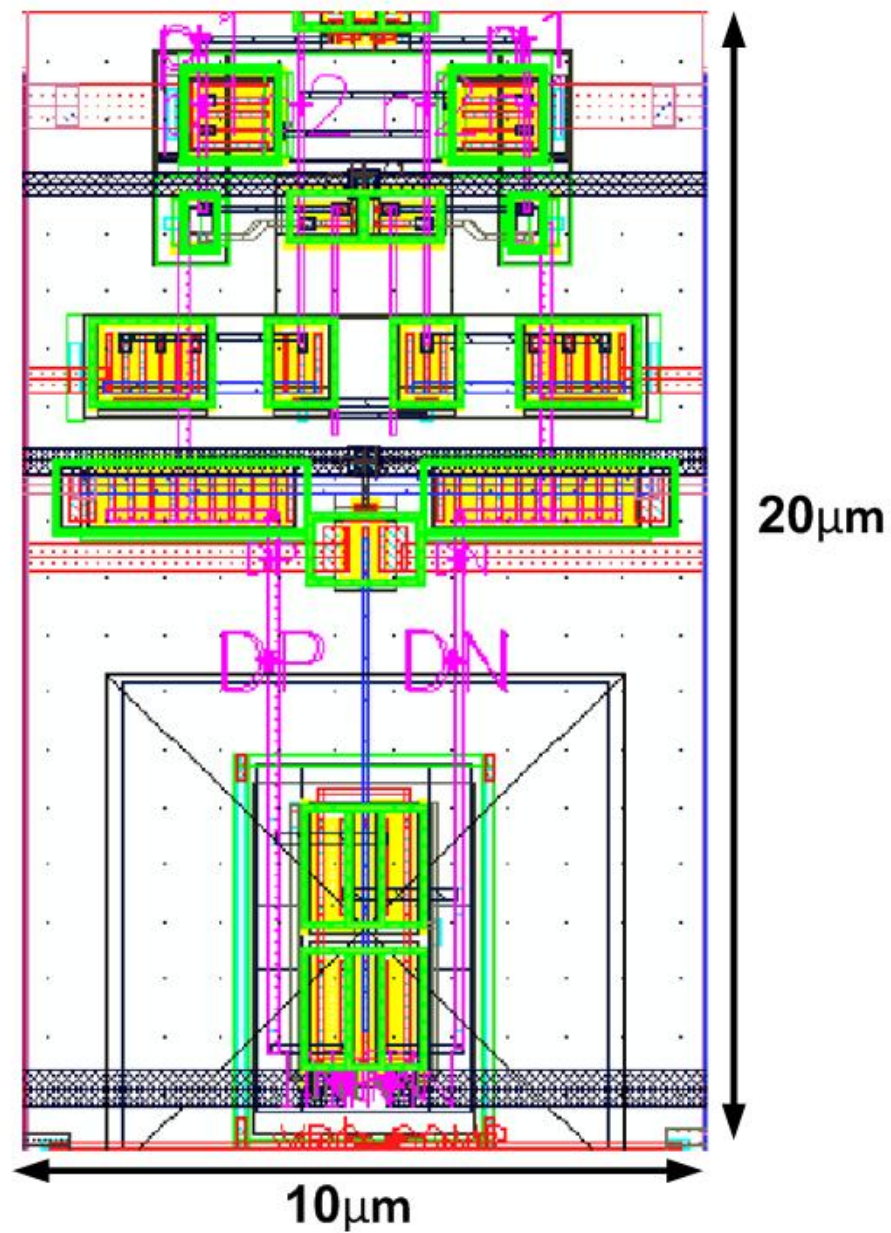


圖 3.30 比較器(I)布局圖

使用此製程中低臨界電壓電晶體，電晶體正常工作電壓為 1.2 伏特，此架構為低電壓設計操作，使用供給電壓為 0.6 伏特，其各個角落(corner)模擬結果如表 3.8。針對高壓也做了設計，僅需更改栓鎖器中 Ms3.Ms4 的尺寸，故在布局上幾乎一樣，使用供給電壓為 0.9 伏特，其各個角落(corner)模擬結果如表 3.9。

corner	Pre-simulation			Post-simulation		
	SS	TT	FF	SS	TT	FF
V <sub>dd</sub> (V)	0.6	0.6	0.6	0.6	0.6	0.6
CLK rate (GHz)	0.6	1.1	1.7	0.4	0.8	1.1
V <sub>icm</sub> (V)	0.6	0.6	0.6	0.6	0.6	0.6
V <sub>os</sub> -1 $\sigma$ (mV)	12	10	11	12	10	11
Noise-1 $\sigma$ (mV)	1.1	0.8	0.9	1	0.9	0.9
Energy/decision (fJ)*	30	34	44	35	42	55

表 3.8 新式比較器(I)低壓模擬結果列表

corner	Pre-simulation			Post-simulation		
	SS	TT	FF	SS	TT	FF
V <sub>dd</sub> (V)	0.9	0.9	0.9	0.9	0.9	0.9
CLK rate (GHz)	3.5	4	4.6	2.5	3	3.2
V <sub>icm</sub> (V)	0.9	0.9	0.9	0.9	0.9	0.9
V <sub>os</sub> -1 $\sigma$ (mV)	12	10	10	12	10	10
Noise-1 $\sigma$ (mV)	1.1	0.8	0.9	1	1	1
Energy/decision (fJ)*	89	107	129	104	122	146

表 3.9 新式比較器(I)高壓模擬結果列表

\*操作在輸入為 1mV 時



## 4.2 新式低供給電壓栓鎖器(II)分析及設計

### 4.2.1 栓鎖器電路概念與架構

在[1][2]中，明顯的可以看出栓鎖器操作仰賴於 N 型電晶體，當 N 型電晶體(圖 4.1 中紅色箭頭路徑)決定趨勢後，才使 P 型電晶體擁有正回授功能(圖 4.1 中藍色箭頭路徑)，但若 N 型電晶體決定錯方向或 P 型電晶體本身的偏差電壓或雜訊，甚至在重置時沒有電壓沒有重置好，都會造成不良的影響。

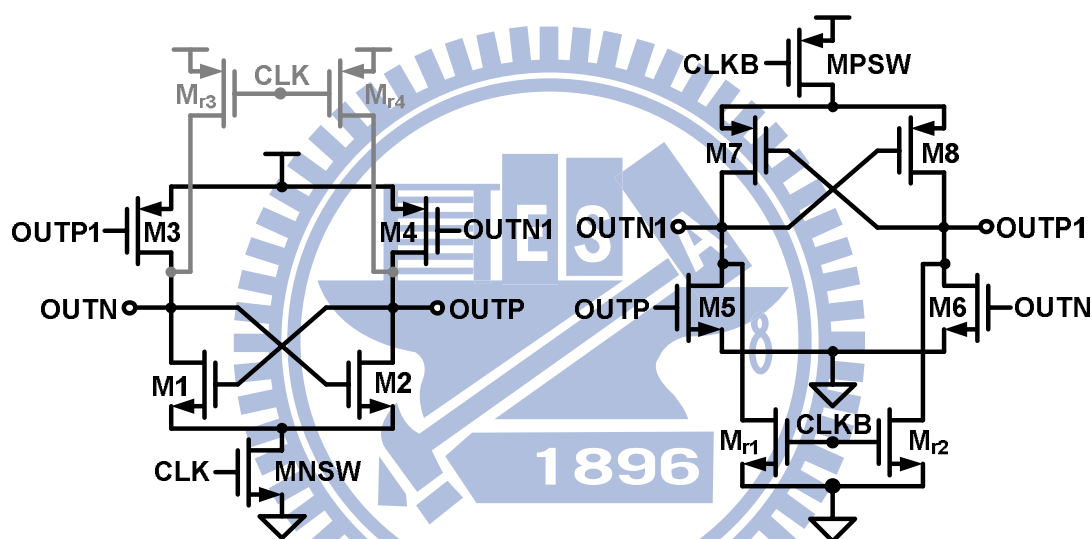


圖 4.2 新式低供給電壓栓鎖器(II)

圖 4.2，為所提出新式低供給電壓栓鎖器(II)，此架構中，像是兩個栓鎖器互相結合再一起，但是又不能分開，兩個之間有強烈的回授使之互相影響，實際上仍是一完整的栓鎖器，而所有的電晶體都擁有正回授的功能，而重置電晶體，可以讓兩組都加，也可以只加其中一組，因為可以看到，當 OUTP.OUTN 先被重置到供給電壓時，OUTP1.OUTN1 會因 M5.M6 導通重置到零電壓，若 OUTP1.OUTN1 先被重置到零電壓時，OUTP.OUTN 會因 M3.M4 導通重置到供給電壓，如同上一個架構之考量，使用 N 型電晶體做重置減少寄生電容，且應用成比較器時，也可當作訊號的輸入用電晶體。

此架構是如何使電晶體都擁有正回授的功能的?如圖 4.3 所示，當訊號使 OUTP 往高電壓充電，因 M1.M2 為傳統 N 型栓鎖器，所以 OUTN 會往低電壓放電，可以看到，M5.M6 的閘極，分別對應到 OUTP.OUTN，會使 OUTP1 放電變慢，OUTN1 放電變快，充放電方向與 OUTP.OUTN 相同，而 M7.M8 為傳

統 P 型栓鎖器，感應到  $OUTP1.OUTN1$  的變化會因正回授而使  $OUTP1$  更快往上充電，使  $OUTN1$  充電變慢，所以綜合以上， $OUTP.OUTP1$  都因  $M2.M6$  要被關閉而放電變慢， $M4.M8$  導通而使  $OUTP.OUTP1$  快速充電到供給電壓，同時驅使  $OUTN.OUTN1$  往反方向動作，為正回授操作之特性，故所有電晶體都擁有正回授的功能，且是互相影響的，既可自我執行正回授也與另一級互相影響加速操作，因此將此架構稱為 "Cross-Coupled Latches"。

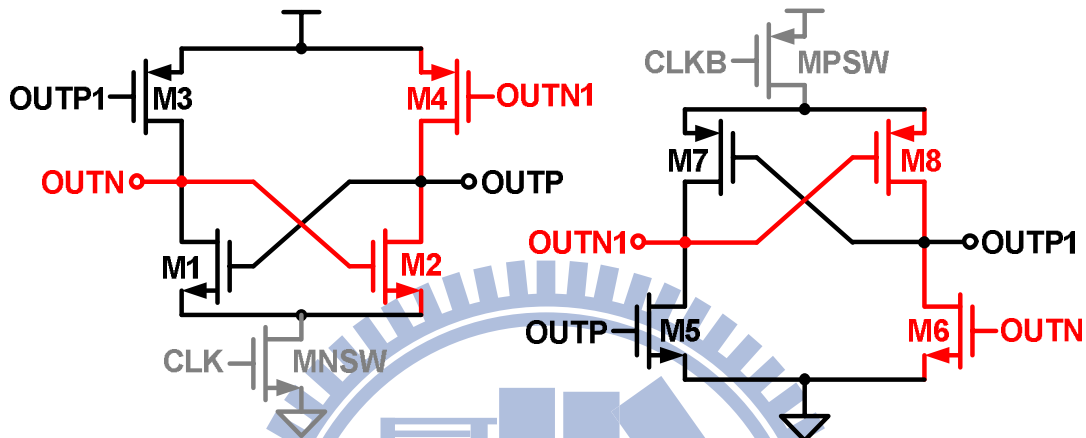


圖 4.3 正回授操作關係

因了解了其操作都具正回授特性，故此時考慮其過驅動電壓狀態，從重置相位到比較相位， $OUTP.OUTN$  從供給電壓開始下降， $OUTP1.OUTN1$  從零電壓開始上升，所有電晶體都從最大的  $|V_{gs}|$  開始減少，如果使電壓穩態時， $OUTP.OUTN$  偏壓在高電位， $OUTP1.OUTN1$  偏壓在低電位，可以電晶體保持很大的轉導已提升速度。

#### 4.2.2 栓鎖器電路架構與直流特性

如同傳統架構，我們觀察其直流操作，先忽略重置用電晶體 ( $M_{r1}.M_{r2}$ )，進入比較相位初期，因  $MNSW.MPSW$  導通，N-type 中 (因  $M1.M2$  為傳統 N 型栓鎖器故稱 N-type，另一則稱為 P-type)  $M1.M2$  剛開始導通會對  $OUTP.OUTN$  放電，但放電能力由弱變強，但  $M3.M4$  從深三極體區往飽和區偏壓，對  $OUTP.OUTN$  充電由強變弱，會造成電壓下降但不會降得很快，反之 P-type 中  $OUTP1.OUTN1$  電壓會上升但也不會升得很快。

圖 4.4 為直流等效半電路，可以看到因  $MNSW.MPSW$  的影響，所以需考慮他們造成的電壓差的影響。列出各個電晶體閘極電壓的關係式，公式 4.1~4.4

可以看到 N 型及 P 型電晶體可用的  $V_{gs}$  等於一個供給電壓扣掉一個  $V_{ds}$ ，或者需多扣開關造成的跨壓，但所有的 N 型及 P 型之間不會有互相搶奪電壓的現象發生，比起傳統架構，故此架構擁有較大的  $V_{gs}$  電壓範圍，且電晶體都具有很強的正回授增益。

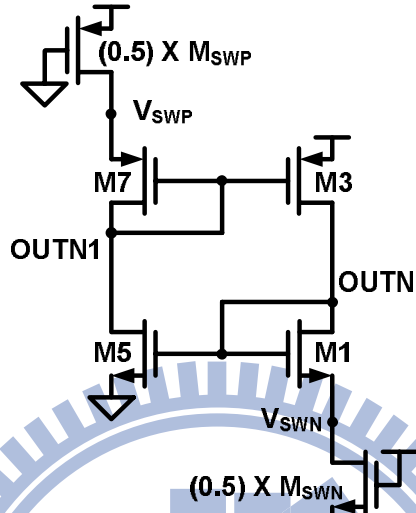


圖 4.4 新式低供給電壓栓鎖器直流等效半電路

$$V_{GSN1} = V_{dd} - V_{SWN} - V_{SDP3} \quad (\text{公式 4.1})$$

$$V_{GSN5} = V_{dd} - V_{SDP3} \quad (\text{公式 4.2})$$

$$V_{SGP7} = V_{SWP} - V_{DSN5} \quad (\text{公式 4.3})$$

$$V_{SGP3} = V_{dd} - V_{DSN5} \quad (\text{公式 4.4})$$

因為  $M_{NSW}.M_{PSW}$  的影響，使 N 型及 P 型電晶體會不同  $|V_{gs}|$  電壓範圍，而且明顯可以知道， $M_{NSW}.M_{PSW}$  也會影響電路偏壓，故這裡固定使  $M_{NSW}$  為 2 倍的  $M_2$ ， $M_{PSW}$  的尺寸為 2 倍的  $M_7$ ，使  $M_{NSW}.M_{PSW}$  在操作時有較小的  $|V_{ds}|$  跨壓。

將此架構應用成比較器，稍微觀察輸出特性是否如預期，訊號方式因之前介紹可知兩組栓鎖器有很強的回授關係，採兩組輸入到栓鎖器，應會對栓鎖器有較好的影響，架構如圖 4.5，N-type 與 P-type 尺寸一樣，訊號進入用電晶體  $M_9 \sim M_{13}$  尺寸為此製程最小尺寸，約為  $M_1.M_2.M_5.M_6$  的 10%，對偏壓的影響降到最低，圖 4.6 為模擬輸出圖 ( $CLK=500MHz, V_{dd}=V_{icm}=0.6V, V_{in}=1mV$ )。

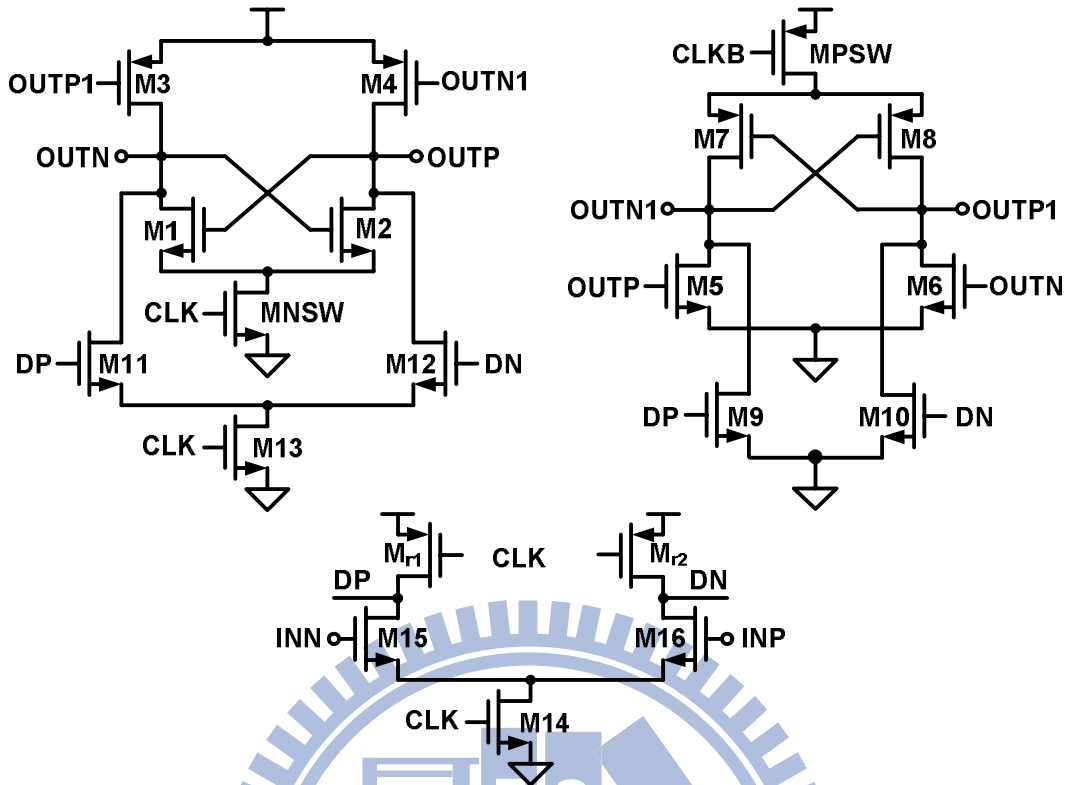


圖 4.5 新式低供給電壓栓鎖器形成之比較器

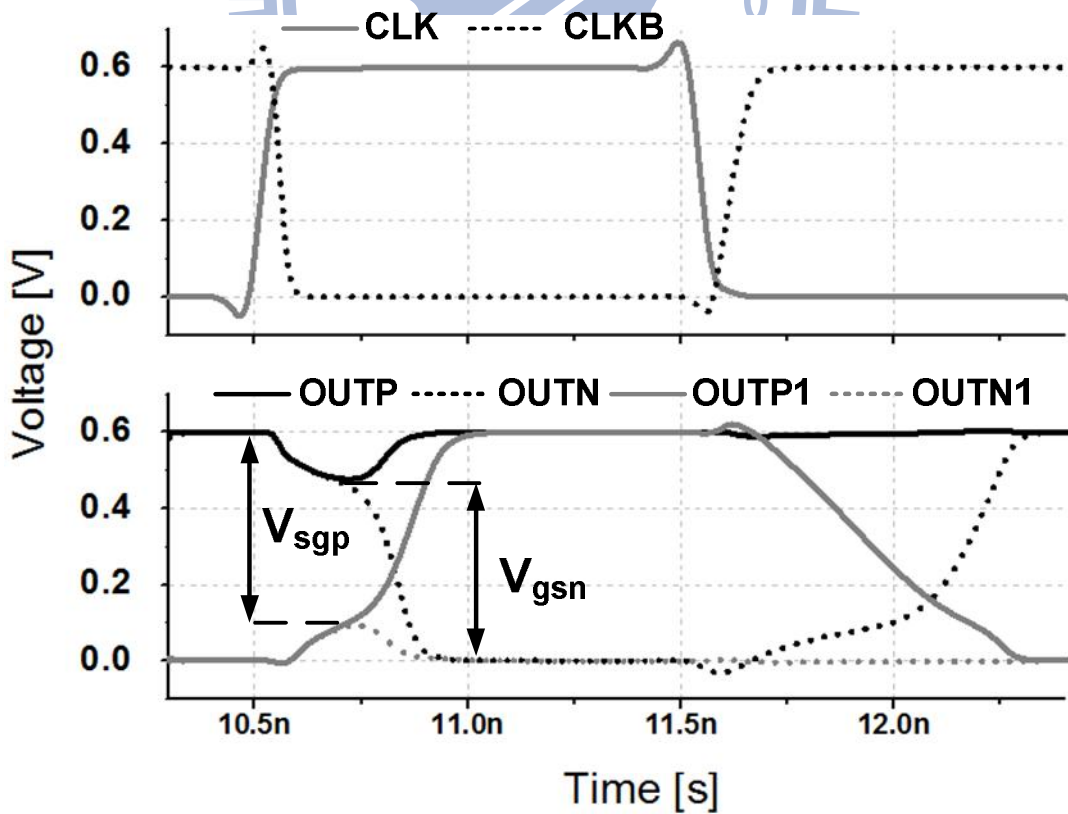


圖 4.6 新式低供給電壓比較器輸出波形圖



從圖 4.6 中，栓鎖器的輸出電壓變化，OUTP.OUTN 從供給電壓開始緩慢下降，OUTP1.OUTN1 從零電壓開始緩慢上升，逐漸到一穩定電壓，並使所有電晶體都保持足夠過驅動電壓，擁有很大的轉導，使栓鎖器可以很快的拉開。而此架構的兩組輸出對，都可以被拉開到全振幅輸出，可以依選擇做輸出應用。

擁有的兩組全振幅輸出對，但是很明顯的可以看到，OUTP.OUTN 所看到的寄生電容主要是由 N 型電晶體提供，而 OUTP1.OUTN1 所看到的寄生電容是由 P 型電晶體提供，既然兩組輸出是息息相關的，若其中一級速度太慢自然會影響另一級的速度，因此如何決定兩級之間的尺寸關係，除了偏壓點的考量之外，兩級之間的平衡也是需要多加注意的。

### 4.2.3 栓鎖器電路暫態分析及直流分析

為了有效設計此電路，需知各個電晶體所擔任的角色，推導其在暫態時的關係可以有效得來幫助設計，如同[6]之過程，在比較相位(comparison phase)時將其分成不同階段來看，圖 4.7:

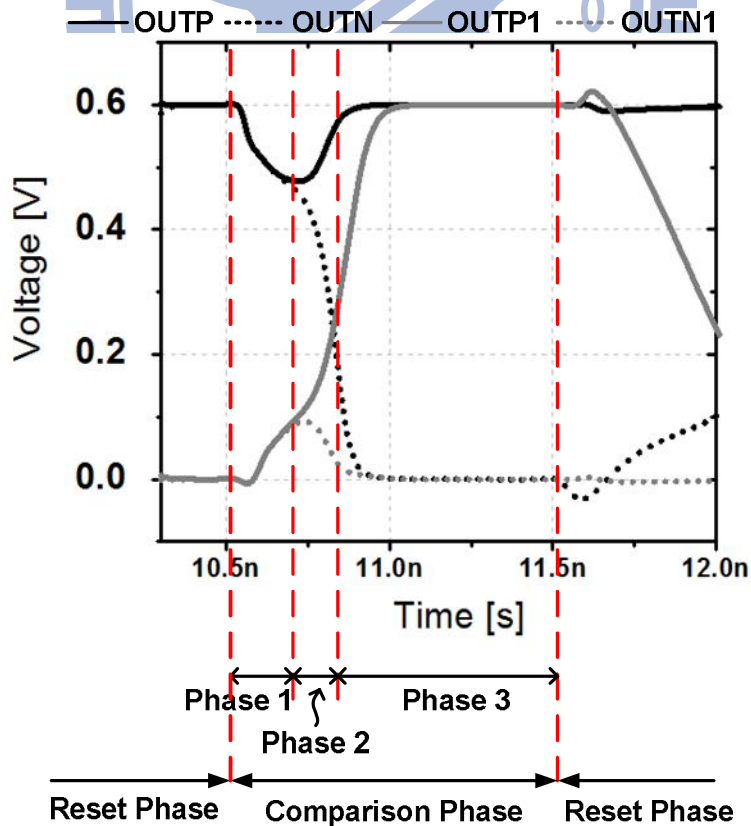


圖 4.7 低供給電壓栓鎖器時序圖

階段一 (Phase 1) :

M1.M2.M7.M8 保持在飽和區，M3.M4.M5.M6 從深三極體區開始往飽和區做偏壓，當 OUTP.OUTN 達到一穩態高電壓，OUTP1.OUTN1 達到一穩態低電壓，進入到階段二。

圖 4.8 及 4.9 為此階段之電流關係，忽略其電流，此階段訊號已開始進入到栓鎖器中但差動輸出極小，可看成共模(common mode)操作，OUTP.OUTN 從供給電壓下降到一穩定電壓值  $V_x$ ，OUTP1.OUTN1 從零電壓上升到一穩定電壓值  $V_y$ ，此時因電壓未達穩態，所以  $I_n \neq I_p$ ， $I_{n1} \neq I_{p1}$ 。達穩態時，M3.M4.M5.M6 若進入飽和區則有較大增益，但若無法進入飽和區操作，則要讓其遠離深三極體區操作，避免因電阻太大而減弱了 M1.M2.M7.M8 在飽和區所貢獻的增益，下面將會討論其可能的偏壓到的穩態電壓及操作區間。

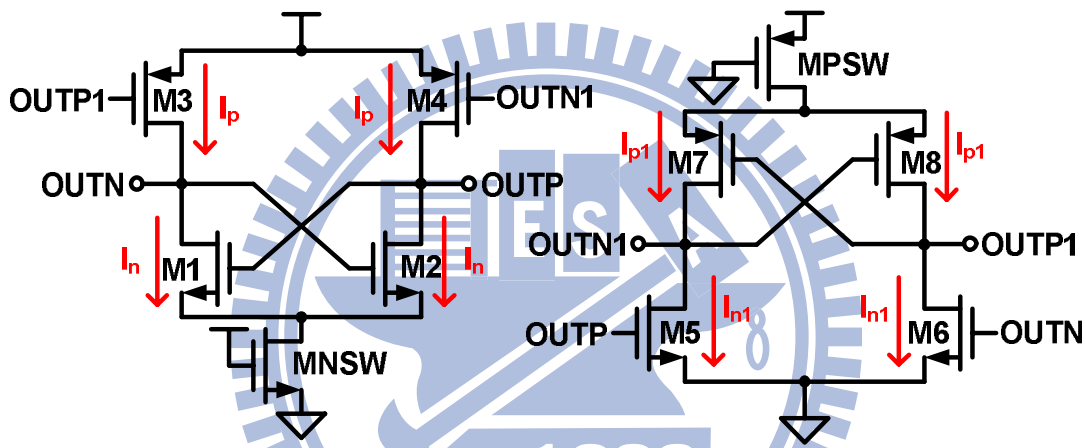


圖 4.8 階段一(Phase 1)電流關係圖

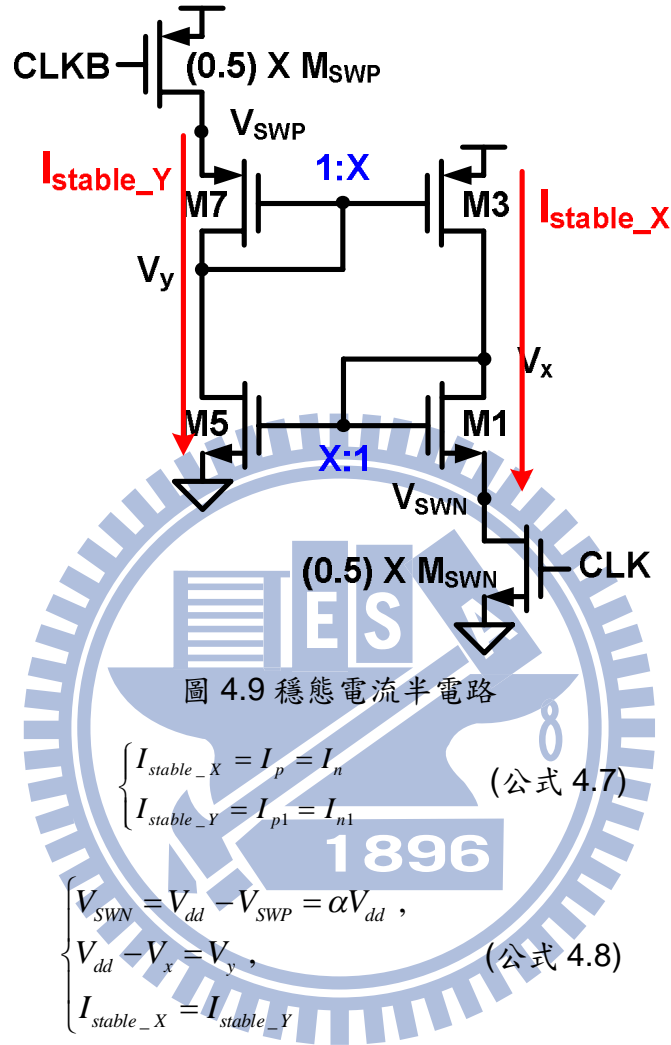
$$t_{0\_OUT} = \frac{C_{OUT} \cdot (V_{dd} - V_x)}{I_{n\_ave} - I_{p\_ave}} \quad (\text{公式 4.5})$$

$$t_{0\_OUT1} = \frac{C_{OUT1} \cdot V_y}{I_{p1\_ave} - I_{n1\_ave}} \quad (\text{公式 4.6})$$

因  $I_n$ .  $I_p$ .  $I_{n1}$ .  $I_{p1}$  會隨電壓改變而變化，但電壓變化近似一斜直線，公式 4.5 級 4.6 中  $I_{n\_ave}$ .  $I_{p\_ave}$ .  $I_{n1\_ave}$ .  $I_{p1\_ave}$  條件是 OUTP.OUTN 電壓為  $V_{x\_mid} = 0.5 \times (V_{dd} + V_x)$ ，OUTP1.OUTN1 電壓為  $V_{y\_mid} = 0.5 \times (V_y)$ ，用此時的電壓條件，將此時電流視作為平均值。 $t_{0\_OUT}$  與  $t_{0\_OUT1}$  為分別對應 OUTP.OUTN 與 OUTP1.OUTN1 達到穩定電壓的時間，因充放電流的不同及對應到不同的雜散電容，會有些許時間差，取較大值為階段一所需時間。達到穩態時，電流關係如圖 4.9 所示。

達穩態電壓時，電流會相等，如公式 4.7，此時觀察電壓對操作區間的影響，需先做一些假設以利分析，假設此製程之 P 型及 N 型電晶體的通道長度調變效應係數相同，在這裡討論過驅動電壓的關係，栓鎖器 P 型及 N 型電晶體由尺寸

的調整而只剩過驅動電壓的關係，而兩級間的比例，如圖 4.9 所示，N-type 栓鎖器中的 P 型電晶體與 P-type 栓鎖器中的 P 型電晶體尺寸比例為(1:X)，N-type 栓鎖器中的 N 型電晶體與 P-type 栓鎖器中的 N 型電晶體尺寸比例自然也為(1:X)



經過如此假設之後，可以得到此假設下各個電壓的關係式，如公式 4.8，且希望電晶體都操作在飽和區，則可得到電流關係，列出公式 4.9，則可得到 X 的等式。M3.M5 在飽和區操作，則 X 的關係式則可以得到如公式 4.10 所示，

$$\begin{cases} I_{stable\_X} = K_{P3} (V_{dd} - V_y - |V_{thp}|)^2 \cdot \left(1 + \frac{V_{dd} - V_x}{V_{AP}}\right) = K_{N1} (V_x - V_{SWN} - V_{thn})^2 \cdot \left(1 + \frac{V_x - V_{SWN}}{V_{AN}}\right) \\ I_{stable\_Y} = K_{P7} (V_{SWP} - V_y - |V_{thp}|)^2 \cdot \left(1 + \frac{V_{SWP} - V_y}{V_{AP}}\right) = K_{N5} (V_x - V_{thn})^2 \cdot \left(1 + \frac{V_y}{V_{AN}}\right) \end{cases} \quad (\text{公式 4.9})$$

$$X = \frac{(V_x - V_{th})^2 \cdot \left(1 + \frac{V_{dd} - V_x}{V_A}\right)}{(V_{dd} - \alpha V_{dd} - V_y - V_{th})^2 \cdot \left(1 + \frac{V_{dd} - \alpha V_{dd} - V_y}{V_A}\right)} \quad (\text{公式 4.10})$$

將此結果與模擬結果做比較，式子以  $\alpha$  為 10% 的供給電壓得到以下結果，公式 4.13(a)，供給電壓為 0.6 伏特 (TT corner)，將模擬結果與所求之公式之比較，(b) 供給電壓為 0.6 伏特下，不同角落模擬

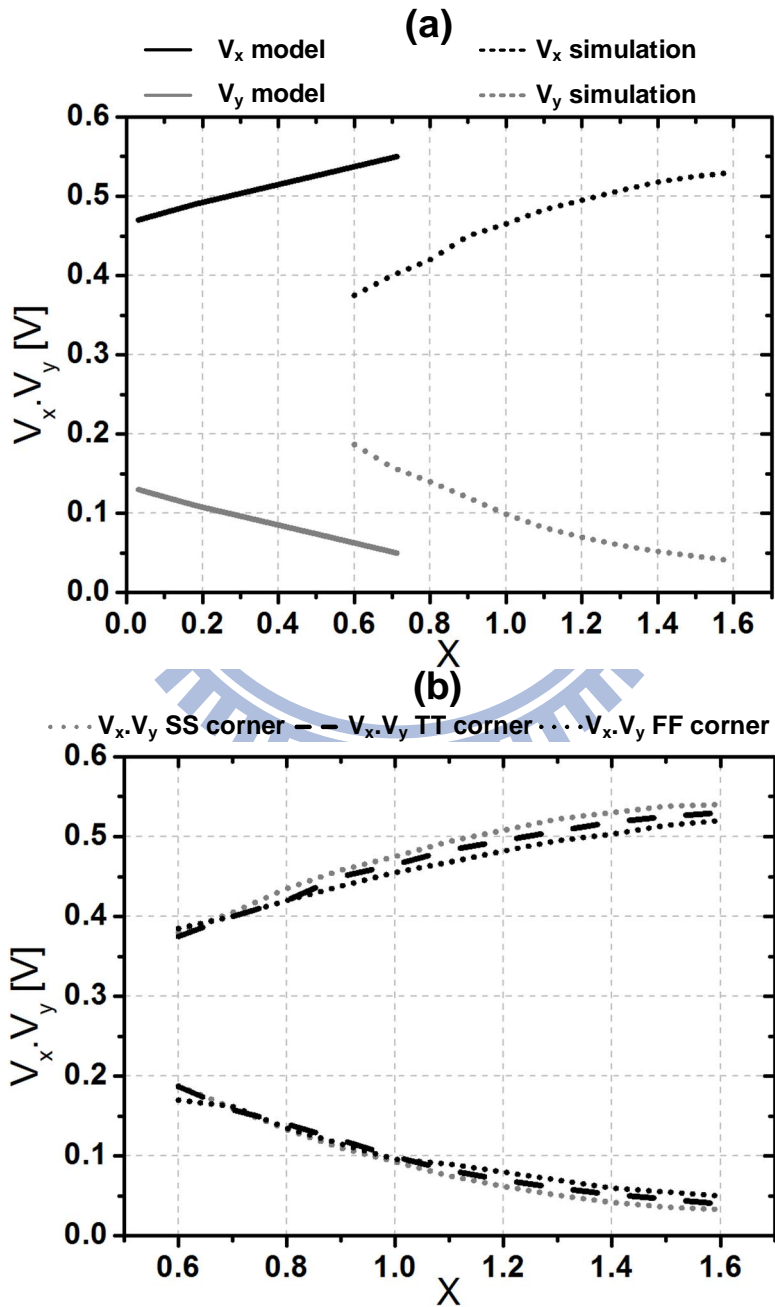


圖 4.10(a)(b)  $V_{dd}=0.6V$ ,  $X$  對  $V_x, V_y$  關係圖

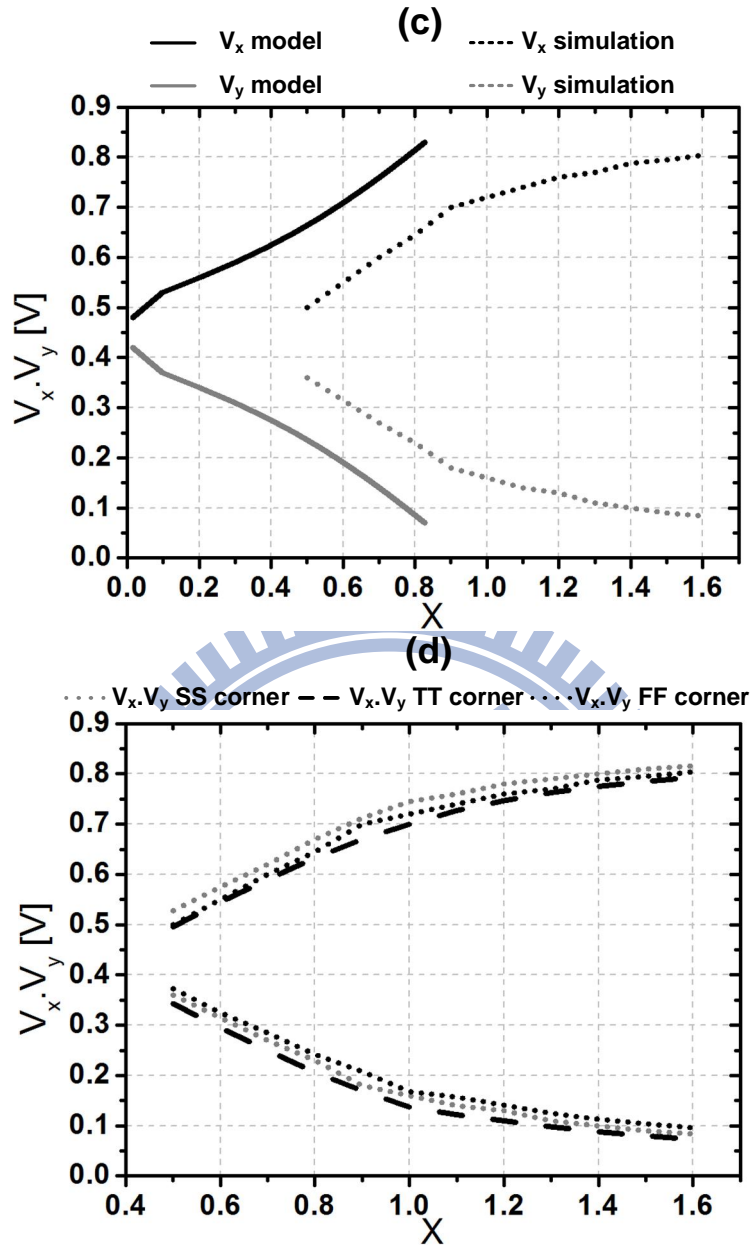


圖 4.10(c)(d)  $V_{dd}=0.9V$ ,  $X$  對  $V_x, V_y$  關係圖

雖然有誤差，但是仍可觀察  $X$  對  $V_x, V_y$  的趨勢，從模擬結果，若要可以大範圍的供給電壓都可以操作，供給電壓為 0.6 伏特時， $X$  介於 0.8~1.1 之間，可使電晶體都操作在飽和區，供給電壓為 0.9 伏特時， $X$  介於 0.7~0.8 之間，可使電晶體都操作在飽和區，實際模擬在比較器中的影響，圖 4.11 中，在低電壓時， $X$  越小， $V_x$  越小，M1.M7 轉導越小，當  $X$  變大時，轉導增加，但是超過 1.1 時，M3.M5 操作離飽和區較遠，降低了 M1.M7 的增益，高電壓時， $X$  越小，M3.M5 操作離飽和區越近，提供越大增益，反之則降低 M1.M7 的增益。如果要在大範圍供給電壓下操作，高壓的表現無法達到最佳化但僅增加些許延遲，在考慮低供給電壓下有較好表現的話，會選擇  $X=1$  做設計，高壓也有不錯表現，也為此次

設計所選之關係。

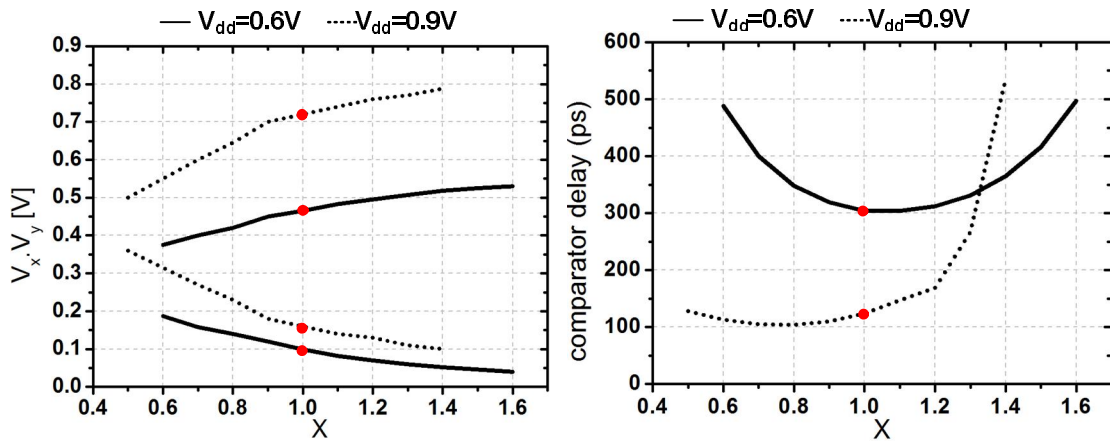


圖 4.11 X 對比較器延遲時間關係圖

階段二 (Phase 2) :

M1.M2.M7.M8 保持在飽和區，M3.M4.M5.M6 在飽和區操作，這段時間，此時是比較相位的正回授最強也是最重要的階段，而輸出快速拉開，而 M1~M8 將逐漸關閉或偏壓到深三極體區。因 OUTP.OUTN 所看到的節點電容較小，所以 OUTP.OUTN 得拉開速度會比 OUTP1.OUTN1 稍微快一點，所以 M1.M2.M5.M6 會比較早關閉，而 M1.M2 的  $|V_{gs}|$  又比 M5.M6 稍微要小，故當 M1.M2 其中一個電晶體的  $|V_{gs}|$  小於臨界電壓時，階段二結束。

此階段電晶體都操作在飽和區，差動輸出很小可當成小訊號，且直流偏壓條件相近，故可將電路等效成如圖 4.12，可得到電流關係式，公式 4.11 及 4.12，其中

$g_{mp7}, g_{mn1}$  分別為 M7.M8 與 M1.M2 的轉導，

$g_{mp3}, g_{mn5}$  分別為 M3.M4 與 M5.M6 的轉導，

$g_{on}, g_{on1}$  分別為 OUTP.OUTN 與 OUTP1.OUTN1 所看到等效小訊號電阻的倒數，( $g_o = g_{op3} + g_{on1}$ ， $g_{o1} = g_{op7} + g_{on5}$ )

$C_L, C_{L1}$  為分別 OUTP.OUTN 與 OUTP1.OUTN1 所看到的等效對地電容

( $C_L = C_{gsn1} + C_{gsn5}$ ， $C_{L1} = C_{gsp3} + C_{gsp7}$ )，

$C_{gd}$  為栓鎖器中 P 型與 N 型電晶體中  $C_{gd}$  的大小

$V_{OUT} = V_{OUTP} - V_{OUTN}$ ， $V_{OUT1} = V_{OUTP1} - V_{OUTN1}$

列出  $i_1$  與  $i_2$  的關係式，可以知道  $i_1 = i_2$ ，繼續簡化公式，延續穩態直流分析時的假設， $g_{mp7} = g_{mn1}$ ， $g_{mp3} = g_{mn5}$ ， $g_{on} = g_{on1}$ ，可得到公式 4.13 及公式 4.14

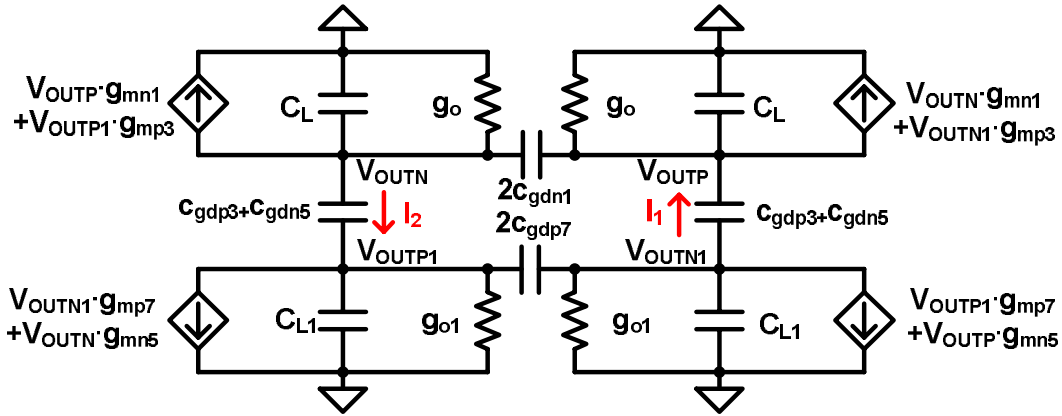


圖 4.12 階段二等效電路

$$\begin{aligned}
 i_1 &= (V_{OUTN} g_{mn1} + V_{OUTN1} g_{mp3}) + (c_L + 4 \cdot c_{gdn1}) \frac{dV_{OUTP}}{dt} + V_{OUTP} \cdot g_o \\
 &= (c_{gdp3} + c_{gdn5}) \frac{d(V_{OUTN1} - V_{OUTP})}{dt} = \frac{-1}{2} (c_{gdp3} + c_{gdn5}) \frac{d(V_{OUT1} + V_{OUT})}{dt} \quad (\text{公式 4.11})
 \end{aligned}$$

$$\begin{aligned}
 &= - \left[ (V_{OUTP1} g_{mp7} + V_{OUTP} g_{mn5}) + (c_{L1} + 4 \cdot c_{gdp7}) \frac{dV_{OUTN1}}{dt} + V_{OUTN1} \cdot g_{o1} \right] \\
 i_2 &= - \left[ (V_{OUTP} g_{mn1} + V_{OUTP1} g_{mp3}) + (c_L + 4 \cdot c_{gdn1}) \frac{dV_{OUTN}}{dt} + V_{OUTN} \cdot g_o \right] \\
 &= (c_{gdp3} + c_{gdn5}) \frac{d(V_{OUTN} - V_{OUTP1})}{dt} = \frac{-1}{2} (c_{gdp3} + c_{gdn5}) \frac{d(V_{OUT1} + V_{OUT})}{dt} \quad (\text{公式 4.12})
 \end{aligned}$$

$$\begin{aligned}
 &= (V_{OUTN1} g_{mp7} + V_{OUTN} g_{mn5}) + (c_{L1} + 4 \cdot c_{gdp7}) \frac{dV_{OUTP1}}{dt} + V_{OUTP1} \cdot g_{o1} \\
 \left\{ \begin{aligned}
 &V_{OUT} \cdot (g_{mn1} - g_o) + V_{OUT1} g_{mp3} - (c_{gdp3} + c_{gdn5}) \frac{d(V_{OUT1} + V_{OUT})}{dt} = (c_L + 4 \cdot c_{gdn1}) \frac{dV_{OUT}}{dt} \\
 &V_{OUT1} \cdot (g_{mn1} - g_o) + V_{OUT} g_{mp3} - (c_{gdp3} + c_{gdn5}) \frac{d(V_{OUT1} + V_{OUT})}{dt} = (c_{L1} + 4 \cdot c_{gdp7}) \frac{dV_{OUT1}}{dt}
 \end{aligned} \right. \\
 & \quad (\text{公式 4.13})
 \end{aligned}$$

$$\begin{aligned}
 &(V_{OUT} + V_{OUT1}) \cdot (g_{mn1} + g_{mp3} - g_o) \\
 &= \frac{d(V_{OUT1} \cdot (c_{L1} + 4 \cdot c_{gdp7} + 2c_{gdp3} + 2c_{gdn5}) + V_{OUT} \cdot (c_L + 4 \cdot c_{gdn1} + 2c_{gdp3} + 2c_{gdn5}))}{dt} \\
 & \quad (\text{公式 4.14})
 \end{aligned}$$

對照傳統架構公式 2.3 中，從公式 4.14 可以知道此新式栓鎖器的  $V_{OUT}$  差動輸出的速度由  $(g_{mn1} + g_{mp3} - g_o)$  對  $(c_L + 4 \cdot c_{gdn1} + 2(c_{gdp3} + c_{gdn5}))$  充放電所決定， $V_{OUT1}$  差動輸出的速度由  $(g_{mn1} + g_{mp3} - g_o)$  對  $(c_{L1} + 4 \cdot c_{gdp7} + 2(c_{gdp3} + c_{gdn5}))$  充放電所決定。 $V_{OUT}$  與  $V_{OUT1}$  此兩組輸出無法獨立分開看，是相關的，且看到不同雜散電容對

兩組輸出影響會不一樣，此問題在設計時需包含後面電路一起考慮。

所以此架構與傳統架構一樣需要有較大的轉導能力及較小的雜散電容，轉導由M1~M8及偏壓電壓所決定，所以M3.M4.M5.M6操作在飽和區有較大的增益。偏壓電壓由電晶體之間尺寸的比例所決定，故在已知負載電容之下，電晶體尺寸的關係就可知道，再考慮偏差電壓的大小及雜訊的影響，可以決定栓鎖器的尺寸。

### 階段三 (Phase 3) :

與前一架構相同，此階段已較不重要。M1~M8繼續將輸出拉開直到全振幅輸出，此時已無靜態電流，故無靜態功率消耗。

### 重置相位(Reset Phase)

與前一架構相同。若P型電晶體做重置(如圖 4.13)時需用比N型更大的面積換速度，造成比較相位時OUTP.OUTN看到更多的雜散電容。故使用N型電晶體做重置也做為訊號的路徑，較省面積及較少的雜散電容。

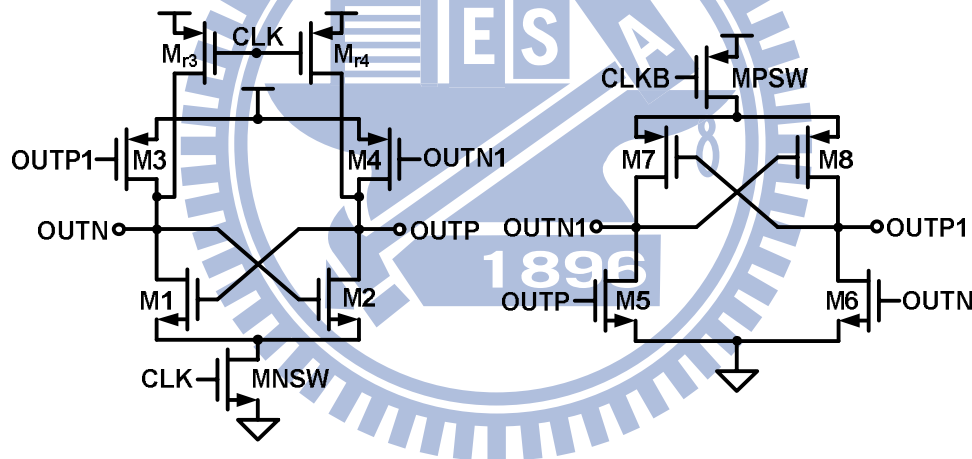


圖 4.13 新式低供給電壓栓鎖器-P型電晶體做重置

## 4.2.4 新式栓鎖器電路總結- Cross-Coupled Latches

經過直流及暫態的分析後，知道此電路的優點，而在設計上需注意的事與前一架構設計觀念一致。

優點:

1. 栓鎖器有足夠的過驅動電壓，可高速操作。
2. 有兩組全振幅輸出，可依需要選擇其中一組做輸出或兩組都做輸出。
3. 可在大範圍供給電壓下操作。



### 4.3 新式低供給電壓比較器(II)分析及設計

之前已介紹過第一級的設計，設計概念相通，故接下來著重在如何連接第一級及栓鎖器。在前面已有提到兩個栓鎖器之間有很強的回授關係，故傾向於使兩個栓鎖器都接收到輸入訊號。

但若只使用一組訊號輸入，則可分為兩種方式，分別從  $OUTP.OUTN$  及  $OUTP1.OUTN1$  進入，分別為圖 4.14 及圖 4.15，訊號從  $OUTP.OUTN$  進入有一缺點，需要多一組重置用電晶體，增加雜散電容，而從  $OUTP1.OUTN1$  進入則不需要重置用電晶體，訊號用電晶體同時可以用來重置栓鎖器，而兩種架構  $M9.M10$  尺寸相等，原因在於  $DP.DN$  與  $CLKB$  都為  $CLK$  經過一次反向器的訊號，上升條件相似，而  $M11.M12$  是訊號用電晶體，為了使兩個架構在增益條件上相近， $M11.M12$  尺寸跟  $M9.M10$  一樣，但可調整  $M13$  使增益得到最有效利用。第一級都為相同設計，表 4.1 為速度與功率上的比較結果 ( $CLK=0.8GHz, V_{dd}=V_{icm}=0.6V, V_{in}=1mV$ )  
 $(\Delta V_{OUT} = |V_{OUTP} - V_{OUTN}|, \Delta V_{OUT1} = |V_{OUTP1} - V_{OUTN1}|)$

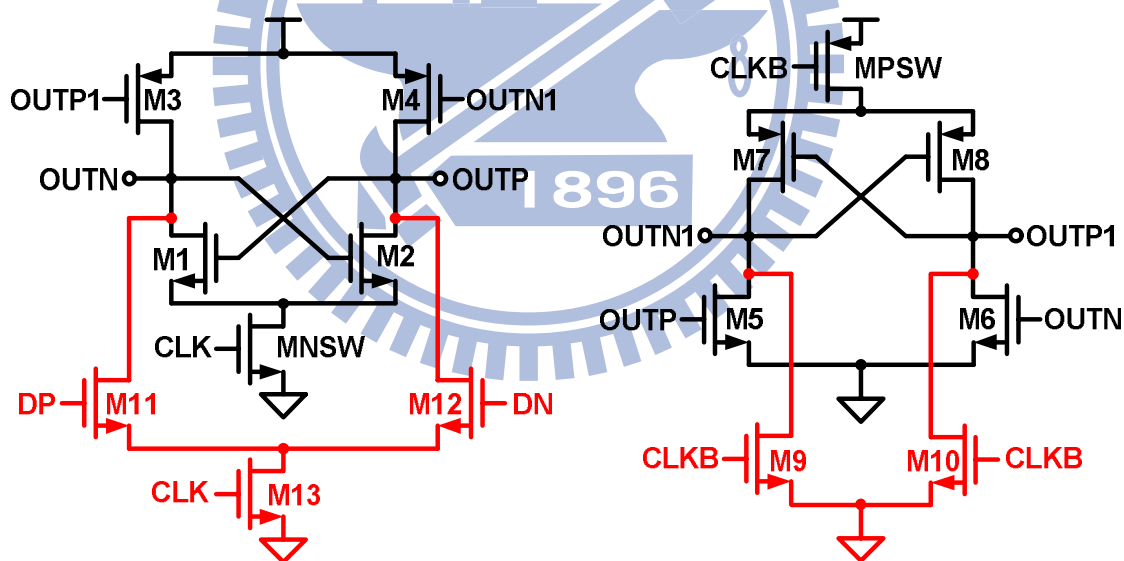


圖 4.14 使用  $OUTP.OUTN$  當輸入點-架構一

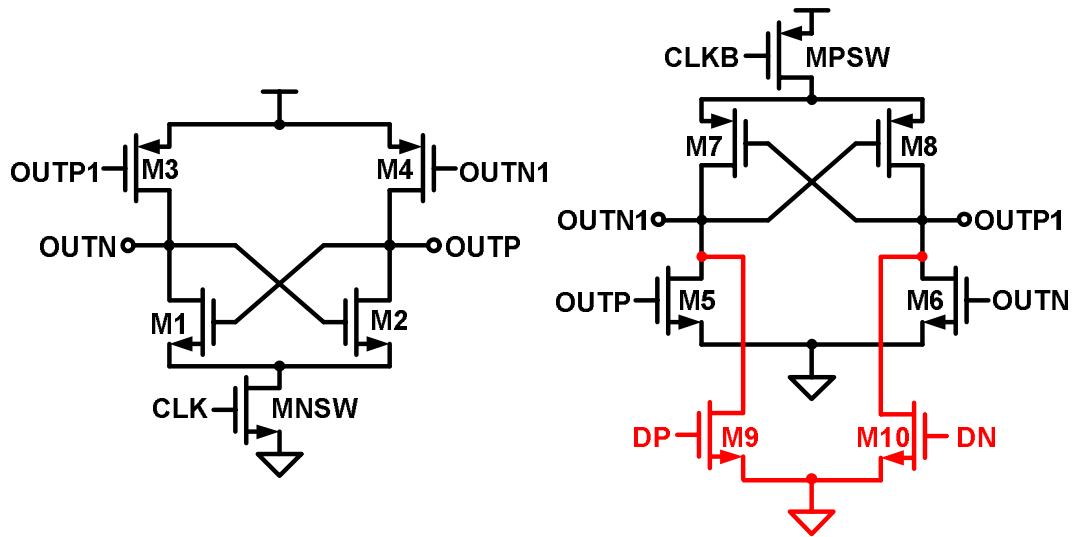


圖 4.15 使用 OUTP1.OUTN1 當輸入點-架構二

	架構一	架構二
比較器延遲時間 1( $\Delta V_{OUT}=300mV$ )	504ps	362ps
比較器延遲時間 2( $\Delta V_{OUT1}=300mV$ )	534ps	410ps
功率消耗	39 $\mu$ W	46 $\mu$ W

表 4.1 架構一與架構二比較表

雖然使用架構一在增益上可以更有效利用，但是由於雜散電容增加造成速度的衰減，架構二則過度造成 OUTP1.OUTN1 與 OUTP.OUTN 電容的不平等，使兩組輸出的延遲時間相差更大。若使用兩組栓鎖器都有訊號的輸入方式，雖然雜散電容增加但是訊號經過更大增益進入栓鎖器。只需將架構一中 CLKB 由 DP.DN 取代，則形成圖 4.16 之架構。

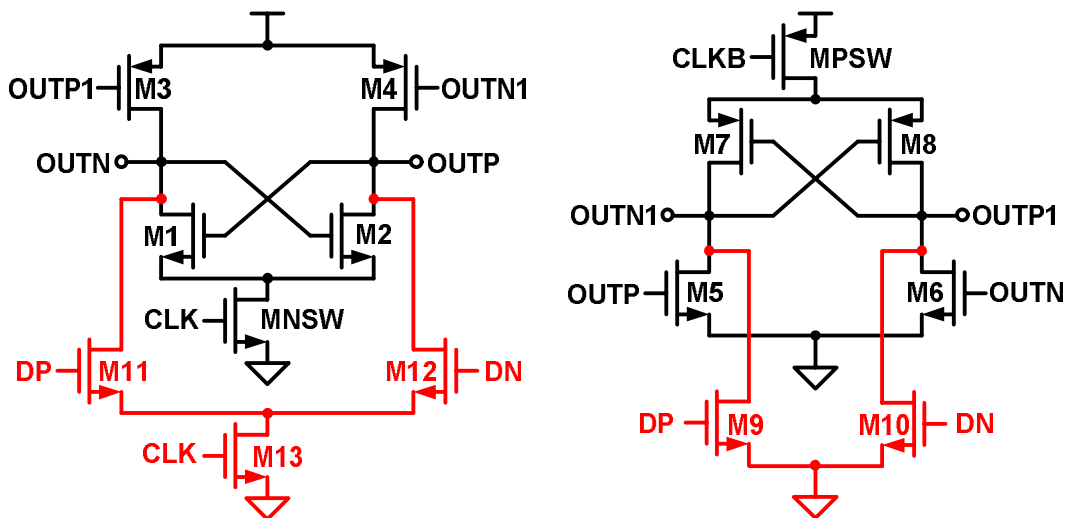


圖 4.16 使用兩組輸入進入栓鎖器-架構三

	架構二	架構三
比較器延遲時間 1( $\Delta V_{OUT}=300mV$ )	362ps	322ps
比較器延遲時間 2( $\Delta V_{OUT1}=300mV$ )	410ps	361ps
功率消耗	46 $\mu$ W	47 $\mu$ W

表 4.2 架構二與架構三比較表

僅改善訊號進入到栓鎖器的方式，使之更有效進入栓鎖器之中，速度就已得到些微改善，，可以預見的，在偏差電壓上應也會有改善。表 4.3 為比較結果。

	架構二	架構三
偏差電壓 $V_{os}(1\sigma)$	22mV	10mV

表 4.3 架構二與架構三比較表

因此比較器的設計，採用架構三，有較好的訊號進入到栓鎖器中，擁有更好的速度、偏差電壓及雜訊的表現，而兩組輸出的雜散電容不匹配的問題，由模擬結果可以看到不匹配的程度不嚴重，延遲時間僅相差約 40ps，這部分可以在布局時或後面電路加以改善。

圖 4.17 為最終比較器架構，圖 4.18 之模擬結果，CLK 速度為 1.3GHz，各個節點的特性也如之前所提到的，在低電壓下保持大的轉導，使電路能在高速操作。

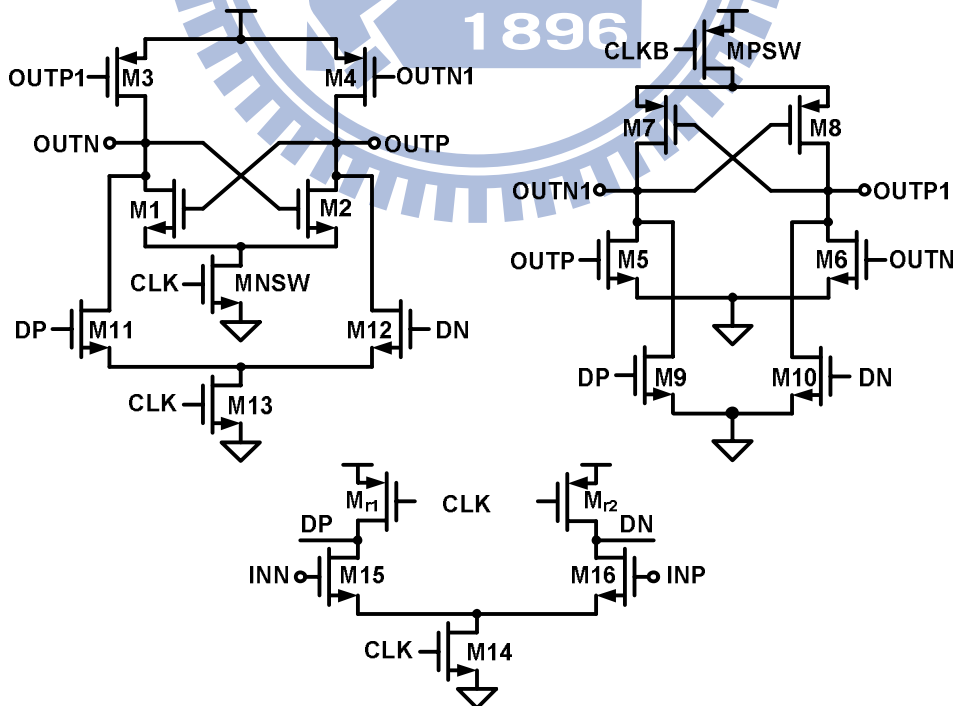


圖 4.17 新式低供給電壓比較器(II)

而 M9.M10 的設計，考量同時兼具放大訊號及重置功能，但第一級訊號主要還是由第一級的電晶體決定，所以尺寸由重置相位時的能力為考量。M11.M12 設計針對兩級的雜散電容不均做補償之外，增益由 M13 來做最佳化。

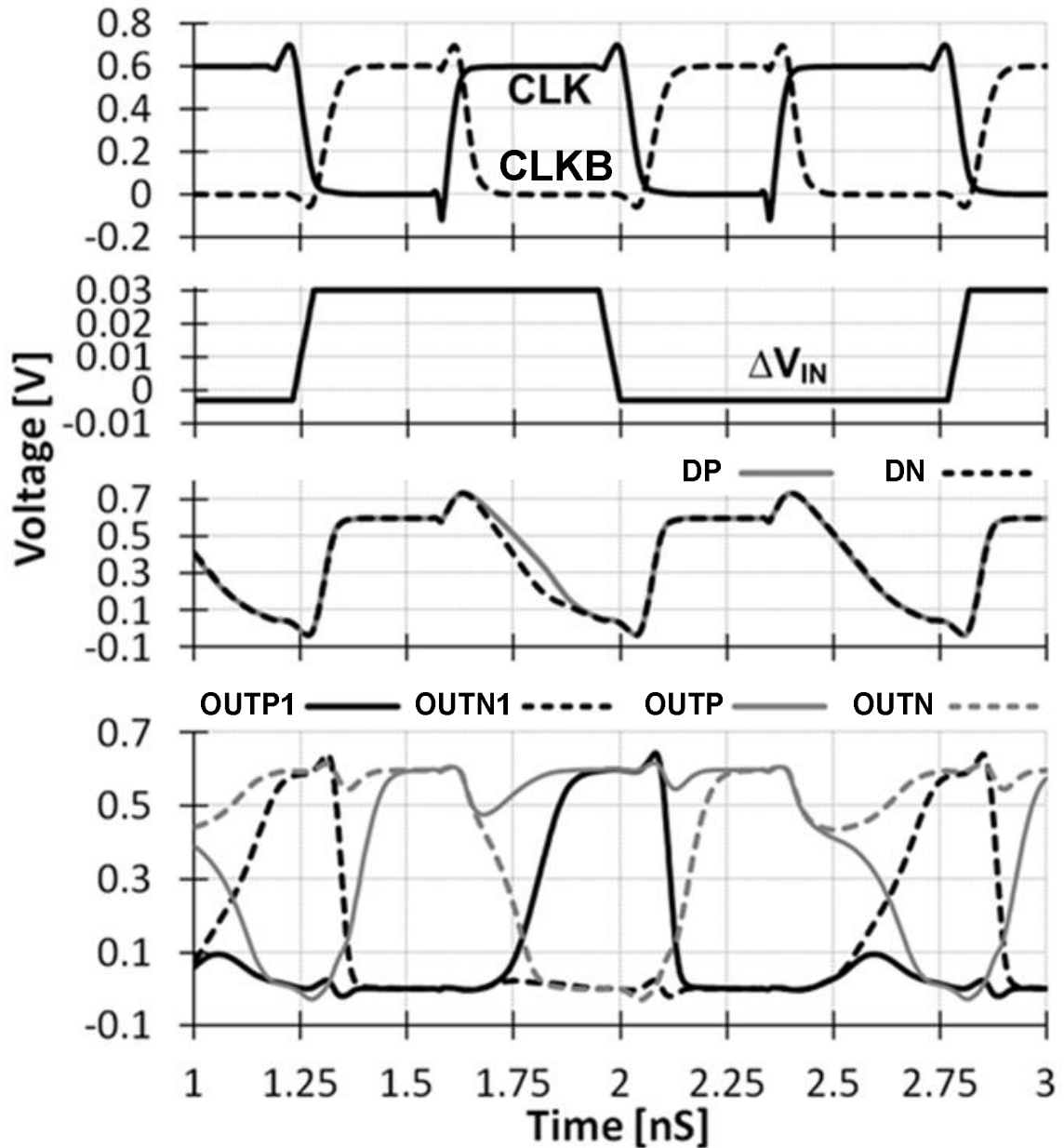


圖 4.18 比較器重要節點波形圖

將所設計出的尺寸，設計成傳統栓鎖器架構所形成的比較器，比較其低壓的操作圖 4.19 為比較器架構，其中電晶體編號相等則尺寸總合相等。而從輸入端 INN.INP 所看到的電容，在比較器操作時約為 13fF，在比較器重置時約為 5fF。

M\_tail 為 M8 與 M9 總合，MPSW 為 M8\_1 與 M9\_1 總合，MNSW 為 M6\_0 與 M7\_0 總合。如之前所提，所提之架構中，兩個栓鎖器比例選擇為 X=1。

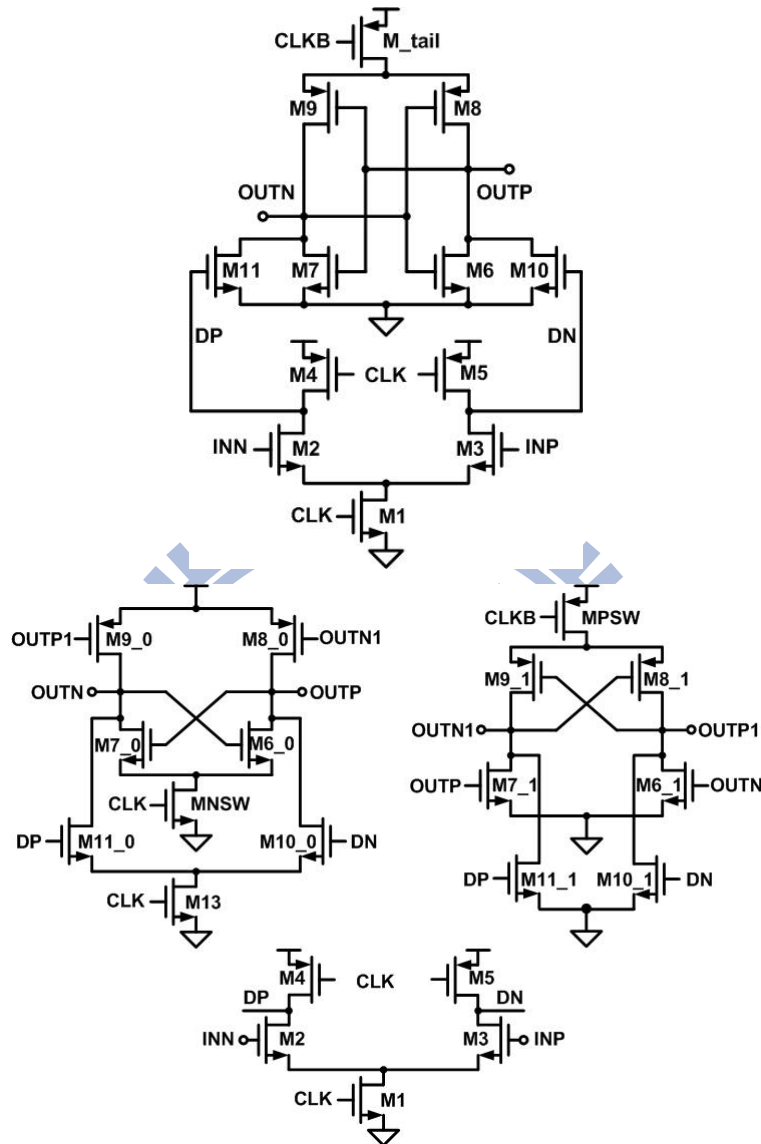


圖 4.19 比較器架構

表 4.4 為供給電壓為 0.6 伏特時的模擬結果，可以看到我們速度的部分，傳統架構無法達到 1.6GHz 的操作，甚至連一半的速度操作都達不到。

	Conventional comparator	Proposed I Comparator
CLK rate	0.5GHz	1.6GHz
Accuracy $\propto (V_{dd}/\sigma_{V_{os}})$	600/8	600/10
Power	20 $\mu$ W	40 $\mu$ W
FoM	140.63	144

表 4.4 模擬結果比較

再來比較偏差電壓的大小，將電路分成兩級來看，第一級由 M1~M5 組成，剩下為第二級，則偏差電壓可表示成公式 4.15，對應模擬結果

$$\sigma_{V_{os\_total}}^2 = \sigma_{V_{os\_1st}}^2 + \sigma_{V_{os\_2st}}^2 \quad (\text{公式 4.15})$$

	Conventional comparator	Proposed II Comparator
Total input referred offset ( $\sigma_{V_{os\_total}}$ )	8.5mV	10mV
Input referred offset of 1st stage ( $\sigma_{V_{os\_1st}}$ )	5.5mV	5.5mV
Input referred offset of 2nd stage ( $\sigma_{V_{os\_2nd}}$ )	5mV	8mV

表 4.5 偏差電壓模擬結果比較

雖然第二級栓鎖器的部分，所提出之架構有較大的偏差電壓，但是我們已取得速度上的優點，且經過適當的電路技巧，仍可以將偏差電壓有效降低，避免造成太大的影響。

#### 4.4 比較器資料輸出電路

當比較器設計完成後，我們需要將其資料讀出，在現有文獻中，大多會用一反向器將資料讀出，反向器除了可以幫助輸出拉到全振幅外，也有緩緩衝器的作用，使比較器可以先看到反向器比較小的雜散電容。但是現在操作在低電壓，傳統反向器中，P 型電晶體需輸入小於  $(V_{dd} - |V_{th}|)$  才會操作，N 型電晶體需輸入大於  $(|V_{th}|)$  才會操作，若輸入電壓不滿足此條件，反向器則無法操作。

當比較器受偏差電壓或雜訊影響，或者已接近比較器可以操作的最快速度時，輸出無法拉到全振幅輸出，圖 4.20 為此情形，第一個圖為比較器輸出波形，不管是哪一個輸出，但是差動輸出值仍能達到供給電壓的一半，仍是一有效的結果，第二個圖為差動輸出值，第三個圖為比較器的輸出經過傳統反向器後，反向器的差動輸出，不管使用哪組輸出對，都可以看到因比較器的輸出電壓無法滿足傳統反向器的操作條件，無法感應到比較器的輸出並加以傳輸，故為了使資料可以順利讀出並傳輸，後面的反向器需加以修改。

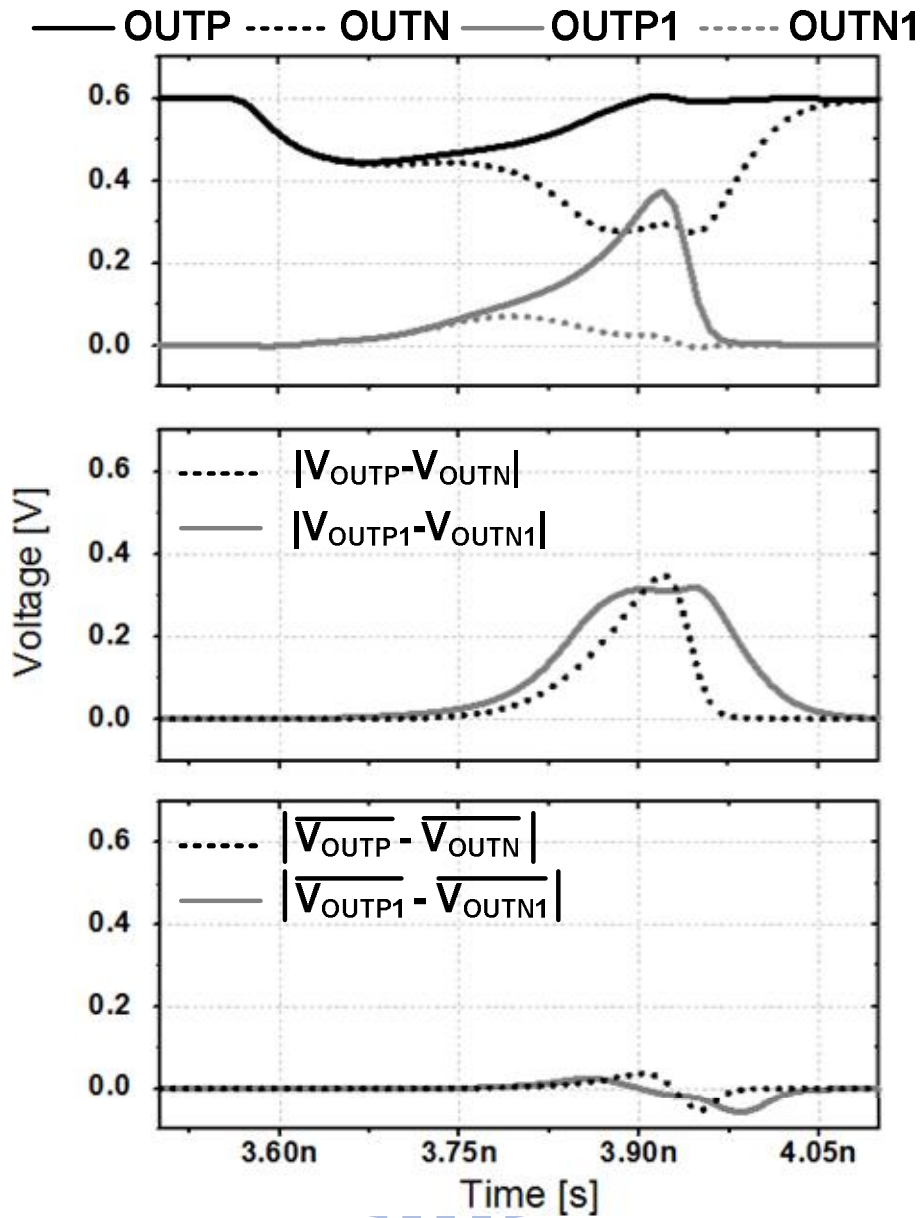


圖 4.20 比較器輸出與傳統反向器波形圖

利用所提之栓鎖器有兩組差動輸出的特性，分別控制反向器的 P 型及 N 型電晶體，利用偏壓在高電位的輸出對控制 N 型電晶體，偏壓在低電位的輸出對控制 P 型電晶體，如圖 4.21，因為在重置相位時， $M_N$ 、 $M_P$  都會導通，故加入一 N 型電晶體  $M_{CLK}$ ，由 CLK 控制，在重置相位時，打斷  $M_N$ 、 $M_P$  電流路徑，防止靜態功率消耗。

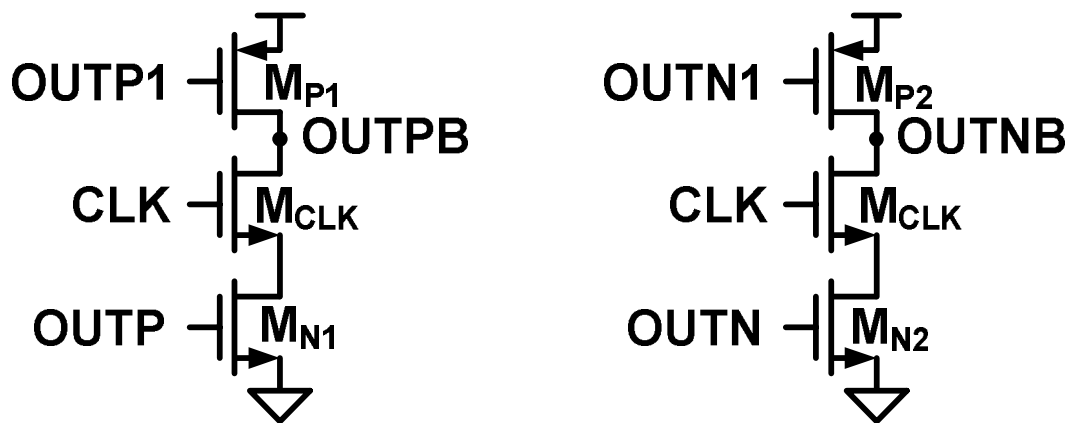


圖 4.21 改良式反向器

傳統反向器在操作時，因重置相位會把反向器輸入衝到供給電壓或零電壓，此時反向器中僅 N 型或 P 型電晶體其中之一的充放電能力很強，但因比較相位時電壓在反向器無法操作的條件，會使 N 型及 P 型電晶體充放電能力都衰弱，造成無法操作接收不到比較器訊號。

而改良式反向器，利用重置相位會把反向器輸入衝到供給電壓或零電壓，此時反向器中 N 型及 P 型電晶體的充放電能力都很強，在比較相位時，電壓會使 N 型或 P 型電晶體其中之一的充放電能力逐漸衰弱，但是另一個電晶體仍有很強的充放電能力，所以能對輸出做快速充放電，達到所要的電壓。

圖 4.22 為模擬圖，第二個圖中，黑色實線為使用改良式反向器的差動輸出，可以看到輸出電壓  $OUTP1$  會使這組反向器中  $M_{P1}$  逐漸關閉，而  $M_{N1}$  的放電能力一直都很強，能將  $OUTPB$  快速拉到零電位，而  $OUTN1$  使這組反向器中  $M_{P2}$  保持很強的充電能力，而  $M_{N2}$  的放電能力逐漸減弱，而使輸出快速拉到供給電壓，第二個圖中黑色實線電壓更大且持續時間較久，若電壓仍無法達到所要求，只需要在後面在加上一個傳統的反向器，差動輸出就可以把電壓拉開到幾乎等於供給電壓，足以讓後面電路進一步操作。

比較器輸出經過一級的改良式反向器之後，比較器資料就可以順利讀出，且資料已達全振幅輸出，所以後續電路可用數位方式進行傳輸，因此一個比較從輸入開始到後面資料輸出的電路已可完整描述出來，如圖 4.23，圖中電壓轉換(level shifter)電路、SR 型栓(SR latch)接為教科書中基本電路，圖 4.24、圖 4.25。而輸出緩衝器(output buffer)電路主要為一 D 型正反器(D-flip flop)與電流式邏輯(Current Mode Logic, CML)緩衝器組成，圖 4.26、圖 4.27、圖 4.28。



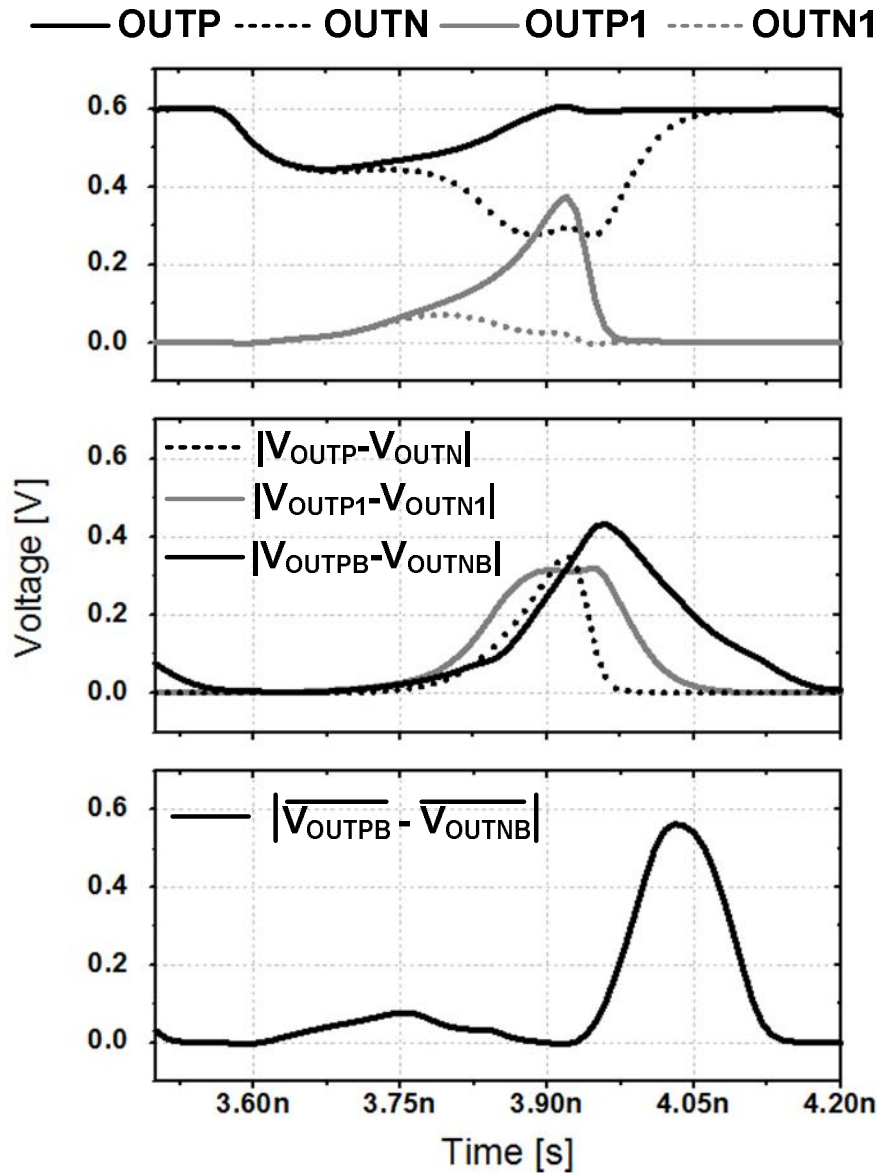


圖 4.22 比較器輸出與改良式反向器波形圖

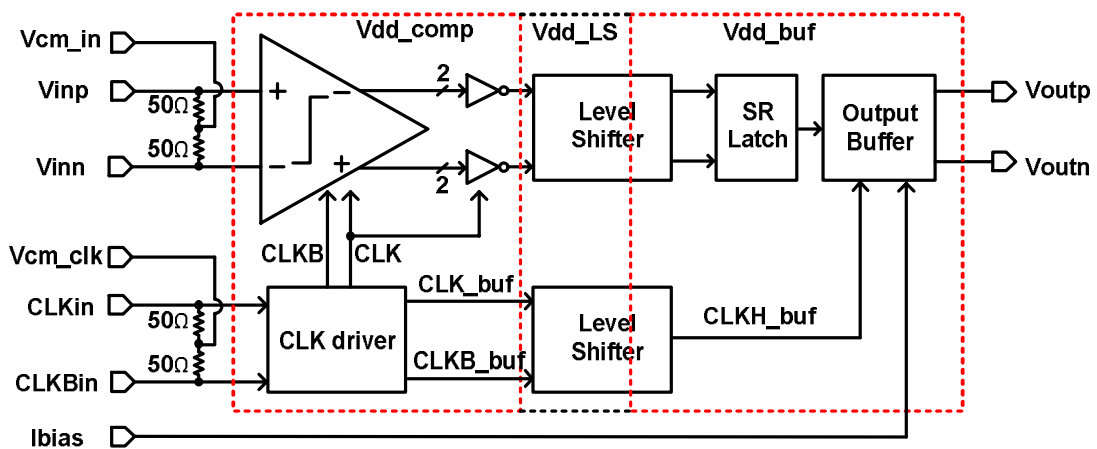


圖 4.23 比較器輸入輸出完整關係圖

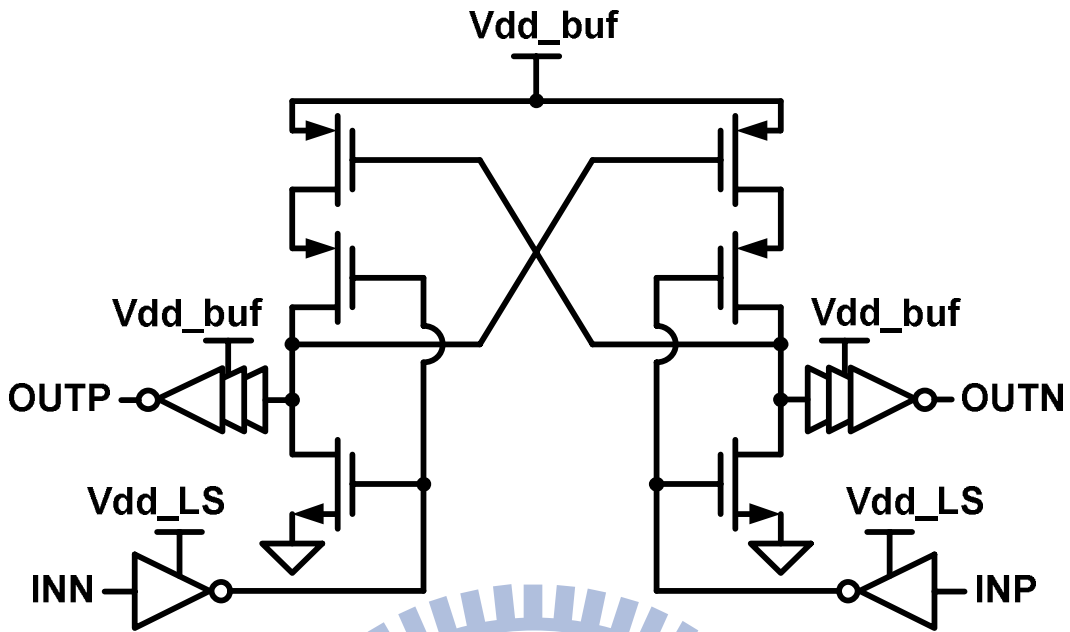


圖 4.24 電壓轉換(level shifter)電路

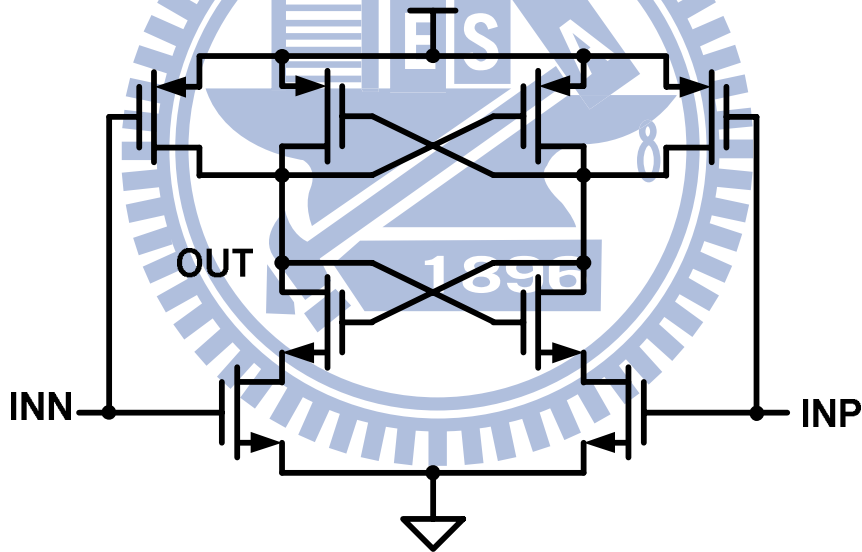


圖 4.25 SR 型栓(SR latch)電路

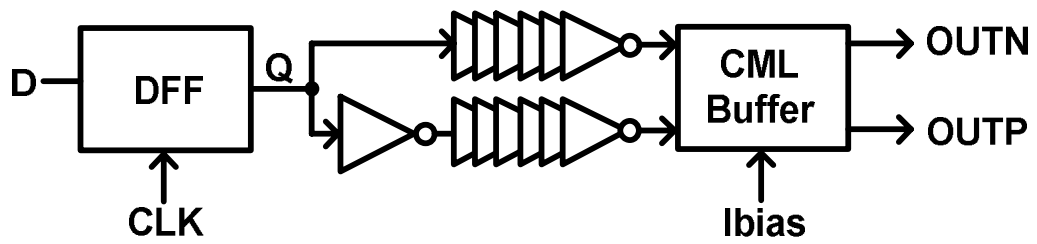


圖 4.26 輸出緩衝器(output buffer)電路

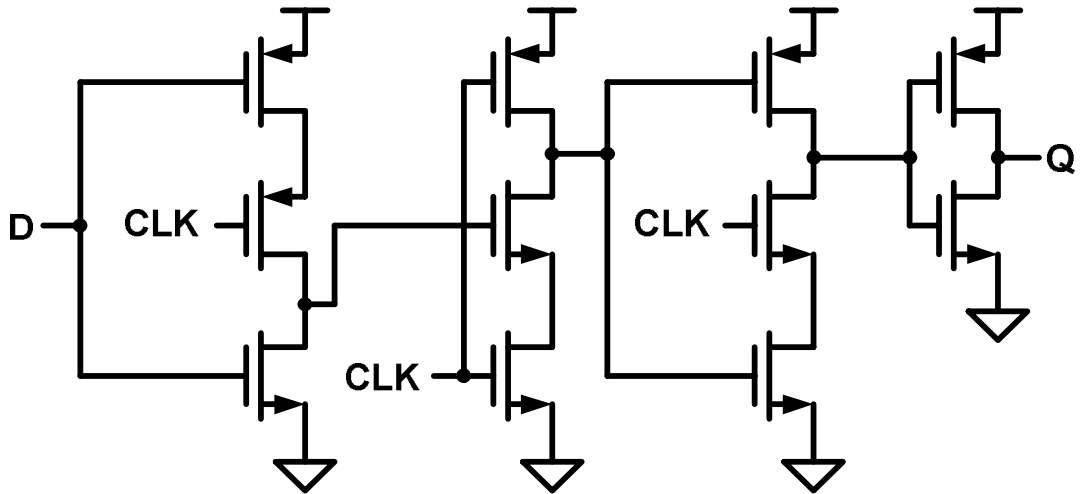


圖 4.27 D 型正反器 (D-flip flop)

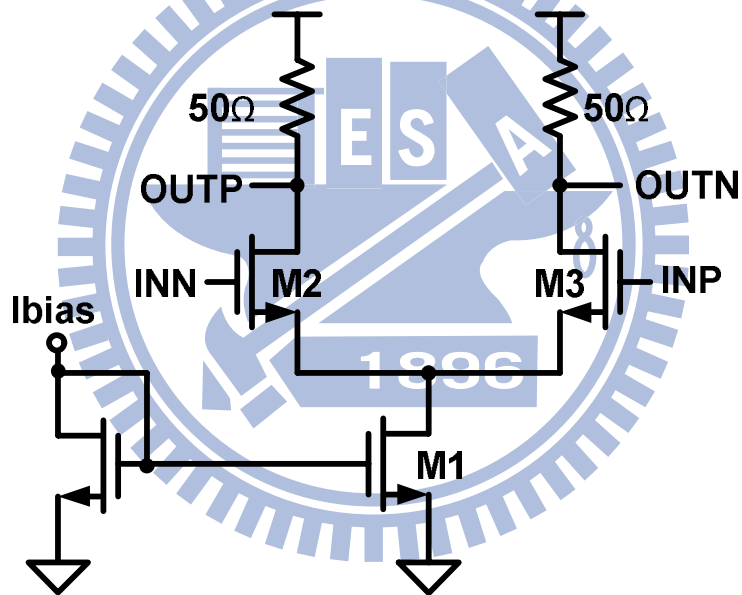


圖 4.28 電流式邏輯 (Current Mode Logic, CML) 緩衝器

## 4.5 電路佈局和模擬結果

這製程使用 TSMC 65nm 1P9M 互補式金氧半製程。比較器布局如圖 4.29，布局時，考慮需要有嚴謹的對稱性及抗製程變異，第一級採用 common centroid layout，來降低第一級的偏差電壓，布局時嚴謹保持左右對稱性，避免造成布局時產生偏差電壓，重要訊號走高層金屬層以減少寄生電容及寄生電阻。輸入訊號從底下進入，輸出在頂部，避免不必要轉彎。

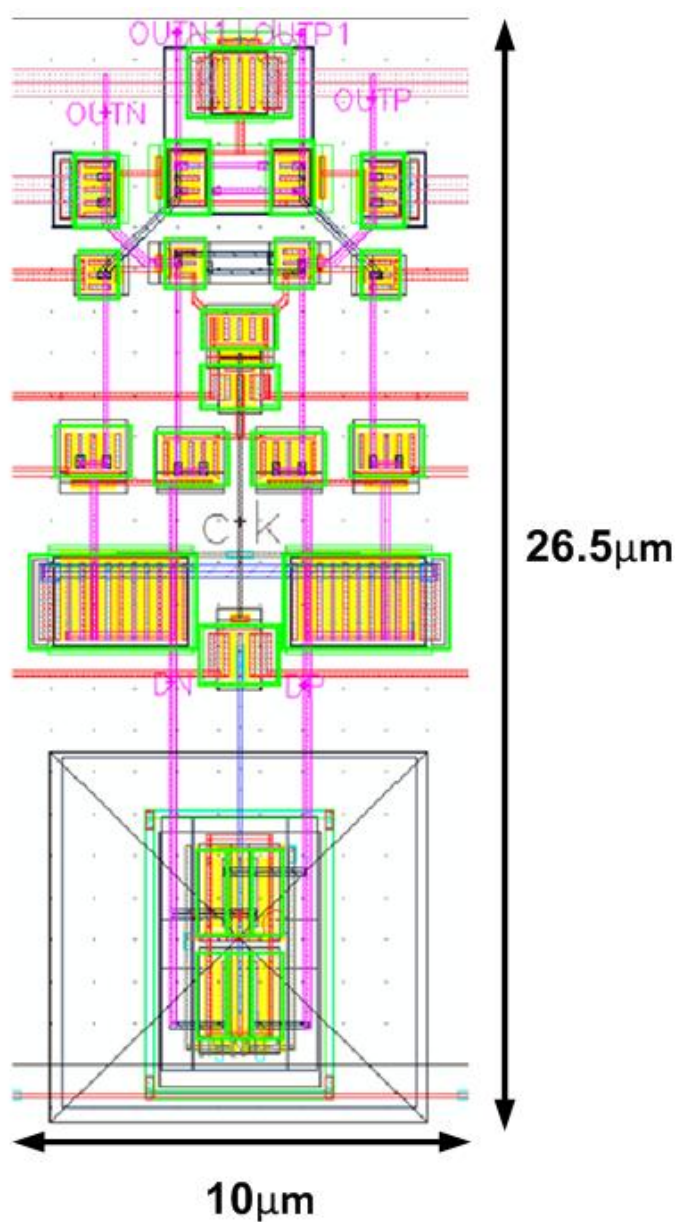


圖 4.29 比較器(II)布局圖

使用此製程中低臨界電壓電晶體，電晶體正常工作電壓為 1.2 伏特，此架構為低電壓設計操作，使用供給電壓為 0.6 伏特，其各個角落(corner)模擬結果如表 4.4。針對高壓也做了設計，使用供給電壓為 0.9 伏特，其各個角落(corner)模擬結果如表 4.5

corner	Pre-simulation			Post-simulation		
	SS	TT	FF	SS	TT	FF
V <sub>dd</sub> (V)	0.6	0.6	0.6	0.6	0.6	0.6
CLK rate (GHz)	0.8	1.6	2	0.4	1	1.5
V <sub>icm</sub> (V)	0.6	0.6	0.6	0.6	0.6	0.6
V <sub>os</sub> -1 $\sigma$ (mV)	11	10	11	12	10	11
Noise-1 $\sigma$ (mV)	1	0.9	0.8	1	0.9	0.9
Energy/decision (fJ)*	35	40	53	42	49	60

表 4.4 新式比較器(II)低壓模擬結果列表

corner	Pre-simulation			Post-simulation		
	SS	TT	FF	SS	TT	FF
V <sub>dd</sub> (V)	0.9	0.9	0.9	0.9	0.9	0.9
CLK rate (GHz)	3.5	4	4.6	2.8	3.1	3.4
V <sub>icm</sub> (V)	0.9	0.9	0.9	0.9	0.9	0.9
V <sub>os</sub> -1 $\sigma$ (mV)	11	10	10	11	10	10
Noise-1 $\sigma$ (mV)	1	0.9	0.8	1	1	0.9
Energy/decision (fJ)*	112	130	151	136	153	177

表 4.5 新式比較器(II)高壓模擬結果列表

\*操作在輸入為 1mV 時

## 第五章 量測結果

### 5.1 晶片照片

圖 5.1 為晶片照與比較器的放大照，一顆晶片中有四個比較器，左一為低供給電壓比較器(I)的低壓設計，左二為低供給電壓比較器(I)的高壓設計，右邊兩顆都為低供給電壓比較器(II)，操作電壓從低壓到高壓。

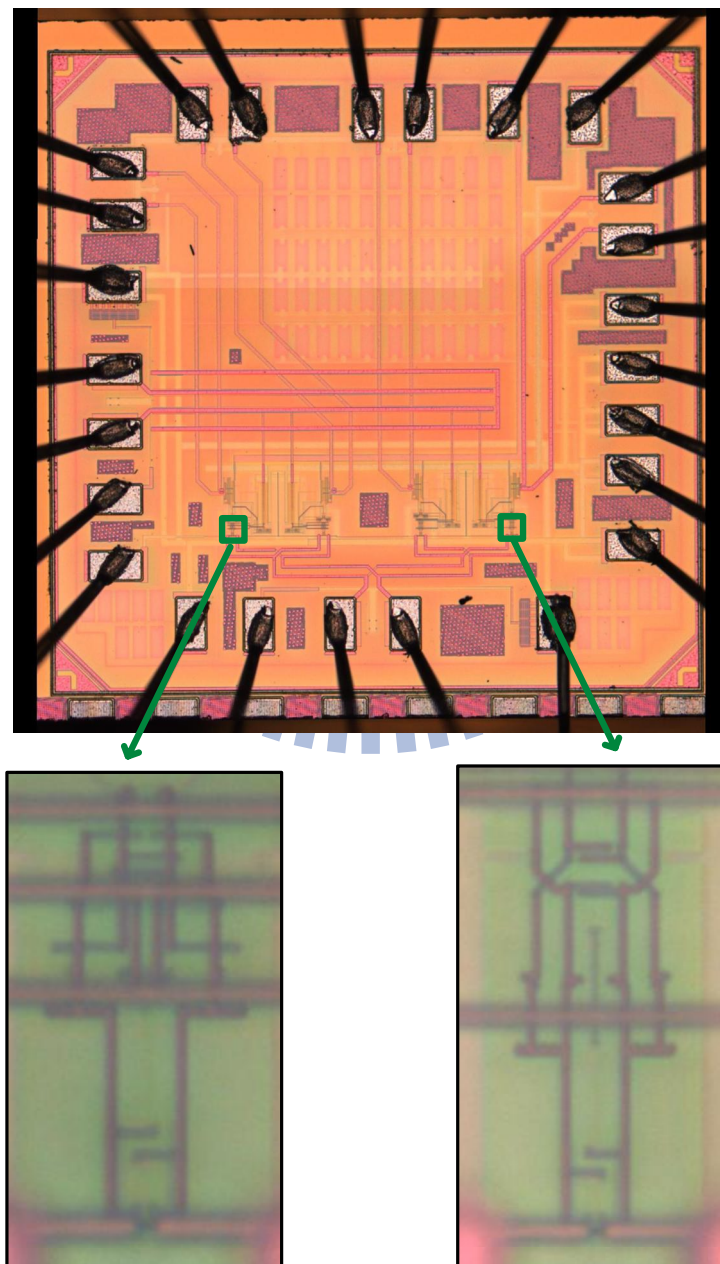


圖 5.1 晶片照與比較器的放大照

## 5.2 量測環境

比較器的量測主要在於誤碼率(Bit Error Rate, BER)量測、雜訊的統計以及偏差電壓的統計，以下是各個量測的環境介紹。

誤碼率(Bit Error Rate, BER)量測如圖 5.2，利用 Agilent N4901B 誤碼率測試儀(Serial BERT)送入時脈及輸入隨機訊號(PRBS  $2^7-1$ )，而比較器的偏差電壓則由電源供應器做補償，以免影響輸入的隨機訊號大小，經過比較之後把輸出送回誤碼率測試儀做比對，計算比較結果的錯誤率。

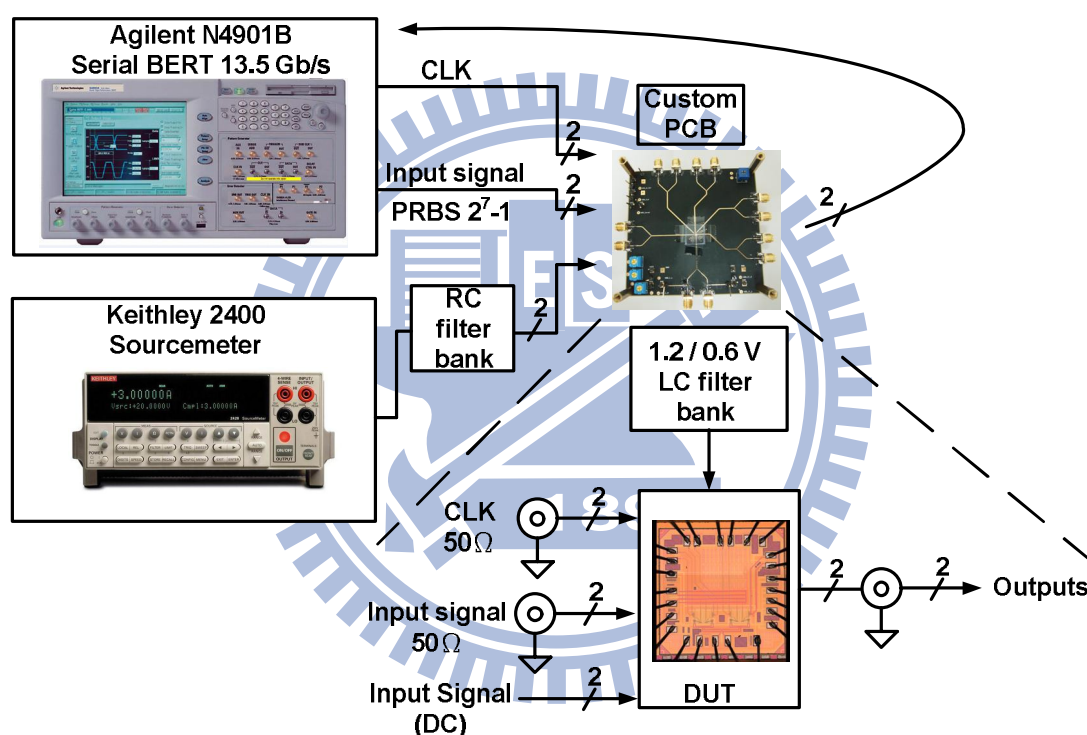


圖 5.2 錯誤率(Bit Error Rate, BER)量測環境

雜訊的統計量測如圖 5.3，利用誤碼率測試儀送入時脈，由電源供應器做直流的輸入，輸出送到 Agilent 16902B 邏輯分析儀(Logic analysis system)統計結果，為了避免邏輯分析儀抓到輸出正在做轉換時的資料，故使用 Agilent E8257D(訊號產生器)做同步的動作。當輸入由小到大慢慢增加，會得到比較器的轉換曲線，如圖 5.4，此為標準差為一毫伏特，平均值為零的理想高斯分布曲線，當輸入訊號為零時，比較器受雜訊影響，但長時間的統計雜訊會被平均，所以“0”、“1”出現的機率會相等。輸入大於零時，不會每次都輸出“1”，隨著輸入訊號變大，“1”出現機率會上升，反之則下降。找出機率為 84%及 16%所對應輸入訊號的大小為正負一個標準差的量，藉此定義雜訊一個標準差的大小。

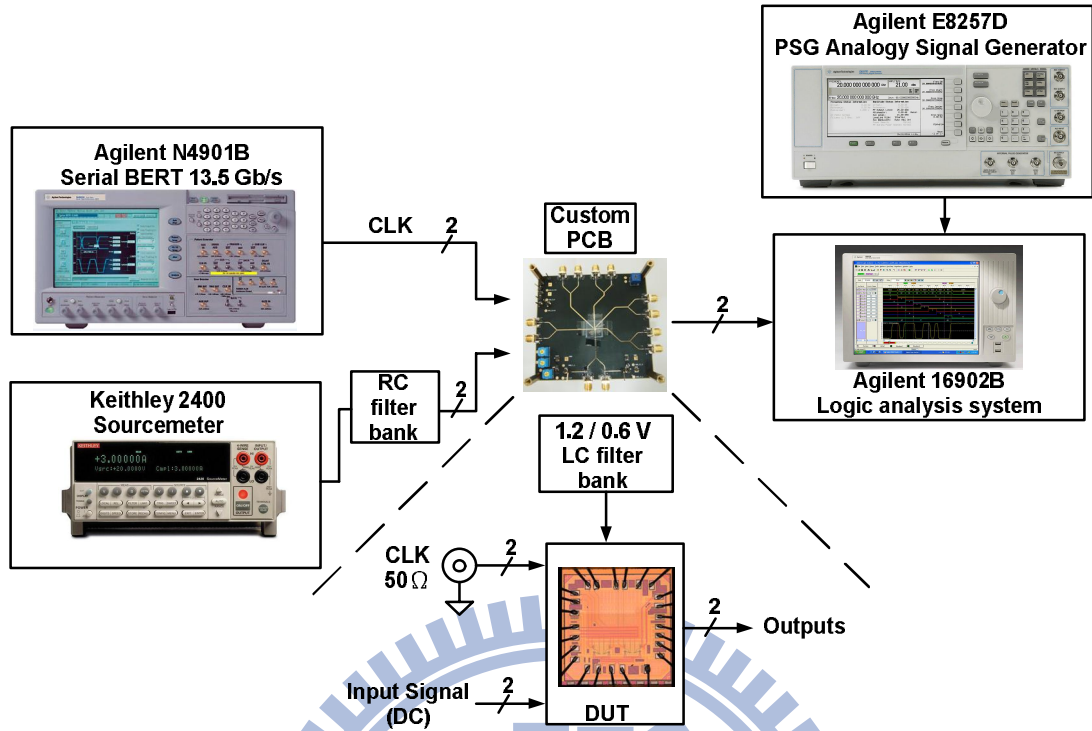


圖 5.3 雜訊的統計量測環境

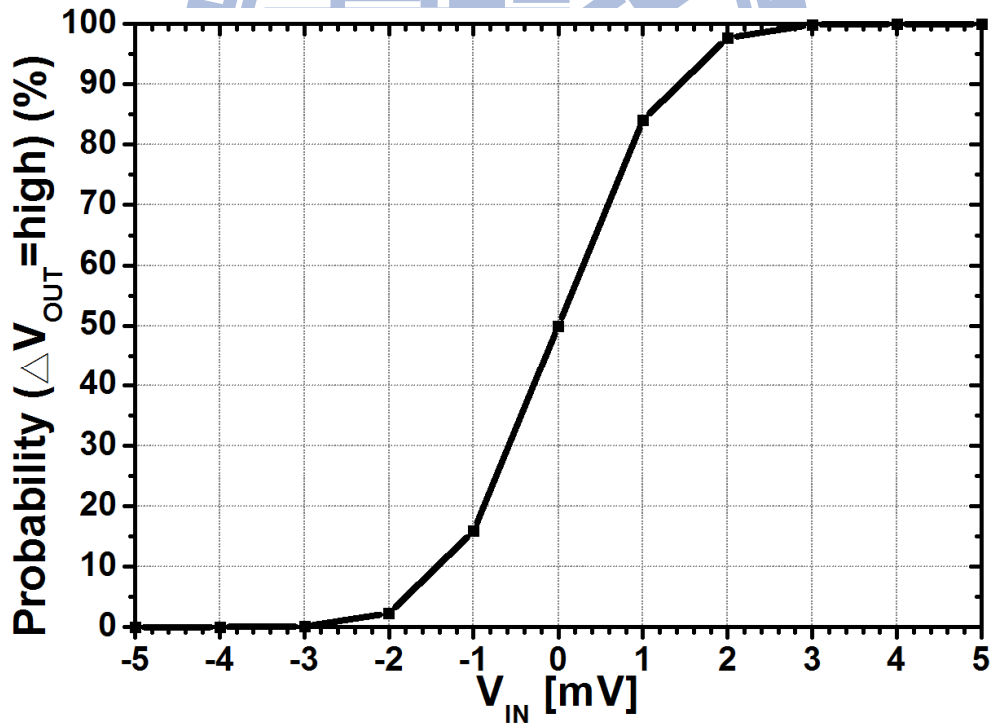


圖 5.4 比較器轉換曲線



雜訊的量測也可用誤碼率量測方式，當我們把圖 5.4 轉換成機率密度函數時，圖 5.5 中，當輸入訊號等於 $|3\sigma|$ 時，會有 99.73002%的機率比較是正確的，此時誤碼率為 $(1-99.73002\%=2.6998\times 10^{-3})$ ，約為 $2.7\times 10^{-3}$ ，所以可先量測出 $|3\sigma|$ 的大小，再推算出 $|1\sigma|$ 的大小，此方法也可得知 $|2\sigma|$ 的大小， $|2\sigma|$ 的誤碼率約為 $4.55\times 10^{-2}$ ，再推算出 $|1\sigma|$ 的大小，但無法直接知道輸入等於 $|\sigma|$ 的誤碼率(受儀器限制)，因為無法保證分布一定為自然函數，所以 $|\sigma|$ 的值不一定會和推算的相等，所以此法無法保證量測的正確度，但此方法可以用來快速驗證比較器操作的最快速度。但雜訊的量測仍需畫出比較器的轉換曲線來找出雜訊 $|1\sigma|$ 的大小。

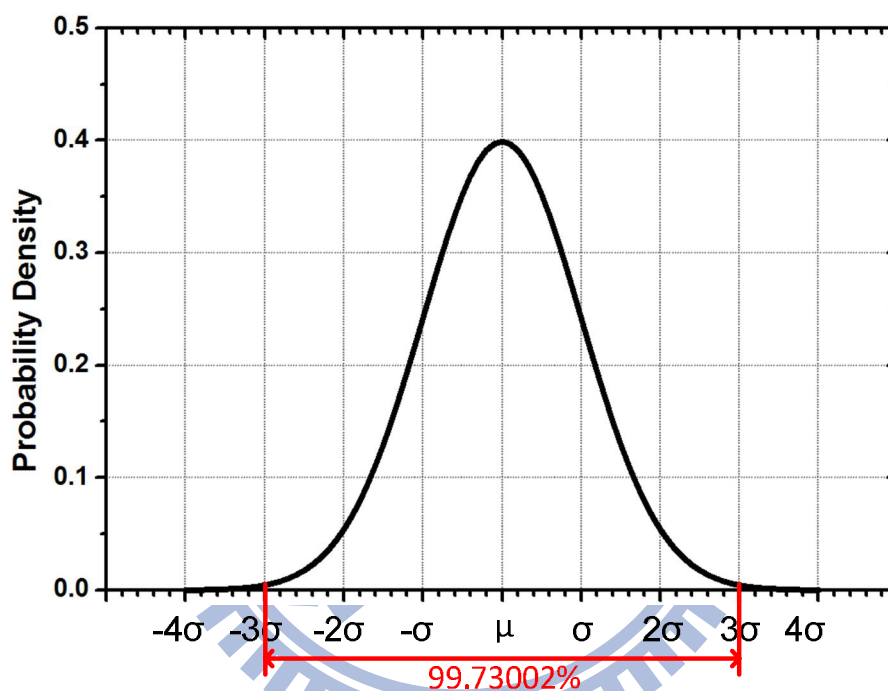


圖 5.5 比較器機率密度函數

偏差電壓的統計，需量測出每一個比較器的偏差電壓再做統計，而量測偏差電壓有兩種方法，法一為利用誤碼率量測方式量測，法二為利用雜訊的統計量測。

法一：誤碼率量測方式量測偏差電壓

比較器輸入訊號可分為直流(DC)及交流(AC)的部分，當交流訊號很小極接近比較器的敏感值時，比較器的誤碼率會被直流所決定，當直流訊號剛好補償偏差電壓時，此時的誤碼率會最小，因為只剩交流訊號所造成的誤碼率，此時“0”、“1”的誤碼率會相等。當直流訊號大於偏差電壓時，此時的誤碼率除交流訊號所造成的之外，還加上直流訊號造成“1”的誤碼率上升，所以誤碼率總合上升，反之則因為“0”的誤碼率上升，所以誤碼率總合上升，藉此找出偏差電壓。如圖 5.6。

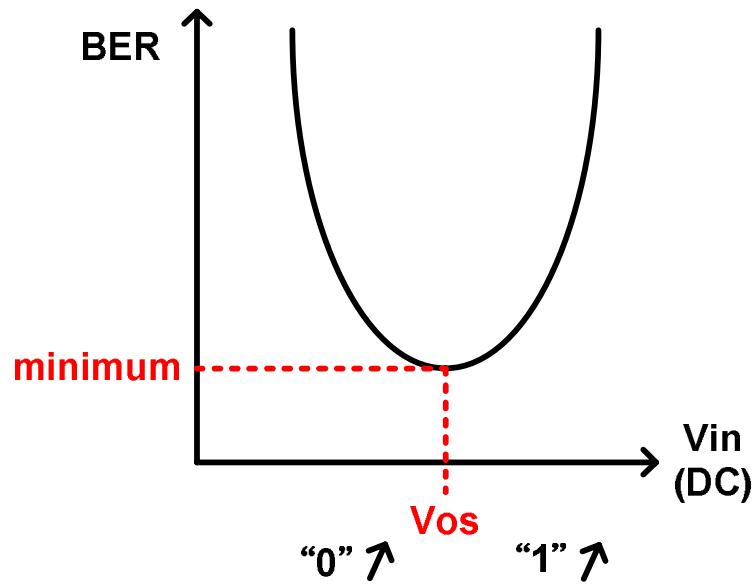


圖 5.6 使用誤碼率量測偏差電壓關係圖

#### 法二：雜訊的統計量測方式量測偏差電壓

概念與法一相同，此時輸入訊號只有直流訊號，當有偏差電壓時，圖 5.4 的轉換曲線，會有左右位移的量，當機率為 50% 時，雜訊影響為零，比較器偏差電壓剛好被輸入直流訊號補償，所以此時的輸入的直流電壓就為比較器的偏差電壓。

量測時法一較易量測且所花費時間較短，所以偏差電壓的量測採用法一的方式做量測，之後再做統計。

量測時，因每顆晶片之間仍存有差異性，所以需先決定操作頻率。因偏差電壓的統計需較多樣本數，故需測量樣本數的操作速度，而操作速度的極限會在誤碼率上呈現出來，如之前所提到快速偵測比較器的最快操作速度的方法，在雜訊  $|1\sigma|$  的量約為 1 毫伏特的前提，雜訊  $|3\sigma|$  約為 3 毫伏特，誤碼率為  $2.7 \times 10^{-3}$ ，找出比較器可以達到此條件的最快速度。在量出樣本數都可操作的頻率後，此頻率就為比較器的操作頻率。

輸入共模電壓最高電壓定在跟供給電壓相同，而最低電壓參考此製程的模擬模型，在不同角落下，臨界電壓介於 0.35V~0.45V，而為了使第一級可以正確操作，輸入共模電壓需比臨界電壓高，初步定在 0.4V~0.5V，而量測依實際狀況決定，量測時再會發現輸入共模電壓低 0.4V 時，偏差電壓及誤碼率會迅速變差，所以把輸入共模電壓最低電壓定在 0.4V。

## 5.3 新式低壓比較器(I)量測結果

### 5.3.1 低壓量測結果

圖 5.7 為比較器輸入輸出完整關係圖，圖 5.8 為比較器的輸入及輸出的波形圖。

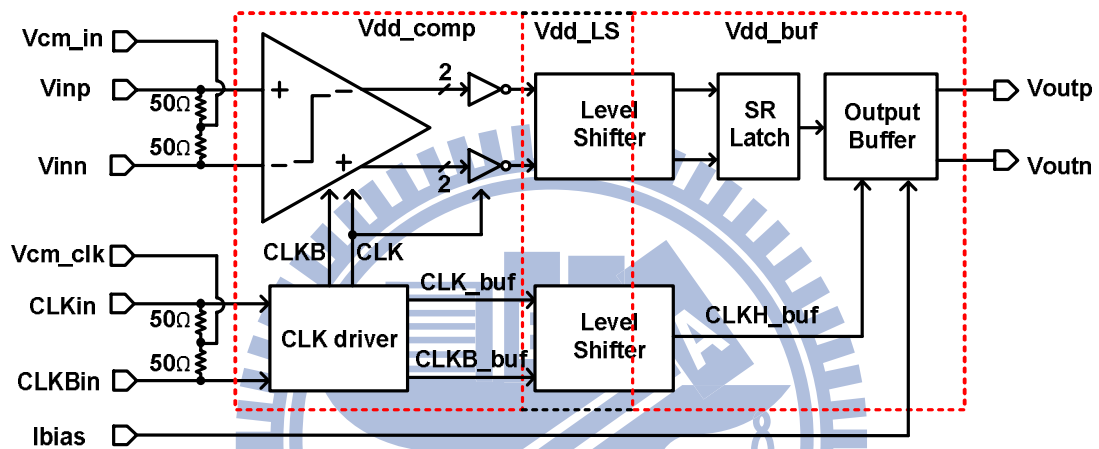


圖 5.7 比較器輸入輸出完整關係圖

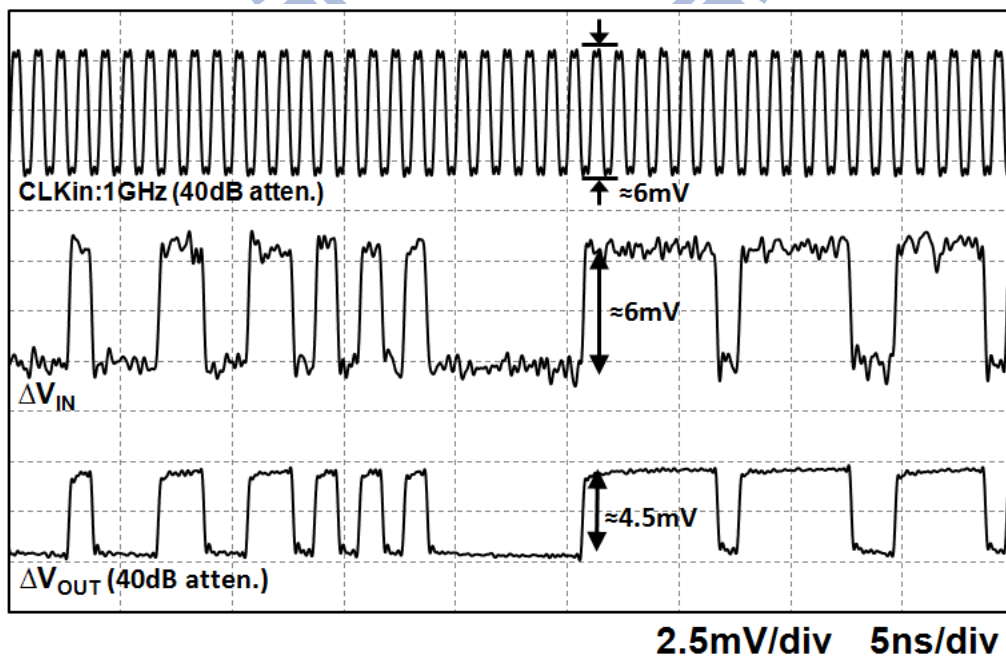


圖 5.8 比較器(I)的輸入及輸出波形圖

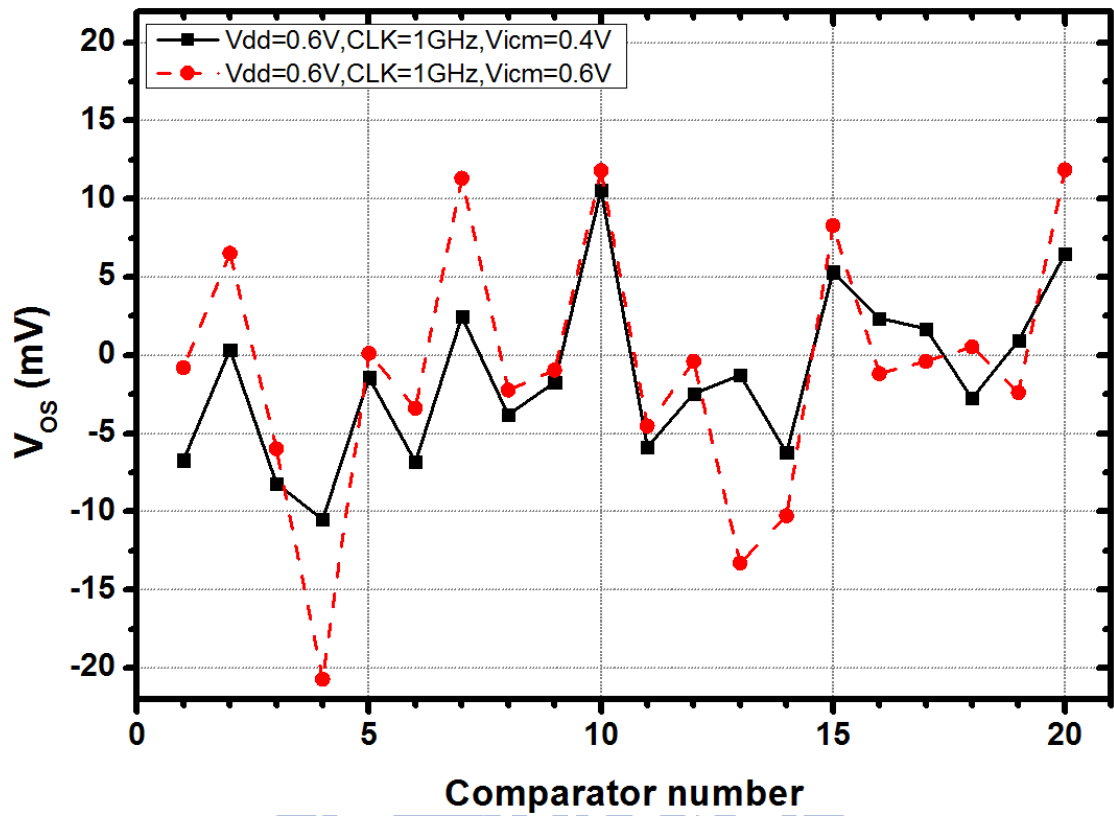


圖 5.9 比較器(I)的低壓偏差電壓量測結果

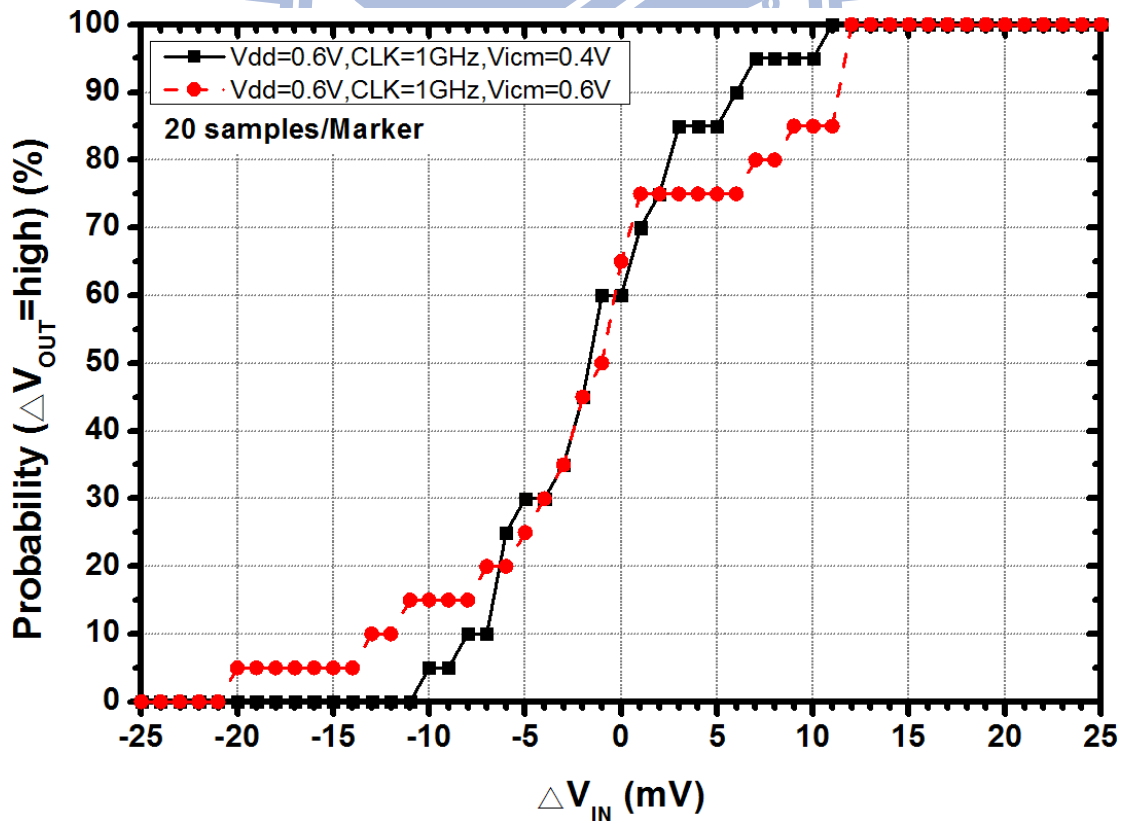


圖 5.10 比較器(I)的低壓偏差電壓累積分布統計結果

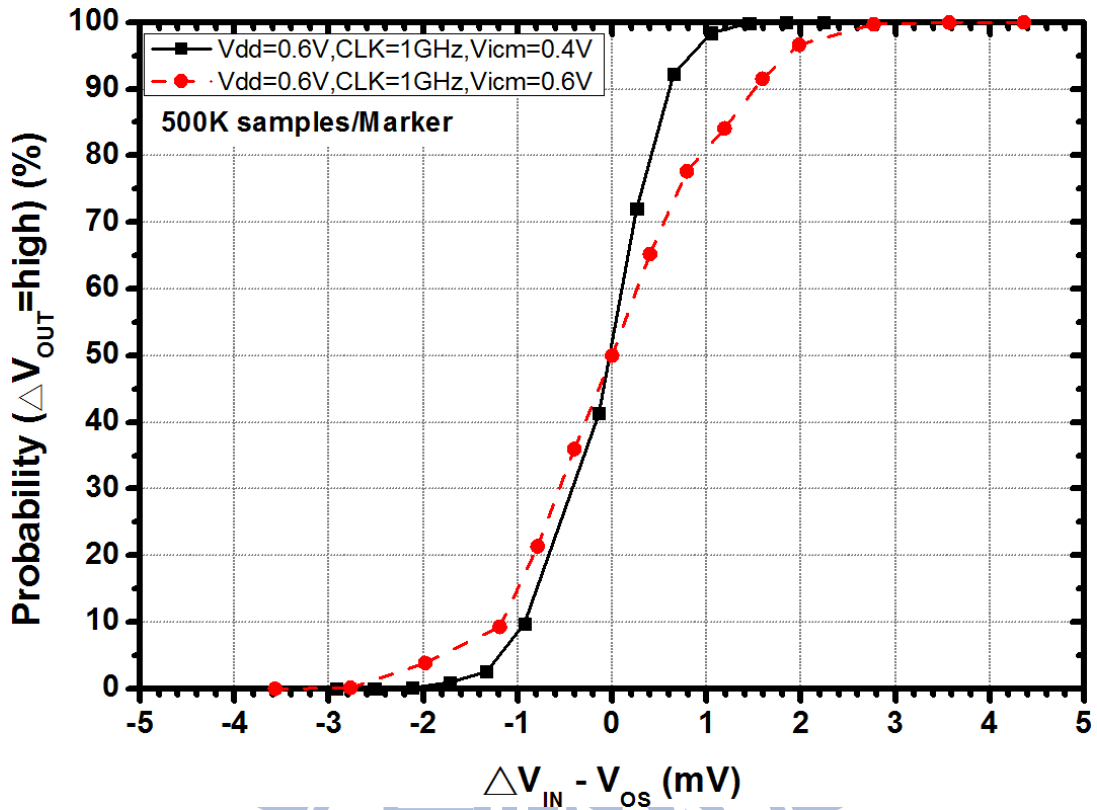


圖 5.11 比較器(I)的低壓雜訊量測結果

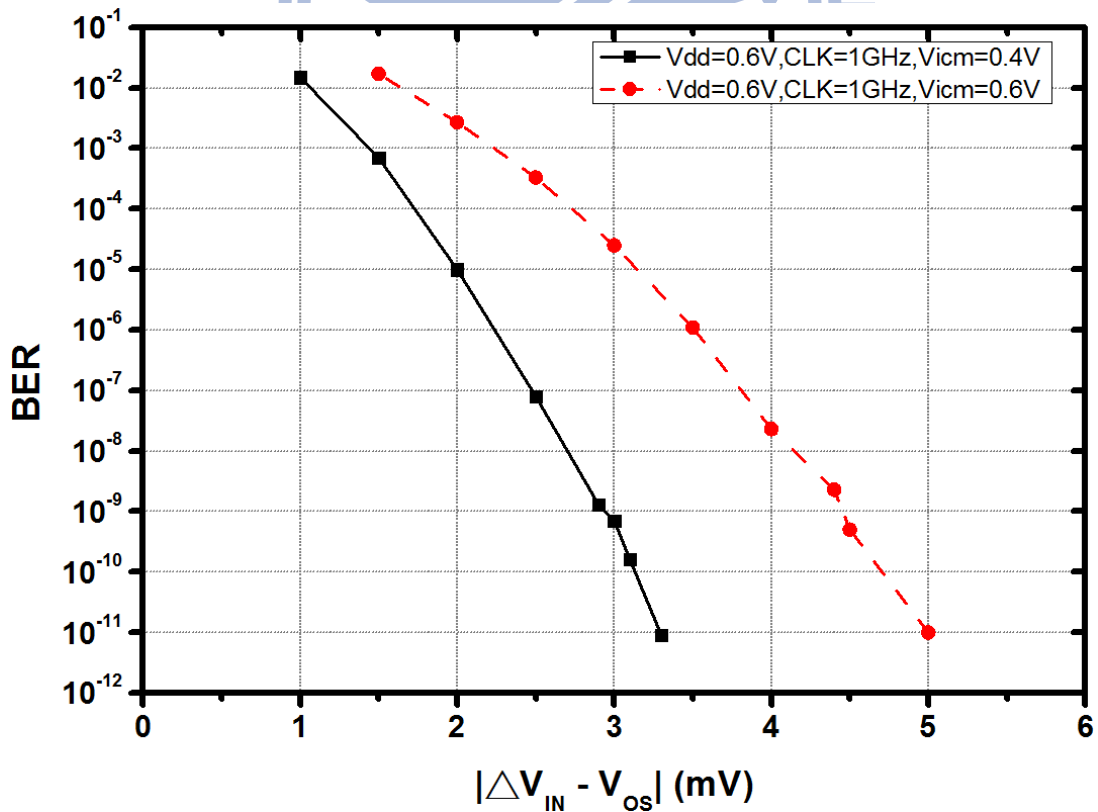


圖 5.12 比較器(I)的低壓誤碼率量測結果

圖 5.9 及 5.10 為偏差電壓量測結果，圖 5.11 及圖 5.12 分別為雜訊及誤碼率量測結果，誤碼率量測使用 PRBS 2<sup>7</sup>-1，因操作頻率與 FF corner 接近，故推測較接近 FF corner，表 5.1 為 FF 模擬結果與量測比較

	Post-sim	Measurement result	
<b>CMOS Process</b>	65nm		
<b>V<sub>dd</sub></b> (V)	0.6		
<b>CLK rate</b> (GHz)	1.1	1	
<b>V<sub>icm</sub></b> (V)	0.6	0.4	0.6
<b>Offset <math>\sigma_{Vos}</math></b> (mV)	11 (50 amples)	6 (20 amples)	11 (20 amples)
<b>Noise <math>\sigma_{noise}</math></b> (mV)	1	0.65	1.1
<b>Sensitivity (mV)</b> @BER=10 <sup>-9</sup>	NA	3	4.5
<b>Energy/decision</b> (fJ)	44 @vin=50mV 55 @vin=1mV	35 @vin=50mV 38 @BER=10 <sup>-9</sup>	38 @vin=50mV 40 @BER=10 <sup>-9</sup>
<b>Comparator area</b> ( $\mu m^2$ )	200		

表 5.1 新式比較器(I)的低壓模擬與量測比較結果

### 5.3.2 高壓量測結果

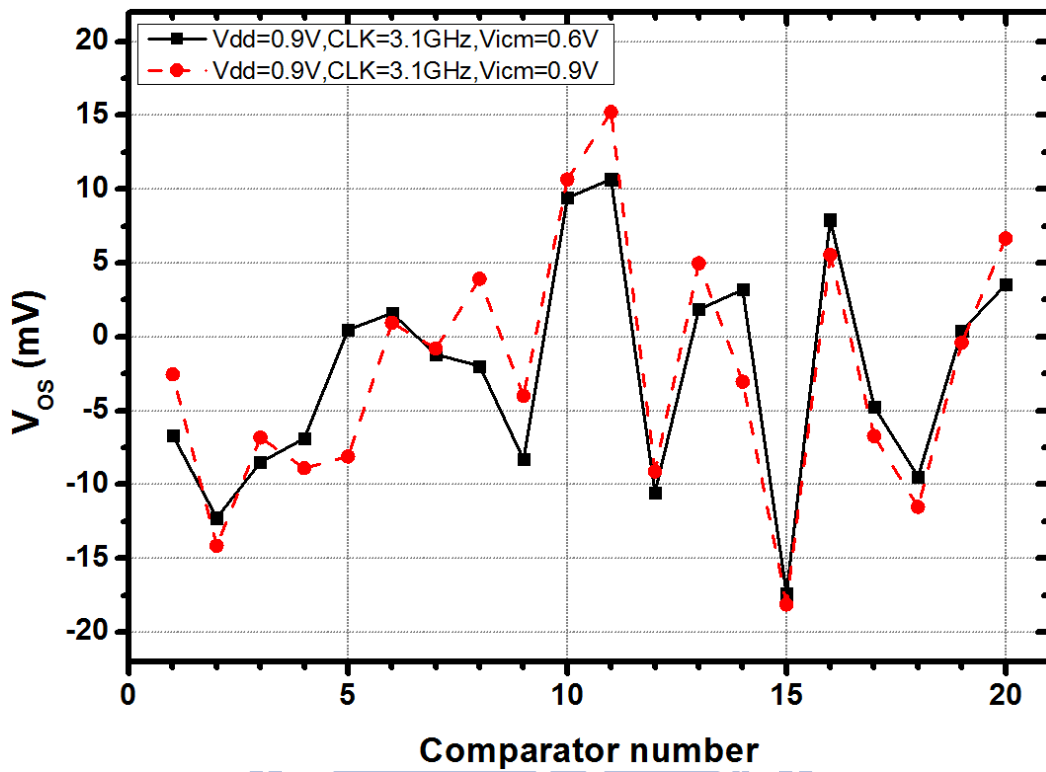


圖 5.13 比較器(I)的高壓偏差電壓量測結果

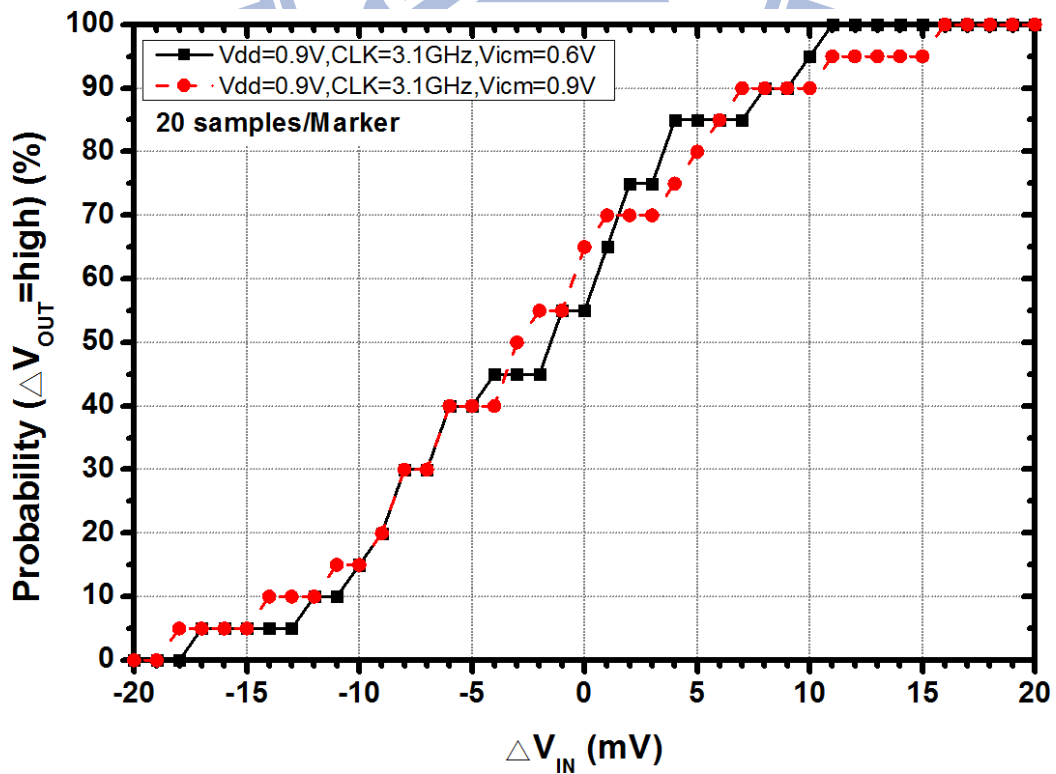


圖 5.14 比較器(I)的高壓偏差電壓累積分布統計結果

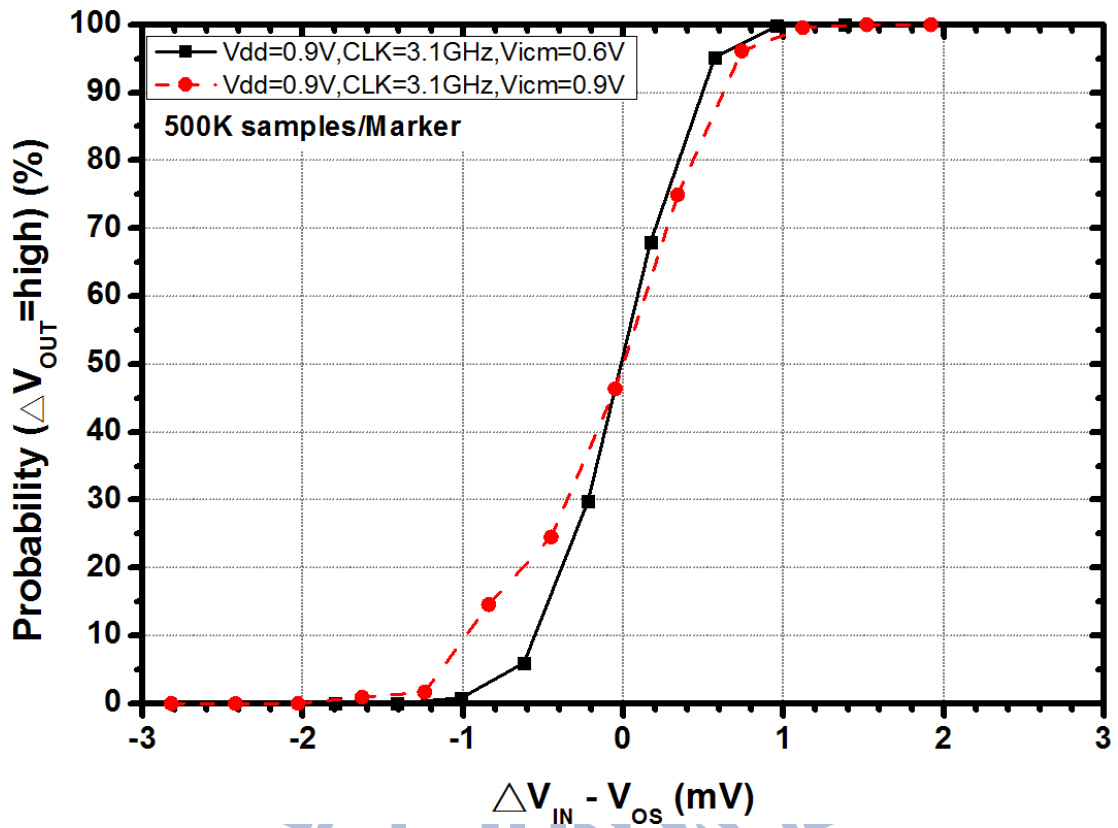


圖 5.15 比較器(I)的高壓雜訊量測結果

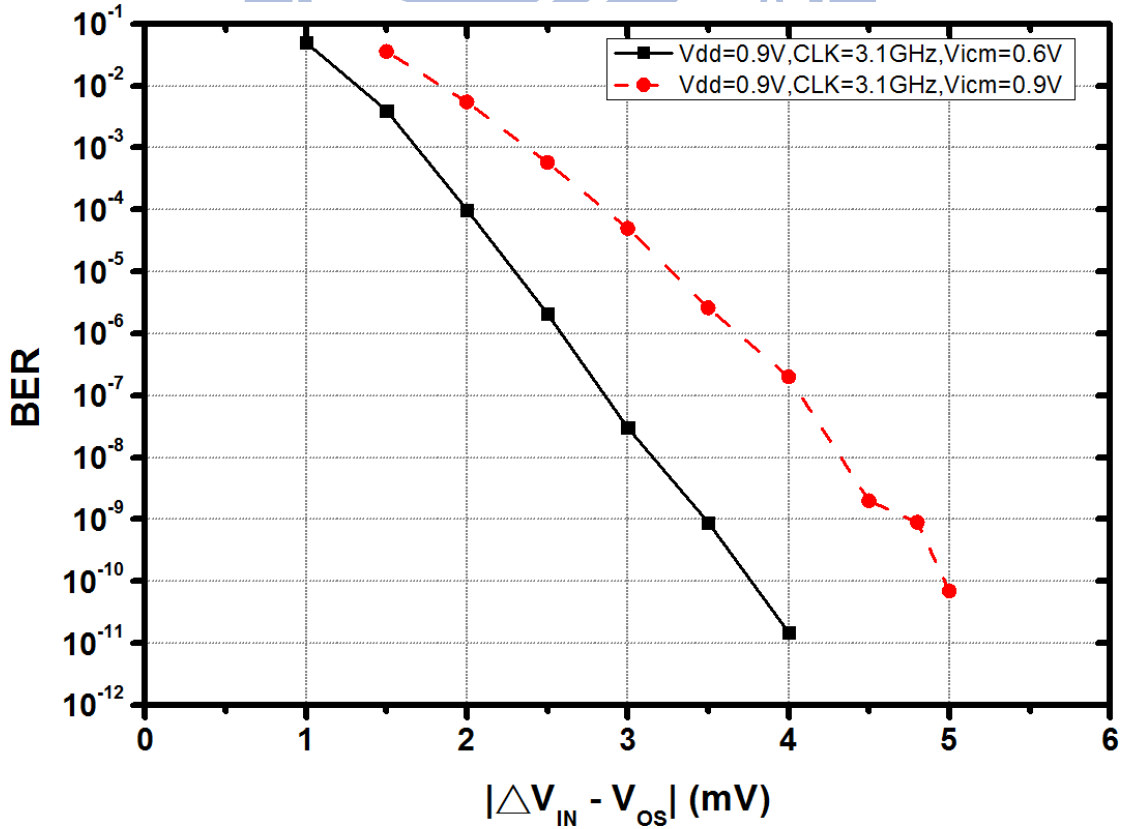


圖 5.16 比較器(I)的高壓誤碼率量測結果



圖 5.13 及 5.14 為偏差電壓量測結果，圖 5.15 及圖 5.16 分別為雜訊及誤碼率量測結果，誤碼率量測使用 PRBS 2<sup>7</sup>-1，因操作頻率與 FF corner 接近，故推測較接近 FF corner，表 5.2 為 FF 模擬結果與量測比較

	Post-sim	Measurement result	
<b>CMOS Process</b>	65nm		
<b>V<sub>dd</sub></b> (V)	0.9		
<b>CLK rate</b> (GHz)	3.2	3.1	
<b>V<sub>icm</sub></b> (V)	0.9	0.6	0.9
<b>Offset <math>\sigma_{Vos}</math></b> (mV)	10 (50 amples)	8.5 (20 amples)	8.5 (20 amples)
<b>Noise <math>\sigma_{noise}</math></b> (mV)	1	0.45	0.65
<b>Sensitivity (mV)</b> @BER=10 <sup>-9</sup>	NA	3.5	4.8
<b>Energy/decision</b> (fJ)	128 @vin=50mV 146 @vin=1mV	110 @vin=50mV 120 @BER=10 <sup>-9</sup>	111 @vin=50mV 121 @BER=10 <sup>-9</sup>
<b>Comparator area</b> ( $\mu m^2$ )	200		

表 5.2 新式比較器(I)的高壓模擬與量測比較結果

## 5.4 新式低壓比較器(II)量測結果

### 5.4.1 低壓量測結果

比較器輸入及輸出電路與前一架構相同，僅把比較器部分替換，圖 5.17 為此架構之輸入及輸出波形圖。

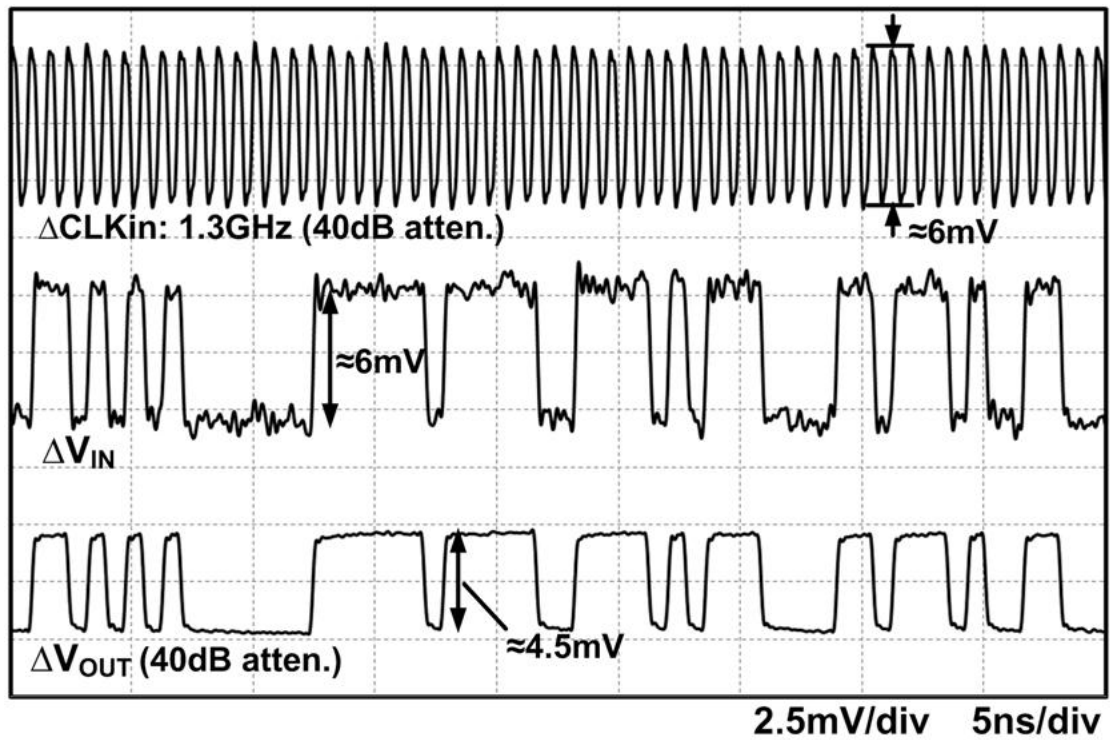


圖 5.17 比較器的輸入及輸出波形圖

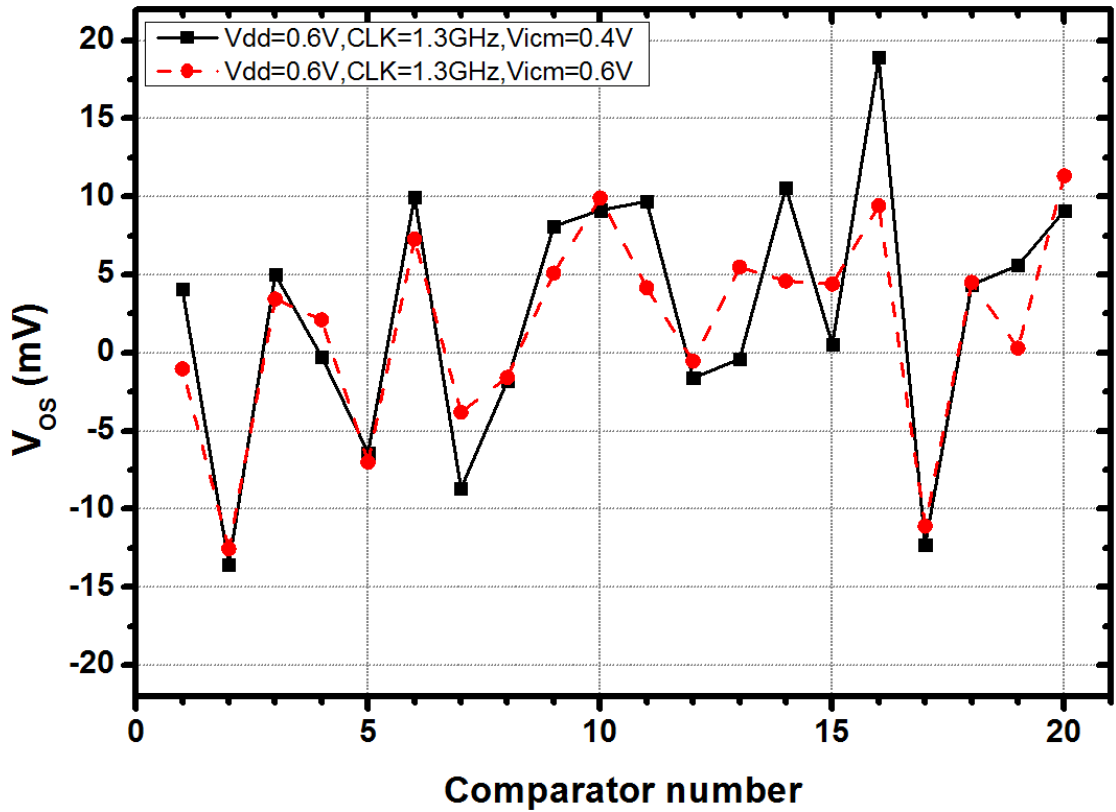


圖 5.18 比較器(II)的低壓偏差電壓量測結果

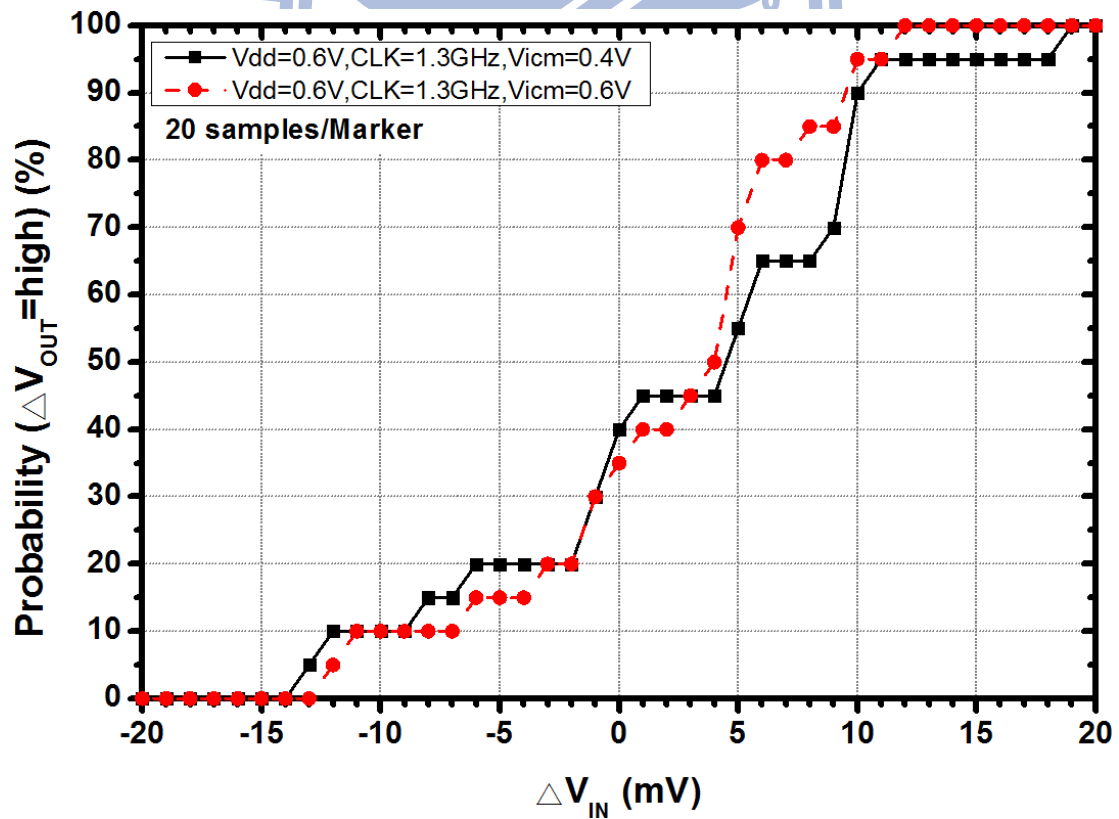


圖 5.19 比較器(II)的低壓偏差電壓累積分布統計結果

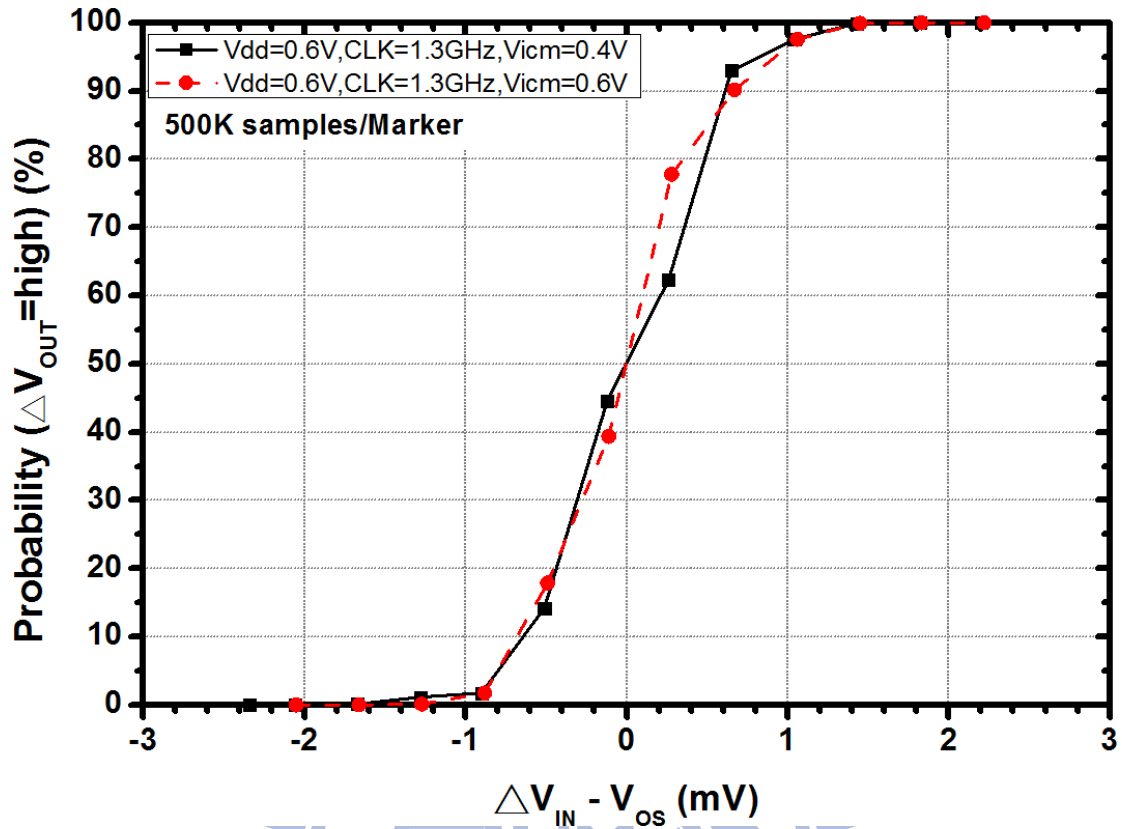


圖 5.20 比較器(II)的低壓雜訊量測結果

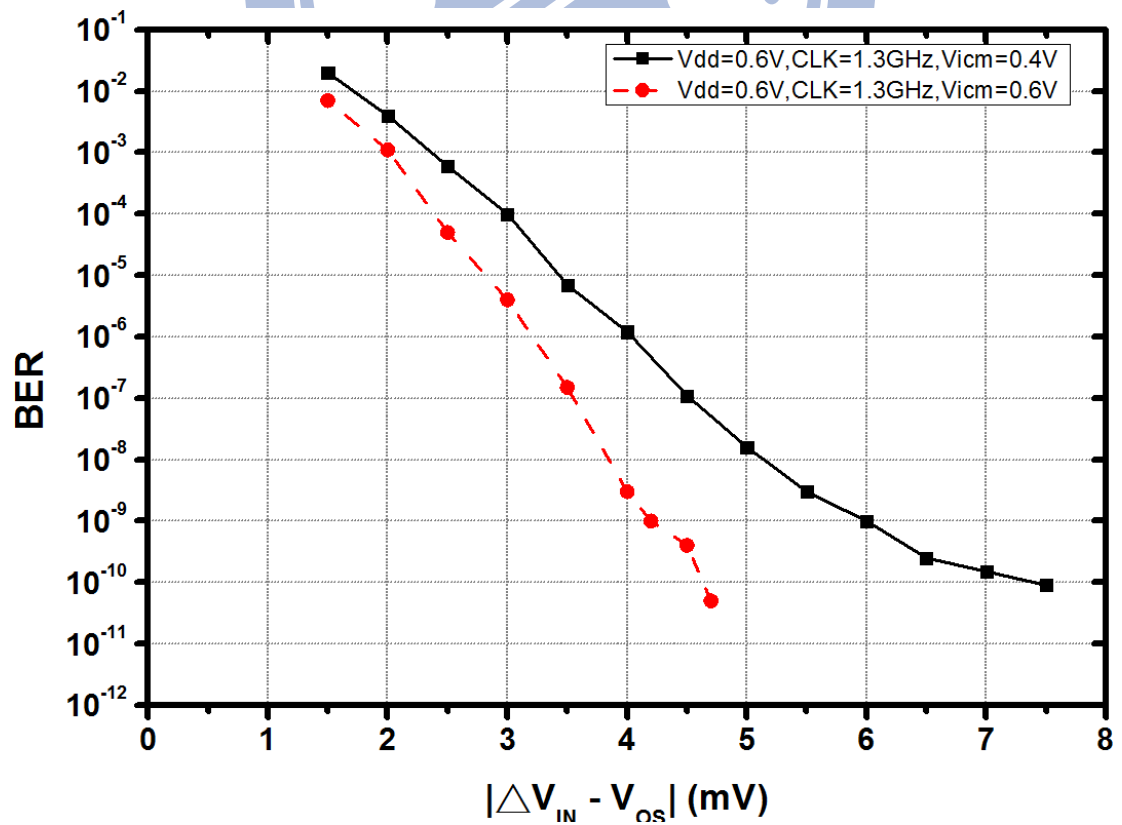


圖 5.21 比較器(II)的低壓誤碼率量測結果

圖 5.18 及 5.19 為偏差電壓量測結果，圖 5.20 及圖 5.21 分別為雜訊及誤碼率量測結果，誤碼率量測使用 PRBS 2<sup>7</sup>-1，因操作頻率與 FF corner 接近，故推測較接近 FF corner，表 5.3 為 FF 模擬結果與量測比較

	Post-sim	Measurement result	
<b>CMOS Process</b>	65nm		
<b>V<sub>dd</sub></b> (V)	0.6		
<b>CLK rate</b> (GHz)	1.5	1.3	
<b>V<sub>icm</sub></b> (V)	0.6	0.4	0.6
<b>Offset <math>\sigma_{Vos}</math></b> (mV)	11 (50 amples)	8.5 (20 amples)	7.5 (20 amples)
<b>Noise <math>\sigma_{noise}</math></b> (mV)	1	0.5	0.5
<b>Sensitivity (mV)</b> @BER=10 <sup>-9</sup>	NA	6	4.2
<b>Energy/decision</b> (fJ)	55 @vin=50mV 60 @vin=1mV	45 @vin=50mV 49 @BER=10 <sup>-9</sup>	45 @vin=50mV 49 @BER=10 <sup>-9</sup>
<b>Comparator area</b> ( $\mu m^2$ )	265		

表 5.3 新式比較器(II)的低壓模擬與量測比較結果

### 5.4.2 高壓量測結果

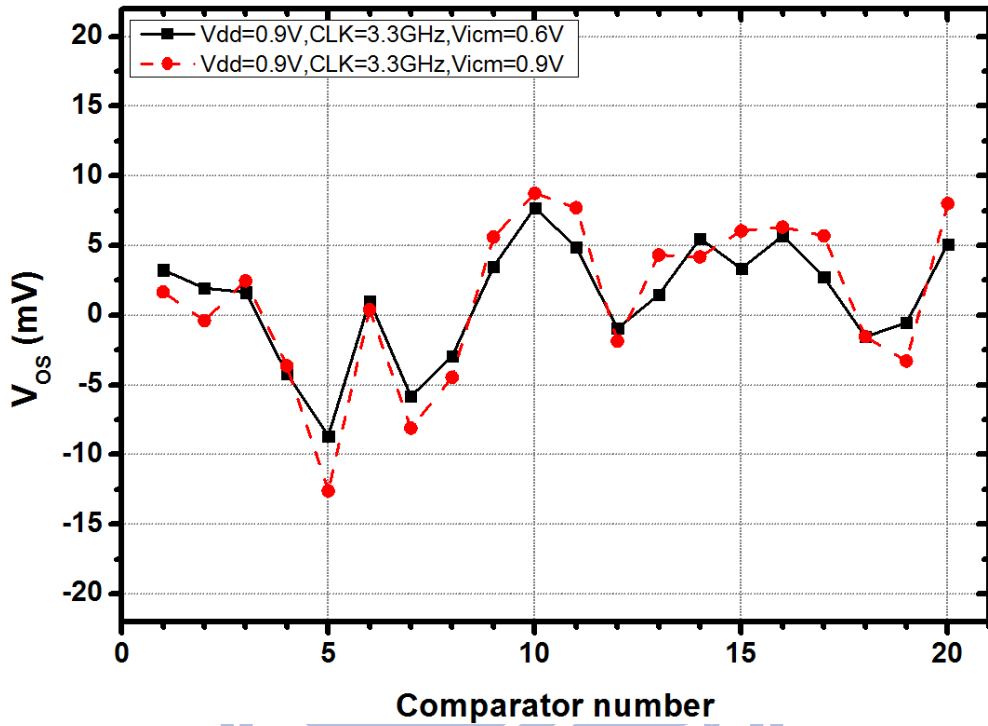


圖 5.22 比較器(II)的高壓偏差電壓量測結果

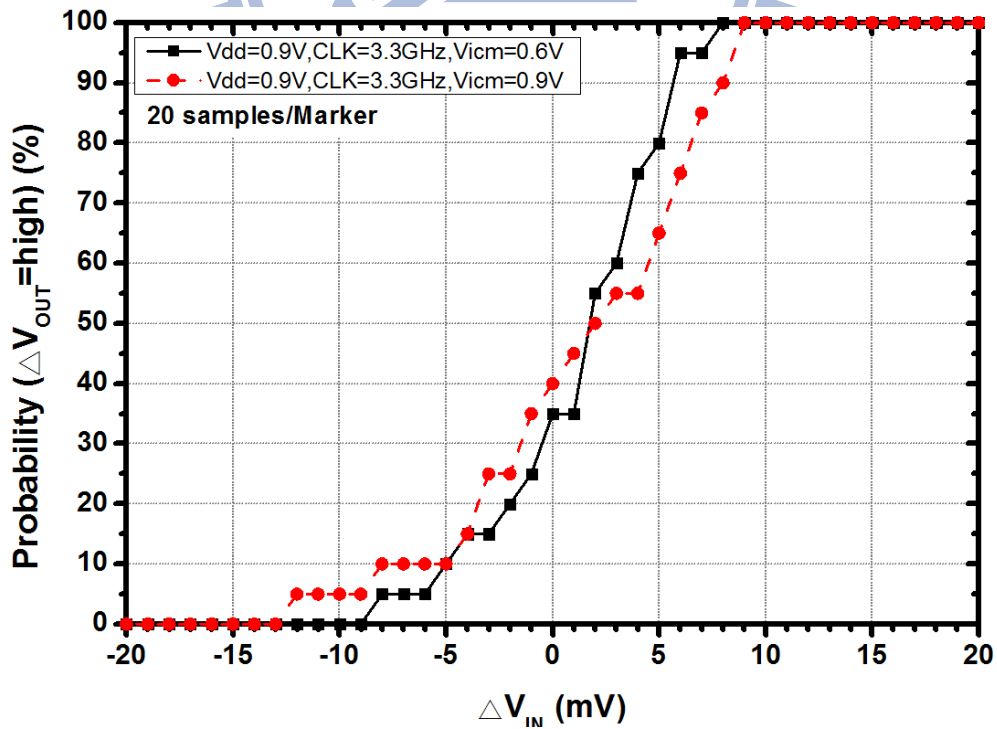


圖 5.23 比較器(II)的高壓偏差電壓累積分布統計結果

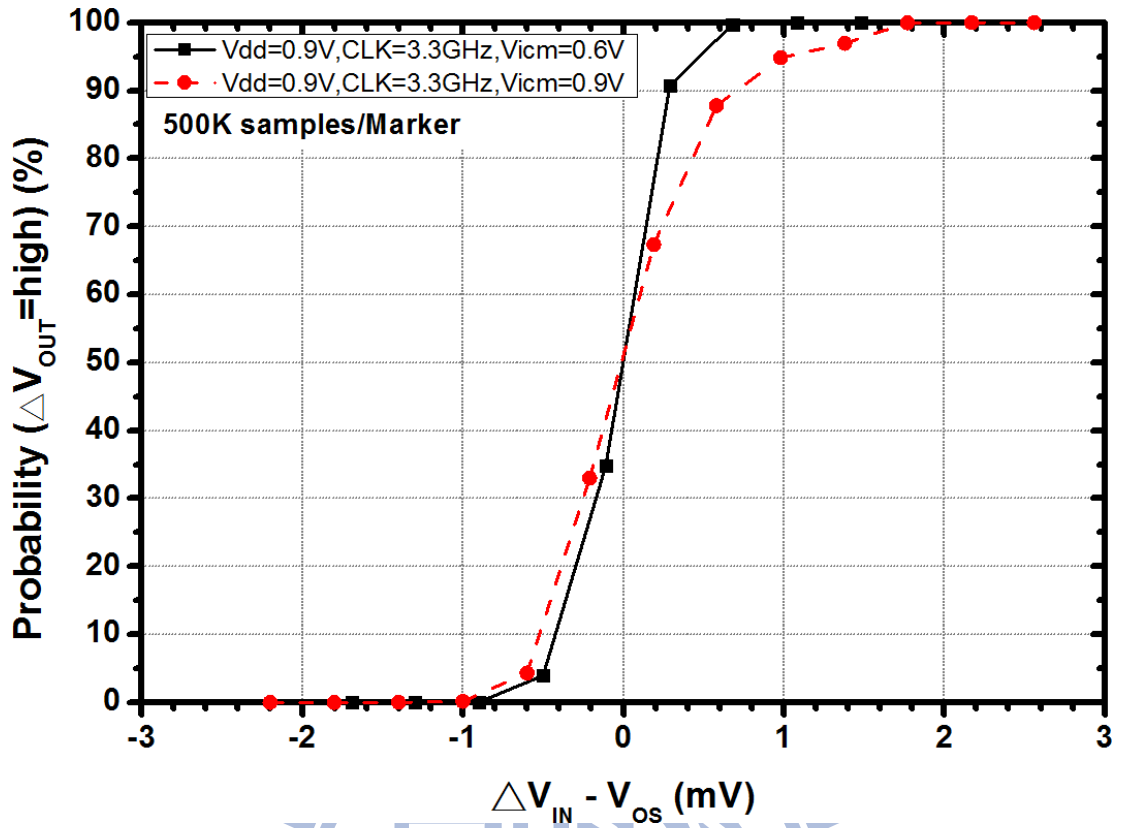


圖 5.24 比較器(II)的高壓雜訊量測結果

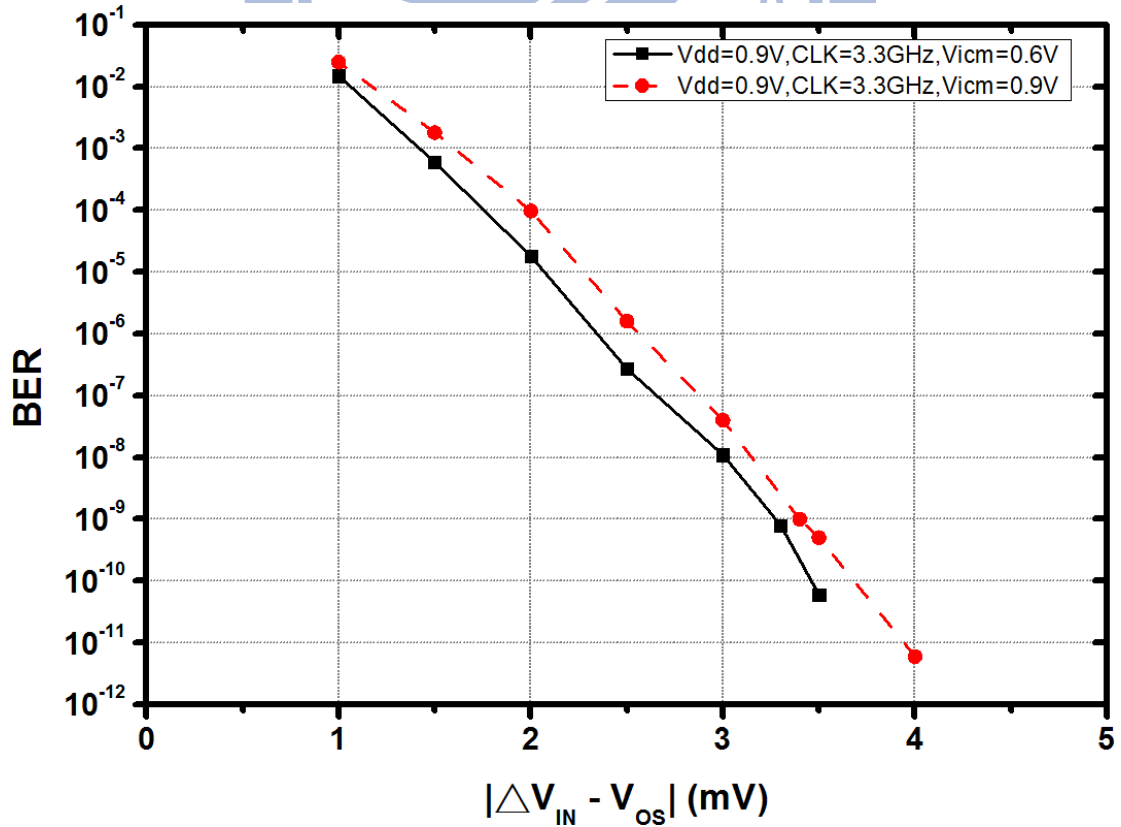


圖 5.25 比較器(II)的高壓誤碼率量測結果

圖 5.22 及 5.23 為偏差電壓量測結果，圖 5.24 及圖 5.25 分別為雜訊及誤碼率量測結果，誤碼率量測使用 PRBS 2<sup>7</sup>-1，因操作頻率與 FF corner 接近，故推測較接近 FF corner，表 5.4 為 FF 模擬結果與量測比較

	Post-sim	Measurement result	
<b>CMOS Process</b>	65nm		
<b>V<sub>dd</sub></b> (V)	0.9		
<b>CLK rate</b> (GHz)	3.4	3.3	
<b>V<sub>icm</sub></b> (V)	0.9	0.6	0.9
<b>Offset <math>\sigma_{Vos}</math></b> (mV)	10 (50 amples)	6 (20 amples)	6 (20 amples)
<b>Noise <math>\sigma_{noise}</math></b> (mV)	0.9	0.3	0.45
<b>Sensitivity (mV)</b> @BER=10 <sup>-9</sup>	NA	3.3	3.4
<b>Energy/decision</b> (fJ)	148 @vin=50mV 177 @vin=1mV	124 @vin=50mV 143 @BER=10 <sup>-9</sup>	124 @vin=50mV 143 @BER=10 <sup>-9</sup>
<b>Comparator area</b> ( $\mu m^2$ )	265		

表 5.4 新式比較器(II)的高壓模擬與量測比較結果



表 5.5 是為這兩個架構的比較，可以看到低電壓時，架構二速度快了 30%，但是偏差電壓、雜訊和和誤碼率幾乎都一樣，且能量消耗的部分僅增加 20%，高電壓時也不用另做設計也可以擁有比較快的速度，且偏差電壓、雜訊和和誤碼率的表現都較好，能量消耗稍微也僅增加 20%，故可以看到在低壓下都可操作且速度都達 GHz 以上。故架構一為可在低壓高速操作，架構二在大範圍供給電壓都有良好表現。表 5.6~表 5.8 為與文獻比較之結果。

	Proposed comparator I		Proposed comparator I		Proposed comparator II			
CMOS Process	65nm		65nm		65nm			
$V_{dd}$ (V)	0.6		0.9		0.6	0.9		
CLK rate (GHz)	1		3.1		1.3	3.3		
$V_{icm}$ (V)	0.4	0.6	0.6	0.9	0.4	0.6	0.6	0.9
Offset $\sigma_{Vos}$ (mV)	6	11	8.5	8.5	8.5	7.5	6	6
Noise $\sigma_{noise}$ (mV)	0.65	1.1	0.45	0.65	0.5	0.5	0.3	0.45
Sensitivity (mV) @BER= $10^{-9}$	3	4.5	3.5	4.8	6	4.2	3.3	3.4
Energy/decision (fJ) @BER= $10^{-9}$	38	40	120	121	49	49	143	143
Comparator area ( $\mu m^2$ )	200		200		265			

表 5.5 新式比較器(I)與(II)比較表

	ISSCC'09	TCAS-II'09		Proposed comparator I
CMOS Process	65nm	65nm		65nm
$V_{dd}$ (V)	0.6	0.65	0.75	0.6
CLK rate (GHz)	0.7	0.6	1	1
Offset $\sigma_{Vos}$ (mV)	47 (sim.)	6.1 (sim.)	4 (sim.)	6 @ $V_{icm}=0.4V$
Noise $\sigma_{noise}$ (mV)	NA	NA	NA	0.65
Sensitivity (mV) @BER= $10^{-9}$	90.2	12.1	7	3 @ $V_{icm}=0.4V$
Power consumption ( $\mu W$ )	47 @BER= $10^{-9}$	128 @BER= $10^{-9}$	295 @BER= $10^{-9}$	38 @BER= $10^{-9}$
Energy/decision (fJ)	67 @BER= $10^{-9}$	213 @BER= $10^{-9}$	295 @BER= $10^{-9}$	38 @BER= $10^{-9}$
Comparator area ( $\mu m^2$ )	319	1394		200

表 5.6 新式比較器(I)低壓操作與文獻比較表

	ISSCC'07	ISSCC'09	TCAS-II'09	CICC'11	Proposed comparator I
CMOS Process	90nm	65nm	65nm	65nm	65nm
$V_{dd}$ (V)	1.2	1.2	1.2	1	0.9
CLK rate (GHz)	2	7	5	4	3.1
Offset $\sigma_{Vos}$ (mV)	8	22 (sim.)	1.9 (sim.)	3 (after cal.)	8.5 @Vicm=0.6V
Noise $\sigma_{noise}$ (mV)	1.5	NA	NA	NA	0.45
Sensitivity (mV) @BER=10 <sup>-9</sup>	NA	281	145	52 @BER=10 <sup>-5</sup>	3.5 @Vicm=0.6V
Power Consumption ( $\mu$ W)	226	1300	2880	455	372
Energy/decision (fJ)	113 @vin=50mV	186 @BER=10 <sup>-9</sup>	213 @BER=10 <sup>-9</sup>	114 @BER=10 <sup>-5</sup>	110 @vin=50mV 120 @BER=10 <sup>-9</sup>
Comparator area ( $\mu$ m <sup>2</sup> )	85	319	1394	98	200

表 5.7 新式比較器(II)高壓操作與文獻比較表

	ISSCC'07	ISSCC'09		TCAS-II'09		CICC'11	Proposed comparator II	
CMOS Process	90nm	65nm		65nm		65nm	65nm	
$V_{dd}$ (V)	1.2	0.6	1.2	0.65	1.2	1	0.6	0.9
CLK rate (GHz)	2	0.7	7	0.6	5	4	1.3	3.3
Offset $\sigma_{Vos}$ (mV)	8	47 (sim.)	22 (sim.)	6.1 (sim.)	1.9 (sim.)	3 (after cal.)	7.5 @Vicm=0.6V	6 @Vicm=0.9V
Noise $\sigma_{noise}$ (mV)	1.5	NA	NA	NA	NA	NA	0.5	0.45
Sensitivity (mV) @BER=10 <sup>-9</sup>	NA	90.2	281	12.1	145	52 @BER=10 <sup>-5</sup>	4.2 @Vicm=0.6V	3.4 @Vicm=0.9V
Power consumption ( $\mu$ W)	226	47	1300	128	2880	455	64	472
Energy/decision (fJ)	113 @vin=50mV	67 @BER=10 <sup>-9</sup>	186 @BER=10 <sup>-9</sup>	213 @BER=10 <sup>-9</sup>	576 @BER=10 <sup>-9</sup>	114 @BER=10 <sup>-5</sup>	49 @BER=10 <sup>-9</sup>	143 @BER=10 <sup>-9</sup>
Comparator area ( $\mu$ m <sup>2</sup> )	85	319		1394		98	265	

表 5.8 新式比較器(II)與文獻比較表

## 第六章 結論與改進

在這次研究中，提出能在低電壓下操作的比較器，並且以 65nm 金氧半製程實現可以在供給電壓為 0.6 伏特時，操作速度仍可達到 GHz 以上且具有良好的敏感度。但在佈局方面因為雜散電容及走線影響而使速度下降很多，雖然能正常的工作，但也是需要改進的地方，而在較高的供給電壓下，也仍然能有不錯的表現，所以不僅在低電壓下適用，也可應所需供給電壓而做設計。

未來在低電壓操作會越來越重要，低電壓操作的技術會越來越多，若能與此兩架構結合或是這兩種架構相結合，則速度有望再做提升。



## 參考文獻

- [1] B. Goll and H. Zimmermann, "A 65nm CMOS Comparator with Modified Latch to Achieve 7GHz/1.3mW at 1.2V and 700MHz/47 $\mu$ W at 0.6V," in *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, 2009, pp.328-329,329a
- [2] B. Goll and H. Zimmermann, "A Comparator With Reduced Delay Time in 65-nm CMOS for Supply Voltages Down to 0.65V," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, pp. 810-814, 2009.
- [3] Jieh-Tsorng Wu, *Data-Conversion Integrated Circuits*, 2010
- [4] David A. Johns and Ken Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., 1997.
- [5] Tsuguo Kobayashi, *et al.*, "A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture," *IEEE Journal Solid-State Circuits*, vol. 28, pp. 523-527, Apr. 1993.
- [6] B. Wicht, *et al.*, "Yield and Speed Optimization of a Latch-Type Voltage Sense Amplifier," *IEEE Journal Solid-State Circuits*, vol. 39, pp. 1148-1158, July 2004.
- [7] B. Goll and H. Zimmermann, "A Low-Power 4GHz Comparator in 120nm CMOS Technology with a Technique to tune Resolution," in *Proceedings of the 32nd European Solid-State Circuits Conference*, 2006, pp. 320-323
- [8] C.-H. Chan, *et al.*, "A Reconfigurable Low-Noise Dynamic Comparator with Offset Calibration in 90nm CMOS," in *Solid-State Circuits Conference, 2011. ASSCC '11. IEEE Asian*, 2011, pp. 233-236.
- [9] D. Schinkel, *et al.*, "A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps Setup+Hold Time" in *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, 2007, pp. 314-315.
- [10] M. Miyahara, *et al.*, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," in *Solid-State Circuits Conference, 2008. ASSCC '08. IEEE Asian*, 2008, pp. 269-272.
- [11] L. Kong, *et al.*, "A Multi-GHz Area-Efficient Comparator with Dynamic Offset Cancellation," in *IEEE Custom Integrated Circuits Conference*, 2011, pp. 1-1.
- [12] M. Miyahara and A. Matsuzawa, "A Low-Offset Latched Comparator Using Zero-Static Power Dynamic Offset Cancellation Technique," in *Solid-State Circuits Conference, 2009. ASSCC '09. IEEE Asian*, 2009, pp. 233-236.

- [13] G. Van der Plas, *et al.*, "A 0.16pJ/Conversion-step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process," in *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, 2006, pp. 556-567.
- [14] M. Miyahara, *et al.*, "A 0.5 V, 1.2 mW, 160 fJ, 600 MS/s 5 bit Flash ADC," in *Solid-State Circuits Conference, 2010. ASSCC '10. IEEE Asian*, 2010, pp. 1-4.
- [15] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2000
- [16] B.-W. Chen, *et al.*, "A 6-Bit, 1.2-GS/s ADC with Wideband THA in 0.13 $\mu$ m CMOS," in *Solid-State Circuits Conference, 2008. ASSCC '08 IEEE Asian*, 2008, pp. 381-384.
- [17] Pedro M. Figueiredo and João C. Vital, "Kickback Noise Reduction Techniques for CMOS Latched Comparators," *IEEE Transactions on Circuits and Systems II: Express Briefs.*, vol. 53, pp. 541-545, 2006.
- [18] A. Matsuzawa, "Energy efficient ADC design with low voltage operation," in *ASIC(ASICON), 2011. ASIC '11. IEEE International Conference.*, 2011, pp. 508-511.

