

國立交通大學

電控工程研究所

碩士論文

0.5-V 低電壓類比前端積體電路應用於生醫訊號紀錄

**0.5-V Low Voltage Analog Front-End IC for Biomedical
Signal Recording**

研究生：楊澤勝

指導教授：蘇朝琴 教授

中華民國一百零一年七月

0.5-V 低電壓類比前端積體電路應用於生醫訊號紀錄

**0.5-V Low Voltage Analog Front-End IC for Biomedical
Signal Recording**

研究生：楊澤勝

Student : Tze-Zheng Yang

指導教授：蘇朝琴 教授

Advisor : Chau-Chin Su

國立交通大學

電控工程研究所

碩士論文

A Thesis

Submitted to Institute of Electrical Control Engineering
College of Electrical Engineering and Computer Science
National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical Control Engineering

July 2012

Hsinchu, Taiwan, Republic of China

中華民國一百零一年七月

0.5-V 低電壓類比前端積體電路應用於生醫訊號紀錄

研究生：楊澤勝

指導教授：蘇朝琴 教授

國立交通大學電控工程研究所

摘 要

隨著現代醫學的發達，可攜帶的生醫訊號量測裝置的需求越來越大。我們希望病人可以攜帶輕巧的監控裝置並可長時間的監控。本研究提出一個 0.5-V 低電壓,可程式化的 CMOS 類比前端積體電路應用在生醫訊號測量。我們的設計能夠處理心電圖，肌電圖，以及腦波訊號，並且利用差動放大、chopper-stabilized 與交流回授電路技巧阻隔電極片的直流偏移，共模雜訊，以及 1/f 雜訊。類比前端放大電路的 input-referred noise floor 為 $36 \frac{nV}{\sqrt{Hz}}$ 以及 3.26 的 noise-efficient factor (NEF)。另外，可程式化放大器的電壓增益可以透過數位介面控制，實現上容易與 DSP 整合。總功率消耗是 $4.21\mu W$ (不包含偏壓電路)。所提出的電路架構將被實現在 UMC CMOS 90 nm 的製程，其晶片面積為 $0.75mm \times 0.66mm$ (不包含 PAD)

索引詞彙—生物電位放大器，穩定截波放大器，低電壓電路，可程式化增益放大器

0.5-V Low Voltage Analog Front-End IC for Biomedical Signal Recording

Student: Tze-Zheng Yang

Advisor: Chau-Chin Su

Institute of Electrical Control Engineering

National Chiao Tung University

Abstract

In this thesis, a 0.5-V low voltage programmable CMOS analog front-end IC for biomedical signal acquisition is presented. The design deals with Electrocardiogram (ECG), Electromyogram (EMG), and Electroencephalogram (EEG) signals, while reject DEO (Differential Electrode Offset), common-mode disturbance and solve flicker noise by differential circuits and chopper-stabilized technique with an AC feedback circuit. The analog front-end circuits achieve $36 \text{ nV}/\sqrt{\text{Hz}}$ input-referred noise floor and the noise-efficient factor (NEF) of 3.26. The programmable gain amplifier (PGA) sets voltage gain with digital interface, which could be integrated with DSP easily. The total power consumption is $4.21 \mu\text{W}$ (biasing circuits are excluded). The chip is realized in UMC 1P9M 90nm CMOS process. The active die area is 0.75mm X 0.66mm.

Index Terms – Bio-potential amplifier, Chopper-stabilized amplifier, Low-voltage circuits, Programmable gain amplifier.

誌謝

首先最感謝的人就是我的指導老師:蘇朝琴教授，感謝老師三年來能夠教導我做研究的方法，當我遇到瓶頸時，能夠適當的指引我方向，讓我能夠完成本篇論文，未來在職場上，我會將所學到的態度與方法加以運用。

接著我要感謝的是實驗室的博班學長們，感謝煜輝學長不辭辛勞的帶領生醫計畫，並指導我實作的經驗，同時也感謝盈杰學長一直幫忙生醫計畫，以及教導許多量測晶片上的技巧，最後要感謝庭佑學長幫忙督促生醫計畫的進度以及在我下線時幫忙佈局，也很謝謝學長每次都抽空來維護實驗室的工作站，謝謝實驗室博班學長的指導。

很感謝實驗室碩班學長: 于昇、哲瑋、鈞藝、博祥、群育、修銘、泓瑋，不論在學業以及生活上都帶給我很大的啟發與樂趣。感謝碩班一起奮鬥的夥伴: 璟伊、弘宇、順煜、昶志，大家一起尬學術的那段日子，實在難忘，也祝你們未來都能發光發熱。最後要感謝實驗室的開心果學弟學妹們: 紅豆、馬克、加藤哲、阿 Mon 以及碩一學弟學妹: 怡婷、勇志、可卿、可謙、皓鈞、子軒、政隆，謝謝你們為枯燥的實驗室生活帶來了歡笑。

家人方面我最感謝的是我父母，謝謝他們一直不辭辛勞的工作，讓我可以無後顧之憂的讀研究所，並且在我低潮時鼓勵我，同時也要感謝我的親哥哥以及表哥表姊們謝謝你們帶領我走向電機之路，陪伴我成長到今天。也要謝謝我的大學同學和高中同學，這三年大家互相成長進步。

最後我要跟過世的外婆說一聲，我們約好的事已經踏出一大步了，希望您會一直在我心中，看我達成約定的那一天。

本論文僅獻給阿嬤、阿姨、嘉文

目錄

摘 要	i
Abstract	ii
目 錄	iv
圖目錄	vii
表目錄	x
第一章	1
緒 論	1
1.1 動機	1
1.2 系統簡介	4
1.3 論文結構	4
第二章	5
動態偏移消除技術	5
2.1 介紹	5
2.2 雜訊	6
熱雜訊	6
閃爍雜訊	8
2.3 動態偏移消除技術	9
(DYNAMIC OFFSET CANCELLATION TECHNIQUE)	9
自動歸零放大器(Auto – Zero Amplifier)	10
截波穩定放大器(Chopper-Stabilized Amplifier)	13

2.4 交流耦合截波穩定放大器(交流回授).....	17
2.5 總結.....	19
第三章.....	20
0.5-V 類比前端積體電路設計(一).....	20
3.1 類比前端電路設計.....	20
3.2 儀表放大器.....	22
3.3 可程式化增益放大器.....	36
3.4 系統模擬結果與佈局.....	40
3.5 規格比較.....	50
第四章.....	51
0.5-V 類比前端積體電路設計(二).....	51
4.1 介紹.....	51
4.2 類比前端電路與規格.....	52
4.3 儀表放大器.....	52
4.4 可程式化增益放大器.....	56
4.5 系統模擬結果與佈局.....	58
第五章.....	66
量測結果.....	66
5.1 量測 PCB 考量.....	66
5.2 量測晶片環境設定.....	68
5.3 量測結果與討論.....	69
第六章.....	80

結論	80
6.1 結果與討論	80
6.2 未來展望	81
參考文獻	82



圖目錄

圖 1-1 腦波圖 α 波.....	2
圖 1-2 心電圖.....	2
圖 1-3 肌電圖.....	3
圖 1-4 傳統生醫訊號前端感測電路系統.....	4
圖 2-1 熱雜訊時域圖.....	6
圖 2-2 熱雜訊功率密度頻譜圖.....	6
圖 2-3(a) 電壓源的電阻熱雜訊模型	(b) 電流源的電阻熱雜訊模型.....7
圖 2-4 電晶體熱雜訊模型.....	7
圖 2-5 電晶體雜訊模型，包含熱雜訊和閃爍雜訊.....	8
圖 2-6 電晶體的雜訊功率頻譜.....	9
圖 2-7 自動歸零放大器.....	11
圖 2-8 自動歸零技術觀念.....	11
圖 2-9 自動歸零對熱雜訊頻譜功率圖.....	12
圖 2-10 歸零對閃爍雜訊功率頻譜圖.....	12
圖 2-11 截波訊號示意圖.....	13
圖 2-12 直流訊號經過截波調變時域圖.....	13
圖 2-13 截波調變流程圖.....	14
圖 2-14 截波調變對閃爍雜訊功率頻譜圖.....	14
圖 2-15 截波調變時域圖(非理想).....	15
圖 2-16 電荷注入產生圖	圖 2-17 電荷注入對訊號影響圖.....15
圖 2-18 突波經過截波調變圖.....	16
圖 2-19 交流耦合截波穩定放大器(交流回授)圖.....	18
圖 3-1 生醫訊號感測類比前端電路.....	20
圖 3-2 N 型電晶體截波開關.....	22
圖 3-3 交流耦合回授儀表放大器.....	24
圖 3-4 放大器增益和相位模擬圖.....	26
圖 3-5 放大器迴轉率模擬圖.....	27
圖 3-6 儀表放大器內部運算放大器.....	27
圖 3-7 開關共模回授電路.....	28
圖 3-8 連續時間共模回授電路.....	29
圖 3-9 非重疊時脈產生器.....	30
圖 3-11 拔靴式電路.....	31
圖 3-12 拔靴式電路操作原理(VDD ~ VSS).....	32
圖 3-13 拔靴式電路操作原理(VSS ~ VDD).....	32
圖 3-14 拔靴式電路輸出電壓模擬圖.....	33
圖 3-15 截波開關電導模擬圖(無拔靴式電路).....	33

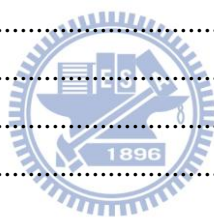
圖 3-16 截波開關電導模擬圖(有拔靴式電路).....	34
圖 3-17 Gm-C 濾波器.....	35
圖 3-18 全差動電流鏡放大器.....	35
圖 3-19 可程式化增益放大器圖.....	36
圖 3-20 開迴路增益放大器圖.....	37
圖 3-21 開迴路放大器增益與相位圖.....	38
圖 3-22 放大器迴轉率模擬圖.....	38
圖 3-23 疊接電晶體示意圖.....	40
圖 3-24 類比前端電路 FFT 模擬圖.....	40
圖 3-25 類比前端電路增益頻寬模擬圖.....	41
圖 3-26 前端電路雜訊截波比較圖.....	42
圖 3-27 前端電路雜訊模擬圖.....	42
圖 3-28 共模拒斥比模擬圖.....	43
圖 3-29 共模增益示意圖.....	44
圖 3-30 實際放大器負電阻示意圖.....	44
圖 3-31 共模拒斥比蒙地卡羅模擬圖.....	45
圖 3-32 類比前端電路晶片佈局圖.....	45
圖 3-33 心電圖訊號模擬圖.....	49
圖 4-1 類比前端電路架構圖.....	52
圖 4-2 儀表放大器電路圖.....	52
圖 4-3 儀表放大器內部運算放大器圖.....	53
圖 4-4 非重疊時脈產生器和拔靴式電路圖.....	55
圖 4-5 Gm-C 濾波器內部放大器圖.....	56
圖 4-6 可程式化增益放大器圖.....	57
圖 4-7 類比前端電路 FFT 模擬圖.....	58
圖 4-8 針對肌電圖和心電圖的增益頻寬圖.....	59
圖 4-9 針對腦波圖的增益頻寬圖.....	59
圖 4-10 前端電路雜訊模擬圖.....	60
圖 4-11 共模拒斥比模擬圖.....	61
圖 4-12 類比前端電路晶片佈局圖.....	62
圖 4-13 心電圖訊號模擬圖.....	65
圖 5-1 類比前端電路晶片打線圖.....	67
圖 5-2 濾波電容電感圖.....	67
圖 5-3 量測環境設定圖.....	68
圖 5-4 輸入訊號量測圖.....	69
圖 5-5 輸出訊號(000)量測圖.....	69
圖 5-6 輸出訊號(100)量測圖.....	70
圖 5-7 輸出訊號(101)量測圖.....	70

圖 5-8 輸出訊號(110)量測圖	71
圖 5-9 輸出訊號(111)量測圖	71
圖 5-10 輸出訊號(000)量測圖	72
圖 5-11 輸出訊號(100)量測圖	72
圖 5-12 輸出訊號(101)量測圖	73
圖 5-13 輸出訊號(110)量測圖	73
圖 5-14 輸出訊號(111)量測圖	74
圖 5-15 ECG 輸入訊號量測圖(頻寬 1KHz).....	74
圖 5-16 ECG 輸出訊號(000)量測圖(頻寬 1KHz).....	75
圖 5-17 ECG 輸出訊號(100)量測圖(頻寬 1KHz).....	75
圖 5-18 ECG 輸出訊號(101)量測圖(頻寬 1KHz).....	76
圖 5-19 ECG 輸出訊號(110)量測圖(頻寬 1KHz).....	76
圖 5-20 ECG 輸出訊號(111)量測圖(頻寬 1KHz).....	77



表目錄

表 1-1 生醫訊號.....	3
表 3-1 類比前端電路規格.....	21
表 3-3 放大器增益頻寬的製程角落模擬表.....	26
表 3-4 放大器迴轉率的製程角落模擬表.....	27
表 3-5 放大器增益頻寬的製程角落模擬表.....	38
表 3-6 放大器迴轉率的製程角落模擬表.....	39
表 3-7 總諧波失真表.....	41
表 3-8 生醫訊號增益表.....	41
表 3-9 前端電路雜訊模擬表.....	42
表 3-10 生醫訊號雜訊總值表.....	43
表 3-11 共模拒斥比模擬表.....	43
表 3-12 類比前端電路功率消耗表.....	46
表 3-13 類比前端電路規格總結表.....	47
表 3-14 類比前端電路規格比較表.....	50
表 4-1 放大器規格表.....	54
表 4-2 可程式增益放大器增益表.....	57
表 4-3 總諧波失真表.....	58
表 4-4 生醫訊號增益表.....	60
表 4-5 前端電路雜訊模擬表.....	60
表 4-6 共模拒斥比模擬表.....	61
表 4-7 生醫訊號雜訊總值表.....	61
表 4-8 功率消耗表.....	62
表 4-9 類比前端電路規格總結表.....	63
表 5-1 可程式化增益放大器量測表.....	77
表 5-2 可程式化增益放大器功率模擬表.....	78
表 5-3 類比前端電路量測規格比較表.....	79



第一章

緒論

1.1 動機

由於現今CMOS技術、通信和低功耗電路設計技術的突飛猛進，為可攜式生物醫療設備行業帶來了不小的改變。生醫訊號的讀取系統已經可以由傳統分離元件組成的系統轉而由單一晶片所取代。一般來說，生醫訊號的振幅從幾微伏特到幾毫伏特都有，為了處理這些信號，必須設計低輸入雜訊和可程式化增益來適應如此高動態範圍的訊號。更進一步考慮減輕病人必須長時間忍受儀器所帶來的不舒服，於是，現今的生醫系統就朝向小體積、輕量化、可攜式來發展。以電路技術而言就必須朝向低雜訊、低功率、低電壓並且以電池供應電壓的系統為設計考量。

一般來說量測生醫訊號時，會使用兩片生理電極片固定在量測部位，再經由電極片將生醫訊號讀取到前端電路系統做處理。通常生醫訊號大多為低頻率的小訊號，但是外界或是電路的雜訊都比生醫訊號要來的大，所以一個前端電路其中要做的重要工作就是必須抑制這些雜訊。而大部分最主要要探討的可以分為三個部分。第一個為閃爍雜訊。由於電子在電晶體內流動的時候，根據能量的狀態容易陷入或被閘極和基極交界的自由鍵所釋放，使得汲極電流會因為閃爍雜訊而受到影響，由於生醫訊號具有相當低頻的成分，這也意味著閃爍雜訊會在低頻時加入到生醫訊號，導致輸出訊號失真。第二個所要討論的雜訊存在於電源線，電源線存在著50/60 Hz 的訊號並且很容易耦合到人的身體，這在人的生醫訊號上可以視為一個共模雜訊，在低電壓的電路裡影響更是重大，通常電源雜訊可以高達幾毫伏特，此雜訊一旦耦合到電路裡，容易造成電路輸出飽和，相較於

擺幅較小的生醫訊號，電源線雜訊將不可以忽視。第三個是由於兩個電極貼片所產生的不同 DC 準位，稱作差動電極偏移電壓(Differential Electrode Offset, DEO)。就傳統的氯化鋁電極而言，差動電極偏移電壓擺幅可高達50mV並隨著時間變化，這在生醫系統上是必須要處理的。表 1-1 為生醫訊號的一般規格。其中包含了圖 1-1 的腦波圖 (Electroencephalogram, EEG)，圖 1-2 的心電圖 (Electrocardiogram, ECG)，圖 1-3 的肌電圖 (Electromyogram, EMG)。

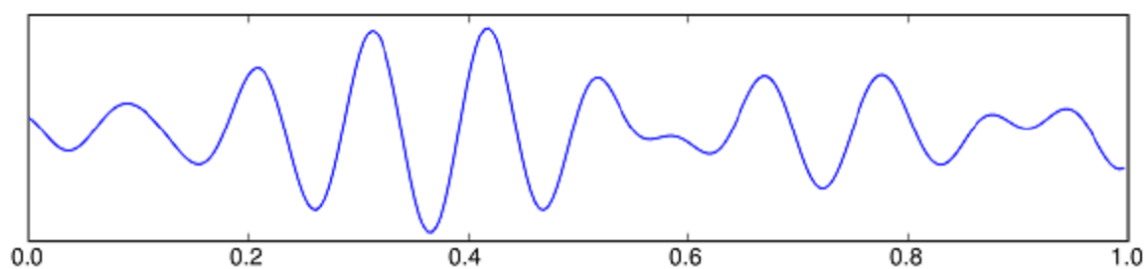
圖 1-1 腦波圖 α 波

圖 1-2 心電圖

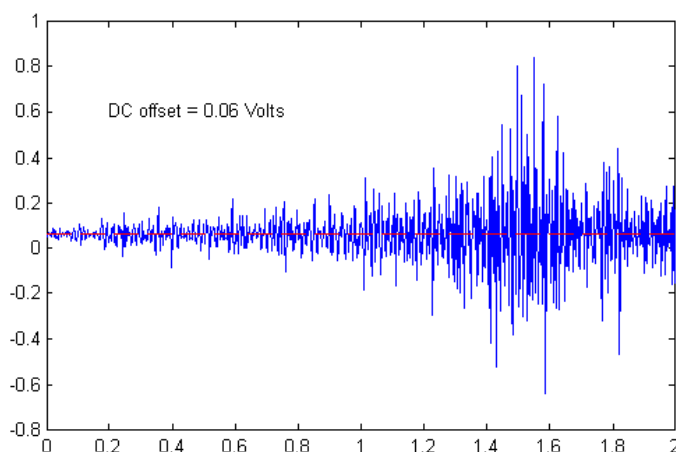


圖 1-3 肌電圖

表 1-1 生醫訊號

生醫訊號	頻寬	振幅(峰對峰值)
腦波圖(EEG)	0.5~100 Hz	50~100 μ V
心電圖(ECG)	0.5~100 Hz	1mV~2.5mV
肌電圖(EMG)	10~1K Hz	1mV~5mV

以上這些規格都是針對低頻生醫訊號。而閃爍雜訊、共模雜訊、差動電極偏移電壓(DEO)，則是偵測生醫訊號時最主要需要考量的。在一般生醫訊號處理的過程中，傳統的方式是使用一個擁有高共模拒斥比(CMRR)的儀表放大器來避免閃爍雜訊和抑制共模雜訊。對差動電極偏移電壓(DEO)而言，則是提高電壓或是使用雙電壓源來增加訊號的擺幅空間。根據功率消耗定理，功率的消耗是跟電壓成正比的，所以使用傳統的設計方式將是一個會消耗大量功率的方式，若要達成現今生醫技術所要求的低耗能裝置，上述的方法是不可行的。圖1-4為一個傳統生醫訊號前端感測電路系統。通常是使用兩個電極片黏在身體的表面，進而將生醫訊號傳送給前端電路。通常系統內會包含儀表放大器來做第一次的訊號放大，並且將不要的訊號藉由濾波器來濾除，接著將濾出的訊號送到數位類比轉換器去轉換成數位訊號，讓數位訊號系統去做訊號處理。

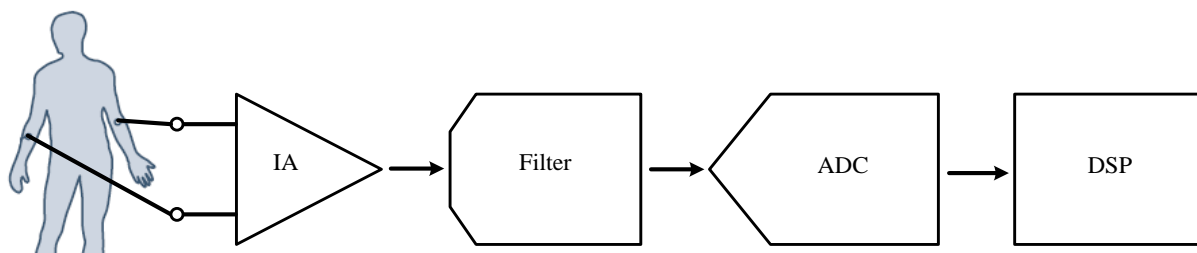


圖 1-4 傳統生醫訊號前端感測電路系統

1.2 系統簡介

在上節裡提到了傳統前端電路對於共模雜訊和差動電極偏移電壓(DEO)的解決辦法，但此作法並不適用於現今強調低功耗的可攜式生醫系統。要實現低功耗的系統，第一個最有效的方式便是降低系統供應電壓，但這也意味著雜訊所佔訊號的比例也越來越大，所以現代為了符合可攜式生醫訊號系統的趨勢，低雜訊、低電壓的生醫系統便是非常重要，也是現今類比積體電路設計的一大挑戰。在本篇研究中，我們實現了一個0.5V的低電壓類比生醫前端電路晶片，此前端電路提供了66 dB的放大倍率，由一個交流耦合的儀表放大器和可程式化增益放大器所組成。此電路的總消耗功率大概為4.21 μ W。

1.3 論文結構

本論文內容分成五個章節。第一章為緒論，簡介發展現況、研究動機以及論文結構。第二章會介紹動態偏移電壓消除的基本觀念與技巧。並且比較自動歸零放大器和截波放大器。此外，本章節還會介紹現今動態偏移電壓消除技巧和使用交流回授技巧的截波穩定放大器。第三章節則是介紹 0.5V 類比前端電路系統(一)及模擬結果。第四章節為設計 0.5V 類比前端電路系統(二)及模擬結果。第五章節為 0.5V 類比前端電路的晶片量測與討論，第六章為總結。

第二章

動態偏移消除技術 (Dynamic Offset Cancellation Technique)



2.1 介紹

在生醫系統裡類比前端電路最為重要的就是處理雜訊這件事，因為生醫訊號大多振幅都很小，往往一個雜訊就會使得訊號消失，所以認清雜訊的種類與處理方式，將是非常重要的。動態偏移消除技術(Dynamic Offset Cancellation Technique)[8]為處理雜訊常見的技術，本章節將會詳細介紹動態偏移消除技術的原理以及它對各種類型雜訊的影響。一開始 2.2 節會先介紹一些存在於生醫系統的雜訊種類以及來源。2.3 節將會介紹基本的動態偏移消除技術對雜訊的影響。2.4 節將會介紹本論文所使用的交流回授截波放大器以及跟傳統的動態偏移消除技術的差別。2.5 節則是將上述電路技術做個總結。

2.2 雜訊

在類比電路設計中，雜訊最主要可以分為兩種：半導體電路雜訊和環境雜訊。半導體電路雜訊可以分為閃爍雜訊和熱雜訊。環境雜訊可以分為電源端雜訊和電晶體基板耦合雜訊。本章節主要討論的是半導體電路雜訊。

熱雜訊

因為熱雜訊的雜訊功率頻譜在一極寬的頻寬下為定值，所以通常又稱作白色雜訊。熱雜訊的來源最主要是由於電子在導體中隨機的運動所產生的。經研究顯示熱雜訊與絕對溫度成正比。圖 2-1 為熱雜訊在時域的波形圖。圖 2-2 則是熱雜訊在單邊頻譜下的功率密度圖。

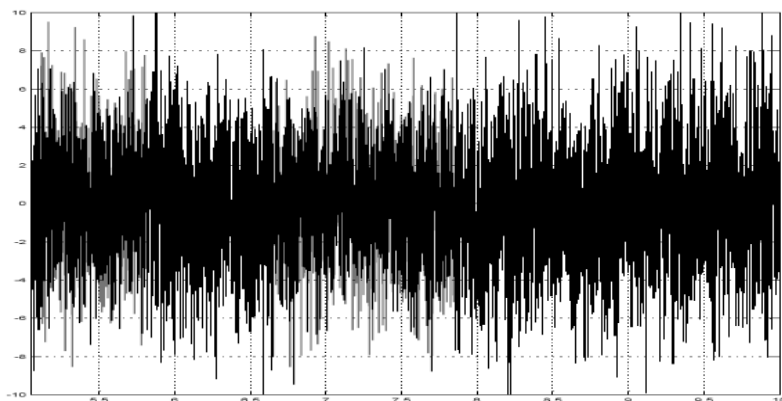


圖 2-1 熱雜訊時域圖

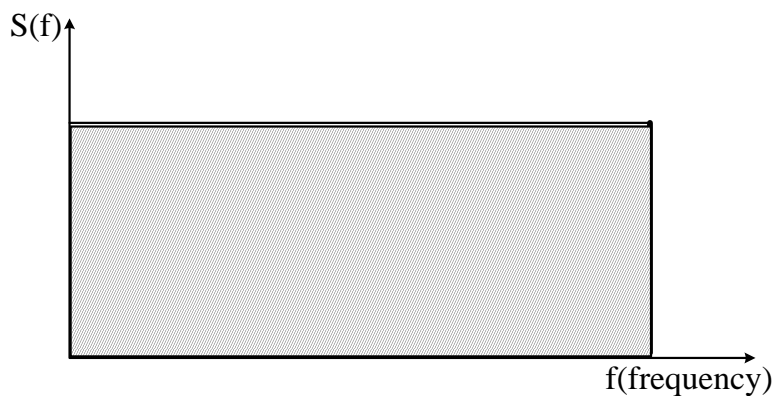


圖 2-2 熱雜訊功率密度頻譜圖

熱雜訊在不同的導體有不同的雜訊模型。對一個電阻而言，就可以當作是電阻上並聯電壓源或是串聯電流源。圖 2-3 為電阻的熱雜訊模型。針對電壓源形式的熱雜訊可以表示如式(2.1)。

$$\overline{S^2_R(f)} = 4kTR \quad (2.1)$$

其中 k 代表波茲曼常數， $k = 1.38 \times 10^{-23} \text{ J/K}$ ，T 為絕對溫度，R 為電阻。

對電晶體而言，電流流過的通道即是產生熱雜訊的來源。可以表示成式(2.2)

$$\overline{I_d^2(f)} = 4kT\gamma gm \quad (2.2)$$

而 γ 為一個常數值。通常長通道電晶體的 $\gamma = \frac{2}{3}$ 。模型上可以看成一個電流源並聯於電晶體的飽和區通道上，如圖 2-4。



圖 2-3(a) 電壓源的電阻熱雜訊模型

(b) 電流源的電阻熱雜訊模型

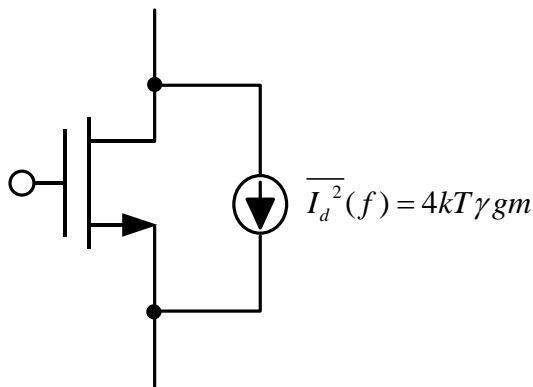


圖 2-4 電晶體熱雜訊模型

閃爍雜訊

由於在越低頻的頻率範圍內，電子被晶格捕捉或釋放的現象增加。所以閃爍雜訊的頻譜密度通常是跟頻率成反比，也因為這個原因，閃爍雜訊也稱作“1/f noise”。在電晶體中，閃爍雜訊是非常重要的雜訊來源，尤其是在低頻率範圍時，電子更容易被存在閘極和基極之間自由鍵所捕捉或釋放。而這個現象將會影響汲極所產生的電流，如圖 2-5 可以視作一個電壓源串聯在閘極，並且由式(2.3)可知，電晶體的尺寸越大，閃爍雜訊越小，所以在低雜訊的電路設計上，電晶體的尺寸都會滿大的。由於 P 型電晶體的通道與閘極的二氧化矽距離比 N 型電晶體來的遠，所以閃爍雜訊較 N 型電晶體來的小。

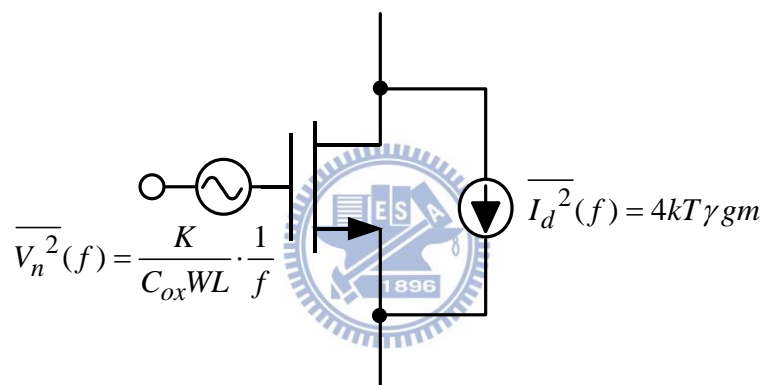


圖 2-5 電晶體雜訊模型，包含熱雜訊和閃爍雜訊

$$\overline{V_n^2}(f) = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \quad (2.3)$$

式中 C_{ox} 代表閘極的單位面積電容，W 和 L 分別代表電晶體的寬度和通道長度，K 是一個由製程決定的參數，通常數值的等級在 $10^{-25} V^2 F$ 。

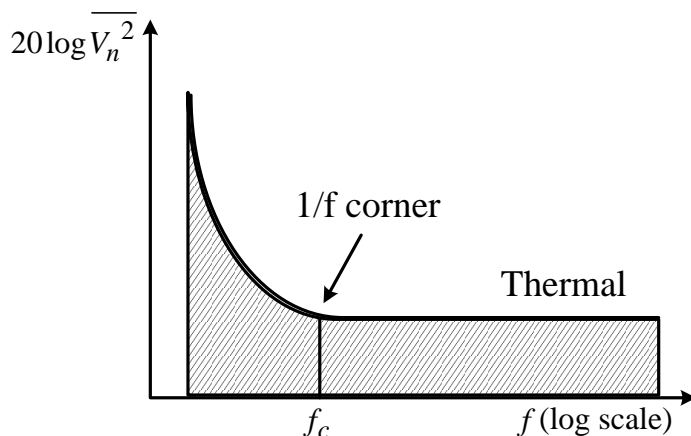


圖 2-6 電晶體的雜訊功率頻譜

因此可以得知電晶體的總雜訊可以表示成

$$\overline{V_n^2}(f) = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} + 4kT \left(\frac{2}{3} \cdot \frac{1}{gm} \right) \quad (2.4)$$

圖 2-6 為電晶體的雜訊功率頻譜。在閃爍雜訊和熱雜訊的交界處，有一個頻率稱作“交界頻率”。它發生在當閃爍雜訊功率等於熱雜訊功率的時候。式子可以表示成

$$\frac{K}{C_{ox}WL} \cdot \frac{1}{f} = 4kT \left(\frac{2}{3} \cdot \frac{1}{gm} \right) \quad (2.5)$$

則雜訊的交界頻率即可寫成

$$f_c = \frac{K}{C_{ox}WL} \cdot \frac{3}{8kT} \cdot gm \quad (2.6)$$

2.3 動態偏移消除技術

(Dynamic Offset Cancellation Technique)

現今許多生醫晶片所要處理的訊號通常在毫伏特的等級。不幸的是，在五補式金屬氧化半導體技術下，電晶體的雜訊和偏移電壓也是在毫伏特以上的等級，這也意味著訊號非常容易受到干擾，因此許多消除電晶體雜訊和偏移電壓的技術便發展出來。最主要的解決方法有三種。第一，使用大尺寸的電晶體和特定的佈局技術，以彌補因為製程變

異或是光罩錯誤造成電晶體產生誤差而產生的偏移電壓。根據誤差模型式(2.7)，臨界值電壓是跟電晶體的尺寸成反比。其中 A_{V_t} 為誤差參數 ($mV/\mu m$)。而電晶體的雜訊可以由式(2.3)得知，增大尺寸也是一個解決的方法。

$$\sigma(\Delta V_t) = \frac{A_{V_t}^2}{W \cdot L} \quad (2.7)$$

第二個方法為使用雷射來調整電路消除偏移電壓，不過這需要額外的測試裝置，會增加額外的成本。第三，則是使用動態偏移消除技術。最後一個是大多數人使用的方法，因為它具有長時間的穩定性且花費不貴。接下來將要介紹其中兩種動態偏移消除技術：自動歸零和截波技術。在此由於系統訊號為低頻，所以這裏所說的雜訊是以閃爍雜訊為主，而偏移電壓為直流電壓值，所以也與閃爍雜訊歸類為低頻雜訊。

自動歸零放大器(Auto – Zero Amplifier)

圖 2-7 為一個自動歸零放大器。主要可以分為兩個操作模式:自動歸零模式和訊號放大模式。在自動歸零模式時($\phi=1$)，放大器會對偏移電壓取樣並且將它儲存在電容上。當穩定後偏移電壓存在電容上的量為: $V_{os} \cdot \frac{A}{1+A}$ 。在訊號放大模式時($\phi=0$)，放大器將會正常輸出被放大的訊號。由於閃爍雜訊和偏移電壓都為低頻的雜訊，所以在訊號放大模式時，閃爍雜訊和偏移電壓會和上一個時間被儲存在電容上的雜訊相減，最後可得輸入總雜訊變為: $V_{os} \cdot \frac{1}{1+A}$ 。可以從公式得知，低頻雜訊成分經過自動歸零放大器之後，其大小值可以被放大器的增益有效的抑制。

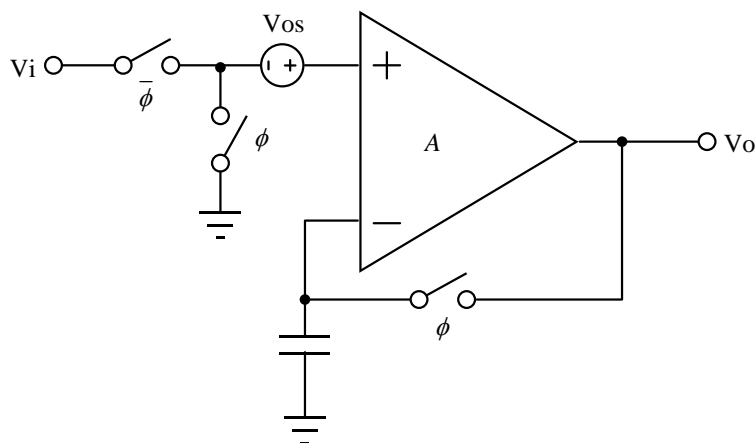


圖 2-7 自動歸零放大器

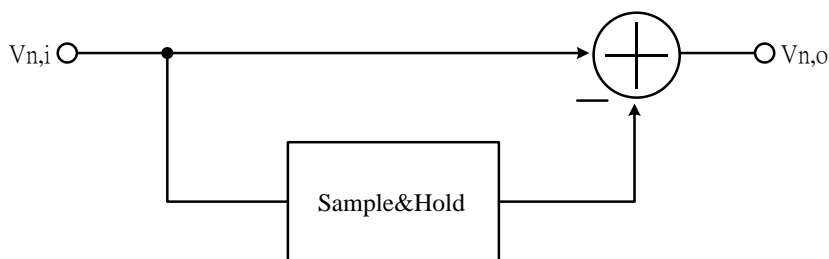


圖 2-8 自動歸零技術觀念

自動歸零的基本觀念如圖 2-8。圖 2-8 的雜訊轉導方程式為式(2.8)，其中 $H(f)$ 為取樣電路的轉移方程式。

$$v_{n,o}(f) = v_{n,i}(f) \cdot (1 - H(f)) \quad (2.8)$$

且

$$H(f) = \sin c(f) \quad (2.9)$$

可以由上式得知 $(1 - H(f))$ 為一個高通方程式，意味著低頻的雜訊(如偏移電壓、 $1/f$ 雜訊)將會被衰減。這個特性同時也造成了缺點，會使得高頻的雜訊疊回低頻域。也就是說對閃爍雜訊而言，自動歸零是有幫助的，但是對於熱雜訊而言，它的高頻區域的部分將會疊回低頻域，造成低頻域的熱雜訊增加。如圖 2-9 為自動歸零對熱雜訊影響的頻譜功率圖，由此圖得到雜訊經過自動歸零之後反而增加，其中 f_c 為系統的頻寬， T_s 為取樣週期。圖 2-10 為對閃爍雜訊影響的頻譜功率圖， f_k 為交界頻率[8]。

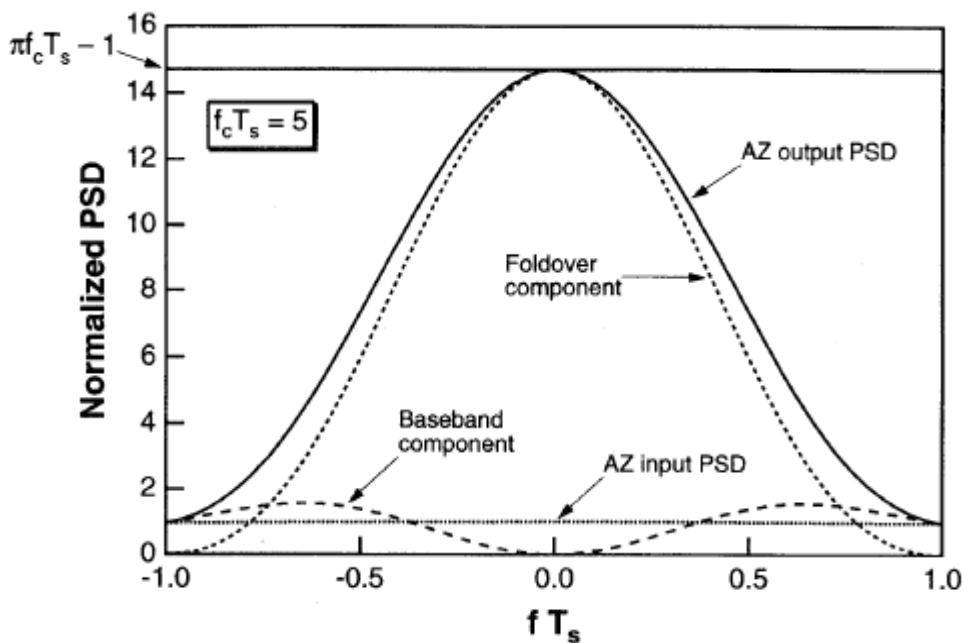


圖 2-9 自動歸零對熱雜訊頻譜功率圖

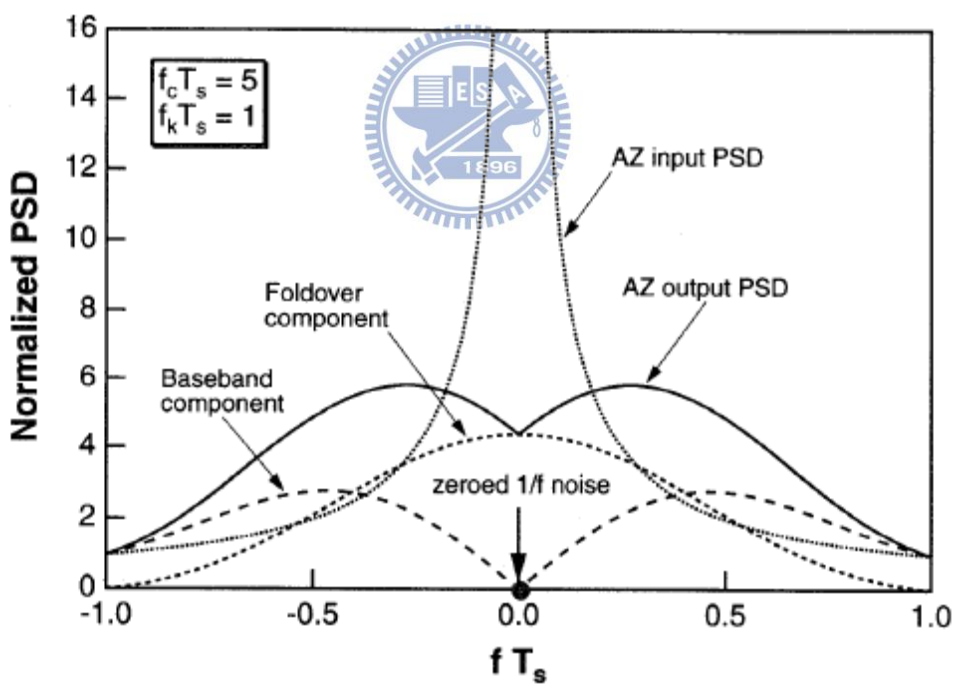


圖 2-10 歸零對閃爍雜訊功率頻譜圖

截波穩定放大器(Chopper-Stabilized Amplifier)

訊號經過截波所提供的頻率調變功能，會將低頻率的訊號移往高頻率，高頻率的信號移往低頻率。如圖 2-11 為截波訊號的示意圖。在頻域方面，截波先將低頻訊號移往高頻，接著低頻雜訊(如閃爍雜訊、熱雜訊)也經由系統加入調變過的訊號內，再經過一次截波，原本高頻的訊號經調變回到低頻，低頻雜訊調變到高频，如此將使得雜訊與訊號分開，最後再經過一個低通濾波器把雜訊濾除，如圖 2-13 所示。圖 2-12 表示訊號 $V_{in}(t)$ 經過 $m(t)$ 調變之後，會把 $V_{in}(t)$ 調變到閃爍雜訊不在的高頻區域去。

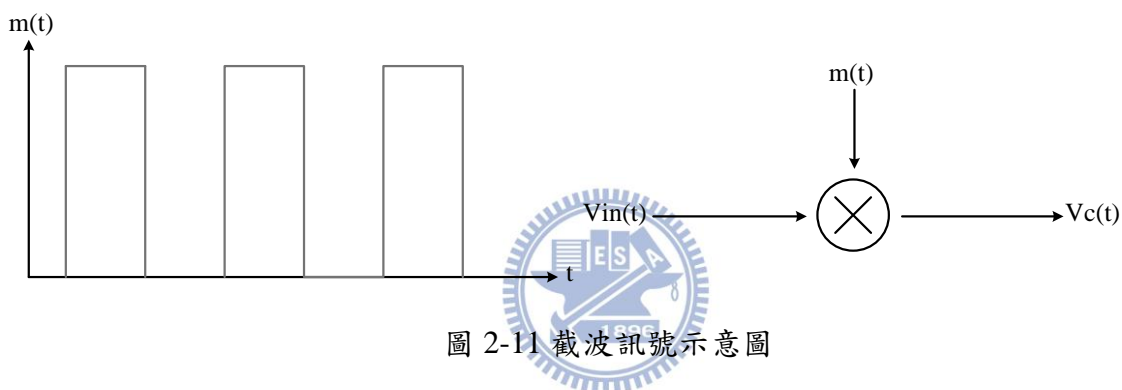


圖 2-11 截波訊號示意圖

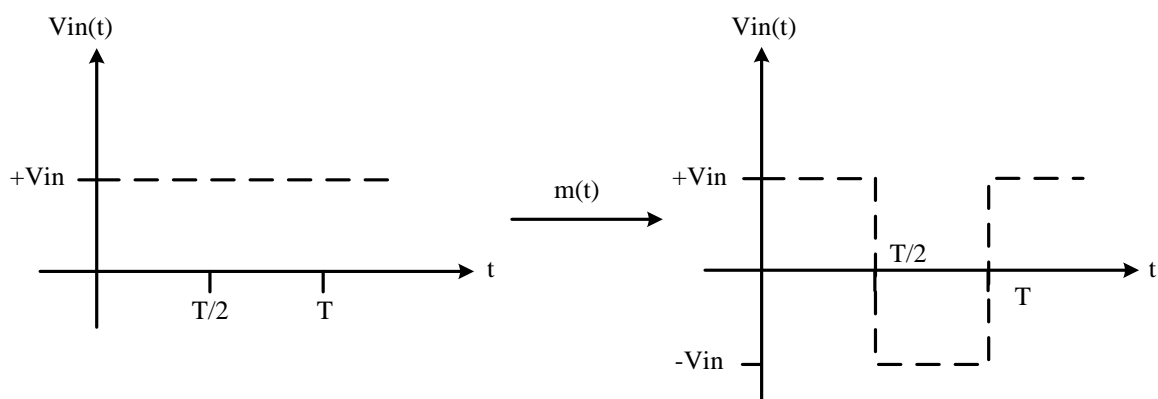


圖 2-12 直流訊號經過截波調變時域圖

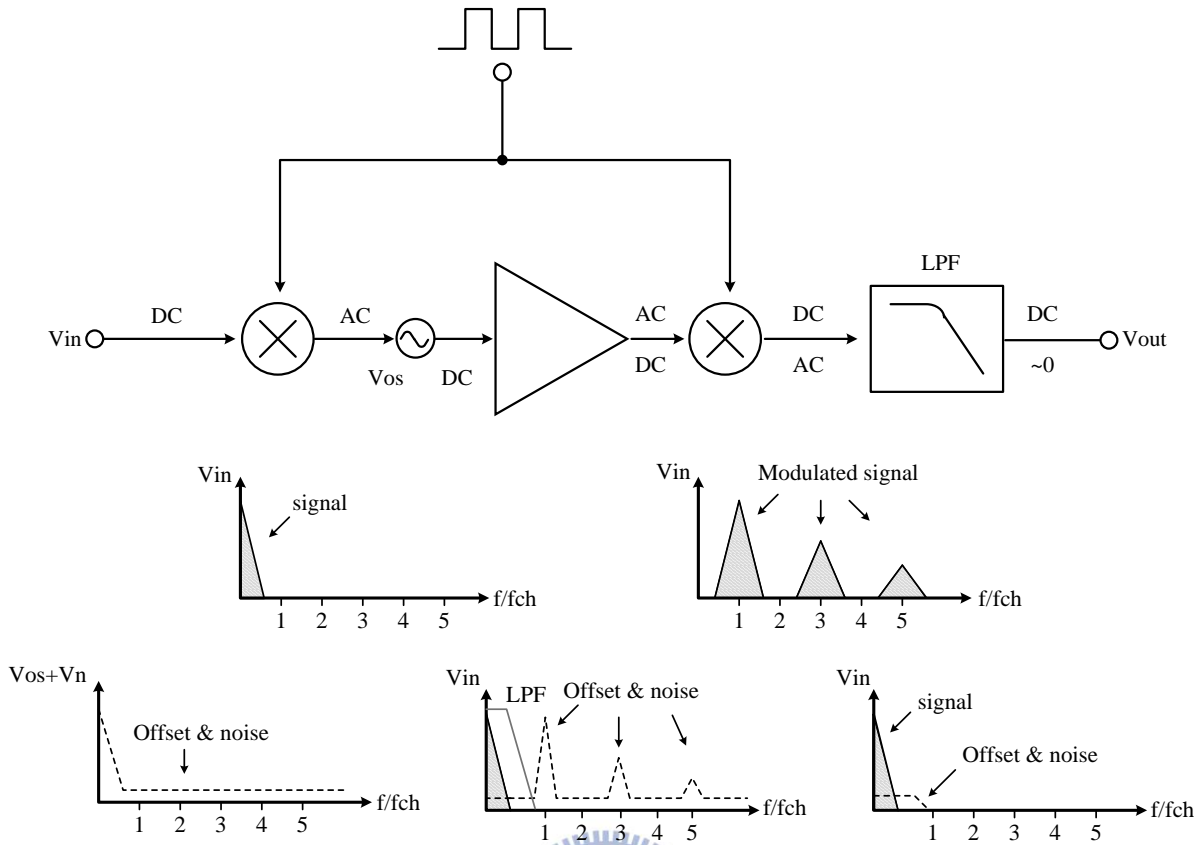


圖 2-13 截波調變流程圖

圖 2-13 為截波穩定放大器的系統流程圖，假設截波頻率遠高於交界頻率且放大器為理想，則閃爍頻率經過截波穩定放大器之後會被完全的移除。圖 2-14 為閃爍雜訊經過截波調變後的功率頻譜圖。

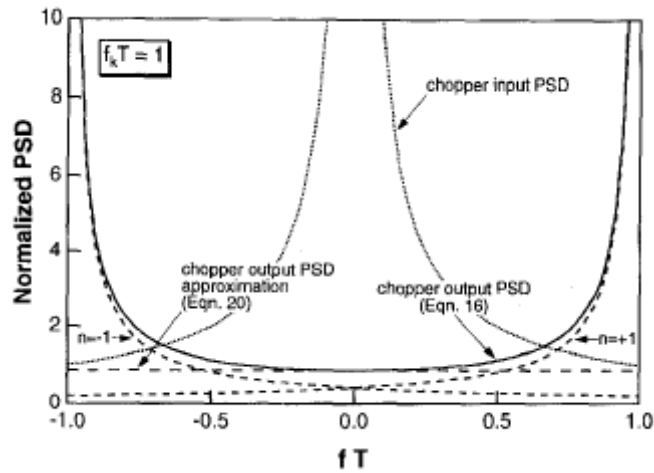


圖 2-14 截波調變對閃爍雜訊功率頻譜圖

上述分析時域信號經過截波調變之後為一方波，這裡是假設直流輸入信號和無限寬的系統頻寬。實際電路裡，系統通常為放大器，而放大器的頻寬是有限的，這也造成訊號經過截波調變後需要穩定的時間。圖 2-15 為實際有限系統頻寬的波形圖，可以與圖 2-12 作比較。由圖 2-15 可以看出經過兩次調變的訊號，其直流訊號因為放大器有限頻寬的關係，輸出值會比理想上還要低。由於放大器頻寬造成輸出值的誤差可以表示成式

(2.10)。 A_{id} 表示為理想的放大器倍率， A_{nonid} 為非理想的放大倍率， $f_{-3dB} = 1/\tau$ ， $f_{ch} = 1/T$ 。

$$A_{nonid} = A_{id}(1 - 4\tau/T) \quad (2.10)$$

由於截波調變是經由電晶體開關來達成，因為電晶體開關在切換時，開關的閘極電壓經由電晶體兩端寄生的電容耦合到訊號，這個問題稱為“電荷注入”，使得訊號會有多餘的電壓產生，造成錯誤(如圖 2-16、2-17)。

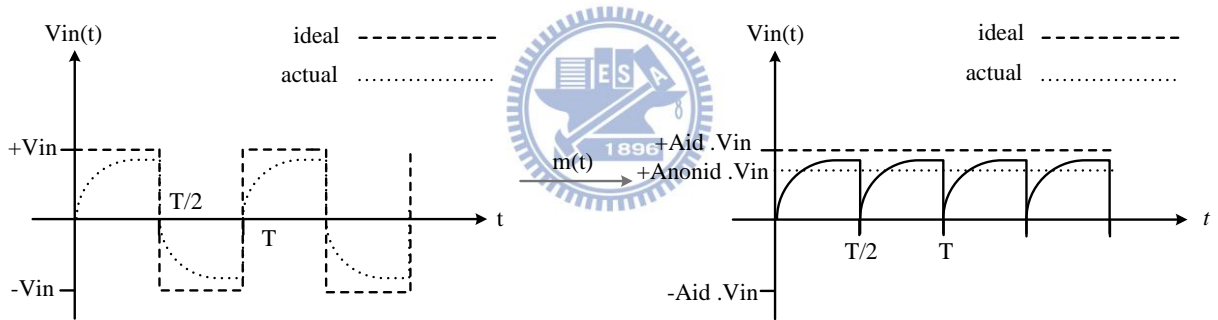


圖 2-15 截波調變時域圖(非理想)

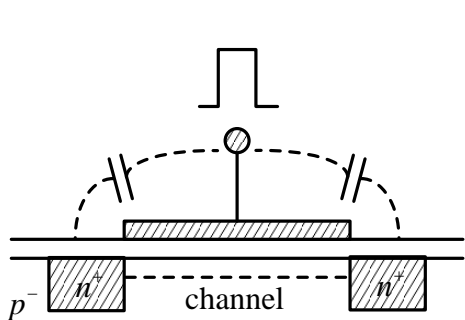


圖 2-16 電荷注入產生圖

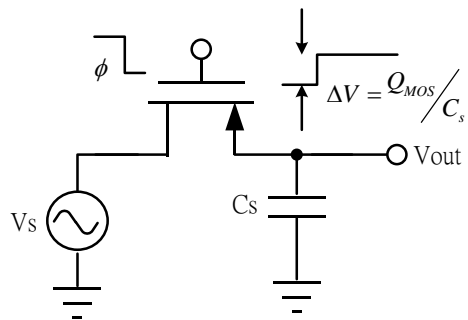


圖 2-17 電荷注入對訊號影響圖

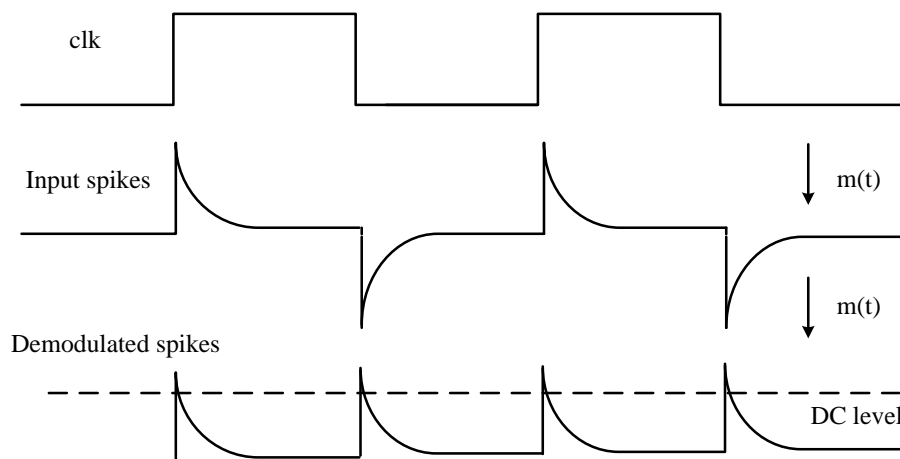


圖 2-18 突波經過截波調變圖

由於電荷注入效應，造成輸入訊號經過截波調變後會造成突波，而此突波經過再次截波調變和低通濾波器後，會產生多餘的偏移電壓(如圖 2-18)。而此偏移電壓的量可以由式 2.11 來表示。其中 f_{ch} 是截波頻率， V_{spike} 為突波振幅， τ 為穩定時間常數。

$$Offset_{spike} = 2f_{ch} \cdot V_{spike} \cdot \tau. \quad (2.11)$$

為了讓因為突波而造成的偏移電壓減小，勢必要降低截波頻率和縮小時間常數，但是要付出的代價就是閃爍雜訊的增加和功率消耗量上升，在現今低功率電路的設計上，這將是設計者所面臨的一大挑戰。

2.4 交流耦合截波穩定放大器(交流回授)

先前介紹的自動歸零和傳統截波穩定放大器，最主要的功能是用來濾除低頻的雜訊，但是以下有二個問題是量測生醫訊號將會發生的，光靠上述的電路技巧將無法處理。第一個問題就是量測生理訊號時所使用的電極片，電極片在人體身上時，所產生共模電壓將會不同，這會造成前端電路無法運作。根據文獻[16]，使用軌對軌放大器，來滿足電極片共模電壓的變化範圍，但這也意味著需要有兩個電源來滿足軌對軌放大器。針對這個問題，現今解決的方法就是輸入級使用交流耦合，使用電容將輸入訊號的直流電壓隔絕，以免放大器受到干擾。第二個問題電極片差動偏移電壓(DEO)，以傳統使用鋁來做為電極片而言，差動偏移電壓隨著時間改變大概可到 50mV，由於截波穩定放大器是一個直流耦合系統，差動偏移電壓的出現將會使得放大器輸出飽和，所以在訊號輸入放大器之前，須要有高通濾波器來處理差動偏移電壓。解決差動偏移電壓的問題，可以使用被動元件作為高通濾波器或是使用差動差別放大器(differential difference amplifier)，而前者會降低訊號對雜訊比(signal-to-noise ratio)，後者則是會付出功率消耗上升的結果。以下所提出的交流回授方法，將不會有上述如此嚴重的代價。

圖 2-19 為交流耦合截波穩定放大器，其中包含了一個閉迴路的截波穩定放大器、低通濾波器，還有一個交流回授電路。當輸入訊號進入系統之前，會先被截波調變一次，此時訊號被調變到高頻區，接著電路內的閃爍雜訊和熱雜訊就會加入，訊號和雜訊會再次被截波調變，此時低頻雜訊就會到高頻區去，訊號會回到原本的頻域，若訊號本身含有差動偏移電壓，則放大器輸出將會飽和，當下交流回授電路便會發揮功用。放大器的飽和輸出將會經過 Gm-C 濾波器，將輸出飽和訊號的直流成份積存在大電容，並且回授到截波穩定放大器內，以消除電極片所造成的差動偏移電壓，使截波穩定放大器回到正常運作區域。

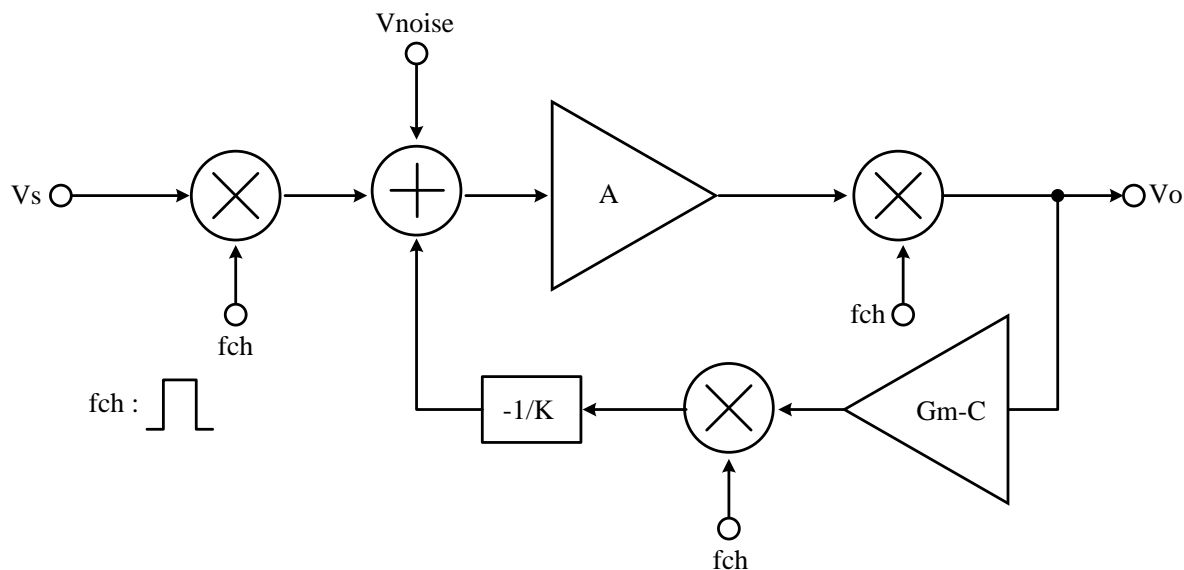


圖 2-19 交流耦合截波穩定放大器(交流回授)圖

式 2.12 為交流穩定截波放大器(交流回授)的系統轉移方程式，

$$H(s) = \frac{V_o(s)}{V_s(s)} = A \cdot \frac{1}{1 + \frac{s}{\omega_{LP}}} \cdot \frac{1}{1 + \frac{\omega_{HP}}{s}} \quad (2.12)$$

其中 $1/K$ 為系統回授因子，則輸出偏移電壓對輸入偏移電壓的轉移方程式為式

2.13，式 2.14 為輸出雜訊在功率頻譜所表示的式子。

$$\frac{V_{offset,out}}{V_{offset,in}} = \frac{A}{1 + A/K} \quad (2.13)$$

$$S_{noise,out}(f) = \left(\frac{2}{\pi}\right)^2 \sum_{\substack{n=-\infty \\ n=odd}}^{+\infty} \frac{1}{n^2} \left| A \cdot (f - n \cdot f_{chop}) \right|^2 \cdot S_{noise,in} \cdot (f - n \cdot f_{chop}) \quad (2.14)$$

從上述可以看出此系統具有帶通的特性，可以阻擋低頻的雜訊(閃爍雜訊、偏移電壓)，也有避免高頻雜訊干擾的功能。

2.5 總結

在本節討論了應用於生醫前端電路的技術，自動歸零雖然可以減少閃爍雜訊，但是卻會增加了熱雜訊的成份，截波放大器雖然對閃爍雜訊有效，但是卻受限於放大器的頻寬，和輸入訊號的偏移電壓影響。最後所提出的交流耦合截波穩定放大器不只可以解決雜訊，其中的交流回授對於偏移電壓和共模電壓變化都能有效的抑制，在現今設計中，交流耦合運用於截波穩定放大器中，將是個不錯的設計方向。



第三章

0.5-V 類比前端積體電路設計(一)

3.1 類比前端電路設計

圖 3-1 為本章所要設計的生醫訊號感測類比前端電路。我們使用 Kendall H99SG 電極片來連接身體與感測電路。生醫訊號會先經過儀表放大器來濾除雜訊(閃爍雜訊、共模雜訊)。為了確保放大倍率足夠，還會再經過可程式化增益放大器，來提供完整的輸出訊號。最後會經過一個類比數位轉換器，以提供數位訊號給數位系統做分析。此外根據表 1-1 針對腦波訊號，由於它的振幅相對於心跳、肌肉訊號比較小，所以光靠儀表放大器和可程式化增益放大器是不夠的，因此本系統提供了專門給腦波訊號放大的路徑。我們使用了數位介面，可以讓使用者選擇現在要量測那些訊號，若是腦波訊號，系統在感測訊號時，會在介面中加入一個放大器，作為補償放大倍率的功用。

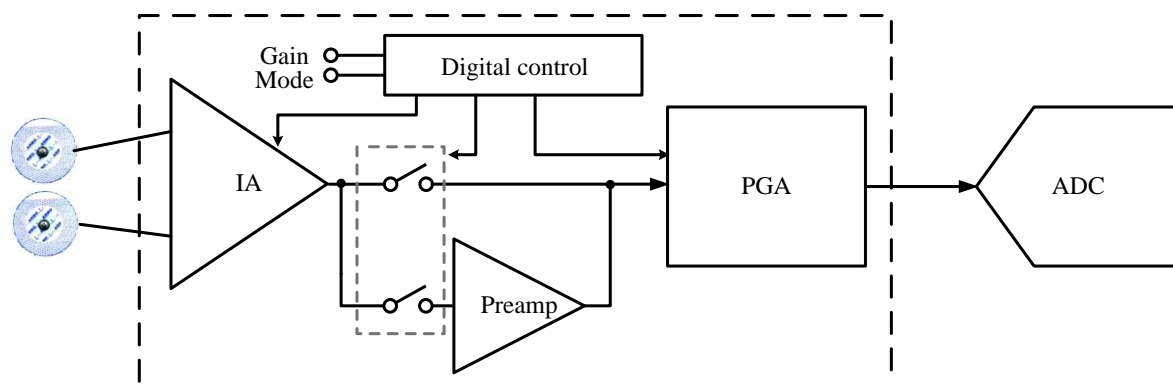


圖 3-1 生醫訊號感測類比前端電路

設計規格

為了使前端電路具有長時間使用的特性，整體電路的供應電壓選擇工作在 0.5V，而如此低電壓下便會產生許多電路設計上的難度。此外要讓系統使用時間超過一年，功率消耗訂定在 $5\mu\text{W}$ 以下。在如此低電壓的系統下工作，輸出訊號的失真程度也是一個重要的考量。為了使輸出訊號到數位類比轉換器時，能夠有良好的資料轉換率，系統放大倍率則是越大越好。在實際使用電路時，都會存在著 50/60 Hz 的雜訊，而在低電壓系統影響更是劇烈，所以擁有良好共模拒斥比(Common mode rejection ratio)將是非常重要的規格。根據國際臨床神經生理學聯合會(International Federation of Clinical Neurophysiology)，共模拒斥比最好大於 110 dB。總諧波失真(Total harmonic distortion)比例要小於 1%。另一項規格為動態放大操作範圍，它的定義為最大輸入訊號在總諧波失真小於 1%的情形下的放大倍率。而總相對輸入雜訊(input-referred noise)關係到訊號對雜訊比(signal to noise ratio)，以一個十位元的數位類比轉換器來說，總相對輸入雜訊要小於 $1\mu\text{V}_{\text{rms}}$ 。表 3-1 為本系統的規格表。



表 3-1 類比前端電路規格

Spec.	Value
Supply voltage	0.5 V
Gain	>40 dB
CMRR	>110 dB
THD	<1 %
Dynamic range	>60 dB
Input – referred noise	$1\mu\text{V}_{\text{rms}}$ (0.5Hz ~ 100Hz)
Bandwidth	1kHz
Power consumption	< $5\mu\text{W}$

3.2 儀表放大器

本節裡將針對交流耦合穩定截波放大器來討論。有關此系統的方塊圖和轉移函數在圖 2-19 和式 2.12。此系統包含了一個全差動的運算轉導放大器，低通濾波器，N 型電晶體截波電路(圖 3-2)和一個外掛電容。在使用 N 型電晶體截波電路時，所要注意的就是開關導通的電阻值是否跟得上截波的頻率，在低電壓操作時，用一般的數位電路無法達成，因此在本系統將會使用到升壓電路來導通切換開關。整個系統的回授路徑可以分為兩個，一個為訊號放大的路徑，另一個為抵銷差動電極偏移電壓。圖 3-3 為儀表放大器的電路簡圖。

此系統的轉移方程式為

$$|H(s)| = \left| \frac{v_o(s)}{v_i(s)} \right| = \frac{C_i}{C_f} \cdot \frac{1}{1 + \frac{1}{A_o} \cdot \frac{C_i + C_f + C_h + C_p}{C_f}} \cdot \frac{1}{1 + \frac{s}{\omega_{LP}}} \cdot \frac{s}{s + \omega_{HP}} \quad (3.1)$$

其中低通頻率為

$$\omega_{LP} = \omega_t \cdot \frac{C_f}{C_i} \quad (3.2)$$

高通頻率為

$$\omega_{HP} = \frac{G_m}{C_{ext}} \cdot \frac{C_{hp}}{C_{fb}} \cdot \frac{C_i}{C_f} \quad (3.3)$$

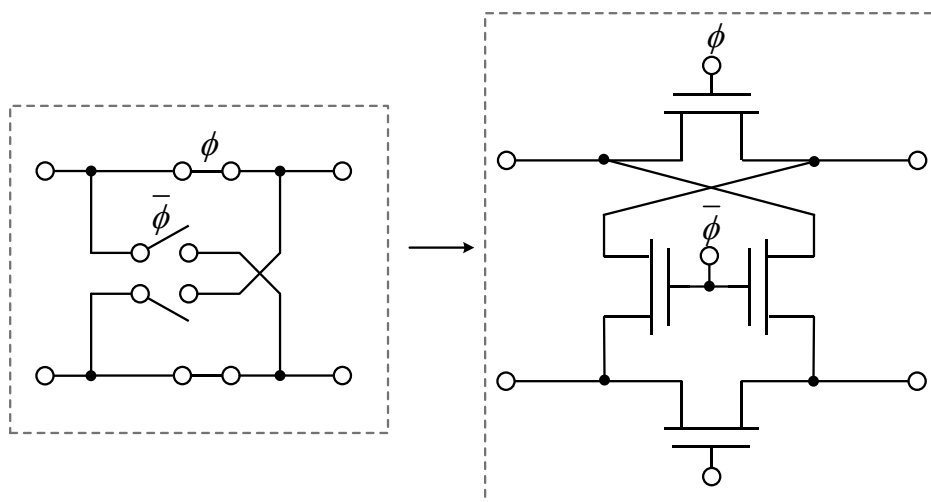


圖 3-2 N 型電晶體截波開關

中頻段為訊號範圍，其放大倍率為 C_i/C_f ，而消除差動電極偏移電壓的迴路放大倍率為 C_h/C_f 。接下來就是有關整個電容值的設計，假設運算放大器的熱雜訊為 $\overline{v_{ni}^2}$ ，則整個回授迴路的相對輸入雜訊為

$$\overline{v_{ni,cl}^2} = \overline{v_{ni}^2} \cdot \left[\frac{C_i + C_h + C_f + C_p}{C_i} \right]^2 \quad (3.4)$$

從式 3.4 來看，減少熱雜訊的方法就是要加大輸入電容，減少回授電容，這中間存在著面積與電路效能好壞的考量。大的輸入電容號的面積大，但是抗雜訊效果好，回授電容太小，會使得抗差動電極偏移電壓的能力下降，這都是設計者需要注意的。接著從表 3-2 可以看出放大訊號到輸出最大範圍可以分為兩個例子，第一個是針對心電圖和肌電圖，放大倍率範圍為 26 ~ 40 dB，第二個是針對腦波圖，範圍為 60 ~ 66 dB。在本設計中，儀表放大器將會負責第一個例子，它的放大倍率將有兩種: 26 dB 或是 32 dB，剩下的放大倍率將由預先放大器和可程式化增益放大器來處理。

表 3-2 生醫訊號放大倍率

生醫訊號	頻寬	振幅(峰對峰值)	放大倍率
腦波圖(EEG)	0.5~100 Hz	50~100 μ V	60~66 dB
心電圖(ECG)	0.5~100 Hz	1mV~2.5mV	32~40 dB
肌電圖(EMG)	10~1K Hz	1mV~5mV	26~40 dB

為了要達到放大倍率，並考慮 $A_{cl} = \frac{A_{op}}{1 + A_{op}\beta}$ ，輸入電容 C_i 為 30 pF 和 9 pF，為了減

少寄生電容的效應，回授電容 C_f 設計為 0.29 pF，差動電極偏移電壓回授電容為 1 pF。在差動電極偏移電壓發生時，其直流成份會先經過截波調變到高频，此時運算放大器會視為訊號將其放大，在低電壓的環境下，輸出訊號很容易就產生飽和現象，再經過第二次截波調變輸出將會為 V_{DD} 或 V_{SS} ，藉著轉導運算放大器所組成的低通濾波器，會將低頻

偏移電壓成分儲存在 C_{ext} 上，穩定狀態時， C_{ext} 上的偏移電壓為 $V_{DEO} \cdot \left[\frac{C_i}{C_h} \right]$ ，接著在經由截波調變回授到輸入端，與輸入偏移電壓相減。

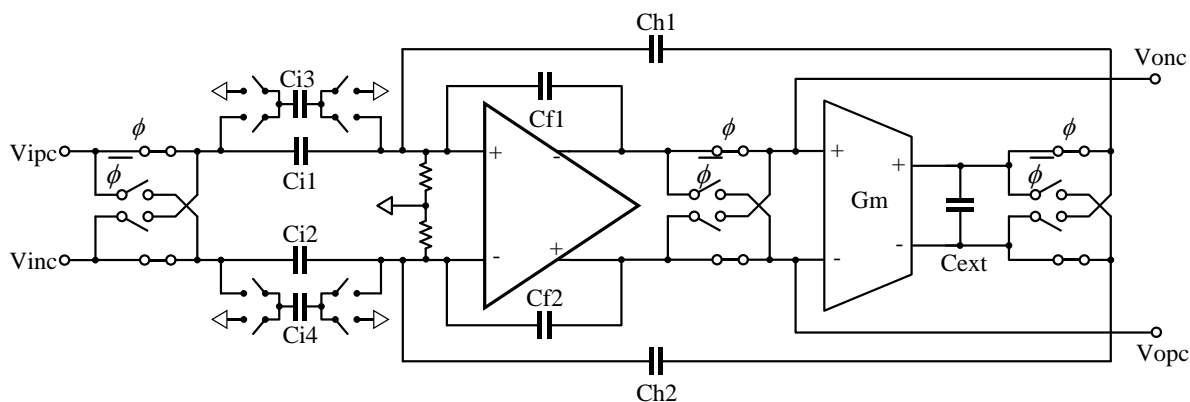


圖 3-3 交流耦合回授儀表放大器

運算放大器

本系統中運算放大器的設計是極為重要的一環，在低電壓低雜訊的要求下，儀表放大器身為系統的第一級電路，對於雜訊必須要有適當的抵抗能力，因此我們採用了架構較為簡單的電流鏡放大器(如圖 3-4)，避免因為電晶體太多產生的雜訊而影響訊號。在設計運算放大器有幾個需要注意的規格:放大倍率、頻寬、電晶體雜訊、共模拒斥比、迴轉率。對運算放大器而言，開迴路放大倍率則是越大越好，這樣會減少閉迴路增益因為非理想效應導致增益下降。

$$A_o = g_{m1} \cdot \frac{1}{g_{m3} - g_{m3f}} \cdot g_{m5} \cdot (r_{o5} \parallel r_{o7}) \quad (3.5)$$

$$f_c = \frac{g_{m1}}{C_L} \quad (3.6)$$

在此設計上需特別注意的就是負電阻 $-\frac{1}{g_{m3f}}$ 的尺寸設計，在運用上可以分為數位設計和類比設計，此處是用來放大訊號的用途，所以不可以當作數位來設計，否則訊號將會發散。類比設計則是讓 $\frac{1}{g_{m3} - g_{m3f}}$ 成為一個極小正電阻，來放大訊號。頻寬方面，在截波頻率調變下，訊號會被調變到以截波頻率為中心頻的頻帶，所以閉迴路的 3 dB 頻寬要大於截波頻率加上訊號頻率，從這裡可知，開迴路放大器的截止頻率

$f_c > (f_{ch} + f_{sig}) / \beta$ 。作為第一級的放大器，雜訊的抑制是很重要的，式 3.7 和式 3.8 為電流鏡放大器在熱雜訊和閃爍雜訊上的表現，由兩式可以得知輸入級的設計，對雜訊的抑制很有關係，因此這一對電晶體設計上採用的是 P 型輸入對，因為在低頻的閃爍雜訊裡，P 型電晶體擁有較少閃爍雜訊，同時為了提高 g_m 值，輸入對將會操作在次臨界區，並增大電晶體的尺寸。共模拒斥比的高低對放大器也是非常重要，它也是產生偏移電壓的來源，在電路上除了因為輸入級不匹配造成偏移電壓之外，另一個原因就是電晶體 M_b ，它負責電路的電流來源，在小訊號分析上，理想是視為一個交流地，但實際上會因為它的有限阻抗產生電流，使得輸出產生偏移電壓，在此設計上，則是增加 M_b 的阻抗，來減小交流電流的產生。

$$\overline{V_{n,in}^2}_{thermal} = \frac{16}{3} KT \left(\frac{1}{g_{m1}} + \frac{g_{m3} + g_{m3f}}{g_{m1}^2} \right) \cdot \Delta f \quad (3.7)$$

$$\overline{V_{n,in}^2}_{flicker} = \frac{K}{f \cdot C_{ox}} \left(\frac{1}{W_1 L_1} + \frac{1}{W_3 L_3} \left(\frac{g_{m3}}{g_{m1}} \right)^2 + \frac{1}{W_{3f} L_{3f}} \left(\frac{g_{m3f}}{g_{m1}} \right)^2 \right) \cdot \Delta f \quad (3.8)$$

在設計心電圖時，可以發現在 Q、R、S 波這段區域的波形頻率是不同於其他區段的波形，設計上就必須要確保放大器能夠跟得上訊號，迴轉率的高低，是為了要判斷放大器在訊號瞬間變化時能否跟得上，針對心電圖，我們可以從[7]得知，Q、R、S 波大概佔全部波型的五分之一，且已知 ECG 的波形大概為 0.5 Hz ~150 Hz，可以算出 $SR > 0.75 (mV/\mu s)$ 。

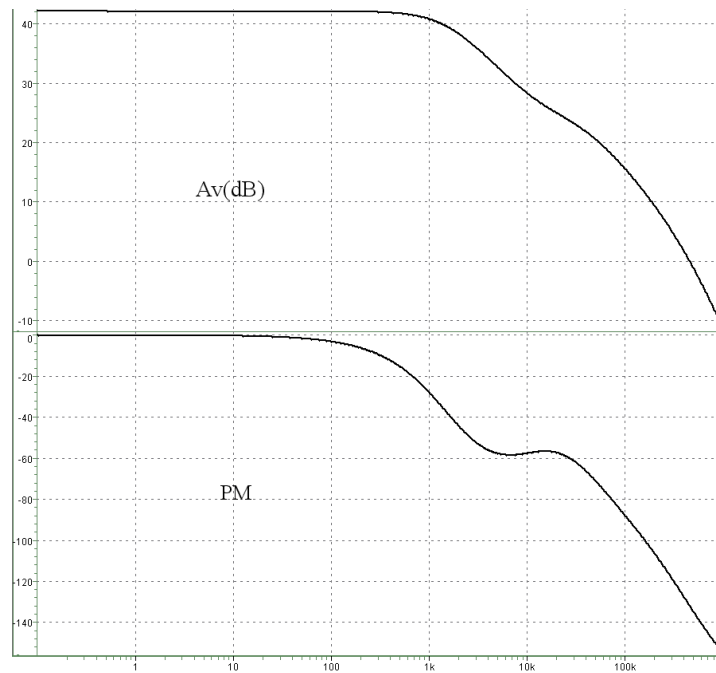


圖 3-4 放大器增益和相位模擬圖

表 3-2 放大器增益頻寬的製程角落模擬表

	TT	FF	FS	SF	SS
$A_v(\text{dB})$	42.0	39.7	41.9	41.7	42.4
PM	47.2	56.1	48.6	46.8	46.2
f_c (Hz)	474k	445k	512k	419k	492k

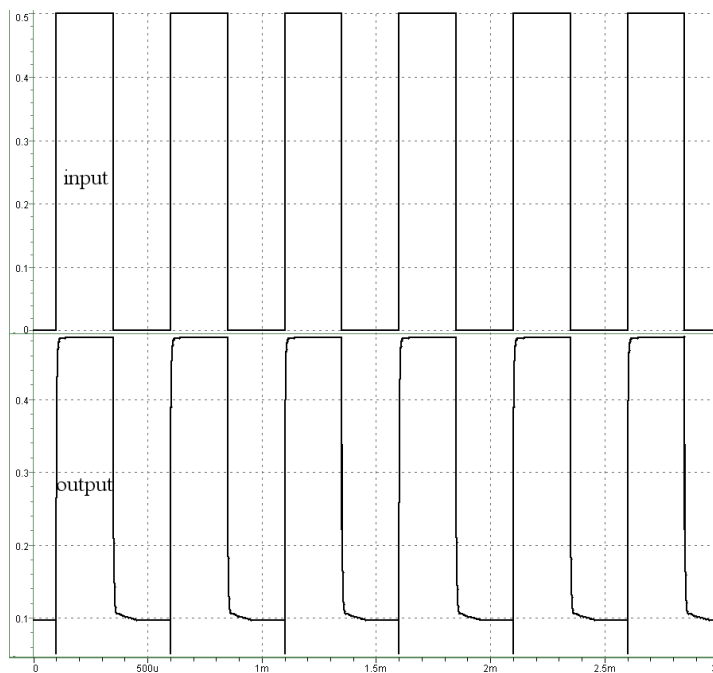


圖 3-5 放大器迴轉率模擬圖

表 3-3 放大器迴轉率的製程角落模擬表

$mV/\mu s$	TT	FF	FS	SF	SS
SR	39.7	40.1	41.7	36.5	42.0

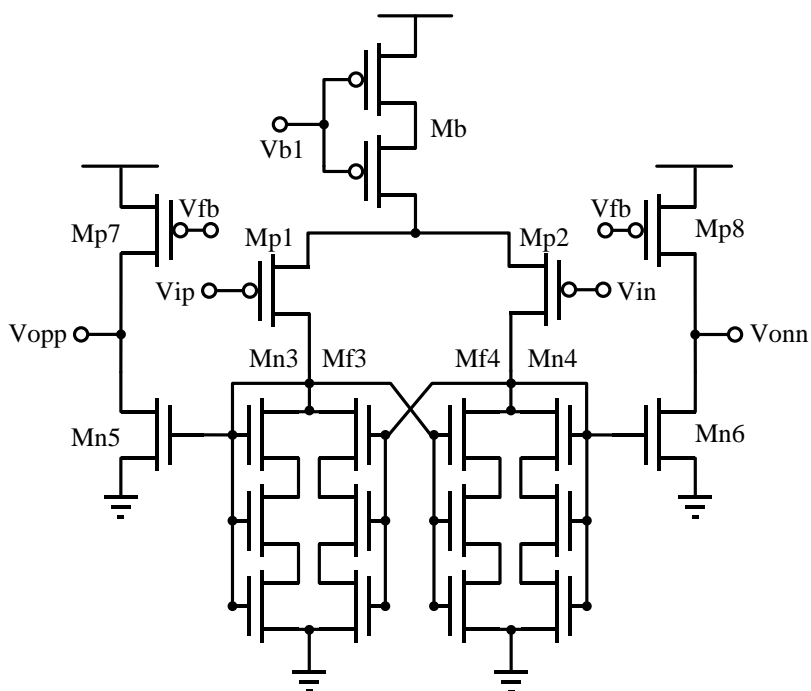


圖 3-6 儀表放大器內部運算放大器

共模電壓回授電路

由於差動電路的共模輸出電壓沒有定義，設計上需要有一個回授電路來定義差動電路的共模準位，此電路的作用就是當共模準位因為製程飄移、輸入訊號不對稱等原因偏移時，利用負回授到原本電路，將偏移的共模電壓修正。一般共模電壓回授電路有兩種，第一種是屬於離散時間的回授，利用開關將電容預先儲存的電荷量，以電荷守恆的觀念，將共模電壓慢慢修正，其優點是輸出共模電壓的偏移量範圍並不會影響電路回授的機制，而且消耗功率極低，缺點是開關在切換時，會造成輸出訊號雜訊變大，並且作為電荷平衡的電容也會造成輸出負載變大(如圖 3-7)。第二種是在連續時間下回授(如圖 3-8)，其優點就是產生的雜訊對輸出影響小，缺點是對於共模偏移電壓有一定的操作範圍，所消耗的功率也比開關來的大。由於本系統操作在 0.5-V 低電壓下，所以輸出操作範圍也有限，對雜訊的要求也就更為重要，所以最後共模電壓回授電路是採用連續時間操作的電路。

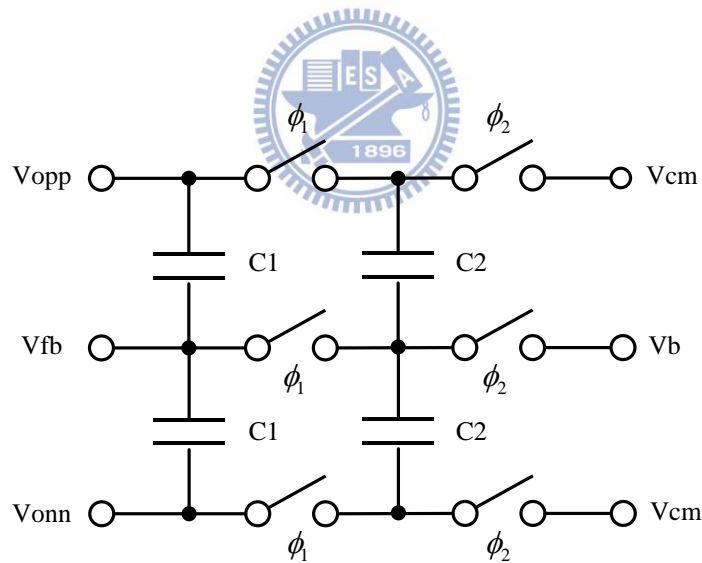


圖 3-7 開關共模回授電路

連續時間回授電路是先用电晶體做成的電阻將兩端輸出共模準位偵測出來，這裡要注意的是當作輸入電阻的兩端其值不能太小，否則放大器的輸出阻抗將會受到影響，導致放大器增益下降，所以作為電阻的電晶體為長通道的 P 型電晶體。將輸出共模準位偵測出來後，接著在與 V_{cm} 做比較，再藉由負回授將共模電壓修正。為了使偏移電壓能

夠被抑制良好，負回授的增益必須越大越好，為了增加回授電路的增益，將輸入及操作在次臨界區，提高輸入級的轉導值，並且為了提高 Mp0、Mp1 的負載值，將電路放入了負電阻 Mp00、Mp11，使其增益從式 3.9 變為式 3.10。同樣的，負電阻的設計必須為類比方式，即是 Mp00、Mp11 的電晶體尺寸必須小於 Mp0、Mp1。而通常會在輸入電阻處並聯電容，電容的用途是提供零點，增加回授電路的頻寬及相位。

$$|A_{v,cmfb}| = \frac{g_{mi}}{g_{mp}} \quad (3.9)$$

$$|A_{v,cmfb}|^* = \frac{g_{mi}}{g_{mp} - g_{mpf}} \quad (3.10)$$

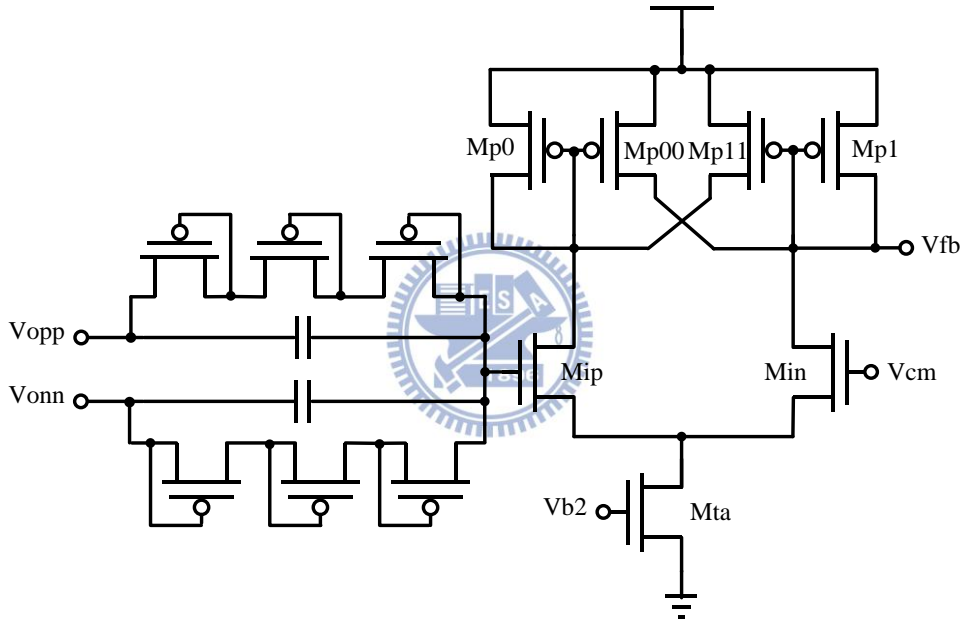


圖 3-8 連續時間共模回授電路

非重疊時脈產生器

在使用截波技術時，是由兩對開關所組成，並由時脈產生器來驅動開關，但是必須要注意的是要使用兩個不重疊相位的時脈來驅動，避免訊號的相位錯誤。因此所需要的就是一個非重疊時脈產生器，內部皆為基本的數位電路，利用正反器的延遲時間，來產生兩個不同相位輸出的時脈(如圖 3-9)。

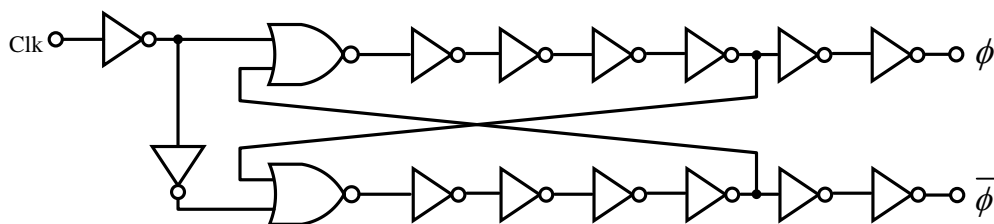


圖 3-9 非重疊時脈產生器

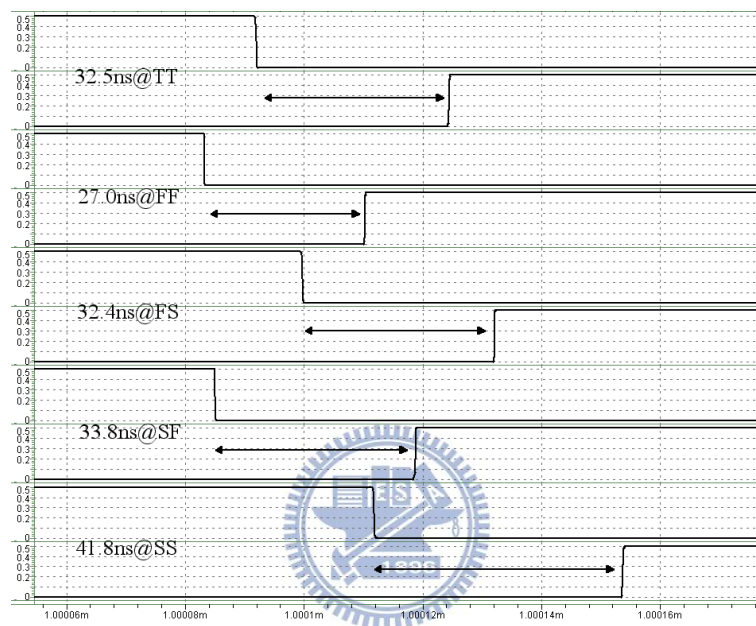


圖 3-10 非重疊時脈產生器時序模擬圖

時脈拔靴式電路

截波電路即是使用開關來完成，也就是使電晶體操作在三極管區(Triode region)，如同電阻(式 3.11)。當操作在低電壓的環境下時，會因為電晶體的臨界電壓(Threshold voltage)及閘級電壓太小的關係，使得電晶體電阻變大，造成訊號調變時產生失真的現象。如果靠電晶體的尺寸加大來減小電阻值會產生寄生電容過大，造成電荷注入(Charge injection)現象加劇的結果。

$$R_{on} = \frac{1}{\mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_g - V_{in} - V_{th})} \quad (3.11)$$

先進製程下電晶體的非理想效應會使得當電晶體的 $|V_{gs}| = 0$ 時，電晶體還會有不小的電流，這個現象也會使調變的結果變差。為了解決電晶體電阻及漏電流的問題，我們使用了拔靴式(Bootstrapped)電路，如圖 3-11。M1、M4 負責升降壓電容的充放電，C1、C2 為升降壓電容，M2 及 M3 為開關。理想上輸出電壓 Clk_bo 會產生 $2VDD \sim -VDD$ 的電壓擺幅， $2VDD$ 可以使得截波調變的電晶體電阻值很小，使訊號能在週期內穩定， $-VDD$ 則是能讓開關的漏電流變小，減少訊號失真。由於輸出雙倍電壓會受到輸出節點的寄生電容影響，所以實際上的電壓應該如式 3.12。由 3.12 式可知要提高雙倍電壓的值， $C_{bo} \gg C_{para}$ 是必要的條件。

$$Clk_bo = \frac{C_{bo}}{C_{bo} + C_{para}} \times 2VDD \quad (3.12)$$

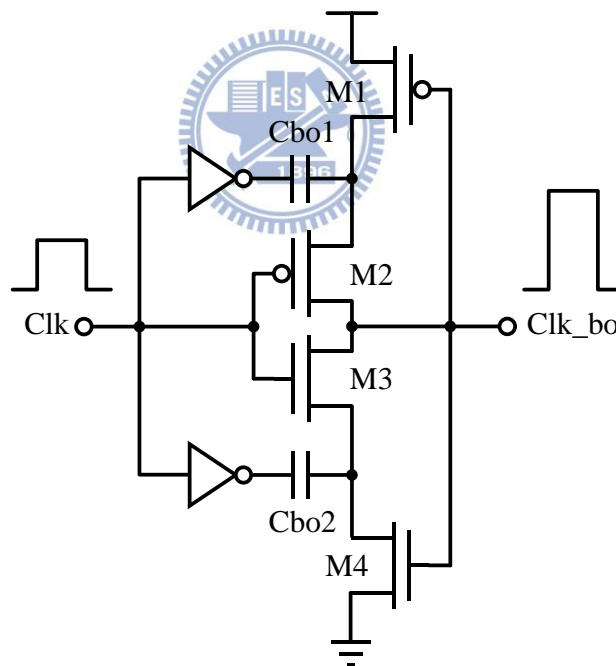


圖 3-11 拔靴式電路

圖 3-12 和圖 3-13 為拔靴式電路操作圖。圖 3-12 為當輸入訊號 Clk 由 VDD 變為 VSS 時，儲存在電容 Cbo1 的電壓 VDD 會使得 Va 的電壓從 VDD 變為 $2VDD$ ，此時 M2 將會導通將 Va 上的電壓傳導到 Clk_bo，而 Clk_bo 將會導通 M4 使得 Cbo1 的電壓降到 VSS 。在這個週期下，Cbo1 的功用是用來升壓，Cbo2 則是重置本身的電壓。圖 3-13 為

當 Clk 由 VSS 變為 VDD 時，儲存在電容 Cbo2 的電壓 VDD 會使得 Vb 的電壓從 VSS 變為 -VDD，此時 M3 將會導通將 Vb 上的電壓傳導到 Clk_bo，而 Clk_bo 將會導通 M4 使得 Cbo1 的電壓升到 VDD。在這個週期下，Cbo2 的功用是用來升壓，Cbo1 則是重置本身的電壓。

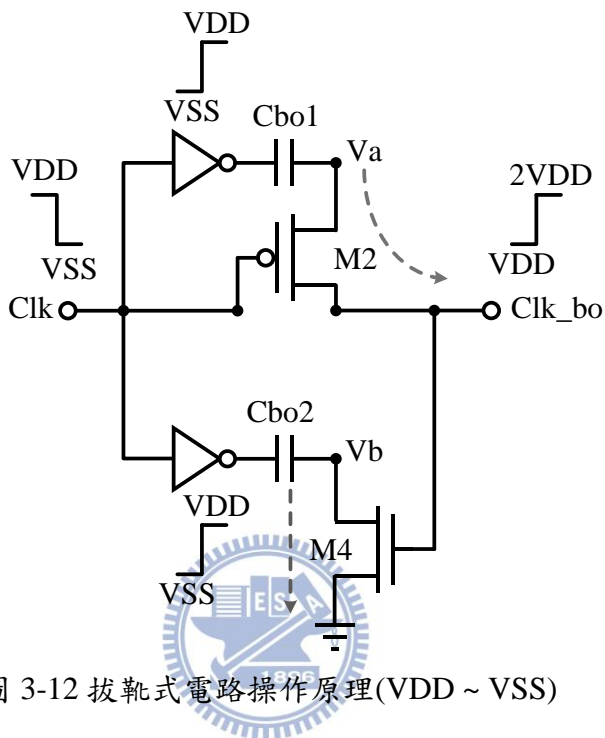


圖 3-12 拔靴式電路操作原理(VDD ~ VSS)

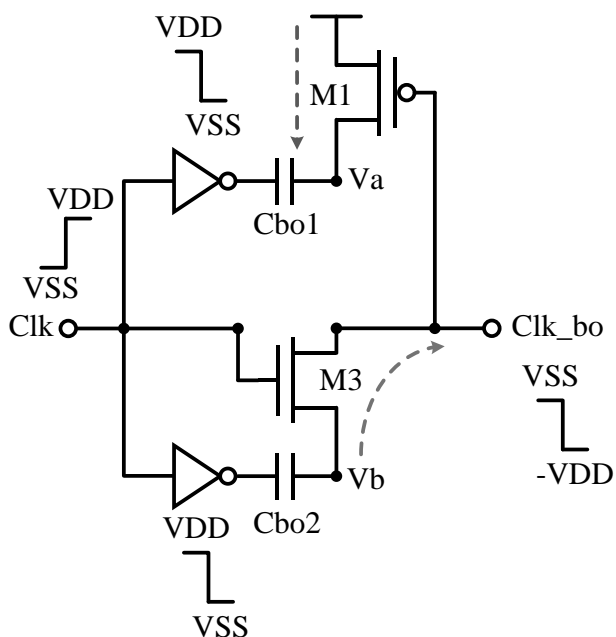


圖 3-13 拔靴式電路操作原理(VSS ~ VDD)

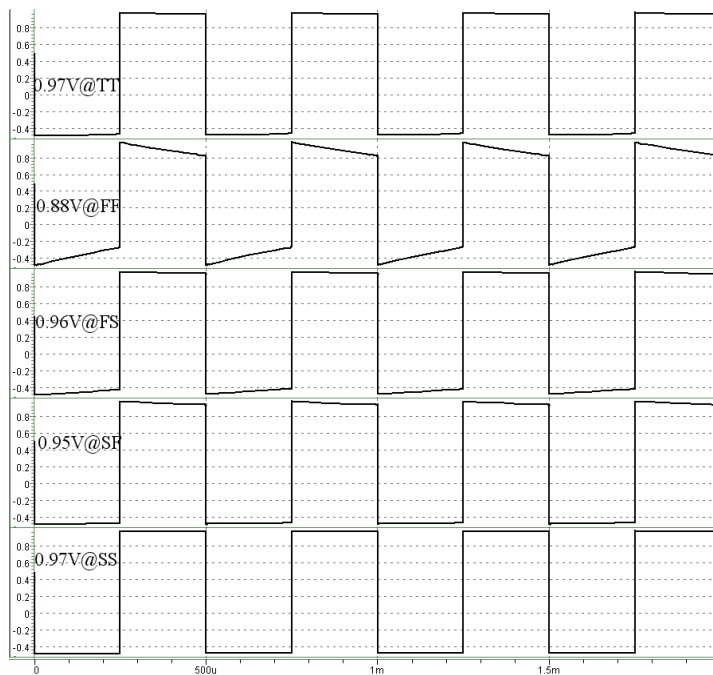


圖 3-14 拔靴式電路輸出電壓模擬圖

圖 3-15 和圖 3-16 為開關在不同電壓下輸出的電導值，可以由兩圖比較出使用拔靴式電路後，電晶體的電阻值將會明顯的變小。

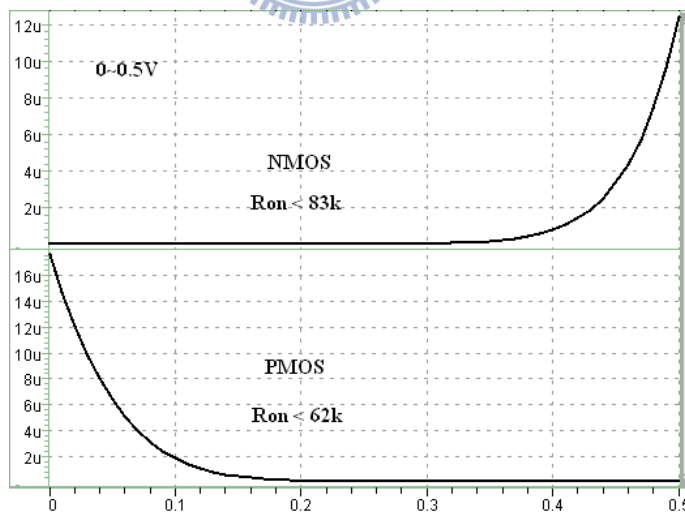


圖 3-15 截波開關電導模擬圖(無拔靴式電路)

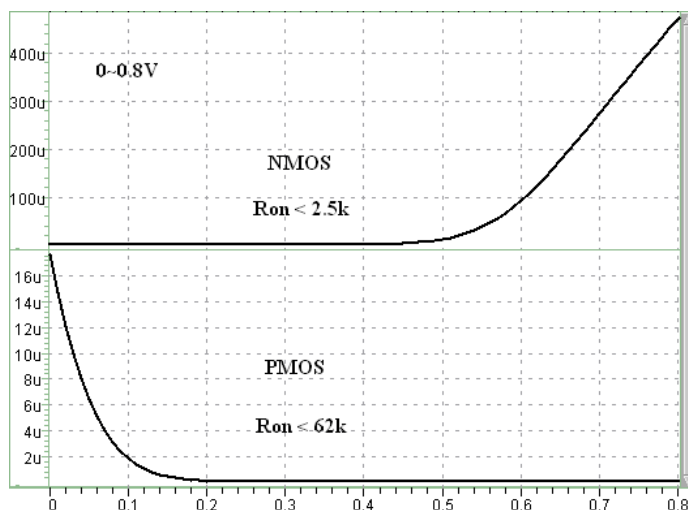


圖 3-16 截波開關電導模擬圖(有拔靴式電路)

Gm-C 濾波器

由於 Gm-C 濾波器是用來濾出輸入差動電極偏移電壓的直流值，並加以回授並消除，所以它必須要有極低頻的頻寬的，至少要小於 0.5Hz。為了製造出低頻的高通極點，需要的是 μF 等級的電容量，在此為一個外掛電容(如圖 3-17)。使用全差動的電流鏡有幾個好處，第一個是這個電路的主極點是在第二級輸出級，加上外掛電容，其主極點頻率將會非常的小，以確保系統的穩定。第二個就是全差動的架構消除差動電極偏移電壓的能力比單端電路要好。此濾波器的用途是讓偏移電壓直流值濾出，所以在設計上線性度並不重要，最主要的考量就是頻寬要夠小，否則一般的低頻生醫訊號也會被濾出，回授到電路去，這樣將會使得輸出訊號失真。在電晶體的設計上，可以從式 3.14 和式 3.15 得知，為了使輸出的低頻雜訊能夠小，輸入級也是採用 P 型電晶體，並操作在次臨界區，增加電晶體的尺寸。

$$f_u = \frac{g_{m1}}{C_{ext}} \quad (3.13)$$

$$\overline{V_{n,in}^2}_{thermal} = \frac{16}{3}KT \left(\frac{1}{g_{m1}} + \frac{g_{m3}}{g_{m1}^2} \right) \cdot \Delta f \quad (3.14)$$

$$\overline{V_{n,in}^2}_{flicker} = \frac{K}{f \cdot C_{ox}} \left(\frac{1}{W_1L_1} + \frac{1}{W_3L_3} \left(\frac{g_{m3}}{g_{m1}} \right)^2 \right) \cdot \Delta f \quad (3.15)$$

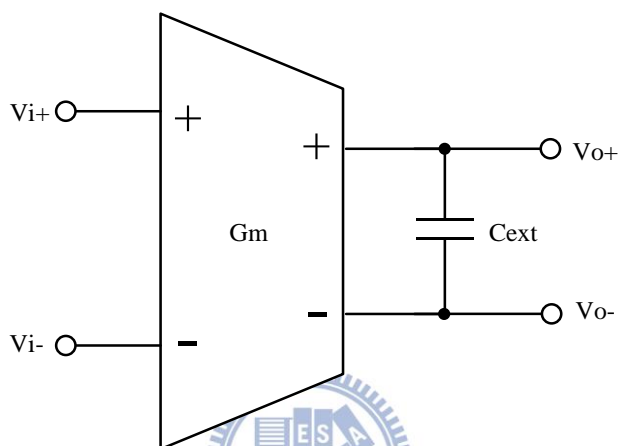


圖 3-17 Gm-C 濾波器

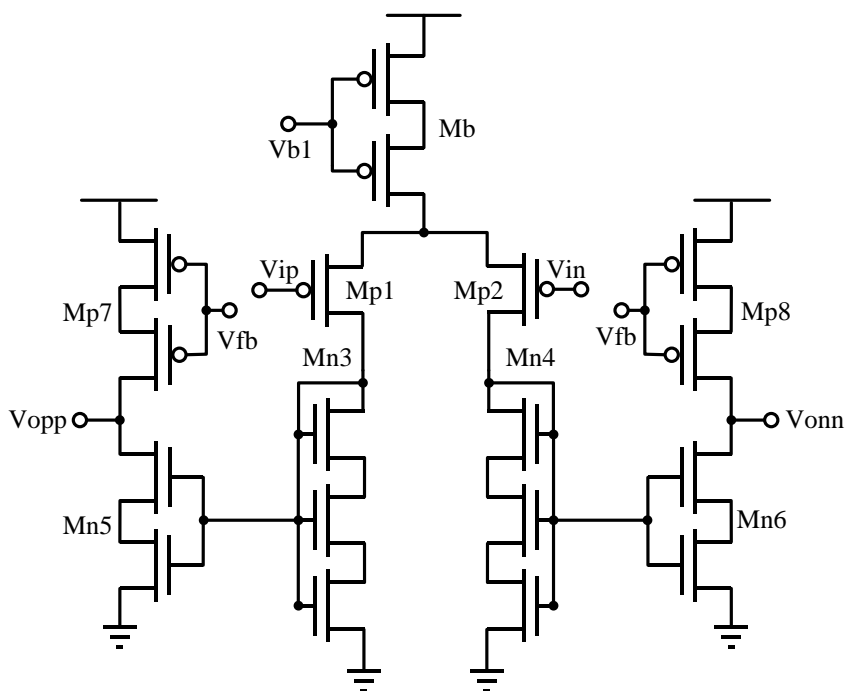


圖 3-18 全差動電流鏡放大器

3.3 可程式化增益放大器

由於三種生醫訊號的振幅各不相同，所以在最後放大階段時，必須要有適當的增益調整，來使得生醫訊號放大的更加完整，因此就需要可程式化增益放大器。圖 3-19 為可程式化增益放大器。其中包含了一個全差動電流鏡放大鏡和電容回授。在輸入訊號到放大器的輸入端形成了一個非常低頻的高通路徑，最後再由放大器的輸出端構成了一個低通路徑，使整個增益放大器能夠阻擋儀表放大器來的直流偏移電壓，又可以抑制高頻

來的雜訊。整個電路的直流增益為 $\left| \frac{C_i}{C_f} \right|$ ，並且可用數位控制訊號來控制輸入電容，使得

整體閉迴路增益能夠變化。

$$A_v(s) = -\frac{C_i}{C_f} \cdot \frac{s + \frac{1}{R_{par} \cdot C_i}}{s + \frac{1}{A_o \cdot R_{par} \cdot C_f}} \cdot \frac{1}{1 + s \cdot \frac{C_i \cdot C_L}{C_f \cdot G_m}} \quad (3.16)$$

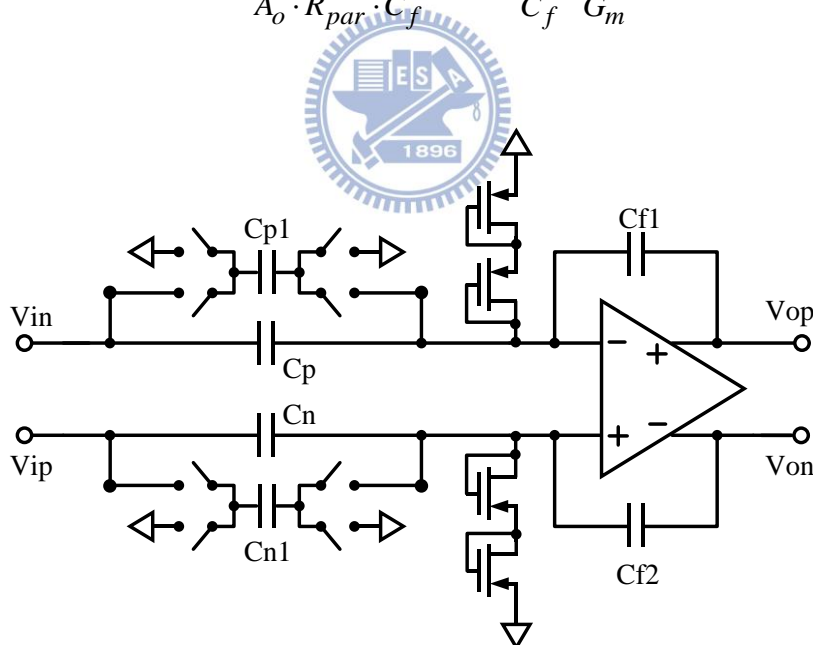


圖 3-19 可程式化增益放大器圖

運算放大器

運用在可程式化增益放大器的放大器，最主要就是要能夠提供準確的放大增益，並且讓訊號能夠通過，比較重要的是由於生醫訊號都有著低頻的成分，必須要讓這些低頻

成分通過，從式 3.16 可以看出運算放大器的增益越大，高通極點的頻率將會越小，而所需電容量也可減小。由於增益放大器的回授因子並沒有如儀表放大器來的大，所以此電路的頻寬並不是主要的限制，設計上是以放大器的增益和雜訊抑制為主，輸入級採用 P 型電晶體來抑制閃爍雜訊，並操作在次臨界區以提高轉導值(如式 3.17)。一些基本的式子都與儀表放大器一樣，差別就是輸出級的阻抗，在這裡設計得比儀表放大器還大，犧牲頻寬來換取放大器的開迴路增益。同樣地，差動電路也是需要共模電壓回授電路，此處電路使用的共模電壓回授電路如同圖 3-8。

$$A_0 = g_{m1} \cdot \frac{1}{g_{m3} - g_{m3f}} \cdot g_{m5} \cdot (r_{o5} \parallel r_{o7}) \quad (3.17)$$

$$f_c = \frac{g_{m1}}{C_L} \quad (3.18)$$

$$\overline{V_{n,in}^2}_{thermal} = \frac{16}{3} KT \left(\frac{1}{g_{m1}} + \frac{g_{m3} + g_{m3f}}{g_{m1}^2} \right) \cdot \Delta f \quad (3.19)$$

$$\overline{V_{n,in}^2}_{flicker} = \frac{K}{f \cdot C_{ox}} \left(\frac{1}{W_1 L_1} + \frac{1}{W_3 L_3} \left(\frac{g_{m3}}{g_{m1}} \right)^2 + \frac{1}{W_{3f} L_{3f}} \left(\frac{g_{m3f}}{g_{m1}} \right)^2 \right) \cdot \Delta f \quad (3.20)$$

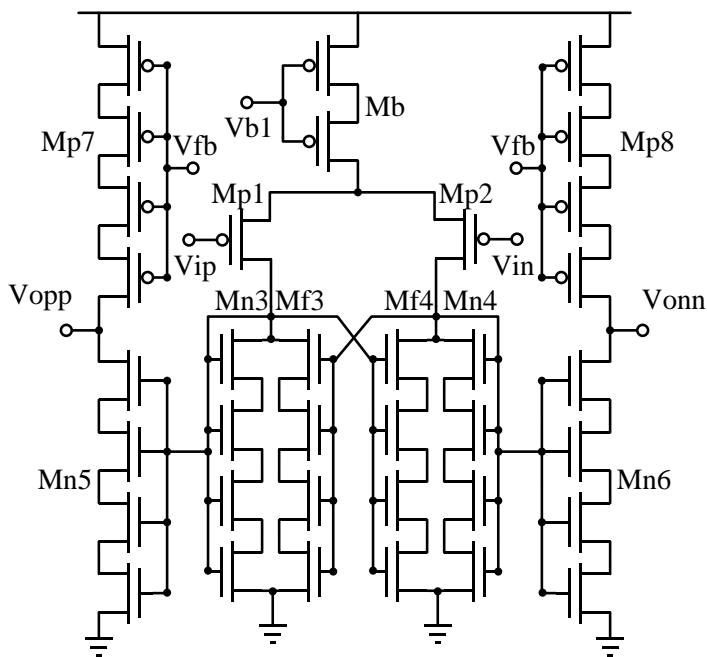


圖 3-20 開迴路增益放大器圖

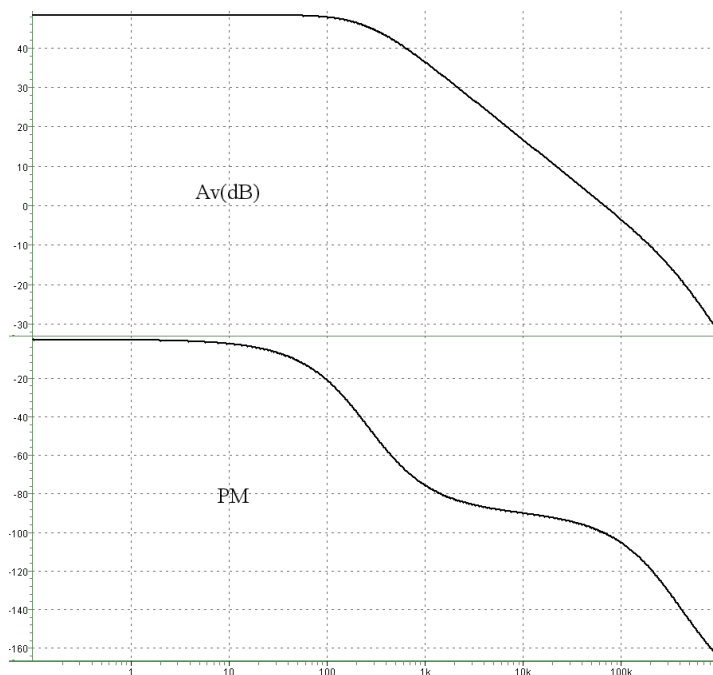


圖 3-21 開迴路放大器增益與相位圖

表 3-4 放大器增益頻寬的製程角落模擬表

	TT	FF	FS	SF	SS
$A_v(\text{dB})$	48.4	43.1	48.9	46.6	49.6
PM	84.0	86.0	84.2	84.2	84.1
$f_c(\text{Hz})$	38.9k	32.7k	41.3k	34.5k	40.4k

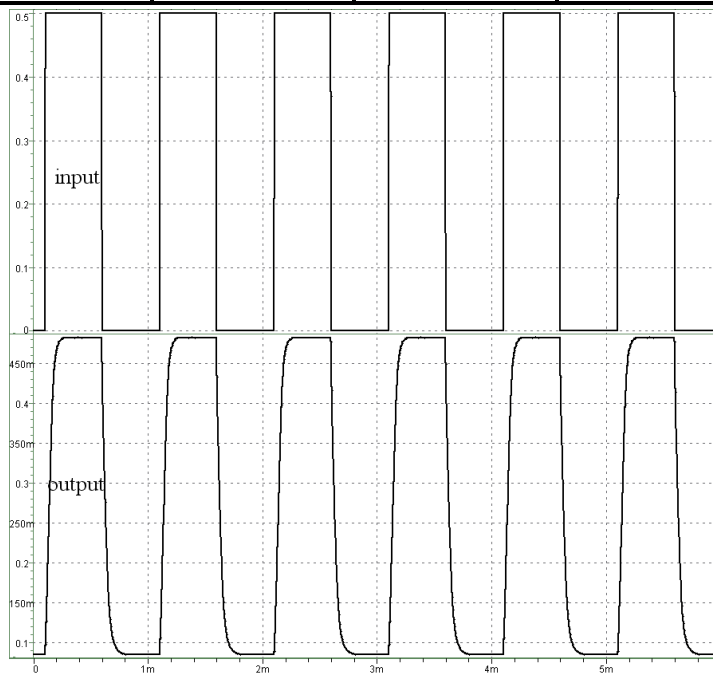


圖 3-22 放大器迴轉率模擬圖

表 3-5 放大器迴轉率的製程角落模擬表

$mV/\mu s$	TT	FF	FS	SF	SS
SR	3.0	2.9	3.3	2.6	3.3

預先放大器

在量測三種生醫訊號時，可以從表 3-2 發現，腦波訊號跟其他生醫訊號比起來，其振幅明顯比較小，在測量時，如果只有儀表放大器和可程式化增益放大器的話，放大倍率是不夠的。因此在這個狀況下，需要在其中加入一級預先放大器，以提高整體訊號的放大倍率，其電路如圖 3-18。設計上不使用負電阻，以達到適當的放大倍率，由於預先放大器也是訊號必經的路徑，所以在雜訊的考量上也如同，儀表放大器及增益放大器一樣重要。

$$f_c = \frac{g_m}{C_L} \quad (3.21)$$


放大器設計原理

在上述設計各個不同規格的運算放大器，如圖 3-6、3-18、3-20，可以發現使用了很多電晶體疊接的方式，如圖 3-23。這裡採用電晶體的原因主要有三個，第一個原因就是設計上電晶體的邊界電壓(threshold voltage)會隨著通道長度增加而變化，但是在此製程下當長度太大時，N 型電晶體的邊界電壓會變為負的值，這在電晶體設計上是會造成放大器誤動作，因此採用疊接的方式來使得每顆電晶體的通道長度在適當的範圍，避免邊界電壓進入負的範圍，同時確保整個電晶體的通道長度夠大，以增加輸出阻抗。第二個原因就是避免邊界電壓隨著通道長度增加而產生大變化。電晶體參數在各個製程漂移下往往會產生不同的電流、阻抗，在這裡疊接電晶體所扮演的角色就是避免大的通道長度來影響邊界電壓，減少影響電晶體參數的原因。第三個則是布局上的考量，借由將一個長通道的電晶體拆成多個小通道長度的電晶體，使得佈局上可採用對稱的方式減小電晶體的製程誤差。而在放大器的功能上，則是可以增加輸出阻抗，使得放大器增益上升，

減小寄生電容，使得頻寬避免受到寄生電容的影響太大。

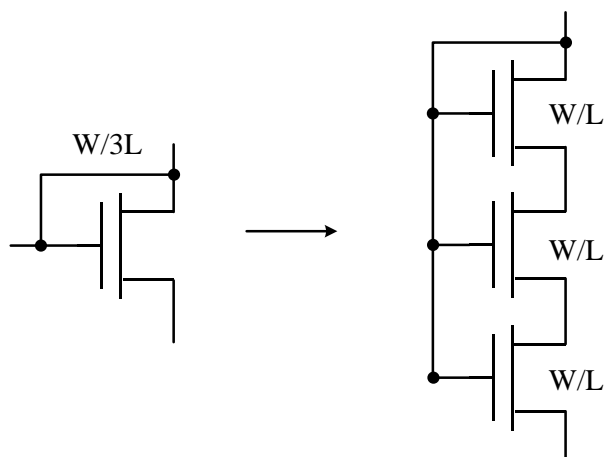


圖 3-23 疊接電晶體示意圖

3.4 系統模擬結果與佈局

本節將會討論類比前端電路系統在實際心電圖輸入的模擬結果，如圖 3-33。

前端電路除了要負責放大生醫訊號之外，同時訊號的失真程度與否，也是非常重要的，也就是總諧波失真(Total Harmonic Distortion)。圖 3-24 為輸入訊號 100Hz、1mVpp 的弦波，輸出訊號的 FFT 頻譜圖。

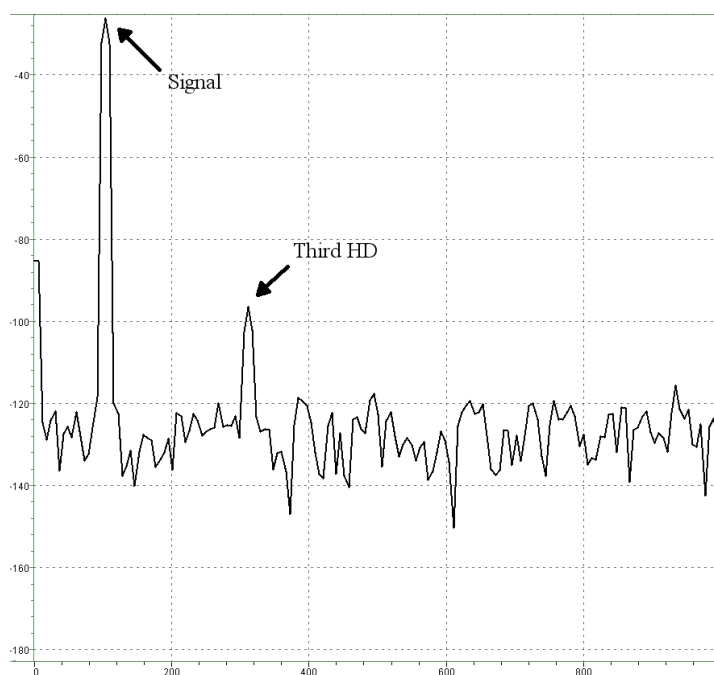


圖 3-24 類比前端電路 FFT 模擬圖

表 3-6 總谐波失真表

	TT	FF	FS	SF	SS
THD (%)	0.031	0.048	0.017	0.084	0.14

圖 3-25 為本系統的增益頻寬模擬圖，訊號放大範圍為 0.5Hz~1kHz。基本上分為兩種情形，針對腦波圖，系統的放大增益可以達到 66 dB，振幅較大的心電圖和肌電圖，則使用較小的放大增益。圖 3-26 為比較系統電路有無截波對雜訊的影響，圖 3-27 為截波前端電路的雜訊模擬圖，在截波頻率為 4kHz 時，雜訊密度為 $36.6nV/\sqrt{Hz}$ ，2kHz 時為 $50.7nV/\sqrt{Hz}$ 。表 3-9 為雜訊密度在製程角落的值。

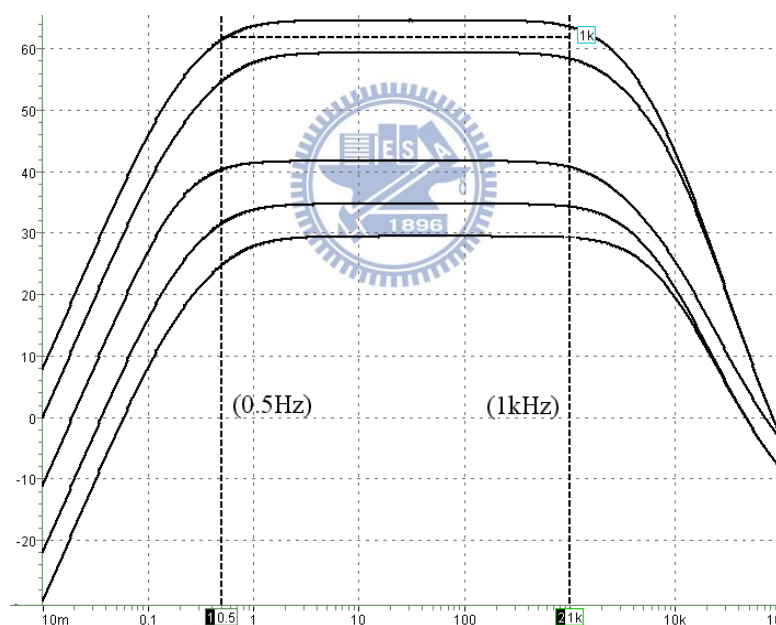


圖 3-25 類比前端電路增益頻寬模擬圖

表 3-7 生醫訊號增益表

Signal	Av (dB)
EEG	59.4、64.6
ECG、EMG	29.5、34.7、41.7

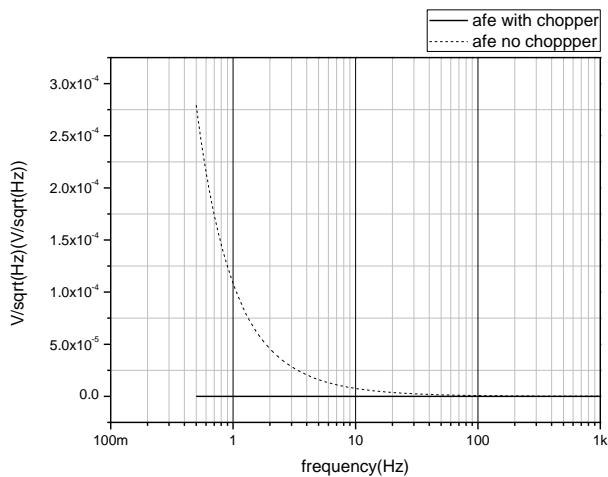


圖 3-26 前端電路雜訊截波比較圖

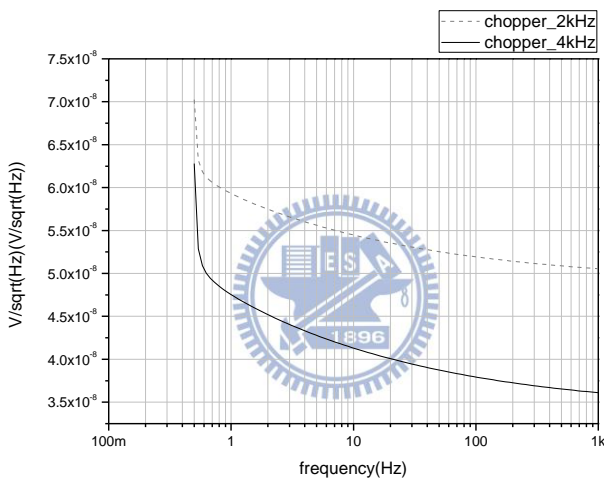


圖 3-27 前端電路雜訊模擬圖

表 3-8 前端電路雜訊模擬表

Noise Density (nV/\sqrt{Hz})	TT	FF	FS	SF	SS
4k	36.6	34.7	39.8	37.0	48.4
2k	50.7	51.3	45.7	47.5	52.6

表 3-9 生醫訊號雜訊總值表

Signal	BW(Hz)	IRN (μV_{rms})
EEG	0.5~100	0.36
ECG	0.5~100	0.36
EMG	10~1000	1.59

由於輸入訊號的偏移電壓常常因為 60Hz 雜訊而發生改變，進而影響的內部前端電路，因此身為前端電路的第一級必需要有抵抗的能力，圖 3-28 為儀表放大器的共模拒斥比模擬圖，可以看到在 60Hz 時，其值是大於 110 dB。

此類比前端電路是採用 UMC 90nm 製程，圖 3-32 為本電路的晶片佈局圖。總面積為 $0.96 \times 0.94 \text{ mm}^2$ ，電路面積為 $0.75 \times 0.66 \text{ mm}^2$ 。系統的規格總結為表 3-13。

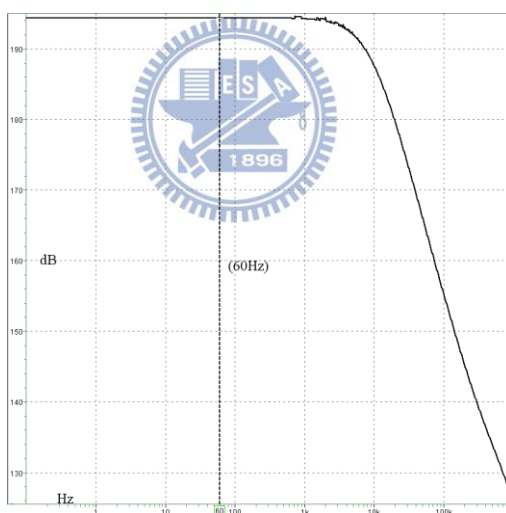


圖 3-28 共模拒斥比模擬圖

表 3-10 共模拒斥比模擬表

	TT	FF	FS	SF	SS
CMRR (dB)	194	197	192	195	184

從圖 3-31 可以看出，加入製程漂移參數後，前端電路的 CMRR 值大概落在 80~90 dB 之間，與沒加入製程誤差的模擬值有很大的差距，圖 3-29 為放大器在共模模式下的示意圖，由此圖可以推得式(3.21)、式(3.22)，可以看出 CMRR 的值與放大器所看到的主動負載有很大的關係，當在設計負電阻時，為了使放大器的交流增益變大，設計上讓負電阻與正電阻值接近，以減小看到的負載阻抗，但這對共模增益而言卻是不好的選擇，因為製程漂移而導致負載增加，這個結果將會使得 CMRR 下降。

$$|A_{cm}| = \frac{R_L/2}{1/2g_m + R_b} \tag{3.21}$$

$$CMRR = \frac{2g_m R_b}{\Delta R_L/R_L} \tag{3.22}$$

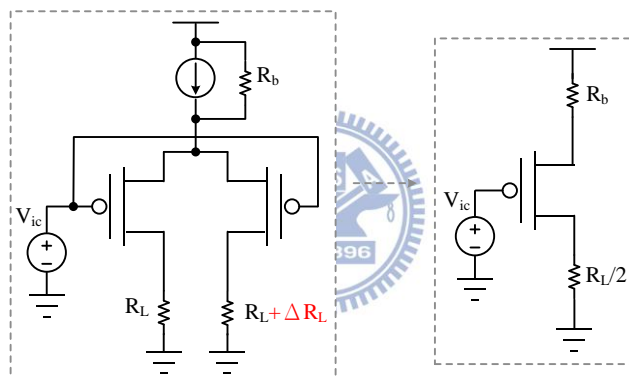


圖 3-29 共模增益示意圖

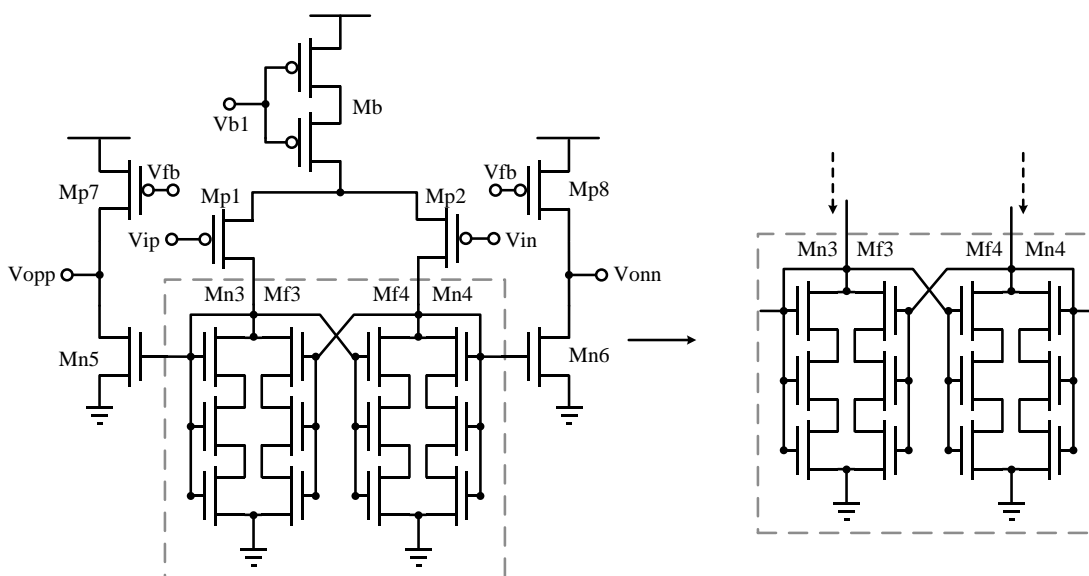


圖 3-30 實際放大器負電阻示意圖

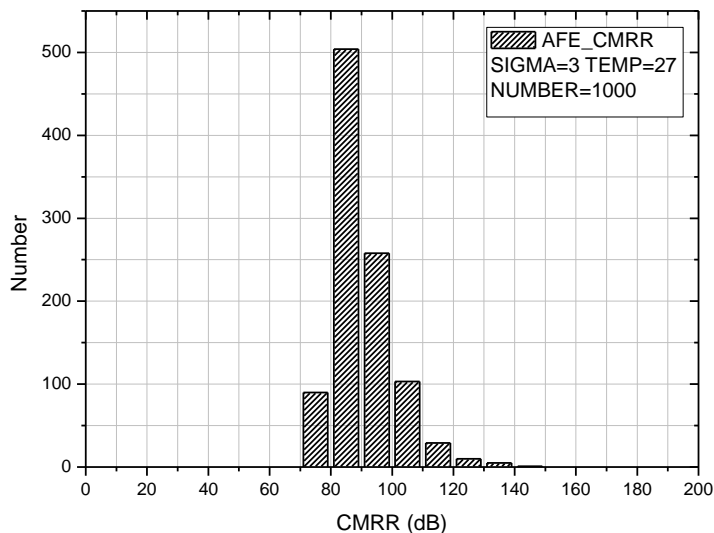


圖 3-31 共模拒斥比蒙地卡羅模擬圖

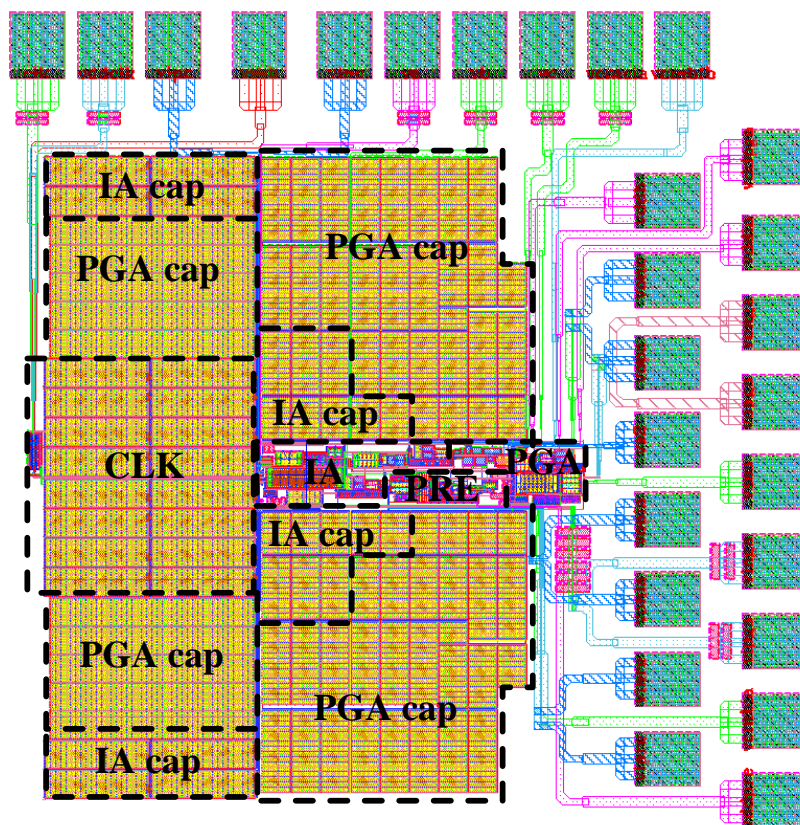


圖 3-32 類比前端電路晶片佈局圖

表 3-11 類比前端電路功率消耗表

	Power(μ W)
BIAS	0.68
IA	2.16
PGA	0.62
PREA	1.43
Total	4.89
Total(no bias)	4.21

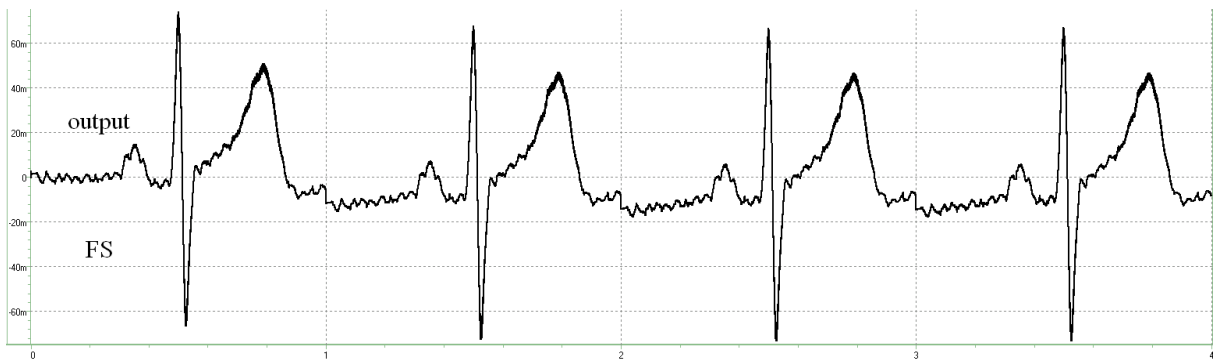
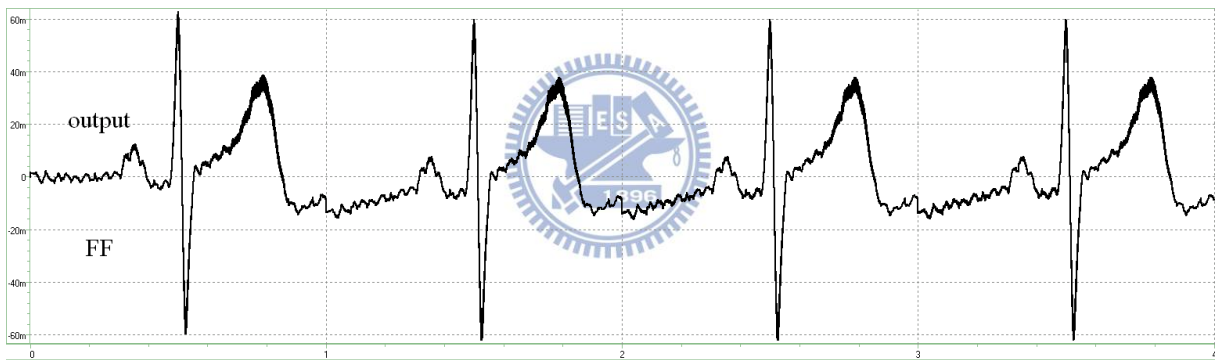
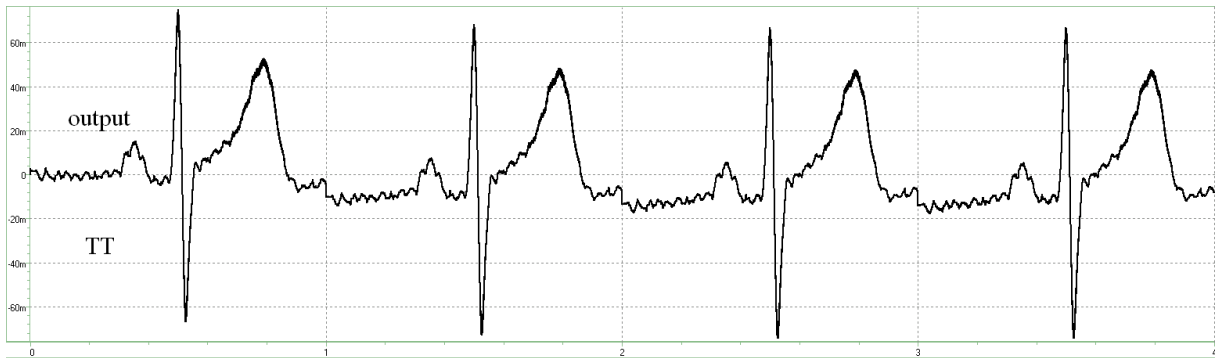
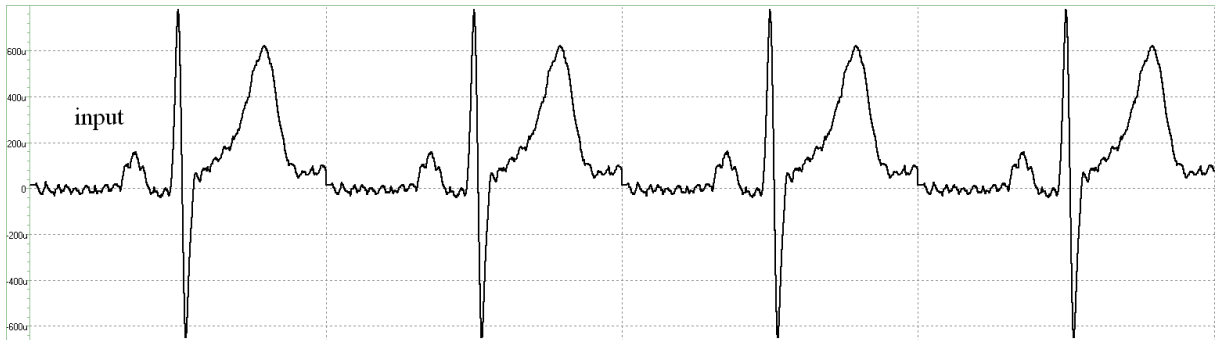


表 3-12 類比前端電路規格總結表

Spec.	Value	Unit
Supply Voltage	0.5	V
Supply Current	8.42	μ A
Power	4.21	μ W
Gain	26~66	dB
NEF	3.26/2.77	
Input-referred Noise Density(0.5~1kHz)	36.6/50.7 (4k/2k)	nV/\sqrt{Hz}
THD	<0.1	%
CMRR(60Hz)	>110	dB
High Pass -3 dB frequency	0.5	Hz
Low Pass -3 dB frequency	1k	Hz
AFE SFDR	70.2	dB
Chip size	0.96 x 0.94	mm^2
Core area	0.75 x 0.66	mm^2
Technology	90	nm

NEF: Noise Efficient Factor

$$NEF = V_{ni,rms} \cdot \sqrt{\frac{2 \cdot I_{tot}}{\pi \cdot V_T \cdot 4kT \cdot BW}}$$



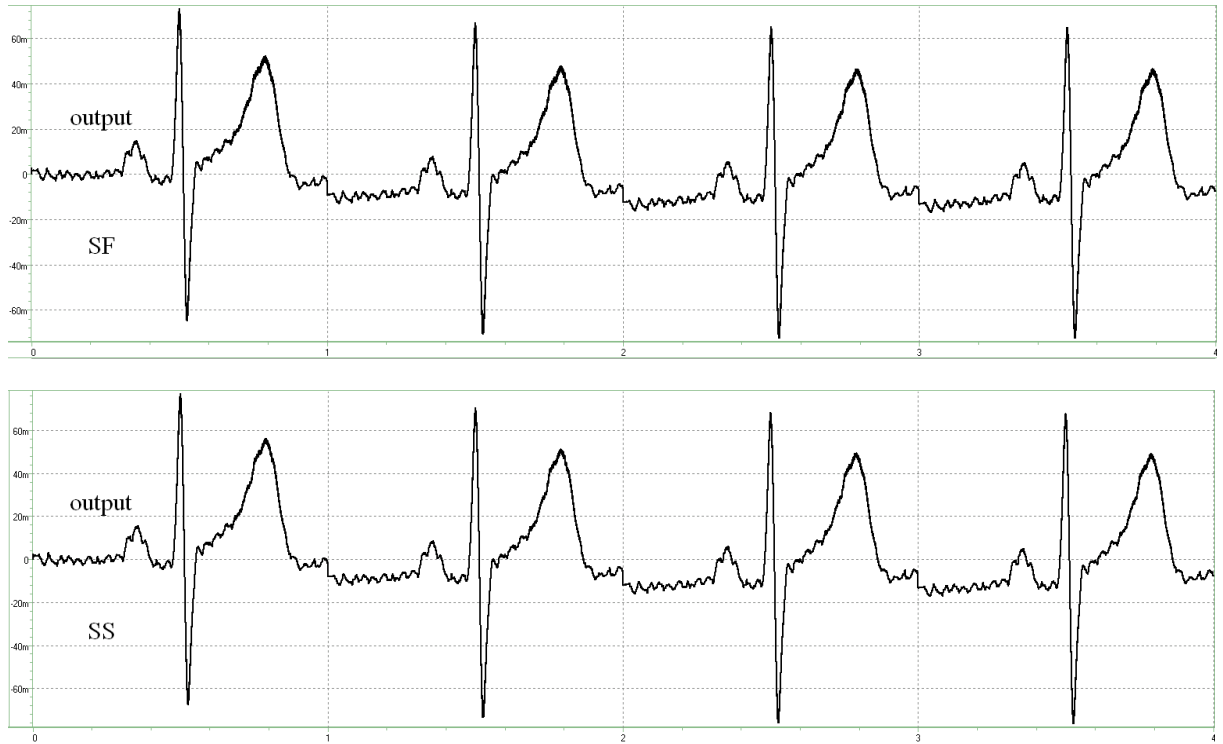


圖 3-33 心電圖訊號模擬圖



3.5 規格比較

整個類比前端電路的規格比較表如下所示。整個電路所消耗的電流量為 $8.42\mu\text{ A}$ ，輸入相對雜訊為 $0.36\mu\text{ Vrms}$ (100Hz)，電路面積為 0.49 mm^2 。

表 3-13 類比前端電路規格比較表

Spec.	Tim Denison, JSSC 07[11]	R.F. Yazicioglu, JSSC 07[9]	R.F. Yazicioglu, JSSC 08[10]	X.Zou Y.Lian JSSC 09[14]	L.Yan, H.Jun Yoo JSSC 10[15]	This work
Supply Voltage	1.8~3.3V	3V	3V	1V	3V	0.5V
Supply Current	1.0 $\mu\text{ A}$	11.1 $\mu\text{ A}$	3.6 $\mu\text{ A}$	337 nA	1.66 $\mu\text{ A}$	8.42$\mu\text{ A}$
Power	1.455mW	33.3 $\mu\text{ W}$	10.8 $\mu\text{ W}$	0.33 $\mu\text{ W}$	5 $\mu\text{ W}$	4.21$\mu\text{ W}$
Gain	41~50.5 dB	51~67dB	72~81dB	45~60dB	58~70dB	26~66 dB
NEF	4.6	4.7	4.3	3.26	3.1	3.26/2.77
Dynamic Range	50.5 dB	67 dB	81 dB	60 dB	60 dB	66 dB
Input-referred Noise RMS	0.95 $\mu\text{ V}$ (100Hz)	0.57 $\mu\text{ V}$ (100Hz)	0.59 $\mu\text{ V}$ (100Hz)	1.16 $\mu\text{ V}$ (100Hz)	0.51 $\mu\text{ V}$ (100Hz)	0.36$\mu\text{ V}$ (100Hz)
High Pass -3 dB frequency	0.05 Hz	0.5 Hz, 10 Hz	0.5 Hz,	4.5m Hz,	0.5 Hz,	0.5 Hz
Low Pass -3 dB frequency	180 Hz	>150 Hz	675 Hz	292 Hz	625 Hz	1 kHz
Core area	NA	1.95 mm^2	17.55 mm^2 (8-channel)	1 mm^2	2.6 mm^2	0.49 mm^2
Technology	0.8 $\mu\text{ m}$	0.5 $\mu\text{ m}$	0.5 $\mu\text{ m}$	0.35 $\mu\text{ m}$	0.18 $\mu\text{ m}$	90 nm

第四章

0.5-V 類比前端積體電路設計(二)



4.1 介紹

前一章節裡介紹了一個運用於 0.5-V 系統的類比前端電路。本章節要介紹另一種系統架構的類比前端電路，最後進而比較這兩種架構在 0.5-V 下的優缺點。4.2 節為本電路簡介。再來 4.3 節為電路的設計與模擬，及 4.4 節為晶片的佈局與規格。

4.2 類比前端電路與規格

本章節所提出的類比電路系統架構如下圖 4-1 所示。基本上和第三章的架構差不多，差別在於內部電路與放大倍率的不同。而系統規格的要求為操作在 0.5V 電壓下，各項規格要求就如同表 3-1。

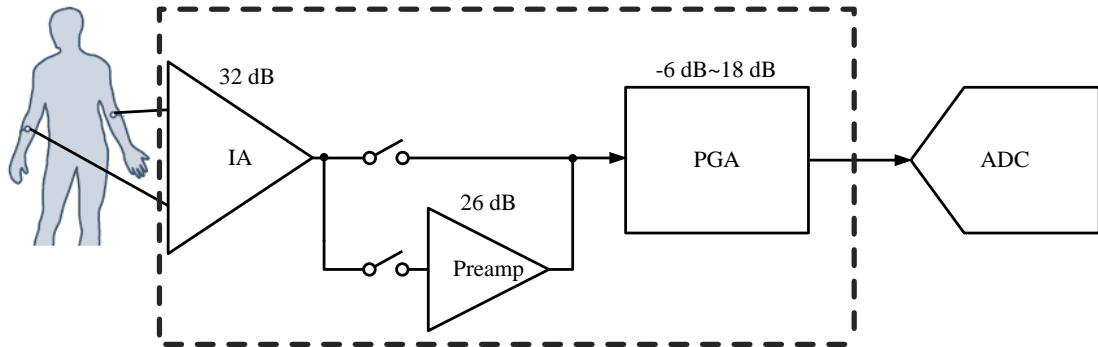


圖 4-1 類比前端電路架構圖

4.3 儀表放大器

本節將會說明使用的儀表放大器。圖 4-2 為所使用的儀表放大器，內含有兩組截波調變開關、運算放大器、低通濾波器及一個外掛電容。和第三章不同處為此儀表放大器並沒有可變增益的功能，其餘的功能就跟第三章的一樣。

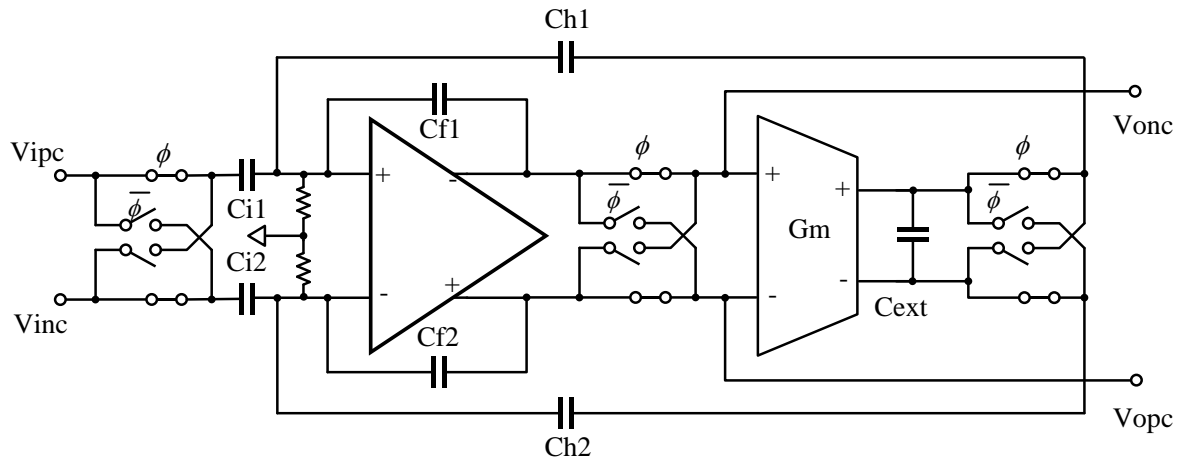


圖 4-2 儀表放大器電路圖

運算放大器

用於儀表放大器的電路如圖 4-3，式 4.1 為此電路的開迴路增益，在這裡跟第三章不同的是 Mn3b、Mn4b，這裡當作負載來使用，減少 Mn3 和 Mn4 的電流，增加其轉導值。雜訊考量方面跟第三章的設計是一樣的，這裡也是針對輸入級來改善，採用 P 型電晶體並操作在次臨界區，以增加轉導值和低雜訊的效果。表 4-1 為此放大器的一些基本規格。

$$A_o = \frac{g_{m1}}{g_{m3}} \cdot g_{m5} \cdot (r_{o5} \parallel r_{o7}) \quad (4.1)$$

$$f_c = \frac{g_{m1}}{C_L} \quad (4.2)$$

$$\overline{V_{n,in}^2}_{thermal} = \frac{16}{3} KT \left(\frac{1}{g_{m1}} + \frac{g_{m3} + g_{m3b}}{g_{m1}^2} \right) \cdot \Delta f \quad (4.3)$$

$$\overline{V_{n,in}^2}_{flicker} = \frac{K}{f \cdot C_{ox}} \left(\frac{1}{W_1 L_1} + \frac{1}{W_3 L_3} \left(\frac{g_{m3}}{g_{m1}} \right)^2 + \frac{1}{W_{3b} L_{3b}} \left(\frac{g_{m3b}}{g_{m1}} \right)^2 \right) \cdot \Delta f \quad (4.4)$$

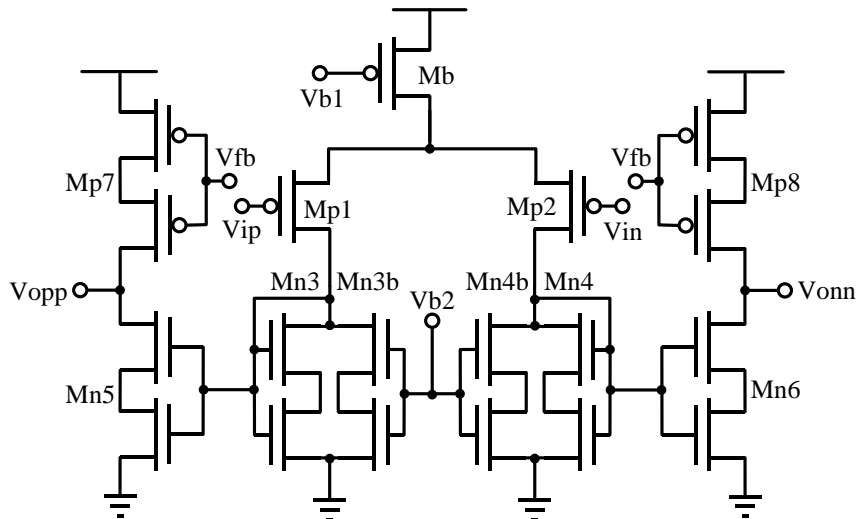


圖 4-3 儀表放大器內部運算放大器圖

表 4-1 放大器規格表

	TT	FF	FS	SF	SS
$A_v(\text{dB})$	42.2	38.3	41.1	43.1	43.2
PM	83.1	77.6	79.8	78.5	89.2
$f_c(\text{kHz})$	245	208	275	185	305
$SR(mV/\mu s)$	10.9	9.5	17.9	6.3	20.7

共模電壓回授電路

由於第四章所提出的類比前端電路也是全差動的型式，故也是需要共模回授電壓電路來定義共模電壓，如圖 3-8 所示。在這裡要注意的是由於回授路徑的不同，在設計上要使共模負回授路徑穩定，詳細情形如同第三章所述。



非重疊時脈產生器和拔靴式電路

在低壓操作截波調變開關時，需要兩個相位的時脈來驅動開關，且由於在低電壓操作，開關的電阻值也是設計的重點。因此就需要非重疊時脈產生器和拔靴式電路來解決開關調變的問題。基本操作原理就如同 3.3 節所述。圖 4-4 為使用的電路架構。

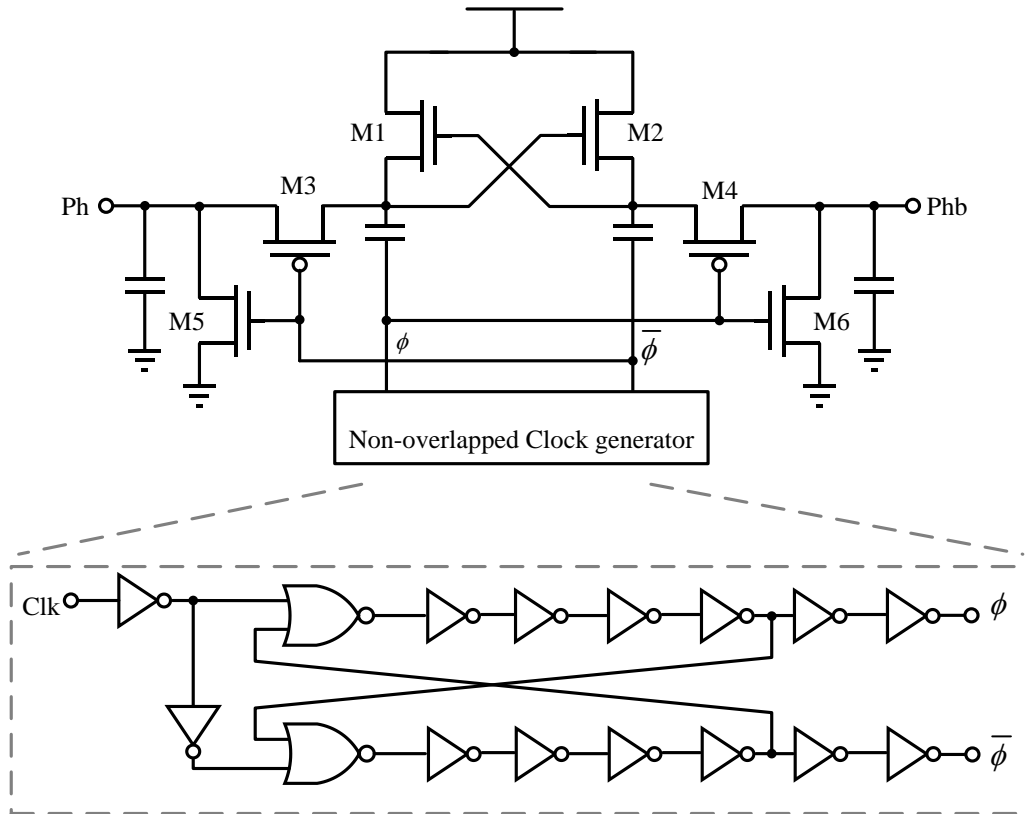


圖 4-4 非重疊時脈產生器和拔靴式電路圖

Gm-C 濾波器

此濾波器的功能是能夠濾出因為電極片所造成的偏移電壓，並經過截波調變後，將因為電極片所造成的偏移電壓經由負回授回授到輸入節點，藉此抵消輸入直流偏壓。這裡採用的運算放大器，也是屬於電流鏡放大器，在這裡不使用增加增益的方式來設計運算放大器，因為本放大器最主要是要濾出直流偏壓值，不需要太高的增益。圖 4-5 為內部電流鏡放大器。

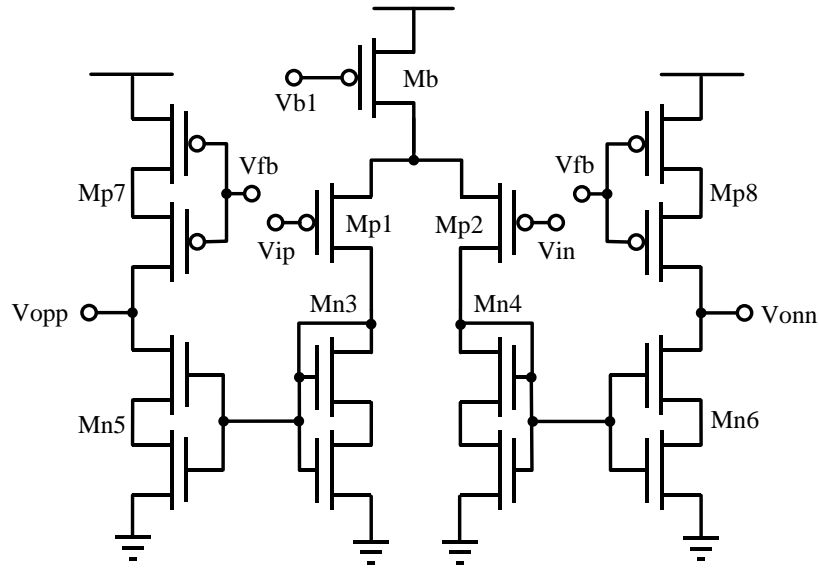


圖 4-5 Gm-C 濾波器內部放大器圖

4.4 可程式化增益放大器

在本節將要介紹可程式化增益放大器，在第三章已經介紹過它的基本原理。本節將要強調它與第三章不同的地方。最主要的差別是在於此增益放大器可以選擇的增益範圍較多以及內部電路的不同。運用於增益放大器的電路如圖 4-6，為了增加開迴路的增益，同樣地，使用了增益增強的電流鏡放大器。由 3.16 式可以知道閉迴路的高通極點是由放大器的開迴路增益和電容所決定的，當使用此架構時，缺點就是電容量會太大，而且會使得儀表放大器的負載增加，減少頻寬。

預先放大器

在測量生醫訊號時，腦波的振幅是屬於較小的，如果要放大到跟心電圖和肌電圖一樣的大小時，需要有多一級的放大器，此預先放大器就是為了腦波圖而存在的。如圖 4-5 所示。

表 4-2 可程式增益放大器增益表

Code	Av(dB)
000	-6
100	0
101	6
110	12
111	18

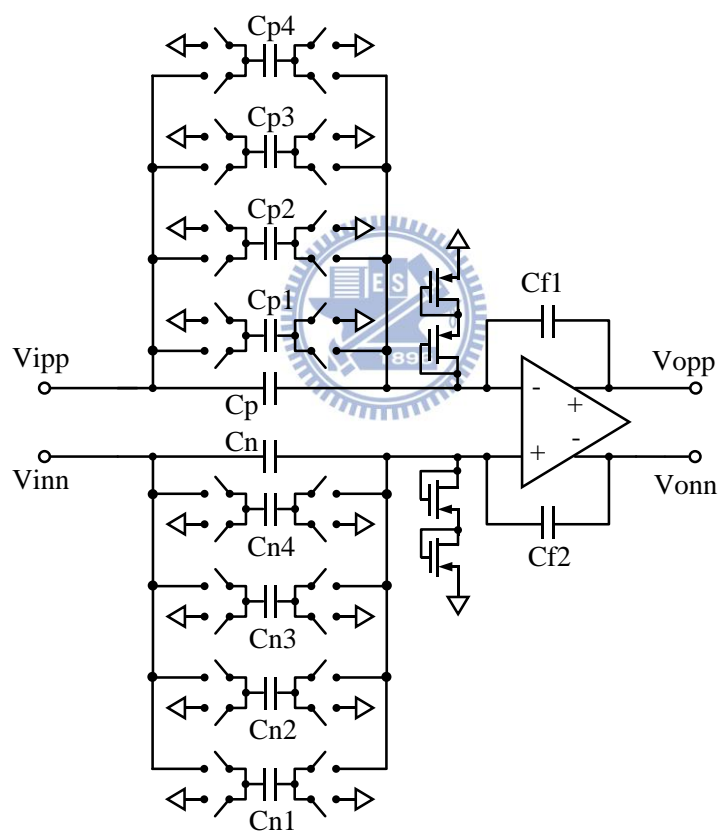


圖 4-6 可程式化增益放大器圖

4.5 系統模擬結果與佈局

在這節將會討論本系統的模擬結果，包括心電圖訊號、系統頻寬以及雜訊的影響。

圖 4-7 為輸出訊號端的 FFT 頻譜圖，輸入訊號為 100Hz、1mVpp 的弦波，由此可以看出輸出訊號的失真程度。

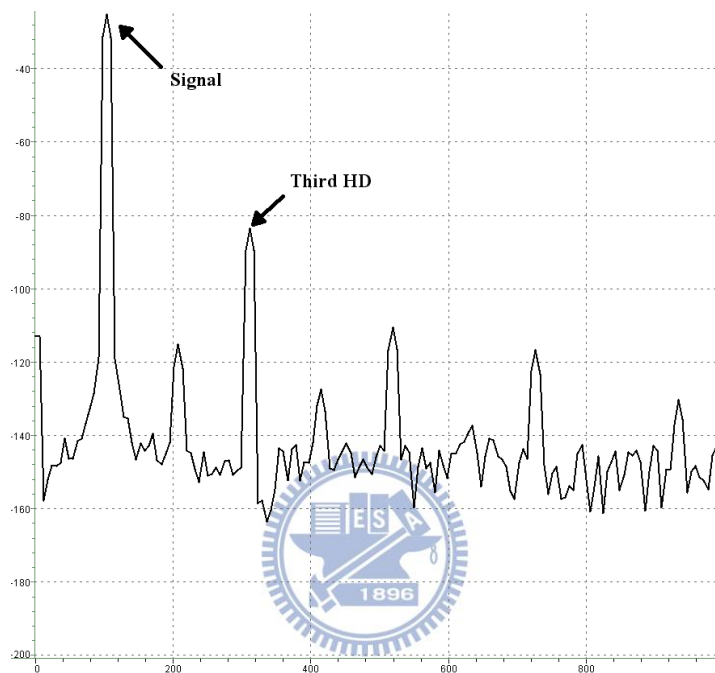


圖 4-7 類比前端電路 FFT 模擬圖

表 4-3 總諧波失真表

	TT	FF	FS	SF	SS
THD(%)	0.04	0.16	0.02	0.12	0.19

圖 4-8、4-9 是本架構的增益頻寬模擬圖，中頻帶為 0.5Hz~1kHz。基本上也是分為兩個情形來放大訊號，跟第三章較不同的是，由於可程式化增益放大器的變動增益範圍較大，所以整體的增益範圍較廣。最大增益為 78 dB，最小增益達 28 dB。

圖 4-11 代表著抑制 60Hz 雜訊的能力，一般的電路規格在 60Hz 時，共模拒斥比要大於 110 dB。

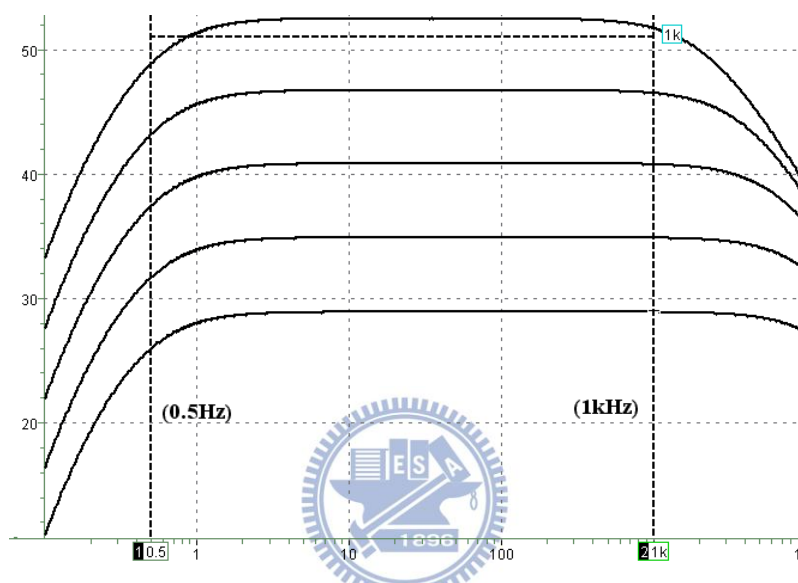


圖 4-8 針對肌電圖和心電圖的增益頻寬圖

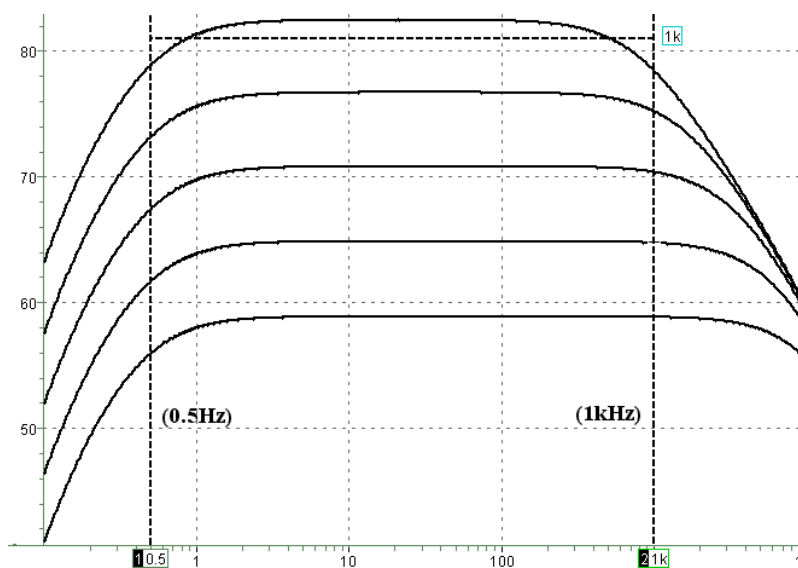


圖 4-9 針對腦波圖的增益頻寬圖

表 4-4 生醫訊號增益表

Signal	Av (dB)
EEG	58~78
ECG、EMG	28~52

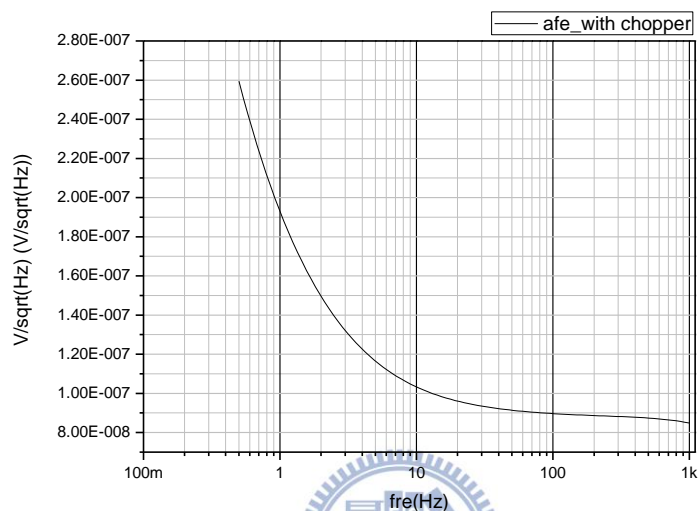


圖 4-10 前端電路雜訊模擬圖

表 4-5 前端電路雜訊模擬表

Noise Density (nV/\sqrt{Hz})	TT	FF	FS	SF	SS
4k	125.8	126.5	145.5	149.1	171.6

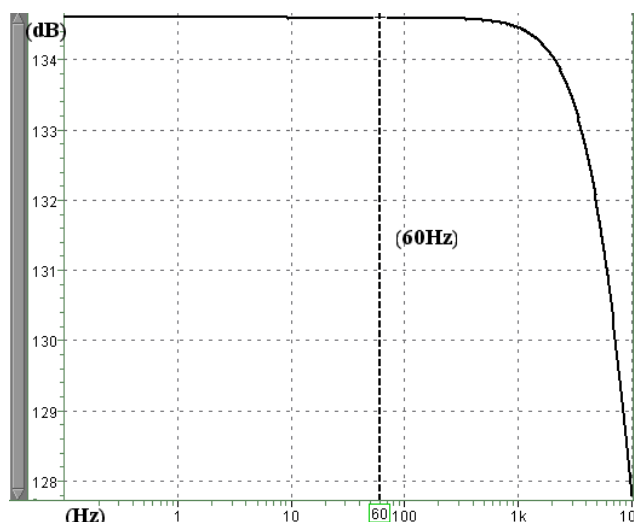


圖 4-11 共模拒斥比模擬圖

表 4-6 共模拒斥比模擬表

	TT	FF	FS	SF	SS
CMRR (dB)	135	156	134	132	124

此類比前端電路是採用 UMC 90nm 製程，圖 4-12 為本電路的晶片佈局圖。總面積為 $1.47 \times 1.11 \text{ mm}^2$ ，電路面積為 $1.09 \times 0.79 \text{ mm}^2$ 。系統的規格總結為表 4-9。

表 4-7 生醫訊號雜訊總值表

Signal	BW(Hz)	IRN(μV_{rms})
EEG	0.5~100	1.25
ECG	0.5~100	1.25
EMG	10~1000	3.95

表 4-8 功率消耗表

	Power(μ W)
BIAS	0.68
IA	1.31
PGA	0.74
PREA	0.60
Total	3.33
Total(no bias)	2.65

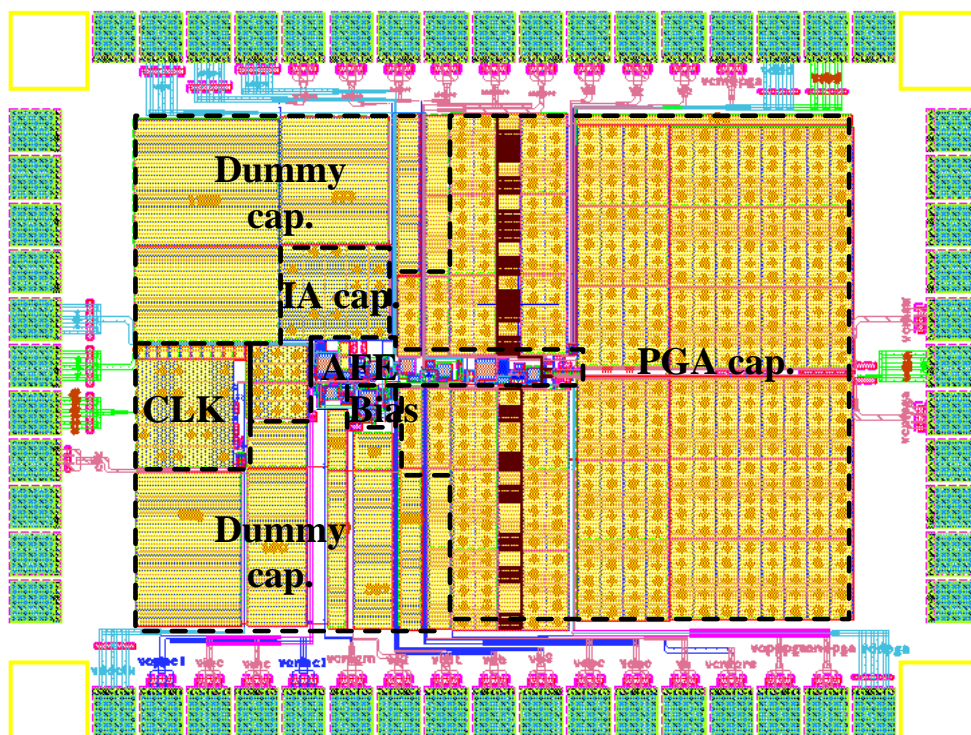


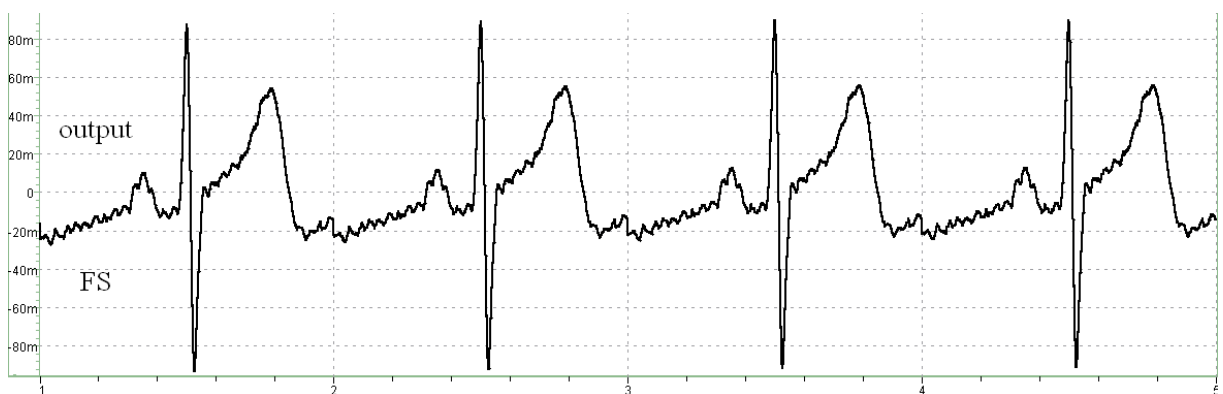
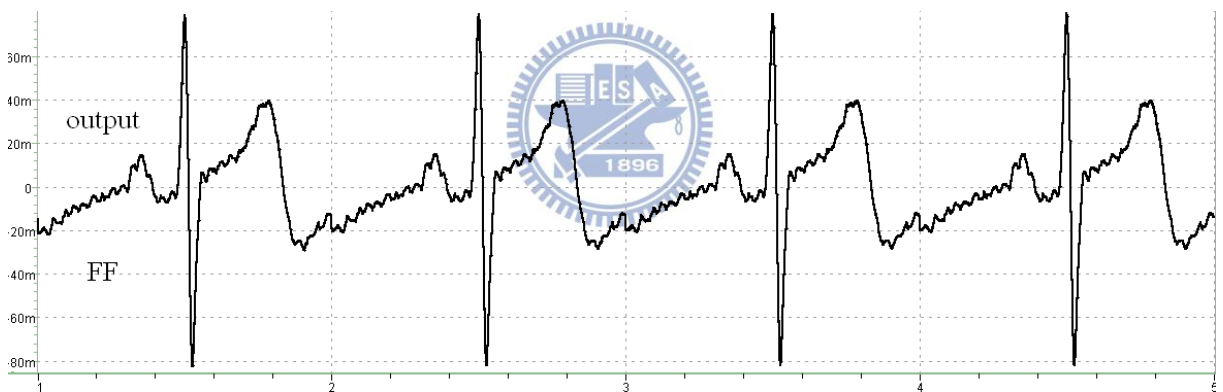
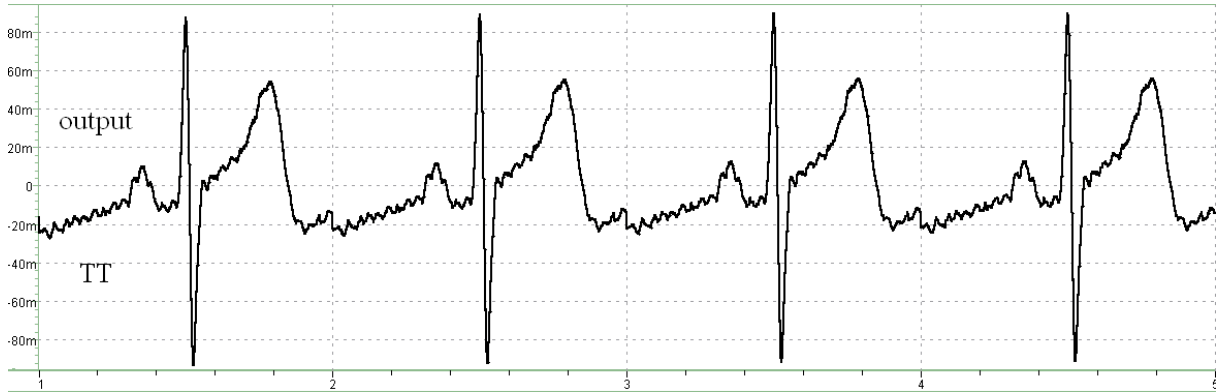
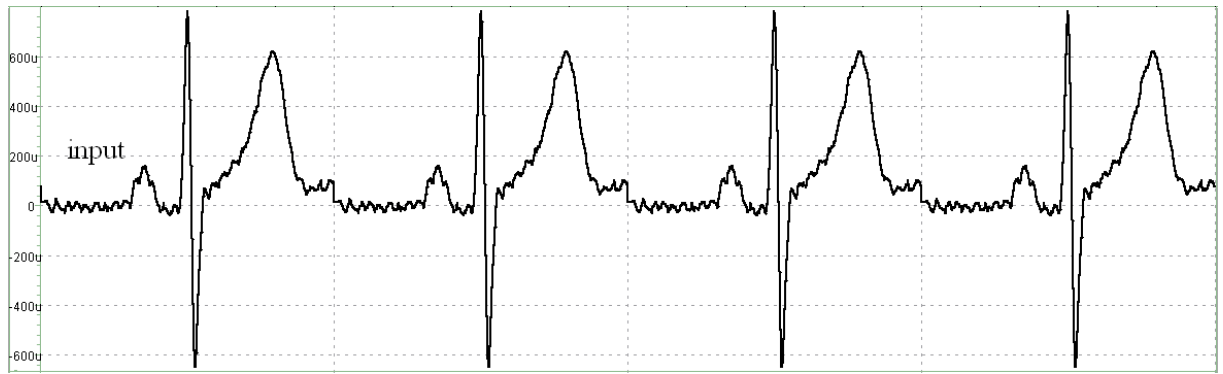
圖 4-12 類比前端電路晶片佈局圖

表 4-9 類比前端電路規格總結表

Spec.	Value	Unit
Supply Voltage	0.5	V
Supply Current	5.3	μ A
Power	2.65	μ W
Gain	28~78	dB
NEF	9.7/7.51	
Input-referred Noise Density(0.5~1kHz)	125.8	nV/\sqrt{Hz}
THD	< 1	%
CMRR(60Hz)	>110	dB
High Pass -3 dB frequency	0.5	Hz
Low Pass -3 dB frequency	1k	Hz
AFE SFDR	66.4	dB
Chip size	1.47 x 1.11	mm^2
Core area	1.09 x 0.79	mm^2
Technology	90	nm

NEF: Noise Efficient Factor

$$NEF = V_{ni,rms} \cdot \sqrt{\frac{2 \cdot I_{tot}}{\pi \cdot V_T \cdot 4kT \cdot BW}}$$



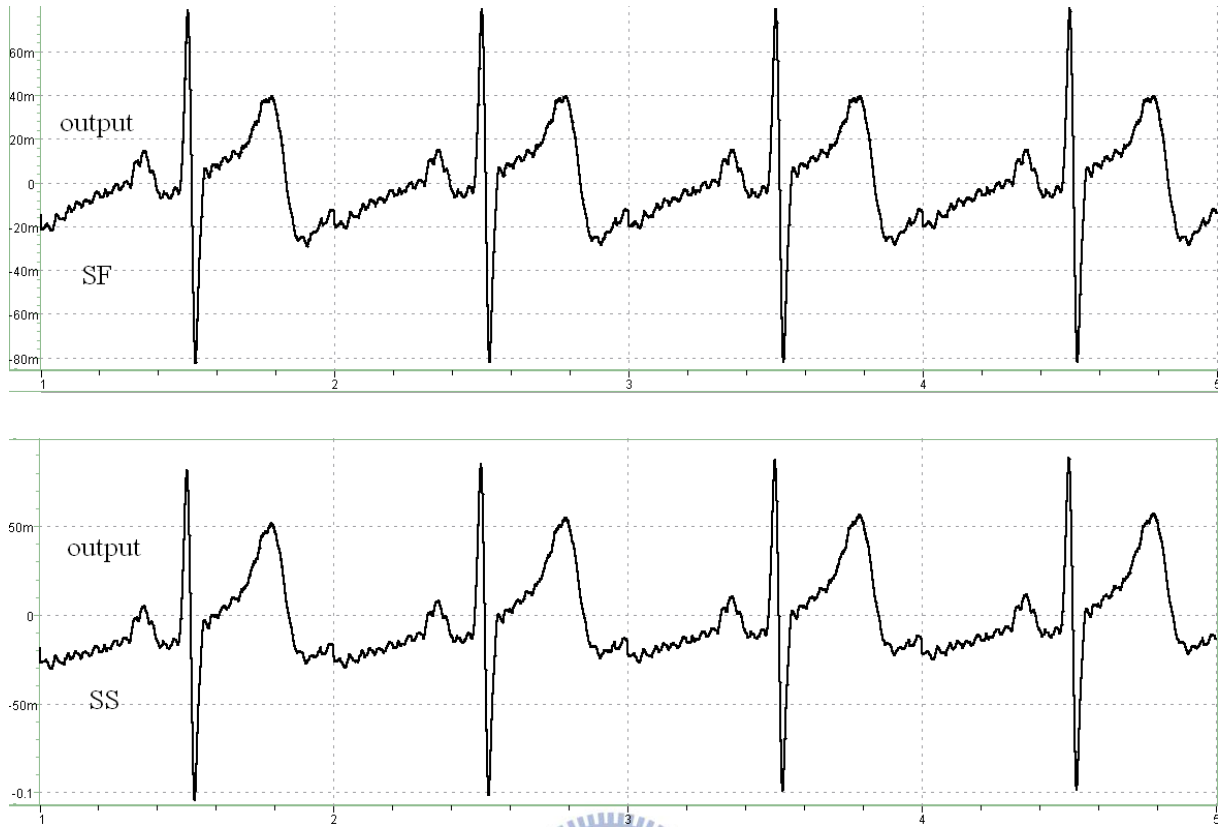


圖 4-13 心電圖訊號模擬圖



第五章

量測結果



5.1 量測 PCB 考量

本篇論文裡共有兩顆晶片，在這節討論的量測晶片對象為第四章所提到的架構，圖 5-1 為晶片打線圖。在量測時，從電源端來的環境雜訊很大，對低電壓的電路而言影響很大，所以必須要在 PCB 板上增加一些濾除電源端雜訊的電容與電感，並且離晶片要越近越好，這樣抑制雜訊的效果才顯著，在 PCB 板上擺放的方式如圖 5-2。

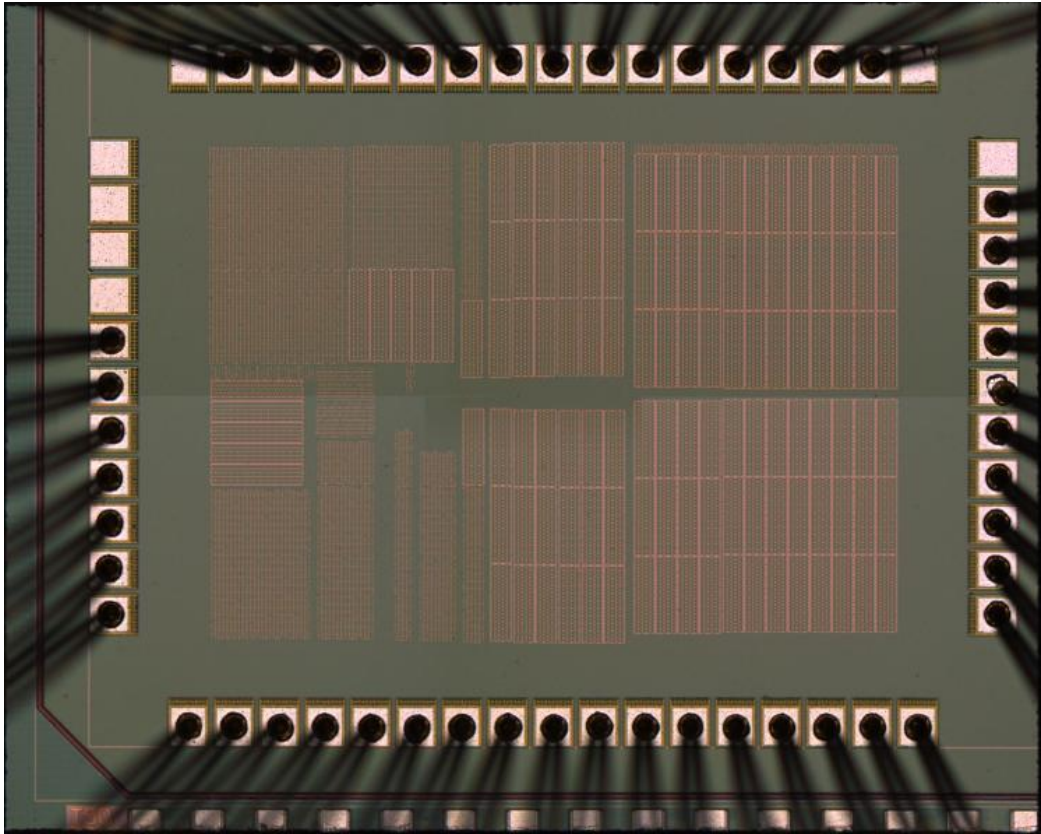


圖 5-1 類比前端電路晶片打線圖

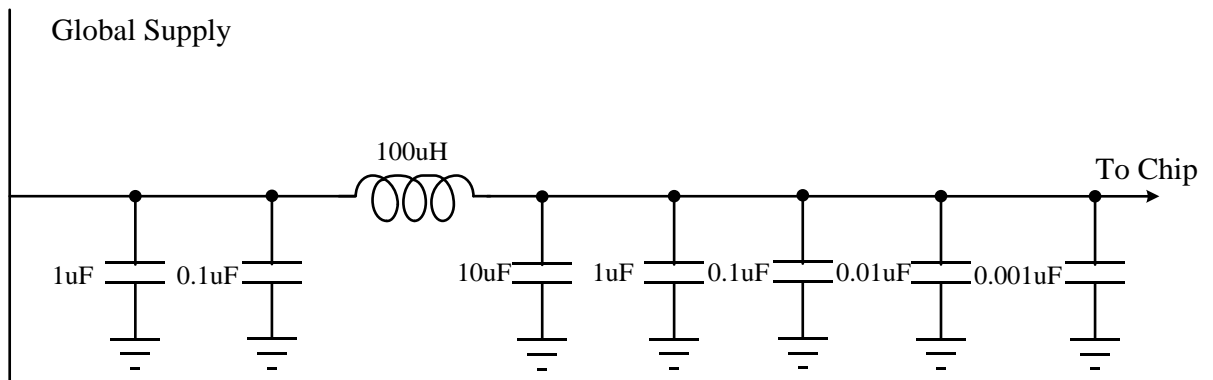
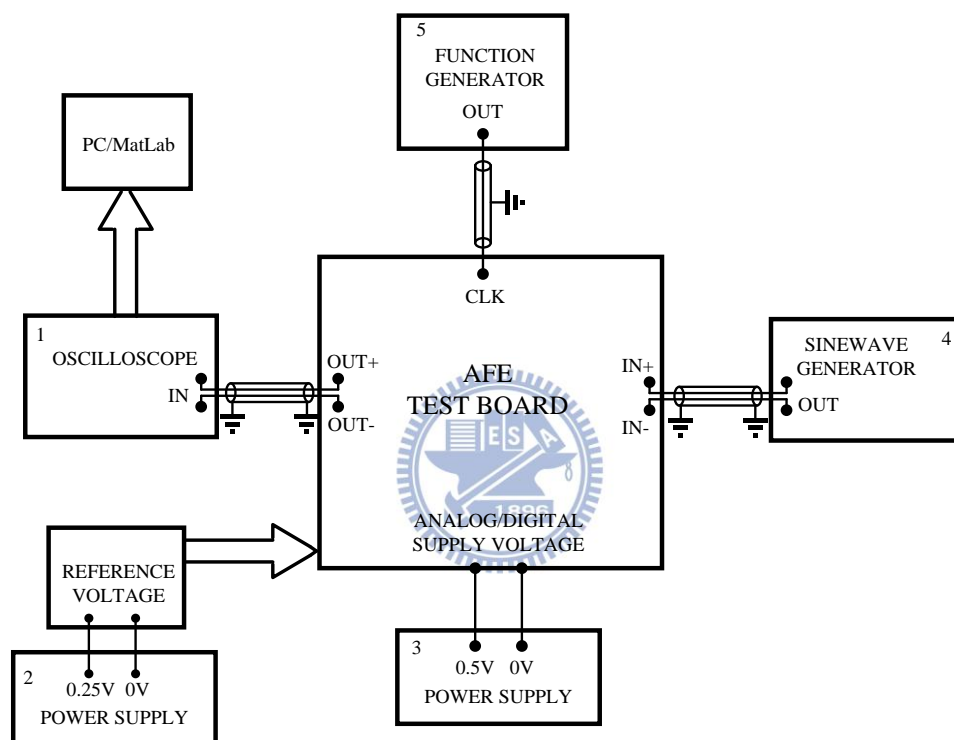


圖 5-2 濾波電容電感圖

5.2 量測晶片環境設定

量測時，我們使用了 keithley 2400 來單獨當作類比電路和數位電路的電源，並同時量測所測得的功率消耗，參考電壓(共模回授電路、偏壓電路)則是使用 Agilent 3610 來產生，儀表放大器的時脈則是使用 33250，輸入全差動測試訊號則是使用 AFG 3022 來產生，最後輸出結果再經由示波器 54832D 做 FFT 轉換，觀察其失真程度，與放大倍率。



- 1: Agilent 54832D Mixed-Signal Infiniium Oscilloscope
- 2: Agilent E3610A 30 W Power Supply, 8V, 3A or 15V, 2A
- 3: KEITHLEY 2400 General-Purpose Source Meter
- 4: Tektronix AFG 3022B
- 5: 33250A Function / Arbitrary Waveform Generator, 80MHz

圖 5-3 量測環境設定圖

5.3 量測結果與討論

下圖為實際量測可程式化增益放大器的功能波型圖，在這裡為兩個晶片量測圖。

Chip1:

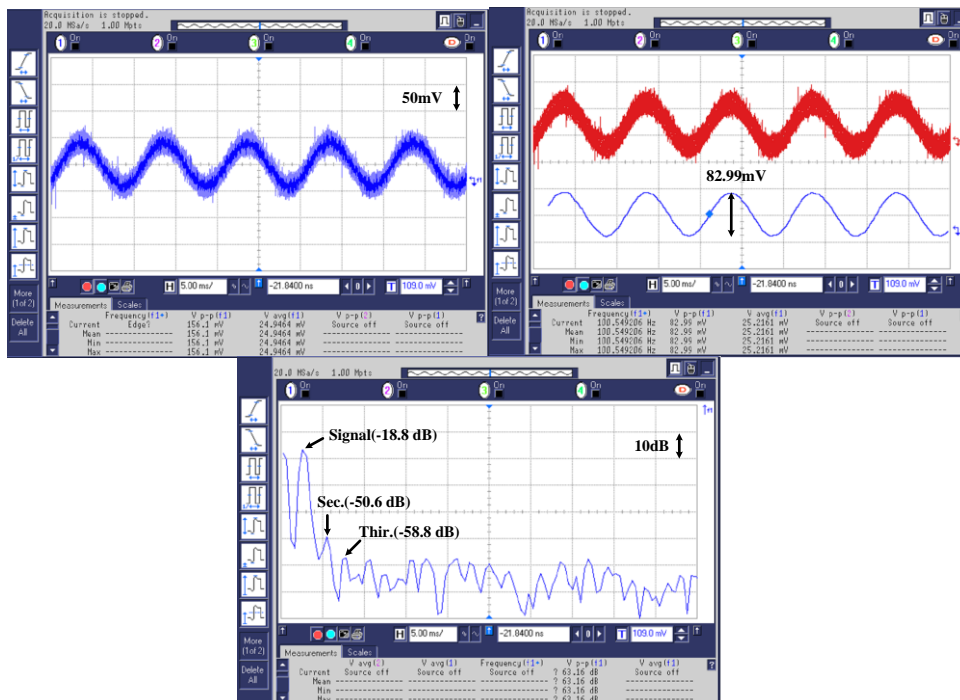


圖 5-4 輸入訊號量測圖

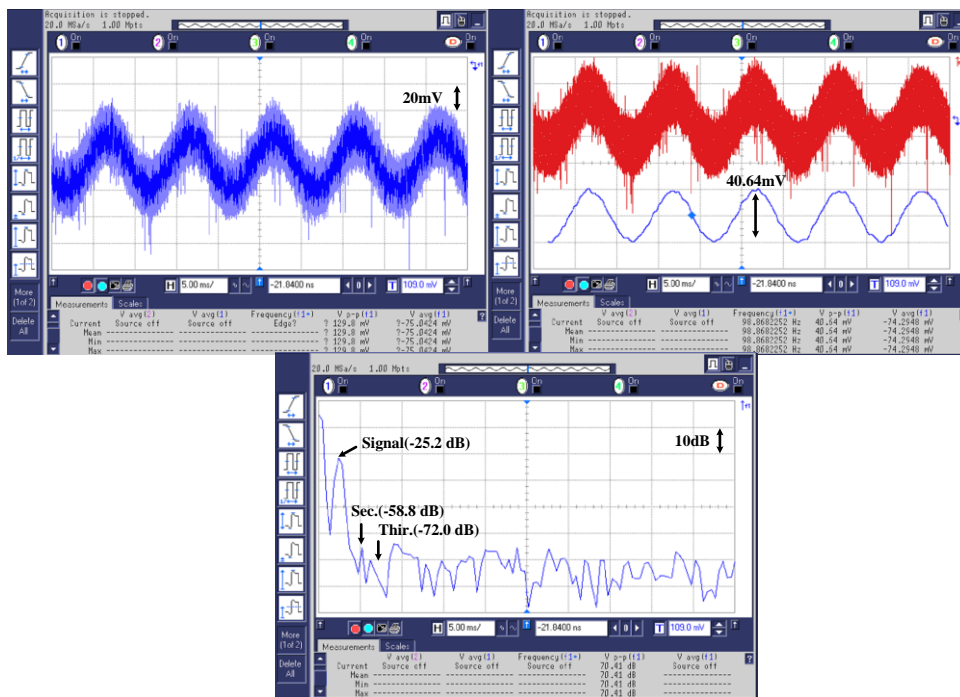


圖 5-5 輸出訊號(000)量測圖

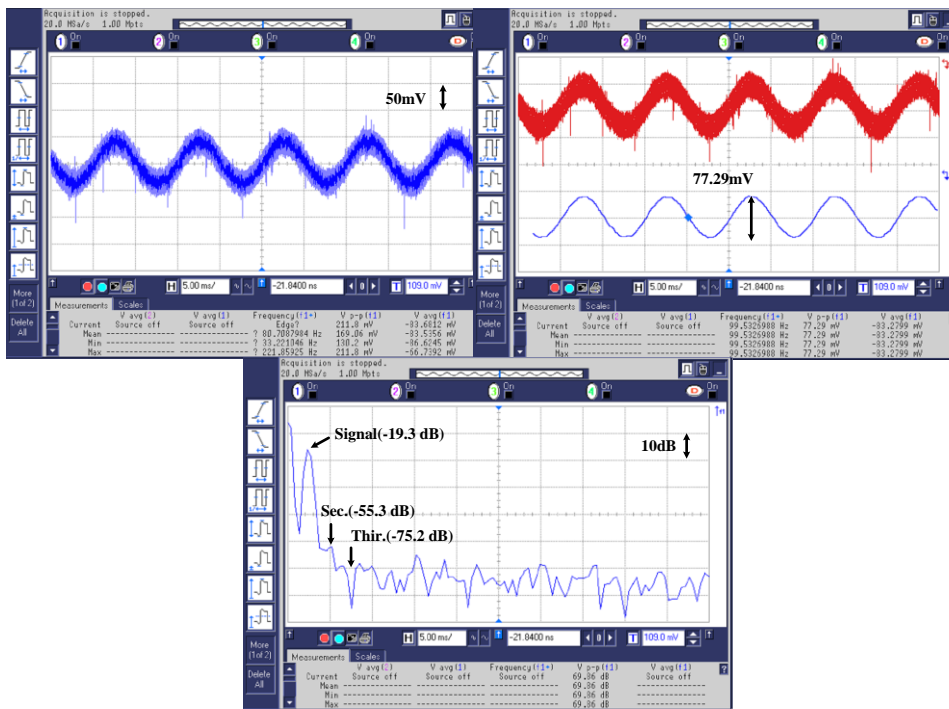


圖 5-6 輸出訊號(100)量測圖

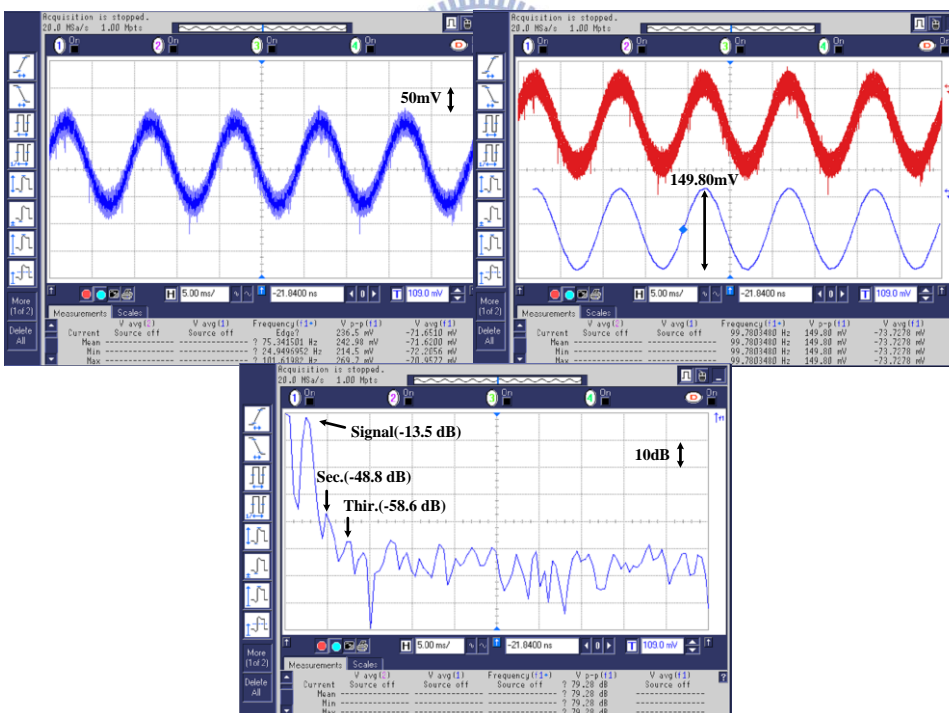


圖 5-7 輸出訊號(101)量測圖

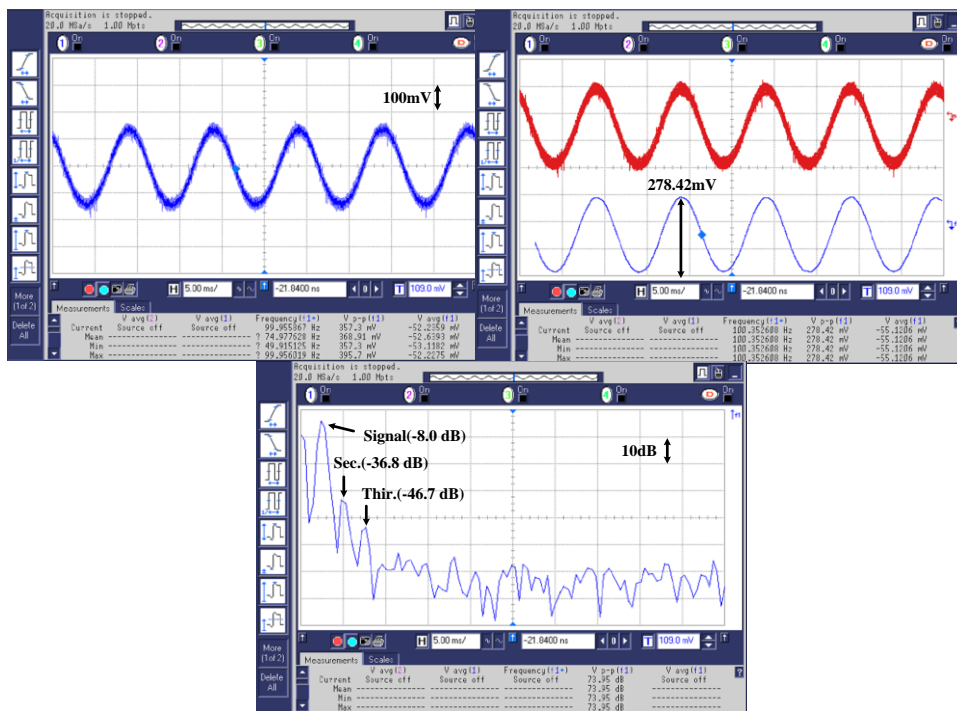


圖 5-8 輸出訊號(110)量測圖

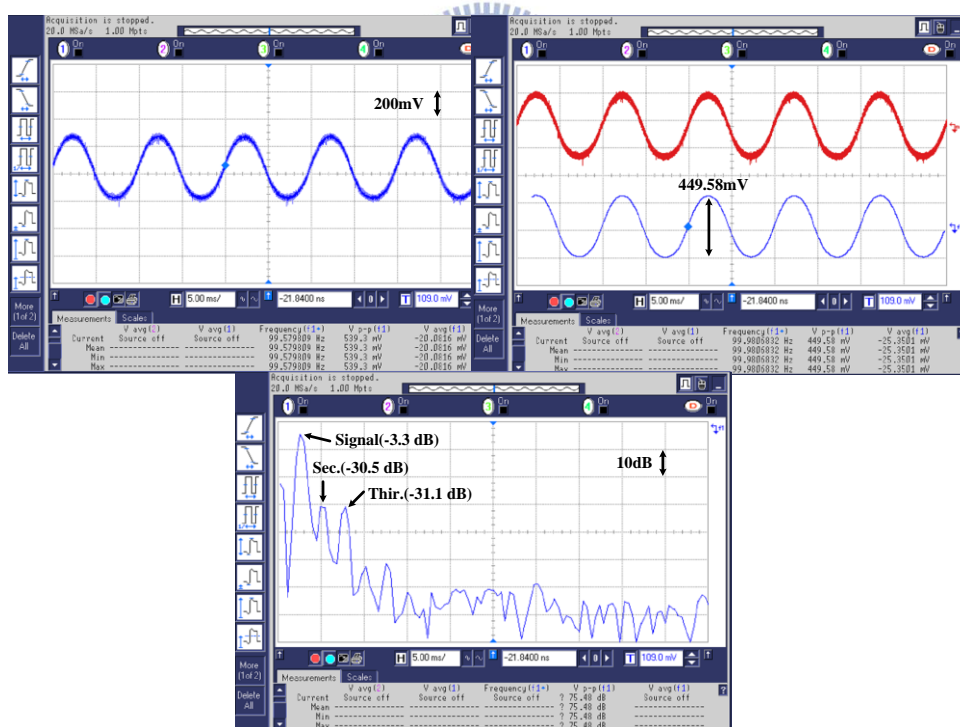


圖 5-9 輸出訊號(111)量測圖

Chip2:

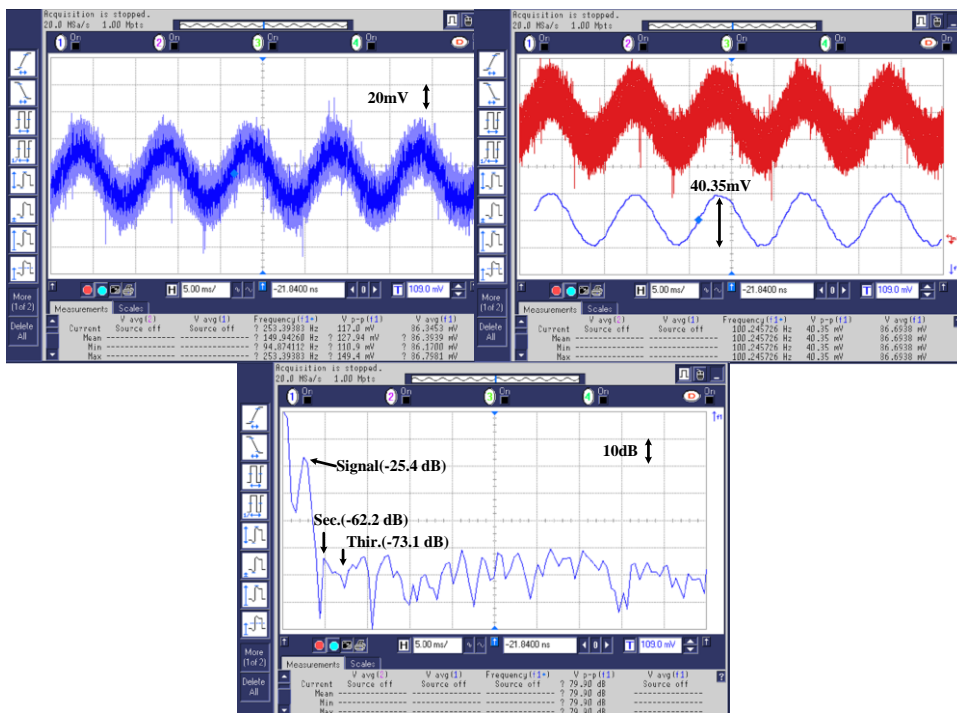


圖 5-10 輸出訊號(000)量測圖

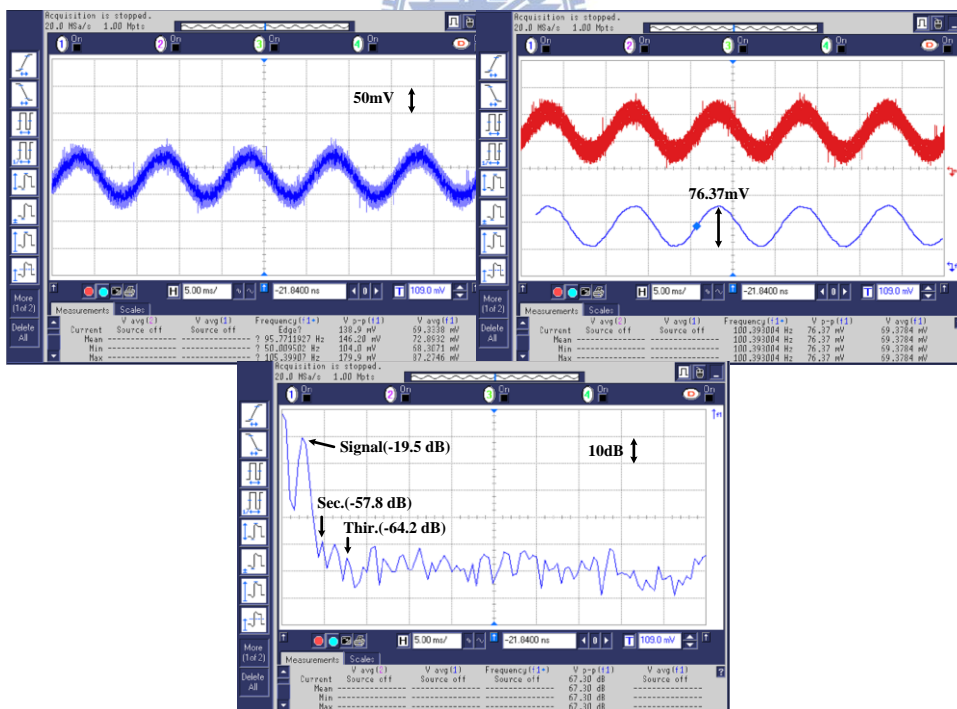


圖 5-11 輸出訊號(100)量測圖

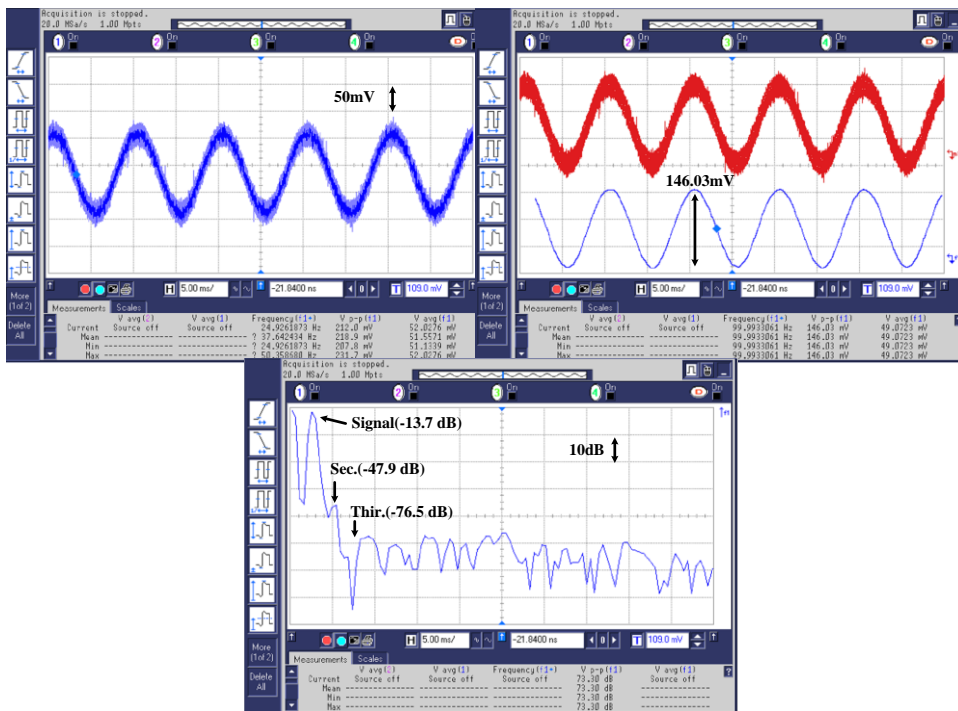


圖 5-12 輸出訊號(101)量測圖

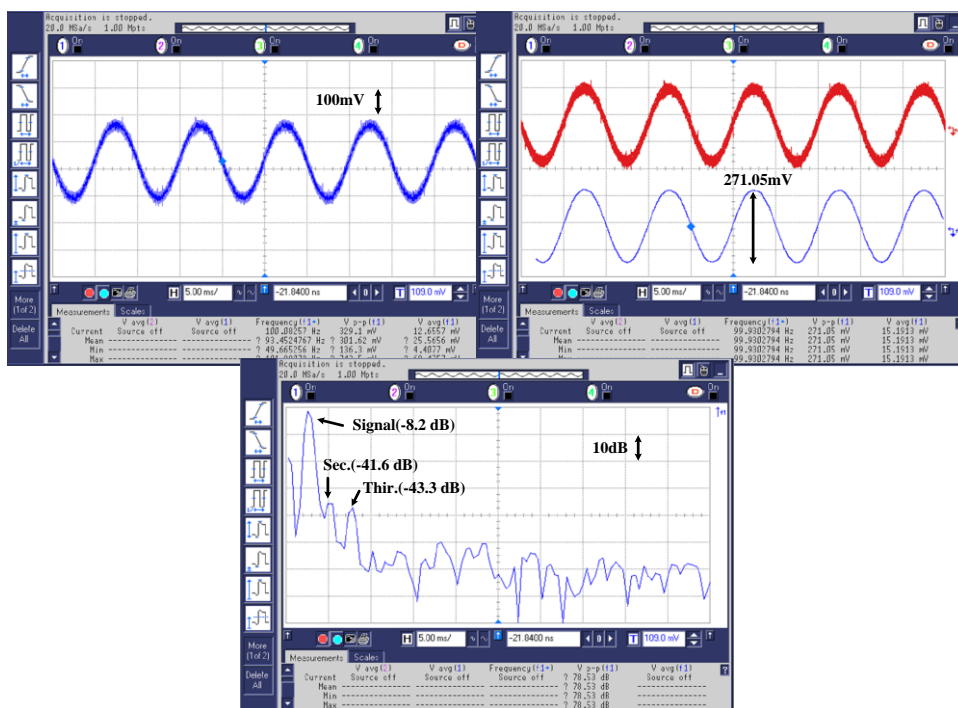


圖 5-13 輸出訊號(110)量測圖

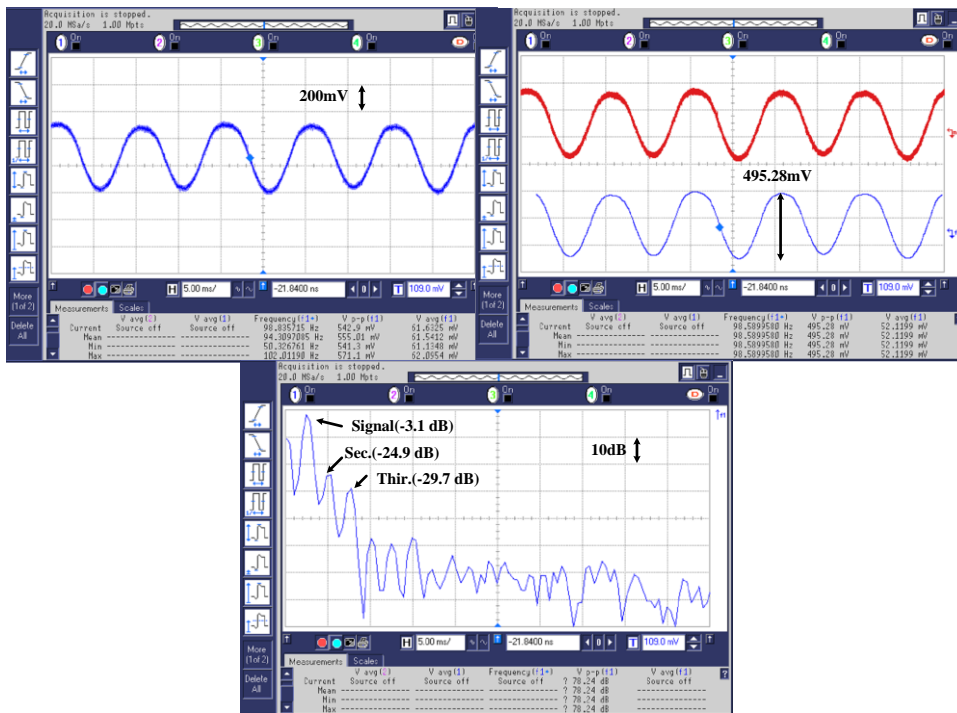


圖 5-14 輸出訊號(111)量測圖

ECG 訊號量測圖：

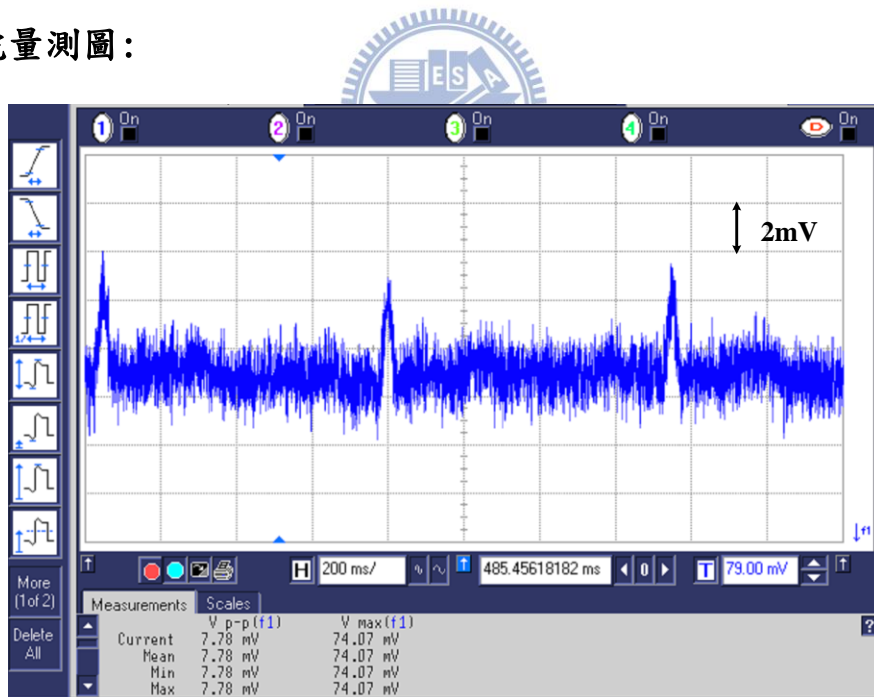


圖 5-15 ECG 輸入訊號量測圖(頻寬 1KHz)

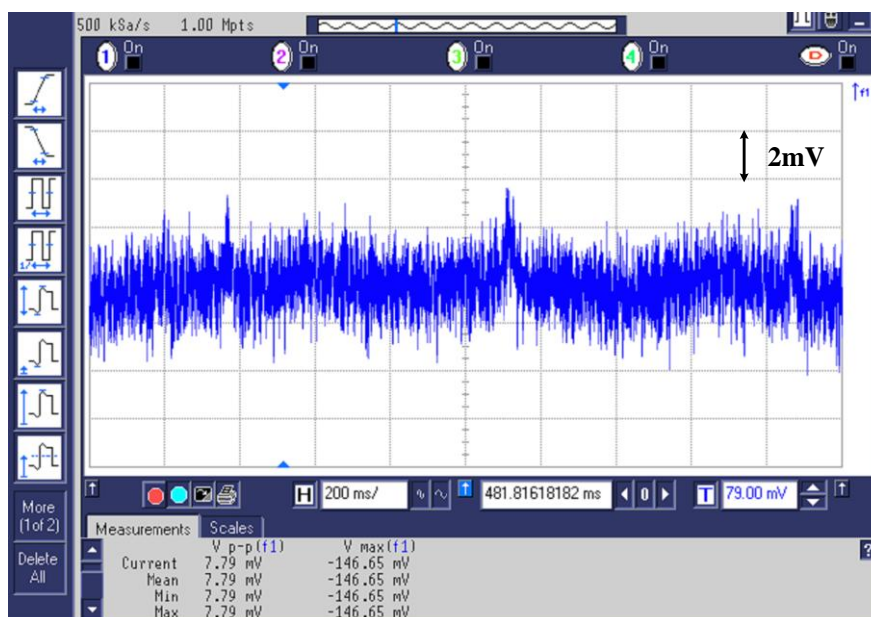


圖 5-16 ECG 輸出訊號(000)量測圖(頻寬 1KHz)

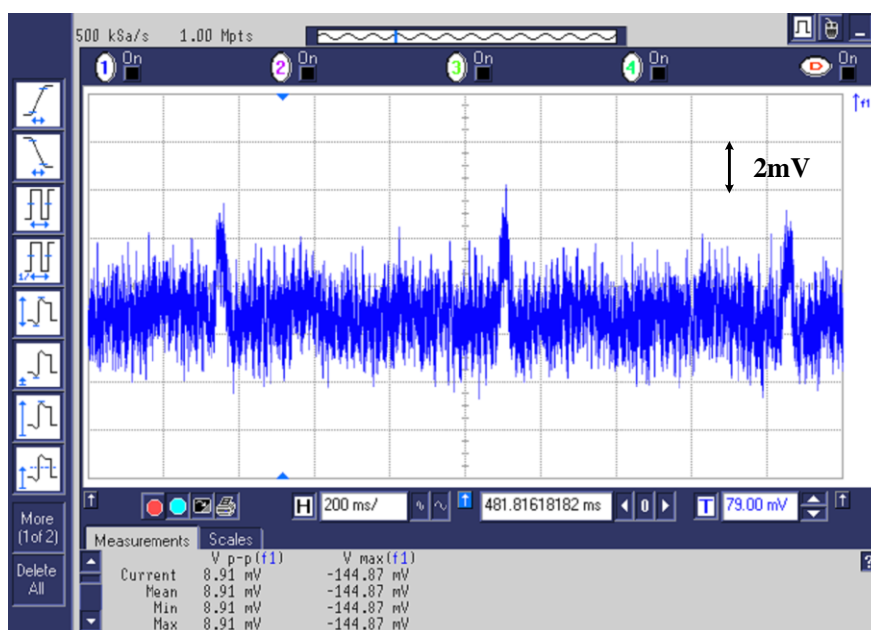


圖 5-17 ECG 輸出訊號(100)量測圖(頻寬 1KHz)

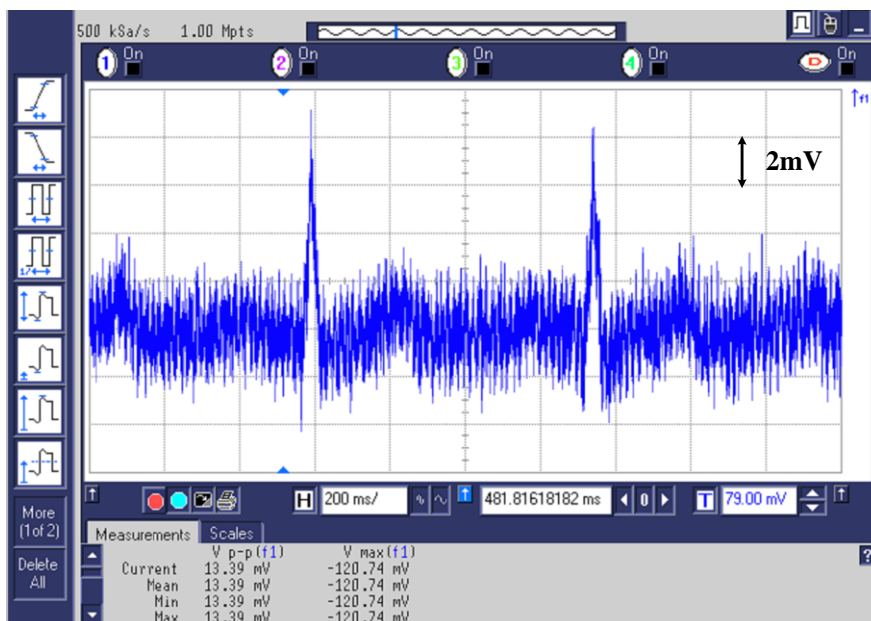


圖 5-18 ECG 輸出訊號(101)量測圖(頻寬 1KHz)

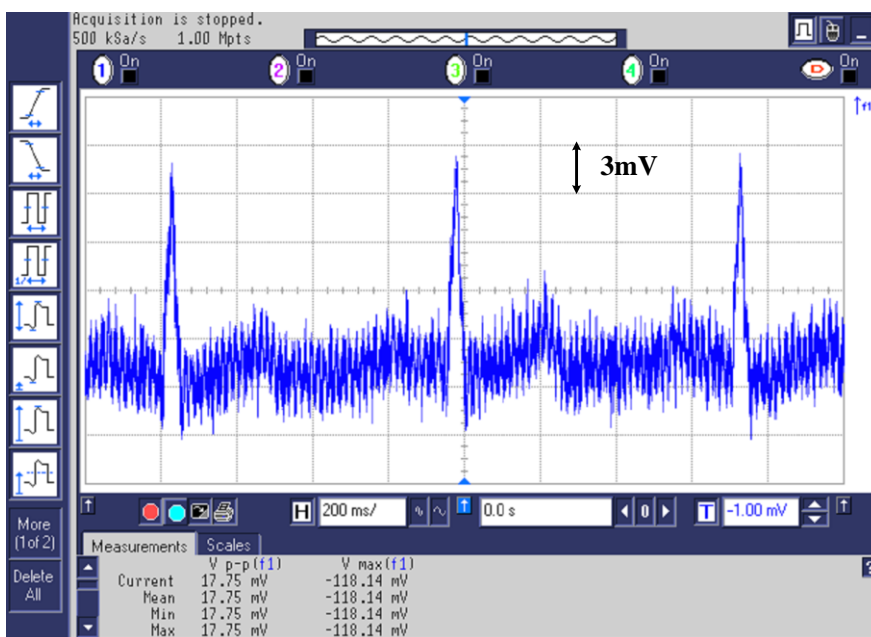


圖 5-19 ECG 輸出訊號(110)量測圖(頻寬 1KHz)

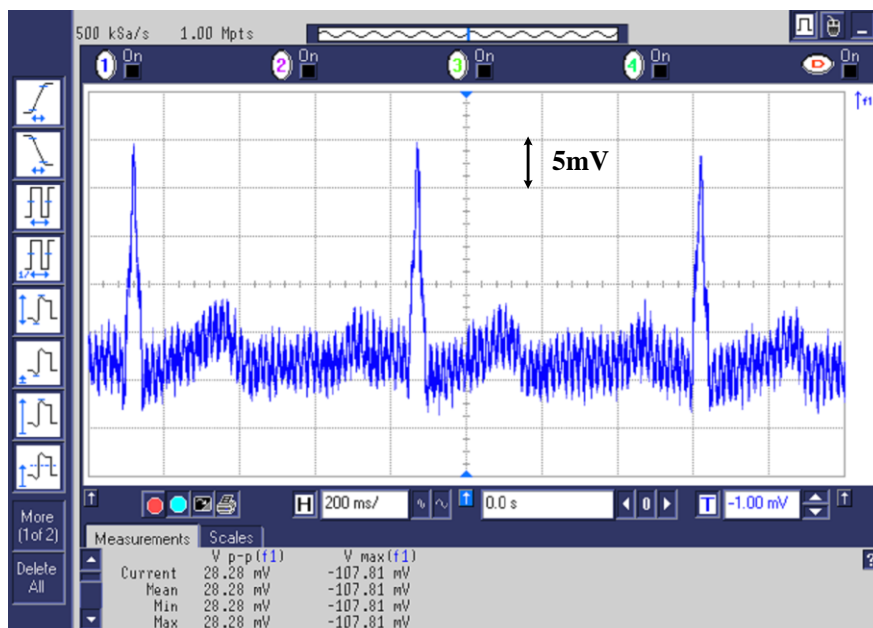


圖 5-20 ECG 輸出訊號(111)量測圖(頻寬 1KHz)

表 5-1 可程式化增益放大器量測表

	Mode	Gain (Spec, dB)	Gain(dB) (Measured)	SFDR(dB)	SFDR(dB) (New)	Current (μ A)
Chip1	000	-6	-6.8	33.6	65.4	1.99
	100	0	-0.6	36.0	67.8	
	101	6	5.1	35.3	67.1	
	110	12	10.5	28.8	60.8	
	111	18	14.6	27.2	59.0	
Chip2	000	-6	-6.2	36.8	68.6	1.59
	100	0	-0.7	38.3	70.1	
	101	6	4.9	34.2	66.0	
	110	12	10.2	33.4	65.2	
	111	18	15.5	21.8	53.6	

P.S. 輸入訊號的 Vpp 為 82.99 mV，SFDR 為 31.8 dB。

表 5-2 可程式化增益放大器功率模擬表

	TT	FF	FS	SF	SS
PGA(μ A)	1.48	1.58	1.74	1.36	1.42

由晶片量測結果可以看出，功率消耗方面與模擬值滿接近的，且訊號放大的倍率會隨著數位控制方式來改變，由輸出的 SFDR 可以得知解析度大概為 9~10 位元，當放大倍率越高時，解析度有下降的趨勢，從量測圖可以得知，第二、第三諧波隨著倍率增加，表示輸出訊號越來越接近放大器輸出的範圍極限。從放大倍率來看可以得知，量測與理想倍率的誤差來自於製程電容的誤差以及輸出訊號接近放大器輸出極限的關係。圖 5-15~圖 5-20 為使用生醫訊號產生器產生心電圖，經過可程式化增益放大器放大後所量測的圖，由上述圖型可以看出心電圖可以通過放大器並且有不同的放大倍率。

由於在量測儀表放大器時，負責處理驅動截波調變開關的數位電路很容易燒壞，導致儀表放大器無法正常操作，目前先從晶片佈局上去找問題，推測在晶片佈局上電源可能與電路有短路的現象，或是量測時，電源儀器操作不當。待數位電路能夠成功與類比電路結合後，即可與後端電路結合，以量測生醫訊號。

本表格將目前量測的數據與其他文獻做比較，整個類比前端電路的規格比較表如下所示。整個電路所消耗的電流量為 $8.42\mu\text{A}$ ，輸入相對雜訊為 $0.36\mu\text{Vrms}$ (100Hz)，電路面積為 0.49mm^2 。

表 5-3 類比前端電路量測規格比較表

Spec.	Tim Denison, JSSC 07[11]	R.F. Yazicioglu, JSSC 07[9]	R.F. Yazicioglu, JSSC 08[10]	X.Zou Y.Lian JSSC 09[14]	L.Yan, H.Jun Yoo JSSC 10[15]	This work (simulation)	This work (measurement) (PGA)
Supply Voltage	1.8~3.3V	3V	3V	1V	3V	0.5V	0.5V
Supply Current	1.0 μ A	11.1 μ A	3.6 μ A	337 nA	1.66 μ A	8.42μ A	1.99μ A
Power	1.455mW	33.3 μ W	10.8 μ W	0.33 μ W	5 μ W	4.21μ W	0.99μ W
Gain	41~50.5 dB	51~67dB	72~81dB	45~60dB	58~70dB	26~66 dB	-6.8~14.6 dB
NEF	4.6	4.7	4.3	3.26	3.1	3.26/2.77	NA
Dynamic Range	50.5 dB	67 dB	81 dB	60 dB	60 dB	66 dB	NA
Input-referred Noise RMS	0.95 μ V (100Hz)	0.57 μ V (100Hz)	0.59 μ V (100Hz)	1.16 μ V (100Hz)	0.51 μ V (100Hz)	0.36μ V (100Hz)	NA
High Pass -3 dB frequency	0.05 Hz	0.5 Hz, 10 Hz	0.5 Hz,	4.5m Hz,	0.5 Hz,	0.5 Hz	NA
Low Pass -3 dB frequency	180 Hz	>150 Hz	675 Hz	292 Hz	625 Hz	1 kHz	NA
Core area	NA	1.95 mm^2	17.55 mm^2 (8-channel)	1 mm^2	2.6 mm^2	0.49 mm^2	0.49 mm^2
Technology	0.8 μ m	0.5 μ m	0.5 μ m	0.35 μ m	0.18 μ m	90 nm	90 nm

第六章

結論

6.1 結果與討論

在本篇論文裡提出了實現 0.5V 類比前端電路運用在生醫訊號量測，最後整體電路為儀表放大器加上可程式化增益放大器，整個雜訊密度為 $36 \text{ nV}/\sqrt{\text{Hz}}$ ，3.26 的 noise efficiency factor，整體的增益變動範圍為 26~66 dB，70.2 dB 的 SFDR，系統頻寬為 0.5~1kHz，使用 UMC 90nm 製程。

在現今積體電路進步下，低功率消耗裝置變成一個產品的趨勢，本篇論文的目的是要設計低功率消耗和實現與後端數位信號處理系統整合成同一晶片。長久以來，生醫系統總是前端電路和後端信號分析系統無法使用同一電源，造成成本的增加，為了解決這個現象，就必須使前端電路操作在低電壓下。在本設計裡將類比電路操作在 0.5V 下，第一個問題，就是放大器增益無法做大，在低電壓時，運算放大器的輸出阻抗將會明顯的下降，導致增益不足，而在生醫訊號處理頻段內，低頻訊號也是需要處理的，而整個放大器的頻段又跟電容量以及放大器本身開迴路增益有關，當增益不夠大時，所師生的就是晶片的面積。第二個問題就是雜訊的處理變得格外的重要，因為訊號的範圍變得很小，導致雜訊在訊號類所佔的比例就變得很大，因此前端必須使用截波調變的方式來抑制雜訊，對抑制雜訊而言截波頻率越高越好，這樣表示雜訊離訊號頻段越遠，使得對信號的影響越小，但這也使得運算放大器本身的頻寬必須跟著增加，導致整體電路的功率消耗上升，在本設計裡，運用了截波頻率的改變以及放大器尺寸的設計來抑制雜訊的能力，以達到低雜訊前端電路的要求，基本上設計的考量就是雜訊與功率消耗的衡量。

從上一章節量測結果可以得知，對可程式化增益放大器而言，製程電容的誤差以及輸出訊號接近放大器輸出範圍會造成整體輸出增益的不同，顯示了必須改善電容佈局匹配技巧，及放大器輸出範圍，來增加可程式化增益放大器的放大倍率以降低訊號失真程度。

6.2 未來展望

在低電壓設計上，對類比電路而言是一個很大的挑戰，本篇論文提供了一個能夠在 0.5V 環境下工作的類比前端電路，有抑制雜訊的儀表放大器，及可程式化增益放大器，但是經由前端電路出來的訊號必帶有許多雜訊，在送到後端訊號處理時，應經過一個高階的濾波器，確保訊號的乾淨，未來系統上高階濾波器則是必要的。另一點目前在量測不同的生醫訊號時，是由外部控制訊號來改變放大倍率，這將無法達成全系統晶片化，因此未來希望能夠由內部放大訊號透過負回授的方式將放大倍率控制訊號回授到電路本身，使得電路自動調整放大倍率，以達到全晶片化的目的。



參考文獻

- [1] Phillip E. Allen and Douglas R. Holberg, CMOS Analog Circuit Design, Oxford, New York, 2002.
- [2] D. Johns and K.W. Martin, Analog Integrated Circuits, Wiley, New York, 1997.
- [3] Behzad Razavi, Design of Analog CMOS Integrated Circuits, McGRAW-HILL International Edition, 2001.
- [4] PAUL R. GRAY, ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS, Fourth Edition.
- [5] R. JACOB BAKER, Circuit Design, Layout, and Simulation, Wiley, New York, Third Edition.
- [6] Willy Sansen, ANALOG DESIGN ESSENTIALS, Springer-Verlag New York Inc .2nd,2006.
- [7] <http://www.scientificamerican.com/article.cfm?id=home-is-where-the-ecg-is&page=1>
- [8] Christian C. ENZ, and Gabor C. Themes, “Circuit Techniques for Reducing the Effect of OP-Amp Imperfections: Autozeroing, correlated Double Sampling, and Chopper Stabilization ”, Proc. IEEE, November 1996
- [9] R. F. Yazicioglu, P. Merken, R. Puers, and C. Van Hoof, “A 60 μ W 60 nV/rtHz readout front-end for portable biopotential acquisition systems,” *IEEE J. Solid-State Circuits*, Vol.42, NO5, pp. 1100-1100, May 2007.
- [10] R. F. Yazicioglu, P. Merken, R. Puers, and C. Van Hoof, “ A 200 μ W Eight-Channel EEG Acquisition ASIC for Ambulatory EEG Systems,” *IEEE J. Solid-State Circuit*, Vol.43, NO.12. Dec. 2008.
- [11] T. Denison, K. Consoer, W. Santa, A. Avestruz, J. Cooley, and A. Kelly, “ 2 μ W 100 nV/rtHz chopper stabilized instrumentation amplifier for chronic measurement of neural field potentials,” *IEEE J. Solid-State Circuit*, Vol. 42, NO. 12, pp. 2934–2945, Dec. 2007.
- [12] R. R. Harrison and C. Charles, “A low-power low-noise CMOS amplifier for neural recording applications,” *IEEE J. Solid-State Circuits*, Vol. 38, NO. 6, pp. 958–965, Jun. 2003.
- [13] C. Enz, E. Vittoz, and F. Krummenacher, “A CMOS chopper amplifier,” *IEEE J. Solid-State Circuits*, Vol. 22, NO. 3, pp. 335–342, Jun. 1987.
- [14] X. Zou, X. Xu, and Li. Yao, Yong Lian, “A 1-V 450-nW Fully Intergrated Programmable Biomedical Sensor Interface Chip, ” *IEEE J. Solid-State Circuits*, Vol. 44, NO. 4, April, 2009.
- [15] Long Yan, Jerald Yoo, and Binhee Kim, Hoi. Yoo, “A 0.5- μ Vrms 12- μ W Wirelessly Powered Patch-Type Healthcare Sensor for Wearable Body Sensor Network , ” *IEEE J. Solid-State Circuits*, Vol. 45, NO. 11, November, 2010.
- [16] K.A. Ng and P.K. Chan, “A CMOS Analog Front-End IC for Portable EEG/ECG

- Monitoring Applications,” *IEEE Trans. On Circuits and Systems*, Vol.52, NO. 11, 2005.
- [17] Anton Bakker, Kevin Thiele, and Johan H. Huijsing, “ A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset ”, *IEEE J. Solid-State Circuits*, Vol.35, NO. 12, December 2000.
- [18] Fannik Hammel Nielsen and Erik Bruun, “ A CMOS Low-Noise Instrumentation Amplifier Using Chopper Modulation ,” *Analog Integrated Circuit and Signal Processing*, 42, 65-76, 2005.
- [19] Makinwa, Kofi. “ Dynamic Offset Cancellation Techniques,” Smart Sensor Systems 2002.
- [20] Johan F. Witte, Kofi A. A. Makinwa, and Johan H. Huijsing, “ A CMOS Chopper Offset-Stabilized Opamp ”, *IEEE J. Solid-State Circuits*, Vol.42, NO. 7, July 2007.
- [21] Pedram Mohseni, and Khalil Najafi, “ A Fully Integrated Neural Recording Amplifier With DC Input Stabilization ”, *IEEE Transactions On Biomedical Engineering*, Vol.51, NO. 5, May 2004.
- [22] Christian Menolfi, and Qiuting Huang, “ A Low-Noise CMOS Instrumentation Amplifier for Thermoelectric Infrared Detectors ”, *IEEE J. Solid-State Circuits*, Vol.32, NO. 7, July 1997.

