

國立交通大學電信工程學研究所

碩士論文

射頻低雜訊放大器與被動元件之實作與設計

Implementation and Design of RF Low Noise

Amplifier and Passive elements



研究生：鍾智琦

指導教授：孟慶宗

中華民國九十三年六月

射頻低雜訊放大器與被動元件之實作與設計
**Implementation and Design of RF Low Noise
Amplifier and Passive elements**

研究生：鍾智琦

Student: Jhih-Ci Jhong

指導教授：孟慶宗 博士 Advisor: Dr. Chin Chun Meng

國立交通大學

電信工程系碩士班



Submitted to Institute of Communication Engineering
College of Electric Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

June 2004

Hsinchu, Taiwan, Republic of China

中華民國九十三年六月

摘要

本論文主要研究射頻積體電路中的低雜訊放大器以及異質接面雙載子電晶體雜訊分析與被動元件，包括了電感與變壓器。

由於電感與變壓器在射頻積體電路日趨重要，獲得元件的模型將有幫助日後的電路設計。因為 GCT 2 μ m InGaP/GaAs HBT 擁有較好的最低雜訊指數和較高的增益，所以利用 HBT 製程，來研製應用於 802.11a WLAN 之 5GHz 頻帶低雜訊放大器。但是晶片製造廠提供的模型不可盡信，因此我們利用各種不同大小的主動元件去量測其高頻參數（S 參數和雜訊參數）與整理分析之，進而從中設計低雜訊放大器。最後在透過實作去探討內部匹配對低雜訊放大器的影響。確定內部匹配大大增加了低雜訊放大器的增益，也提升的低雜訊放大器特性。

Abstract

This thesis describes Low Noise Amplifier, Analysis of HBT noise, and passive element including inductor and transformer.

Nowadays, an accurate inductor or transformer device model can really help for circuit designer due to its importance in RF circuit.

Because high gain and low noise characteristic of InGaP/GaAs HBT, it is better choice for Radio Frequency Low Noise Amplifier design , such as 802.11a WLAN application. The model provided by the foundry may not be totally accurate, so we measure and analyze active devices to get high frequency S and noise parameters. Then a 5.2GHz low noise amplifier is implemented with measurement-based design data. Finally, Inter-Stage Matching technique provides higher gain and high performance by implemented a low noise amplifier with Inter-Stage Matching.

誌謝

兩年的研究所生活中，感謝很多人的支持和幫忙才能讓我的論文得以順利完成。感謝孟慶宗老師的指導，讓我能在研究過程中得到許多寶貴的經驗，得以解決所遇到的種種困難，並且體會到真正的研究精神和態度。感謝呂學士教授與詹益仁教授與郭仁財教在口試時，授提供寶貴的建議。另外，在研究在晶片測量過程上，特別要感謝國家毫微米實驗室射頻量測實驗室全體同仁不辭辛苦地大力幫忙才得以把複雜的量測工作完成。

感謝實驗室的大偉、伯均、宗翰、志發、王維、東山、珍儀學長姐的指導讓我對於研究有更多的了解。同時要感謝實驗室的同學為昱、明奇、慶鴻、仰涵、紹宇的關懷以及課業上的幫忙，讓我這兩年的生活充實且愉快。此外，多謝學弟們澤宏、智凱、宇文、聖哲的支持和幫忙，讓我這兩年的研究所生活充滿回憶。

特別感謝我的家人與女友杏琳在求學過程，給我最大的支持及關懷。最後，僅把此論文的榮耀獻給我的父母與以及身邊所有關懷我的朋友們。

目 錄

摘要 (中文).....	i
摘要 (英文).....	ii
誌謝.....	iii
目錄.....	iv
圖目錄.....	vii
表目錄.....	xii
	
第一章	1
緒論	1
1.1 研究動機及背景.....	1
1.2 論文組織.....	3
第二章	4
異質接面雙載子電晶體子雜訊分析	4
2.1 導論雜訊分析.....	7

2.2	雜訊與 S 參數分析.....	8
2.3	結論.....	12
第三章		13
被動元件		13
3.1	簡介.....	13
3.2	平面電感.....	13
3.2.1	電感簡介.....	13
3.2.2	平面電感模型.....	14
3.2.3	平面電感架構.....	16
3.2.4	電感模擬.....	17
3.2.5	量測結果分析.....	20
3.2.6	等效模型.....	29
3.2.6	電感結論.....	30
3.3	變壓器.....	31
3.3.1	變壓器簡介.....	31
3.3.2	變壓器架構.....	33
3.3.3	模擬與量測結果分析.....	36
3.3.4	變壓器結論.....	44
第四章		46

低雜訊放大器分析(低雜訊放大器內部有無共軛匹配分析).....	46
4.1 簡介	46
4.2 低雜訊放大器架構簡介.....	46
4.3 電路設計方法.....	49
4.4 低雜訊放大器內部共軛匹配之研究.....	55
4.5 模擬結果分析.....	58
4.6 量測結果分析.....	61
4.7 低雜訊放大器結論.....	64

第五章.....	67
----------	----

結論.....	67
---------	----



附錄(一).....	68
------------	----

附錄(二).....	76
------------	----

附錄(三).....	77
------------	----

參考文獻

圖目錄

第二章.....	4
圖 2-1 放大器之雜訊模型	4
圖 2-2 (a)小訊號雙載子電晶體小訊號以及雜訊的等效電路(b) 等效雜訊模型.....	9
圖 2-3 Q2p4x3x2 的 F_{min} , R_n , Associated Gain.....	10
圖 2-4 S 參數所得的雜訊指數與實際量測比較.....	11
圖 2-5 S 參數所得最佳的輸入端反射係數.....	11
第三章.....	13
圖 3-1 平面電感.....	15
圖 3-2 GaAs 電感等效模型.....	15
圖 3-3 IE3D 模擬軟體下的示意圖.....	17
圖 3-4 模擬架構 2.的 S_{21} 與 S_{11}	18
圖 3-5 模擬架構 2.的感值(Inductance)與 Q 值(Quality Factor).....	18
圖 3-6 模擬架構 7.的 S_{21} 與 S_{11}	19
圖 3-7 模擬架構 7.的感值(Inductance)與 Q 值(Quality Factor).....	19

圖 3-8	架構 2.量測的 S 參數.....	20
圖 3-9	架構 2.量測的感值(Inductance)與 Q 值(Quality Factor).....	21
圖 3-10	架構 7.量測的 S 參數.....	21
圖 3-11	架構 7.量測的感值(Inductance)與 Q 值(Quality Factor).....	22
圖 3-12	架構 2.模擬與量測的 S 參數.....	23
圖 3-13	架構 2.模擬與量測的感值(Inductance)與 Q 值(Quality Factor).....	23
圖 3-14	架構 7.模擬與量測的 S 參數.....	24
圖 3-15	架構 7.模擬與量測的感值(Inductance)與 Q 值(Quality Factor).....	24
圖 3-16	不同圈數電感的感值比較.....	26
圖 3-17	不同圈數電感的 Q 值比較.....	26
圖 3-18	不同寬度電感的感值比較.....	27
圖 3-19	不同寬度電感的 Q 值比較.....	27
圖 3-20	不同內部面積電感的感值比較.....	28
圖 3-21	不同內部面積電感的 Q 值比較.....	28
圖 3-22	量測與等效模型的 S 參數比較.....	29
圖 3-23	電感晶片的照片.....	30
圖 3-24	變壓器(Transformer)的示意圖.....	31
圖 3-25	傳統堆疊變壓器.....	34
圖 3-26	堆疊變壓器(Stack Transformer).....	34
圖 3-27	交錯變壓器(Interleave Transformer).....	35

圖 3-28	對稱變壓器(Symmetric Transformer).....	35
圖 3-29	耦合變壓器(Coupling Transformer).....	36
圖 3-30	架構 1 模擬與量測的傳輸係數 S_{21} (Transmission Coefficient).....	37
圖 3-31	架構 1 模擬與量測耦合係數 K (Coupling Factor).....	37
圖 3-32	架構 2 模擬與量測的傳輸係數 S_{21} (Transmission Coefficient).....	38
圖 3-33	架構 2 模擬與量測耦合係數 K (Coupling Factor).....	38
圖 3-34	架構 3 模擬與量測的傳輸係數 S_{21} (Transmission Coefficient).....	39
圖 3-35	架構 3 模擬與量測耦合係數 K (Coupling Factor).....	39
圖 3-36	架構 4 模擬與量測的傳輸係數 S_{21} (Transmission Coefficient).....	40
圖 3-37	架構 4 模擬與量測耦合係數 K (Coupling Factor).....	40
圖 3-38	架構 5 模擬與量測的傳輸係數 S_{21} (Transmission Coefficient).....	41
圖 3-39	架構 5 模擬與量測耦合係數 K (Coupling Factor).....	41
圖 3-40	架構 6 模擬與量測的傳輸係數 S_{21} (Transmission Coefficient).....	42
圖 3-41	架構 6 模擬與量測耦合係數 K (Coupling Factor).....	42
圖 3-42	架構 7 模擬與量測的傳輸係數 S_{21} (Transmission Coefficient).....	43
圖 3-43	架構 7 模擬與量測耦合係數 K (Coupling Factor).....	43
圖 3-44	變壓器晶片的 diephoto.....	44
第四章		46

圖 4-1	RLC 串聯共振網路模型.....	47
圖 4-2	共射極電感退化架構放大器架構.....	48
圖 4-3	等效之串聯共振網路.....	49
圖 4-4	NPN InGap/GaAS HBT 測試鍵.....	50
圖 4-5	Q2p4x3x2 的 F_{min} , R_n , Associated Gain.....	51
圖 4-6	S2P file.....	52
圖 4-7	疊接式架構的穩定圓.....	53
圖 4-8	低頻到所操作的頻率 5.2GHz 皆為無條件穩定 ($K>1$, $B>0$)	54
圖 4-9	增益圓和雜訊圓.....	54
圖 4-10	整個低雜訊放大器的架構.....	55
圖 4-11	疊接式低雜訊放大器小訊號分析電路.....	57
圖 4-12	利用並聯一個電容，在串聯一個電感作內部匹配.....	57
圖 4-13	有內部匹配的低雜訊放大器.....	58
圖 4-14	模擬功率增益 (S_{21})	59
圖 4-15	模擬雜訊指數 (NF)	59
圖 4-16	模擬輸入反射損耗 (S_{11})	60
圖 4-17	模擬輸出反射損耗 (S_{22})	60
圖 4-18	量測功率增益 (S_{21})	61
圖 4-19	量測雜訊指數 (NF)	62
圖 4-20	量測輸入反射損耗 (S_{11})	63

圖 4-21 量測輸出反射損耗 (S22)64

圖 4.22 低雜訊放大器的晶片照片66



表目錄

表 3-1	電感架構參考表.....	16
表 3-2	變壓器架構對照表.....	45
表 4-1	低雜訊放大器量測結論.....	65



第一章

緒論



1.1 研究動機及背景

近年來無線通訊科技的快速發展，包含2G、3G手機、Bluetooth、無線區域網路（Wireless LAN :WLAN）等無線設備的普及，已深深地影響我們的生活成為日常生活中不可缺少的溝通與訊息傳輸工具。由於積體電路技術、數位通訊與數位訊號處理方法等的長足進步使得通訊設備的功能更多元，依據不同的地區與功能的需求，分別發展出不同的系統規格，而各系統對於傳輸頻段、調變方式、訊號頻寬與多工模式的要求都不盡相同。

此外，高速傳輸速率以提供多媒體的服務、並且需低耗電以減少電池壽命已是現代行動通訊設備共同的趨勢。這些新的通信系統規格在射頻電路中要求高更的傳輸頻率、更降低的操作電壓與功率消耗、以及電路的高整合

度已使得射頻電路設計不同於傳統設計而充滿挑戰性---當然也就充滿了機會。

就現今的個人通訊裝置而言，包含數百萬計的電晶體，其中射頻電路只佔了極小的一部份，然而射頻電路仍是現今電路設計上的一個瓶頸。其主要原因有大略有三種。第一，由於射頻電路需考慮許多參數，包含了雜訊、線性度、功率消耗、阻抗匹配、操作頻率、直電壓供應、信號振幅及系統規格之間的衡量(Trade Off)，各種參數相互地影響使得設計上更加困難。而且缺少一精確的主動和被動電路模型使得難以準確設計出所預計電路的效能。第二，相較於其它的類比電路，射頻電路設計還需要許多非直接相關的背景，例如微波電路理論、電磁理論、通訊理論、類比及數位調變技術，射頻收發器架構等，每一種知識的建立要有一定的時間來培養，使得一個射頻電路設計工程師難以在很短的時間內掌握足夠的知識來設計電路。第三，射頻電路設計自動化的電腦輔助分析及合成軟體的付之闕如，迫使電路的設計只能憑著多年經驗和直覺來預測電路的效能。

由於CMOS的成本較低且有極佳的系統整合能力，使用CMOS製程技術在單一晶片上同時實現射頻前端電路及基頻電路已是最新的趨勢。但從特性觀點來看，砷化鎵(GaAs)的電子遷移率是矽的五到十倍，這意味著GaAs元素有更高的截止頻率、更高的轉導值，用來實現射頻前端電路將消耗較少的功率，所以GaAs技術非常適合高速電路之應用。但隨著CMOS製程不段地進步提高了工作截止頻率，進而一步一步廣大應用範圍，GaAs技術必需提出更獨特的應用，否則將有被取代的命運。

1.2 論文組織

本論文內容分五個章節。第一章為緒論，說明目前無線區域網路的發展狀況與標準及論文結構。第二章將探討異質接面雙載子電晶體雜訊分析。第三章介紹被動元件實作及模型之建立包括了電感與變壓器。第四章介紹低雜訊放大器的設計與實作，也比較有無內部匹配對低雜訊放大器的影響。透過了電路實作，發現內部匹配可以大大改善低雜訊放大器低雜訊的增益。。第五章作為結論，討論電路設計結果及未來發展的方向。



第二章

異質接面雙載子電晶體雜訊分析

2.1 雜訊特性

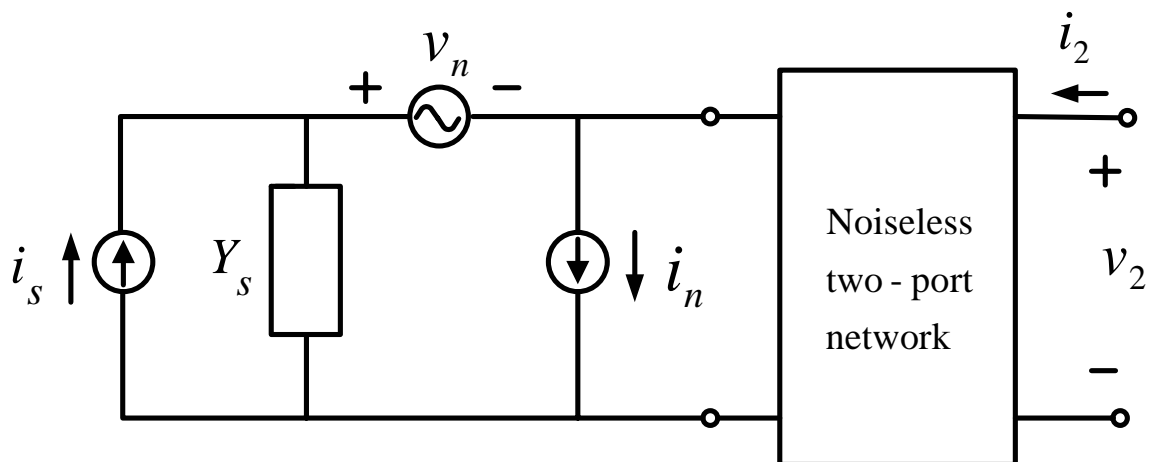


圖 2-1 放大器之雜訊模型

就電路而言，整個輸出端的雜訊功率正比於平均短路電流平方 ($\overline{i_{sc}^2}$)，而雜訊指數可表示為：

$$F = \frac{\overline{i_{sc}^2}}{\overline{i_s^2}}$$

其中， $\overline{i_s^2}$ 為輸入端之雜訊功率。

而 $i_{sc} = -i_s + i_n + v_n Y_s$ ，因此 $\overline{i_{sc}^2} = \overline{(-i_s + i_n + v_n Y_s)^2} = \overline{i_s^2} + \overline{(i_n + v_n Y_s)^2} - 2\overline{i_s(i_n + v_n Y_s)}$ 且輸入端雜訊和雙埠網路雜訊無關，所以 $\overline{i_s(i_n + v_n Y_s)} = 0$ 。

整理後， $\overline{i_{sc}^2} = \overline{i_s^2} + \overline{(i_n + v_n Y_s)^2}$ 。代入 $F = \frac{\overline{i_{sc}^2}}{\overline{i_s^2}}$ ，可得 $F = 1 + \frac{\overline{(i_n + v_n Y_s)^2}}{\overline{i_s^2}}$ 。接下

來，再來討論其中的 i_n ，可將之分為與 v_n 有關的 i_{nc} 和與 v_n 無關的 i_{nu} 兩個部分。如下所示：

$$i_n = i_{nu} + i_{nc}$$

而我們可以將 i_{nc} 用有關的導納 Y_c （實際上並不存在）表示，即：

兩邊分別乘 v_n^* ：

$$i_n = i_{nc} + Y_c v_n$$

$$v_n^* i_n = Y_c v_n^2$$

$$Y_c = \frac{v_n^* i_n}{v_n^2}$$

其中 $\overline{v_n^* i_{nc}} = 0$ 。再代入 $F = 1 + \frac{\overline{(i_n + v_n Y_s)^2}}{\overline{i_s^2}}$ 得：

$$F = 1 + \frac{\overline{(i_{nu} + (Y_c + Y_s)v_n)^2}}{\overline{i_s^2}}$$

在上式中的 $\overline{i_s^2}$ ， $\overline{v_n^2}$ ， $\overline{i_{nc}^2}$ 可表為：

$$\overline{i_s^2} = 4kT_0 G_s B$$

$$\overline{v_n^2} = 4kT_0 R_n B$$

$$\overline{i_{nu}^2} = 4kT_0 G_u B$$

而 $Y_c = G_c + jB_c$, $Y_s = G_s + jB_s$

最後可得雜訊指數可表示為：

$$\begin{aligned} F &= 1 + \frac{4kT_0 G_u B + |G_s + jB_s + G_c + jB_c|^2 4kT_0 R_n B}{4kT_0 G_s B} \\ &= 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} \left[(G_s + G_c)^2 + (B_s + B_c)^2 \right] \end{aligned}$$

當選得適當的 Y_s 我們可以得到最小的雜訊指數，由下面的推導我們可以得到最小的雜訊指數 F_{\min} ：

$$\begin{aligned} F|_{B_s = -B_c} &= 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} (G_s + G_c)^2 \\ \frac{dF}{dG_s} \Big|_{B_s = -B_c} &= -\frac{G_u}{G_s^2} + \left(\frac{2G_s(G_s + G_c) - (G_s + G_c)^2}{G_s^2} \right) = 0 \end{aligned}$$

因此選定 $G_s = \sqrt{G_c^2 + \frac{G_u}{R_n}}$ 和 $B_s = -B_c$ 時，即 $Y_{opt} = G_{opt} + jB_{opt} = \sqrt{G_c^2 + \frac{G_u}{R_n}} - jB_c$

會有最小的雜訊指數 F_{\min} 為：

$$\begin{aligned} F_{\min} &= F|_{Y_s = Y_{opt}} = 1 + \frac{G_u}{G_{opt}} + \frac{R_n}{G_{opt}} (G_{opt} + G_c)^2 \\ &= 1 + R_n \left(G_{opt} - \frac{G_c^2}{G_{opt}} \right) + \frac{R_n}{G_{opt}} (G_{opt}^2 + 2G_{opt}G_c + G_c^2) \\ &= 1 + 2R_n (G_{opt} + G_c) \end{aligned}$$

代入 $F = 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} \left[(G_s + G_c)^2 + (B_s + B_c)^2 \right]$ ，則：

$$\begin{aligned} F &= F_{\min} - 2R_n(G_c + G_{opt}) + \frac{G_u}{G_s} + \frac{R_n}{G_s} \left[(G_s + G_c)^2 + (B_s - B_{opt})^2 \right] \\ &= F_{\min} + \frac{R_n}{G_s} \left[(G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right] \end{aligned}$$

因此雜訊指數決定於 $Y_{opt} = G_{opt} + jB_{opt}$ ， R_n 和 F_{\min} ，假設利用雜訊量測得到這三個值，我們便可以知道在任何 Y_s 下，其所對應之雜訊指數。

2.2 雜訊與 S 參數分析

一般為了求的電晶體的雜訊參數，包括最低的雜訊指數(F_{\min})，相關增益(Associated Gain)，雜訊電阻(R_n)，以及最佳的輸入反射係數(Γ_{opt})，必須透過 On-wafer 的高頻雜訊量測，但是相當費時，且因為儀器的輸入端反射係數為有限，無法達到整個史密斯圓(Smith Chart)，所以會造成在量測上不準確，尤其是在低電流的範圍(sub-mA range)，因為電晶體的輸入阻抗非常大（即在 Smith Chart 的外圍），而量測儀器無法去匹配到最佳輸入轉導 Y_{opt} ，所以得到的雜訊參數並非最佳。

本節將透過 S 參數去產生雜訊參數包括最低的雜訊指數(F_{\min})，相關增益(Associated Gain)，雜訊電阻(R_n)，以及最佳的輸入端反射係(Γ_{opt})，不但可以避免 On-wafer 高頻雜訊量測的不準確性，同時省時。

首先，先透過透過雜訊相關矩陣(Noise Correlation Matrix) C_{A11} ， C_{A12} ， C_{A21} ， C_{A22} 去定義雜訊參數(參考文獻 1-3)。而雜訊相關矩陣是 $\overline{i_n^2}$ ， $\overline{v_n^2}$ 以及所對應無雜訊的 Y 參數之函數。

$$R_n = C_{A11} \quad (2.1)$$

$$Y_{opt} = G_{opt} + jB_{opt} = \sqrt{\frac{C_{A22}}{C_{A11}} - \left(\frac{\text{Im}\{C_{A12}\}}{C_{A11}}\right)^2} + j\frac{\text{Im}\{C_{A12}\}}{C_{A11}} \quad (2.2)$$

$$F_{\min} = 1 + 2\left(\text{Re}\{C_{A12}\} + C_{A11}G_{OPT}\right) \quad (2.3)$$

$$C_{A11} = \frac{\overline{v_n^2}}{4kT\Delta f} = \frac{\overline{i_c^2}}{4kT\Delta f |Y_{21}|^2} + (r_E + r_B) \quad (2.4)$$

$$C_{A21} = C_{A12}^* = \frac{\overline{v_n^* i_n}}{4kT\Delta f} = \frac{Y_{11} \cdot \overline{i_c^2}}{4kT\Delta f |Y_{21}|^2} \quad (2.5)$$

$$C_{A22} = \frac{\overline{i_n^2}}{4kT\Delta f} = \frac{Y_{11} \cdot \overline{i_c^2}}{4kT\Delta f |Y_{21}|^2} + \frac{\overline{i_b^2}}{4kT\Delta f} \quad (2.6)$$

從圖 2-2 圖示了雙載子電晶體小訊號以及雜訊的等效電路，其中 $\overline{i_b^2}$, $\overline{i_c^2}$ 為電晶體內部的射雜訊源(Shot Noise Source)。將公式(2.4)-(2.6)帶入公式(2.1)-(2.3)可得到公式(2.7)-(2.9)即可求得雜訊參數。

$$R_n = \frac{I_C}{2V_T |Y_{21}|^2} + (r_E + r_B) \quad (2.7)$$

$$Y_{OPT} = \sqrt{\frac{I_B |Y_{21}|^2 + I_C |Y_{11}|^2}{2V_T |Y_{21}|^2 (r_E + r_B) + I_C} - \left(\frac{I_C \text{Im}\{Y_{11}\}}{2V_T |Y_{21}|^2 (r_E + r_B) + I_C}\right)^2} - j\frac{I_C \text{Im}\{Y_{11}\}}{2V_T |Y_{21}|^2 (r_E + r_B) + I_C} \quad (2.8)$$

$$F_{\min} = 1 + \frac{I_C}{V_T |Y_{21}|^2} \left(\text{Re}\{Y_{11}\} + \sqrt{\left[1 + \frac{2V_T |Y_{21}|^2 (r_E + r_B)}{I_C}\right] \left[|Y_{11}|^2 + \frac{I_B |Y_{21}|^2}{I_C}\right] - (\text{Im}\{Y_{11}\})^2} \right)$$

(2.9)

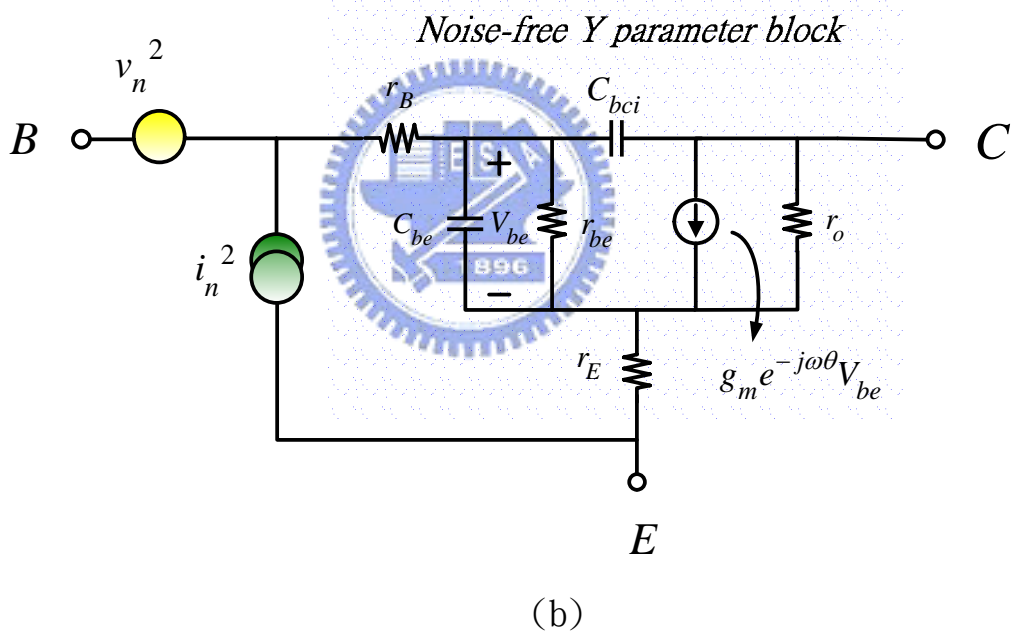
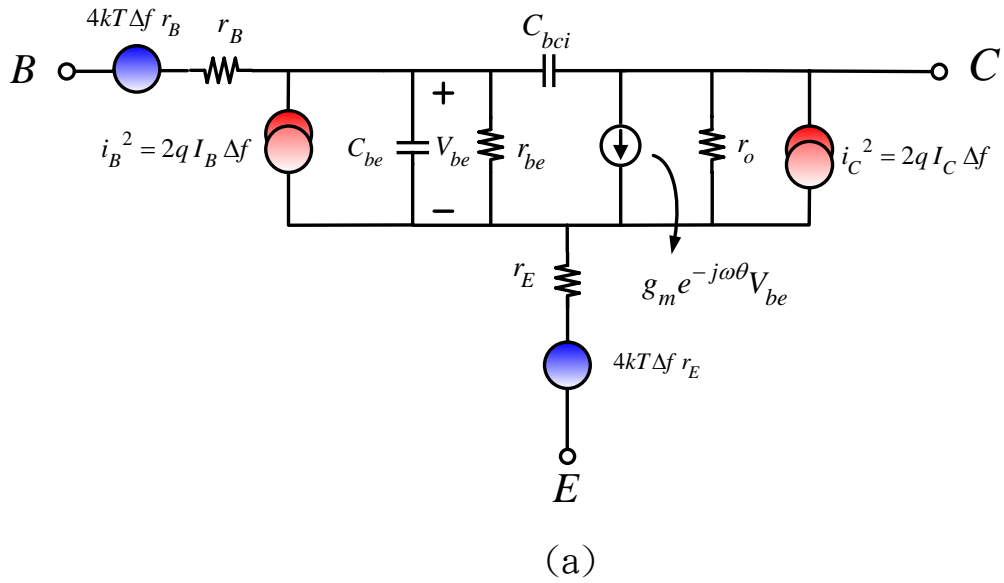


圖 2-2 (a) 小訊號雙載子電晶體小訊號以及雜訊的等效電路，其中 $\overline{i_B^2}$, $\overline{i_C^2}$ 為電晶體內部非相關的射雜訊源(Shot Noise Source)

(b) 等效雜訊模型，其中 v_n^2 , i_n^2 為相關雜訊源，和無雜訊的 Y 參數區塊。

圖2-3為在經由國科會國家奈米元件實驗室 (NDL) 的元件雜訊指數量測，得到最低的雜訊指數(Fmin)，相關增益(Associated Gain)，雜訊電阻 (Rn)，以及最佳輸入反射係數(Γ_{opt})。圖4-5即為 NPN InGap/GaAS HBT，Q2p4x3x2 (即每根的emitter Size=2.4x3 μm ，共兩根Emitter)的雜訊參數量測資料，包括了Fmin，Rn，Associated Gain。

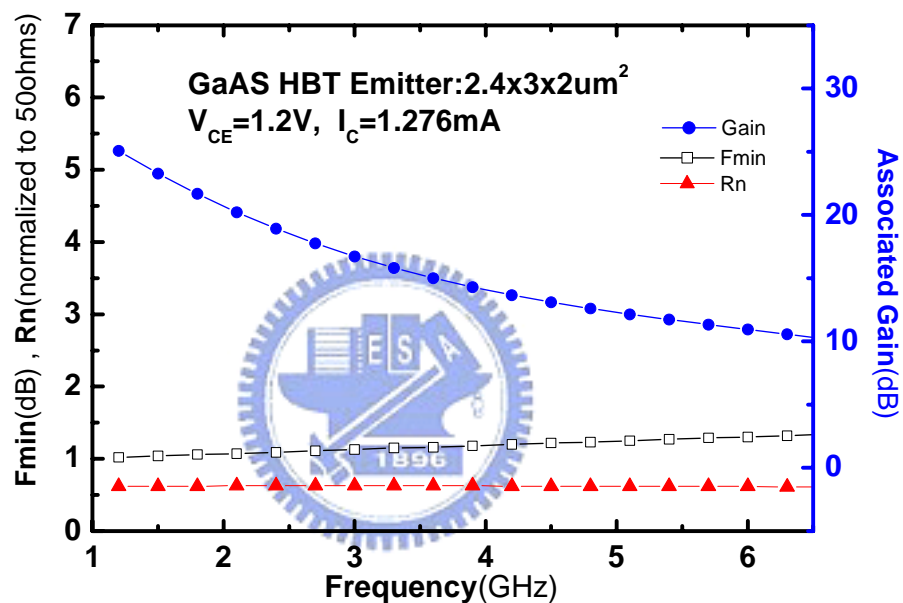


圖2-3 Q2p4x3x2的Fmin，Rn，Associated Gain

將Q2p4x3x2所量到的S參數，帶入公式(2.7)-(2.8)，可得的雜訊指數包括最低雜訊指數(Fmin)，相關增益(Associated Gain)，雜訊電阻(Rn)，以及最佳的輸入端反射係數(Γ_{opt})，圖2-4為用S參數所得的雜訊指數與實際量測比較。其中 $R_B = 13\Omega$ ， $R_E = 1.2\Omega$ 為軟體去Fitting的。

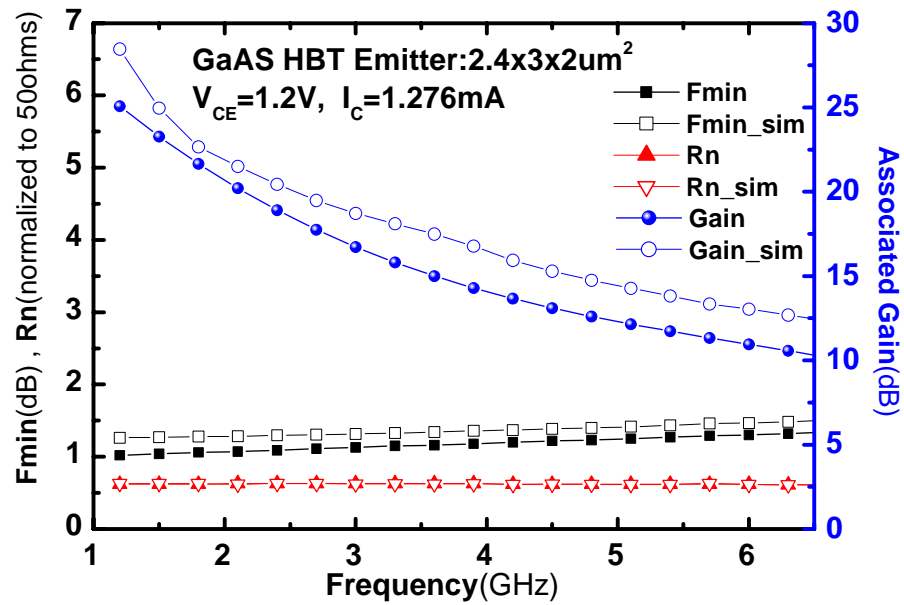


圖2-4 S參數所得的雜訊指數與實際量測比較

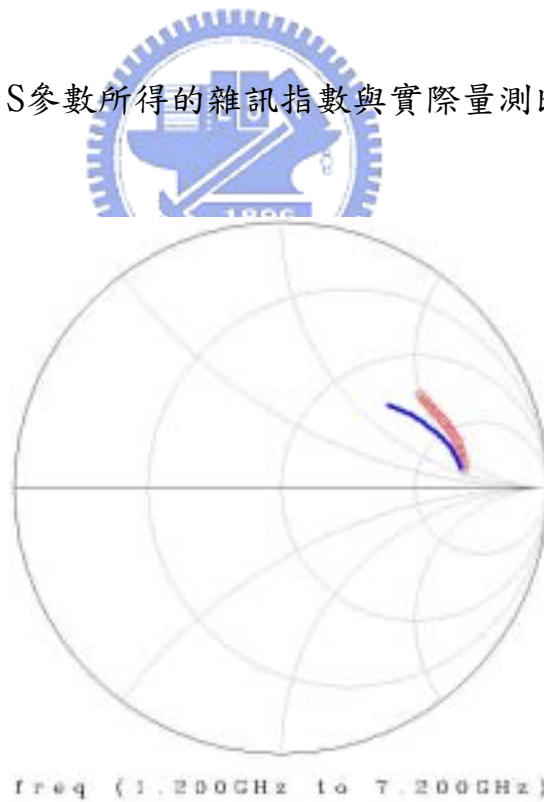


圖2-5 S參數所得最佳的輸入端反射係數(Γ_{opt})與實際量測比較

紅色為量測，藍色為S參數所得最佳輸入反射係數(Γ_{opt})

2.3 結論

本節將透過 S 參數去產生雜訊參數包括最低的雜訊指數(F_{min})，相關增益(Associated Gain)，雜訊電阻(R_n)，以及最佳的輸入端反射係(Γ_{opt})，都與實際量測接近。爾後，只需透過 S 參數即可得到雜訊參數，省去了不精準又費時的雜訊參數量測。



第三章

被動元件

3.1 簡介



被動元件在射頻電路中是不可或缺的。尤其電感和變壓器。不同於電容是利用電的形式將能量儲存起來，電感和變壓器是利用磁的形式將能量儲存起來或是轉換。本章透過實作來探討電感和變壓器

3.2 平面電感

3.2.1 電感簡介

電感在射頻積體電路中，可以作為電路阻抗匹配或LC共振器以及射頻偏壓電路（RF choke），雖然主動元件合成等效成電感，但是會伴隨著大量雜訊，以及多餘的功率消耗，所以平面電感有其不可取代的地位。電感除了要有精準的感值(Inductance)，Q值(Quality Factor)也非常重要。因為品質因素不高的電感將會造成電路額外的損耗（Loss），造成整體電路特性不

佳。本次藉由IE3D軟體（EM模擬的軟體）的模擬，以及透過國家晶片系統設計中心（CIC）提供的GCT InGap/GaAS HBT製程，下被動元件測試鍵(Test Kit)來做比較，藉著模擬數據與量測的數據比較以獲得準確值夠高的電感並加以討論。

設計平面電感時必須考慮的問題如下：

- (1) 電感本身的電阻，這部分主要由電感的金屬線長度所決定，金屬線愈長，則電阻愈大，可以看成串聯一平面電阻，頻率增高時，由於集膚效應(Skin Effect)造成在電感迴路中的電流呈現非均勻分布，使得有效的串聯電阻值增加，可以增加金屬厚度與寬度以減少金屬損耗 R ，增加電感 Q 值。由於GCT提供的InGap/GaAS HBT製程。只有兩層金屬(Metal)，為了避免集膚效應(Skin Effect)將兩層金屬合在一起，增加金屬厚度，同時亦可以提高電感 Q 值。
- (2) 線距小的電感其傳輸線間的互感較強，具有較大的電感值，使得需要相同電感值的總長縮短，而減少金屬損耗 R ，增加電感 Q 值。
- (3) 能量損耗可能是由於在基體的漩渦電流和大部份在電感內圈的電流所造成，在基體的漩渦電流將隨頻率上升而增大，而使得損失加大，導致電感的 Q 值降低，通常內徑須為傳輸線寬的5倍，可避免上述的缺點。

3.2.2 平面電感模型

圖3.1為一般常見的平面電感，其中 W 為線寬、 G 為線距、內部面積 IS (Inter-Spacing)，。圖3.2為InGap/GaAS HBT基板的電感等效模型，其中 L 為所對應的電感值， C_o 為金屬層一與金屬層二重疊的電容、 R 為金屬的損耗電阻、 C_{sub} 為基板的電容。

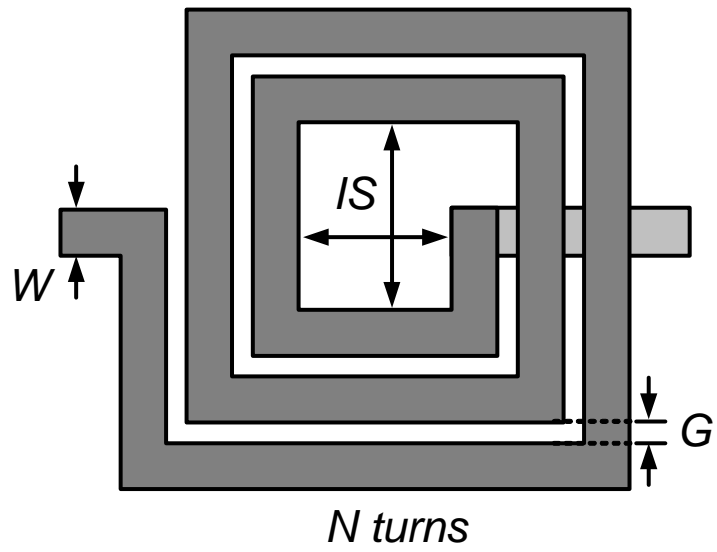


圖3.1 平面電感

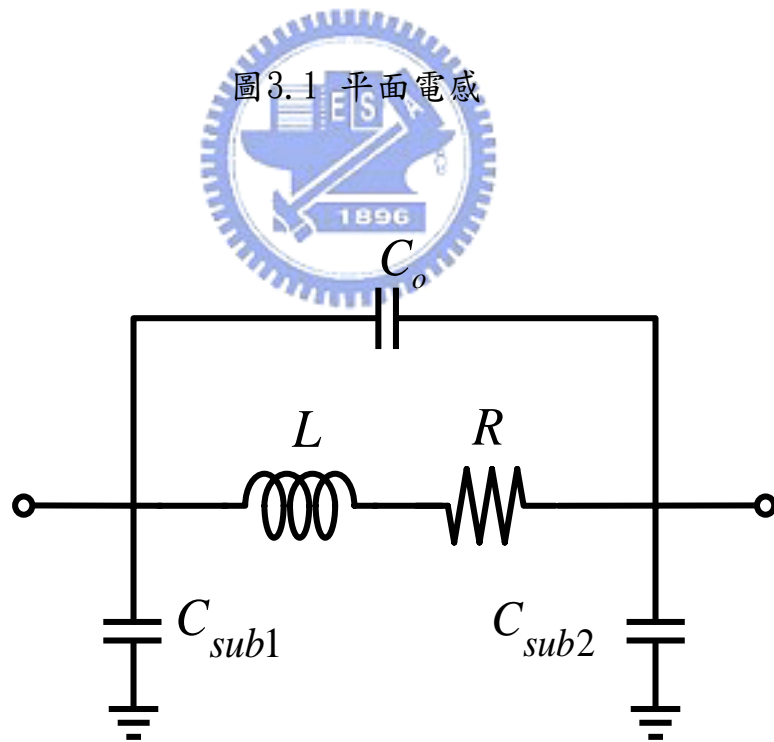


圖3.2 GaAs電感等效模型

3.2.3 平面電感架構

電感的參數包括：圈數 N (N turns)，寬度 W (Width)，間隔 G (Gap)，內部面積 IS (Inter-Spacing)，由於電感的面積大，無法將所有的參數都作探討，因此將間隔 G (Gap)此一參數固定。對寬度 W (width)，圈數 N (N turns)，內部面積 IS (Inter-Spacing)，做變化以瞭解這些參數對電感的影響。表3-1為電感架構參考表。

架構 (schematic)	寬度 W	間隔 G	圈數 N	內部面積 IS
1	5um	5um	$2\frac{1}{2}$	30um*40um
2	5um	5um	$4\frac{1}{2}$	30um*40um
3	5um	5um	$6\frac{1}{2}$	30um*40um
4	10um	5um	$2\frac{1}{2}$	30um*40um
5	7.5um	5um	$2\frac{1}{2}$	30um*40um
6	5um	5um	$4\frac{1}{2}$	15um*20um
7	5um	5um	$4\frac{1}{2}$	45um*60um
8	5um	5um	$2\frac{1}{2}$	15um*20um

表3-1 電感架構參考表

3.2.4 電感模擬

此次模擬採用IE3D，為EM的模擬軟體，模擬時將電感一端接地。當成one port元件，去看 $\text{Re}[Z_{in}]$ 以及 $\text{Im}[Z_{in}]$ ，進而求的電感的Inductance以及Q值。其中 $\text{Inductance} = \frac{\text{Im}[Z_{in}]}{2\pi \times \text{Freq}}$ ，而Q值 $= \frac{\text{Im}[Z_{in}]}{\text{Re}[Z_{in}]}$ 。圖3-3為IE3D模擬軟體下的示意圖(右圖為Gridding後的圖形，Gridding為中心與外圍比為3:1)，圖3-4為模擬架構2的S21與S11，圖3-5為模擬構2的感值(Inductance)與Q值(Quality Factor)，圖3-6為模擬架構7的S21與S11，圖3-7為模擬構7的感值(Inductance)與Q值(Quality Factor)，其餘電感模擬請參考附錄(一)。

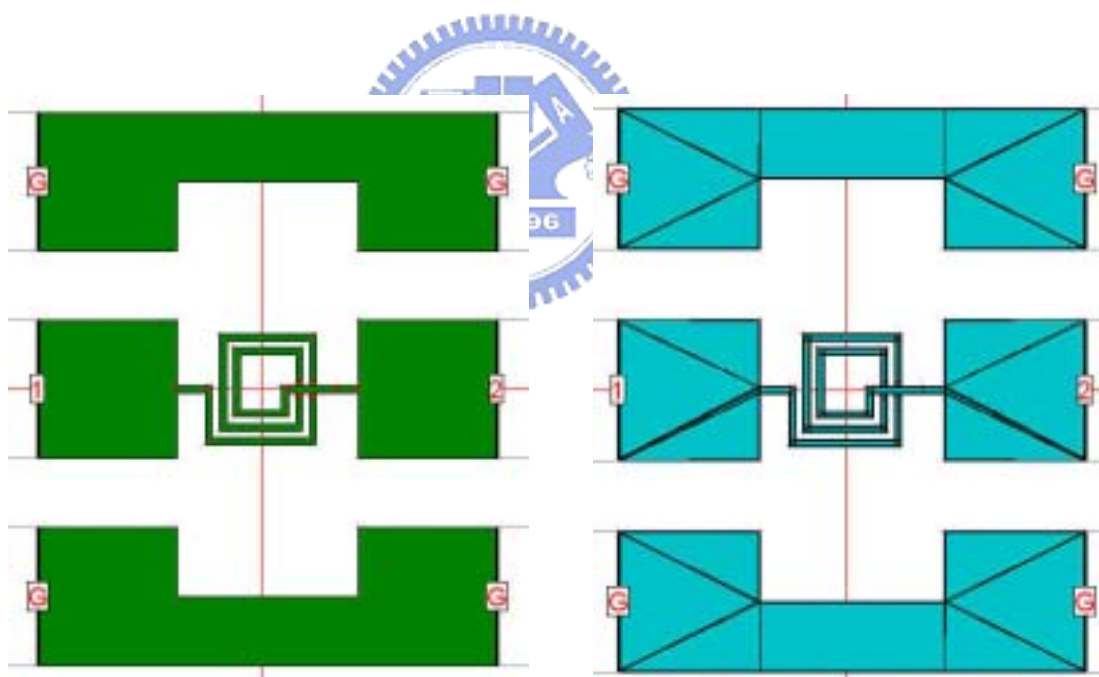


圖3-3為IE3D模擬軟體下的示意圖(右圖為 Gridding 後的示意圖)

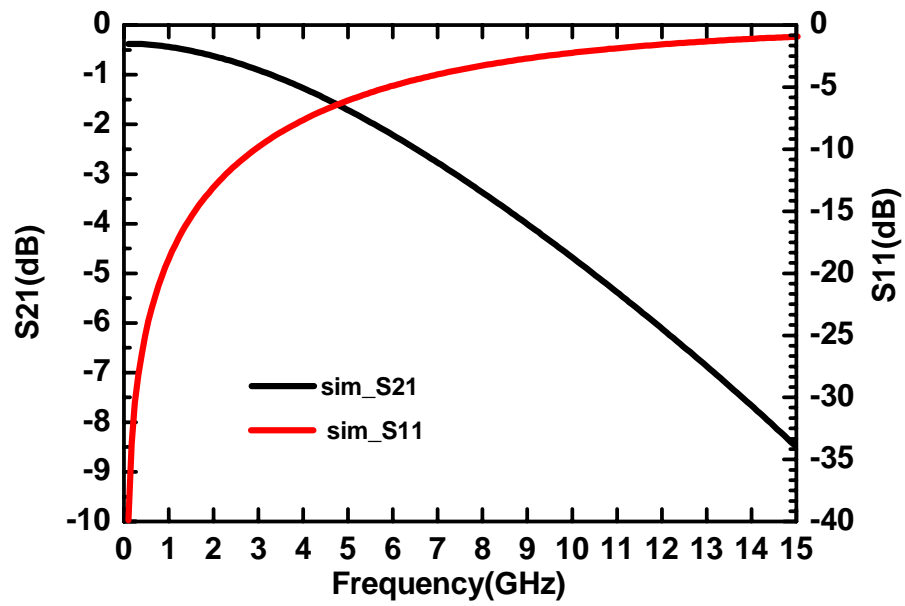


圖3-4 模擬架構2. 的S21與S11

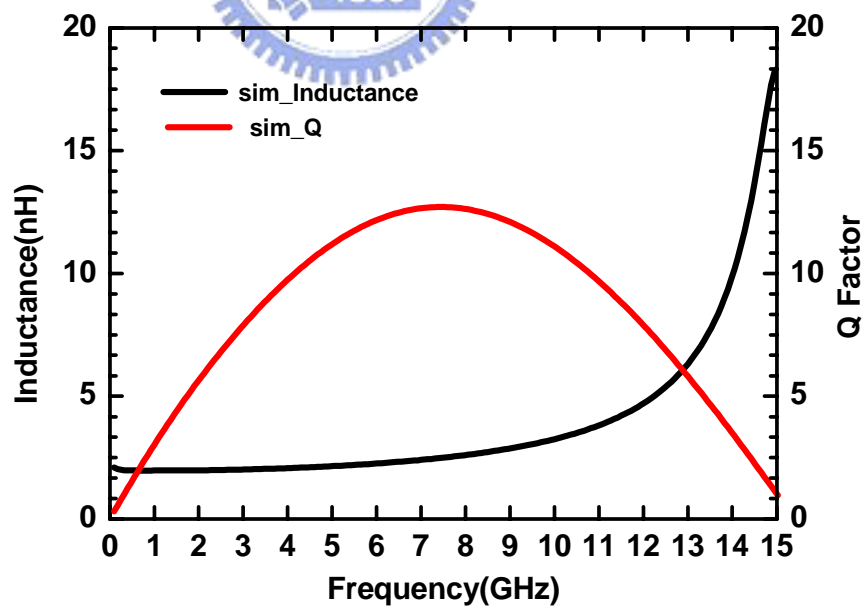


圖3-5 模擬架構2. 的感值(Inductance)與Q值(Quality Factor)

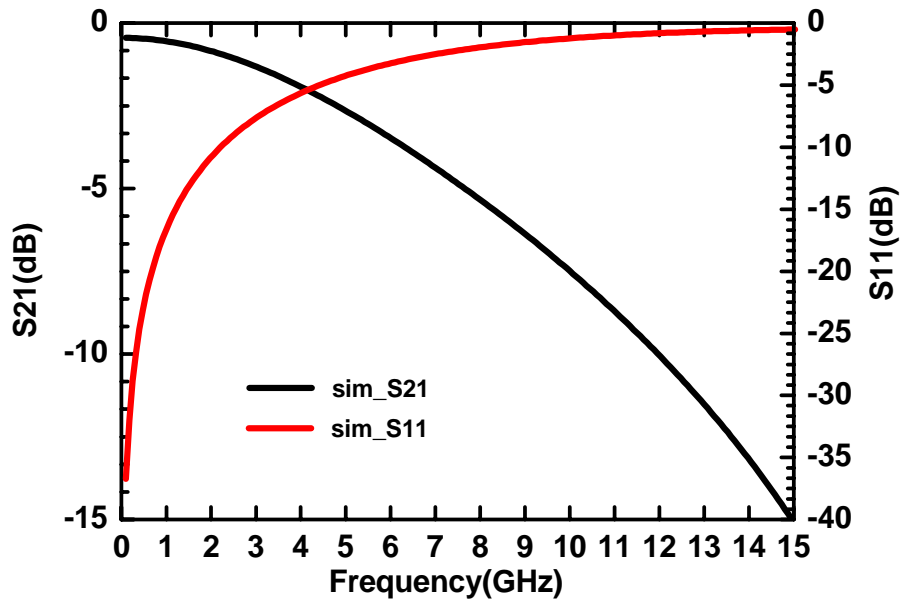


圖3-6 模擬架構7. 的 S_{21} 與 S_{11}

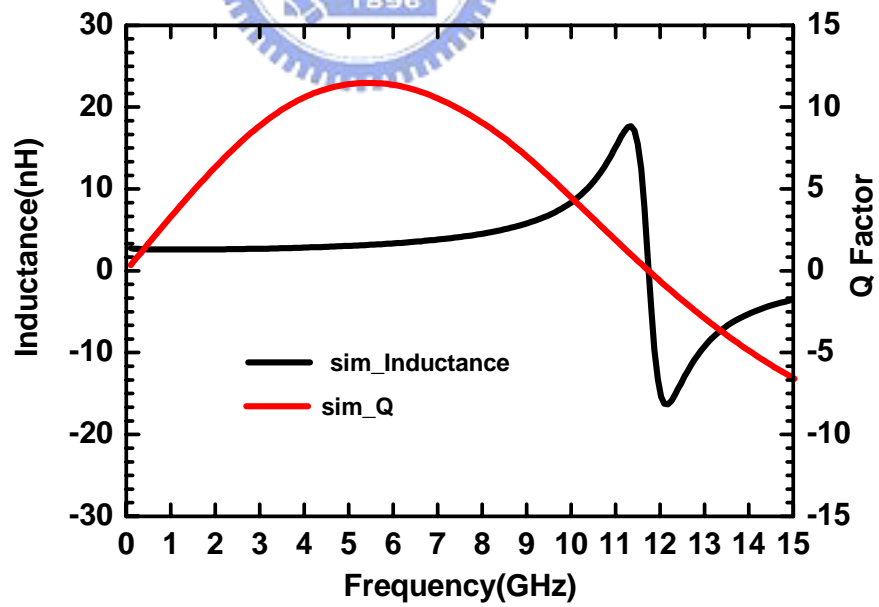


圖3-7 模擬架構7. 的感值(Inductance)與Q值(Quality Factor)

3.2.5 量測結果分析

透過國家晶片系統設計中心 (CIC) 提供高頻S參數網路分析儀HP8510，量測頻率從0.1GHz到15.1GHz，頻率間隔為0.1GHz。將所得的S參數轉換為Z參數，再將其中一端接地，當成one port元件。進而求的電感的感值與Q值。圖3-8為架構2量測的S參數，圖3-9為架構2量測的感值(Inductance)與Q值(Quality Factor)，圖3-10為架構7量測的S參數，圖3-11為架構7量測的感值(Inductance)與Q值(Quality Factor)，其餘電感量測請參考附錄(一)

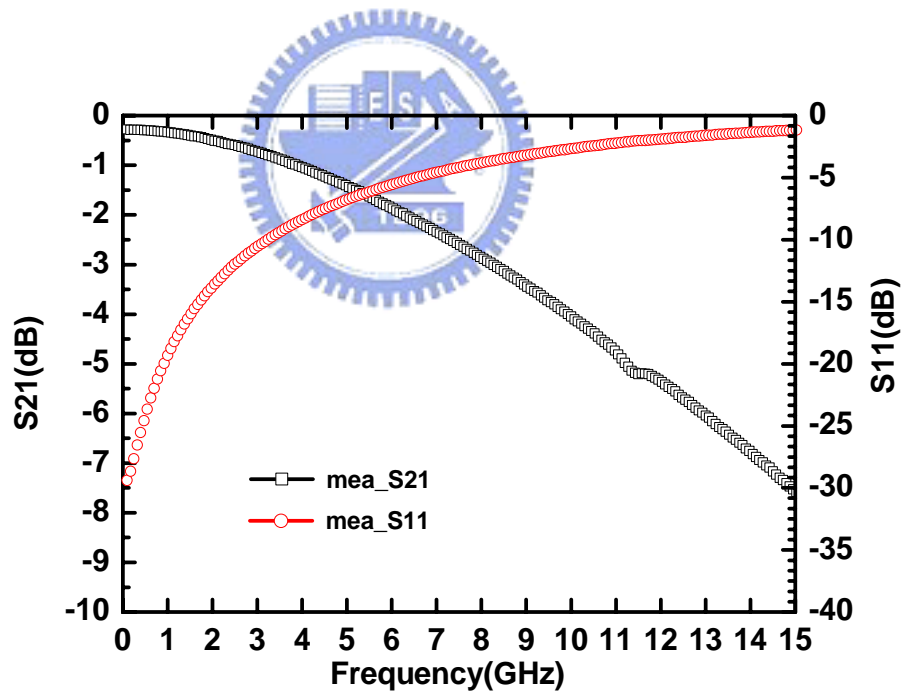


圖3-8 架構2. 量測的S參數

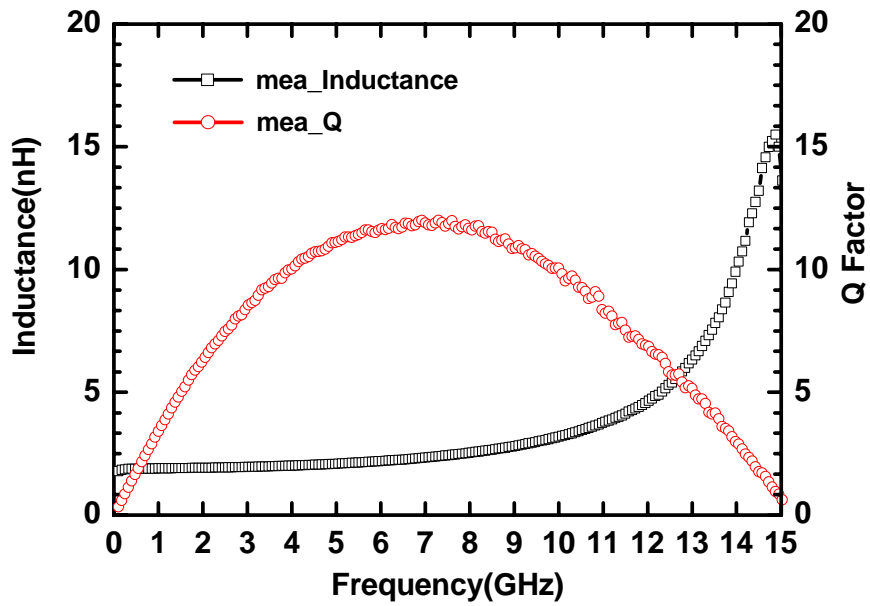


圖3-9 架構2. 量測的感值(Inductance)與Q值(Quality Factor)

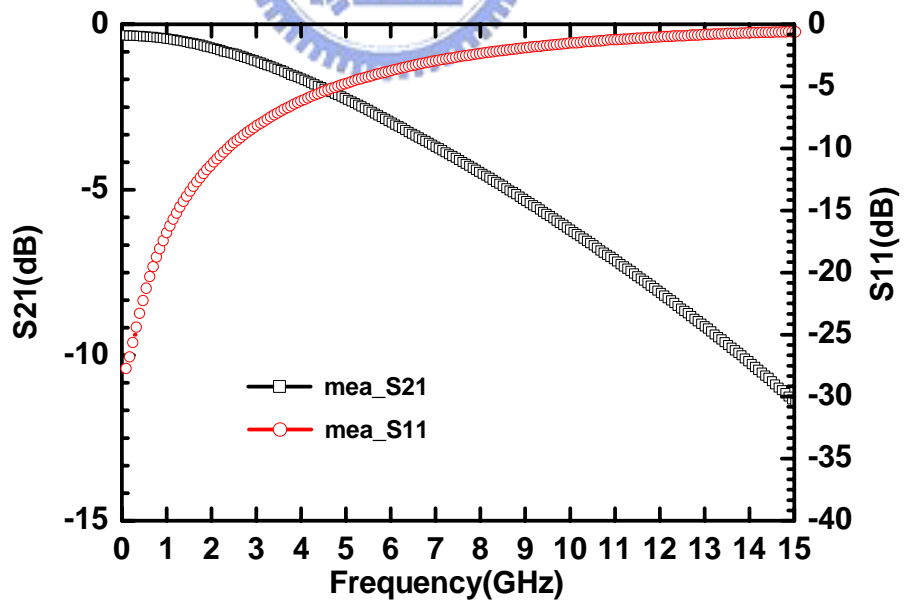


圖3-10 為架構7. 量測的S參數

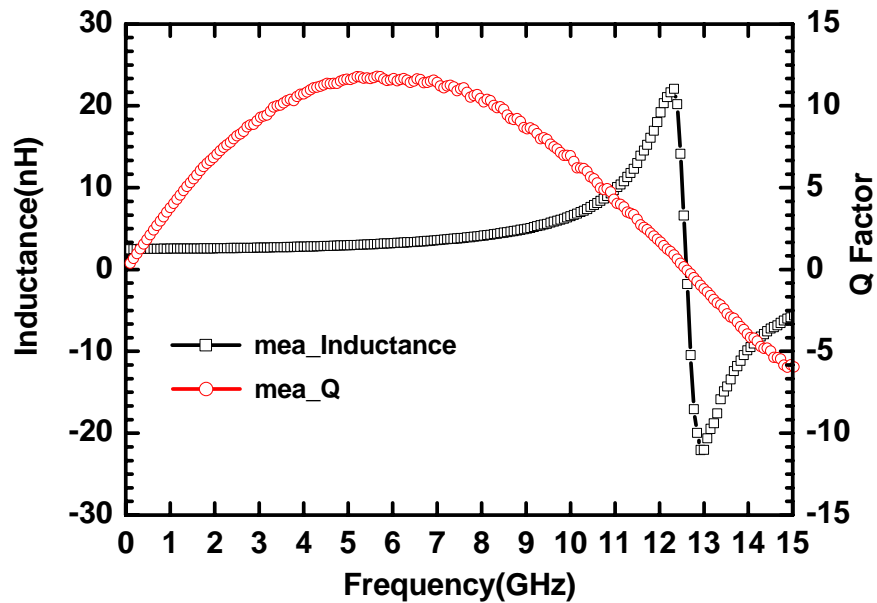


圖3-11 架構7. 量測的感值(Inductance)與Q值(Quality Factor)

接下來，為模擬與量測的比較。圖3-12為架構2模擬與量測的S參數，圖3-13為架構2模擬與量測的感值(Inductance)與Q值(Quality Factor)，圖3-14為架構7模擬與量測的S參數，圖3-15為架構7模擬與量測的感值(Inductance)與Q值(Quality Factor)，其餘電感模擬與量測請參考附錄(一)。從模擬與量測可以看到在S參數方面，非常接近。

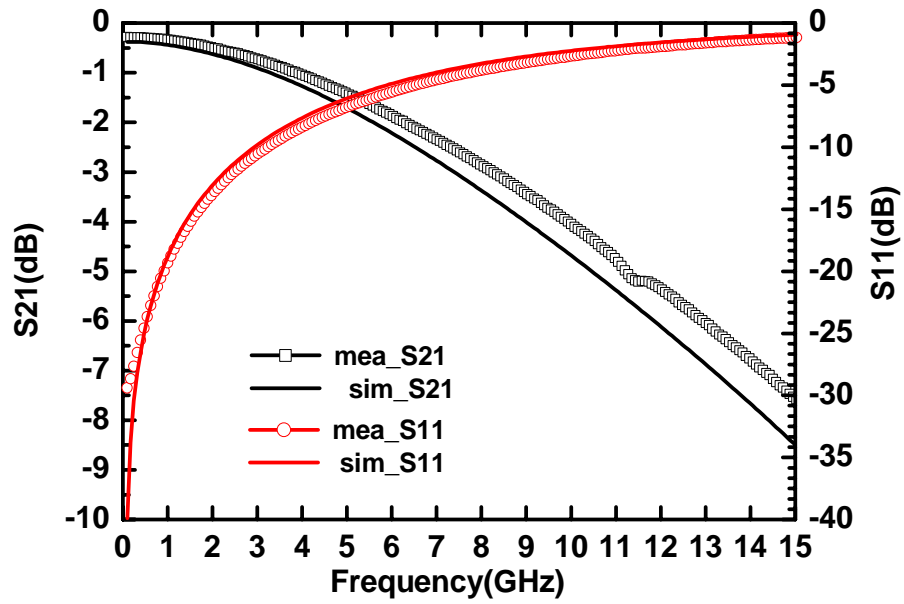


圖3-12 架構2模擬與量測的S參數

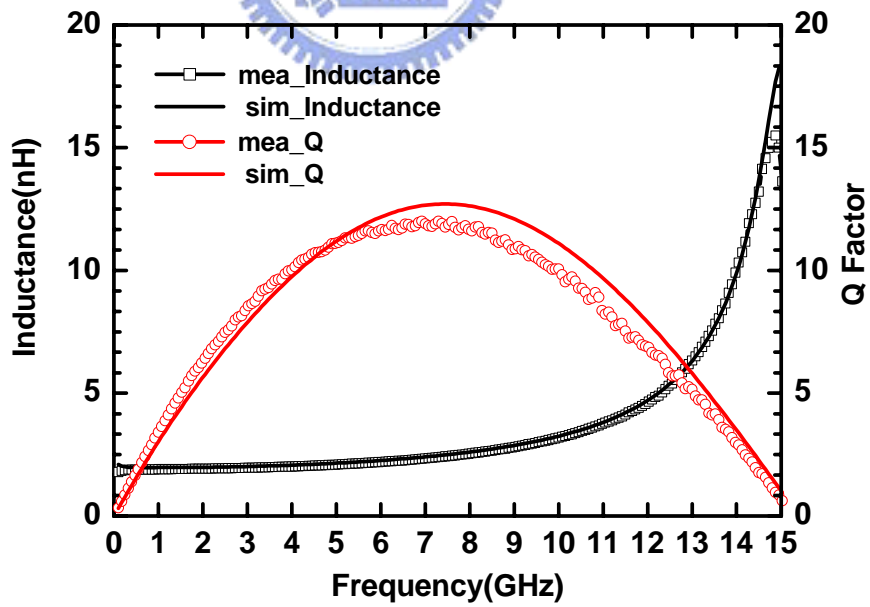


圖3-13 架構2模擬與量測的感值(Inductance)與Q值(Quality Factor)

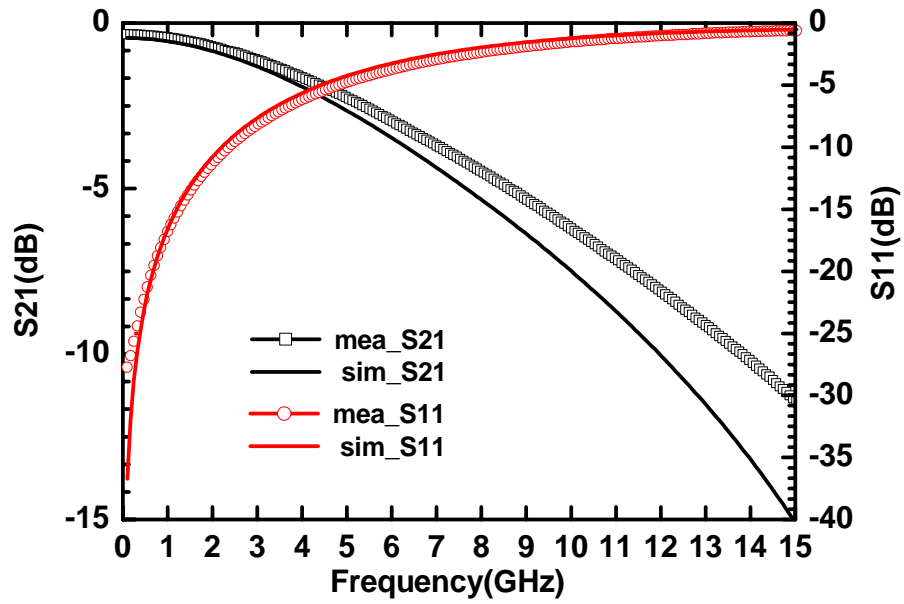


圖3-14 架構7模擬與量測的S參數

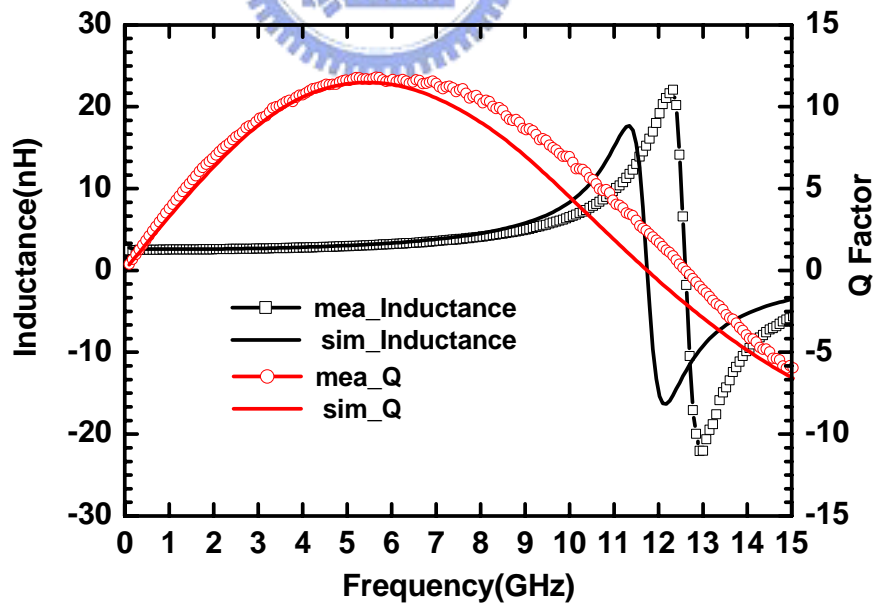


圖3-15 架構7模擬與量測的感值(Inductance)與Q值(Quality Factor)

接下來，我們將比較電感參數的感值包括先前所提的寬度，間隔，圈數，內部面積對電感的感值及Q值對電感的影響。

- (1) 在相同的寬度，間隔，內部面積下，不同圈數的電感（如表3-1中的架構1，架構2，架構3）比較三者的感值以Q值的比較，如圖3-16，圖3-17。發現圈數越多的電感雖然提供了高感值，但因為金屬與金屬間的耦合電容增加，造成自振頻率降低，所以可用的範圍會受限制。同時圈數越多也提高了金屬的損耗電阻，金屬損耗電阻上升速度稍微大於感值的提升。因此Q值的高峰值也稍微下降。
- (2) 在相同的間隔，圈數，內部面積下，不同寬度的電感（如表3-1中的架構1，架構4，架構5）比較三者的感值以Q值的比較。如圖3-18，圖3-19。可以看到線寬越寬，金屬的損耗電阻會越小，對感值並沒有太大的影響，但是提供較好的Q值，不過相對地，電感的面積也會增加。所以必須在兩者之間作取捨。
- (3) 在相同的間隔，圈數，寬度下，不同內部面積的電感（如表3-1中的架構2，架構6，架構7）比較三者的感值以Q值的比較。如圖3-20，圖3-21。可以看出內部面積越大。則感值會上升。Q值的高峰也會微微上升。

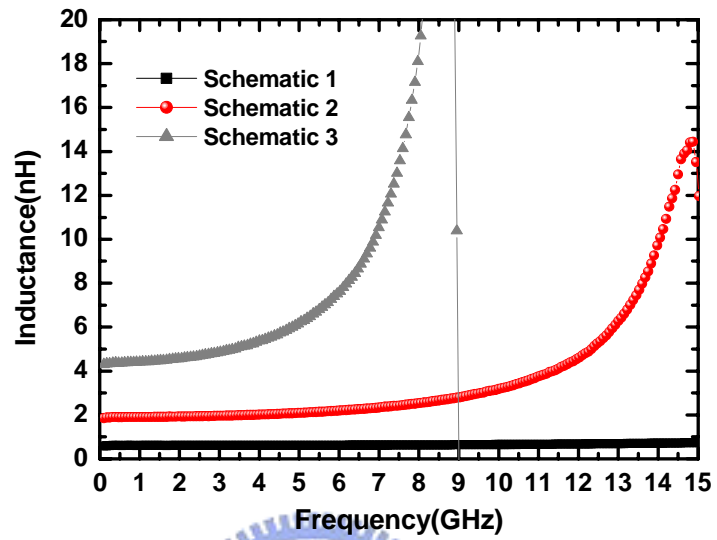


圖 3-16 不同圈數電感的感值比較

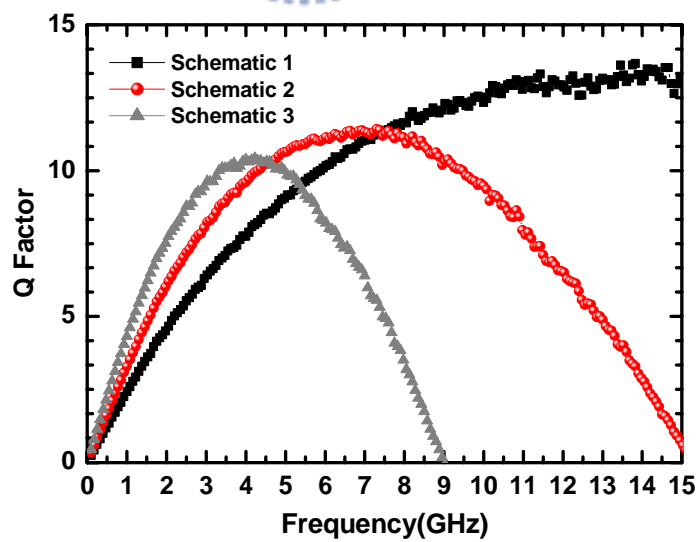


圖 3-17 不同圈數電感的 Q 值比較

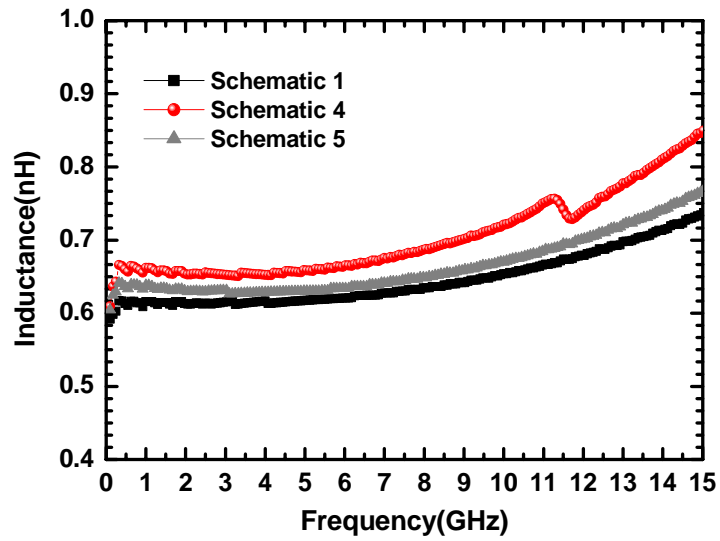


圖 3-18 不同寬度電感的感值比較

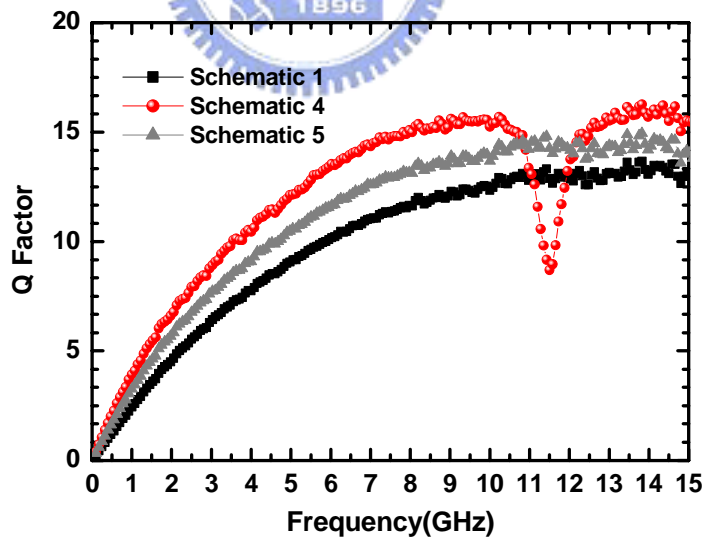


圖 3-19 不同寬度電感的 Q 值比較

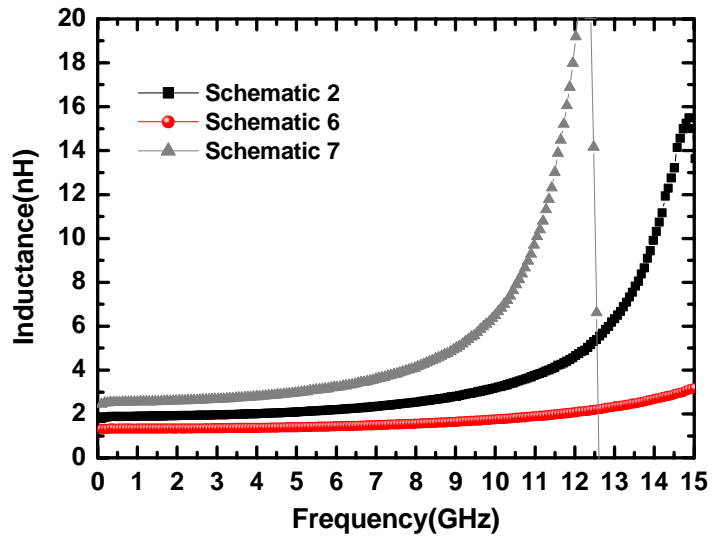


圖 3-20 不同內部面積電感的感值比較

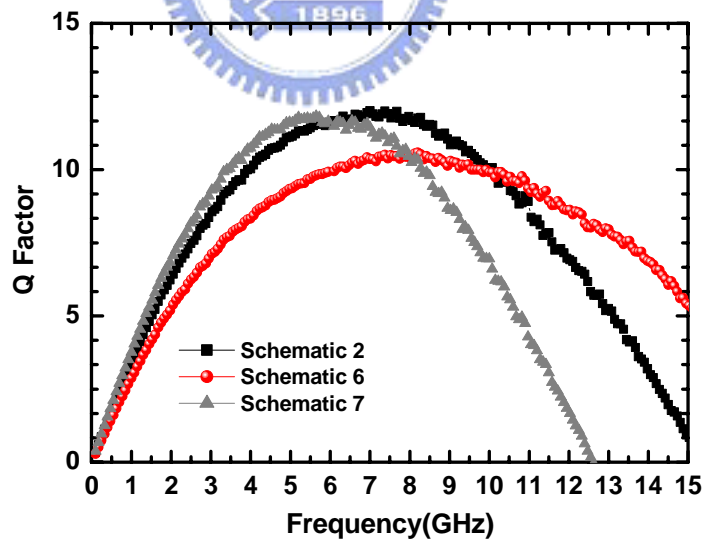


圖 3-21 不同內部面積電感的 Q 值比較

3.2.6 等效模型

利用3.2.2提到的GaAs電感等效模型。先利用量測所得電感值帶入將等效電感模型電感值 L ，其餘參數利用ADS模擬軟體對量測S參數去作Fitting得到相對的電感等效模型。以架構2為例，所萃取出來的 $L=2\text{nH}$ ， $R=5.043\Omega$ ， $C_o=16.092\text{fF}$ ， $C_{sub1}=25\text{fF}$ ， $C_{sub2}=38.034\text{fF}$ 。圖3-22為量測與模型的S參數比較。在S11部分相當接近。S22部分在低頻時，差異不大，高頻時則有1~2dB左右的差距。其餘電感等效模型請參考附錄(二)

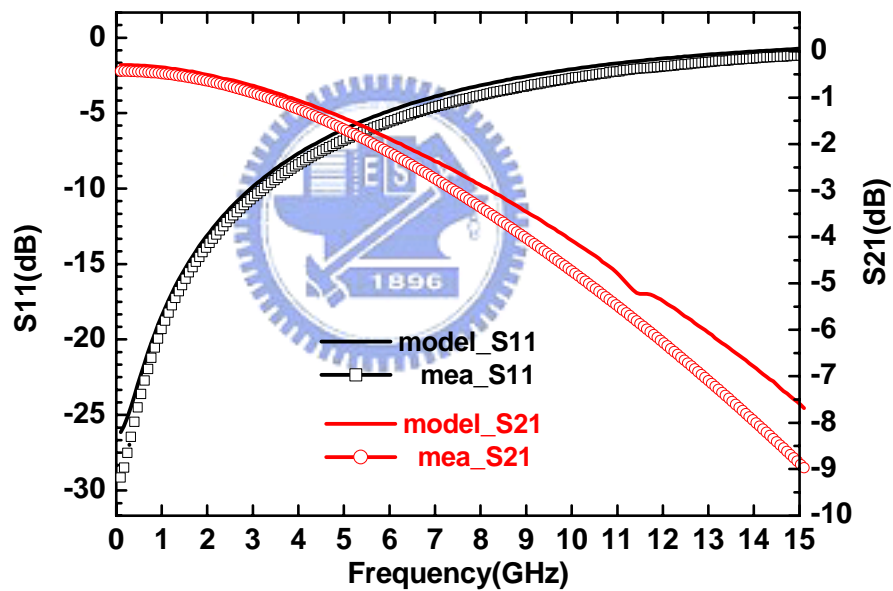


圖3-22 量測與等效模型的S參數比較

3.2.7 電感結論

討論了不同參數對電感感值及Q值的影響。有幫助未來的對電感設計與挑選。圖 3-23 為這次電感晶片的照片。

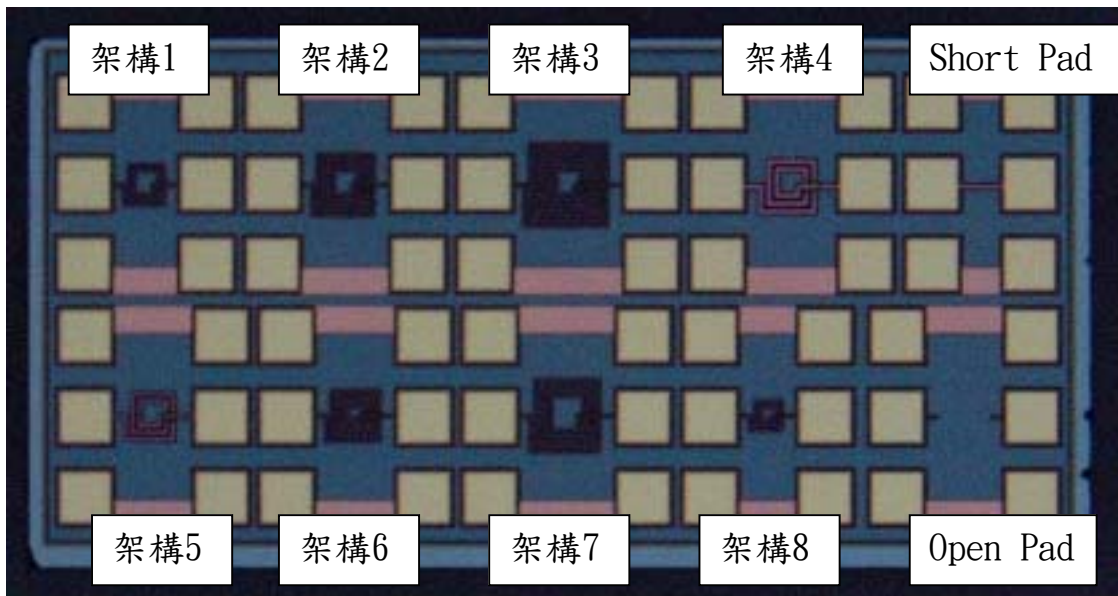


圖3-23 電感晶片的照片

3.3 變壓器

3.3.1 變壓器簡介

圖 3-24 為變壓器(Transformer)的示意圖，線圈 1(Coil 1)的開數為 N_1 ，線圈 2(Coil 2)的線圈開數為 N_2 ，線圈 1 因電流 I_1 所產生的磁通量為 ϕ_{11} ，線圈 2 因電流 I_2 所產生的磁通量為 ϕ_{22} ，

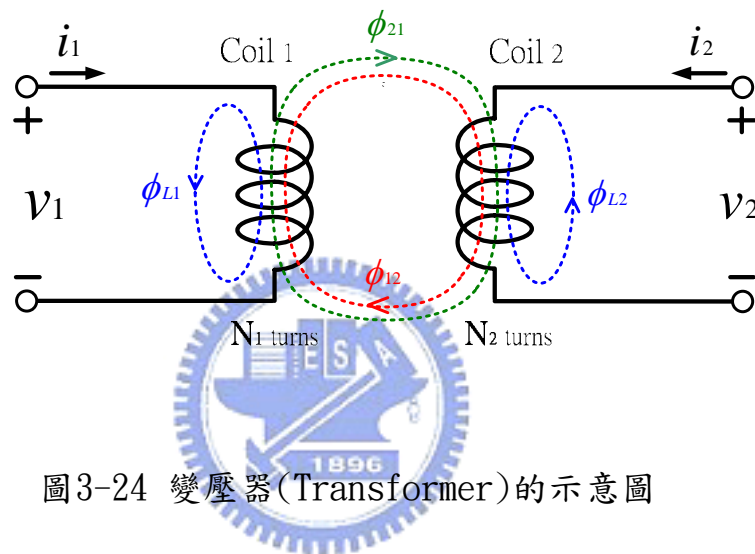


圖3-24 變壓器(Transformer)的示意圖

線圈1因電流 I_1 所產生的磁通量為 ϕ_{11} 以及線圈2因電流 I_2 所產生的磁通量為 ϕ_{22} 如下：

$$\phi_{11} = \phi_{21} + \phi_{L1} \quad (3.1)$$

$$\phi_{22} = \phi_{12} + \phi_{L2} \quad (3.2)$$

其中，線圈1產生的磁通量經過線圈2為 ϕ_{21} ，線圈2產生的磁通量經過線圈1為 ϕ_{12} ，而 ϕ_{L1} 為線圈1的漏磁通量(leakage flux)， ϕ_{L2} 為線圈2漏磁通量(leakage flux)。而線圈1的磁通量 ϕ_{11} 為電流 I_1 以及電流 I_2 所產生磁通量且經過線圈1為

$$\phi_1 = \phi_{11} + \phi_{12} \quad (3.3)$$

而線圈1的總磁通量 λ_1 為線圈1的開數 N_1 乘上線圈1的磁通量 ϕ_1 如下：

$$\lambda_1 = N_1\phi_1 = N_1\phi_{11} + N_1\phi_{12} \quad (3.4)$$

同理適用於線圈2。而線圈1因電流 I_1 所產生的磁通量為 ϕ_{11} ，所以 ϕ_{11} 成正比於電流 I_1

$$N_1\phi_{11} = L_1 i_1 \quad (3.5)$$

其中 L_1 為電流 I_1 的正比常數，也就是線圈1的自感(Self-Inductance)。而線圈1因電流 I_2 所產生的磁通量為 ϕ_{12} ，成正比於 I_2

$$N_1\phi_{12} = \pm M_{12} i_2 \quad (3.6)$$

其中 M_{12} 為電流 I_2 的正比常數也就是線圈1的互感(mutual-Inductance)。

其中正負號是電流 I_1 與電流 I_2 方向性的問題而已，同向為正號，反向為負號。同理適用於線圈2，而最後可得互感 $M_{12} = M_{21} = M$ （參考文獻4）。耦合係數 K (Coupling Factor K)是判斷變壓器的線圈所產生的磁通量是有經過另一線圈的重要參數。

$$K = \frac{M}{\sqrt{L_1 L_2}} = \frac{\sqrt{M_{21} M_{12}}}{\sqrt{L_1 L_2}} = \frac{\sqrt{\phi_{21}} \sqrt{\phi_{12}}}{\sqrt{\phi_{11}} \sqrt{\phi_{22}}} \quad (3.7)$$

$$0 \leq K \leq 1 \quad (3.8)$$

$$0 \leq M \leq \sqrt{L_1 L_2} \quad (3.9)$$

由式(3.7)最右邊的等式，暗示著由線圈1因電流 I_1 所產生的磁通量為 ϕ_{11} ，有少比例會經過線圈2成為 ϕ_{21} 。當 $K=1$ 即線圈1因電流 I_1 所產生的磁通量均會經過線圈2即 $\phi_{11} = \phi_{21}$ 。式(3.8)及式(3.9)為耦合係數 K 與互感 M 的上下限。

在射頻積體電路中，變壓器(Transformer)的功能，如下列所述：

- (1) 利用變壓器(Transformer)來實現低電壓操作架構，如在疊接式的低雜訊放大器中在共射極與共基極之間加入一個變壓器，供給電壓可以從2Von變成了1Von達到低電壓操作的架構(參考文獻5)。
- (2) 變壓器也亦可做功率結合(Power Combining)，如在CMOS中的功率放大器，無法產生夠大的輸出功率，可以藉著變壓器將多個功率放大器的輸出功率作結合達成夠高的輸出功率(參考文獻6)。
- (3) 射頻方面，阻抗匹配(Impedance Matching)影響著增益(Gain)以及功率(Power)，利用變壓器來做阻抗轉換(Impedance transformation)來完成阻抗匹配(Impedance Matching)，有效地將最大的增益或功率傳送出去。
- (4) 由於整個系統是由各個區塊兜成的，所以在單端(single)和差動(differential)之間需要做轉換，這時就需要用到balun(balance to unbalance)，而外接的balun不但需要額外的成本，可以由兩個變壓器組成Balun(Balance to Unbalance)來完成。

3.3.2 變壓器架構

由於GCT提供的InGap/GaAS HBT製程。只有兩層金屬(Metal)對於限制了變壓器的線圈繞法，所以在只有兩層金屬的清況下做出了四種變壓器。分別為堆疊變壓器(Stack Transformer)，交錯變壓器(Interleave Transformer)，對稱變壓器(Symmetric Transformer)，以及耦合變壓器(Coupling Transformer)。分別如下：

- (1) 堆疊變壓器(Stack Transformer)：傳統堆疊變壓器是應該由兩個電感互相堆疊如圖 3-25 但是必須至少使用三層金屬。但是因為 InGap/GaAS

HBT 製程只有兩層金屬，所以先將兩電感作交錯，在做堆疊如圖 3-26 所示。

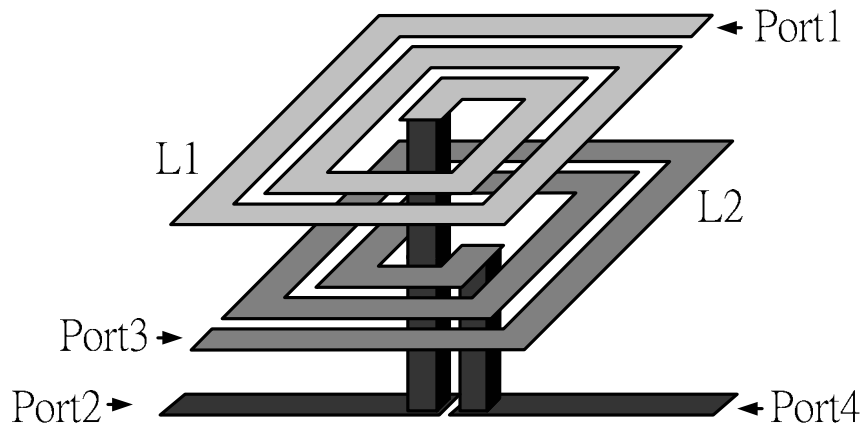


圖3-25 傳統堆疊變壓器（至少使用三層金屬）

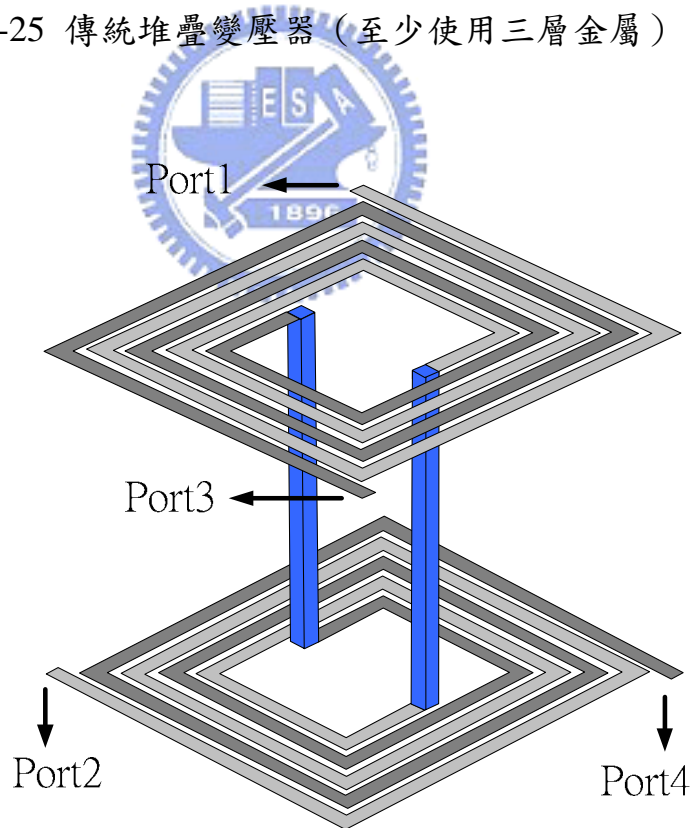


圖3-26 堆疊變壓器(Stack Transformer)

- (2) 交錯變壓器(Interleave Transformer)：將兩電感作交錯，而且把兩層金屬和在一起增加金屬厚度，避免集膚效應(Skin Effect)，增加Q值。如圖3-27 所示

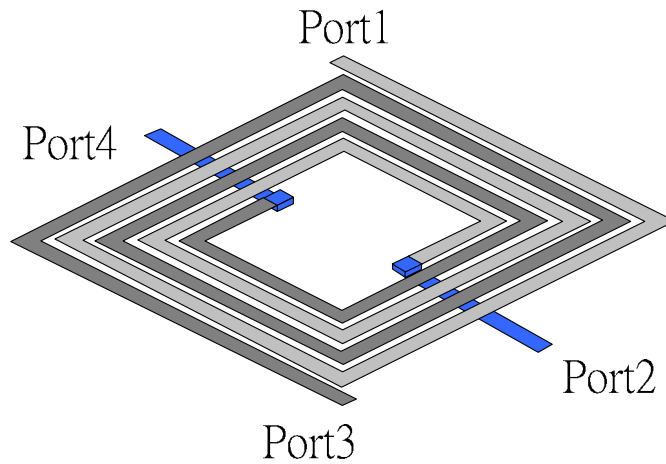


圖3-27 交錯變壓器(Interleave Transformer)

- (3) 對稱變壓器(Symmetric Transformer)：若將center-trapped接地，其中一端接地，則可以成為balun，其繞法如圖3-28所示

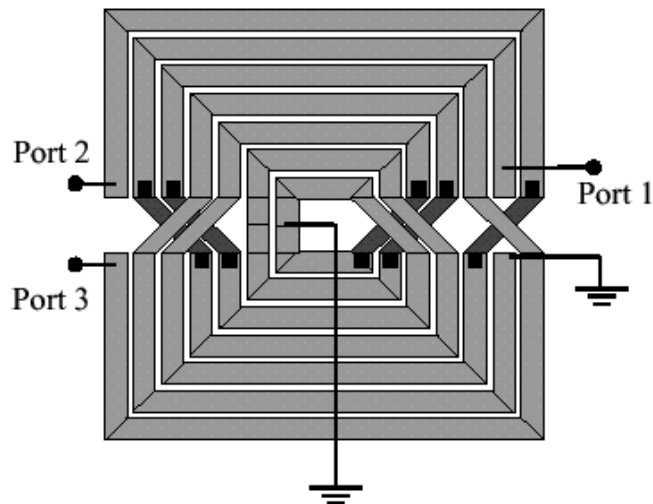


圖3-28 對稱變壓器(Symmetric Transformer)

(3) 耦合變壓器(Coupling Transformer)：由於HBT製程只能利用兩層金屬來繞線(參考文獻7)，所以要設計成堆疊式的耦合電感相當不易，因此我們利用特殊的繞線方法，來達成只利用兩層金屬，就可設計一堆疊耦合電感之電路如圖3-29。

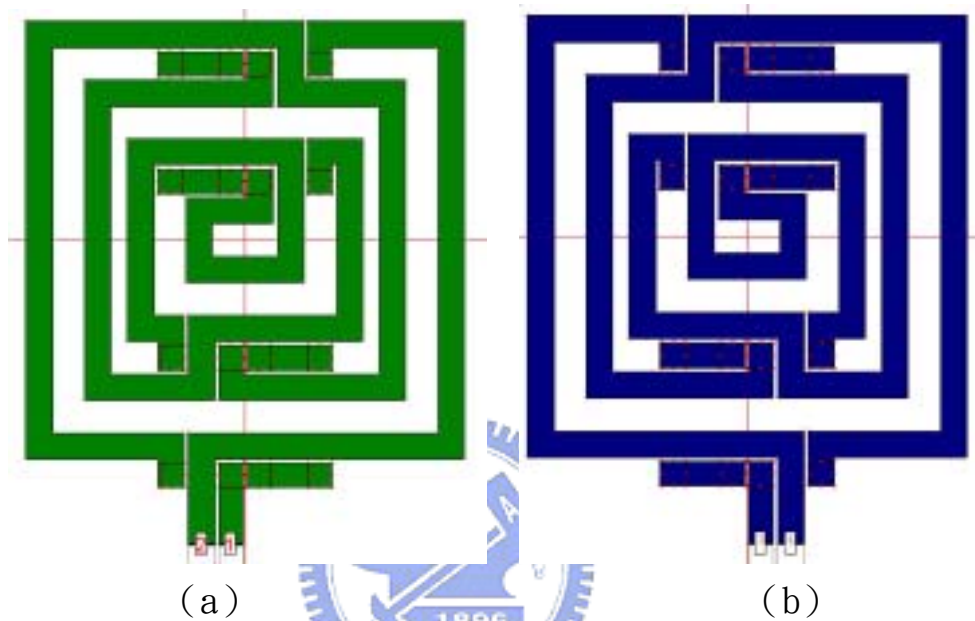


圖3-29 耦合變壓器(Coupling Transformer)

(a) 金屬層一。(b) 金屬層二。

3.3.3 模擬與量測分析

此次模擬採用IE3D，為EM的模擬軟體，模擬時將變壓器視為兩埠元件，模擬結果將有傳輸係數S21(Transmission Coefficient)以及耦合係數K，量測透過國科會國家奈米元件實驗室(NDL)提供的高頻S參數網路分析儀。將S參數轉為Z參數， $K = \frac{M}{\sqrt{L_1 L_2}}$ ， L_1 與 L_2 為分別為 $\text{Im}[Z_{11}]$ ， $\text{Im}[Z_{22}]$ ， M 為 $\text{Im}[Z_{21}]$ 。且 $L_1 = L_{L1} + M$ ， $L_2 = L_{L2} + M$ ， L_{L1} 與 L_{L2} 為leakage inductance(參考文獻8)。

架構1. 堆疊變壓器(Stack Transformer)，每層圈數為5。圖3-30為模擬與量測的傳輸係數 S_{21} ，圖3-31為模擬與量測耦合係數 K 。

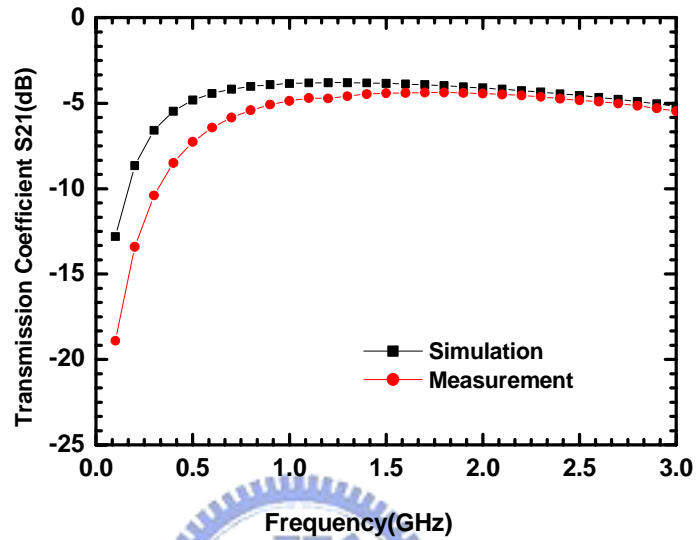


圖3-30 架構1模擬與量測的傳輸係數 S_{21} (Transmission Coefficient)

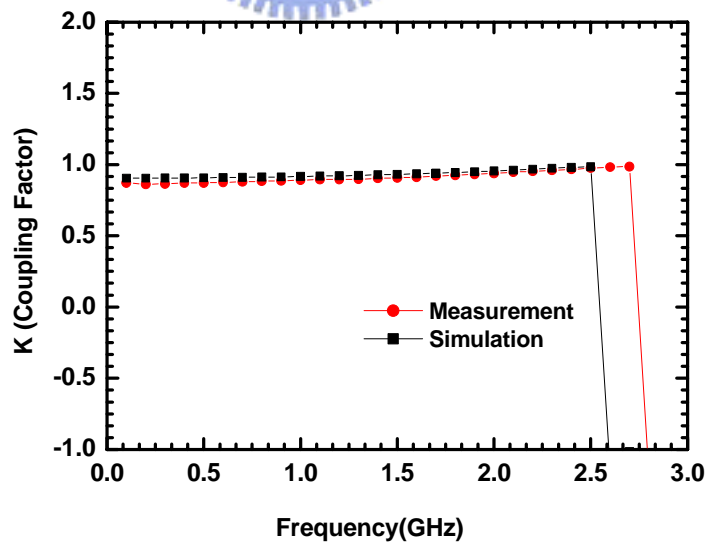


圖3-31 架構1模擬與量測耦合係數 K (Coupling Factor)

架構2. 堆疊變壓器(Stack Transformer)，每層圈數為4。圖3-32為模擬與量測的傳輸係數 S_{21} ，圖3-33為模擬與量測耦合係數 K 。

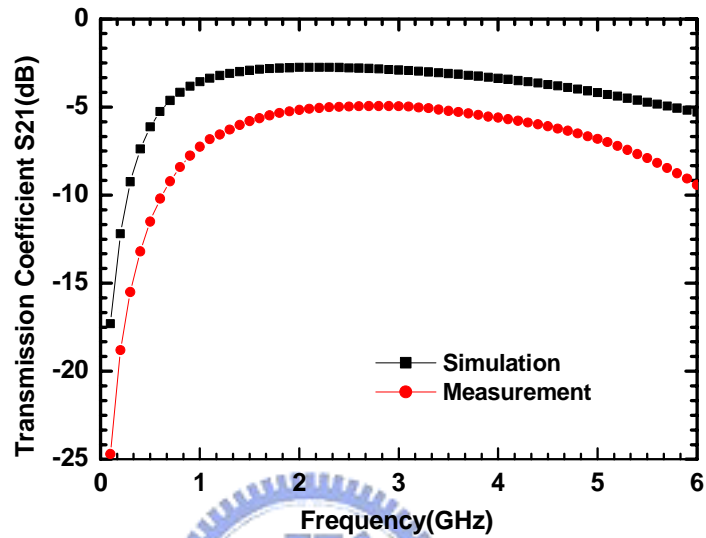


圖3-32 架構2模擬與量測的傳輸係數 S_{21} (Transmission Coefficient)

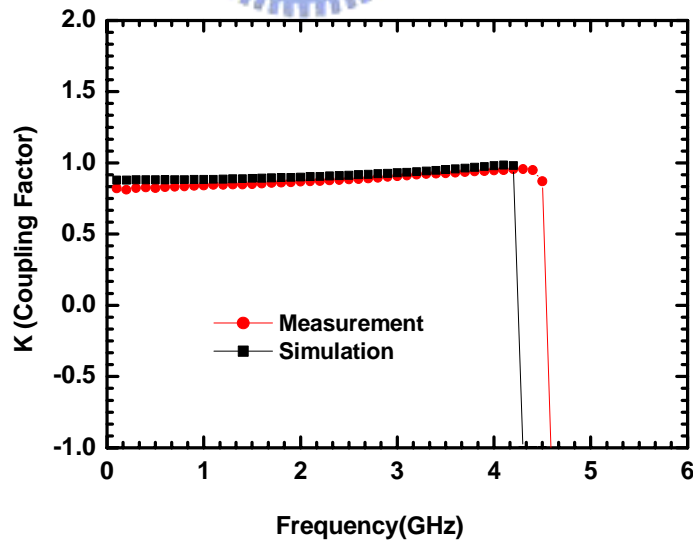


圖3-33 架構2模擬與量測耦合係數 K (Coupling Factor)

架構3. 堆疊變壓器(Stack Transformer)，每層圈數為4。圖3-34為模擬與量測的傳輸係數 S_{21} ，圖3-35為模擬與量測耦合係數 K 。

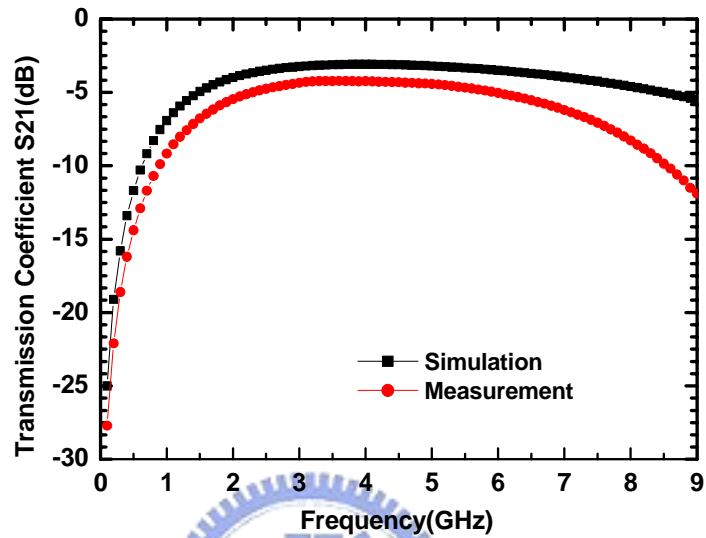


圖3-34 架構3模擬與量測的傳輸係數 S_{21} (Transmission Coefficient)

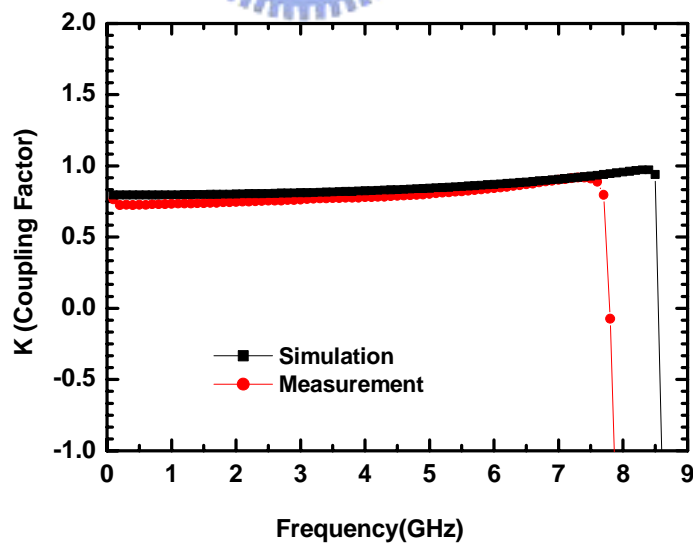


圖3-35 架構3模擬與量測耦合係數 K (Coupling Factor)

架構4. 耦合變壓器(Coupling Transformer)，每層圈數為3。圖3-36為模擬與量測的傳輸係數 S_{21} ，圖3-37為模擬與量測耦合係數 K 。

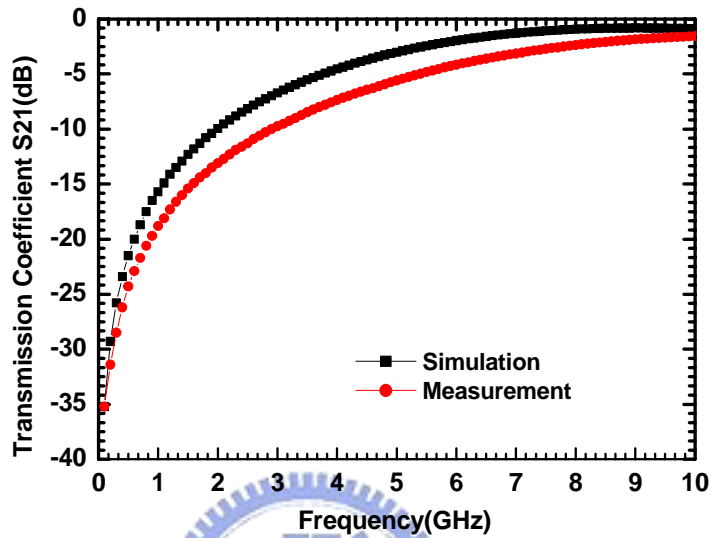


圖3-36 架構4模擬與量測的傳輸係數 S_{21} (Transmission Coefficient)

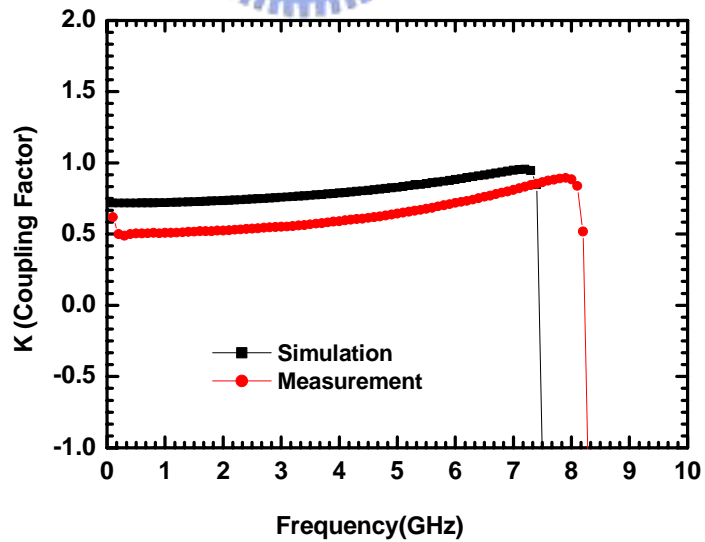


圖3-37 架構4模擬與量測耦合係數 K (Coupling Factor)

架構5. 耦合變壓器(Coupling Transformer)，每層圈數為4。圖3-38為模擬與量測的傳輸係數 S_{21} ，圖3-39為模擬與量測耦合係數 K 。

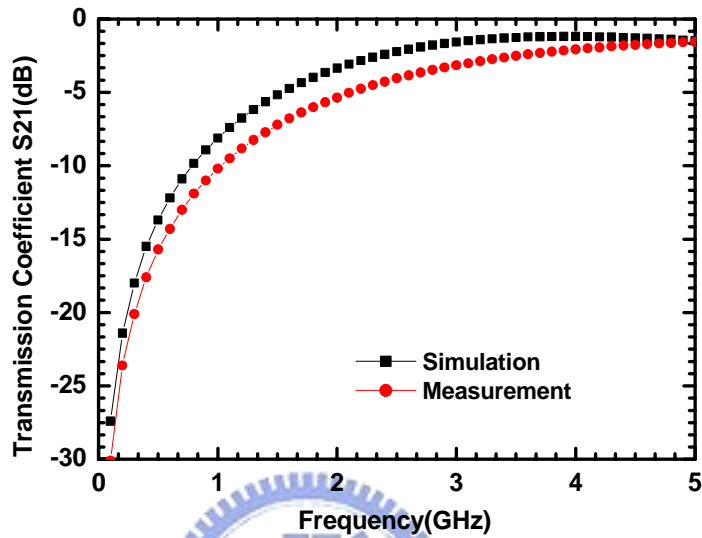


圖3-38 架構5模擬與量測的傳輸係數 S_{21} (Transmission Coefficient)

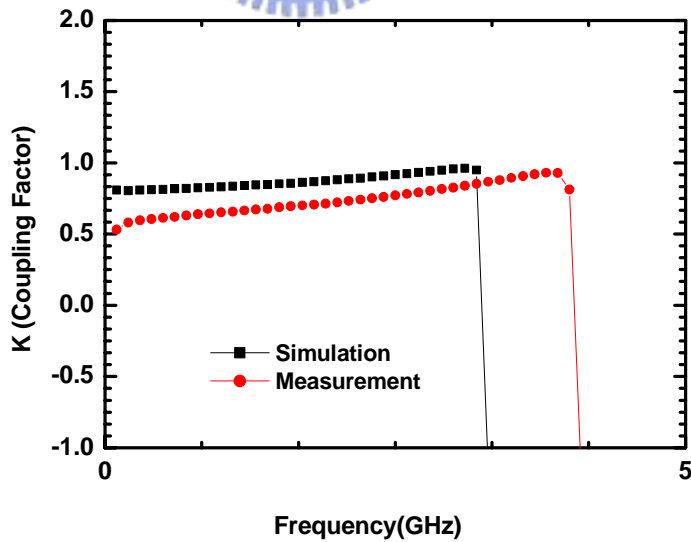


圖3-39 架構5模擬與量測耦合係數 K (Coupling Factor)

架構6. 交錯變壓器(Interleave Transformer)，每層圈數為3。圖3-40為模擬與量測的傳輸係數 S_{21} ，圖3-41為模擬與量測耦合係數 K 。

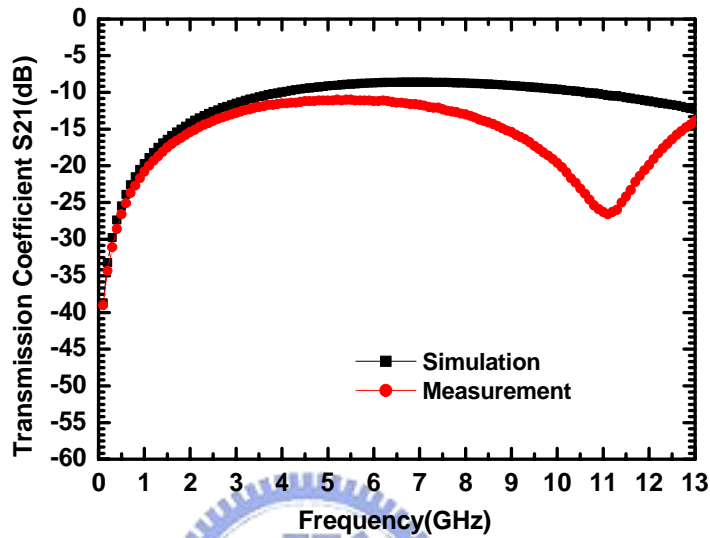


圖3-40 架構6模擬與量測的傳輸係數 S_{21} (Transmission Coefficient)

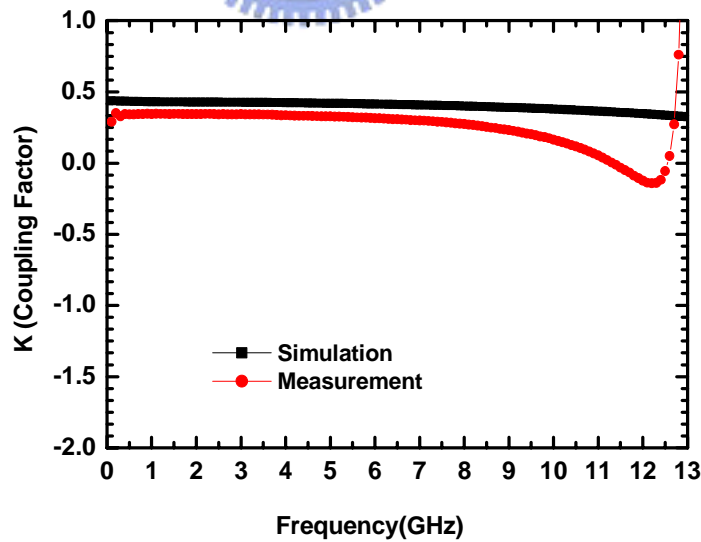


圖3-41 架構6模擬與量測耦合係數 K (Coupling Factor)

架構7. 對稱變壓器(Symmetric Transformer)，每層圈數為3。圖3-42為模擬與量測的傳輸係數 S_{21} ，圖3-43為模擬與量測耦合係數 K 。

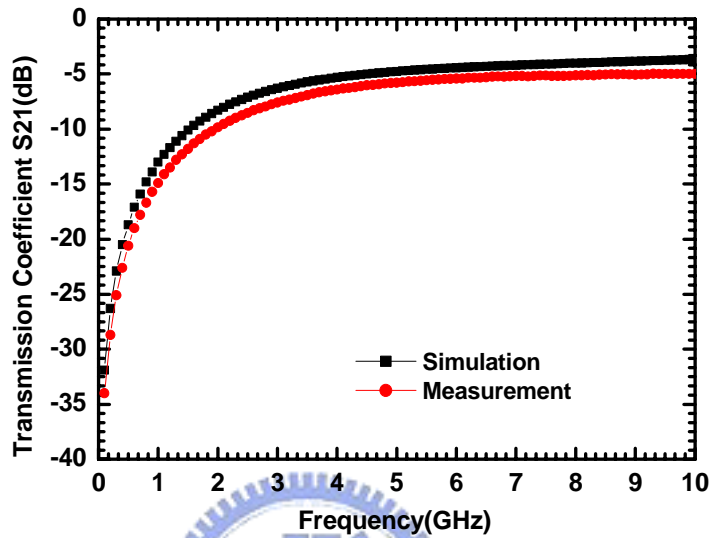


圖3-42 架構7模擬與量測的傳輸係數 S_{21} (Transmission Coefficient)

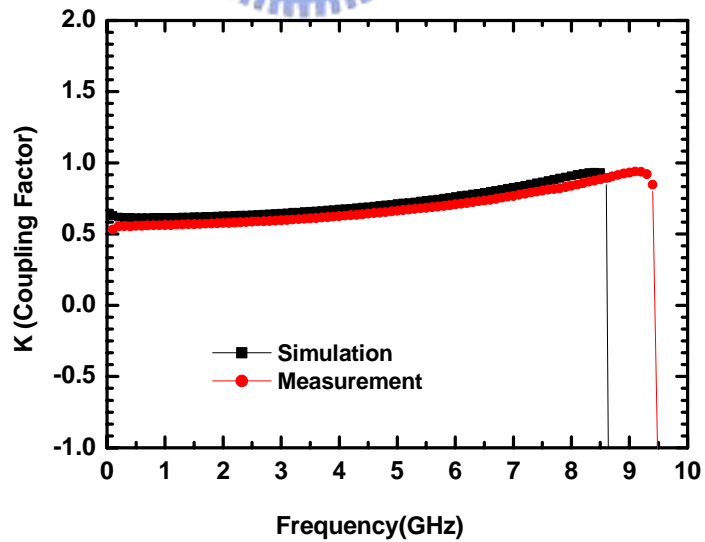


圖3-43 架構7模擬與量測耦合係數 K (Coupling Factor)

3.3.4 變壓器結論

實現了四種不同繞法的變壓器。架構1及2，雖有很高的耦合係數但是可用的頻率卻很窄，因為圈數太多造成金屬間的耦合電容增加，使得共振頻率下降。而從架構3與架構6比較，交錯變壓器的耦合係數比起堆疊變壓器低很多。也說明了堆疊式的繞法比交錯堆疊式的繞法提供更好耦合係數。變壓器的實現，對於射頻電路的實現，將有大大的幫助。圖3-44為變壓器晶片的diephoto。表3-2為變壓器架構對照表。而變壓器的等效模型，請參考附錄（三）。

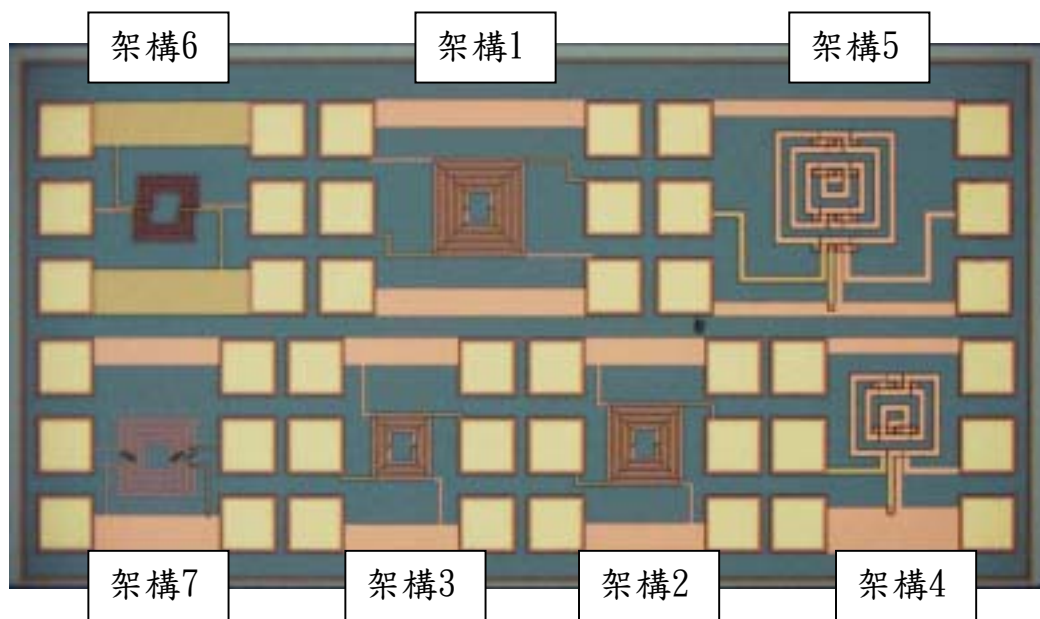
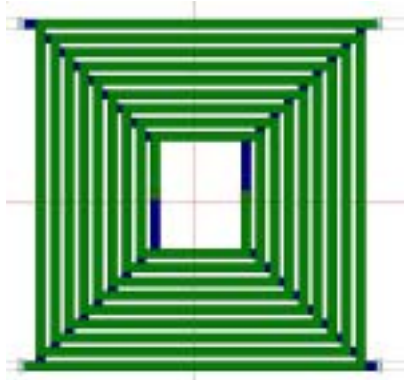
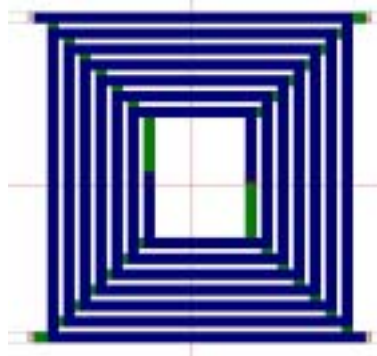


圖3-44 變壓器晶片的diephoto

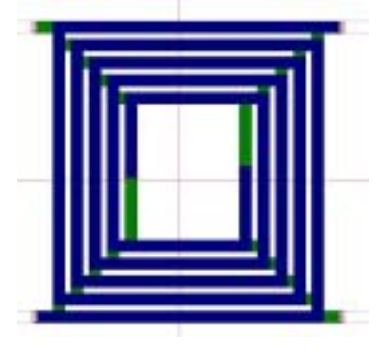
表3-2 變壓器架構對照表



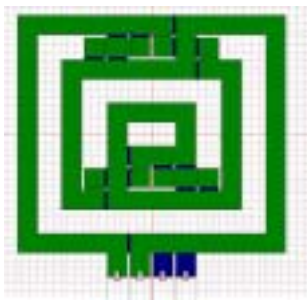
架構1



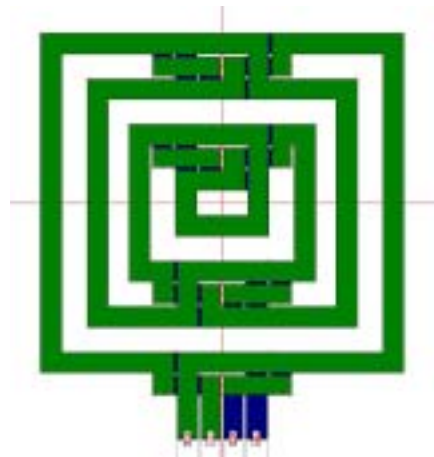
架構2



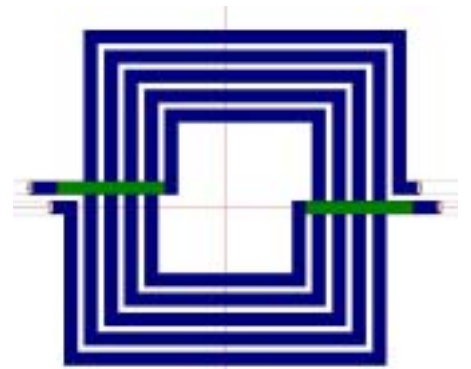
架構3



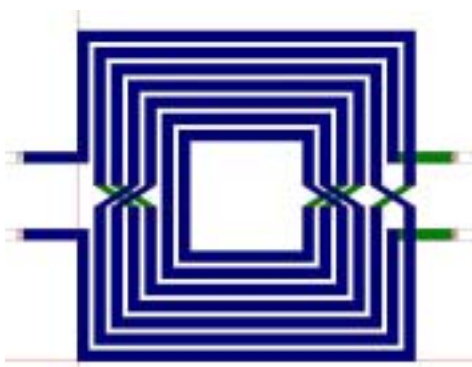
架構4



架構5



架構6



架構7

第四章

低雜訊放大器設計

(低雜訊放大器內部有無共軛匹配之研究)



4.1 簡介

本章將探討低雜訊放大器的電路設計與實作，傳統疊接式低雜訊放大器，在共射極電感退化架構放大器架構 (inductor degeneration) 以及共基極之間並無內部共軛匹配 (Inter-Stage Conjugate Matching)，但是內部共軛匹配對於疊接式低雜訊放大器有著明顯的影響。所以在後面的章節將討論內部共軛匹配之於疊接式低雜訊放大器的分析。

4.2 低雜訊放大器架構簡介

在射頻前端電路的最前級就是一個典型的低雜訊放大器，由於信號在空氣中傳遞會有許多雜訊干擾，且信號的能量會大量的衰減，到達接收端時信

號會變得相當小且與雜訊混在一起。因此低雜訊放大器必須提供足夠的增益 (gain) 以解決由下一級電路如混頻器所造成的雜訊問題。而除了提供增益外，低雜訊放大器本身必須提供相當低的雜訊貢獻度 (noise contribution)，如此才不會使整體通訊系統之雜訊表現太差。

在接收機架構中，通常在低雜訊放大器前會有一個頻率選擇濾波器，其輸出是50歐姆，所以低雜訊放大器輸入阻抗也要匹配到50歐姆。此外，由於電晶體的輸入阻抗為電容性，因此要同時讓輸入端匹配至50歐姆並且不降低雜訊指數是很困難的。而以下介紹一低雜訊放大器常用的架構——共射極電感退化架構放大器架構 (inductor degeneration)。在分析這個電路之前，我們先提一下RLC共振網路。圖4-1是RLC串聯共振網路的模型，在共振時其共振頻率為：

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

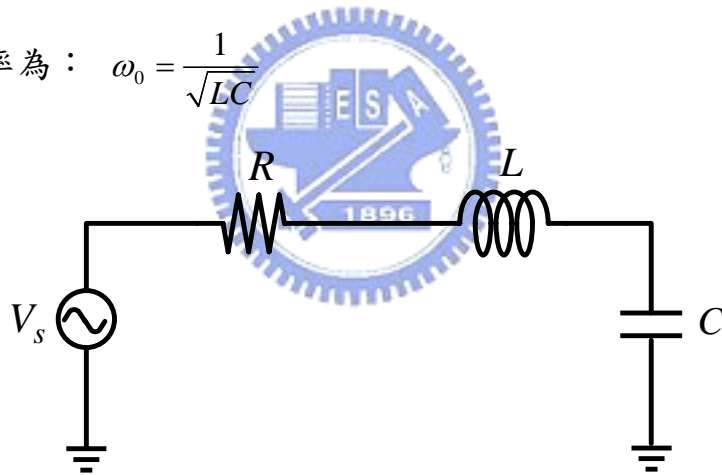


圖 4-1 RLC 串聯共振網路模型

圖4-2(a)中，為共射極電感退化架構放大器架構 (Inductor Degeneration)。在設計低雜訊放大器的輸入匹配網路 (Input Matching Network) 時並不是匹配到最大之增益而是最小之雜訊指數，這是因為低雜訊放大器為接收系統的前級，因此其雜訊越小越好，然而其增益也是非常重

要，因為高增益可以降低低雜訊放大器後級電路之雜訊，所以在設計低雜訊放大器時得在高增益和低雜訊指數之間作取捨，通常設計者在設計時會使用共射極電感退化架構來實現電路，這是因為共射極電感退化架構除了可以容易達成輸入匹配之外，還有將增益圓和雜訊圓拉近的功能，可使得低雜訊放大器能同時擁有不錯的增益以及雜訊指數。而其缺點為必須犧牲一些益。在圖4-2(b)中，由共射極電感退化架構之基極看進去的阻抗為：

$$Z_{in} = sL_b + \frac{1}{sC_\pi} + \left(1 + g_m \frac{1}{sC_\pi}\right) sL_e = s(L_b + L_e) + \frac{1}{sC_\pi} + g_m \frac{L_e}{C_\pi}$$

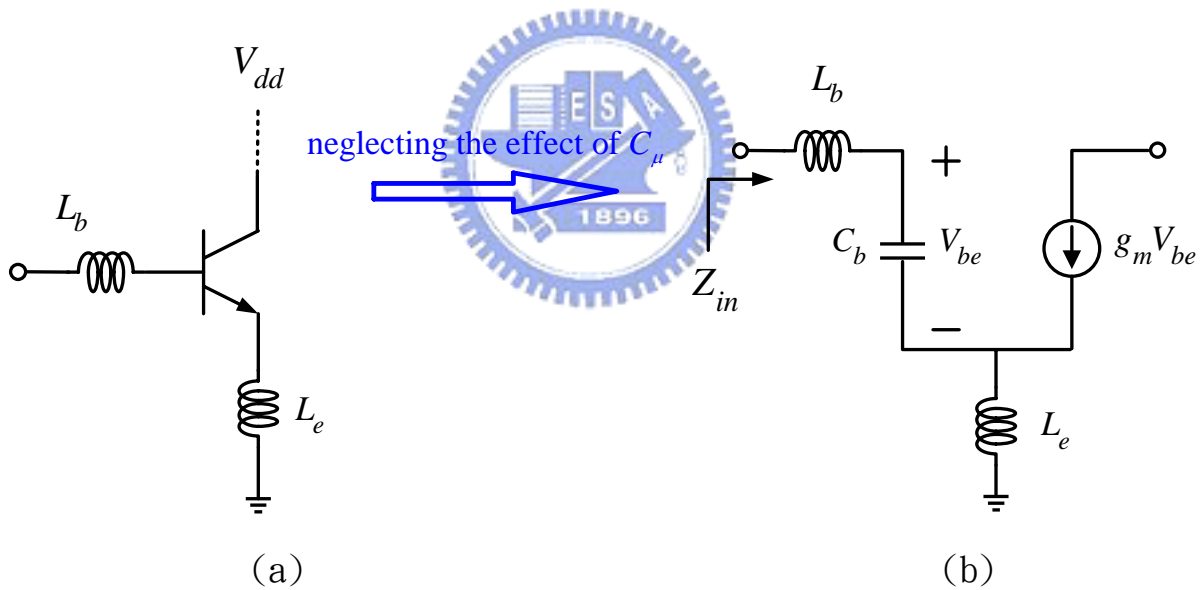


圖4-2為共射極電感退化架構放大器架構
(Inductor Degeneration)

我們可以把輸入端之網路轉換成下圖之RLC串聯共振網路，如圖4-3：

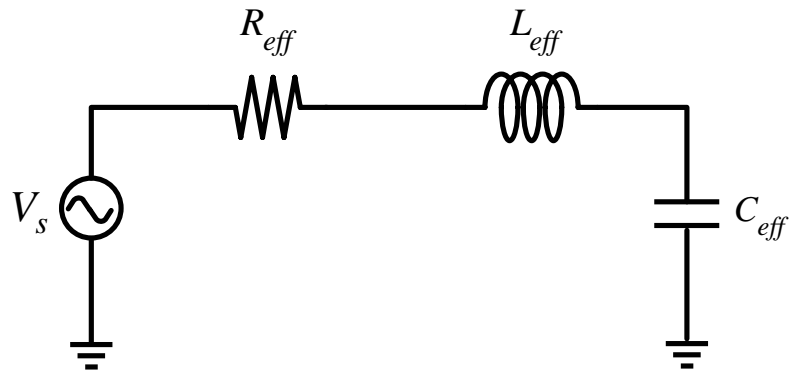


圖 4-3 等效之串聯共振網路

其中， $R_{eff} = g_m \frac{L_e}{C_\pi}$ ， $L_{eff} = L_b + L_e$ 。

輸入端阻抗必須匹配 50 歐姆，因此 Z_{in} 之實部為 50 歐姆，虛部為 0。則：

$$\omega_0 = \frac{1}{\sqrt{(L_b + L_e)C_\pi}}$$

$$R_s = g_m \frac{L_e}{C_\pi} = 50\Omega$$

由上兩式便可以得到當阻抗匹配時，所需的 L_e 、 L_b 和 g_m 值。



4.3 電路設計方法

由於低雜訊放大器除了需要足夠的增益，以抑制後級之雜訊指數外，本身的雜訊也是其設計的重要考量之一。因此我們必須利用已知的元件特性條件（偏壓條件、S參數和雜訊參數）來設計低雜訊放大器，如此才可利用模擬軟體準確預測出低雜訊放大器之特性，如：增益、輸入反射係數、輸出反射係數和雜訊指數等。因此實驗室透過國家晶片系統設計中心（CIC）提供的GCT InGap/GaAS HBT製程，下主動元件測試鍵(test kit)如圖4-4，在經由國科會國家奈米元件實驗室（NDL）的元件雜訊指數量測，得到電晶體的S

參數 (S parameter)，最低的雜訊指數(Fmin)，相關增益(Associated Gain)，雜訊電阻(Rn)，以及最佳的輸入端反射係數(Γ_{opt})。圖4-5即為 NPN InGap/GaAS HBT，Q2p4x3x2 (即每根的emitter Size= $2.4 \times 3 \mu m$ ，共兩根 Emitter)的雜訊參數量測資料，包括了Fmin，Rn，Associated Gain。

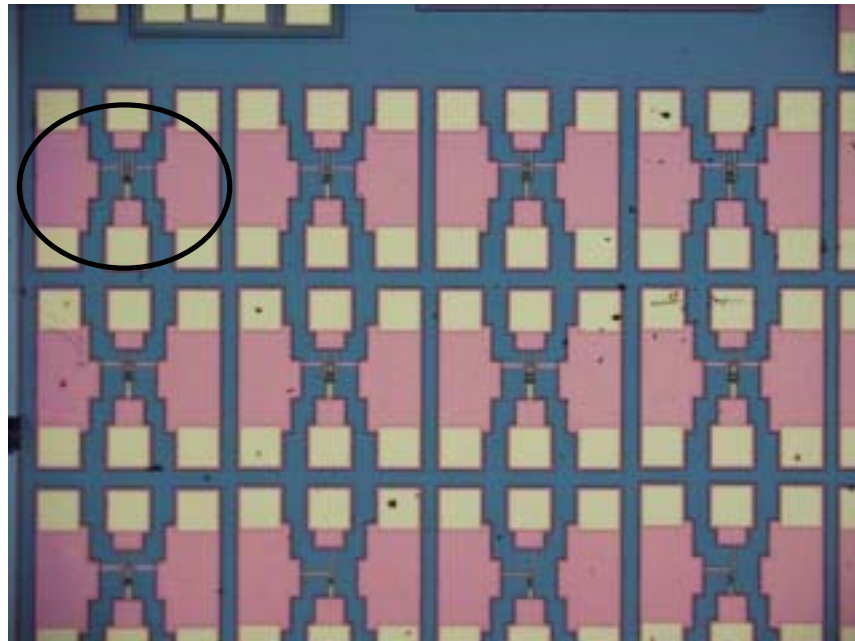


圖 4-4 NPN InGap/GaAS HBT 測試鍵
(圖中圈選處為 Q2p4x3x2 的電晶體)

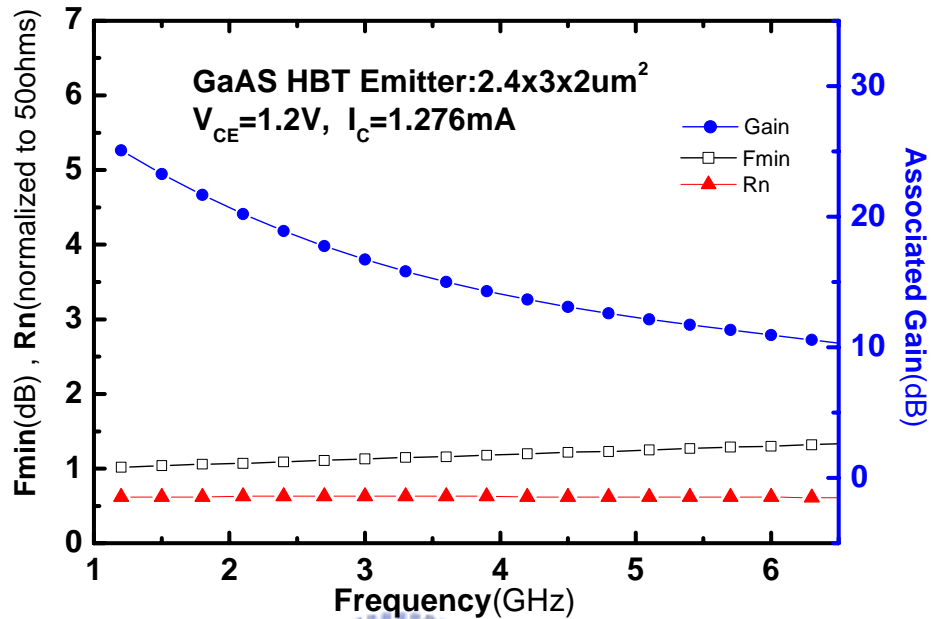


圖4-5 Q2p4x3x2的Fmin，Rn，Associated Gain

本次設計低雜訊放大器，所採用的架構是疊接式低雜訊放大器，即第一級為共射極電感退化架構加上第二級的共基極電路。第二級共基極電路可以降低米勒效應(Miller Effect)。並提供很好的隔絕度 (Good Isolation) 降低下一級混頻器 (Mixer) 所產生的本地訊號的洩漏 (LO Leakage)。由於在設計低雜訊放大器的輸入匹配網路時並不是匹配到最大之增益而是匹配到最小之雜訊指數，這是因為低雜訊放大器為接收系統的前級，因此其雜訊越小越好，但是其增益也是非常重要，因為高增益可以降低低雜訊放大器後級電路之雜訊，所以在設計低雜訊放大器時得在高增益和低雜訊指數間作取捨，通常設計者在設計時會使用共射極電感退化架構來實現電路，如先前所述的共射極電感退化架構電路。

接著我們介紹如何利用電晶體之已知偏壓點的S參數和雜訊參數的資料來設計一低雜訊放大器。首先，先將量測電晶體之S參數和雜訊參數整合成一S2P檔如圖4-6。如下：

```

#GHZ S MA R 50
! Freq S11 Mag S11 Ang S21 Mag S21 Ang S12 Mag S12 Ang S22 Mag S22 Ang
1.2000 .932 -16.6 3.595 165.9 .028 85.1 .993 -7.9
1.5000 .924 -20.7 3.544 162.8 .039 81.0 .985 -10.0
1.8000 .913 -24.5 3.518 158.8 .044 75.3 .978 -11.8
2.1000 .907 -28.6 3.521 155.5 .050 72.4 .973 -13.7
2.4000 .896 -32.3 3.414 152.1 .056 70.7 .966 -15.4
2.7000 .889 -36.0 3.372 149.1 .062 68.3 .956 -17.2
3.0000 .876 -39.6 3.327 145.9 .067 66.6 .946 -18.9
3.3000 .867 -43.3 3.258 142.8 .072 64.7 .940 -20.6
3.6000 .856 -46.9 3.203 139.6 .078 64.0 .931 -22.4
3.9000 .840 -50.4 3.128 136.5 .085 62.8 .920 -24.0
4.2000 .826 -54.1 3.075 133.4 .092 59.9 .902 -25.7
4.5000 .814 -57.0 2.995 131.0 .098 57.4 .891 -27.1
4.8000 .800 -60.1 2.938 128.2 .102 54.9 .880 -28.4
5.1000 .789 -63.3 2.883 125.9 .107 52.5 .870 -29.6
5.4000 .775 -66.2 2.807 123.2 .110 50.3 .860 -30.8
5.7000 .763 -68.6 2.694 121.0 .114 48.6 .852 -31.7
6.0000 .755 -71.6 2.688 118.3 .117 46.8 .838 -33.1
6.3000 .742 -74.6 2.629 116.1 .120 44.8 .830 -34.3
6.6000 .726 -77.3 2.570 113.8 .123 43.3 .823 -35.4
6.9000 .722 -79.3 2.503 111.4 .126 41.9 .814 -36.4
7.2000 .709 -82.3 2.468 109.1 .128 40.3 .804 -37.5

!Noise
#GHz nf db mag ang resistance
1.2000 1.82 .690 6.1 .62 25.07
1.5000 1.84 .690 7.8 .62 23.27
1.8000 1.86 .690 9.4 .62 21.66
2.1000 1.87 .689 11.0 .63 20.21
2.4000 1.89 .687 12.4 .63 18.91
2.7000 1.11 .685 13.8 .63 17.75
3.0000 1.13 .682 15.1 .63 16.72
3.3000 1.15 .679 16.4 .63 15.81
3.6000 1.16 .675 17.7 .63 15.00
3.9000 1.18 .671 18.9 .63 14.29
4.2000 1.20 .667 20.2 .62 13.66
4.5000 1.22 .662 21.4 .62 13.10
4.8000 1.23 .658 22.6 .62 12.60
5.1000 1.25 .653 23.9 .62 12.14
5.4000 1.27 .649 25.2 .62 11.73
5.7000 1.29 .644 26.5 .62 11.33
6.0000 1.30 .640 27.9 .62 10.95
6.3000 1.32 .636 29.3 .61 10.57
6.6000 1.34 .632 30.8 .61 10.18
6.9000 1.36 .629 32.4 .61 9.76
7.2000 1.37 .626 34.1 .61 9.31
    
```

圖 4-6 S2P file

利用S2P檔，透過ADS模擬軟體，模擬出疊接式低雜訊放大器（不包括輸入以及輸出匹配網路）的穩定圓藉以判斷穩度。由於疊接式架構並不穩定，所以在輸出端並聯一電阻，使穩定度達到無條件穩定（Unconditional

Stable)，電阻是並聯到Vdd而非到地。如此一來可以使電路達到無條件穩定且直流時因為和匹配電感並聯，所以並不會消耗直流功率，但此一穩定電阻不可加在輸入端，因為會造成額外熱雜訊 (Thermal Noise) 且降低增益。圖4-7為在5.2GHz的穩定圓。穩定區域為穩定圓的外部 (outside) 涵蓋了整個史密斯圖 (Smith Chart)，所以可以確定在5.2GHz為無條件穩定。圖4-8為低頻到所操作的頻率5.2GHz皆為無條件穩定 ($K>1$, $B>0$)。

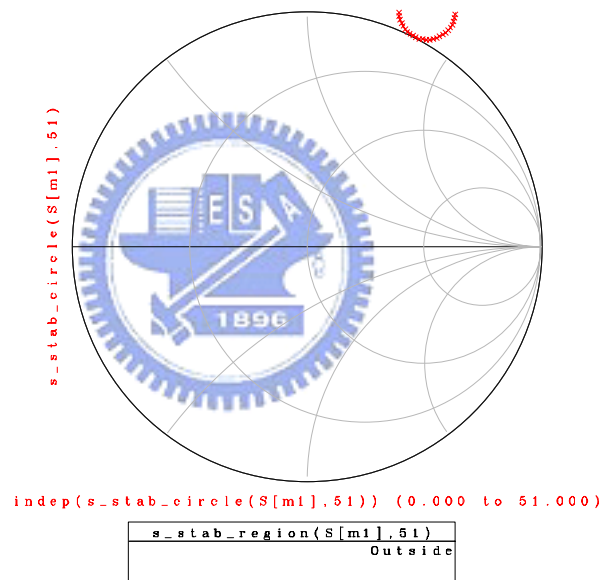


圖4-7 疊接式架構的穩定圓。

freq	StabFact1	StabMeas1	freq	StabFact1	StabMeas1
1.000GHz	20.529	0.517	3.600GHz	1.913	0.390
1.100GHz	18.935	0.514	3.700GHz	1.867	0.383
1.200GHz	14.298	0.511	3.800GHz	1.819	0.377
1.300GHz	12.282	0.509	3.900GHz	1.770	0.370
1.400GHz	10.689	0.507	4.000GHz	1.701	0.366
1.500GHz	9.396	0.504	4.100GHz	1.633	0.361
1.600GHz	8.509	0.502	4.200GHz	1.585	0.357
1.700GHz	7.718	0.500	4.300GHz	1.509	0.353
1.800GHz	7.006	0.498	4.400GHz	1.454	0.348
1.900GHz	6.320	0.495	4.500GHz	1.400	0.343
2.000GHz	5.715	0.492	4.600GHz	1.340	0.337
2.100GHz	5.179	0.488	4.700GHz	1.278	0.331
2.200GHz	4.782	0.482	4.800GHz	1.216	0.324
2.300GHz	4.424	0.476	4.900GHz	1.187	0.320
2.400GHz	4.099	0.470	5.000GHz	1.157	0.316
2.500GHz	3.759	0.465	5.100GHz	1.127	0.312
2.600GHz	3.453	0.460	5.200GHz	1.067	0.304
2.700GHz	3.175	0.455	5.300GHz	1.008	0.295
2.800GHz	3.067	0.449	5.400GHz	0.950	0.287
2.900GHz	2.962	0.443	5.500GHz	0.915	0.280
3.000GHz	2.858	0.437	5.600GHz	0.881	0.272
3.100GHz	2.658	0.430	5.700GHz	0.848	0.264
3.200GHz	2.471	0.422	5.800GHz	0.781	0.256
3.300GHz	2.297	0.415	5.900GHz	0.715	0.251
3.400GHz	2.163	0.407	6.000GHz	0.651	0.245
3.500GHz	2.035	0.399	6.100GHz	0.599	0.236
3.600GHz	1.913	0.390	6.200GHz	0.548	0.227

圖4-8低頻到所操作的頻率5.2GHz皆為無條件穩定 ($K>1$, $B>0$)

完成了穩定度，接者設計輸入匹配網路(Input Matching Network)，由於輸入端的匹配必須讓電路同時有不錯的雜訊指數以及增益。所以透過雜訊圓以及增益圓的分析，選定適當的輸入端反射係數(Γ_s)。如圖4-9

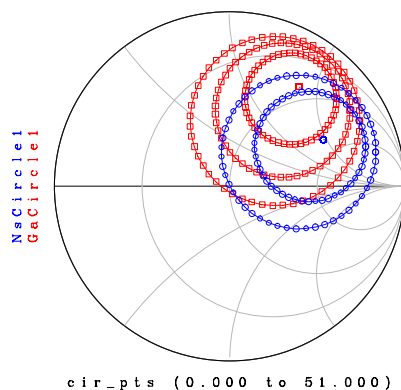


圖4-9 增益圓和雜訊圓

最後作輸出網路匹配 (Output Matching Network)，將輸出端匹配到 50 歐姆。圖 4-10 為整個低雜訊放大器的架構。

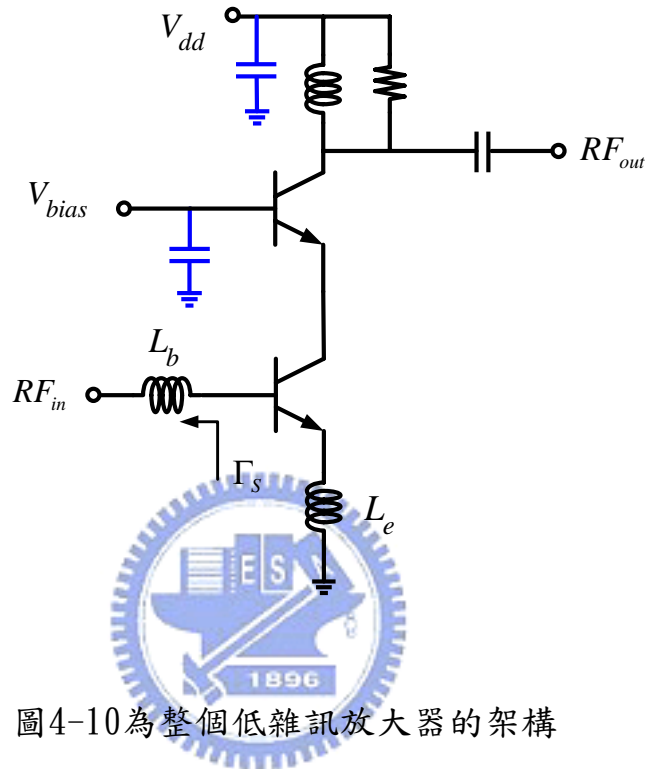


圖 4-10 為整個低雜訊放大器的架構

4.4 低雜訊放大器內部共軛匹配之研究

在射頻電路 (Radio Frequency Circuit) 中，功率增益 (Power Gain) 是非常重要的，為了達到最好的功率轉換 (Power Transform)，在兩級的主動電路之間的阻抗轉換 (Impedance Transform) 必須做到共軛匹配 (Conjugate Matching)。但是傳統疊接式的低雜訊放大器在第一級的共射極電感退化架構與第二級共基極架構之間，沒有額外的阻抗匹配。所以並沒有達到最佳的功率轉換。

因此為了讓疊接式的低雜訊放大器的第一級與第二級之間達到最佳的功

率轉換，加上了內部匹配(Inter-Stage Matching)。本次透過過國家晶片系統設計中心 (CIC) 提供的GCT InGap/GaAS HBT製程，設計了兩顆5.2GHz低雜訊放大器，其中一為傳統疊接式低雜訊放大器，另一為疊接式的低雜訊放大器加上了內部匹配(Inter-Stage Matching)。比較兩電路在增益，雜訊指數，輸入反射損耗 (Input Return Loss)，以及輸出反射損耗 (Output Return Loss)。

首先，傳統疊接式低雜訊放大器的設計方法如上一節所述。內部匹配的低雜訊放大器方面，為了比較有無內部匹配對疊接式雜訊放大器的影響。所以只在傳統疊接式雜訊放大器第一級以及第二級之間作了內部匹配。對於電路的其他部分皆不改變。

圖4-11為疊接式低雜訊放大器小訊號分析電路。從第一級共射極電感退化架構的輸出端看到的阻抗 $Z_{out1} = \frac{1}{Y_{out1}}$ 為一高阻抗，而從第二級共基極架構的輸入端看到的阻抗 $Z_{in2} = \frac{1}{Y_{in2}}$ 為一低阻抗。所以利用並聯一個電容，在串聯一個電感作內部匹配，將阻抗 Z_{out1} 轉換成 Z_m ，使得所對應反射係數 Γ_m 成為 Γ_{in2} 共軛匹配 (即 $\Gamma_m = \Gamma_{in2}^*$) 如圖4-12。讓兩級之間有最佳的功率轉換。圖4-13即為有內部匹配的低雜訊放大器。在直流功率消耗方面，內部匹配電路沒有造成額外的直流功率消耗，且不改變電晶體偏壓點。

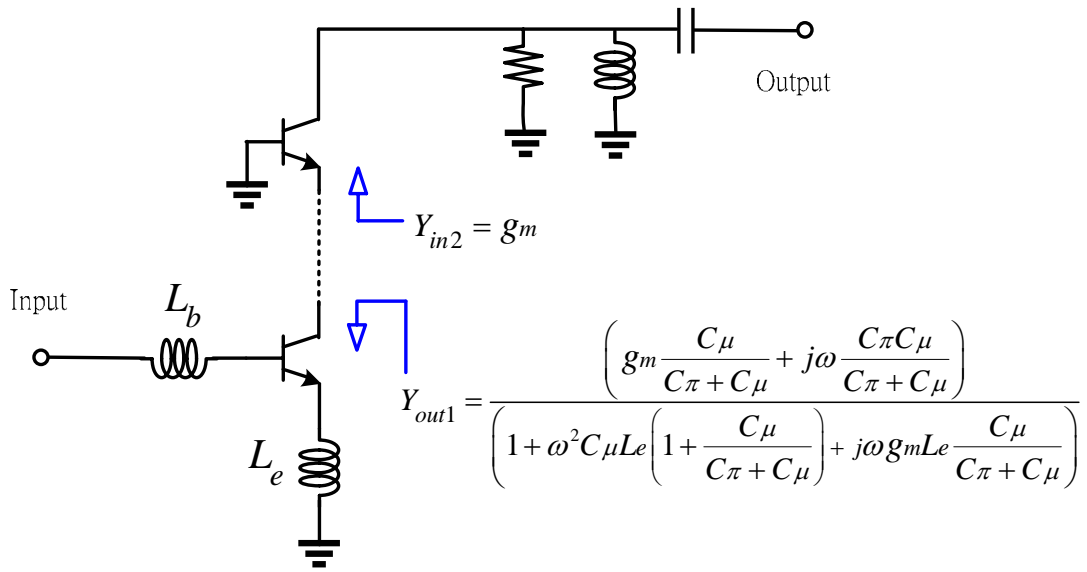


圖4-11 疊接式低雜訊放大器小訊號分析電路

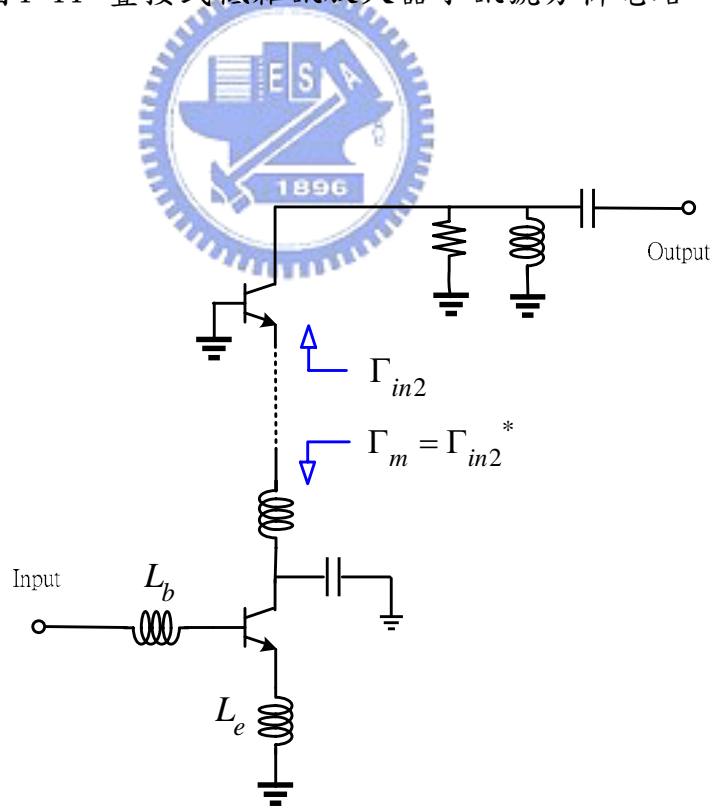


圖4-12 利用並聯一個電容，在串聯一個電感作內部匹配

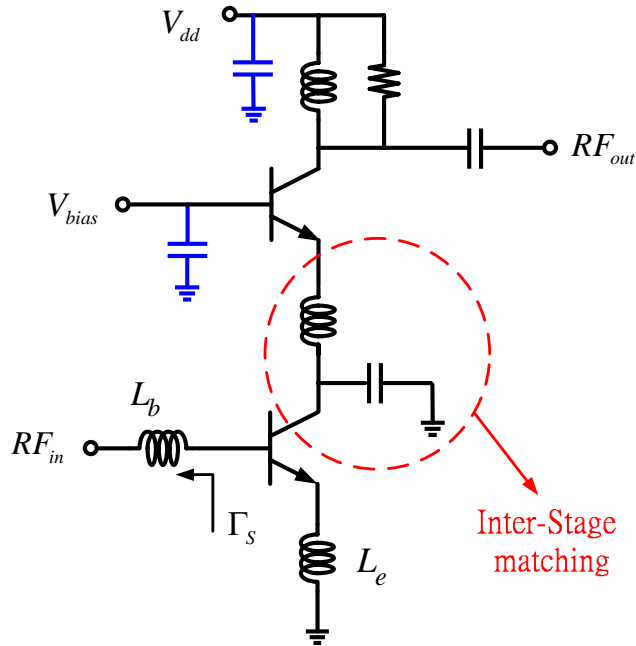
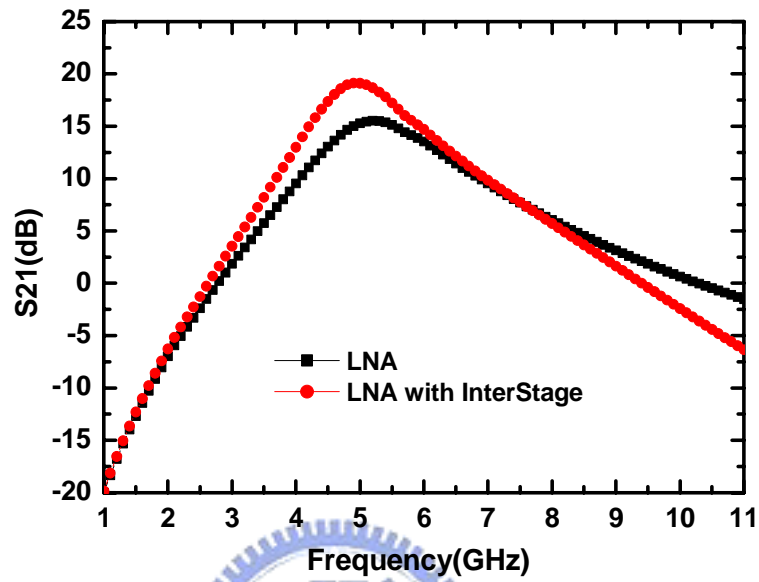


圖4-13 有內部匹配的低雜訊放大器

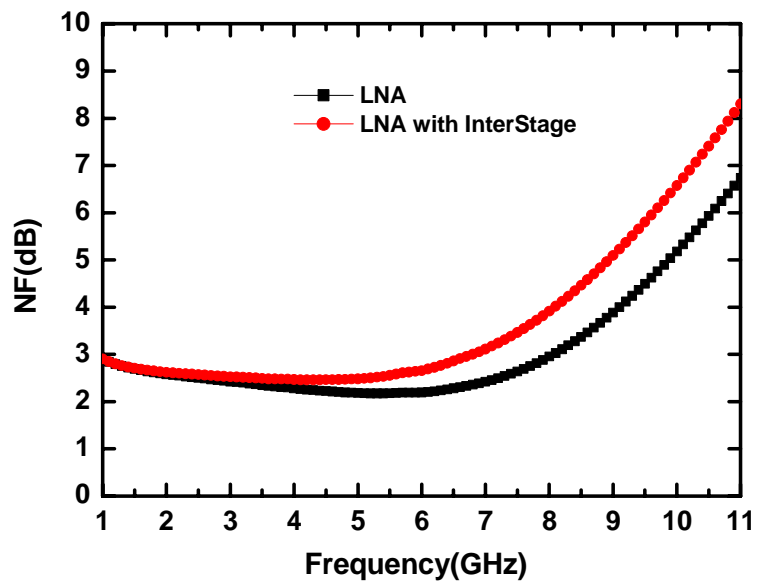
4.5 模擬結果分析

以下是 ADS 模擬數據，比較有無內部匹配 (Inter-Stage Matching) 的低雜訊放大器。預計有內部匹配低雜訊放大器，將會有比沒有加內部匹配的低雜訊放大器多 5dB 的增益 (S21) 如圖 4-14，但是在雜訊指數上升約 0.3dB 如圖 4-15，以及在輸入反射損耗 (S11) 差了 3dB 如圖 4-16。至於輸出反射損耗 (S22) 則是幾乎一樣如圖 4-17。由於內部匹配是共軛匹配所以在增益上會大大改善，但是由於電晶體不是單向化(unilateral)，即電晶體的 S12 不為零。所以共軛匹配會影響輸入匹配網路，造成輸入反射損耗以及雜訊指數的變化。輸出反射損耗由於共基極提供了很好的隔絕度，因此不會有明顯的變化。

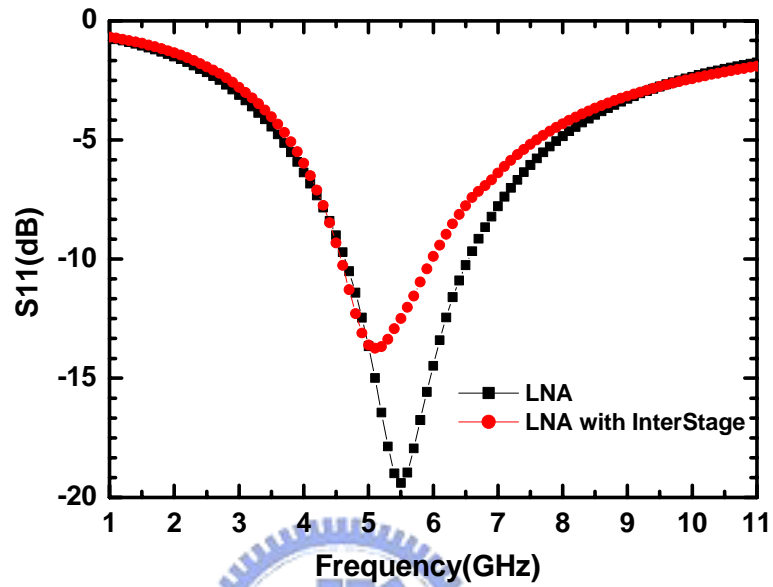
(1) 模擬功率增益 (S21) 圖 4-14



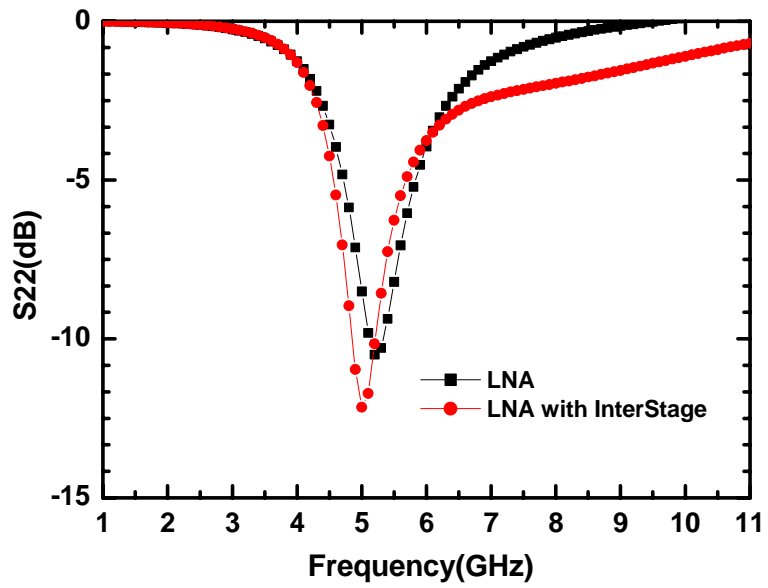
(2) 模擬雜訊指數 (NF) 圖 4-15



(3) 模擬輸入反射損耗 (S11) 圖 4-16



(4) 模擬輸出反射損耗 (S22) 圖 4-17



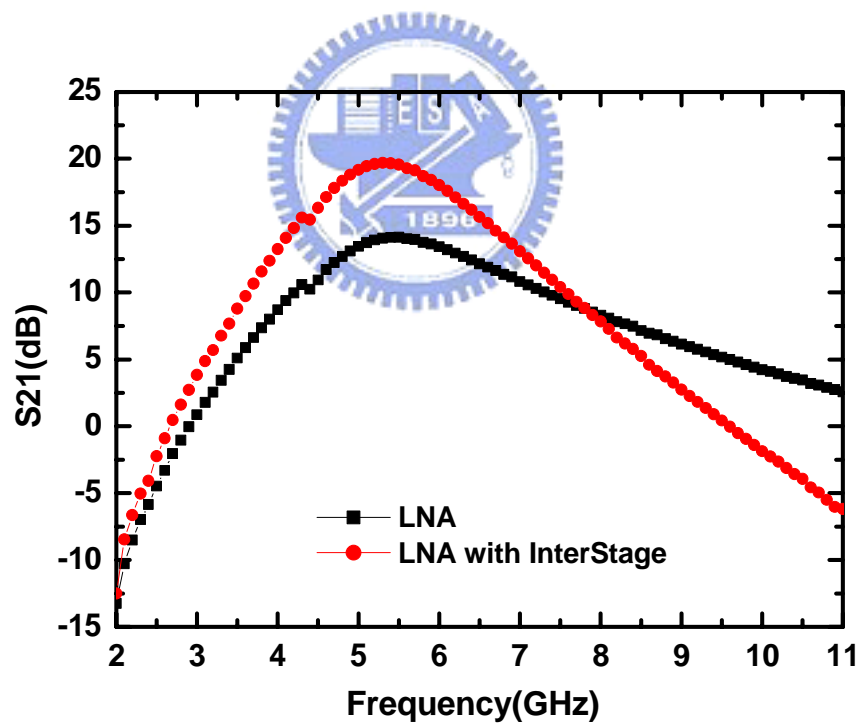
4.6 量測結果分析

低雜訊放大器的偏壓點在 $V_{B1}=1.35V$, $V_{B2}=2.55V$, $V_C=3.6V$, $I_C=2.22mA$
有內部匹配低雜訊放大器的偏壓點在 $V_{B1}=1.35V$, $V_{B2}=2.55V$, $V_C=3.6V$,
 $I_C=2.42mA$ 。

(1) 量測功率增益 (S_{21}) 圖 4-18

低雜訊放大器在5.2GHz時, $S_{21}=13.93dB$

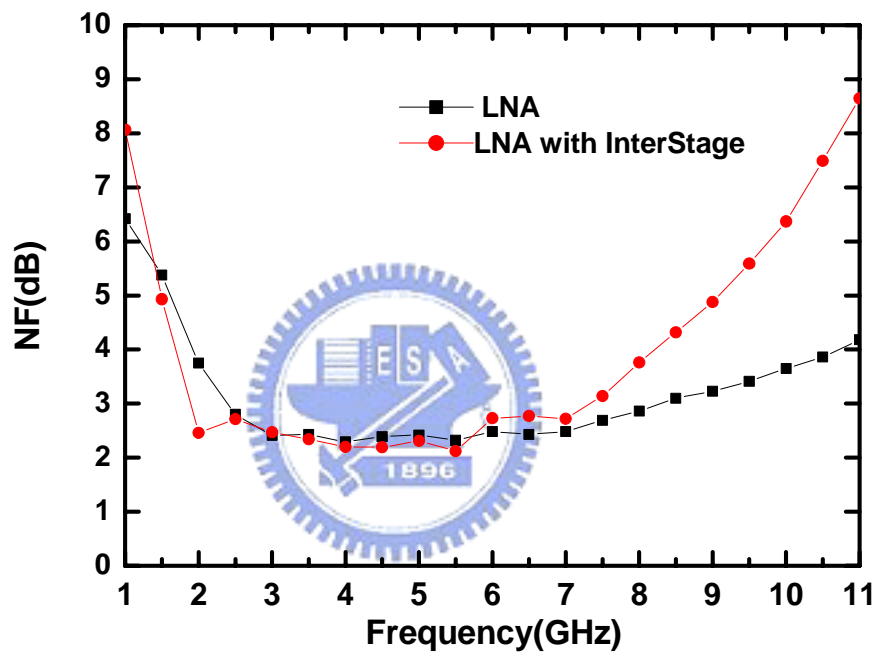
有內部匹配低雜訊放大器在5.2GHz時, $S_{21}=19.61dB$



(2) 量測雜訊指數 (NF) 圖 4-19

低雜訊放大器在5GHz時，NF=2.42dB

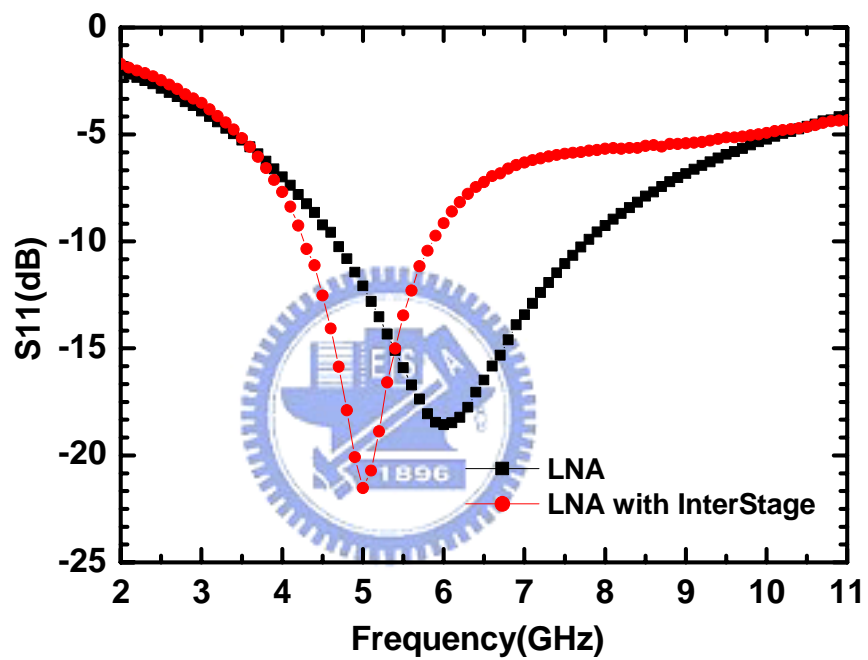
有內部匹配低雜訊放大器在5GHz時，NF=2.31dB



(3) 量測輸入反射損耗 (S11) 圖 4-20

低雜訊放大器在5.2GHz時， $S_{11}=-13.52\text{dB}$

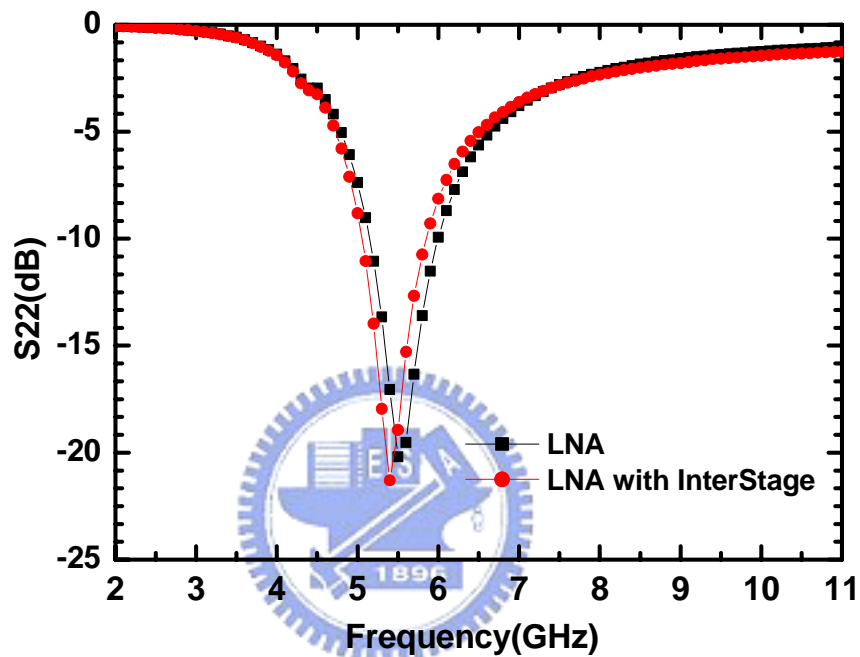
有內部匹配低雜訊放大器在5.2GHz時， $S_{11}=-18.87\text{dB}$



(4) 量測輸入反射損耗 (S22) 圖 4-21

低雜訊放大器在5.2GHz時， $S_{22}=-11.06\text{dB}$

有內部匹配低雜訊放大器在5.2GHz時， $S_{22}=-13.97\text{dB}$



4.7 低雜訊放大器結論

從量測結果來看，比較有無內部匹配 (Inter-Stage Matching) 的雜訊放大器。在 5.2GHz 時，內部匹配低雜訊放大器，比沒有加內部匹配的低雜訊放大器多 5.6dB 的增益 (S21) 如圖 4-18，在雜訊指數(NF)下降約 0.1dB 如圖 4-19，在輸入反射損耗 (S11) 好了 5.3dB 如圖 4-20。至於輸出反射損耗 (S22) 也好了約 3dB 如圖 4-21。透作了實作證明了內部匹配的確大大改善了低雜訊放大器的增益(S21)。表 4-1 為低雜訊放大器量測結論。圖 4-22 為低雜訊放大器的晶片照片。

表4-1 低雜訊放大器量測結論

量測項目	傳統疊接低雜訊放大器	內部匹配低雜訊放大器
工作頻率	5.2GHz	5.2GHz
偏壓點	$V_{B1}=1.35V$, $V_C=3.6V$, $I_C=2.22mA$	$V_{B1}=1.35V$, $V_C=3.6V$, $I_C=2.42mA$
功率消耗	8 mW	8.71 mW
輸入反射損耗(S11)	-13.52dB	-18.87dB
輸出反射損耗(S22)	-11.06dB	-13.97dB
功率增益(S21)	13.93dB	19.61dB
雜訊指數(NF)	2.42dB	2.31dB

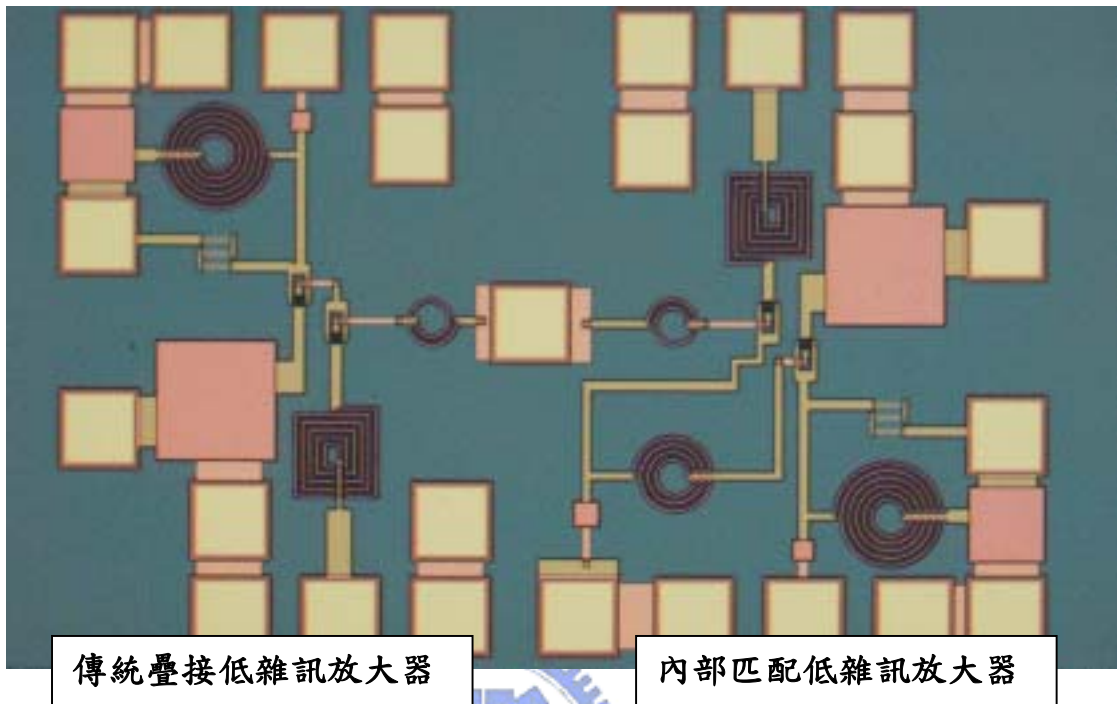


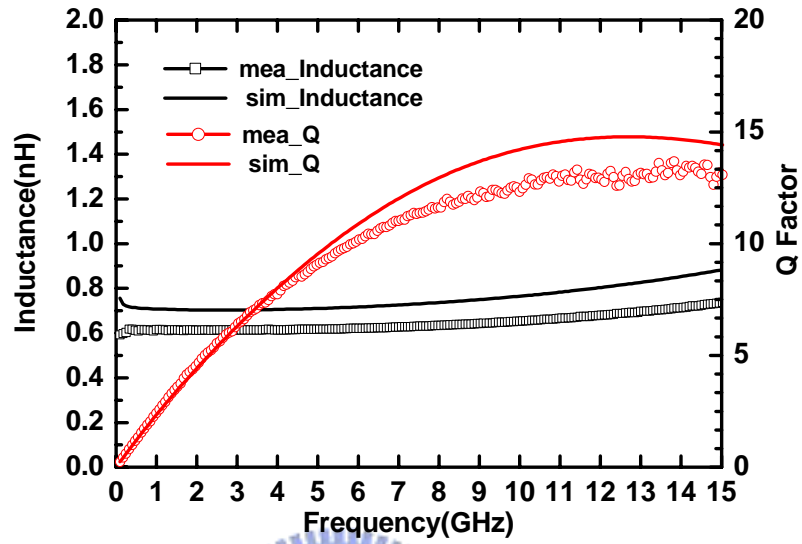
圖4-22 低雜訊放大器的晶片照片

第五章

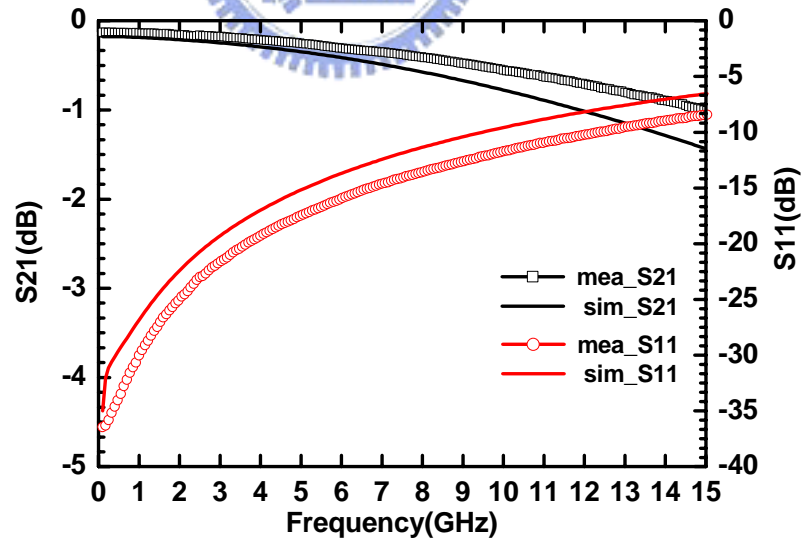
結論

電感的設計與實作，幫助我們更瞭解電感參數對電感感值以及 Q 值的影響，對於往後的電感設計或是電路實作時電感的挑選，都有實質的助益。變壓器在射頻積體電路的應用越來越廣泛，可以實現低電壓操作架構，功率結合(Power Combining)，阻抗匹配(Impedance Matching)，所以需要出高耦合係數的變壓器，我們也實現得四種不同的變壓器，瞭解不同繞法對耦合係數的影響。最後，在低雜訊放大器方面，分析了 S 參數與雜訊參數之間的關係，以及實現了傳統疊接低雜訊放大器以及內部匹配低雜訊放大器。並分析內部匹配對低雜訊放大器的影響，不管是模擬或實際量測都證明了內部匹配大大改善的低雜訊放大器的增益（約 5.6dB）。未來，內部匹配低雜訊放大器將更適合射頻積體電路的應用。

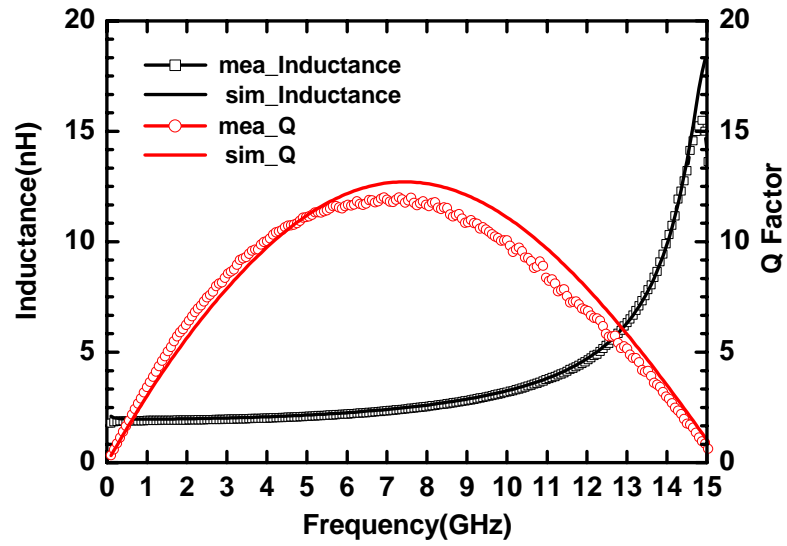
附錄 (一)



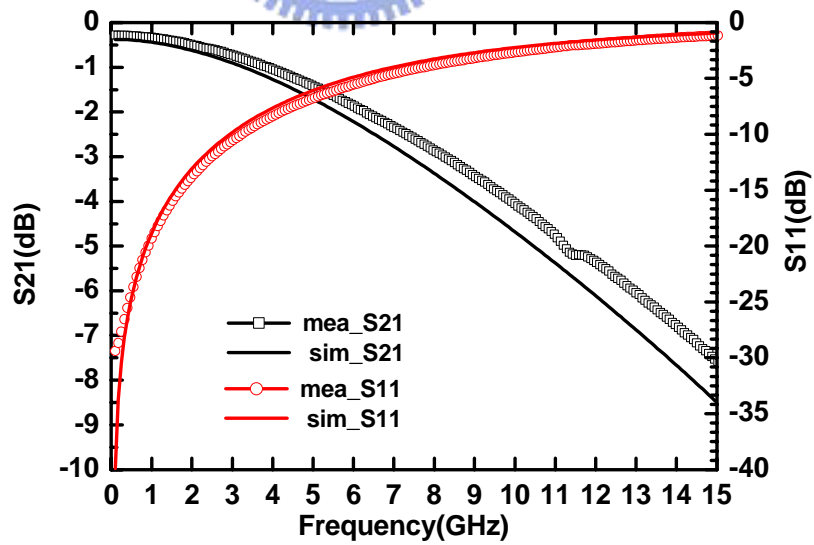
架構 1：模擬與量測的 Q 值與感值



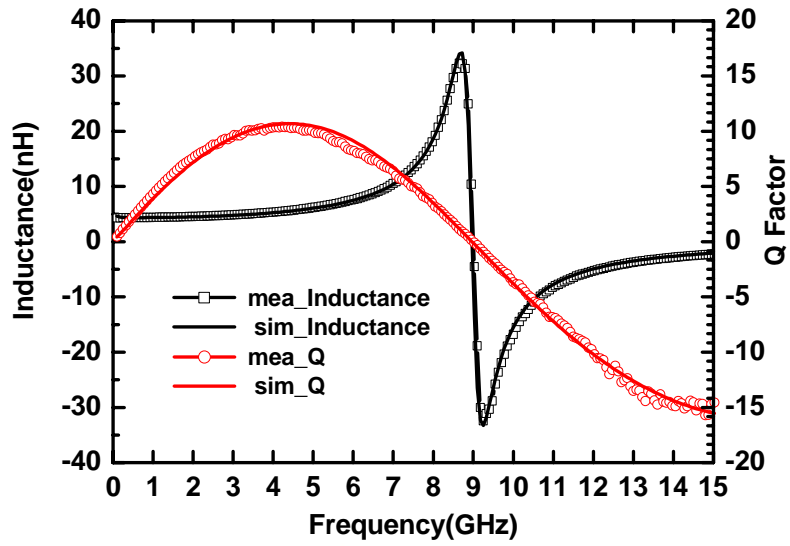
架構 1：模擬與量測的 S 參數



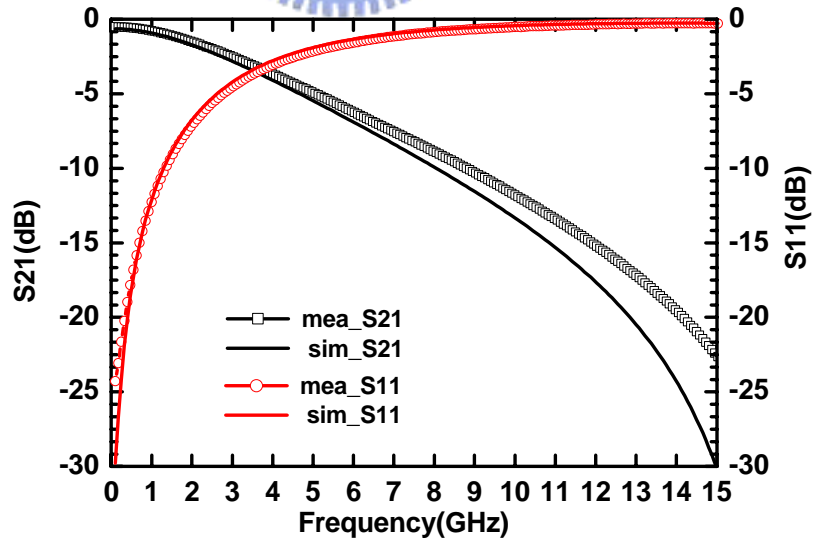
架構 2：模擬與量測的 Q 值與感值



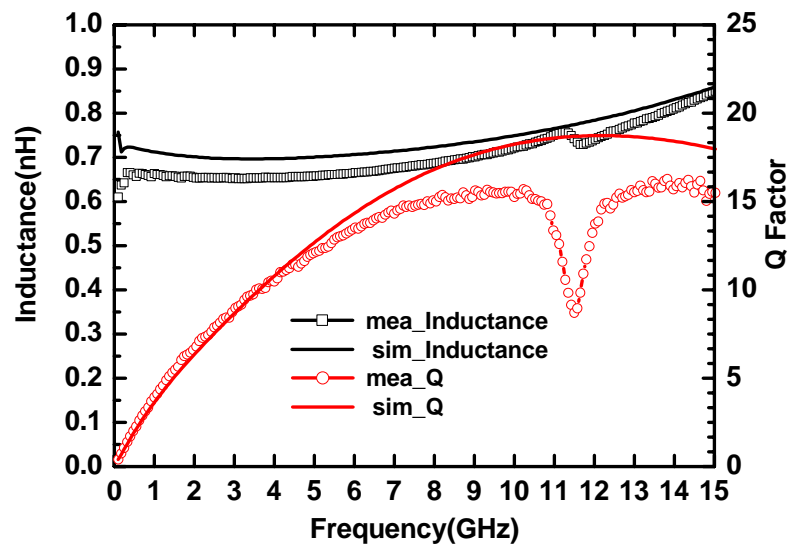
架構 2：模擬與量測的 S 參數



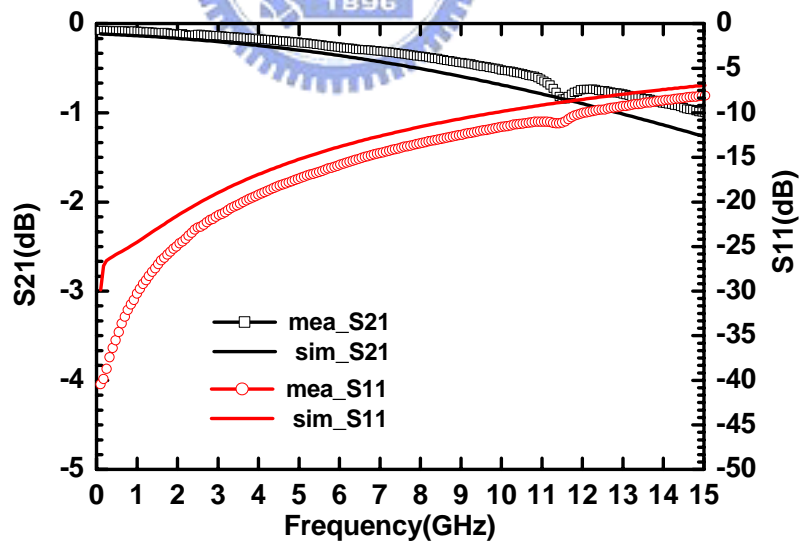
架構 3：模擬與量測的 Q 值與感值



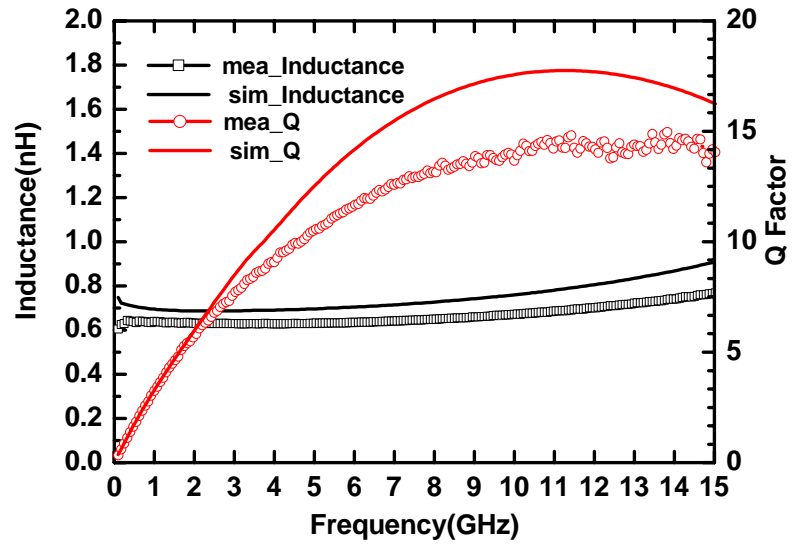
架構 3：模擬與量測的 S 參數



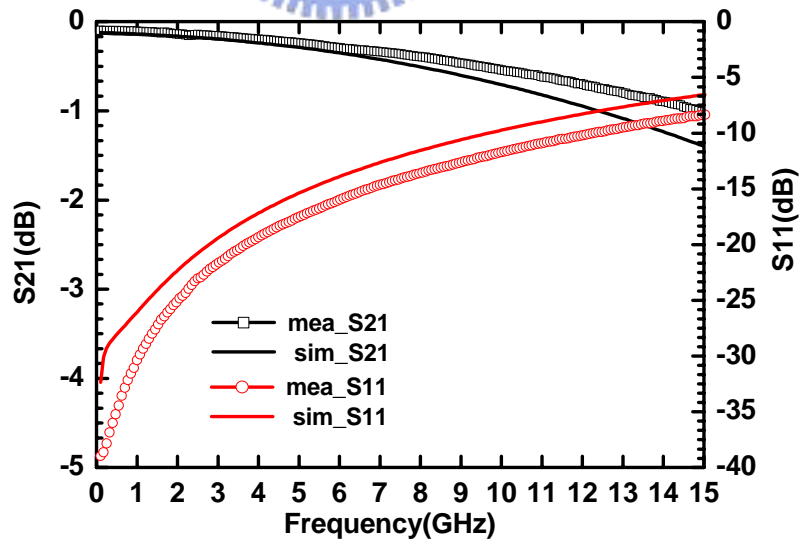
架構 4：模擬與量測的 Q 值與感值



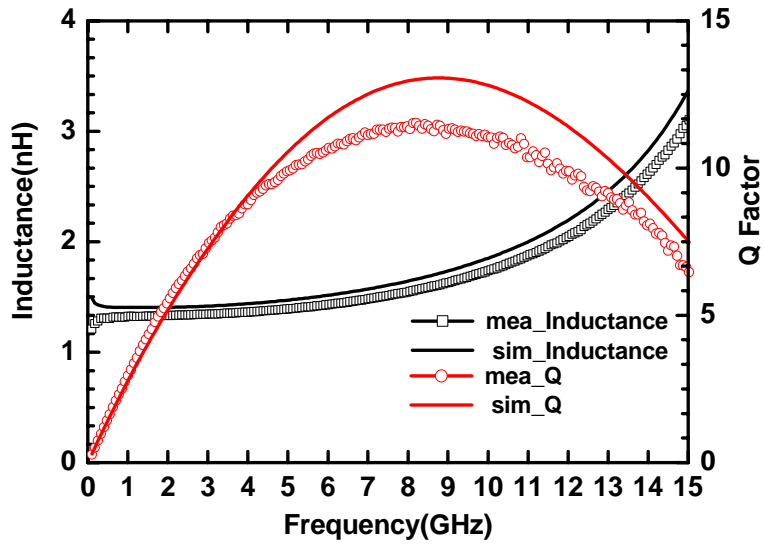
架構 4：模擬與量測的 S 參數



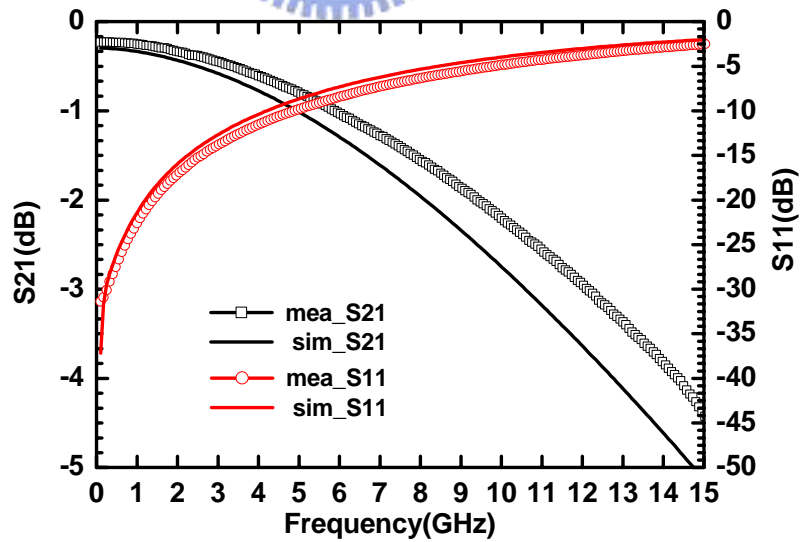
架構 5：模擬與量測的 Q 值與感值



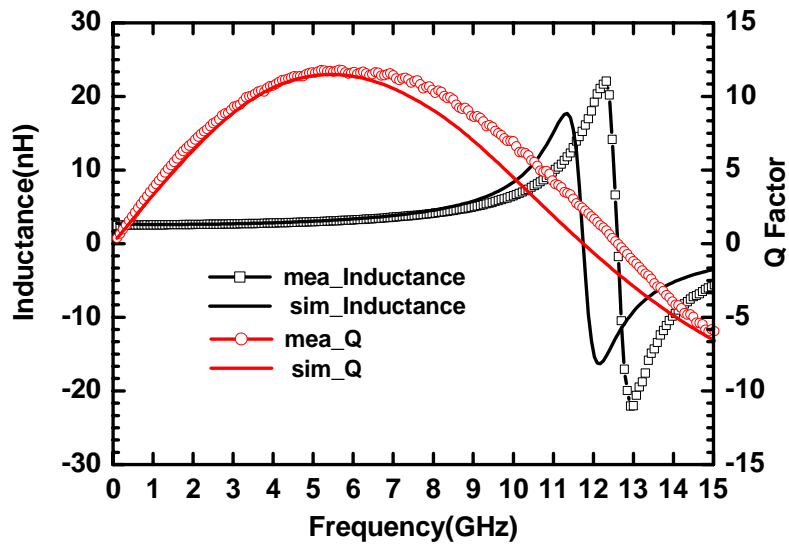
架構 5：模擬與量測的 S 參數



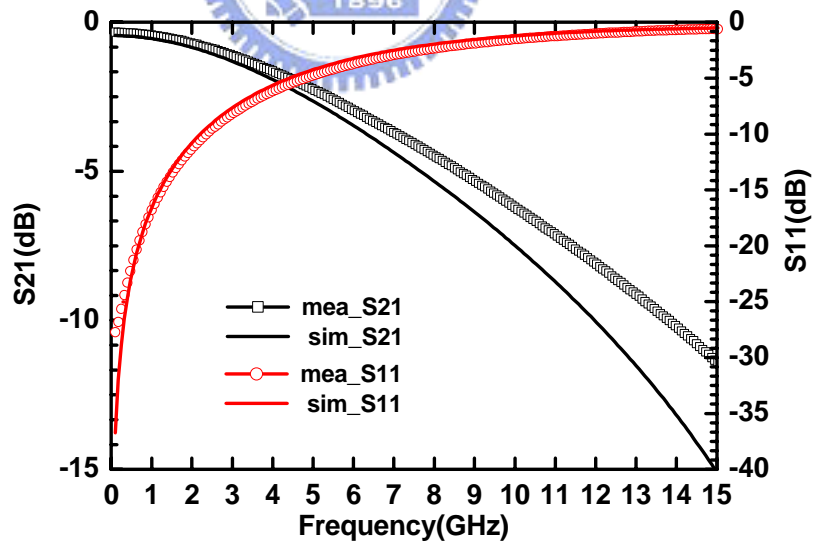
架構 6：模擬與量測的 Q 值與感值



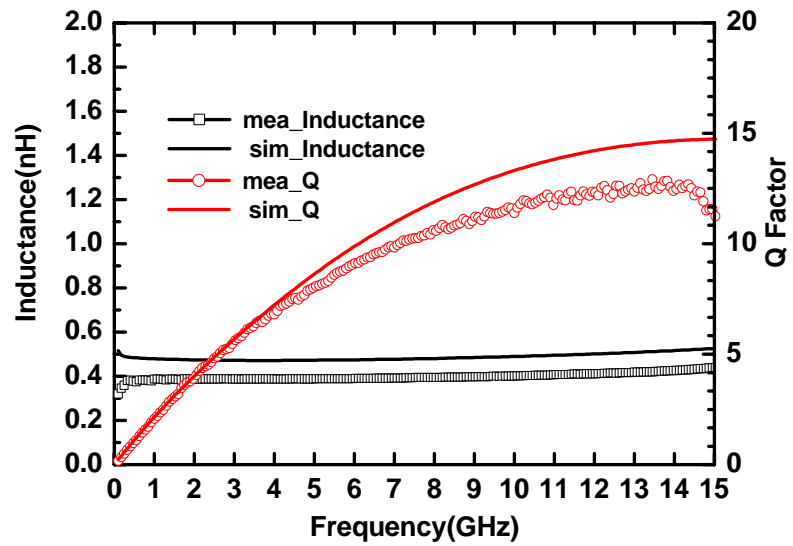
架構 6：模擬與量測的 S 參數



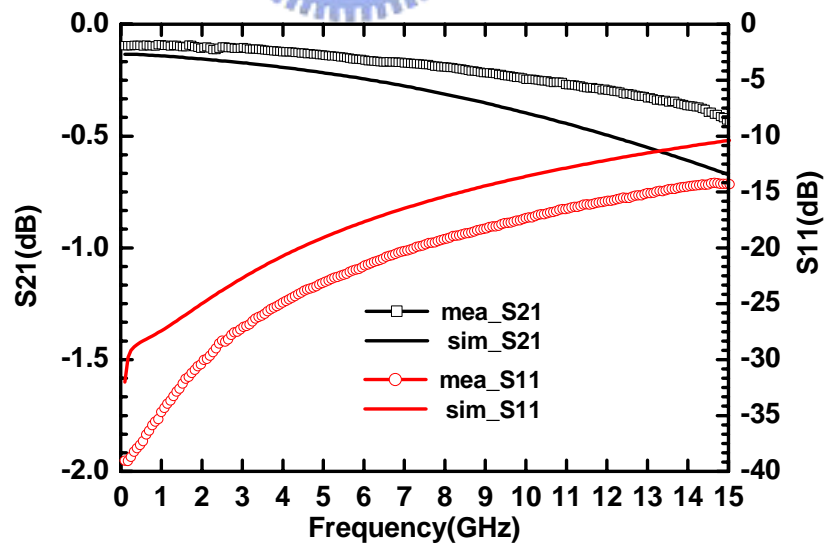
架構 7：模擬與量測的 Q 值與感值



架構 7：模擬與量測的 S 參數



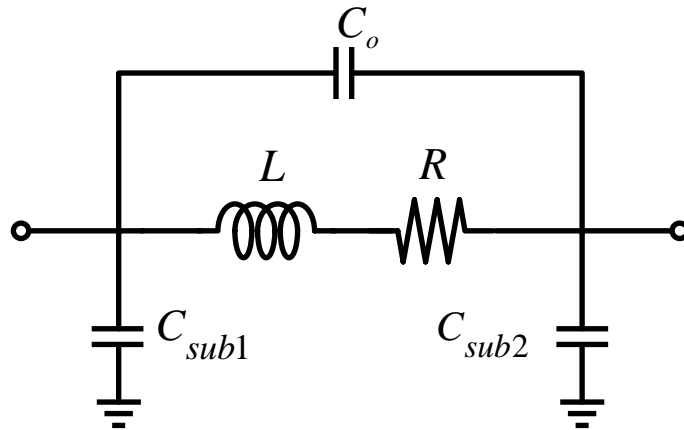
架構 8：模擬與量測的 Q 值與感值



架構 8：模擬與量測的 S 參數

附錄 (二)

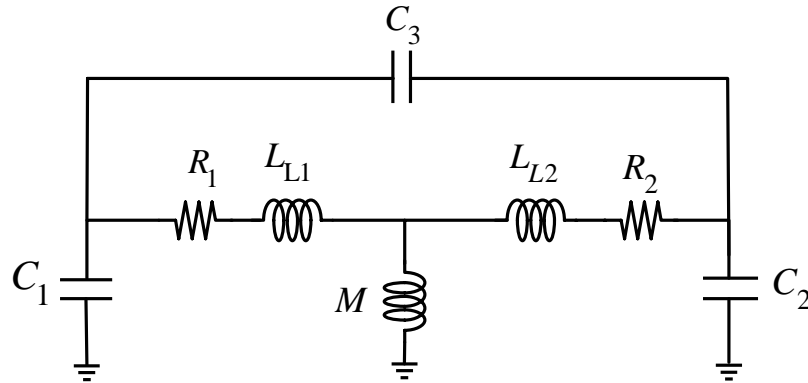
電感等效模型



架構 (schematic)	L(nH)	R(Ω)	C_o (fF)	C_{sub1} (fF)	C_{sub2} (fF)
1	0.6	2.146	3.744	35.078	30.1
2	2	4.5	15	20	38
3	4.278	7.068	17.842	43.557	56.005
4	0.63	1.835	6.473	36.086	39.561
5	0.613	1.847	3.164	37.762	37.762
6	1.289	4.225	11.435	36.913	40.894
7	2.508	6.960	16.003	38.828	46.244
8	0.371	1.766	9.130	29.630	29.630

附錄 (三)

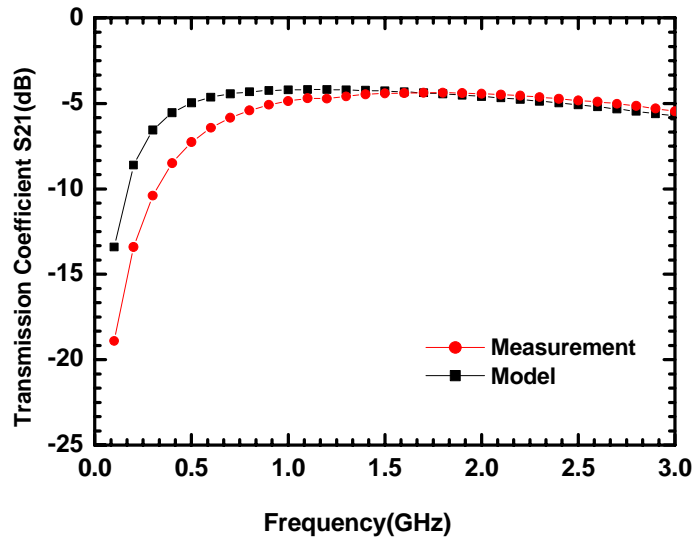
變壓器等效模型



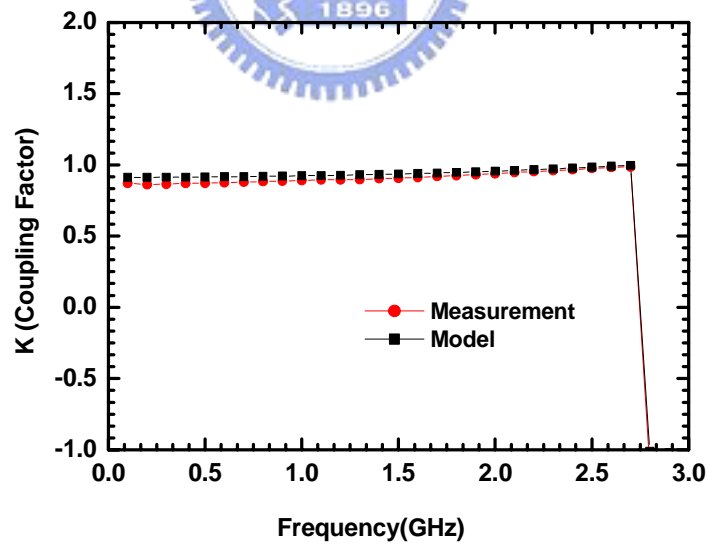
$K = \frac{M}{\sqrt{L_1 L_2}}$ L_1 與 L_2 為分別為 $\text{Im}[Z_{11}]$, $\text{Im}[Z_{22}]$, M 為 $\text{Im}[Z_{21}]$ 。且

$L_1 = L_{L1} + M$, $L_2 = L_{L2} + M$, L_{L1} 與 L_{L2} 為 leakage inductance

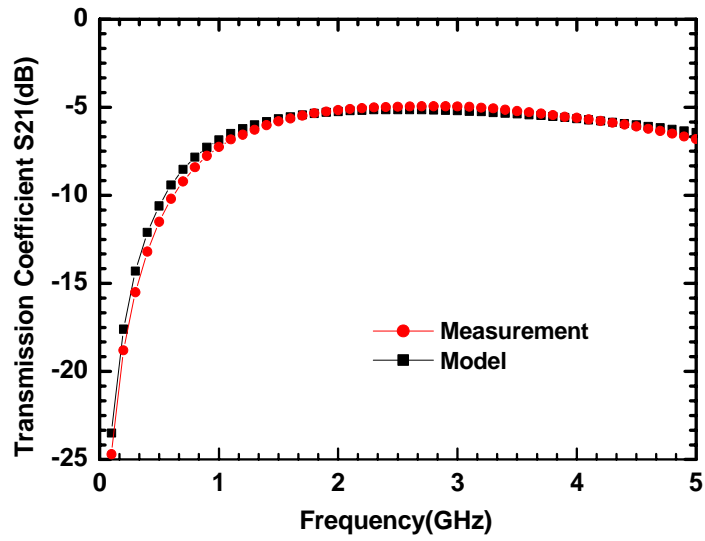
架構	L_{L1} (nH)	L_{L2} (nH)	M (nH)	R_1 (Ω)	R_2 (Ω)	C_1 (fF)	C_2 (fF)	C_3 (fF)
1	2	2	19	23.25	22.65	77.26	96.08	124.46
2	1.3	1.3	5.8	24	23.5	98.36	87.28	67.2
3	0.8	0.8	2.1	14.2	14.2	80.1	80.1	79.54
4	1.5	1.5	-0.5	3.82	4.15	67.88	67.97	88.74
5	4.4	4.4	-1.8	6.6	10.13	14.16	15.43	171.23
6	0.42	0.42	0.25	0.72	1.43	127.2	64.73	128.7
7	4.25	4.25	1.44	11.46	11.36	0.1	1.19	33.3



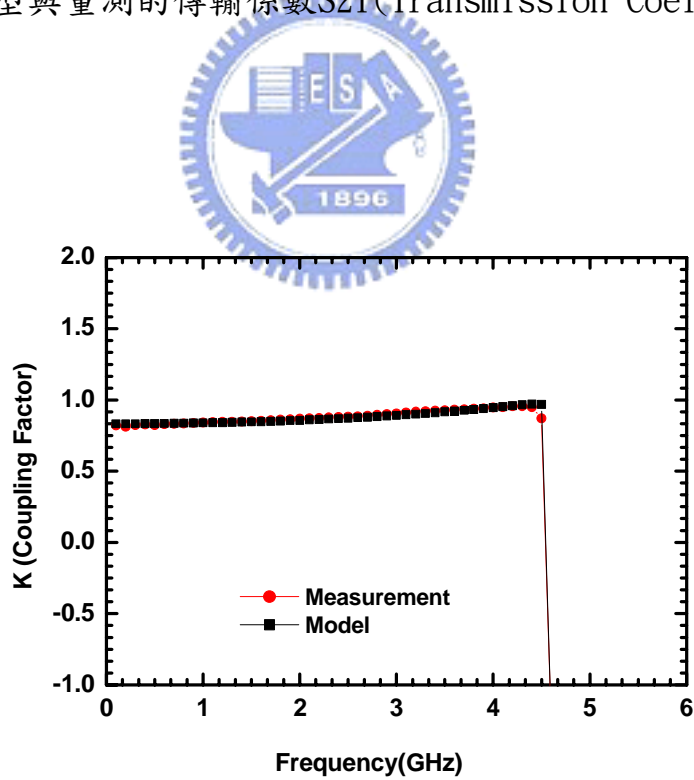
架構1 模型與量測的傳輸係數S21(Transmission Coefficient)



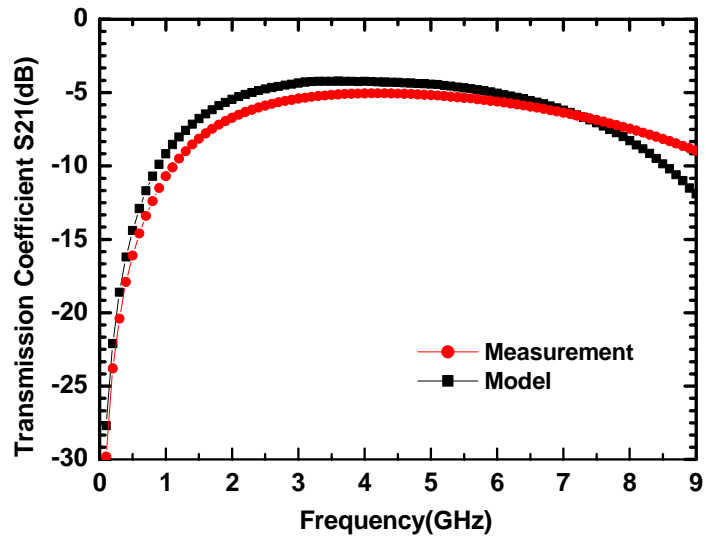
架構1 模型與量測耦合係數K (Coupling Factor)



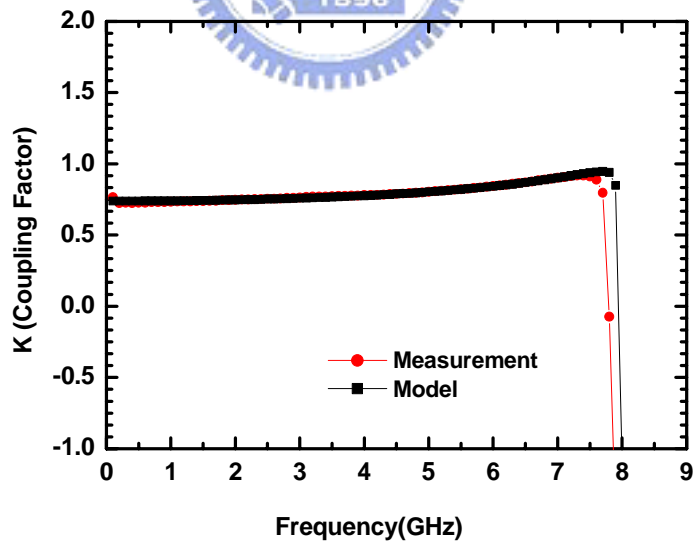
架構2 模型與量測的傳輸係數S21(Transmission Coefficient)



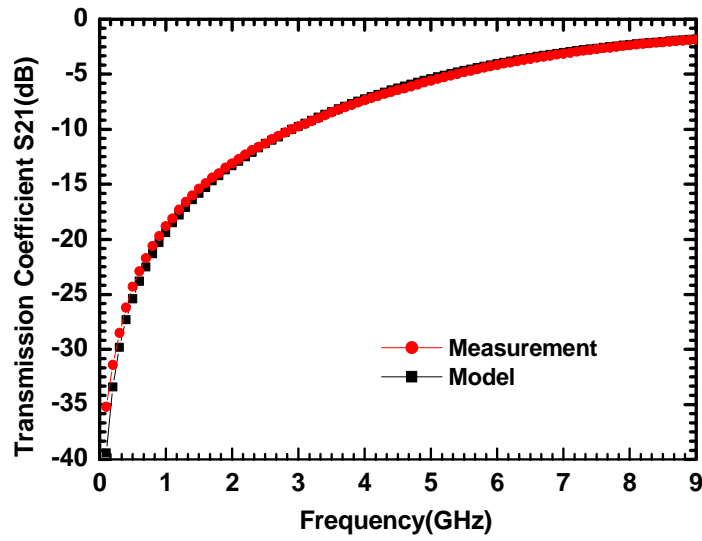
架構2 模型與量測耦合係數K (Coupling Factor)



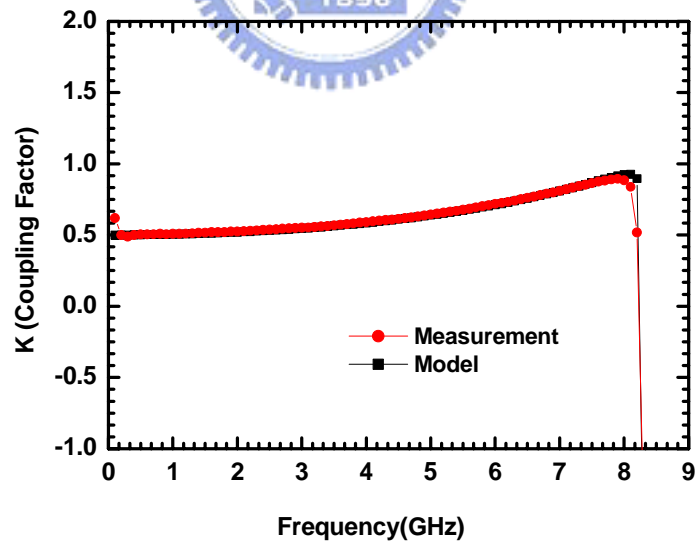
架構3 模型與量測的傳輸係數S21(Transmission Coefficient)



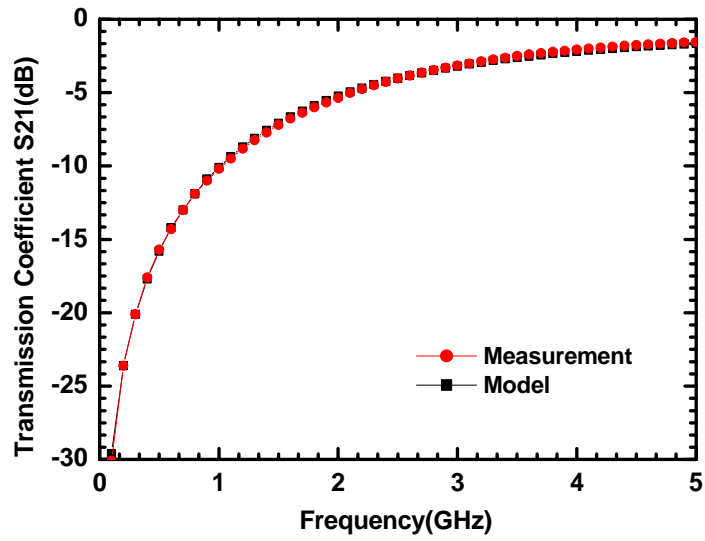
架構3 模型與量測耦合係數K (Coupling Factor)



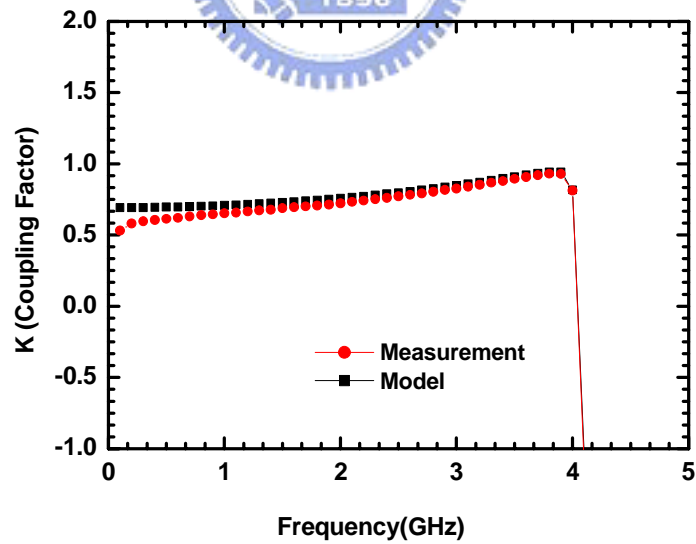
架構4 模型與量測的傳輸係數S21(Transmission Coefficient)



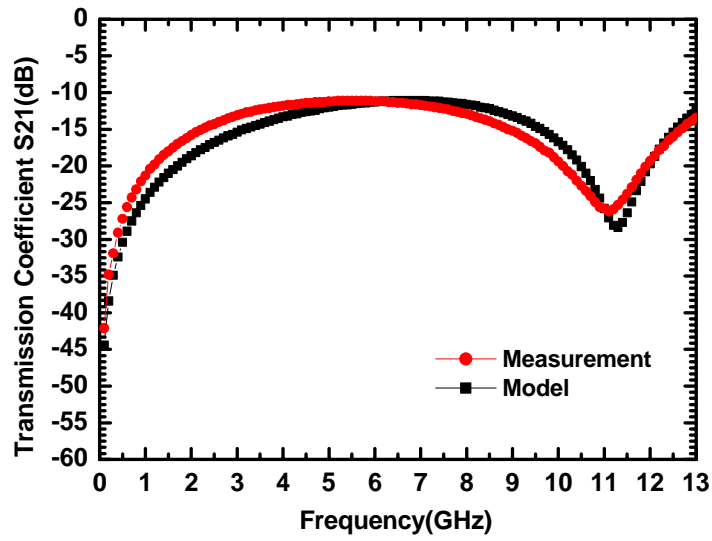
架構4 模型與量測耦合係數K (Coupling Factor)



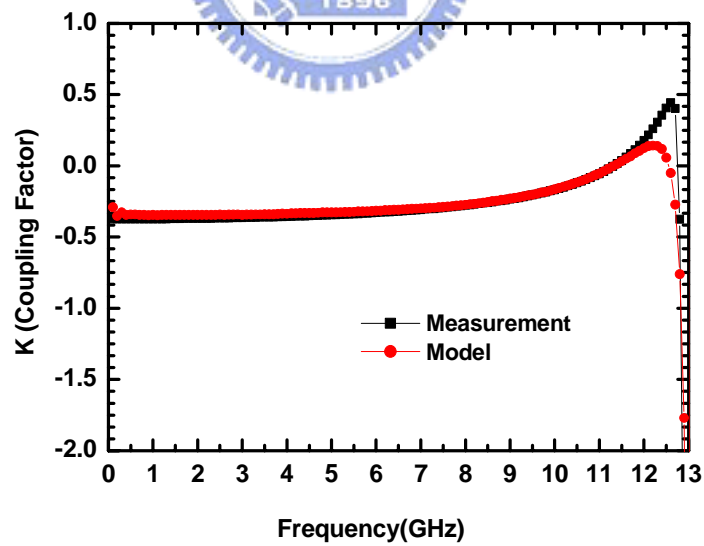
架構5 模型與量測的傳輸係數S21(Transmission Coefficient)



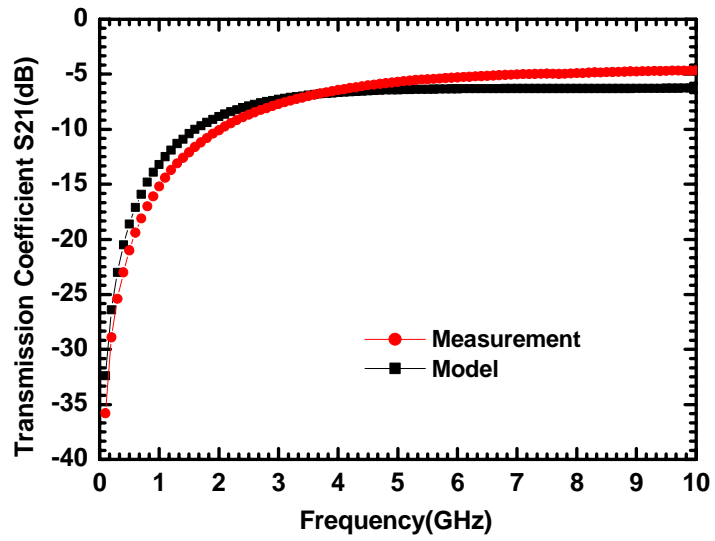
架構5 模型與量測耦合係數K (Coupling Factor)



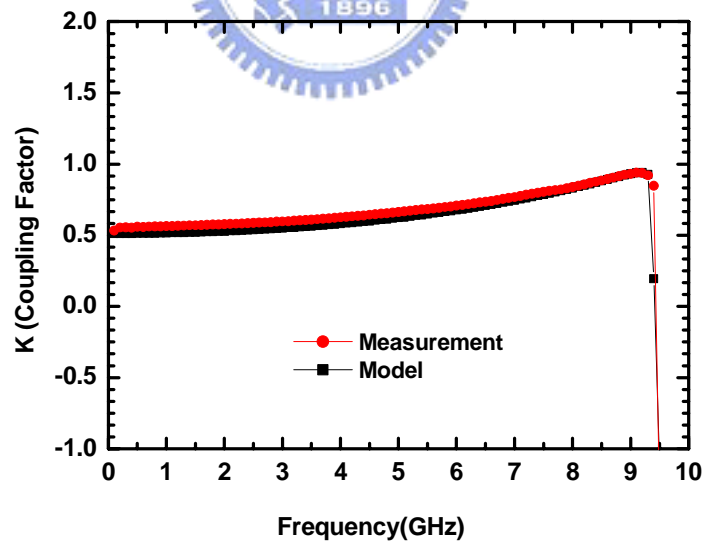
架構6 模型與量測的傳輸係數S21(Transmission Coefficient)



架構6 模型與量測耦合係數K (Coupling Factor)



架構7 模型與量測的傳輸係數S₂₁(Transmission Coefficient)



架構7 模型與量測耦合係數K (Coupling Factor)

參考文獻

- [1] *Voinigescu, S.P.; Maliepaard, M.C.; Showell, J.L.; Babcock, G.E.; Marchesan, D.; Schroter, M.; Schvan, P.; Hareme, D.L.*; "A scalable high-frequency noise model for bipolar transistors with application to optimal transistor sizing for low-noise amplifier design. "; Solid-State Circuits, IEEE Journal of , Volume: 32 , Issue: 9 , Sept. 1997 Pages:1430 - 1439
- [2] *Hillbrand, H.; Russer, P.*; "correction to 'An Efficient method for Computer Aided Noise Analysis of Linear Amplifier Networks" Circuits and Systems, IEEE Transactions on , Volume: 23 , Issue: 11 , Nov 1976 Pages:691 – 691
- [3]G. D. Vendelin, A. M. Pavio, and U. L. Rhode,"Microwave Circuits Design Using Linear and Nonlinear Techniques". New York: Wiley, ch. 2, pp.93-97, 1990.
- [4] David E. Johnson, Johnny R. Johnson, John L. Hilburn, Peter D. Scott, "Electric Circuit Analysis" Prentice-Hill, ch. 15 pp.610-615, 1997
- [5] *Manku, T.; Beck, G.; Shin, E.J.*; " A low-voltage design technique for RF integrated circuits" Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II: Express Briefs, IEEE Transactions on] , Volume: 45 , Issue: 10 , Oct. 1998 Pages:1408 - 1413
- [6] *Aoki, I.; Kee, S.D.; Rutledge, D.B.; Hajimiri, A.*; "Distributed active transformer-a new power-combining and impedance-transformation

technique" ;Microwave Theory and Techniques, IEEE Transactions on , Volume: 50 , Issue: 1 , Jan. 2002 Pages: 316 - 331

[7] Zannoth, M.; Kolb, B.; Fenk, J.; Weigel, R.; " **A fully integrated VCO at 2 GHz**" Solid-State Circuits, IEEE Journal of , Volume: 33 , Issue: 12 , Dec. 1998 Pages: 1987 - 1991

[8] Laney, D.C.; Larson, L.E.; Chan, P.; Malinowski, J.; Hameed, D.; Subbanna, S.;

Volant, R.; Case, M.; " **Microwave transformers, inductors and transmission lines implemented in an Si/SiGe HBT process**" Microwave Theory and

Techniques, IEEE Transactions on , Volume: 49 , Issue: 8 , Aug. 2001 Pages: 1507 - 1510

[9] Wong-Sun Kim; Xiaopeng Li; Ismail, M.;" **A 2.4 GHz CMOS low noise amplifier using an inter-stage matching inductor** " Circuits and Systems, 1999. 42nd Midwest Symposium on , Volume: 2

[10] Huang, J.C.; Ro-Min Weng; Cheng-Chih Chang; Kang Hsu; Kun-Yi Lin "**A 2 V 2.4 GHz fully integrated CMOS LNA** " *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on* , Volume: 4 , 6-9 May 2001

[10] Shaeffer, D.K.; Lee, T.H.;" **A 1.5 V, 1.5 GHz CMOS low noise amplifier**" VLSI Circuits, 1996. Digest of Technical Papers., 1996 Symposium on , 13-15 Jun 1996

[11] M.Danesh,J.R.Long, R. Hardway. And D. Hameed, "**A Q-factor Enhancement Technique for MMIC Inductors in Silicon Technology**:", Proc. Of the International Microwave Symp., Baltimore, MD, June, 1988, pp. 217-220

[12] J. R. Long and M. A. Copeland, "**The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RFICs**" ,IEEE J. Solid-State Circuits, Vol. 32, No.3, March 1997, pp.357-369.

- [13] M. Park, S. Lee, H. K. Yu, J. G. Koo and K. S. Nam, “**High Q CMOS-Compatible Microwave Inductors using Double-Metal Interconnection Silicon Technology**”, IEEE Microwave and Guided Wave Letters, Vol. 7 , No, 2, February 1997, pp 45-47.
- [14] B. Razavi, “**RF Microelectronics,**” Upper Saddle River, NJ: Prentice Hall PTR, 1998, Chapter 5.6
- [15]G. Gonzalez, “**Microwave Transistor Amplifier :Analysis and Design**“, Prentice Hall, 1997.
- [16] B. Razavi, “**Design of Analog CMOS Integrated Circuit**“, Mc Graw Hill,1996.
- [17] T. H. Lee and S. S. Wong, “**CMOS RF integrated circuits at 5 GHz and beyond,**” Proc. IEEE, vol. 88, pp. 1560–1571, Oct. 2000.

