

# 第一章

## 簡介

最近幾年電腦的快速發展，中央處理器（CPU）的計算能力已超過十億赫茲（GHz）的速度，電腦系統中匯流排傳輸速度也跟著大幅度的加快。當信號的週期時間（cycle time）進入低於十億分之一秒（nanosecond）的範圍時，會使時脈信號或並行信號間的時序歪斜（timing skew）現象顯得更重要，對於設計者而言，數位電路傳輸時間的準確估計及等化變得更加重要。為了避免數位邏輯電路因此而導致錯誤的動作，必須使此歪斜的時脈信號低於時序容限（timing margin）所允許的範圍內，因此在做最後封裝和電路板上的信號線的連接時常須加入延遲線，其中最常用的方法之一即為使用蜿蜒型延遲線（meander delay line）。

如圖 1-1 所示，使用此種蜿蜒型延遲線的優點為它具有規律性和具有可預測延遲時間的特性，並可達到形狀和結構緊密的設計。為了滿足現今高速電路板嚴格的時脈歪斜的要求，透過蜿蜒型延遲線的傳輸延遲可能需控制在幾兆分之一秒（10ps）上下。然而由於過於靠近的相鄰兩線之間電感和電容性耦合（coupling）引發的串音（crosstalk）效應很高，可能造成輸出波形失真或實際延遲時間較

預期的短 [1]，如此一來可能會對預測蜿蜒型延遲線的傳輸時間造成很大的誤差。若為了避免輸出波形產生像階梯波 (ladder wave) 和漣波 (ripple) 等的嚴重失真，則如圖 1-1 中的兩相鄰線間的距離必須保持一定大的距離來降低耦合效應，但如此一來會造成大幅降低電路板的面積使用率。所以過去有關此類蜿蜒型延遲線的研究主要針對在考慮包含耦合效應情況之下，如何確保其能獲致適當的延遲時間。

針對蜿蜒型延遲線的特性分析一直缺乏一個有效的工具或方法，在過去的研究中，具有有限個蜿蜒結構的蜿蜒型延遲線的分析方法有以下幾種：(1) 波追蹤 (wave tracing) 分析 [1]- [2]，(2) 全波 (full-wave) 分析 [3]-[4]，和 (3) 單位晶格 (unit cell) 分析 [5]。這三種方法在使用上各有其特色，當然也有其限制的地方。在使用波追蹤法時通常需有下列的假設：

- (1) 信號波的上升時間需低於一個蜿蜒結構傳輸所需的時間。
- (2) 相鄰平行線段之間的串音耦合效應小，因此可被忽略。
- (3) 前向的傳輸串音效應假設為零；然而在實際情況下，當信號傳輸時，有一些前向的串音效應會引入一些額外的耦合效應。
- (4) 對於蜿蜒型延遲線中的連接兩耦合線的帶線結構假設其對於延遲效應無貢獻 (即視其長度為零)。
- (5) 對於耦合線線段中偶模及奇模的傳播速度假設為相同。

基於上面的簡化，使用此種波追蹤法時對蜿蜒型延遲線的分析僅能提供在耦合線間距較大時有較準確的分析。

若想更加準確的預測蜿蜒型傳輸線的特性則可以透過全波分析，常用的方法之一是三維的 FDTD (finite-difference time domain) 方法。因為全波分析基本上考慮了在蜿蜒延遲線中的電磁耦合效應和不連續特性 (包含反射、延遲、色散 (dispersion)、和失真)，因此可將上述被簡化的各種效應完整地予以考慮。然而第 1 和 2 兩種方法需要包含大量的一個蜿蜒型延遲線的單位晶格 (如圖 1-2 所示)，來萃取蜿蜒型延遲線的傳輸特性參數，因此需要大量的計算資源，且在使用全波分析時對於不同的蜿蜒型延遲線均需從頭做一次全波分析，因此整個分析、設計過程的計算時間就要更長。

至於第三種方法是利用蜿蜒型延遲線中如圖 1-2 中的單位晶格週期性重覆的特性，基於 Floquet 的理論將整個蜿蜒型延遲線視為一個於縱向具有週期性的波導管 (longitudinally periodic waveguide, 又稱 LPW)。如此一來只需針對一個單位晶格作全波分析，而其餘重覆的單位晶格的特性僅為利用第一次計算的結果來乘上一個  $e^{j\beta z}$  相位 (如圖 1-3 所示)，亦即後面的結果被視為第一次計算結果往後面傳播的結果。此方法並不必要對整個蜿蜒型延遲線作分析，而僅需做一單位晶格的分析即可，因此可節省計算的時間。但此方法在

當單位晶格中的物理尺寸（如兩相鄰耦合線的長度等）變動時也需要重新再做一次“新的”單位晶格的全波分析，那麼若有不同尺寸的蜿蜒型延遲線即必須針對每一個單位晶格做分析。

本論文所採用的方法是利用等效電路的觀念，首先將蜿蜒型延遲線中的一個如圖 1-2 所示的單位晶格分割成如圖 1-4 中 A、B、C 所示的三個單元結構，其中 A 為一個  $90^\circ$  彎角（bend）構造（每個單位晶格中含四個彎角），B 代表平行耦合線段，而 C 為一般的帶線傳輸線（每個單位晶格中包含三個有限長的帶線傳輸線）。我們先對這三個單元結構分別作全波分析，再由分析所得的結果萃取其傳輸特性參數以建構其等效電路。最後再將三個單元結構的等效電路串接，即可以用 SPICE 模擬整個蜿蜒型延遲線的傳輸特性。本法的最大好處在於可以快速分析不同耦合長度和不同單位晶格數的結構。

本篇論文由本章和以下部分構成：第二章是對於研究方法的介紹，第三章則是數值分析結果的討論，最後在第四章做一結論。

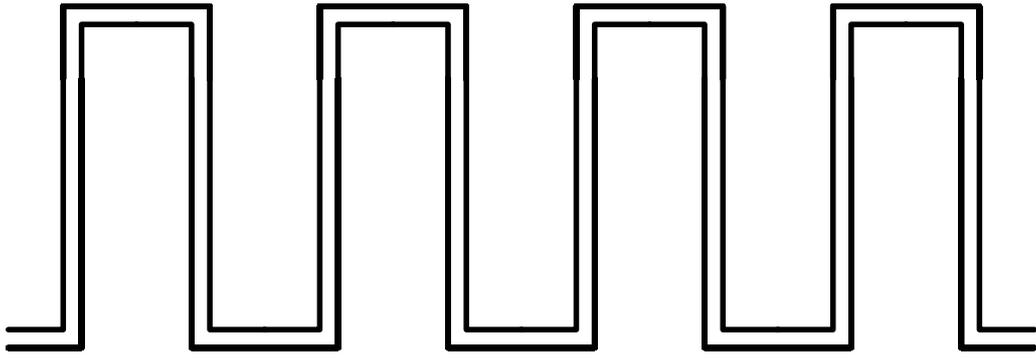


圖 1-1 蜿蜒延遲線 (meander delay line) 結構示意圖。

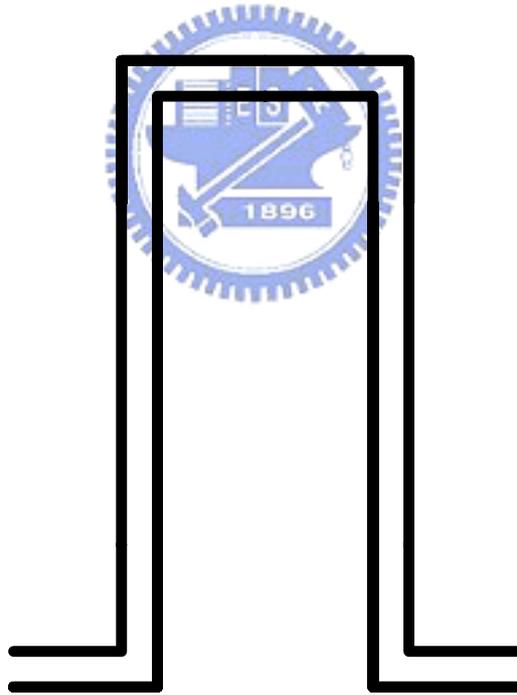


圖 1-2 蜿蜒延遲線的單位晶格 (unit cell)。

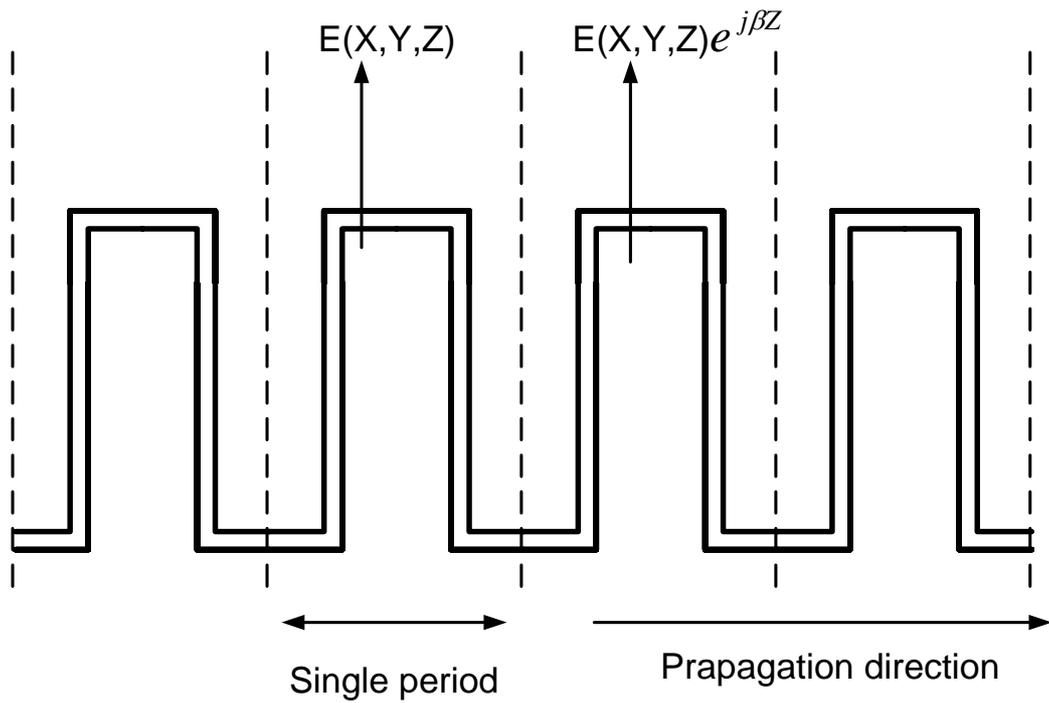


圖 1-3 單位晶格分析法示意圖。

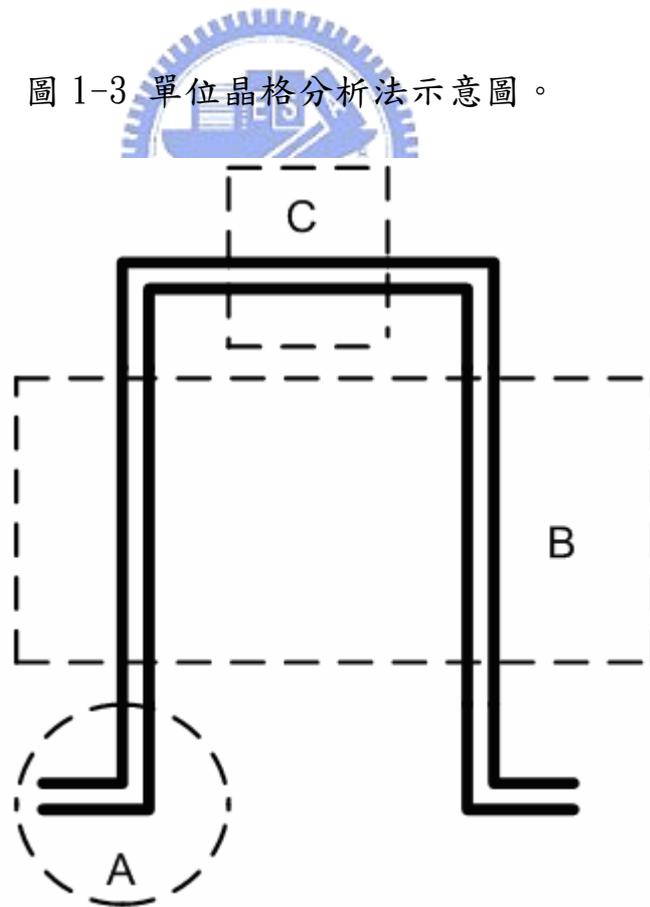


圖 1-4 蜿蜒單位晶格中單元結構分割示意圖。