

第二章

研究方法

2-1 問題敘述

在本研究中，我們探討如圖 2-1 所示印刷電路板中介於兩層地板（ground planes）之間的蜿蜒型帶線（stripline）延遲線結構，的快速分析方法。印刷電路板所採用的介質材質為 FR-4，介電常數設為 4.4。如圖 2-2 所示，帶線離上下板子的間距並不相同，線寬為 3.3 mil，介質的厚度為 15.9 mil。為方便起見，本論文將地板和帶線均設為零厚度的完美導體（PEC），介質基板的損耗也予以忽略不計。

本論文所討論的等效電路分析方式是先將一個蜿蜒型延遲線的單位晶格劃分為如圖 1-4 所示的三個單元結構，再透過這些單元結構的等效電路的串接即可建構出整個蜿蜒型延遲線的等效電路架構，以使用 SPICE 做問題結構的傳輸性能分析。對個別結構單元，本論文先以三維全波分析軟體 HFSS 取得其雙埠網路的 S 參數矩陣，再將之轉換成 Z 參數矩陣，之後，再萃取其 T-型等效電路的元件值。以下將先對雙埠網路中 S 和 Z 參數矩陣兩者間的關係做一簡單的說明，其次是每一個單元結構的等效電路元件值的萃取方式的介紹，稍後則說明

如何將所求得的等效電路建構出一個蜿蜒型延遲線的單位晶格及如何將其串接成完整結構的等效電路，在本章的最後一部份亦將介紹在萃取等效電路的參數時所需的額外考量因素。

2-2 S 參數矩陣和 Z 參數矩陣

雙埠網路特性常用的表示法有四種，即阻抗矩陣 (Z-matrix)、導納矩陣 (Y-matrix)、混成 (hybrid) 矩陣 (H-matrix) 以及 ABCD 矩陣 (ABCD-matrix)，但在微波的領域中則常用散射矩陣 (S-matrix)。

雙埠網路的 S - 和 Z - 參數矩陣可表示如下：

$$[S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \quad (2.1)$$

$$[Z] = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \quad (2.2)$$

兩者之間的轉換即可由以下四式來完成 [6]：

$$Z_{11} = Z_0 \frac{(1 + S_{11})(1 - S_{22}) + S_{12} S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12} S_{21}} \quad (2.3)$$

$$Z_{12} = Z_0 \frac{2 S_{12}}{(1 - S_{11})(1 - S_{22}) - S_{12} S_{21}} \quad (2.4)$$

$$Z_{21} = Z_0 \frac{2 S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12} S_{21}} \quad (2.5)$$

$$Z_{22} = Z_0 \frac{(1 - S_{11})(1 + S_{22}) + S_{12} S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12} S_{21}} \quad (2.6)$$

其中 Z_0 為雙埠網路兩端線路的特性阻抗。

2-3 單元結構等效電路的建立



在本小節中將分別介紹每一個單元結構的 S 參數和 Z 參數矩陣的取得和等效電路元件值的萃取過程，以及等效電路的建立。

2-3.1 帶線傳輸線等效電路

由於蜿蜒型延遲線中可以看成由數條帶線傳輸線組成，其中平行耦合線段是以不同長度的帶線連接（即圖 1-4 中的 C 部分）。在此，我們先求出帶線的單位長度電容值和電感值，然後再乘上欲使用的帶

線長度即可建立其等效電路。

我們首先利用 ANSOFT 公司所推出的 HFSS 軟體來分析均勻的長直帶線傳輸線的 S 參數。如前所述，帶線及地面皆被設為零厚度的完美導體，所以在 HFSS 的設定中相關的部份僅須令為 PEC。电路板的左右兩個側邊則以吸收邊界 (Absorbing Boundary Condition) 處理，此邊界在 HFSS 的設定對應為 radiation，圖 2-3 (a) 為 HFSS 的帶線模擬環境剖面圖，圖 2-3 (b) 則為模擬時輸出和輸入埠 (port) 的設定示意圖。

由於問題結構具有互易 (reciprocal) 的特性，所以 Z 參數矩陣和 T 型等效電路皆具有對稱性；亦即， $Z_{11}=Z_{22}$ 和 $Z_{12}=Z_{21}$ 。一個 T 型等效電路中有三個方塊，分別和 Z 參數矩陣中的四個值有關，其三個方塊的對應關係如圖 2-4 中所示。在不考慮損耗的情況下，一般傳輸線的等效電路僅由電感 (L) 和電容 (C) 所構成，其中 $Z_{11}-Z_{12}$ 和 $Z_{22}-Z_{21}$ 所對應的為電感而 Z_{12} 對應的為電容，其轉換公式為：

$$L = \frac{Z_{11} - Z_{12}}{j\omega} \quad (2.7)$$

$$C = \frac{1}{j\omega Z_{12}} \quad (2.8)$$

如此整個帶線傳輸線的等效電路便可以完成，其結果如圖 2-5 所示。

2-3.2 蜿蜒型延遲線中彎角部分的等效電路

對於蜿蜒型延遲線的等效電路，同樣也是須先利用 HFSS 來求取 S 參數。其模擬環境的設定部份和前文所述的設定方式相同，但其中要注意的是由於此結構含有一個呈 90° 的折角（即圖 1-4 中的單元結構 A），若直接於折角的兩端計算 S 參數其結果將有所誤差。在此我們先將其模擬的尺寸拉長，再利用參考平面位移的原理，求得折角兩端的 S 參數。HFSS 模擬空間及 de-embedding 的過程如圖 2-6 所示，其中兩個 p 平面為我們所希望得到的 S 參數的參考平面，兩個 p' 平面為我們所故意拉長模擬尺寸後的參考平面，而 l 為 de-embedding 所用的距離， t 為我們所想要保留的參考面與 90° 轉角的距離。根據[6]可知，於 p' 平面模擬所得的 S 參數矩陣 ($[S']$) 可由下式轉換成想要的 p 平面處的 S 參數矩陣 ($[S]$)：

$$[S] = \begin{bmatrix} e^{j\beta l} & 0 \\ 0 & e^{j\beta l} \end{bmatrix} [S'] \begin{bmatrix} e^{j\beta l} & 0 \\ 0 & e^{j\beta l} \end{bmatrix} \quad (2.9)$$

上式中的 $e^{j\beta l}$ 表修正參考平面被位移距離 l 所需的相角補償， $\beta = \omega_0 \sqrt{\mu_0 \epsilon_0 \epsilon_r}$ 。另外對於實際情況中的彎角結構，除了本身的自電

容之外應該還有一個因為邊緣效應所產生的電容 C_f (fringing capacitor)。如圖 2-7 所示，在等效電路中它和自電容 C_s 並聯，但在 HFSS 的模擬中已將其效應考慮進去，因此電容所產生的效應已包含於最後所產生的 S 參數矩陣之中，所以我們利用此 S 參數所產生的等效電路中的電容 C_A 也已包含自電容和邊緣效應的貢獻。

2-3.3 平行耦合線的等效電路

欲使用 HFSS 模擬平行耦合線（即圖 1-4 的單元結構 B）時因須在兩條平行耦合線形成的四埠網路中欲設為 port 的同一邊界上分別對兩條帶線加入 port，如此會有同一邊界設定兩次的問題，因此 HFSS 無法直接對兩條平行耦合線作分析。

在此我們採用奇模 (odd-mode) 和偶模 (even-mode) 的分析技巧。分析時僅需考慮半個耦合線結構，在兩耦合線中間的對稱面位置則依奇模和偶模的不同分別令其邊界條件為電牆 (E-wall 或 PEC) 或磁牆 (H-wall 或 PMC)，而另一邊依然如圖 2-8 中所示的採用吸收邊界，圖中的 d 設定為線與線邊緣間距的一半；其餘部分的設定則和 2-3.1 節中所述相同。

分析過程係先取得了個別模態的 S 參數和 Z 參數，之後再求取相

關等效半電路的元件參數。底下針對兩個模態操作的等效電路萃取分別做介紹。

(1) 偶模分析

圖 2-9 所示為平行耦合線在偶模操作下的電磁場分佈圖。如圖所示，偶模操作時兩耦合線中間的對稱面形成磁牆 (PMC)，電感性耦合存在而電容性耦合消失。以圖 2-11 的 T 型等效電路表示時，等效電路中的 $Z_{11}-Z_{12}$ 及 $Z_{22}-Z_{21}$ 部分包含了平行耦合線的自電感 L_B 和互電感 L_m 的加成，而 Z_{12} 則僅含自電容 (對地電容) C_B 的效應，亦即：

$$(Z_{11} - Z_{12})^e = j\omega(L_B + L_m) \quad (2.10)$$

$$Z_{12}^e = \frac{1}{j\omega C_B} \quad (2.11)$$

其中上標 e 表示是在偶模操作模式下所得的結果。(2.11) 式可直接用來求出 C_B ，但 L_B 和 L_m 的分解仍需其他條件。

(2) 奇模分析

圖 2-10 所示為平行耦合線在奇模操作時的場形分佈圖。奇模操作時兩線中間的對稱面形成電牆 (PEC)，我們同樣可以將 HFSS 所得結果建構出 T 型等效電路。如圖 2-12 所示，此時的 $Z_{11}-Z_{12}$ 及 $Z_{22}-Z_{21}$ 對應的是自電感 L_B 和互電感 L_m 相減，而 Z_{12} 對應的為自電容 C_B 和兩個

互電容 C_m 並聯相加的結果，亦即：

$$(Z_{11} - Z_{12})^o = j\omega(L_B - L_m) \quad (2.12)$$

$$Z_{12}^o = \frac{1}{j\omega(C_B + 2C_m)} \quad (2.13)$$

上式的上標 o 表示是在奇模操作模式下所得的結果。

在上述分析中利用 (2.11) 和 (2.13) 可以求出互電容，而由 (2.10) 和 (2.12) 可以得到互電感和自電感，至此就可以將平行耦合線的等效電路元件值萃取出來。



2-4 蜿蜒型延遲線單位晶格等效電路的建立

由前一小節的介紹我們已經將三個單元結構的等效電路建構完成，再來我們便可以利用這些等效電路透過串接的方式來建構出如圖 2-13 所示的一個完整單位晶格的等效電路（圖中的 L_A 、 C_A 、 L_B 、 C_B 、 L_C 和 C_C 分別對應於圖 1-4 中的 A、B、C 三部份所萃取的 T 型等效電路自電感和自電容的值而 L_m 和 C_m 則為平行耦合線的互電感和互電容）。再將單位晶格的等效電路串接即可完成我們所要分析的蜿蜒型延遲

線的整體架構，其傳輸特性即可透過此等效電路進行。

此外，當耦合線的間距固定時，我們亦可以利用串接方式來分析其他尺寸（如不同的耦合線段長度和蜿蜒數）的蜿蜒型延遲線。但耦合傳輸線的 S 參數會隨著耦合線間距改變，因此我們必須針對每一個間距分析其 S 參數；這是唯一會變動的部份。

2-5 萃取等效電路參數的額外考量

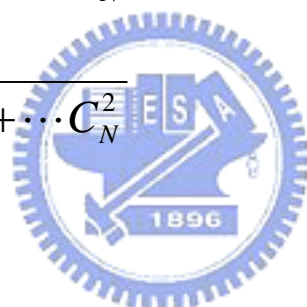
由於我們使用等效電路來模擬蜿蜒型延遲線的特性，因此我們希望萃取出來的參數能越準確越佳。因此在分析每一個單元結構時除了如前一小節中針對每一個單元結構的考量外，我們也另外加入了兩點額外的考量。

- (1) 由於我們將 HFSS 取得單元結構的 S 參數轉換成 Z 參數矩陣之後再萃取等效電路的元件值，因此 S 參數的準確度對於等效電路的準確性影響很大。又由於 HFSS 對所欲分析的物理結構加以切割，所以為了使 HFSS 在自行切割時能切割得更準確，我們將電路板的尺寸根據 HFSS 的使用規範裡的規定尺寸（標示於圖 2-14）來決定使用 HFSS 分析時所需電路板的尺寸，以避免電路板過大造成問題空間切割精度不足所可能產生的計算誤差。

(2) 由於使用 HFSS 所分析的結果為一頻帶中許多頻率點的 S 參數，而每一個頻率點的 S 參數均可利用前文所述的方法建構等效電路，因此其元件值可能隨頻率改變。在此我們利用最小方均根的方法來求得更準確的電容和電感值。進而言之，若我們設每一個頻率的電感值和電容值分別為 L_1 、 $L_2 \cdots L_N$ 和 C_1 、 $C_2 \cdots C_N$ ， N 總共的頻率點數，最佳的電容和電感值即可利用下式求得：

$$L = \frac{1}{N} \sqrt{L_1^2 + L_2^2 + \cdots L_N^2} \quad (2.12)$$

$$C = \frac{1}{N} \sqrt{C_1^2 + C_2^2 + \cdots C_N^2} \quad (2.13)$$



上面兩個考量可以使所萃取出來的參數值更加準確，整個蜿蜒型延遲線的等效電路及其特性分析結果也可望更為準確。

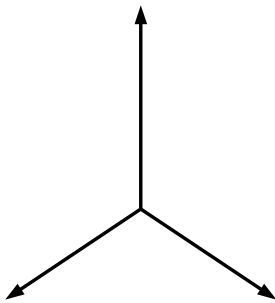
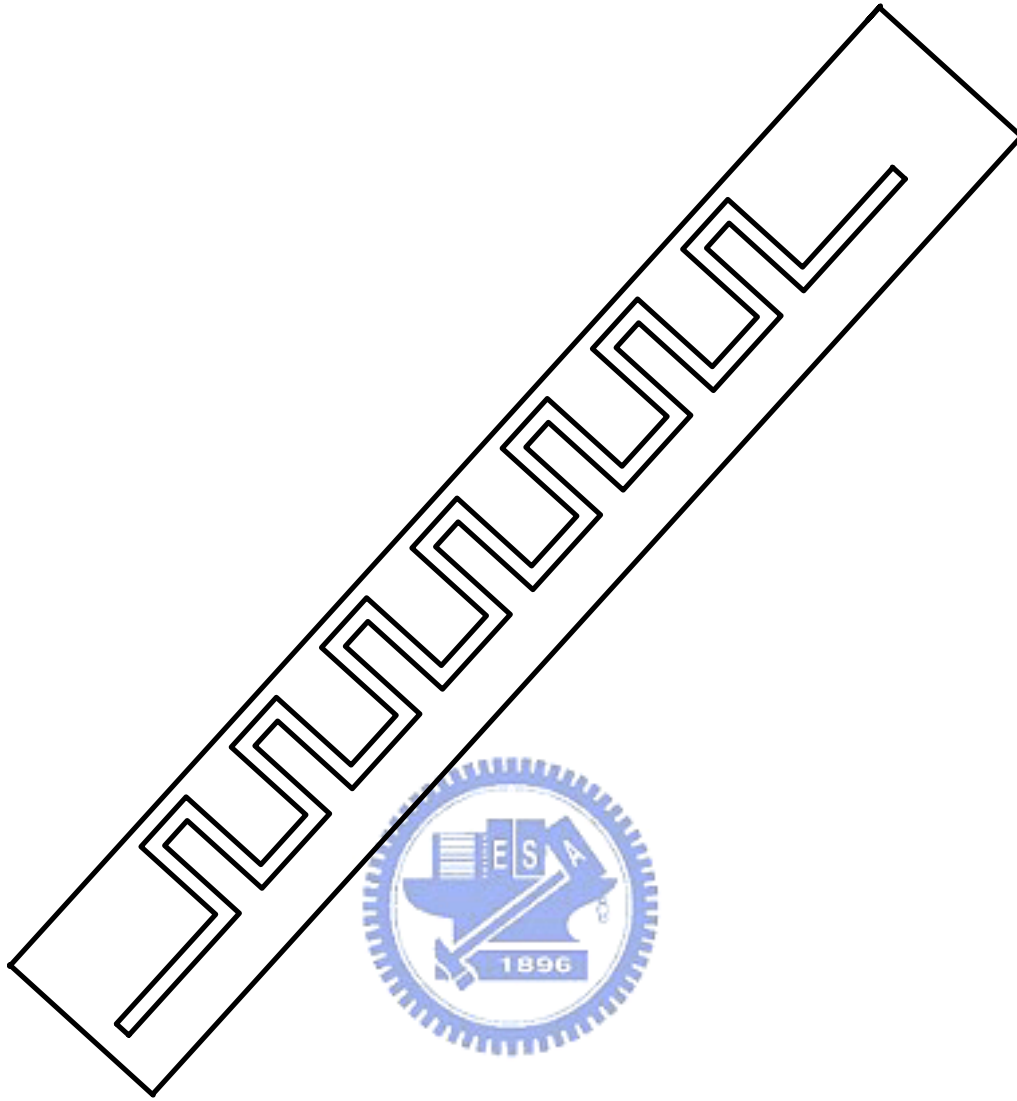


圖 2-1 蜿蜒延遲線在電路板中立體結構圖，為清楚顯示，上面接地面被刻意拿掉。

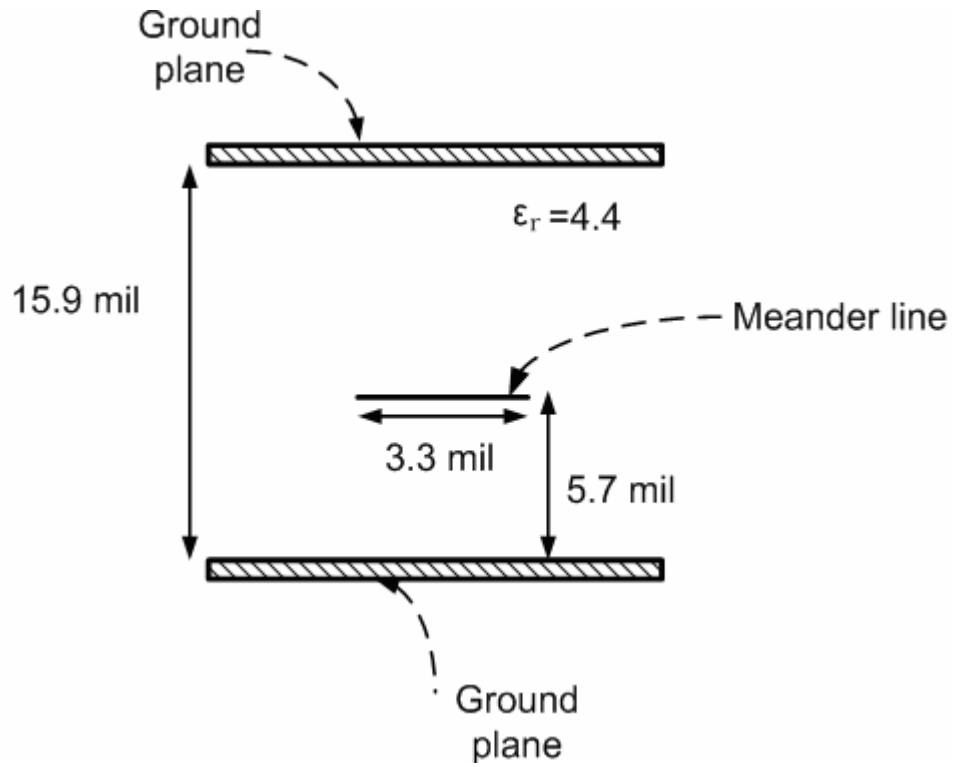


圖 2-2 蜿蜒延遲線在電路板中結構剖面圖。

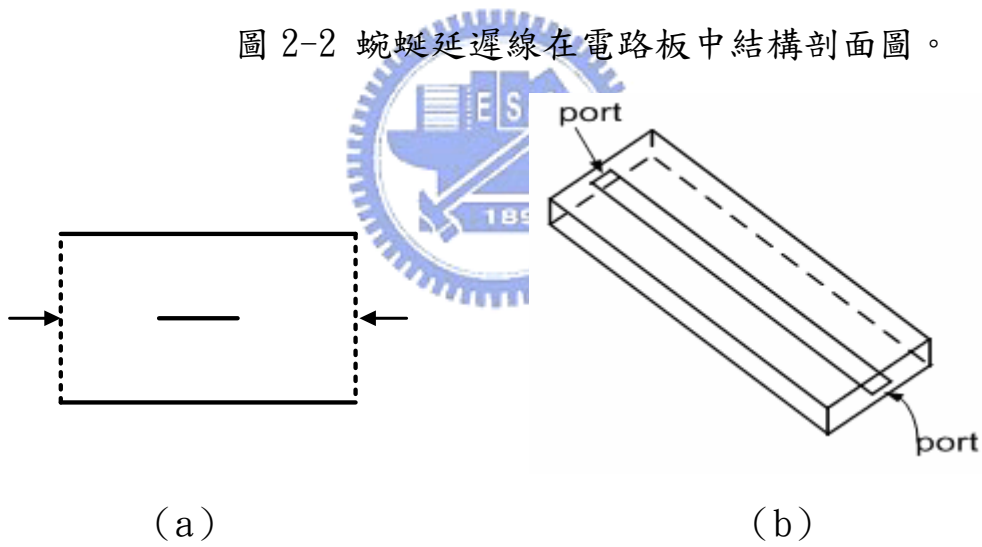


圖 2-3 均勻帶線的 (a) HFSS 模擬環境設定剖面圖，和 (b) port 設定示意圖。

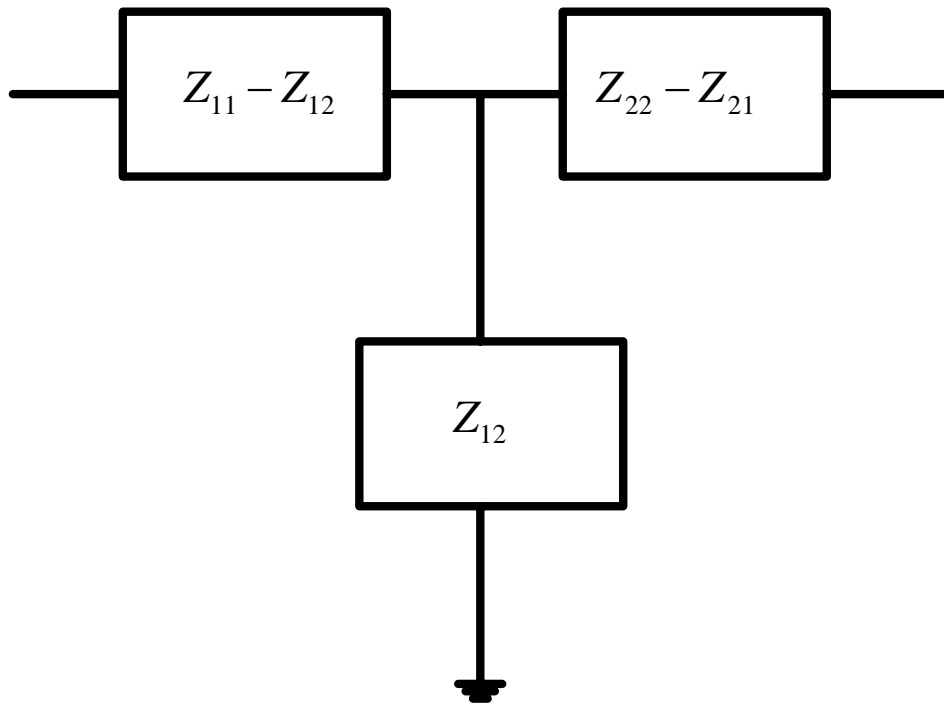


圖 2-4 T 型等效電路和 Z 參數對應示意圖。

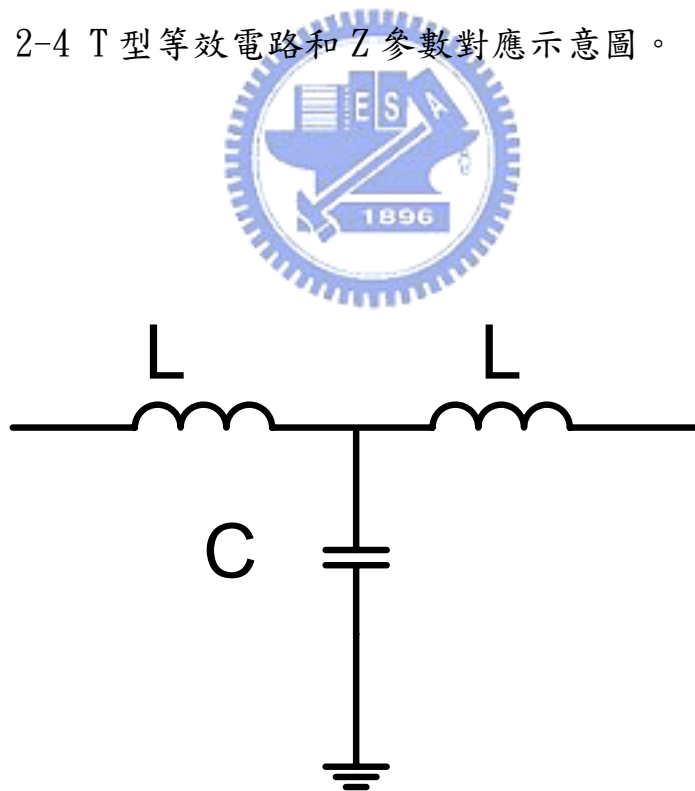


圖 2-5 對稱的 T 型等效電路元件配置。

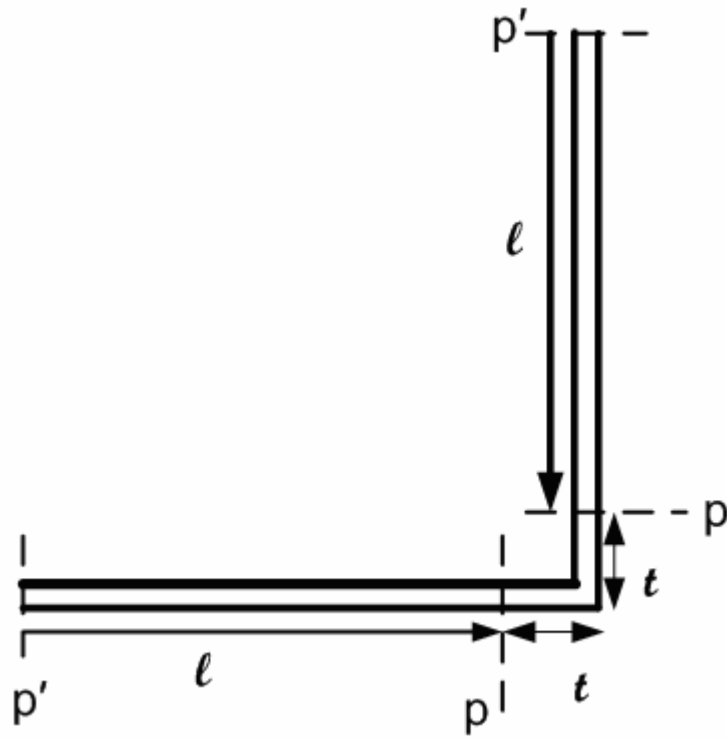


圖 2-6 彎角結構的模擬空間及 de-embedding 過程示意圖。

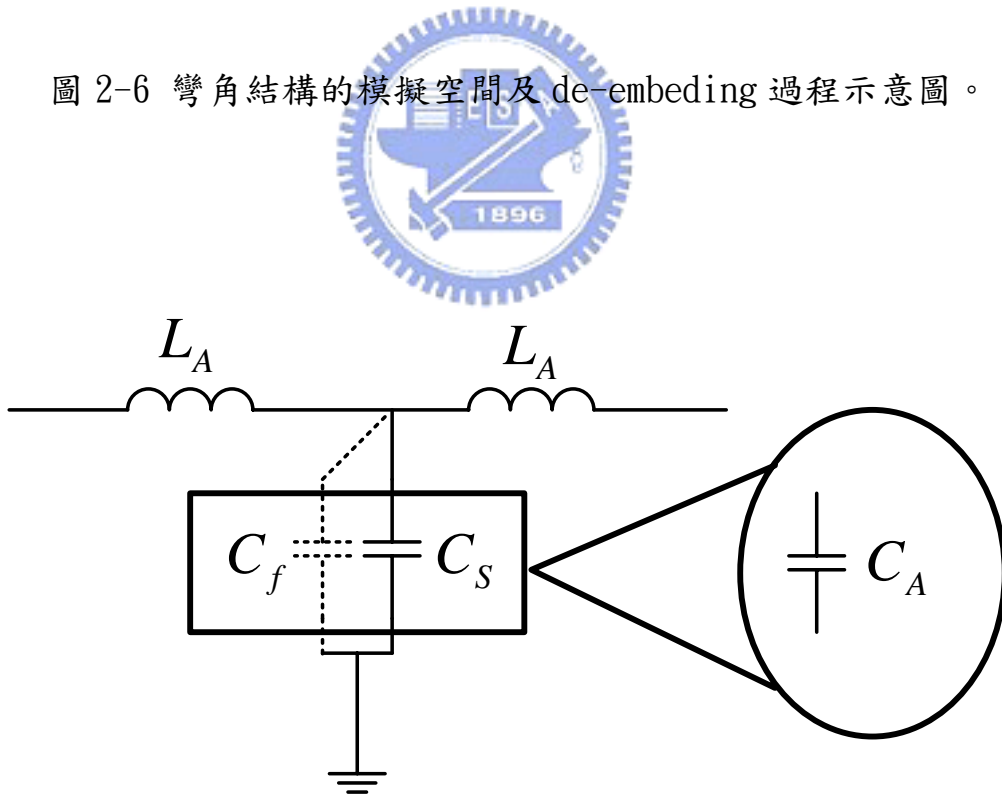


圖 2-7 彎角結構中的等效電路。

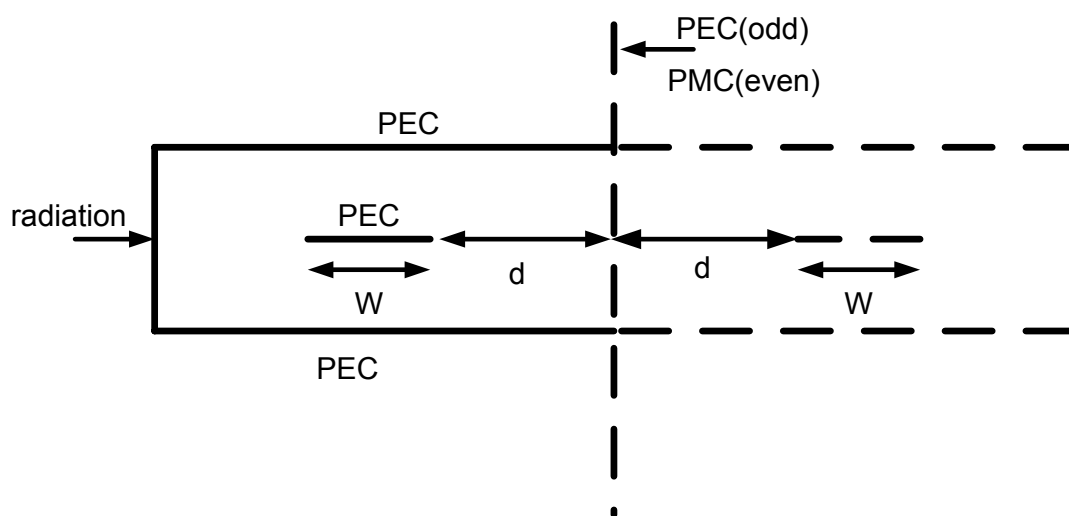


圖 2-8 HFSS 模擬平行耦合線的奇（偶）模環境設定圖。

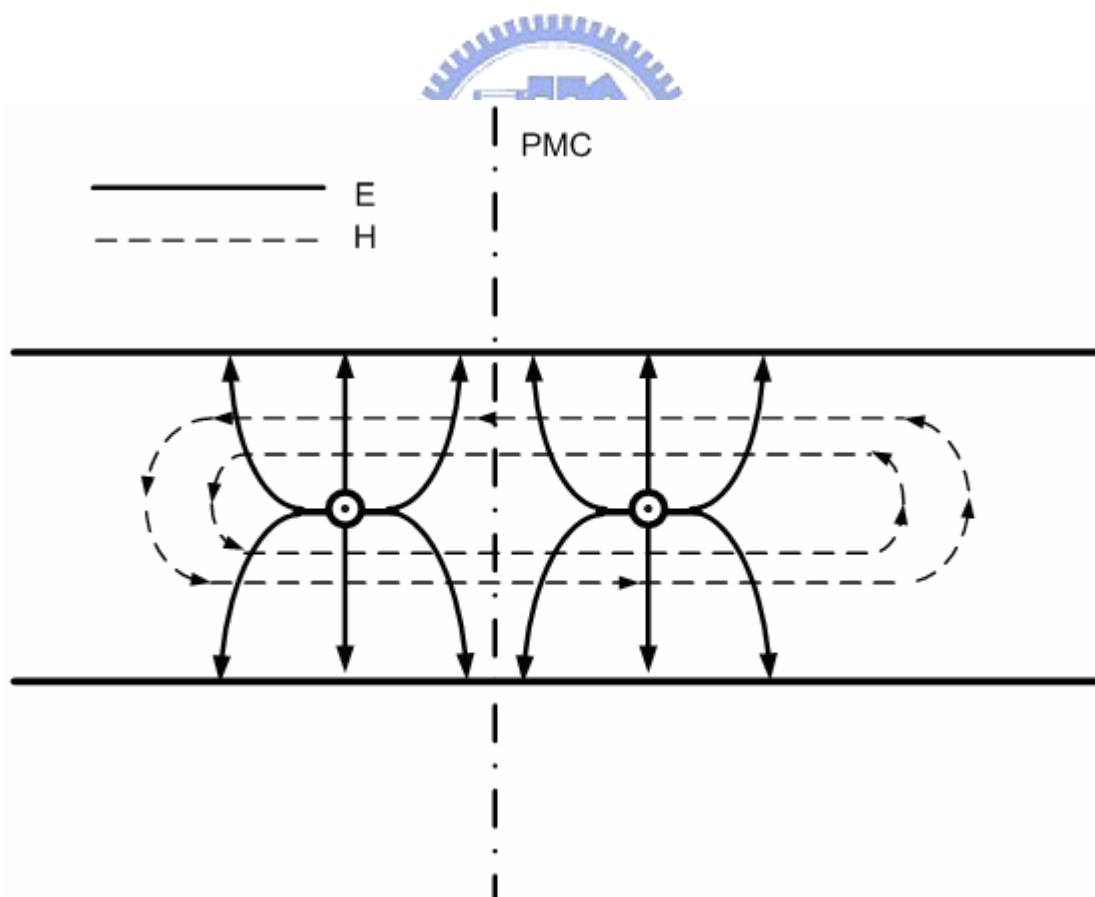


圖 2-9 平行耦合線偶模操作時的場形分佈圖。

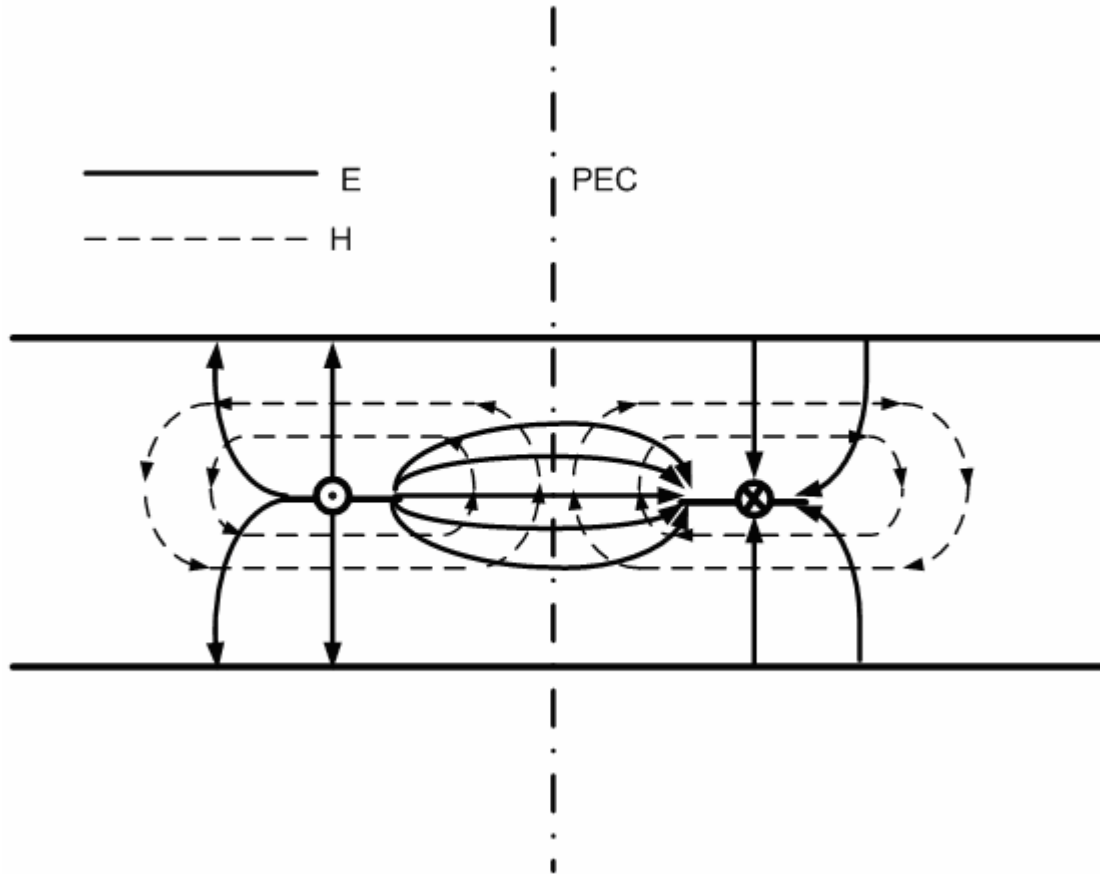


圖 2-10 平行耦合線奇模操作時的場形分佈圖。

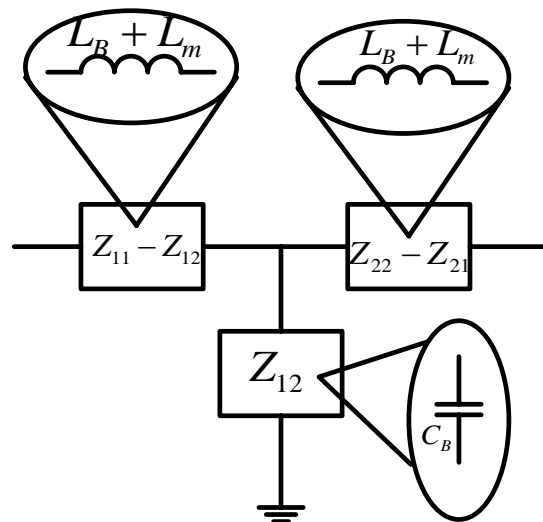


圖 2-11 耦合線偶模 T 型等效電路和電路元件值對應關係圖。

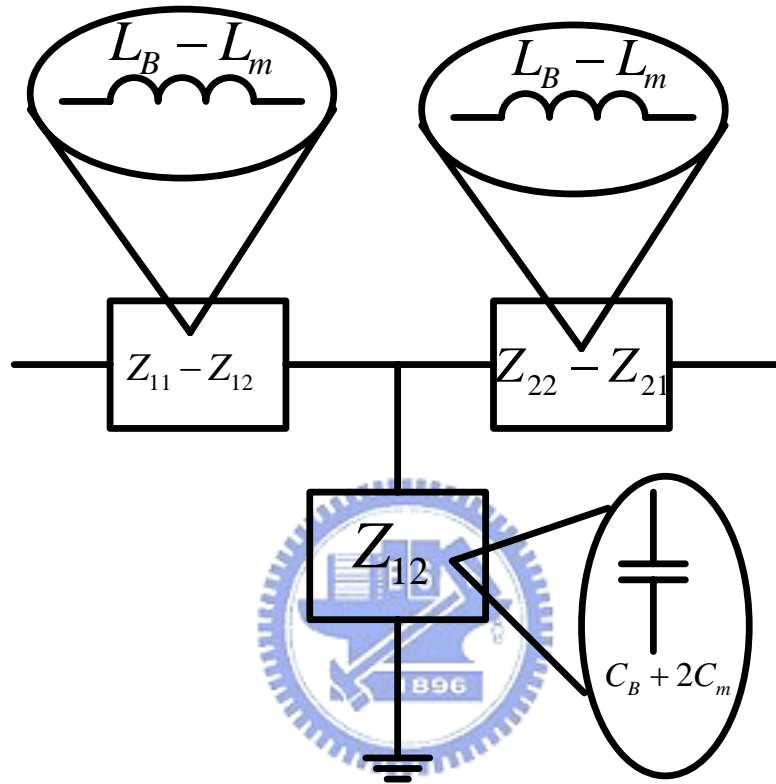


圖 2-12 耦合線奇模 T 型等效電路和電路元件值對應關係圖。

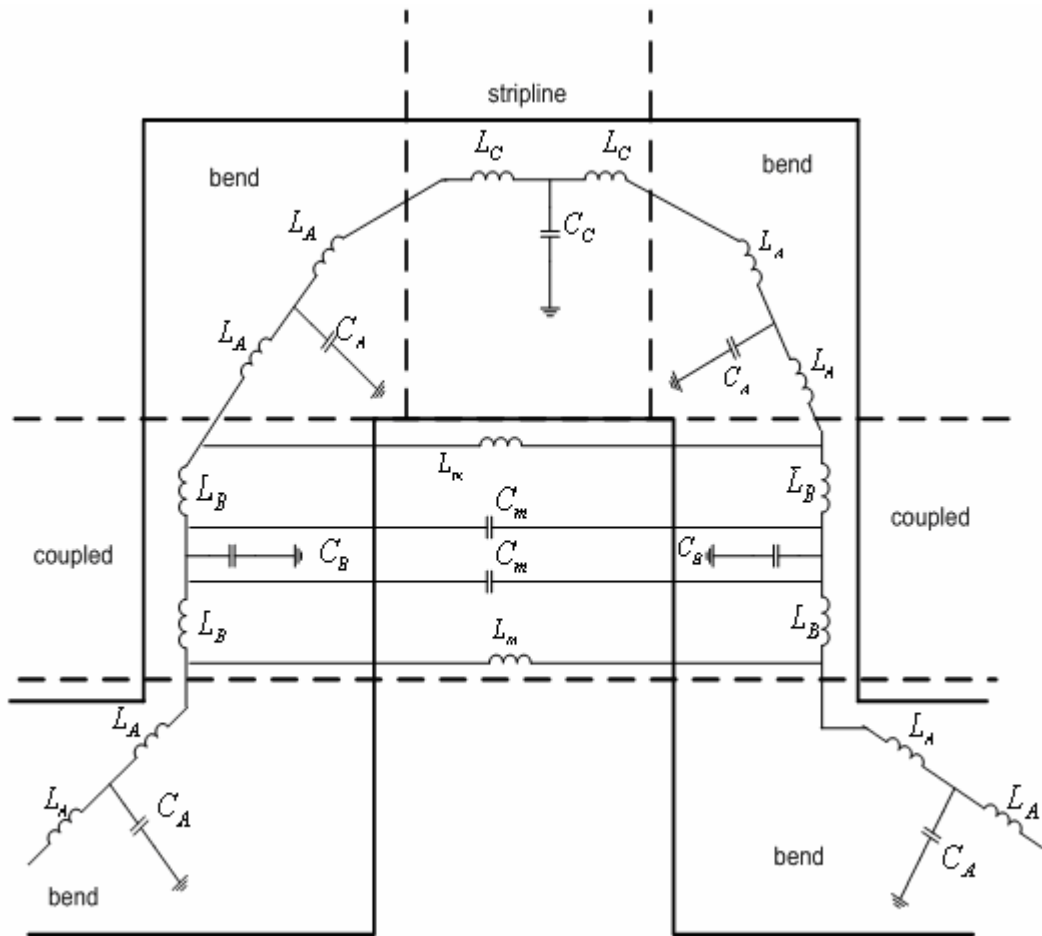


圖 2-13 蜿蜒型延遲線單位晶格等效電路。

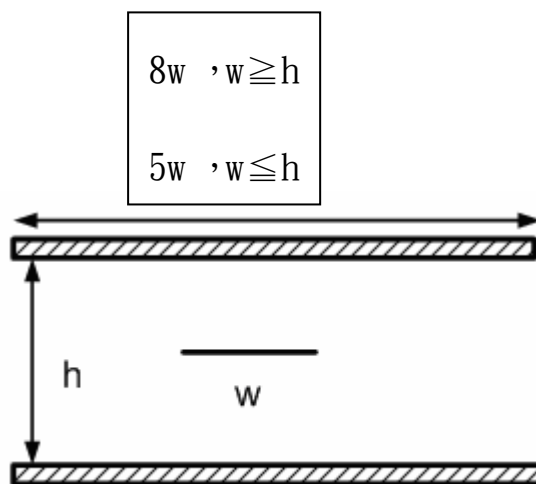


圖 2-14 HFSS 電路板大小取決規範。