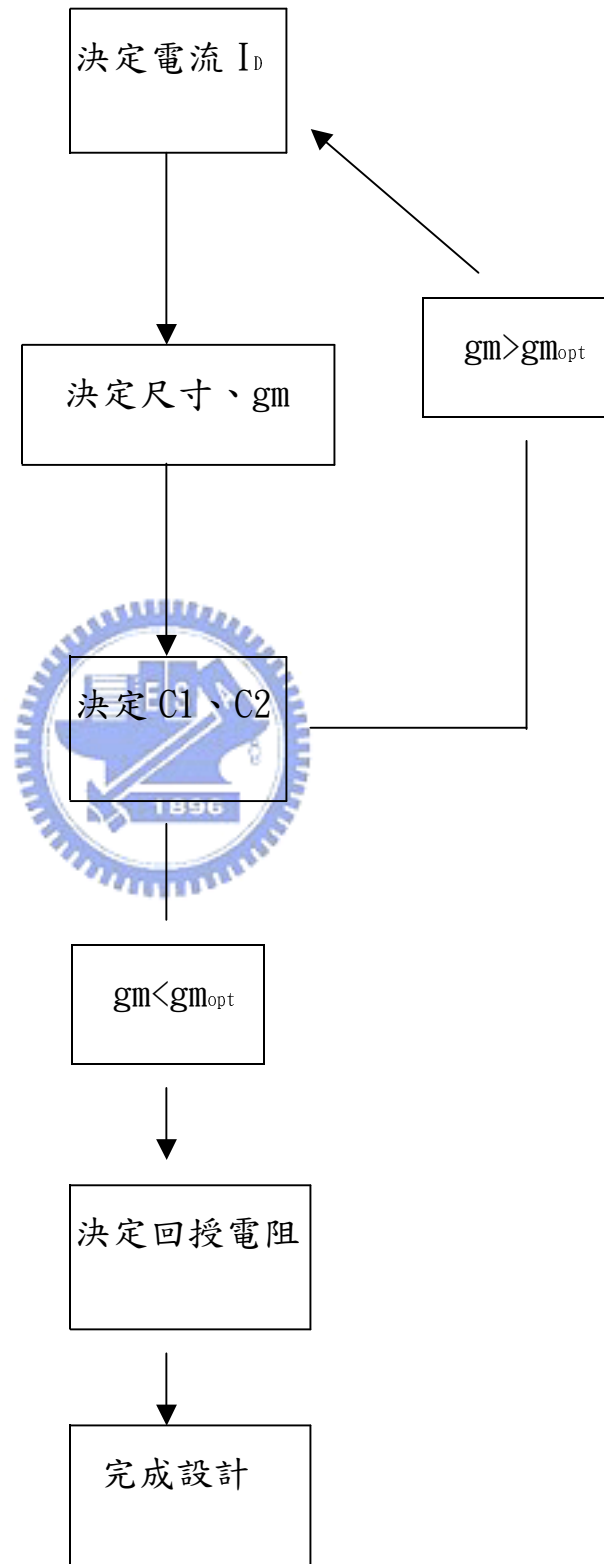


根據上面說明將設計圖表示如下：



表四 design flow

## 2.2 元件對負電阻影響

前面以解析解方式分析三階諧波震盪器，下面嘗試以模擬方式，了解每個電容電阻元件在主動電路的負阻抗中所扮演的角色。

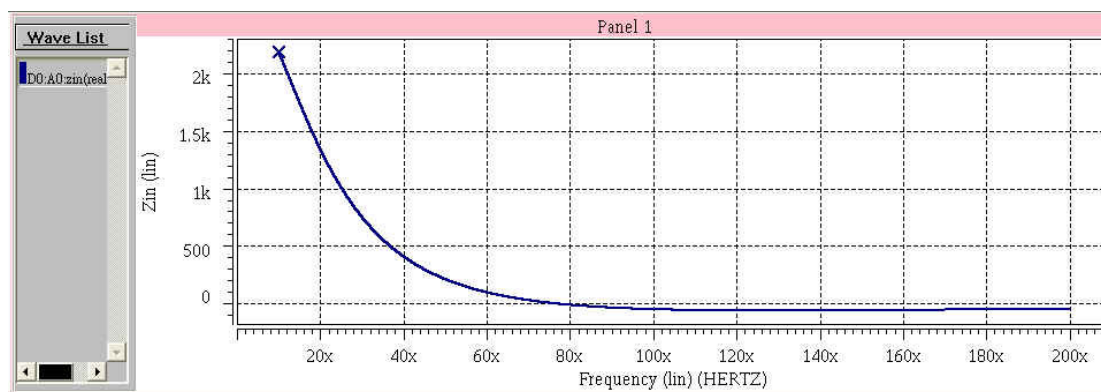


圖 2.8(a)

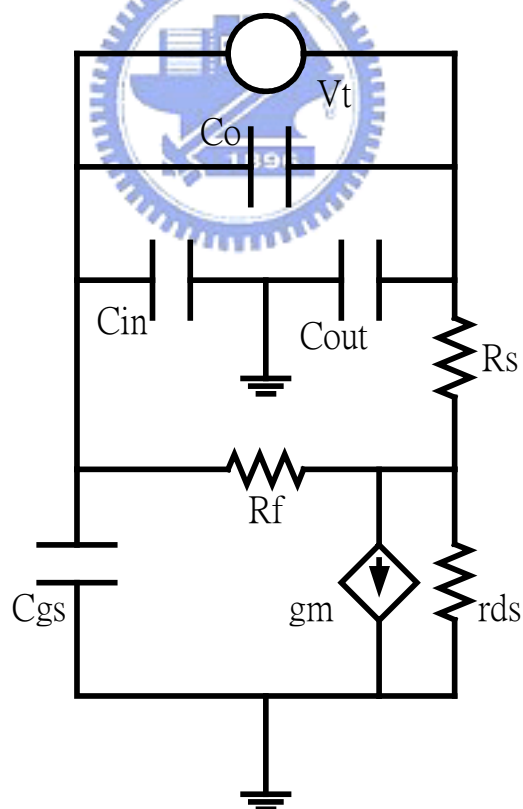


圖 2.8(b)

圖 2.8(a)是用圖 2.8(b)的電路跑出來的，為 full model 的結果

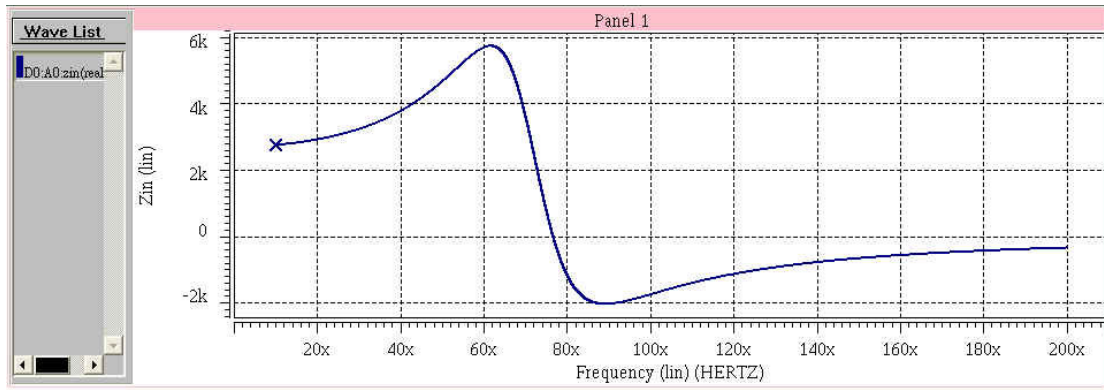


圖 2.9(a)

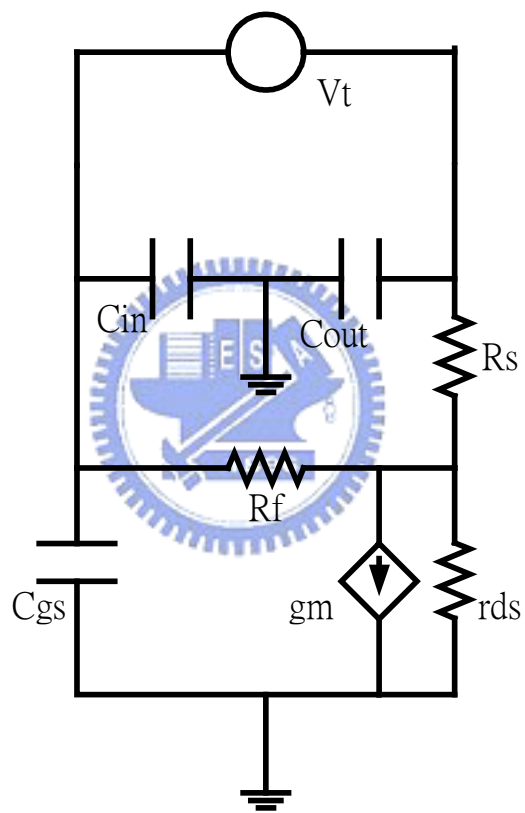


圖 2.9(b)

可以看到圖 2.9(b)將石英晶體的並聯電容拿掉，結果如圖 2.9(a)

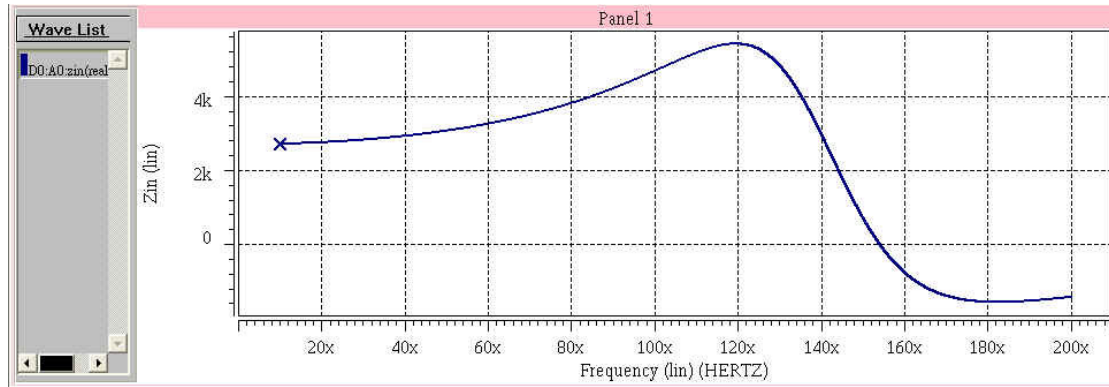


圖 2.10(a)

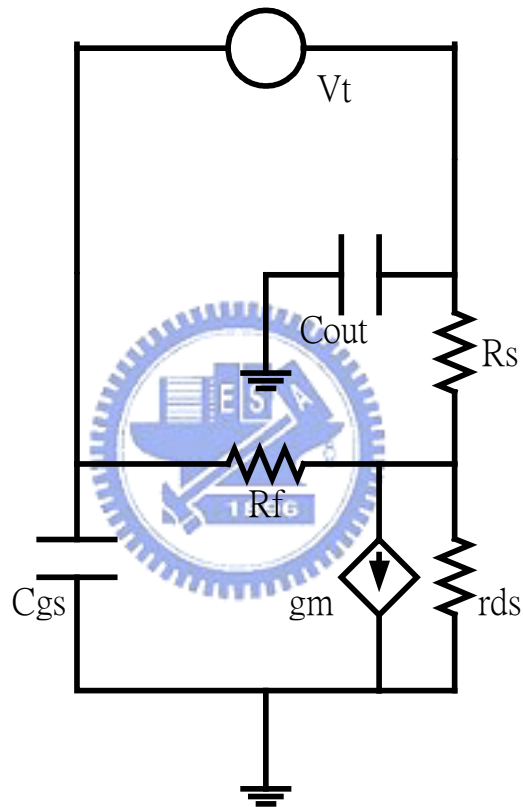


圖 2.10(b)

圖 2.9(b)與圖 2.8(b)兩者的差別在於  $C_{in}$  的存在，而  $C_{in}$  的消失其實就可以看作是 Colpitts 震盪器架構的電晶體從閘極到地的電容變小，由圖 2.9(a)可以見到其交越零點的頻率往高頻移動。

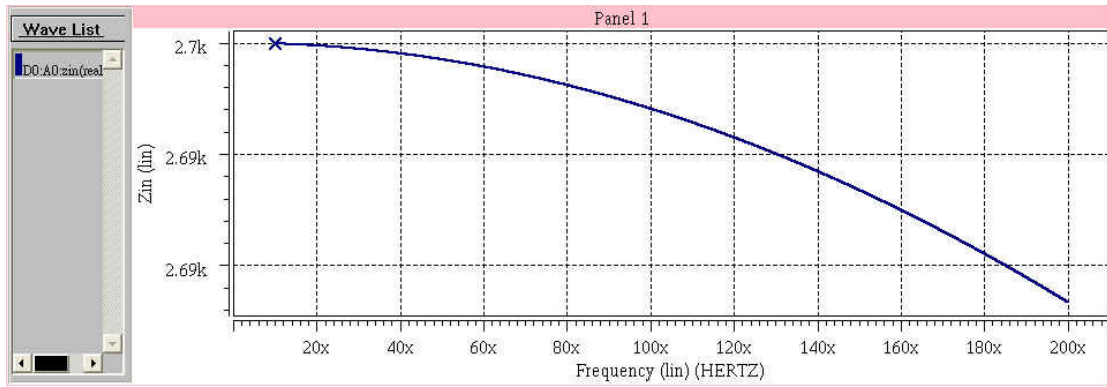


圖 2.11(a)

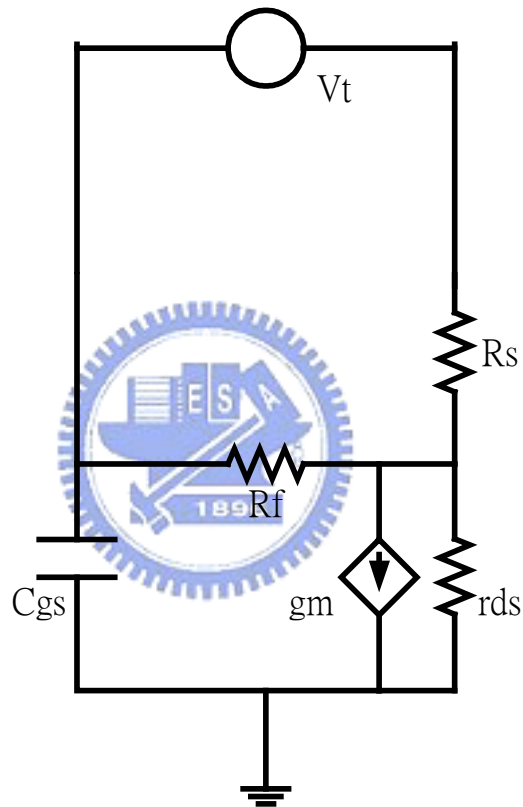


圖 2.11(b)

如今再將  $C_{out}$  拿掉，可以看出在全頻帶的實部阻抗皆為正，因此發現  $C_{out}$  的角色越顯重要，Colpitts 架構需要  $2C1L$ ， $C_{in}$  可以沒有，因為還有電晶體的  $C_{gs}$ ，只是可能頻率響應的頻段非原先所想要的，但是  $C_{out}$  一消失，則 Colpitts 震盪將無法發生。

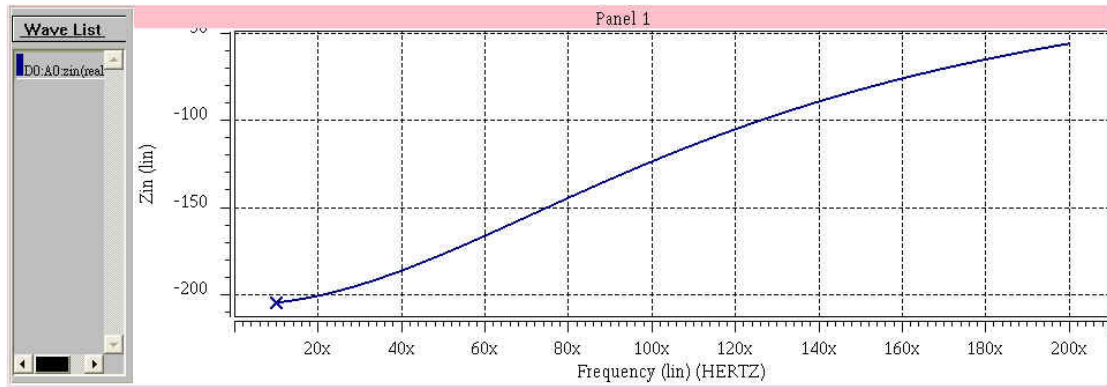


圖 2.12(a)

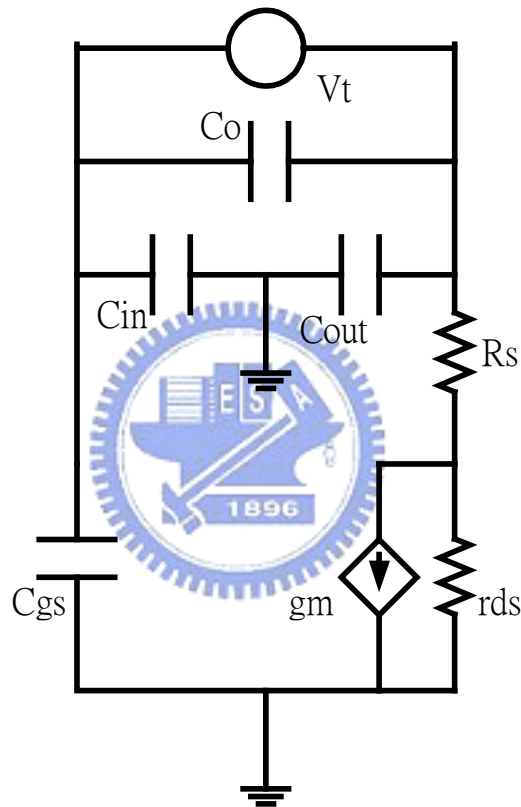


圖 2.12(b)

圖 2.12 是將 full model 中的回授電阻  $R_f$  拿掉，可以看到主動電路負阻抗實部將完全為負，若是在設計基本波石英晶體震盪器，則此種省略是可以接受的，因為基本波損耗小，其等效串聯電阻都在  $10\Omega$  以下，且不需考量實部阻抗交越零點頻率，但是在諧波震盪器的情況下則不能允許這樣的忽略。

藉由前面幾頁的個別元件一一拆解跑頻率響應，可以得到以下判斷；  
 $C_{in}$  電容與  $R_f$  電阻具有控制交越零點頻率的功用， $C_{in}$  越小、 $R_f$  越  
小，響應越往高頻移動， $C_{out}$  則提供必要的震盪環境，且在諧波震  
盪器的情況下，解析解不能省略  $R_f$  電阻。

而  $R_f$  電阻值對主動電路負阻抗的影響為其值越小則交越零之頻  
率點越高，但在諧波處所提供的負阻抗越小，如圖 2.13 所示

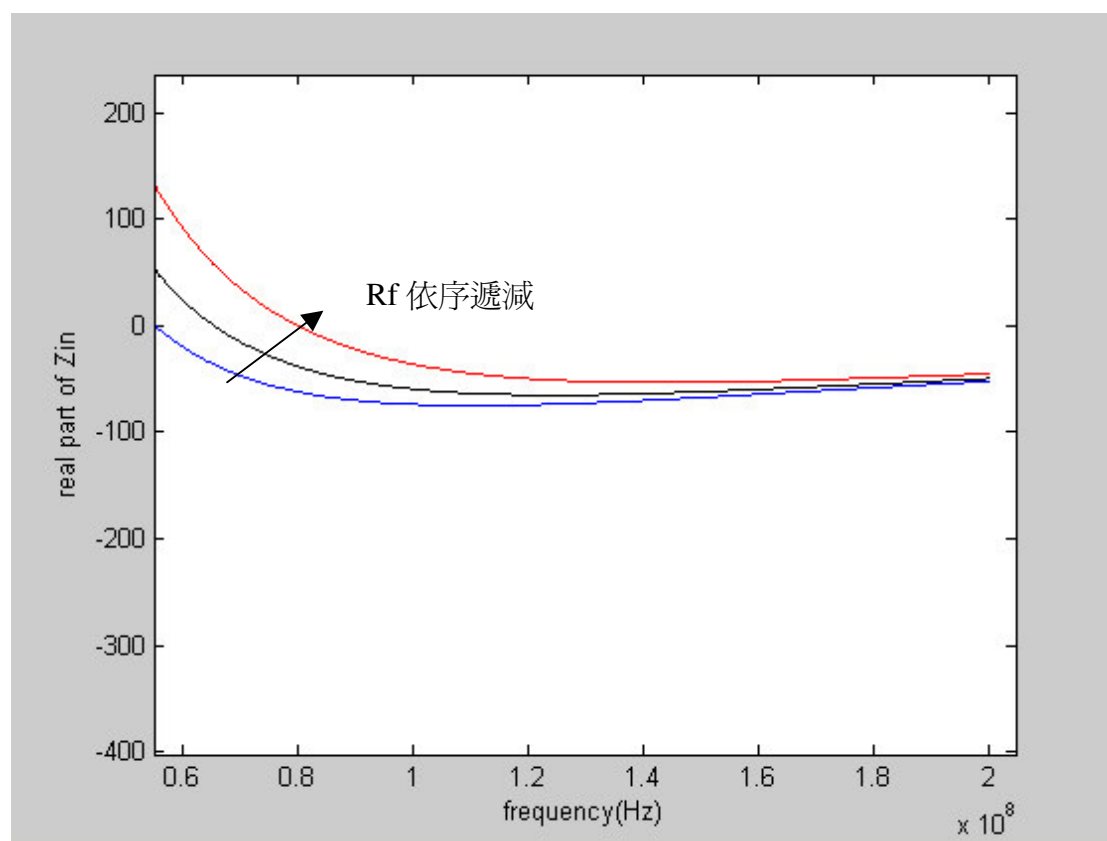


圖 2.13

由圖 2.13 可看出在只調整  $R_f$  的情況下，每個 condition 在高頻段區  
間不會有相交的情形出現。

## 2.3 設計實例

接著介紹在 CIC M25-93B shuttle 所做的此種類型 overtone 電路模擬結果，預計做震盪在 155MHz 的 overtone 晶片。

Core circuit + buffer :

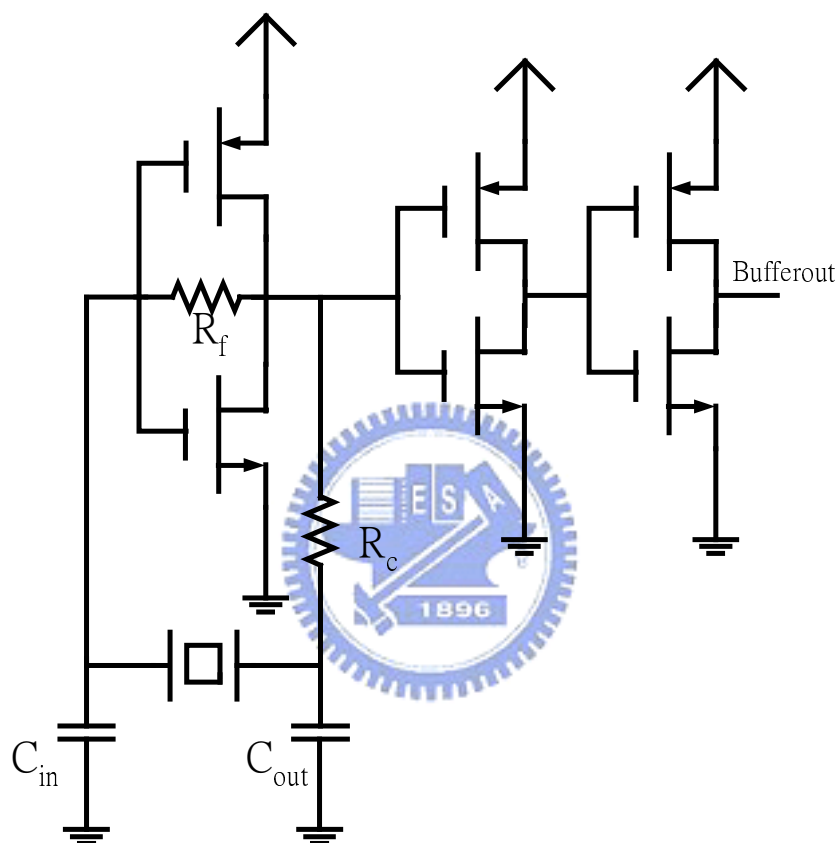


圖 2.14

這次以兩級串接的反相器當 buffer，以避免 output swing 過小，然而如此一來，輸出將為方波。

依照前面的設計流程，首先設定電流

假設  $I_D=2\text{mA}$ ，調整上下兩顆 P、N mos 的比例約 3:1，使得  $V_{gs}$  約等於 1V 並決定 PMOS 的  $(W/L)=240/0.8$ ，NMOS  $(W/L)=80/0.8$ ，進而得到



兩顆 mos 的  $g_m$  大約分別為  $7\text{mA/V}$ 、 $11\text{mA/V}$ ，於是總的來說約有  $18\text{mA/V}$  的  $g_m$ ， $r_{ds}$  約  $10\text{k}\Omega$ ， $C_{gs}$  約  $1.3\text{pF}$ 。

石英三階諧波參數  $R_s$  約  $25\Omega$ ，因此令(2-15)式大於  $75\Omega$ ，並將前面所得到的  $g_m$  代入式子，這是一個不等式，所以設計者有較多的自由度，選擇  $C_1=4\text{pF}$ 、 $C_2=5\text{pF}$ ，使得(2-15)式等於  $78.3$  合於要求。

此時，由於  $C_1$ 、 $C_2$  已經決定，所以可以代入求  $g_{m_{opt}}$ ，代入求得  $g_{m_{opt}}=0.023$ ，較設計的為大，因此是穩定的。

最後將前面得到的  $g_m$ 、 $C_1$ 、 $C_2$ 、 $r_{ds}$ 、 $C_{gs}$  代入(2-14)式，求回授電阻  $R_f$  使得(2-14)式交越零的頻率大於基本波  $10\text{MHz}$  以上 ( $52\text{MHz}+10\text{MHz}=62\text{MHz}$ )，現今選擇交越零頻率在  $68\text{MHz}$ ，此時的  $R_f$  約為  $2.7\text{k}\Omega$ 。



以下是將所設計的值代入 SPICE 跑 full model 所得到的結果

主動電路負電阻模擬

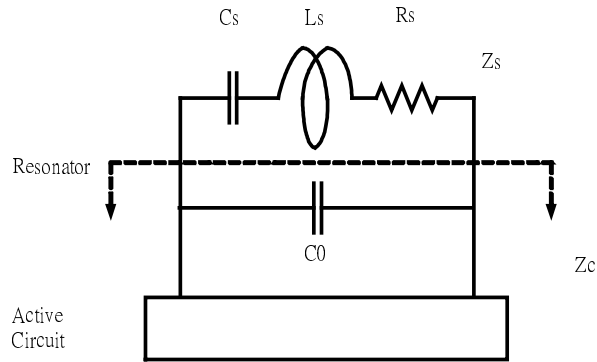
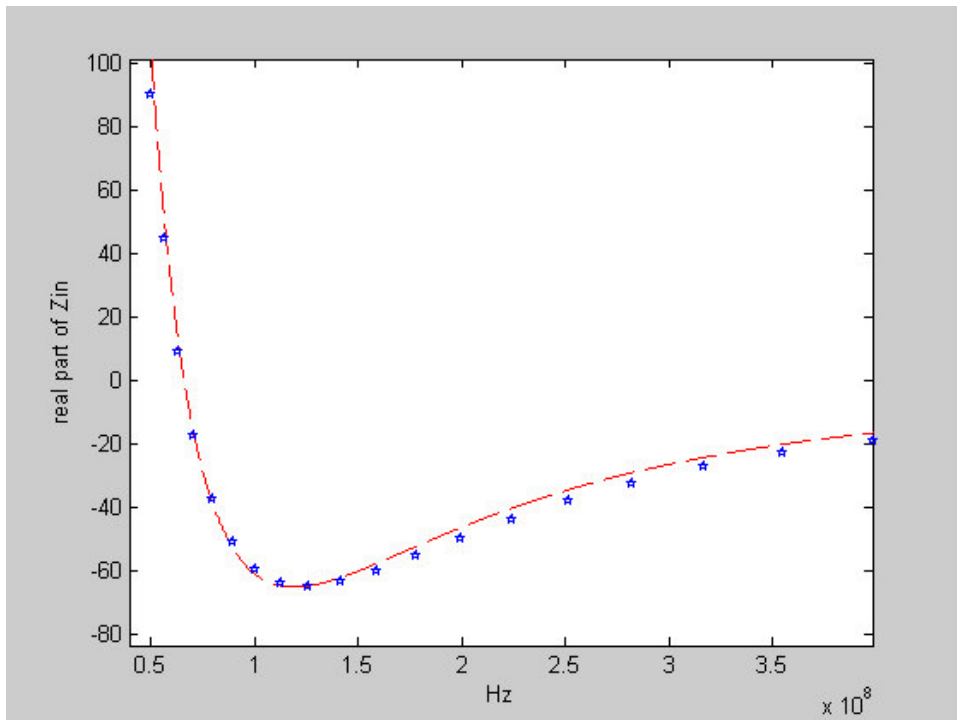


圖 2.15 負電阻模擬示意圖



--- : (2-13)式  
 Star : HSPICE

圖 2.16 公式與 HSPICE 模擬比較

可以看到在諧波處的負電阻為  $61\Omega$ ，較(2-15)式為小，跟我們預期的一致，交越零頻率則相差不遠僅有約 1MHz 的差距。

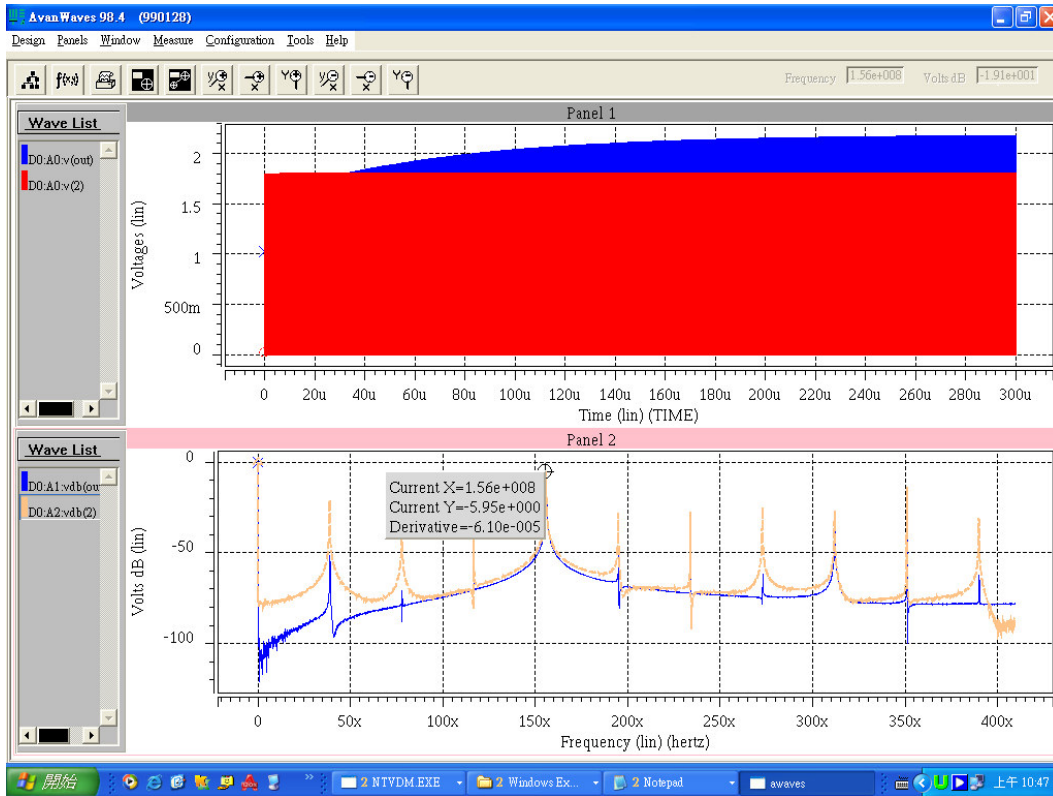


圖 2.17 震盪波形與頻譜模擬

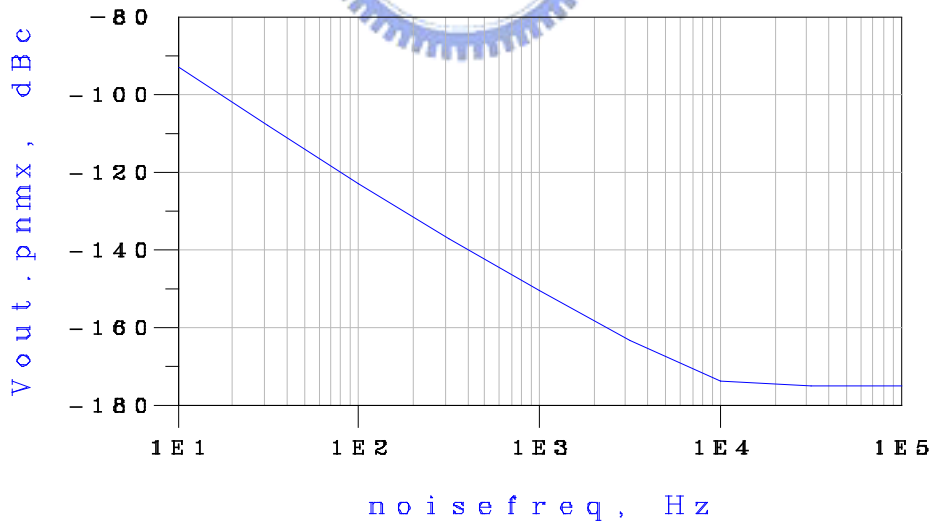


圖 2.18 phase noise 模擬

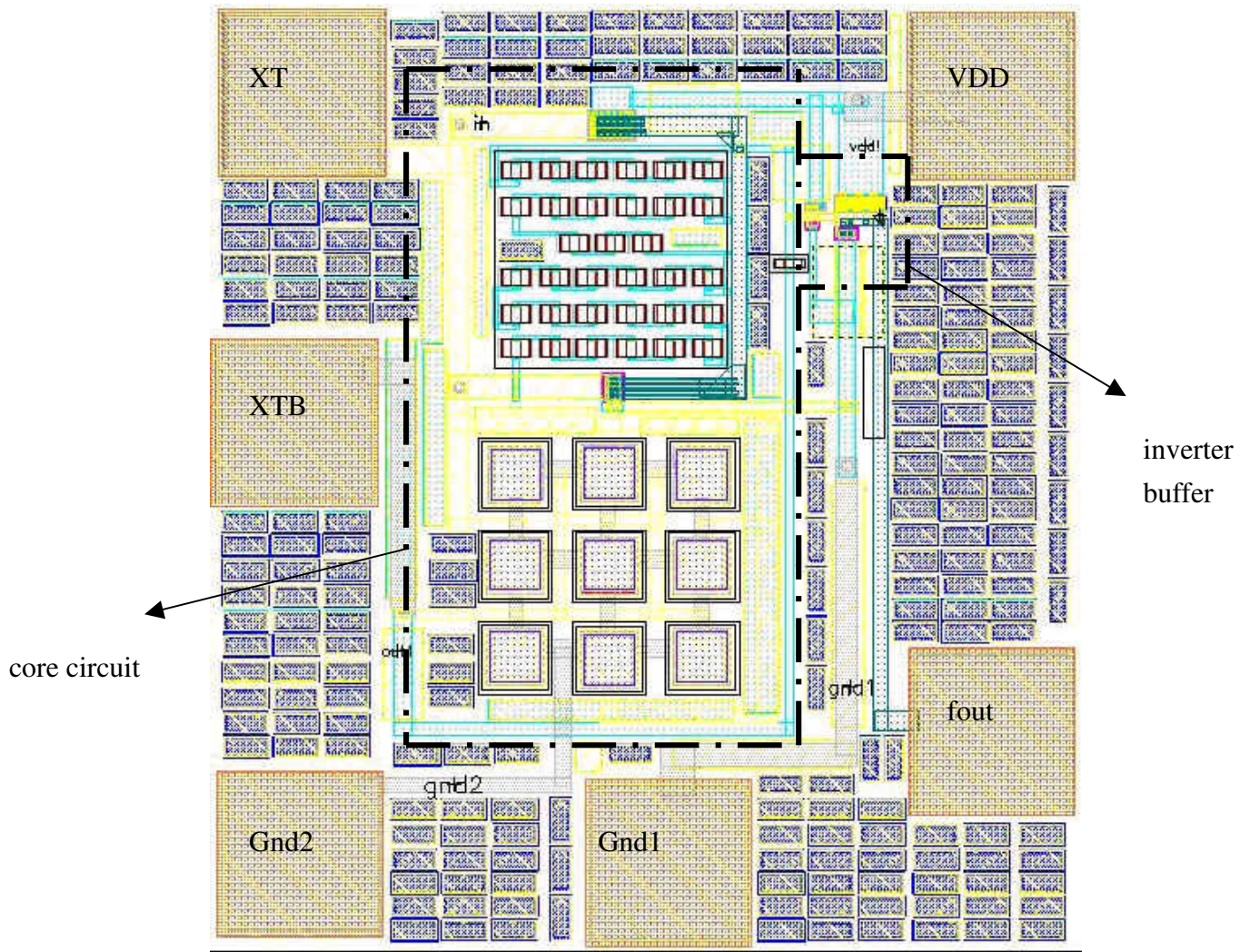


圖 2.19 layout

## 2.4 高通回授法

最後再提出一具有高通回授的震盪器電路

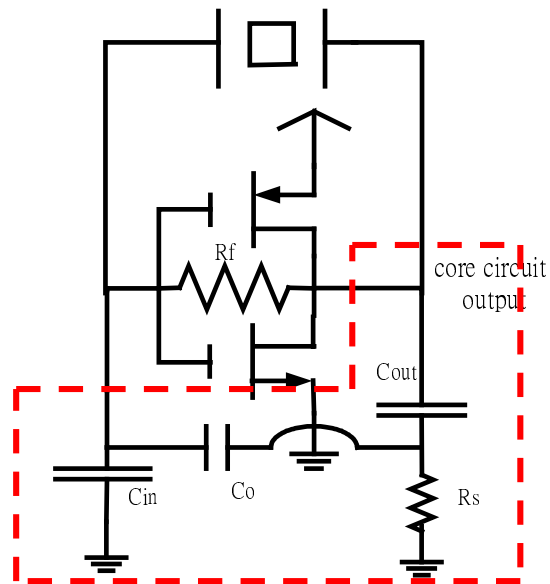


圖 2.20 震盪器電路

本電路當初設計時的想法是利用  $C_{out}$ 、 $R_s$  當做提供一個高通的環境，適於高頻的訊號震盪，再經由  $C_o$  將訊號送回石英的另一端完成整個迴路。但由於有  $C_o$ 、 $C_{in}$  的存在，其負載效應會不會使  $C_{out}$ 、 $R_s$  的高通特性消失不得而知，因此將對這回授路徑做一推導。

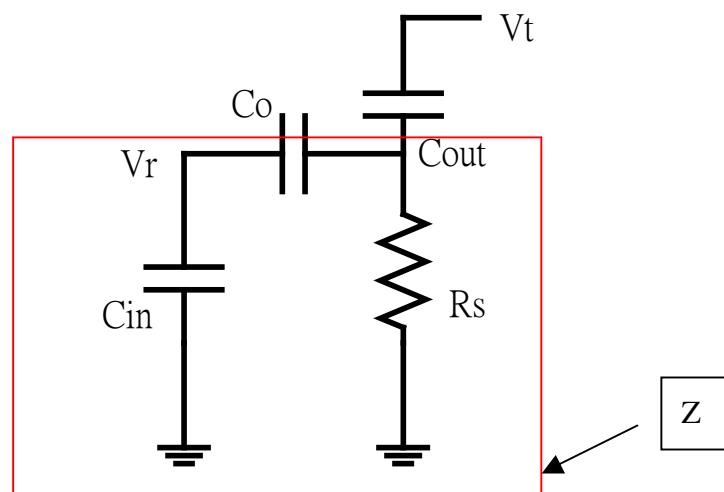


圖 2.21 回授路徑

由圖 2.20 可以寫得下式

$$v_r = v_t \times \frac{Z}{\frac{1}{sC_{out}} + Z} \times \frac{\frac{1}{sC_{in}}}{\frac{1}{sC_{in}} + \frac{1}{sC_o}} \quad (2-16)$$

其中，

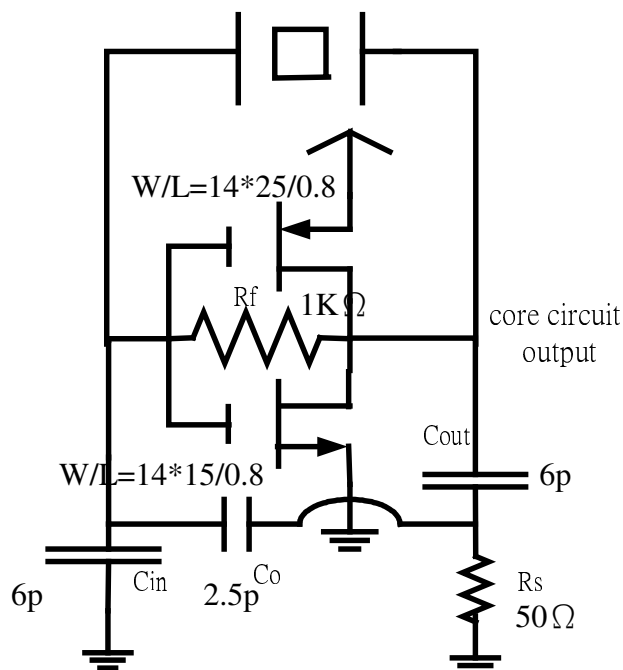
$$\begin{aligned} Z &= \frac{1}{sC_{in}} // \frac{1}{sC_o} // R_s \\ &= \frac{1}{\frac{1}{sC_{in}} + \frac{1}{sC_o}} // R_s \\ &= \frac{R_s}{1 + R_s(sC_o + sC_{in})} \end{aligned} \quad (2-17)$$

所以

$$\begin{aligned} \frac{v_r}{v_t} &= \frac{\frac{R_s}{1 + R_s(sC_o + sC_{in})}}{\frac{1}{sC_{out}} + \frac{R_s}{1 + R_s(sC_o + sC_{in})}} \times \frac{\frac{1}{sC_{in}}}{\frac{1}{sC_{in}} + \frac{1}{sC_o}} \\ &= \frac{R_s}{R_s + R_s \frac{(C_o + C_{in})}{C_{out}} + \frac{1}{sC_{out}}} \times \frac{C_o}{C_o + C_{in}} \end{aligned} \quad (2-18)$$

從(2-18)式可以看出有高通的特性

根據以下電晶體尺寸，得到圖 2.22 的負實部阻抗響應



下面附上主動電路負阻實部頻率響應圖

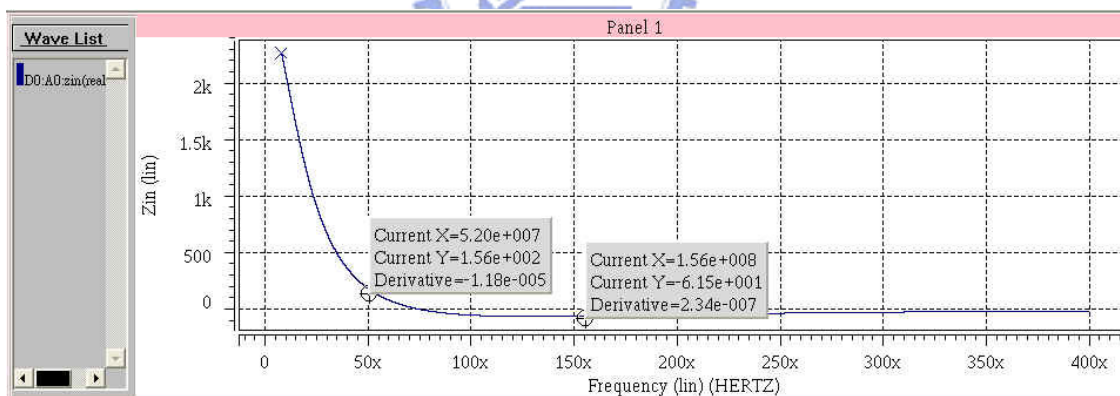


圖 2.22 負實部阻抗頻率響應

由圖 2.22 可以看出在基本波處，該主動電路的正阻抗較 2.3 節所提到的類型為大，能抑制基本波的震盪，且三倍頻處的負電阻並無衰減。

### 第三章

## 外掛 LC 網路三階諧波石英晶體震盪器

### 與 PECL 輸出級

#### 3.1 外掛 LC 網路三階諧波石英晶體震盪器

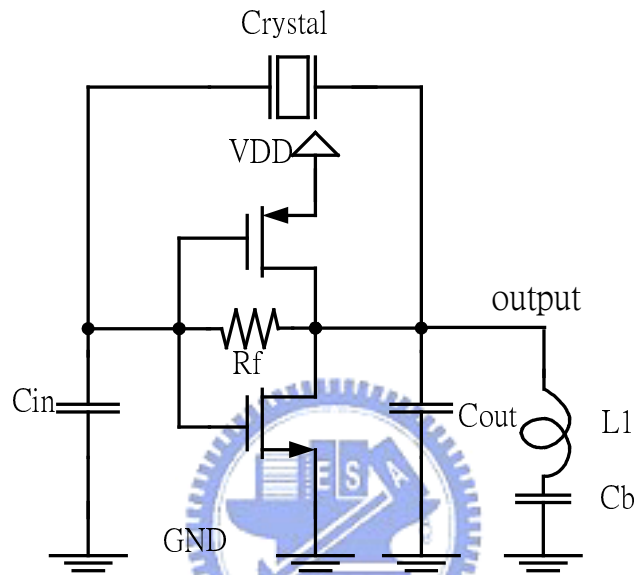


圖 3.1

這種方式最為常見，像 Analog Devices 公司的 overtone 晶片[5]都是採用類似的架構，此種方法是在 1.2 節所介紹的基本波石英晶體震盪器(如圖 1.5)的輸出端加上一路串聯的  $L_1$ 、 $C_b$  網路，其工作原理在於基本波石英震盪器其實就是一個 Colpitts oscillator，為兩電容一電感的震盪架構，圖 3.2 為小訊號等效電路，其中

$$Z_1 = jX_1 \quad Z_2 = jX_2 \quad Z_3 = jX_3 \quad (3-1)$$

現在若把回授路徑打斷，掛上一個測試電壓源  $V_t$  如圖 3.3，可求得迴路增益



$$L(s) = \frac{V_r}{V_t} \approx -gm \frac{Z1 // (Z2 + Z3)}{R_{out} + [Z1 // (Z2 + Z3)]} \cdot \frac{Z2}{Z2 + Z3} \quad (3-2)$$

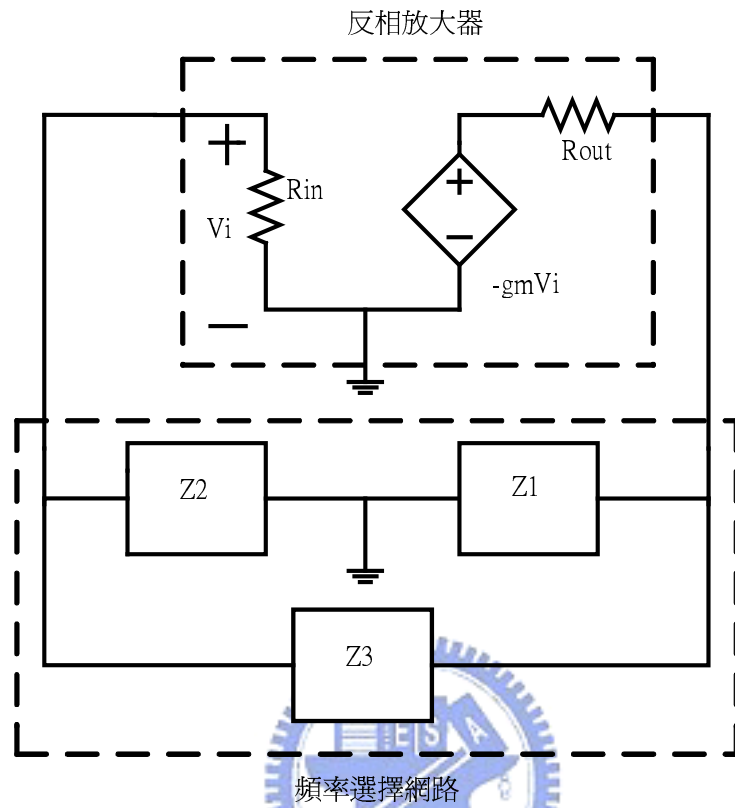


圖 3.2 Colpitts 震盪器小訊號電路模型

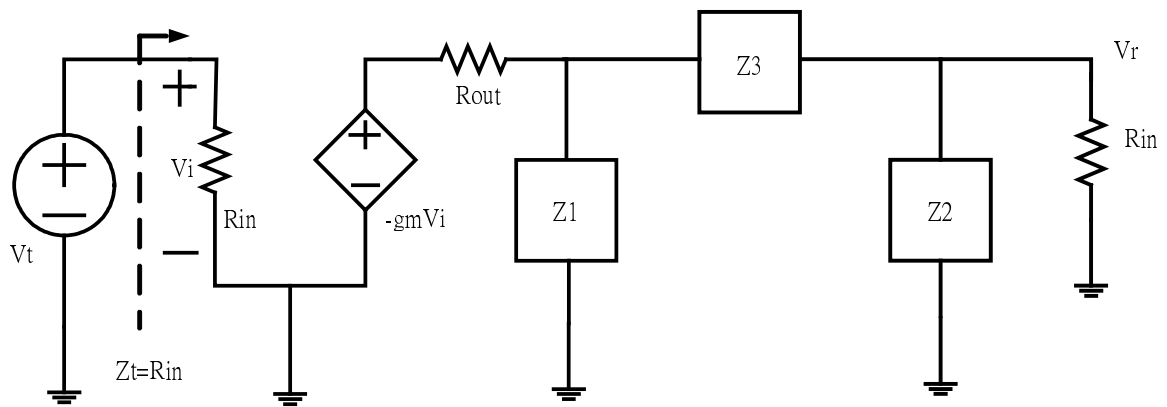


圖 3.3 打斷回授路徑求迴路增益

整理可得

$$L(s) \approx \frac{-gmZ1Z2}{Z1(Z2 + Z3) + Rout(Z1 + Z2 + Z3)} \quad (3-3)$$

將(3-1)代入(3-3)可得

$$L(s) \approx \frac{-gmX1X2}{-X1(X2 + X3) + jRout(X1 + X2 + X3)} \quad (3-4)$$

如今我們借用一下 Barkhausen 準則，非為起振分析，而是為了解釋額外加上的 LC 網路如何阻斷基本波的震盪；根據 Barkhausen 準則，要使電路起振  $|L(s)|$  需略大於 1，迴路相位為零度，因此可以得到

$$X1 + X2 + X3 = 0 \quad (3-5)$$

而像圖 1.5 的石英晶體基本波震盪器都是 Colpitts 架構，如果多加上一路串聯的 LC 網路  $L1$ 、 $Cb$ ，可以使得基本波處的輸出端(output)到地看到電感性，使得閉迴路相位不為零度，進而破壞 Colpitts  $2C1L$  的震盪型態，但在三階諧波處輸出端到地仍為電容性，於是震盪發生在三階諧波而不是基本波。

在 CIC 提供的 shuttle M25-93A 曾經下過此種類型的 overtone chip，現將模擬與量測結果闡述於後。

首先介紹完整的電路架構，如圖 3.4

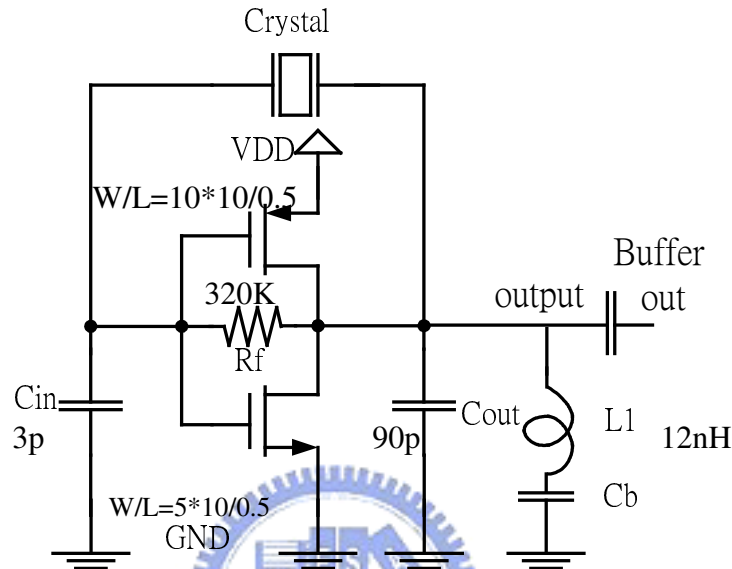


圖 3.4

以 HSPICE 求得負電阻模擬結果如圖 3.5

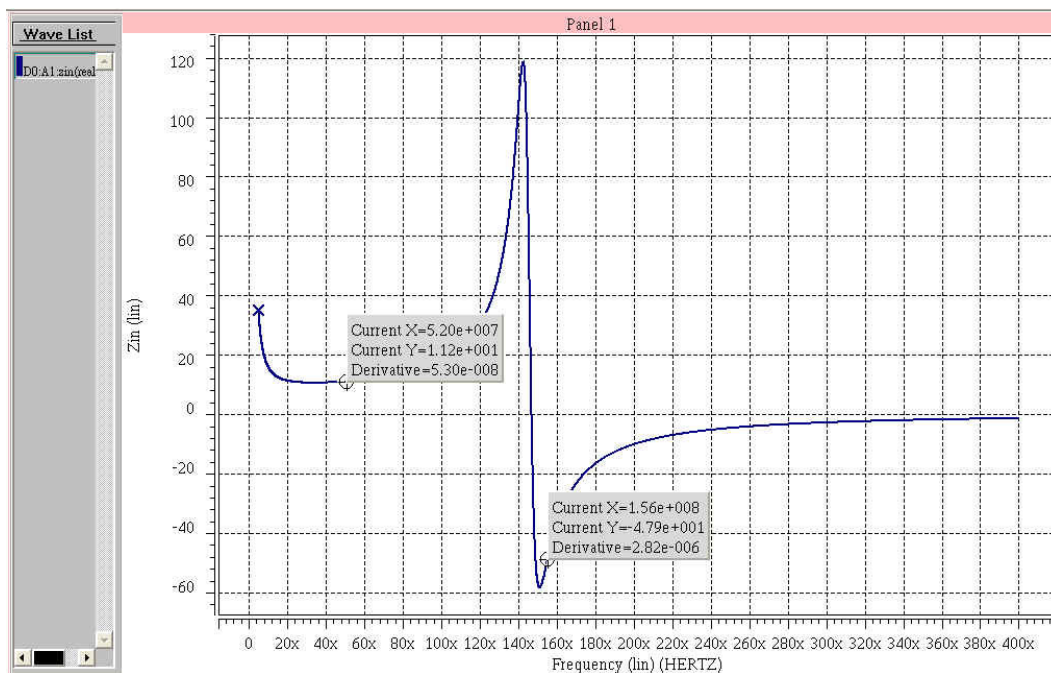


圖 3.5(a) 主動電路負電阻模擬

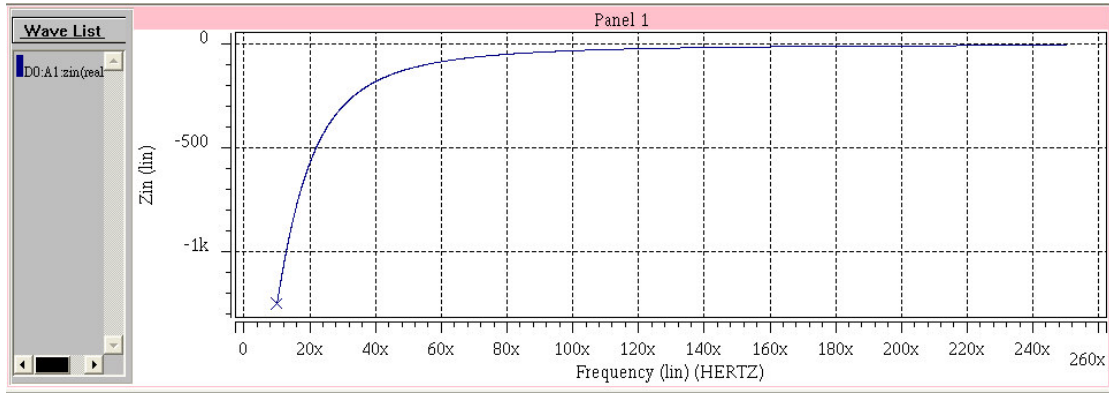


圖 3.5(b)未加 LC 網路時的主動電路負電阻

震盪波形模擬(TT corner)

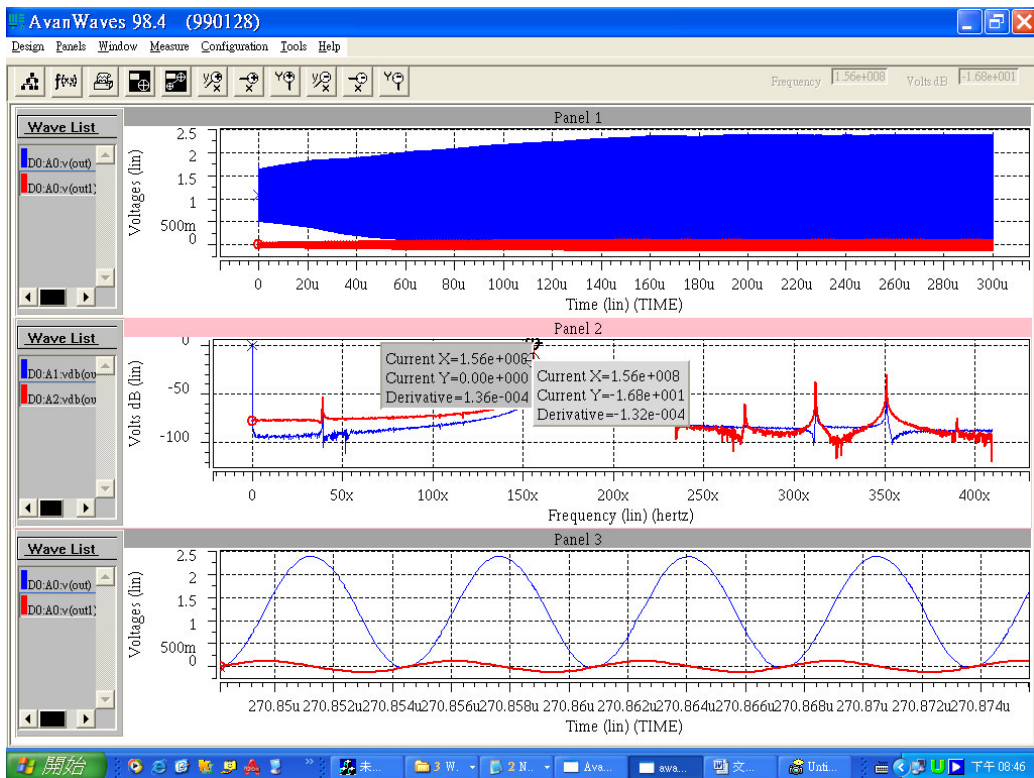


圖 3.6

phase noise 模擬

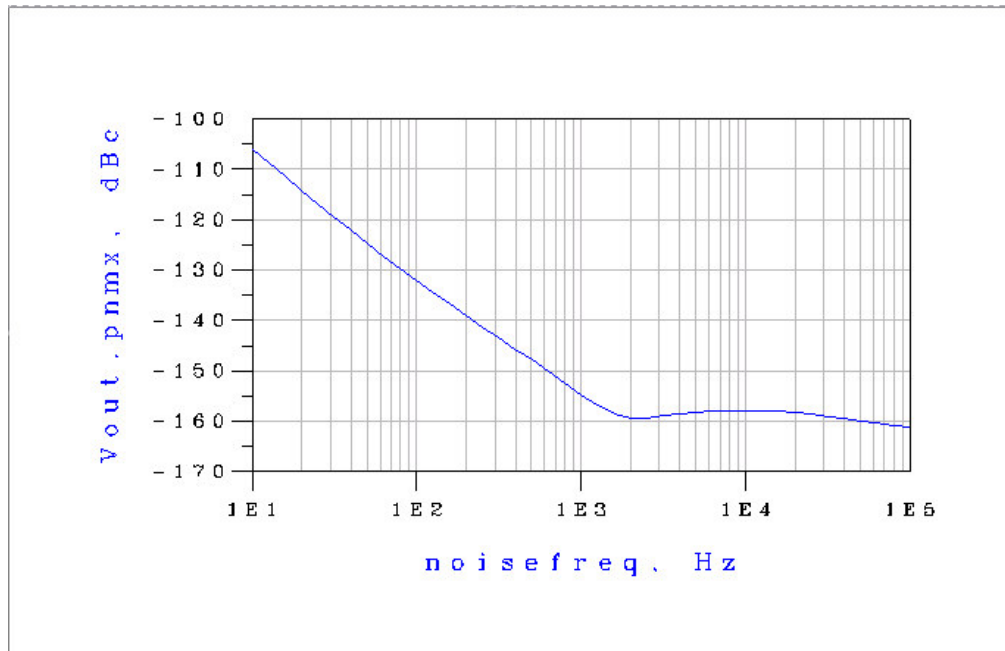


圖 3.7

量測結果

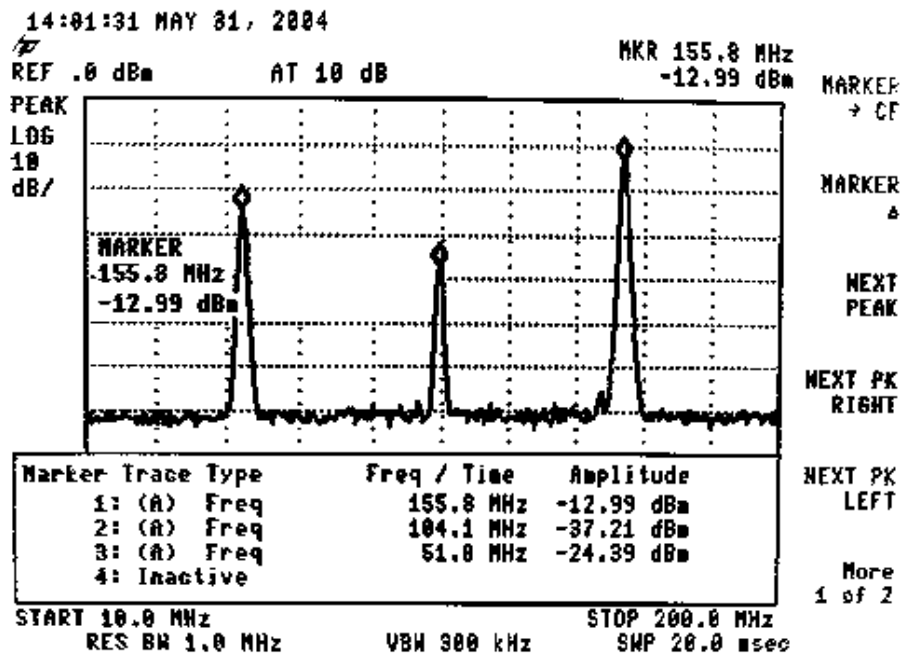


圖 3.8

### 晶片實作圖

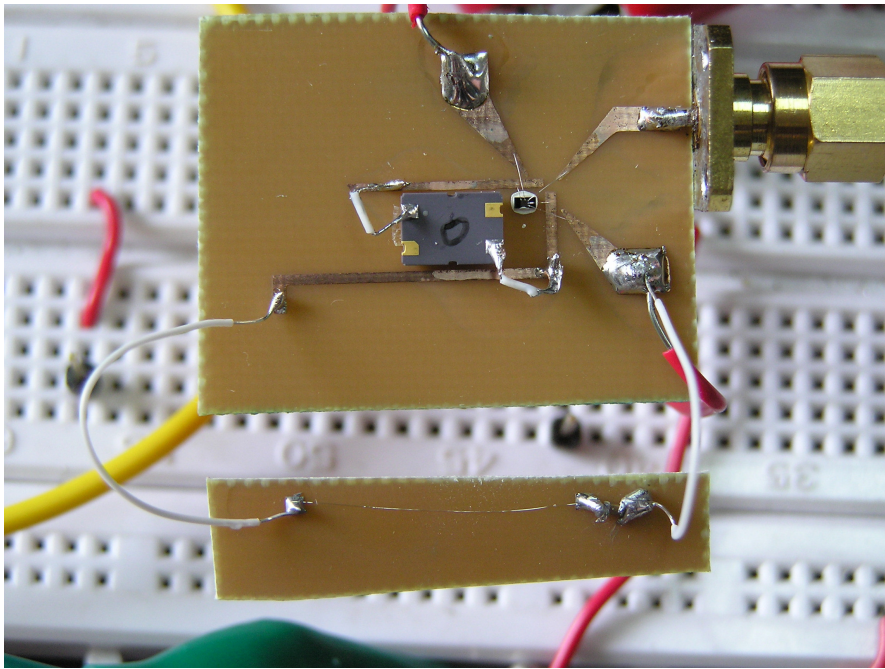


圖 3.9

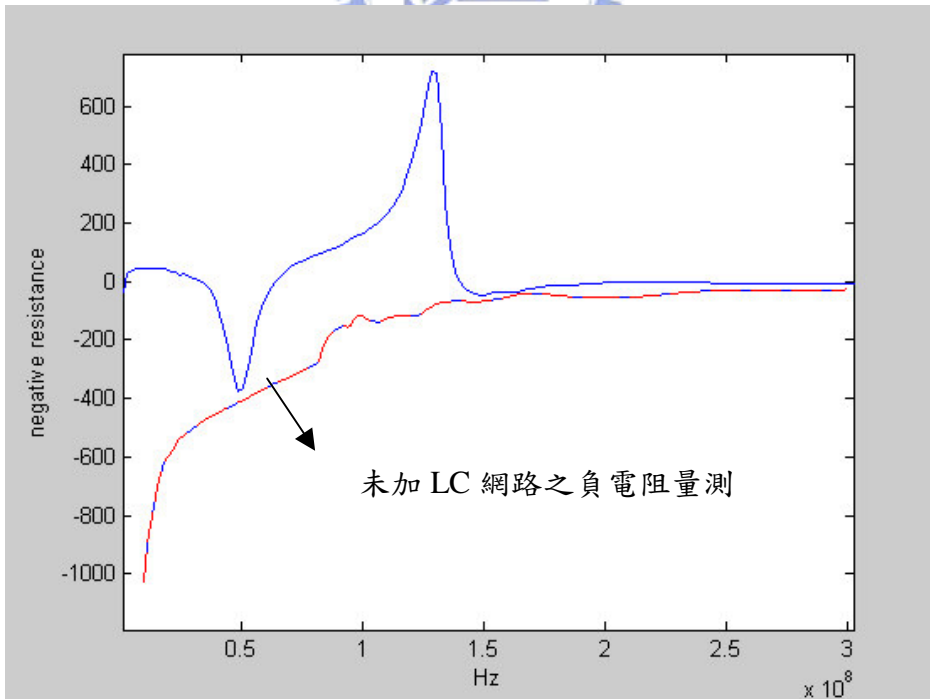


圖 3.10 負電阻量測

以下介紹負電阻量測原理：

由於要量測石英端點阻抗兩端均不接地，因此無法直接用 one-port 作輸入阻抗量測，今改用 two-port 網路，其原理為假設虛線框起來的是一個完全理想的變壓器，

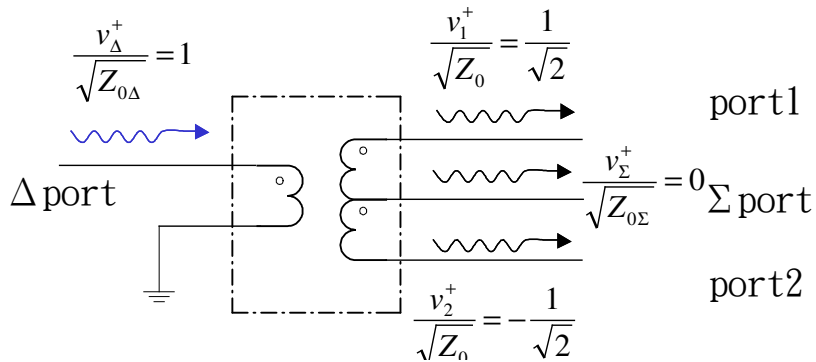


圖 3.11(a)

已知一變壓器如圖3.11(a)所示由  $\Delta$  port 輸入 1 單位之波則 port1 與 port2 將輸出  $\frac{1}{\sqrt{2}}$  與  $-\frac{1}{\sqrt{2}}$  單位之波，而  $\Sigma$  port 將無輸出。

若將變壓器 port1、port2 兩端接到待測兩端如圖 3.11(b)所示，今由  $\Delta$  port 激發 1 單位之波，其他各 port 的響應如下

$$\text{因為 } \begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} s_{11} & s_{12} \\ s_{21} & s_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix}, \text{ 其中 } a_1 = \frac{1}{\sqrt{2}}, \quad a_2 = \frac{-1}{\sqrt{2}}$$

$$\therefore b_1 = \frac{1}{\sqrt{2}}(s_{11} - s_{12}), \quad b_2 = \frac{1}{\sqrt{2}}(s_{21} - s_{22})$$

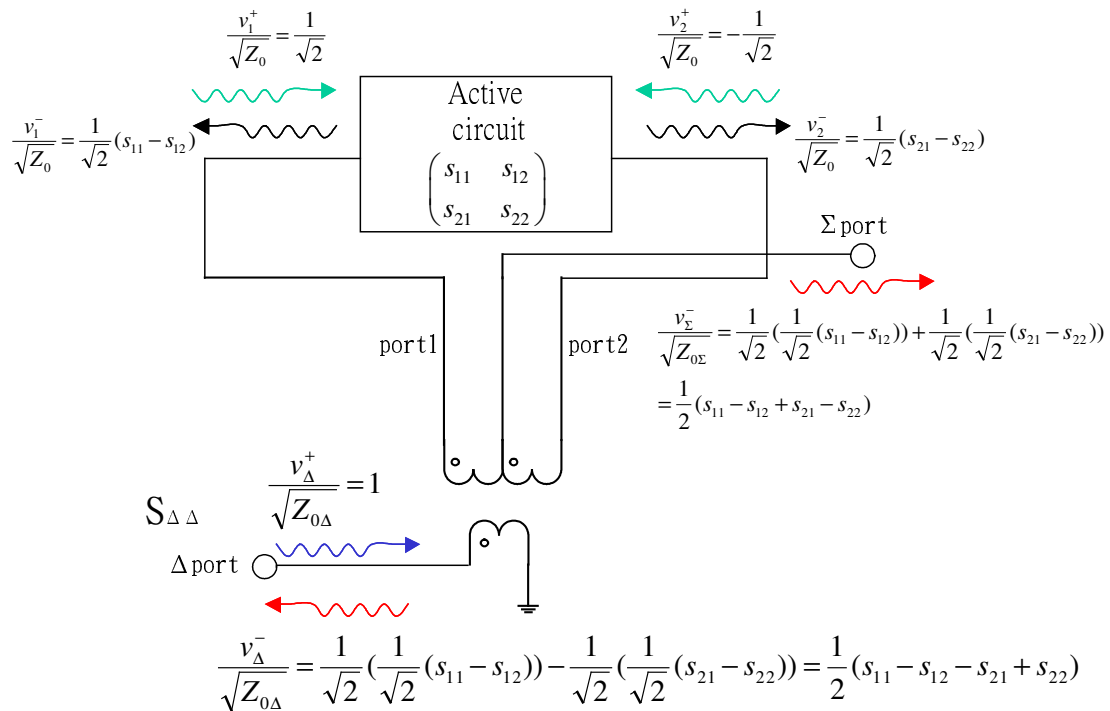


圖 3.11(b)

由圖 3.11(b)可以知道， $S_{\Delta\Delta} = 0.5 * (S_{11} - S_{12} - S_{21} + S_{22})$ ，所以我們只要量測主動電路的 2-port S-parameter，經過運算即可知道 differential 的 S-參數，進而可以得到差動看入的阻抗。

### 預計規格與量測結果

規格	模擬	量測
電源供應電壓	2.5V	2.5V
壓控振盪器震盪頻率	156MHz	155.8MHz
系統消耗功率(Vdd=2.5V)	27.7mW	21.3mW
Output swing	200 mVp-p	170mv Vp-p
Phase noise	107dBc@10Hz	

討論：

這次晶片量測的結果並不理想，雖然 3rd overtone 有出現且大於



fundamental 12dB 左右，但是理想上的 overtone osc. 應該看不到 fundamental 的 tone 出現在頻譜分析儀上；探究其原因，在於本次下線設計時由於想要有弦波輸出，一開始採用 source follower 架構，但隨即發現因為本身反相器架構的 core circuit 振出來的擺幅接近 VDD to Ground，超過源極追隨器的線性區，將使得源極追隨器底下的電流源流過的電流不固定，造成 buffer 輸出的波形失真，因此後來改用一 ac couple 電容當做 buffer 輸出，以交流的觀點來看，該電容越大越好，如此交流訊號看到的阻抗才會小，但是電容大會影響核心電路負電阻的行為，變得無法發振，以起振的觀點來說，該電容要小；綜合以上，電路變得對 buffer 過於敏感，造成本次下線沒有達到很好的結果。以後輸出級皆改採用兩級反相器串接，既不會影響核心電路的負電阻，也仍然有大擺幅的輸出波形。下面是模擬 couple 電容對核心電路負電阻的影響，可看出影響甚大，基本波處的負電阻已足夠使石英 fundamental 發振。

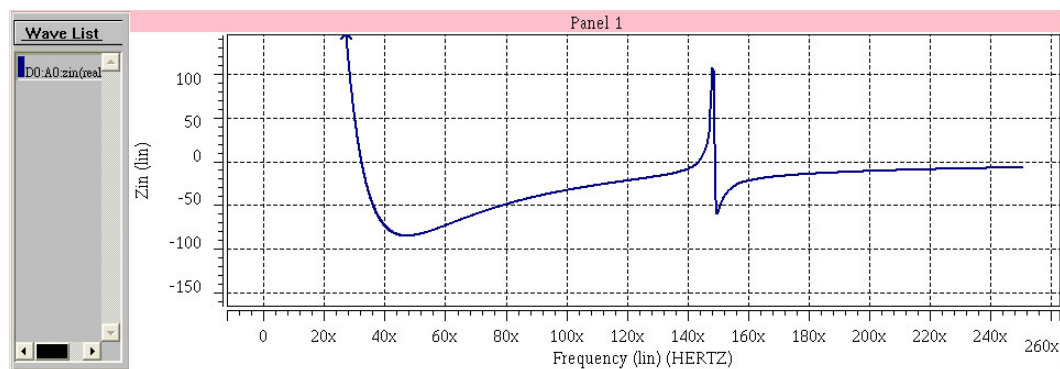


圖 3.12

### 3.2 具有 PECL 輸出級之三階諧波震盪器

接下來將以 2.4 節所提到的電路與一般數位電路常用的標準輸出；正向耦合邏輯輸出(PECL)；做一結合。在高速數位系統中，介面與介面之間的訊號傳輸常採用 PECL 邏輯，根據 ECL 100K 標準的定義 [6]，PECL 的高低準位必須符合下列規範

$$\begin{aligned} V_{DD} - 1.025V < V_{OH} < V_{DD} - 0.880V \\ V_{DD} - 1.810V < V_{OL} < V_{DD} - 1.620V \end{aligned} \quad (3-6)$$

相較於 CMOS 邏輯，PECL 邏輯有以下幾點好處。

- (1) PECL 輸出級的輸出阻抗低，可以直接驅動 50 歐姆的負載或是同軸電纜、雙絞線等傳輸線。
- (2) PECL 可利用差動輸出，抑制共模雜訊，防止電磁干擾的發生。

架構簡介:

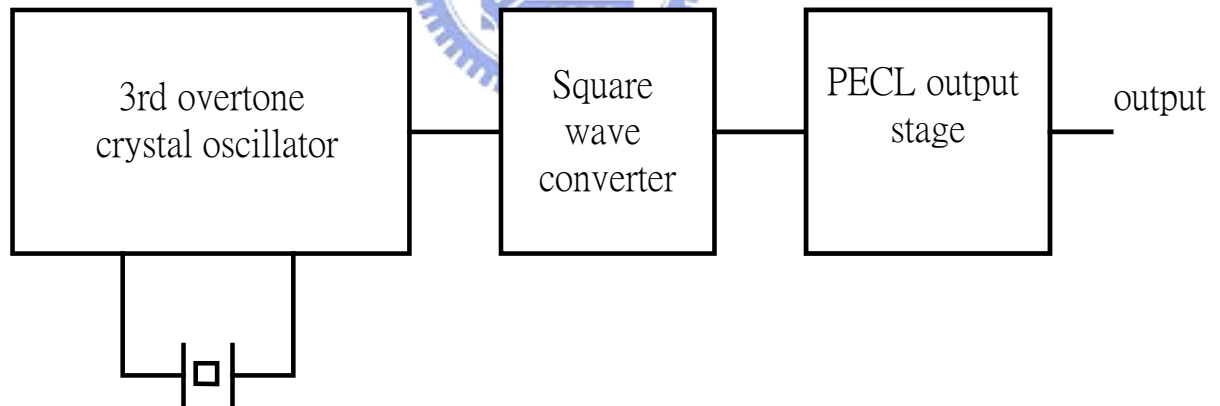


圖 3.13 整體架構

三階諧波震盪器以 2.4 節所提到的震盪器電路為之。

用兩級串接的反相器將原本接近 VDD 到 GND 的弦波訊號轉成方波，並送入 PECL 的 square in 端。一般單端的 PECL 輸出級驅動負載的方式是在負載  $R_L$  的另一端接上  $(V_{DD} - 2V)$  的電源，如圖 3.14(a)，

$R_L$  通常是  $50\Omega$  或  $75\Omega$  的電阻。另外一種則是圖 3.14(a) 的戴維寧等效電路，如圖 3.14(b)，這種方式可以省去一個電壓源，但是須付出更多的功率消耗。

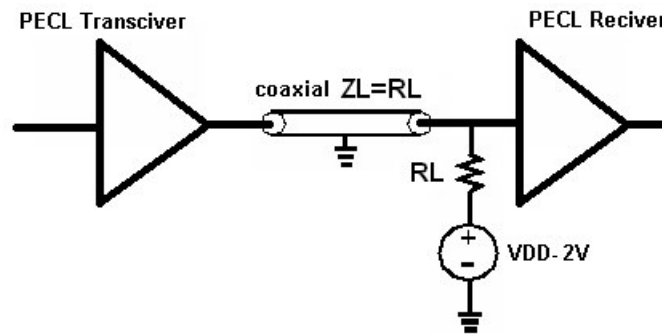


圖 3.14(a)

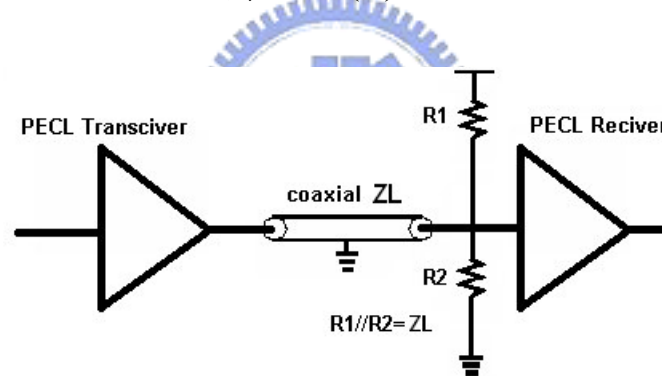


圖 3.14(b)

圖 3.15 為我們所採用的 PECL 輸出電路圖，輸入 in 來自比較器的 CMOS 方波，輸出 out 接一  $50\Omega$  的電阻負載，電阻另一端接  $(V_{DD} - 2V)$  的電源。當輸入 in 為高準位時，M3 關閉，輸出電流只由 M4 提供，此時輸出電壓為 PECL 的  $V_{OL}$ ；當輸入 in 為低準位時，M3 打開，輸出電流由 M3 及 M4 提供，因此輸出電壓為 PECL 的  $V_{OH}$ 。由於 M3 只有在 PECL

的高準位才會導通，因此不會浪費無謂的電流消耗。

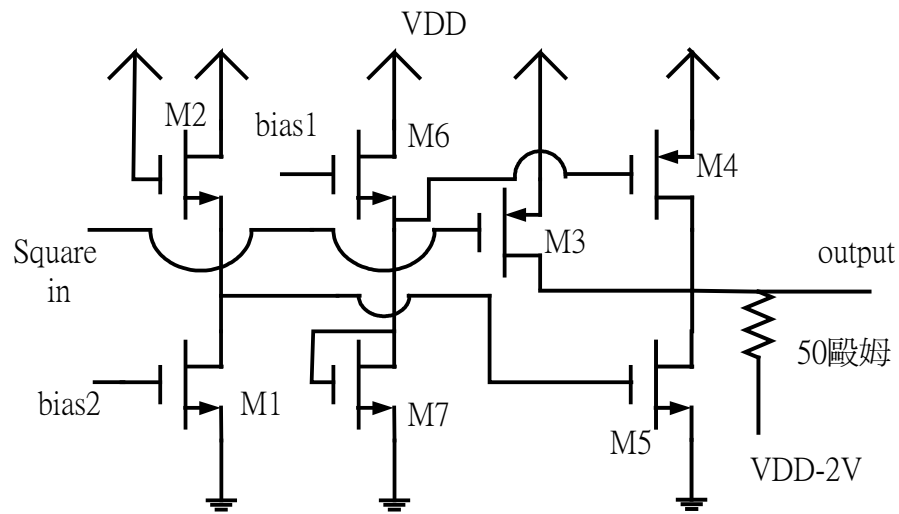


圖 3.15 PECL 輸出級

## 模擬結果

震盪波形模擬

考慮製程偏移

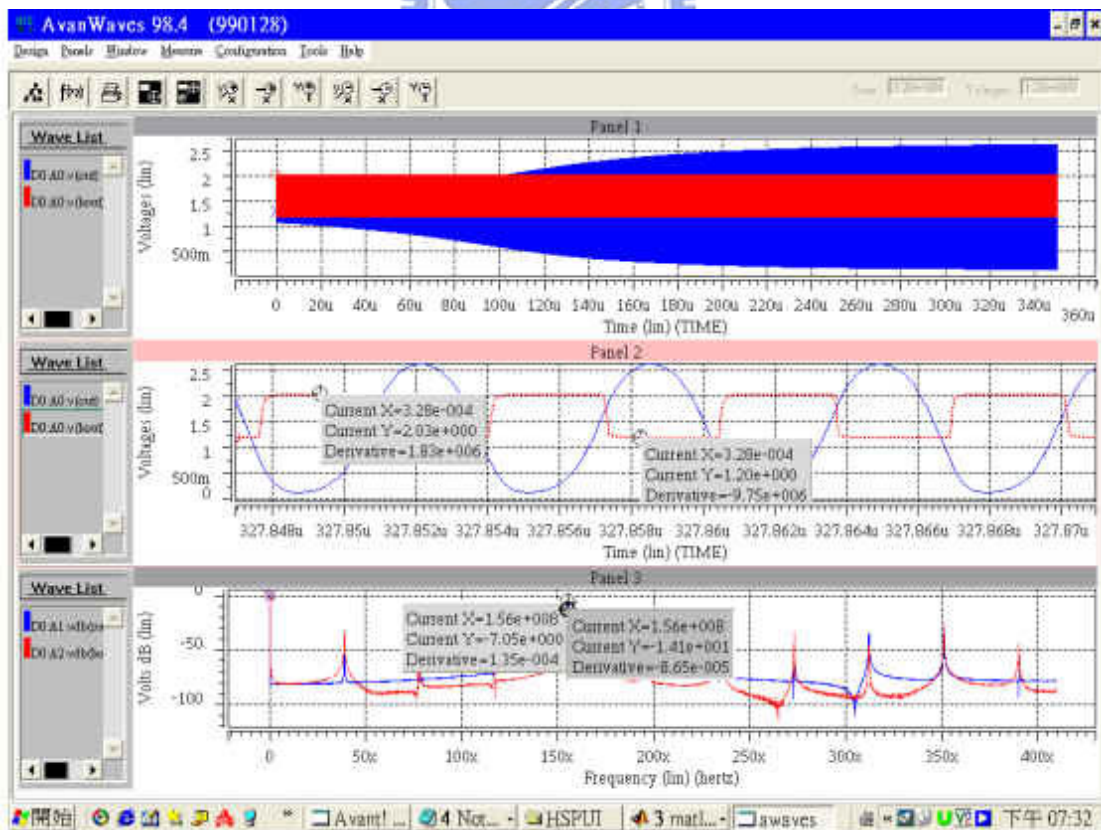


圖 3.16(a) TT corner 模擬

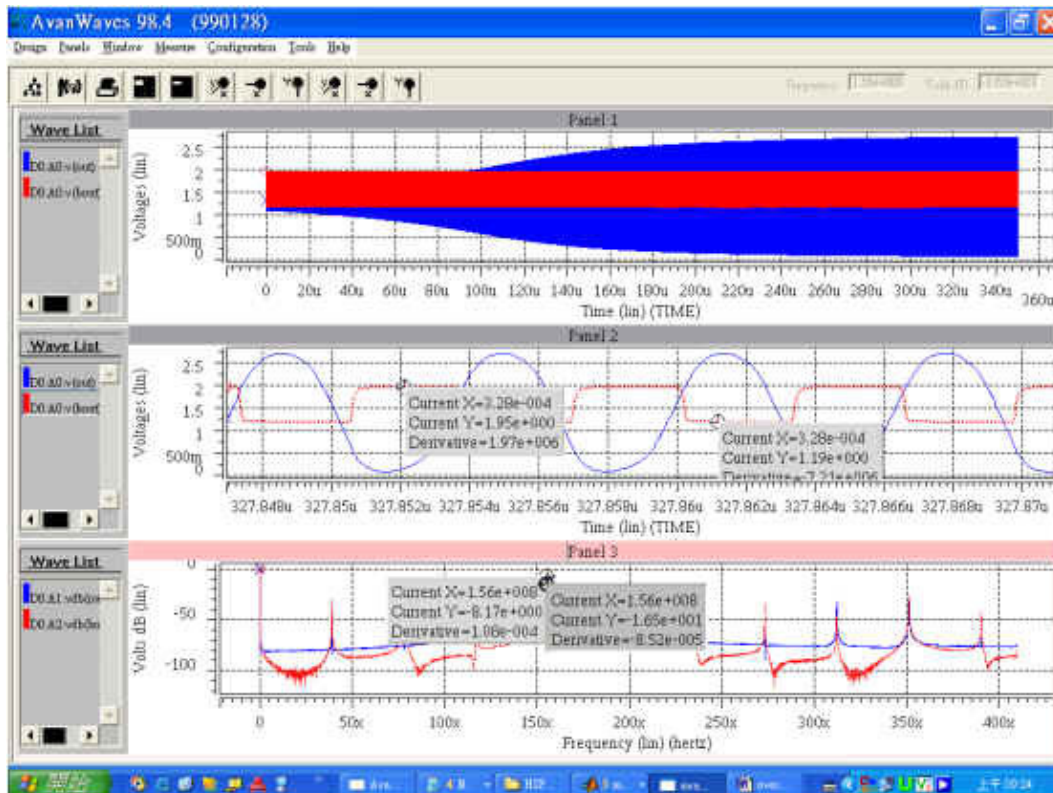


圖 3.16(b) SS corner 模擬

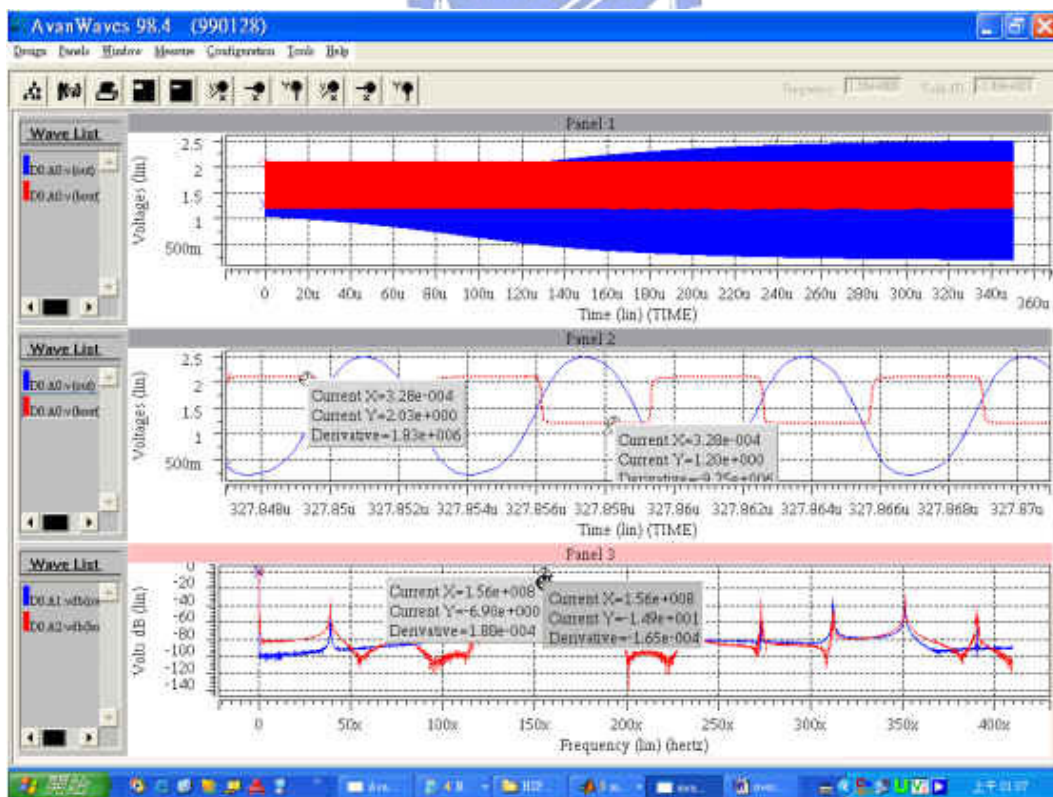


圖 3.16(c) FF corner 模擬

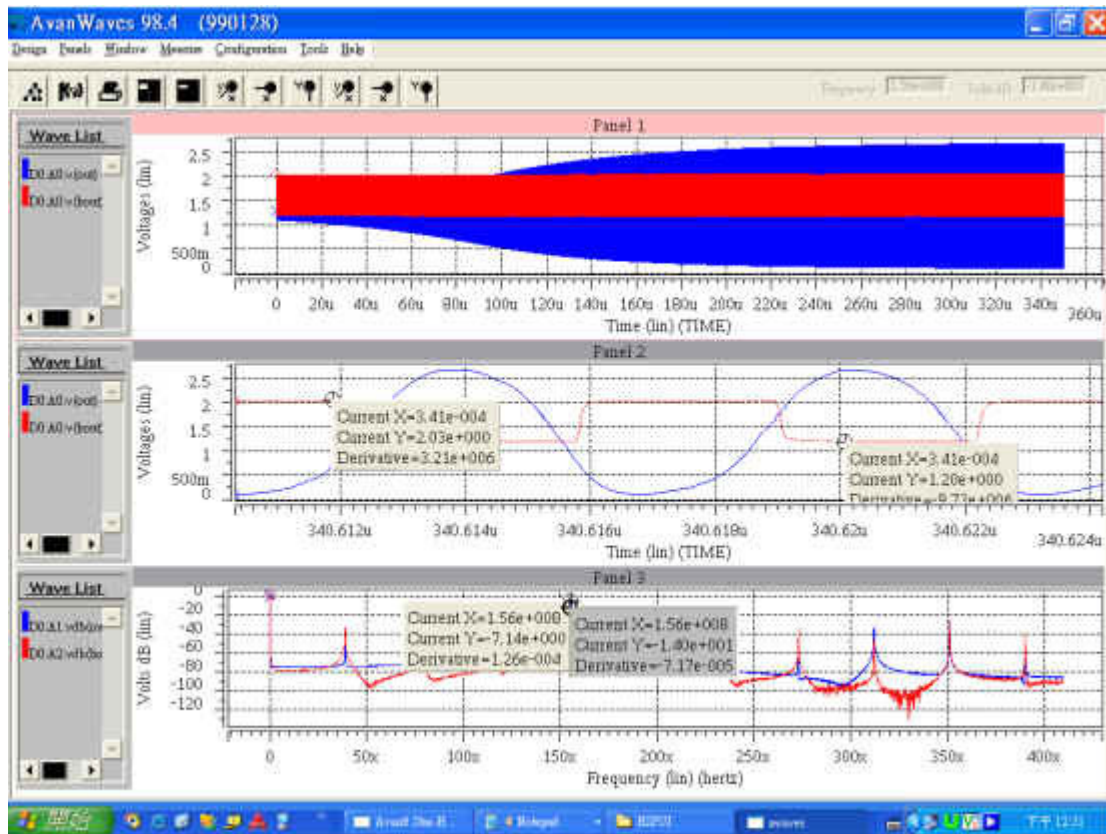


圖 3.16(d) post simulation 模擬

### 考慮電阻 variation 的負電阻圖

這次的電阻選用 P+ diffusion, square 電阻的 variation 約在正負百分之十

a. Plus 10%

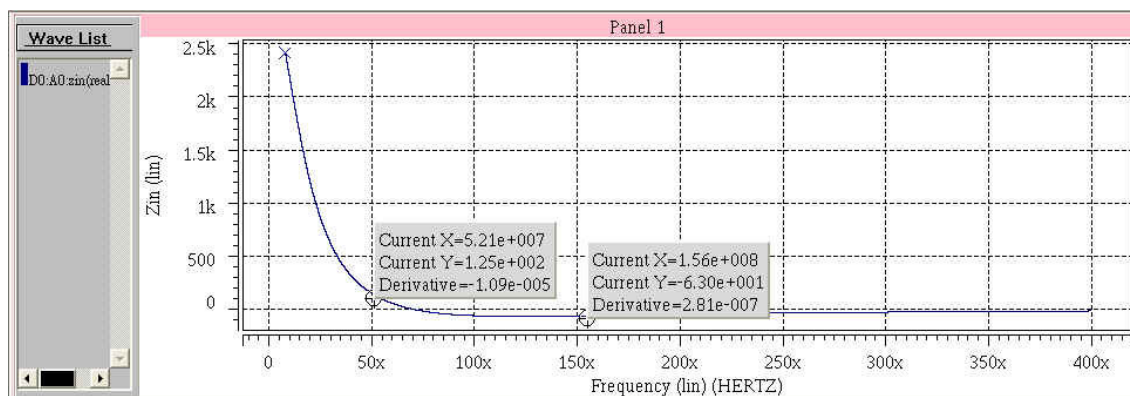


圖 3.17(a) 電阻偏移加 10%

b. Minus 10%

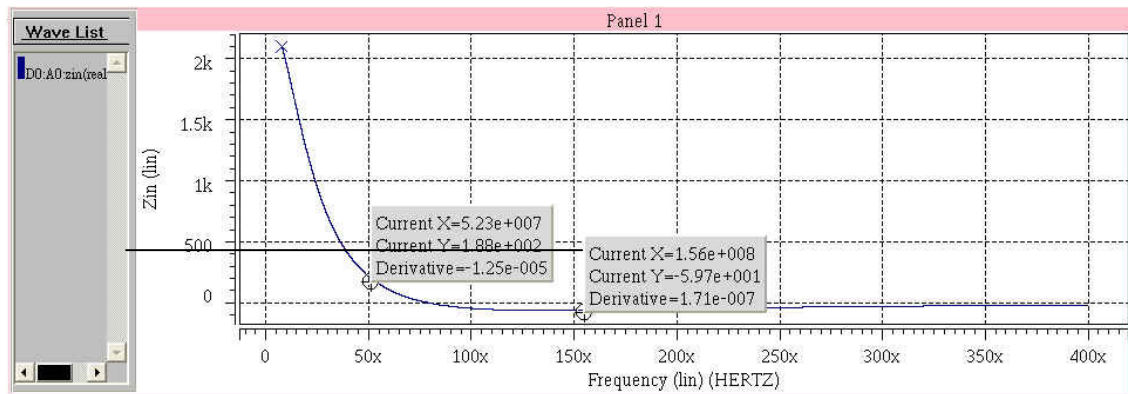


圖 3.17(b) 電阻偏移減 10%

由 a、b 兩項可知即使電阻飄移仍可正常 work，不會振在基本波  
頻率處，且三階處負阻抗仍夠大。



layout :

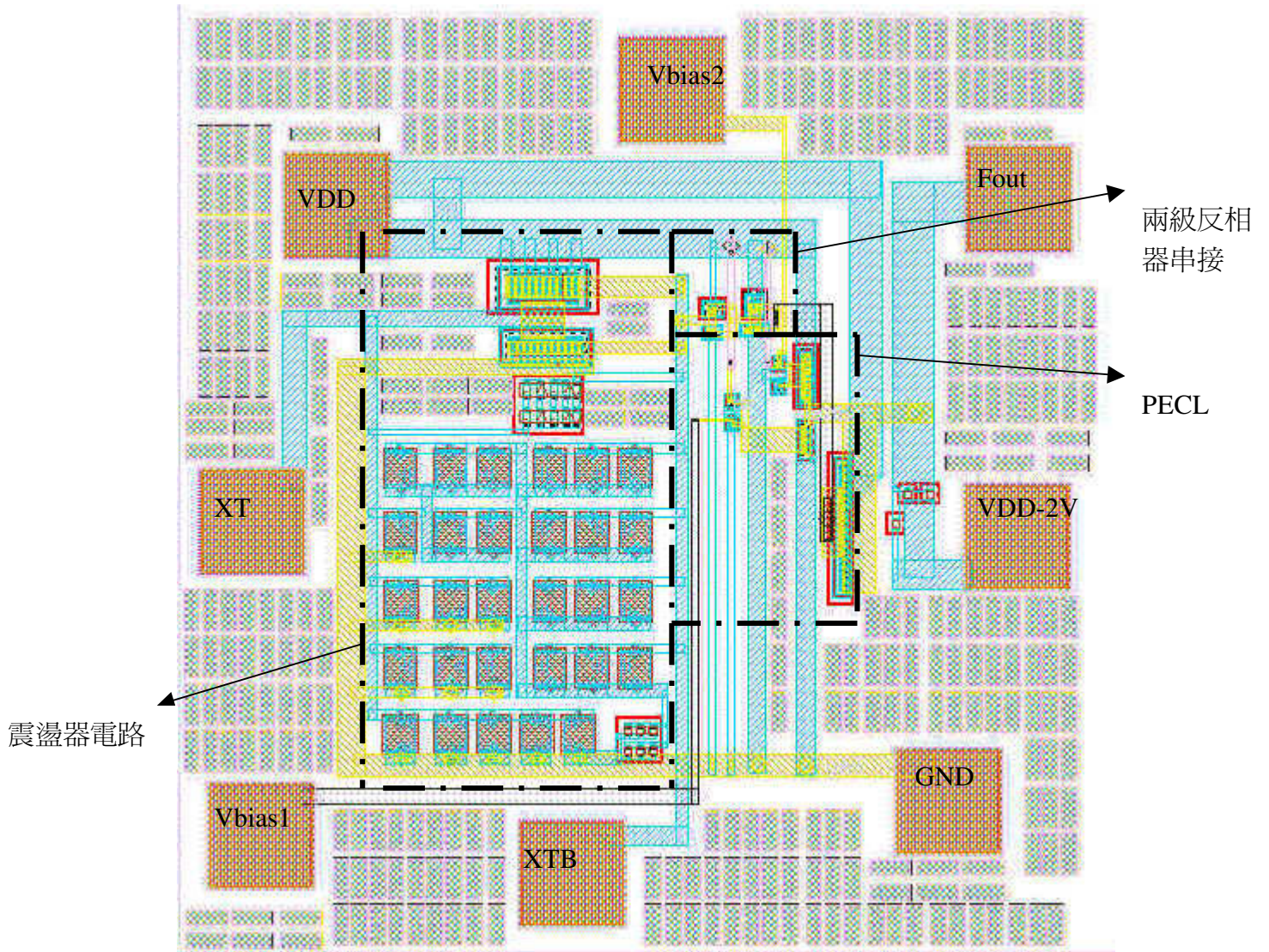


圖 3.18 整體 layout 圖

預計規格：

規格	結果
電源供應電壓	3V
壓控振盪器震盪頻率	156.27MHz
系統消耗功率(Vdd=2.5V)	32.1mW(含 buffer)
No . of Input	7
No . of Output	1



## 第四章

### 結論

本論文研究三階諧波石英晶體震盪器，討論三種不同方法，分別為調整回授電阻選擇負電阻區、外加 LC tank，以及最後的高通回授的負電阻行為，第一種回授電阻選擇負電阻區導出預測負電阻範圍並明確提出截止頻率的公式，以這兩公式為基礎發展出一套設計流程，並以此為基礎實際設計一顆震盪器，然而，此種方法不適用於更高階的 5th、7th 石英諧波震盪器，因為越高階的石英震盪器其石英模型的  $R_s$  更大，將難以達到足夠的負電阻。第二種外加電感電容的架構，因為核心電路對交流耦合電容太過敏感的缺點，對此，我們在之後的設計皆使用反相器來做輸出級，可以改善此一缺點。最後，本論文將高通回授方法的三階諧波石英震盪器與 PECL 輸出級作一結合，使輸出的波形符合 ECL 100K 的規範，期望能跟數位電路系統，例如數位相機、數位攝影機等等有一很好的連結。

## Reference

- [1] from web site “NIPPON PRECISION CIRCUIT INC.”
- [2] from web site “TOYOCOM INC.”
- [3] “oscillator design & computer simulation” Rhea, Prentice Hall
- [4] E. A. Vittoz, M. G. Degrauwe, and S. Bitz, “High Performance Crystal Oscillator Circuits: Theory and Application”, IEEE Journal of Solid State Circuit, 1988.
- [5] Larry Hurst, “Using Third Overtone with the ADSP-218x DSP” Analog Device, Aug., 2002.
- [6] Andrea Boni, “1.2-Gb/s True PECL 100K Compatible I/O Interface in 0.35- $\mu\text{m}$  CMOS,” IEEE J. Solid-State Circuits, vol. 36, pp. 979-986, Jan. 2001.
- [7] 謝東憲, “155MHz 基本波壓控石英振盪器之研究” 碩士論文, 2003
- [8] A. S. Sedra and K. C. Smith, “Microelectronic Circuits,” pp. 988~993, Oxford, University Press, New York, 1998.
- [9] A. Hajimiri and T. H. Lee, “A General Theory of Phase Noise in Electrical Oscillators”, IEEE JSSC, Vol. 33, No. 2, February 1998.
- [10] B. Razavi, “Design of Analog CMOS Integrated Circuits,” Sec. 4.4, McGRAW-Hill, 2001.
- [11] P.R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” Fourth Edition, pp. 234~238.
- [12] John A. T. M. van den Homberg, “A Universal 0.03-mm<sup>2</sup> One-Pin Crystal Oscillator in CMOS,” IEEE J. Solid-State Circuits, vol.34, pp. 956-961, Jul. 1999.

## 簡 歷

姓 名：蔡昕璋

居 住 地：台北縣板橋市

籍 貫：台灣省台南市

學 經 歷：

成功大學電機工程學系 (87年9月~91年6月)

交通大學電信工程學系碩士班 (91年9月~93年8月)

