

國立交通大學

電信工程研究所

碩士論文

2.4-GHz PHEMT 低雜訊放大器、CMOS 接收機與主動濾波器

2.4-GHz PHEMT Low Noise Amplifier, CMOS Receiver and Active Bandpass Filter

研究生：楊 雋

指導教授：孟慶宗

中華民國一百年六月



2.4-GHz PHEMT 低雜訊放大器、CMOS 接收機  
與主動濾波器

2.4-GHz PHEMT Low Noise Amplifier, CMOS Receiver and  
Active Bandpass Filter

研究生:楊 雋

Student: Chun Yang

指導教授:孟慶宗 博士 Advisor: Dr. Chinchun Meng

國立交通大學



Submitted to Institute of Communication Engineering  
College of Electrical and Computer Engineering  
National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

June 2011

Hsinchu, Taiwan, Republic of China

中華民國一百年六月



# 2.4-GHz PHEMT 低雜訊放大器、CMOS 接收機 與主動濾波器

學生：楊 雋

指導教授：孟慶宗 博士

國立交通大學

電信工程研究所碩士班

## 摘 要

本篇論文主要針對現今應用較為廣泛的 ISM(industrial scientific medical)頻段去實現電路，設計電路包含低雜訊放大器、應用於接收端的主動濾波器以及低功率接收機。

論文會先對低雜訊放大器的設計作探討，並利用  $0.18\mu\text{m}$  CMOS 製程實現一個差動低雜訊放大器，且藉由  $0.15\mu\text{m}$  PHEMT 製程的高轉導及高截止頻率等優點，實現具有良好雜訊表現的單壓操作低雜訊放大器，接著分析不同接收機之優劣，並以直接降頻架構為主，利用  $0.18\mu\text{m}$  CMOS 製程實現一個結合被動混頻器的低功率接收機，論文最後部分先就 Q 值對濾波器的影響做分析，並以  $0.18\mu\text{m}$  CMOS 製程實現一個整合性高的可調式帶通濾波器。



# 2.4-GHz PHEMT Low Noise Amplifier, CMOS Receiver and Active Bandpass Filter

Student : Chun Yang

Advisor : Chinchun Meng

Institute of Communication Engineering  
National Chiao Tung University

## Abstract

The thesis focuses on the circuits which are suitable for the ISM(industrial scientific medical) band. The designed circuits include low noise amplifier, active filter which is suitable for receiver front-end and low-power receiver.

First, we describe the issues and tradeoffs in the design of the low noise amplifier and implement a differential low noise amplifier realized in a  $0.18\mu\text{m}$  CMOS technology. We choose  $0.15\mu\text{m}$  PHEMT technology to implement circuits due to its high transconductance and high cut-off frequency and have designed a single biasing low noise amplifier showing a good noise performance. Next, we describe the differential receiver architectures and focus on studying direct conversion architecture. A low-power receiver realized in a  $0.18\mu\text{m}$  CMOS technology is implemented by using a passive mixer. Finally, we analyze the impact for the quality factor of bandpass filter and implement a tunable bandpass filter realized in a  $0.18\mu\text{m}$  CMOS technology.





## 誌謝

---

經過碩士兩年研究生涯的磨練，不論是在專業領域或做事態度上，都有另一番體悟與成長，在這過程中，要感謝很多人的幫助，沒有他們的指導與支持，這兩年來不會過的如此充實。首先要感謝孟慶宗教授的指導，讓我在射頻電路設計這塊領域上，有更深一層的體會。感謝鍾世忠教授、徐碩鴻教授與紀佩綾教授抽空前來參加學生的畢業口試，並在口試過程中，給予很多寶貴的建議。同時要感謝國家奈米元件實驗室全體同仁，有你們的協助，晶片才能順利測量並得到精確的量測結果。

接著要感謝九一八實驗室，曾經一起走過的各位，謝謝金詳學長，從電路設計至量測的過程中，給予很大的幫助，同時也樹立一個值得學弟妹學習的典範；宏儒學長做事耐心與嚴謹的態度，讓我從中學到很多；語鈺學長樂觀的個性，改變了我看事情的角度；嘉苓學姐健談與幽默的特質，總是使實驗室充滿笑聲；忠佑學長隨和及不易與人計較的個性，讓我在待人處事上，得到很多啟發；智凱學長積極與主動的行事作風，使我以往略為被動的個性有所改變；感謝實驗室助理建守分擔碩一時的事務，讓我做研究能更為順遂；感謝同窗的彥鋒，一起共渡這兩年的甘苦；謝謝學弟格瑋、國維、協修、偉程和韋學，你們的歡聲與笑語，讓實驗室增添許多熱鬧的氣氛。

最後，特別感謝我的家人，在求學的過程中，給予我最大的關懷與支持，讓我可以無憂無慮的完成人生的每個階段。

楊雋 2011年夏於交通大學

---



# 目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表目錄	vi
圖目錄	vii
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 低功率接收機之設計	4
2.1 前言	5
2.2 低雜訊放大器原理	6
2.2.1 疊接低雜訊放大器架構	6
2.2.2 雜訊與阻抗匹配	7
2.2.3 線性度	11
2.2.4 元件選定之考量	13
2.3 實作一：5.6-GHz Differential Low Noise Amplifier (CMOS 0.18- $\mu\text{m}$ )	15
2.3.1 研究動機	15
2.3.2 差動放大器之探討	16
2.3.3 電路設計	18
2.3.4 量測考量	19
2.3.5 晶片量測結果	23
2.3.6 結果與討論	25
2.4 實作二：5-GHz/2.4-GHz Low Noise Amplifier (PHEMT 0.15- $\mu\text{m}$ )	26
2.4.1 研究動機	26
2.4.2 電路架構	27
2.4.3 電路分析	28
2.4.4 電路設計	31
2.4.5 晶片量測結果	33
2.4.6 結果與討論	37
第三章 使用被動混頻器之低功率放大器	39
3.1 前言	40
3.2 架構選擇之考量	41
3.2.1 直接降頻架構之設計考量	42



3.3 電流驅動被動混頻器 .....	46
3.4 實作一：2.4-GHz Low-Power Receiver with Passive Mixers (CMOS 0.18- $\mu$ m) .....	50
3.4.1 研究動機 .....	50
3.4.2 電路架構 .....	50
3.4.3 架構分析 .....	53
3.4.4 電路設計 .....	55
3.4.5 晶片量測結果 .....	62
3.4.6 結果與討論 .....	67
第四章 Q 增強型可調式主動濾波器 .....	69
4.1 前言 .....	70
4.2 架構選擇之考量 .....	71
4.3 濾波器設計考量 .....	72
4.4 實作一：Tunable Q-Enhanced Active Bandpass Filter (CMOS 0.18- $\mu$ m) .....	76
4.4.1 研究動機 .....	76
4.4.2 電路架構 .....	77
4.4.3 架構分析 .....	80
4.4.4 電路設計 .....	82
4.4.5 晶片量測結果 .....	83
4.4.6 結果與討論 .....	86
第五章 結論 .....	88
參考文獻 .....	90



# 表目錄

---

表 2.1	5.6-GHz 差動低雜訊放大器模擬與量測比較表 .....	25
表 2.2	5.6-GHz 差動低雜訊放大器文獻比較表 .....	26
表 2.3	2.4-GHz PHEMT LNA 模擬與量測比較表 .....	38
表 2.4	5-GHz PHEMT LNA 模擬與量測比較表 .....	38
表 3.1	2.4-GHz 接收機模擬與量測比較表 .....	68
表 4.1	Q 增強型可調式濾波器模擬與量測比較表 .....	87







# 圖目錄

圖 2.1	疊接低雜訊放大器	6
圖 2.2	一般疊接放大器	7
圖 2.3	一般疊接放大器雜訊分析	7
圖 2.4	源級退化疊接放大器	8
圖 2.5	源級退化疊接放大器雜訊分析	9
圖 2.6	跨接電容源級退化放大器	10
圖 2.7	一般放大器	12
圖 2.8	源級退化放大器	12
圖 2.9	源級退化響應圖	13
圖 2.10	環境雜訊示意圖	16
圖 2.11	差動放大器架構圖	17
圖 2.12	差模電路	18
圖 2.13	共模電路	18
圖 2.14	量測架設示意圖	20
圖 2.15	巴倫量測架設圖	21
圖 2.16	輸入返回損耗	23
圖 2.17	電壓增益	23
圖 2.18	雜訊指數	23
圖 2.19	功率線性度	24
圖 2.20	Die Photo(1.0mm x 1.0mm)	24
圖 2.21	低雜訊放大器架構圖	27
圖 2.22	自偏壓電路	27
圖 2.23	pHEMT I-V curve	28
圖 2.24	直流電路圖	28
圖 2.25	小訊號電路	30
圖 2.26	(a)R <sub>1</sub> 置於 L <sub>g</sub> 前(b) L <sub>g</sub> 置於 R <sub>1</sub> 前	30
圖 2.27	2.4-GHz 共源級共汲級架構(CSCD)	32
圖 2.28	5-GHz 共源級共汲級架構(CSCD)	32
圖 2.29	輸入返回損耗	33
圖 2.30	輸出返回損耗	33
圖 2.31	S <sub>21</sub>	33
圖 2.32	雜訊指數	34
圖 2.33	功率線性度	34



圖 2.34	Die Photo(1.0mm x 1.0mm)	34
圖 2.35	輸入返回損耗	35
圖 2.36	輸出返回損耗	35
圖 2.37	S21	35
圖 2.38	雜訊指數	36
圖 2.39	功率線性度	36
圖 2.40	Die Photo(1.0mm x 1.0mm)	36
圖 3.1	鏡像訊號	41
圖 3.2	鏡像訊號干擾	41
圖 3.3	本地訊號端溢漏	43
圖 3.4	輸入端溢漏	43
圖 3.5	低雜訊放大器響應	44
圖 3.6	偶次非線性項的影響	44
圖 3.7	低雜訊放大器非線性響應	45
圖 3.8	二次諧波項混頻	45
圖 3.9	電流驅動雙平衡式被動混頻器	47
圖 3.10	操作區域重疊	48
圖 3.11	雜訊頻譜分析	48
圖 3.12	操作區域未重疊	49
圖 3.13	雜訊頻譜分析	49
圖 3.14	低雜訊放大器與被動混頻器	51
圖 3.15	轉阻放大器與增益放大器	52
圖 3.16	多重相位濾波器	52
圖 3.17	混頻器示意圖	54
圖 3.18	低雜訊放大器示意圖	56
圖 3.19	低雜訊放大器模擬圖	57
圖 3.20	混頻器導通示意圖	58
圖 3.21	等效電路圖	58
圖 3.22	轉阻放大器架構圖	59
圖 3.23	多重相位濾波器	60
圖 3.24	可調式增益放大器架構圖	62
圖 3.25	轉換增益對 LO 功率	62
圖 3.26	轉換增益對 RF 頻率	63
圖 3.27	轉換增益對 RF 功率	63
圖 3.28	線性度	64
圖 3.29	隔離度對 LO 頻率	64
圖 3.30	雜訊指數對 IF 頻率	65
圖 3.31	輸入返回損耗	65



圖 3.32	轉換增益對 IF 頻率	66
圖 3.33	Die Photo(1.45mm x 1.0mm)	66
圖 4.1	梯型帶通濾波器架構圖	71
圖 4.2	電感串接帶通濾波器架構圖	71
圖 4.3	電容串接帶通濾波器架構圖	72
圖 4.4	理想與非理想響應	73
圖 4.5	螺旋電感俯視圖與等效電路	74
圖 4.6	串聯與並聯等效電路轉換	74
圖 4.7	通帶失真響應	75
圖 4.8	負電導與負電阻電路	76
圖 4.9	整體濾波器架構示意圖	77
圖 4.10	子電路架構圖	78
圖 4.11	可變電容電路架構圖	79
圖 4.12	立體電感架構圖	79
圖 4.13	等效電路	80
圖 4.14	雜訊小訊號模型	81
圖 4.15	整體電路元件尺寸	83
圖 4.16	S11 及 S21	83
圖 4.17	輸出返回損耗	84
圖 4.18	可調頻寬範圍	84
圖 4.19	可調增益範圍	85
圖 4.20	功率線性度	85
圖 4.21	Die Photo(1.08mm x 0.71mm)	86



# 第一章

## 導論



## 1.1 研究動機

由於點對點的通訊及交換資料的優點，屬於 WLAN(wireless local area networks)範圍的應用，重要性日漸增加，如電子商務、汽車無線裝置、保全設備控制等，而為了提升短距離無線傳輸應用的普遍性，降低通訊裝置的製造成本及提高裝置的持續使用率，將是未來發展的趨勢，同時也是電路設計者的追求目標，為了解決上述的問題，就電路設計者的觀點來說，可從提高電路的整合性及創造低功率消耗的電路架構作為發展的方向。因此本論文第三章針對直接降頻接收機做探討，並實現操作於2.4-GHz的低功率接收機，第四章對主動濾波器做討論，並實作可調式帶通濾波器，未來將使濾波器整合在接收機內以取代一般外接式濾波器。

對於積體電路製程來說，藉由不同製程的特性，可使電路達到更好的效能，相較於現今使用較廣泛的 CMOS 製程技術，以砷化鎵(GaAs)為基礎的 PHEMT 製程技術具有更高的轉導值及截止頻率。因此本論文第二章實現單壓操作的 PHEMT 低雜訊放大器，希望藉由製程特性使電路效能有所突破。



## 1.2 論文組織

本篇論文將利用 TSMC 0.18  $\mu\text{m}$  CMOS 以及 WIN 0.15  $\mu\text{m}$  HEMT 製程技術來設計晶片。本論文分為五個章節，第一章為導論，說明研究動機與論文組織。第二章為低雜訊放大器，探討在設計低雜訊放大器時，將會遭遇到問題及如何在各個效能要求中做取捨，並實作差動型式及 HEMT 製程的低雜訊放大器。第三章為低功率接收機，先比較各接收機架構之優劣，接著針對直接降頻型式做探討，並實作 2.4-GHz 的低功率接收機。第四章為主動濾波器，會先探究 Q 值對濾波器實現所造成的限制，接著尋求解決的方法，並實作差動架構的帶通濾波器。第五章則對上述的所有電路設計與實作結果做個結論。

# 第二章

## 低雜訊放大器之設計



## 2.1 前言

低雜訊放大器是無線通訊系統重要的電路區塊之一，由於低雜訊放大器為繼天線之後，訊號遭遇到的第一級電路，經下式(2.1)可知，低雜訊放大器對系統整體的雜訊表現具有很大的影響力。

$$NF_{total} = 1 + (NF_1 - 1) + \frac{NF_2 - 1}{A_{p1}} + \dots + \frac{NF_m - 1}{A_{p1} \cdots A_{p(m-1)}} \quad (2.1)$$

其中  $NF_m$  為各級的雜訊指數， $A_{pm}$  為各級的增益，由上式可知，當低雜訊放大器在具有足夠增益以抑制後級雜訊的前提下，放大器本身的雜訊表現對整體雜訊表現來說，佔相當高的比例，如何有效降低低雜訊放大器的雜訊指數，將會是設計的重點之一。

對於低雜訊放大器的雜訊效能來說，不僅可藉由不同的電路架構來改善，也可利用不同製程的特性，以達到更好的雜訊表現。

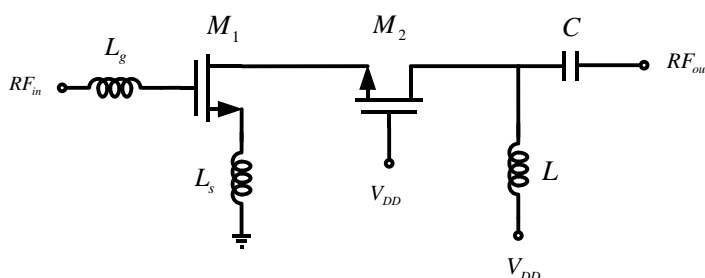
本章會先以疊接放大器為例，介紹低雜訊放大器如何在功率消耗的限制下，達到輸入級匹配，並闡述在設計匹配時，為了維持各項效能的要求，將會遭遇到的問題，第一件實作電路是以差動型式實現低雜訊放大器，第二件作品是以 PHEMT 製程來實現電路。

## 2.2 低雜訊放大器原理

在設計低雜訊放大器時，有幾項需達成的目標，其中包含放大器本身的雜訊指數、在良好線性度的前提下提供足夠的增益、產生 50 歐姆的輸入阻抗用來匹配銜接前端的傳輸線，由於低雜訊放大器的種類繁多，這裡取疊接式源級退化架構作為出發點，分析與探討上述的設計重點，之後的實作成品，也是以此架構作為設計骨架。

### 2.2.1 疊接低雜訊放大器架構

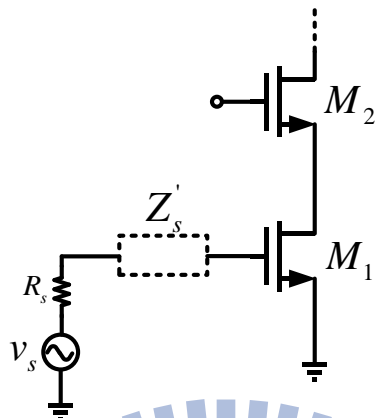
如圖(2.1)，此架構由兩顆 MOS 作疊接， $L_s$  作為第一級  $M_1$  的源級退化， $L_s$  和  $L_g$  在電路中所扮演的角色，在之後對電路雜訊的分析會作深入的探討，而  $M_2$  為此電路帶來頻寬的增加、反向隔離度以及減輕  $M_1$  對電路增益的負擔。由於從  $M_2$  源極看入的阻抗較少，使得  $M_1$  產生的米勒電容減小，在頻率響應上將極點往高頻移動，造成頻寬增加，且  $M_2$  汲極至源級的增益相當小，產生近似隔離的效果。 $M_2$  汲極端的  $L$  與  $C$ ，經由共振產生純阻抗，在操作頻率時，產生近似純電阻的效果，卻克服掉純電阻直流下浪費電壓空間的缺點。



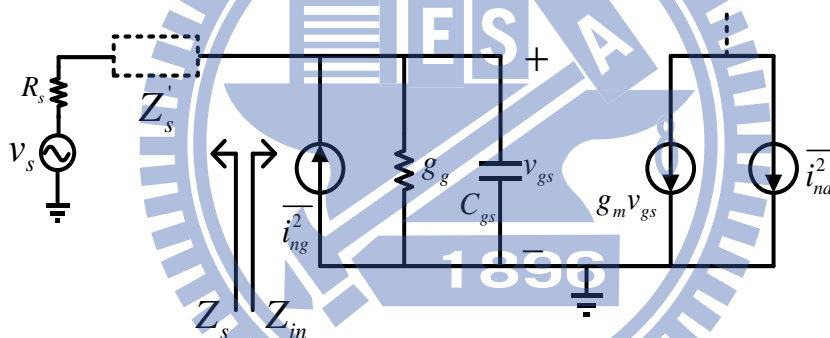
圖(2.1)疊接低雜訊放大器

### 2.2.2 雜訊與阻抗匹配[2]

就基本的疊接放大器來說，如圖(2.2)及圖(2.3)，根據文獻[2]，



圖(2.2)一般疊接放大器



圖(2.3)一般疊接放大器雜訊分析

可得知雜訊參數如下：

$$R_n^0 = \frac{\gamma}{\alpha g_m} \quad (2.2)$$

$$Z_{opt}^0 = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left( 1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( 1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \quad (2.3)$$

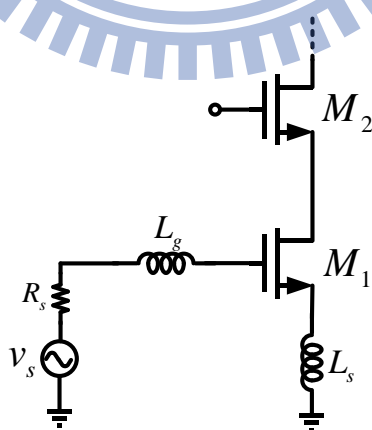
$$F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (2.4)$$

從圖(2.3)可得知，在忽略閘極電阻下，輸入導納為純虛數，將輸入導納與式(2.3)比較，可看出此架構無法同時達到輸入阻抗匹配和低雜訊的效果，藉由回授機制，將可以解決上述問題。

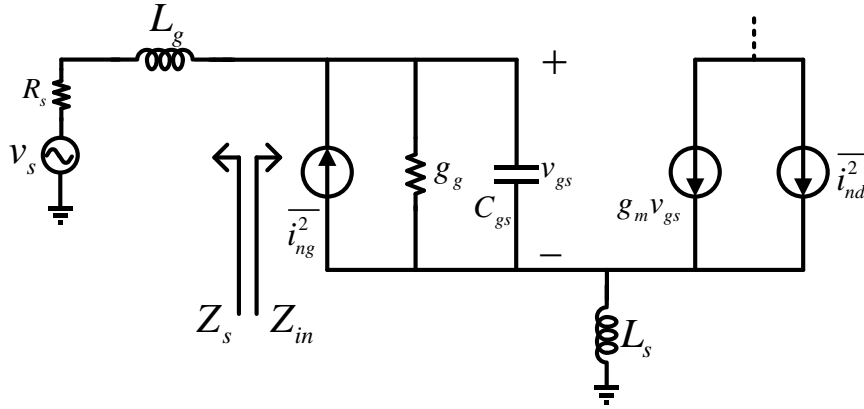
回授網路不僅可以使原電路達到更好的穩定性、更大的頻寬等多項優點，當回授技巧與低雜訊放大器相結合時，可以使  $Z_{opt}$  更接近理想的結果，而下圖(2.4)所示的放大器例子，是利用  $L_s$  作為源級退化來產生串串回授，使在阻抗匹配成立的條件下又可達到低雜訊的表現。

由下圖(2.5)的小訊號模型，經過電路分析，可以推得  $Z_{in}$  如下式：

$$Z_{in} = sL_g + \frac{1}{sC_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (2.5)$$



圖(2.4)源級退化疊接放大器



圖(2.5)源級退化疊接放大器雜訊分析

根據文獻[2]，可得知此架構的雜訊參數如下：

$$R_n^0 = \frac{\gamma}{\alpha g_m} \quad (2.6)$$

$$Z_{opt} = Z_{opt}^0 - sL_s \quad (2.7)$$

$$F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (2.8)$$

經由比較上述兩架構的雜訊參數，會發現  $L_s$  的納入只對  $Z_{opt}$  造成影響，源級退化後的  $Z_{opt}$  讓放大器有機會在阻抗匹配下達到低雜訊要求。

若將式(2.7)用另一種方式表示，如下式：

$$Z_{opt} = \text{Re}[Z_{opt}^0] - m \frac{1}{sC_{gs}} - sL_s \quad (2.9)$$

由上式(2.9)與式(2.5)可發現源級退化後的  $Z_{opt}$  使下式有機會成立，

$$Z_{opt} = Z_{in}^* \quad (2.10)$$

阻抗匹配和雜訊匹配皆成立的條件下，可得到下述四式：

$$\text{Re}[Z_{opt}] = \text{Re}[Z_s] \quad (2.11)$$

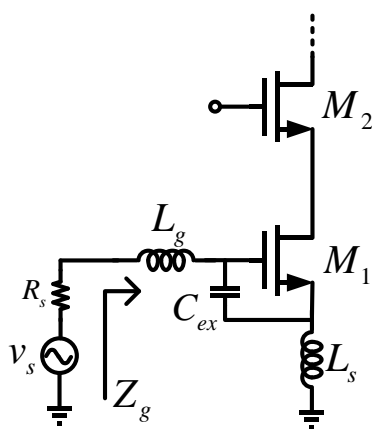
$$\text{Im}[Z_{opt}] = \text{Im}[Z_s] \quad (2.12)$$

$$\text{Im}[Z_{in}] = -\text{Im}[Z_s] \quad (2.13)$$

$$\text{Re}[Z_{in}] = \text{Re}[Z_s] \quad (2.14)$$

在(2.10)式成立的条件下，要让上述所列四个等式成立需要三个变数，可以藉由调整电晶体大小和偏压以及  $L_s$  来使电路达到双匹配。先调整电晶体大小，使(2.11)式成立，接著选定  $L_s$  来使(2.12)成立，最后选定电晶体偏压来使(2.14)成立，由于电路设计有环环相扣的特性，这种骨牌式的选定需要经过某种程度上的微调与修正才能使电路设计趋于完整，而如何在设计目标彼此牵制的情况下作取舍，会在后面的论文作探讨。

虽然图(2.4)的架构能使低杂讯放大器同时达到杂讯与阻抗匹配，但电路的功率消耗也是设计的重点之一，为了同时考量匹配与功耗，衍生出新的架构，如下图(2.6)，



图(2.6)跨接电容源级退化放大器



$C_{ex}$  對  $Z_{opt}$  的改變使電路放寬對功耗的要求，新的雜訊參數和輸入阻抗如下述兩式(令  $C_t=C_{gs}+C_{ex}$ ):

$$Z_{in} = sL_s + \frac{1}{sC_t} + \frac{g_m L_s}{C_t} \quad (2.15)$$

$$Z_{opt}^0 = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \quad (2.16)$$

根據上述兩式可發現，在雜訊與阻抗匹配成立的條件下， $C_{ex}$  提供另一項自由度，考慮雜訊與匹配的時，可將功率消耗也納入考量。

### 2.2.3 線性度[8]

通常放大器的輸入輸出特性可以表示成一個非線性方程式，如式所示(2.17)，對於一個變動範圍極小的輸入訊號來說，可將式子化簡成式(2.18)， $\alpha_0$  可視為偏壓點， $\alpha_1$  可視為小訊號增益，若考慮兩輸出訊號間的變化，可得到式(2.19)，式(2.19)可視為輸入變化與輸出變化的線性關係，當輸入訊號變動範圍增大時，高階非線性項會慢慢顯露出來，導致系統呈現非線性，換句話說，當斜率隨著輸入訊號變動而改變時，可稱系統為非線性。

$$y(t) \approx \alpha_0 + \alpha_1 x(t) + \alpha_2 x^2(t) + \dots + \alpha_n x^n(t) \quad (2.17)$$

$$y(t) \approx \alpha_0 + \alpha_1 x(t) \quad (2.18)$$

$$\Delta y = \alpha_1 \Delta x \quad (2.19)$$

由於非線性的考量種類繁多，這裡將針對電晶體及源級退化架構作線性度的探討，下圖(2.7)及圖(2.8)分別表示基本放大器和源級退化放大器的架構，



圖(2.7)一般放大器

圖(2.8)源級退化放大器

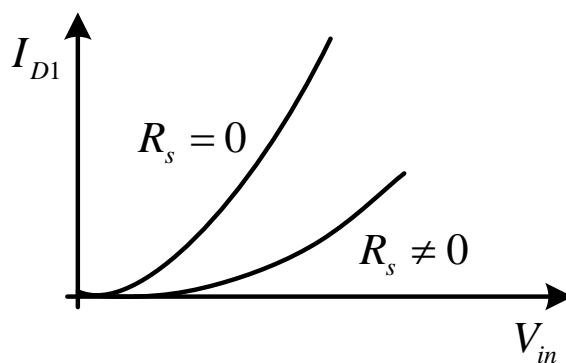
考慮圖(2.7)，可推得輸出電流與輸入電壓的關係如式(2.20)所示

$$i_{ds} \approx I_{DC} + g_m V_{gs} + g_2 V_{gs}^2 + g_3 V_{gs}^3 \dots \quad (2.20)$$

，由式(2.20)可知， $g_m$  對於電路線性度有著某種程度的影響，接著考慮圖(2.8)，藉由電路推導，可推得新的輸出電流與輸入電壓的關係如式(2.21)所示，

$$G_m = \frac{g_m}{1 + g_m R_s} \quad (2.21)$$

若將電流與電壓的關係以圖形表示，如下圖(2.9)所示，可看出源級退化減緩輸出對輸入變化所做出的改變，換句話說，使斜率變化較為平緩，進而增加電路的線性度。



圖(2.9)源級退化響應圖

### 2.2.4 元件選定之考量

在設計低雜訊放大器時，必須同時考量許多因素，像雜訊指數、增益、線性度、阻抗匹配、功率消耗...等等，而彼此的相依性使電路設計的難度大幅增加，需要經驗與工具的配合才能在各項要求中取得平衡，模擬工具所需耗費的時間往往取決於經驗的多寡，若能在選取元件時判斷出正確的設計方向，將節省許多不必要的時間消耗。

參考本章 2.2 節圖(2.6)及文獻[2]，可得知  $Z_g$  與雜訊因子如下所示：

$$Z_g = s(L_g + L_s) + \frac{1}{s(C_{gs} + C_{ex})} + \frac{g_m L_s}{(C_{gs} + C_{ex})} \quad (2.22)$$

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} \frac{\chi}{Q_L} \left( \frac{\omega_o}{\omega_T} \right) \quad (2.23)$$

就輸入阻抗匹配而論，低雜訊放大器藉由  $L_s$  作源級退化來使  $Z_g$  產生實部，再利用  $L_g$  來消除虛部項，用以匹配銜接前端的傳輸線，在選定  $L_s$  的過程中，會遭遇到各要求相依性的牽制，若  $L_s$  尺寸變小，為

了維持匹配，在虛部項部分，必須選擇放大  $L_g$ ， $L_g$  的尺寸增加，伴隨而來的寄生電阻會造成雜訊指數的上升，在實部項部分，若電晶體尺寸不變，必須增加電流，除了消耗功率外，閘極跨壓的上升也使得電晶體的操作區不穩定，讓放大器的線性度下降，若電流固定不變，必須縮小電晶體尺寸，而縮小尺寸則需藉由  $L_g$  的放大和跨壓增加來做補償，同樣會遭遇到上述所提及的困難，將  $L_s$  尺寸變小，由於源級退化的關係，可以增加放大器增益，且  $L_s$  可視為一回授電路，回授機制讓放大器線性度上升，上面種種的探討顯示出各項因素優劣互相消長的特性，且上述討論只將阻抗匹配納入考慮，若再同時考量雜訊匹配，眾多因素的交互影響下，容易模糊設計方向。

假如能在已知條件下，歸納出一條明確的設計步驟，將節省許多不必要的模擬電路時間。根據雜訊匹配與阻抗匹配，並將  $Z_{opt}$  與  $Z_{in}$  帶入式(2.11)到式(2.14)，可得知下列四式：

$$\frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} = \text{Re}[Z_s] \quad (2.24)$$

$$\frac{j \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s = \text{Im}[Z_s] \quad (2.25)$$

$$sL_s + \frac{1}{sC_t} = -\text{Im}[Z_s] = -sL_g \quad (2.26)$$

$$\frac{g_m L_s}{C_t} = \text{Re}[Z_s] = 50\Omega \quad (2.27)$$

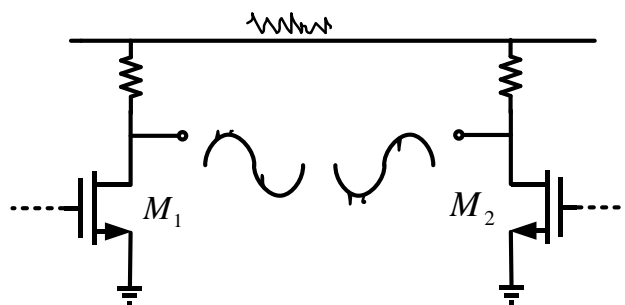
對於先進製程來說，式(2.26)約略等於式(2.25)，因此在設計匹配時，可將式(2.26)忽略，在操作頻率確定的前提下，可由式(2.24)求出電晶體大小，在設計  $C_{gs}$  的同時，必須將功耗控制變因  $C_{ex}$  納入考量， $C_{ex}$  選的過大，將會導致  $f_t$  的下降，進而影響  $F_{min}$ ，得到電晶體及  $C_{ex}$  適當尺寸後，接著利用式(2.27)求出  $L_s$ ，最後以式(2.25)求出  $L_g$ 。

## 2.3 實作一：5.6-GHz Differential Low Noise Amplifier (CMOS 0.18- $\mu\text{m}$ )

### 2.3.1 研究動機

為了建立一個對雜訊具有高容忍度的系統，差動低雜訊放大器是個可研究的方向，由於差動電路架構本身抗雜訊的特性，提高了差動低雜訊放大器的可行性。就接收端而論，為了可以排除不必要的高階非線性項，接收機通常由雙平衡混頻器構成，此接收機架構提供了使用差動低雜訊放大器的理由。

## 2.3.2 差動放大器之探討



圖(2.10)環境雜訊示意圖

對於低雜訊放大器而言，具有良好的抗雜訊能力是此電路主要目標之一，在訊號傳輸的過程中，勢必會遭受環境的影響，外來的雜訊會降低所要訊號的能見度，相較於單端低雜訊放大器，差動低雜訊放大器具有對環境雜訊更好的免疫性，如圖(2.10)所示，由偏壓所注入的雜訊對於差動訊號來說，屬於共模訊號，在產生輸出訊號的過程中，環境雜訊所造成的影響將被抑制掉[8]。

除了雜訊的問題，線性度的好壞也是一個電路設計是否完整的參考因素之一，接續 2.2.3 的探討，接下來將考慮差動電路的非線性問題，由於差動電路本身的奇對稱特性，可將式(2.17)化簡成下式：

$$y(t) = \alpha_1 x(t) + \alpha_3 x^3(t) + \alpha_5 x^5(t) + \dots \quad (2.28)$$

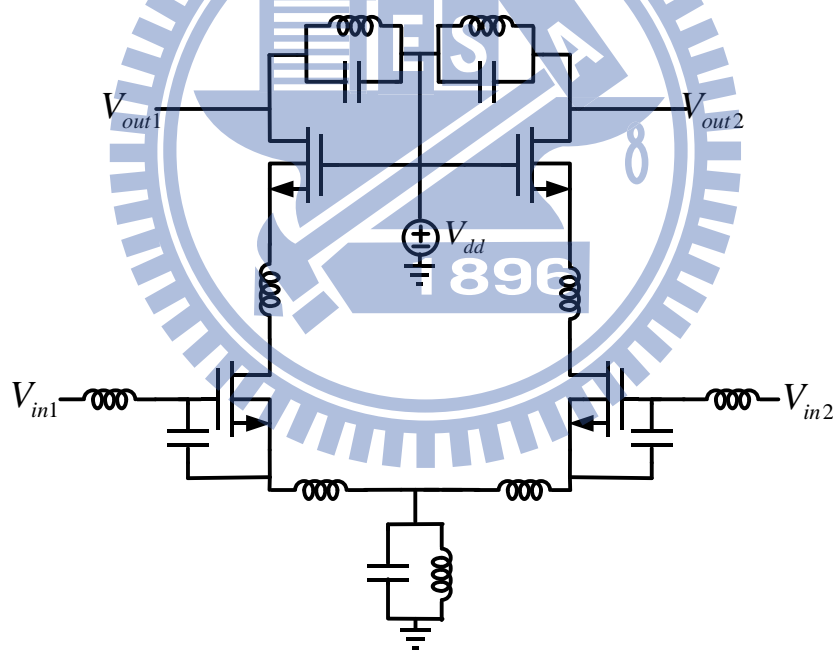
電路所具有的差動型式將會使偶次非線性項消失，若差動電路元件彼此不匹配，仍會產生偶次非線性項，這裡將忽略元件不匹配的問題，參考文獻[]，假設有一弦波訊號  $V_m \cos \omega t$  當作單級放大器與差動放大器的輸入，可推得高次諧波的大小與一次諧波的大小比如下兩式：

$$\frac{A_{HD2}}{A_F} = \frac{V_m}{4(V_{GS} - V_{TH})} \quad (2.29)$$

$$\frac{A_{HD3}}{A_F} \approx \frac{V_m^2}{32(V_{GS} - V_{TH})^2} \quad (2.30)$$

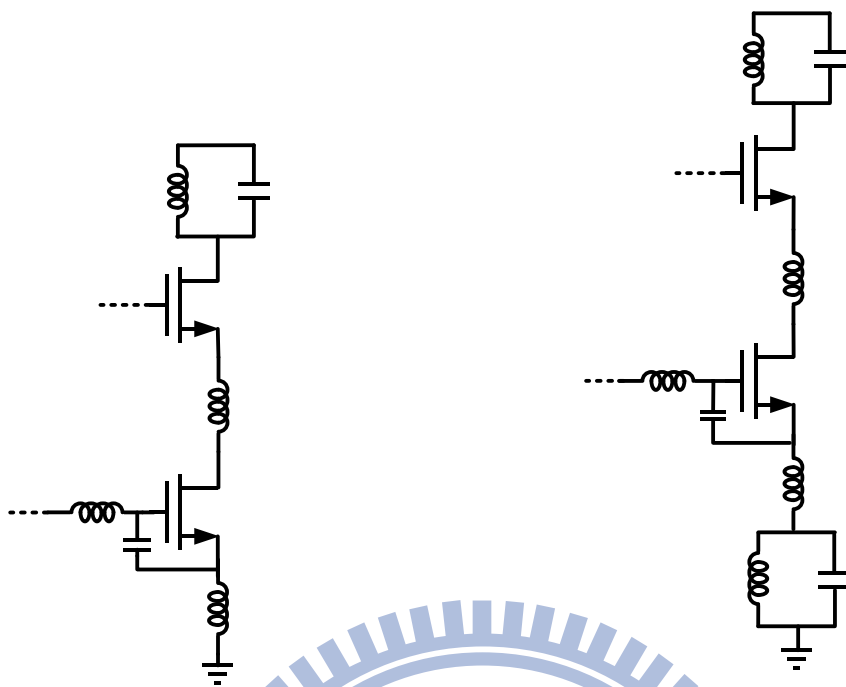
上兩式階數差異是由於差動放大器的奇對稱所造成，比較上兩式可看出差動型式的放大器較不易受高階非線性項所影響。

一般來說，在分析差動電路時，會將電路分為兩部分探討，差模型式和共模型式，接下來將以本次實做電路作為分析的出發點，討論兩種型式所具有的特性，本次實做電路如下圖(2.11)所示：



圖(2.11)差動放大器架構圖

將電路分解為差模及共模型式，如下圖(2.12)、(2.13)所示：



圖(2.12)差模電路

圖(2.13)共模電路

差模電路可等效為一般源級退化低雜訊放大器，電路特性已在前節做過分析，在此不再贅敘。相較於一般低雜訊放大器，共模電路略顯差異，在源極部分多了一對 LC 電路，若 LC 電路設計在操作頻率共振，將減小共模增益，使電路達到更好的抗雜訊能力，且 LC 並聯的型式將節省直流的電壓空間，在不影響偏壓路徑的前提下，對所要頻率的訊號產生效果。

### 2.3.3 電路設計

在設計差動放大器時，考量到電路的對稱性，將以電路的差模電路作為設計的出發點，差模電路可視為一基本源級退化低雜訊放大器，關於設計流程，將依循一般放大器的設計方式，對於輸入極和匹配網路部分，先由預定功耗，初定電晶體大小以及偏壓，再藉由雜訊



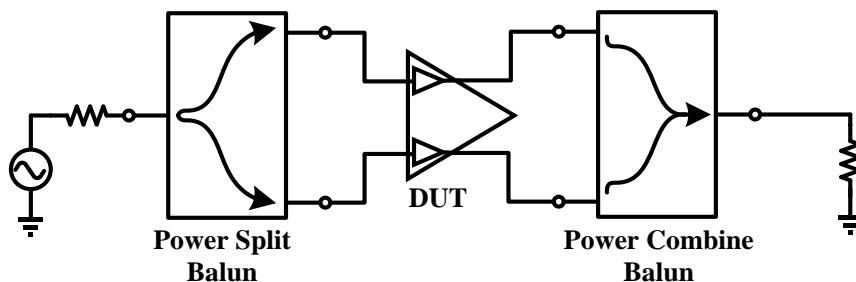
及阻抗匹配決定  $L_s$ 、 $L_g$ 、 $C_t$  以及修正過後的電晶體大小，此差動電路  $M_1$  的 width 選為  $5\mu\text{m}$ 、finger 數定為 22，根據文獻[1]，可知 MOS 元件的閘級雜散電阻是雜訊貢獻來源之一，由下式(2.31)可知，

$$R_g = \frac{R_{\square} W}{3n^2 L} \quad (n \text{ 為電晶體 finger 數}) \quad (2.31)$$

選取大的 finger 數可以降低閘級電阻，進而減少電阻所產生的雜訊。 $L_s$  選為 680 pH、 $L_g$  選為 3.5 nH，當電感數值達到電路設計的要求後，藉由組合電感圈數及半徑以產生較好的 Q 值，Q 值的提升將減少電感的寄生電阻，且考量到電路佈局的走線長短，先選定圈數，接著選取適當半徑，對於輸出級來說，LC tank 的共振頻率設計在 5.8GHz，考量到雜訊的影響，同樣需要選取 Q 值較高的電感。

### 2.3.4 量測考量

在量測 S 參數時，可利用兩端 S 參數量測結果，經由數學的轉換，以得到所需的數值，但對於雜訊的量測，必須重新做考量，根據文獻[6]，量測架設如圖(2.14)所示，由於量測儀器只適用於單入單出的型式，必須利用巴倫(balun)，使差動放大器與量測儀器做銜接，



圖(2.14)量測架設示意圖

實際的被動巴倫本身會有損耗，像是變壓器彼此間的耦合效應，而損耗會使元件貢獻雜訊，因此在作量測時，必須將巴倫的損耗考慮進去。

兩端點的雜訊因子(F)可表示為下式，

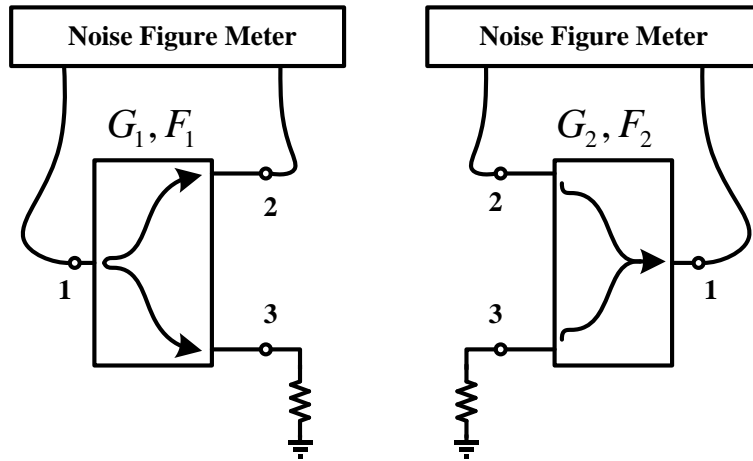
$$F = \frac{\text{Available noise at output port}}{\text{Available noise at output port due to source resistor alone}}$$

而串接電路的雜訊因子如下式(2.32)，

$$F_{casc} = F_1 + (F_2 - 1) / G_1 + (F_3 - 1) / (G_1 \times G_2) + \dots \quad (2.32)$$

本次串接電路由三端的巴倫與差動放大器構成，因此式(2.32)必須做某種程度上的修正，將重新考慮各電路對雜訊的貢獻，並且從雜訊因子的定義推導出新的公式。

假設輸入巴倫的端點一至端點二或三功率增益和雜訊因子為  $G_1$  及  $F_1$ ，輸出巴倫的端點二或端點三至端點一的功率增益和雜訊因子為  $G_2$  及  $F_2$ ，量測架設如圖(2.15)所示，



圖(2.15)巴倫量測架設圖

在輸入巴倫端點一接上 50 歐姆的情況下，可得到端點二的雜訊功率頻譜密度如式(2.33)，

$$kT \times F_1 \times G_1 \quad (2.33)$$

當輸出巴倫端點二及三皆接上 50 歐姆時，可得到在端點一由巴倫本身所貢獻的雜訊功率頻譜密度如式(2.34)，

$$kT \times F_2 \times G_2 - 2kT \times G_2 = kT \times (F_2 - 2) \times G_2 \quad (2.34)$$

對於差動放大器來說，可藉由兩個具有功率增益 A 及雜訊因子 F 的單入單出放大器來等效，每個單端放大器的雜訊可表示如(2.35)式，

$$kT \times F \times A - kT \times A = kT \times (F - 1) \times A \quad (2.35)$$

歸納上述的結果後，可推出由輸入巴倫兩輸出端點、兩單入單出放大器及輸出巴倫所貢獻的總輸出雜訊功率如式(2.36)所示，

$$F_{total} = 2 \times F_1 \times G_1 \times kT \times A \times G_2 + 2(F - 1) \times kT \times A \times G_2 + (F_2 - 2) \times kT \times G_2 \quad (2.36)$$

而在整體串接架構輸入端接上 50 歐姆後，可得到單獨由電阻所貢獻的總輸出雜訊功率如式(2.37)，

$$F_{resister} = 4kT \times G_1 \times A \times G_2 \quad (2.37)$$

根據雜訊因子的定義及式(2.36)、(2.37)，可得到新的串接雜訊因子公式如(2.38)所示，整體串接電路的功率增益如(2.39)所示，

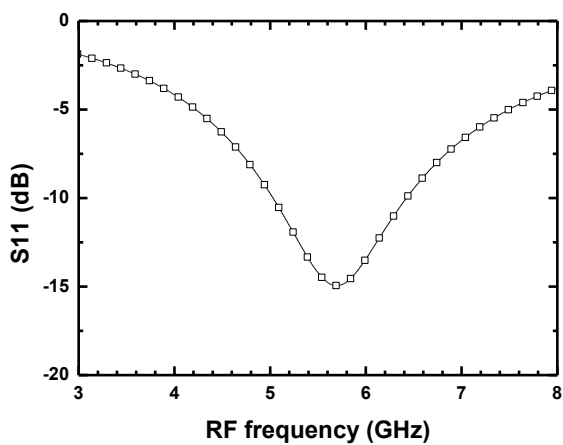
$$F_{casc} = \frac{1}{2} F_1 + \frac{1}{2} (F - 1) / G_1 + \frac{1}{4} (F_2 - 2) / (A \times G_1) \quad (2.38)$$

$$G_{casc} = 4G_1 \times A \times G_2 \quad (2.39)$$

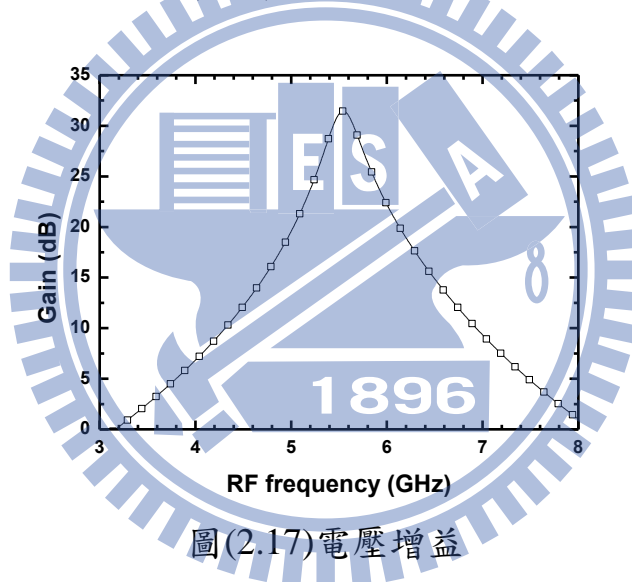
上述兩式的變數 F 及 A 為未知數，其餘變數皆可由量測儀器得知，藉由量測到的參數，以得到所要的雜訊及增益響應。



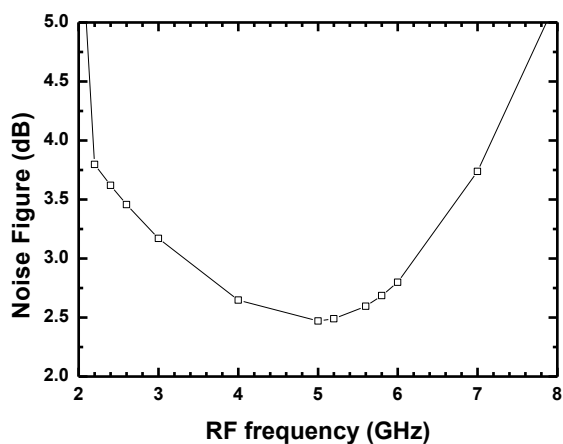
### 2.3.5 晶片量測結果



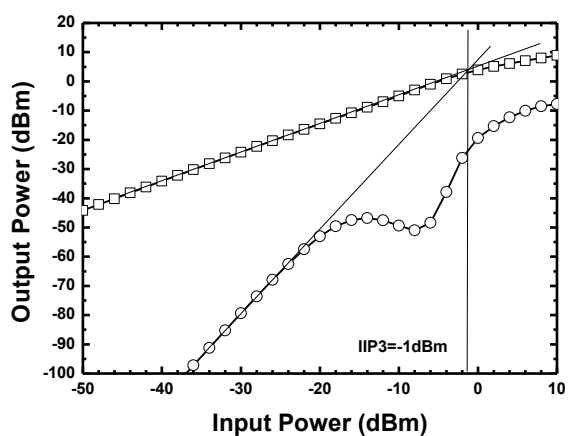
圖(2.16)輸入返回損耗



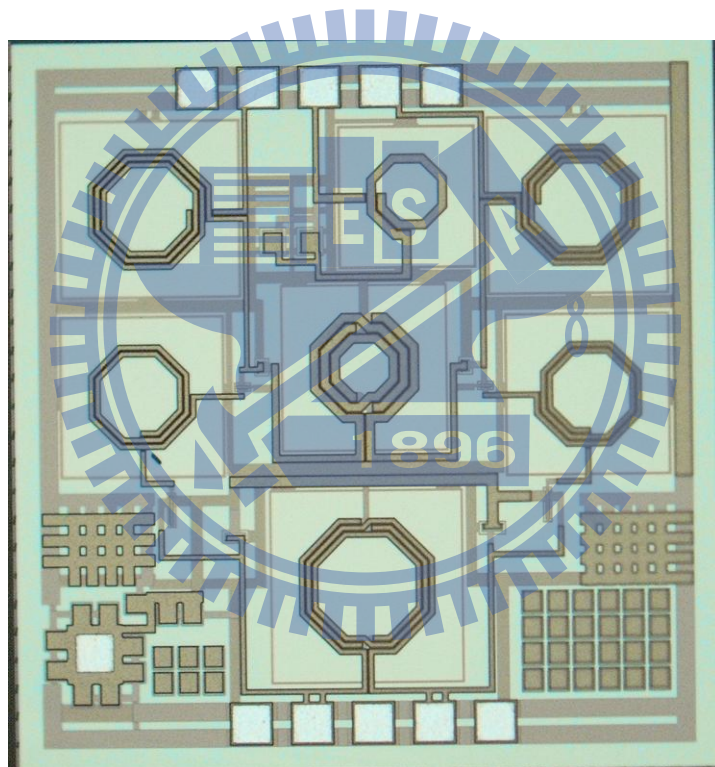
圖(2.17)電壓增益



圖(2.18)雜訊指數



圖(2.19)功率線性度



圖(2.20)Die Photo (1.0mm×1.0mm )

### 2.3.6 結果與討論

本電路使用 CMOS 0.18 $\mu\text{m}$  製程，晶片照片如 0 所示，佈局分佈是上下兩個 RF 埠採用 GSGSG pad，DC 點針放在電路的左下角且並聯足夠的穩壓電容，以防振盪情況發生，這次設計由於電感的關係，使電路面積較大，面積為  $1.0 \times 1.0 \text{mm}^2$ 。

在量測結果方面，實際量測與模擬結果皆稍有誤差，佈局走線所產生的寄生電容與寄生電阻，造成 S 參數的偏移與雜訊指數的上升，實際電路操作在與模擬相同的跨壓環境下，因為走線寄生電阻的影響，造成相較於模擬結果略小的電流，為了保持與模擬效能的一致性，需使電路操作在更大的跨壓。

表2.1 5.6-GHz 差動低雜訊放大器模擬與量測比較表

Item	Post-Simulation	Measurement
Supply Voltage (V)	1.8	
Voltage Gain (dB)	32	31
Noise Figure (dB)	2.41	2.596
IIP3 (dBm)	-1.85	-1
IP1dB (dBm)	-4	-8.4
Input Return Loss (dB)	<-10 (5.0GHz~6.45GHz)	<-10 (4.7GHz~6.1GHz)
Current Consumption (mA)	2.78	2.8

表2.2 5.6-GHz 差動低雜訊放大器文獻比較表

Ref	f <sub>c</sub> (GHz)	NF (dB)	P <sub>DC</sub> (mW)	Gain (dB)	Supply (dB)	IIP3 (dBm)	Tech.
This work	5.6	2.59	5.04	5.7	1.8	-1	0.18- $\mu$ m CMOS
[4]	2.4	3.2	9.8	15	1	-1	0.18- $\mu$ m CMOS
[13]	5.25	2.5	48	16	3	-1.5	0.25- $\mu$ m CMOS
[14]	5.7	3.7	14.4	12.5	1.8	-0.45	0.18- $\mu$ m CMOS
[15]	5.5	3.2	17.2	13	1.5	-8.2	0.18- $\mu$ m CMOS

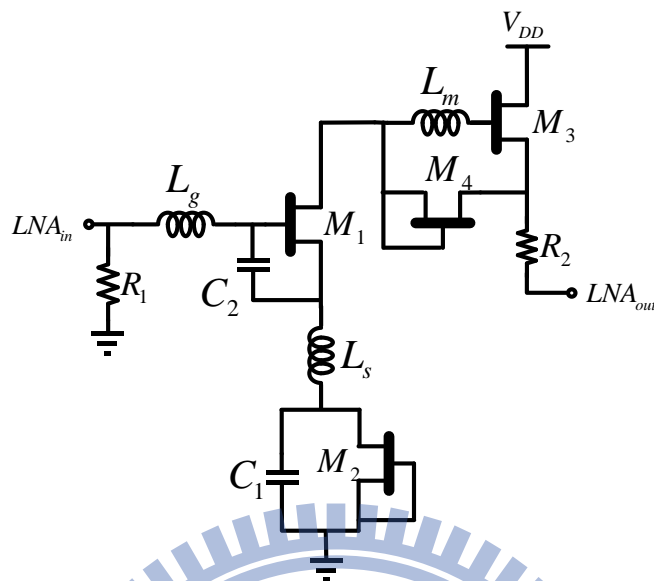
## 2.4 實作二：5-GHz /2.4-GHz Low Noise Amplifier (PHEMT 0.15- $\mu$ m)

### 2.4.1 研究動機

接續前言所提及，低雜訊放大器扮演著決定整體通訊架構的雜訊效能，有鑑於此，對於放大器雜訊效能必須格外的要求，除了在架構上做創新與改良，也可藉由不同製程的特性來達到目標，相較於 CMOS 製程，pHEMT 製程具有較好的抗雜訊表現與較高的轉導，這次利用 pHEMT 製程來實現低雜訊放大器，希望能在雜訊效能方面有所突破。

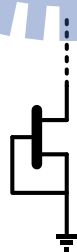


### 2.4.2 電路架構



圖(2.21)低雜訊放大器架構圖

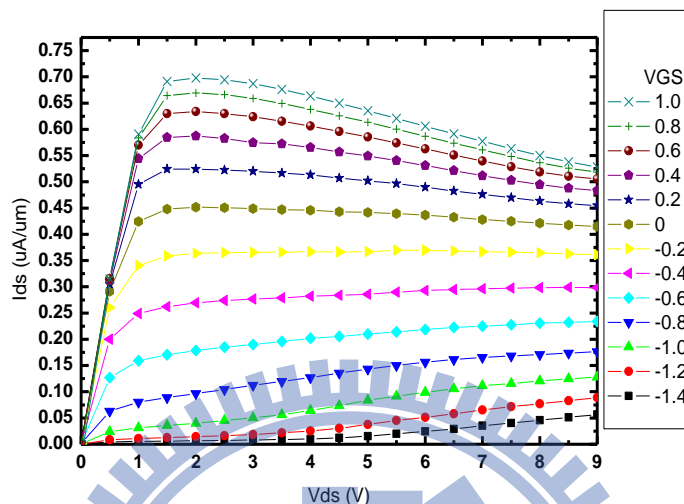
此電路如圖(2.21)所示，輸入級為源級退化型式，第二級為共汲級型式，且電路採取current-reuse的架構，電晶體 $M_2$ 、 $M_4$ 提供電路的直流偏壓，由於pHEMT製程屬於空乏型電晶體，可操作在負壓，藉由這項特性可創造出操作在0伏的偏壓電路，如下圖(2.22)所示



圖(2.22)自偏壓電路

相較於一般以電流鏡提供偏壓的架構，此架構減少所需的偏壓電流，且只使用單一電晶體，排除掉不同電晶體因製程變異所產生的不匹配

性，進而降低對電流所造成的影響，由下圖(2.23)可知，可將pHEMT操作在0伏，

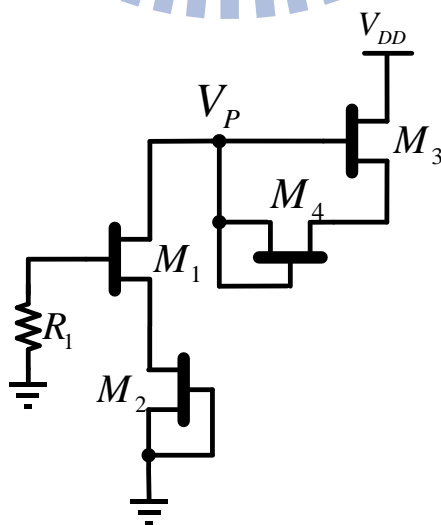


圖(2.23)pHEMT I-V curve

### 2.4.3 電路分析

#### 1. 直流分析:

此電路直流路徑如圖(2.24)所示，由於對稱的關係，



圖(2.24)直流電路圖

節點電壓  $V_p$  可假設為  $V_{DD}/2$ ，根據克希何夫電壓關係式，可得到  $M_1$ 、 $M_2$  彼此間電壓關係式如式(2.40)所示，

$$V_{gs1} + V_{ds2} = 0 \quad (2.40)$$

當  $M_1$  導通時， $V_{gs1} > V_p$ ， $V_p$  大約為  $-1.1V$ ，由前述不等式與式(2.40)作結合，可得到  $V_{gd2} > V_p$ ，因此電晶體  $M_2$  將操作在三極管區，在電晶體  $M_1$  操作在飽和區的前提下，必須滿足  $V_{gd1} = -V_{DD}/2 < V_p$ ，也就是說，偏壓  $V_{DD}$  必須大於  $2.2V$ 。因為  $M_1$  操作在飽和區且  $M_2$  操作在三極管區，式(2.40)可改寫為下式(2.41)，

$$V_{gs1} + \frac{1}{2} \times \frac{(W/L)_1}{(W/L)_2} \times \frac{(V_{gs1} - V_p)^2}{-V_p} = 0 \quad (2.41)$$

在電晶體長度(length)皆為  $0.15\mu m$  的前提下，可將  $(W/L)_2/(W/L)_1$  定義為  $r$ ，式(2.41)可以轉換成如式(2.42)所示，

$$V_{gs1} = \left[ (1+r) - \sqrt{(1+r)^2 - 1} \right] V_p \quad (2.42)$$

根據式(2.42)，直流電流  $I_{DS}$  與汲級飽和電流  $I_{DSS}$  的比例可表示成式(2.43)，

$$\frac{I_{DS}}{I_{DSS}} = \left[ r - \sqrt{(1+r)^2 - 1} \right]^2 \quad (2.43)$$

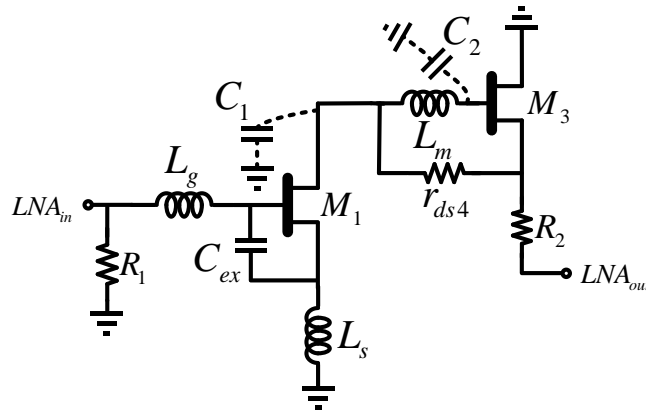
此比例是個與製程變異互為獨立的常數。

## 2.小訊號分析:

此電路小訊號電路如圖(2.25)所示，電感  $L_g$  和  $L_s$  提供輸入級雜訊與

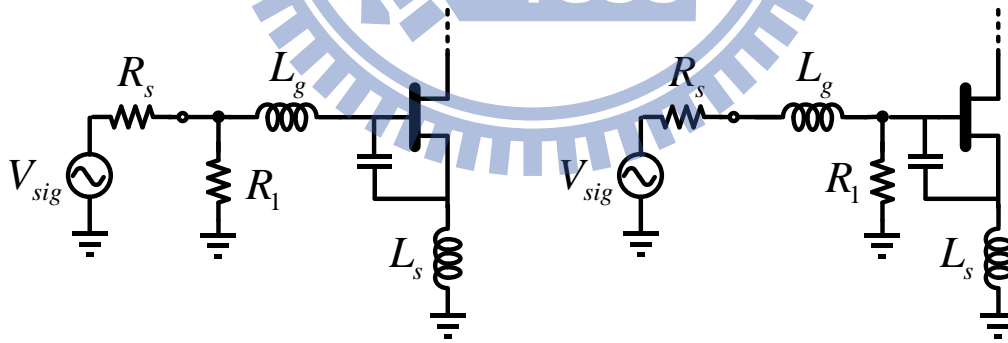
---

阻抗的匹配，



圖(2.25)小訊號電路

級間電感  $L_a$  用來與節點電容 ( $C_1$ 、 $C_2$ ) 做共振，以減少訊號傳遞時，電容所造成的損耗，電阻  $R_1$  用來偏壓電晶體  $M_1$ ，而電阻擺放的位置，會影響到電路的雜訊表現，將電阻置於電感  $L_g$  前方與後方，如圖(2.26)所示，



圖(2.26) (a)  $R_1$  置於  $L_g$  前 (b)  $L_g$  置於  $R_1$  前

經由計算，可得到電路的雜訊指數分別如式(2.44)、(2.45)所示，

$$NF \approx 1 + \frac{R_s}{R_1} \quad (2.44)$$

$$NF \approx 1 + \frac{R_s}{R_1} \left[ 1 + \left( \frac{\omega L_g}{R_s} \right)^2 \right] \quad (2.45)$$

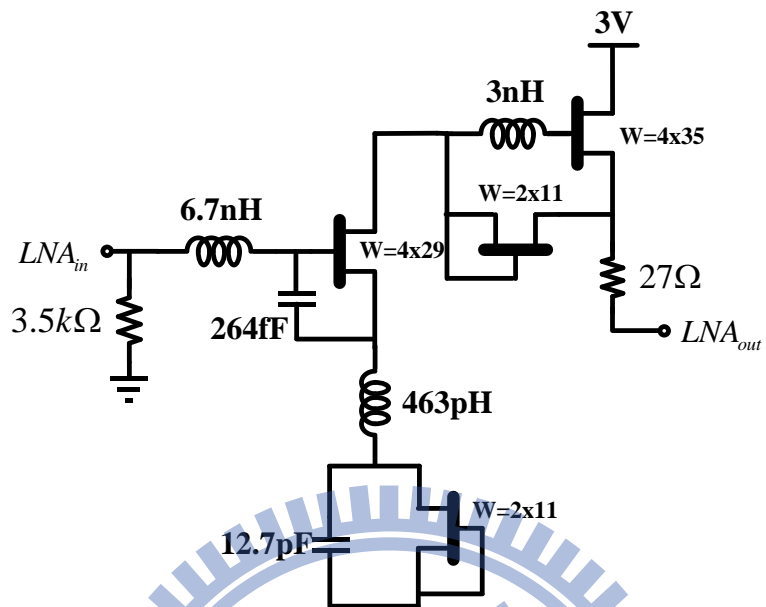
由上兩式可得知，當電阻置於閘級電感後方時，電路本身的雜訊指數會隨著頻率上升而增加，所以電路將以圖(2.26)中(a)的方式來對第一級做偏壓。

#### 2.4.4 電路設計

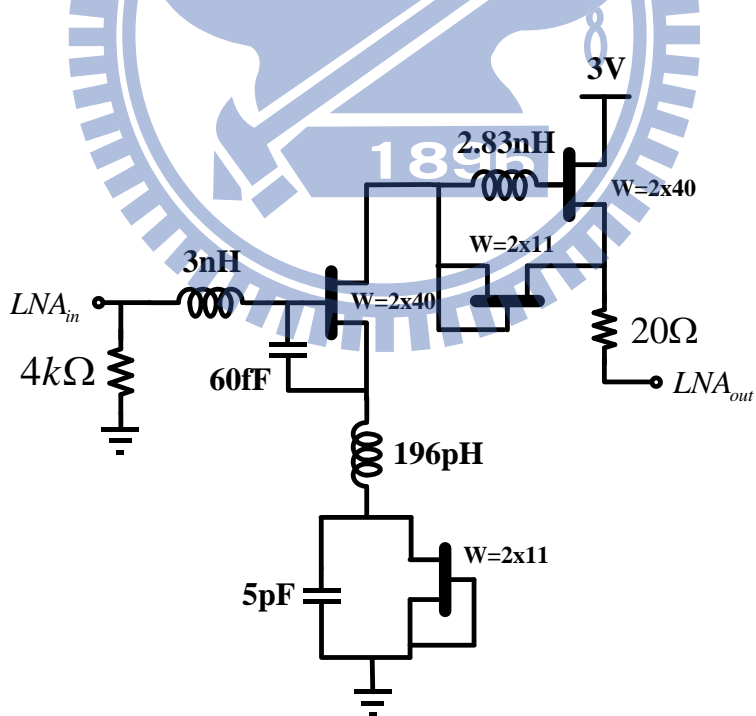
在此將以圖(2.21)作為設計考量的依據，對於輸入級來說，源極退化電感  $L_s$  用來使輸入阻抗實部趨近 50 歐姆，尺寸選為 463pH，閘極電感  $L_g$  消除輸入阻抗的負虛部，尺寸選為 6.7nH，電容  $C_{ex}$  能使電路減少功率的消耗，尺寸選為 264pF，電阻  $R_1$  選為大尺寸，目的是在偏壓電晶體  $M_1$  的情況下，不至於使訊號傳遞時有太大的損耗，且由前節分析，電路本身的雜訊指數與電阻  $R_1$  成反比，在此電阻值選為 3500 歐姆，級間電感  $L_m$  用來共振掉電晶體  $M_1$  汲極與  $M_3$  閘極端的寄生與雜散電容，尺寸選為 3.0nH，電晶體  $M_2$ 、 $M_4$  為電路的自偏壓電路，寬度(width)與並聯數(finger)選為 11 $\mu$ m 與 2，以減少電路的功率消耗，而  $M_1$  的 width 與 finger 選為 29 $\mu$ m 與 4，尺寸選取背後的原因是當電晶體偏壓電流在  $0.2I_{DDs}$  與  $0.3I_{DDs}$  之間時， PHEMT 元件有最好的雜訊表現，在此  $I_{DS}$  與  $I_{DDs}$  的比例為 21%，電阻  $R_2$  用來改善輸出的阻抗匹配，尺寸選為 27 歐姆。

同理，5GHz 的低雜訊放大器也依循上述的選取方式，2.4GHz 與

5GHz 的各元件尺寸如圖(2.27)、(2.28)所示。



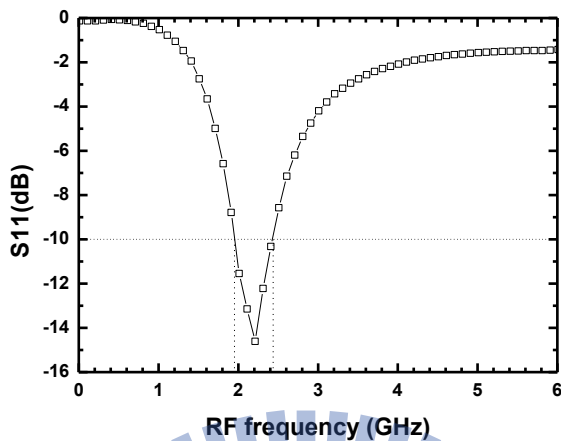
圖(2.27)2.4GHz 共源級共汲級架構(CSCD)



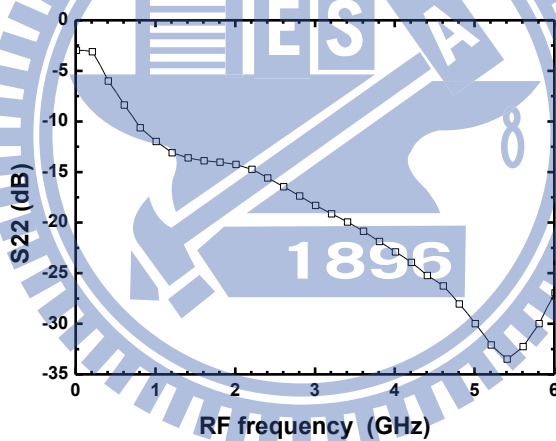
圖(2.28)5GHz 共源級共汲級架構(CSCD)

## 2.4.5 晶片量測結果

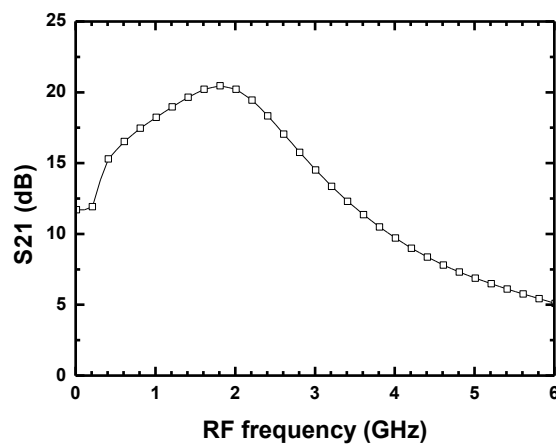
### 1.2.4GHz



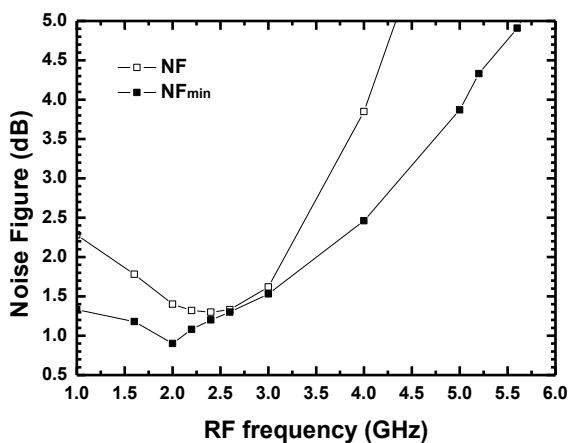
圖(2.29)輸入返回損耗



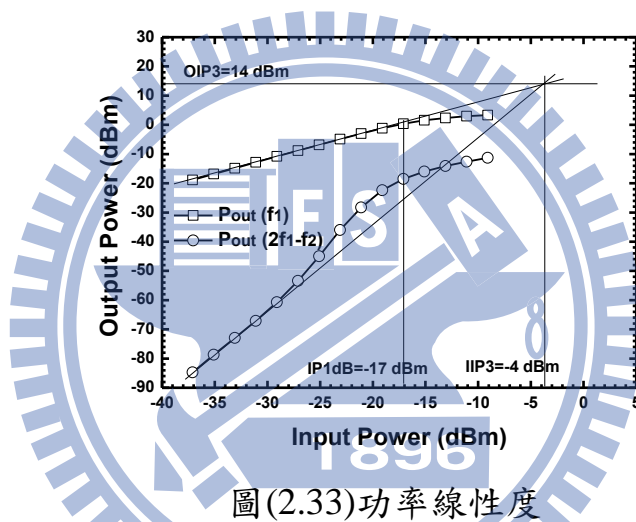
圖(2.30)輸出返回損耗



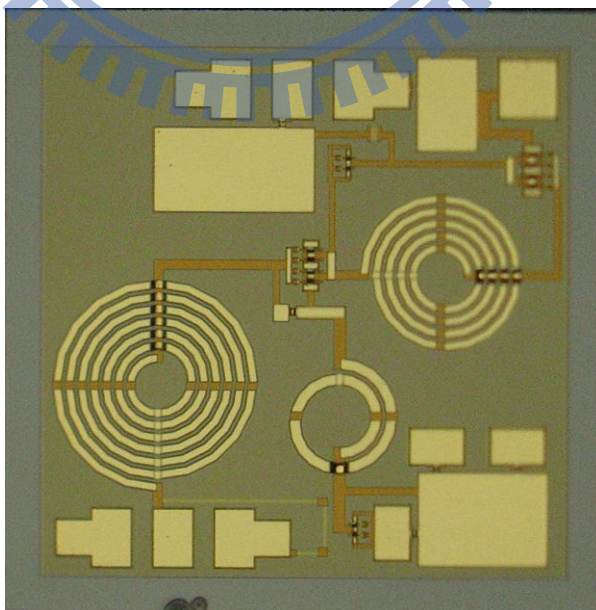
圖(2.31) $S_{21}$



圖(2.32)雜訊指數



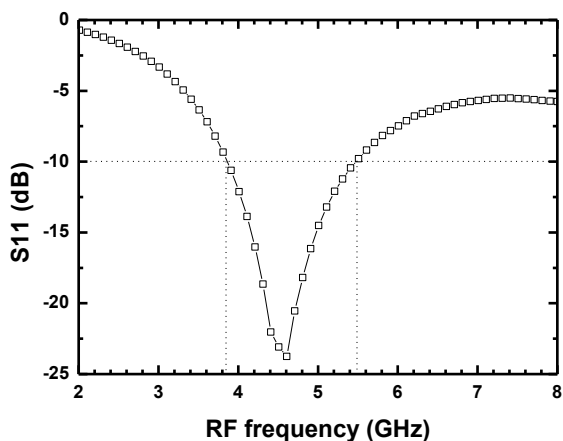
圖(2.33)功率線性度



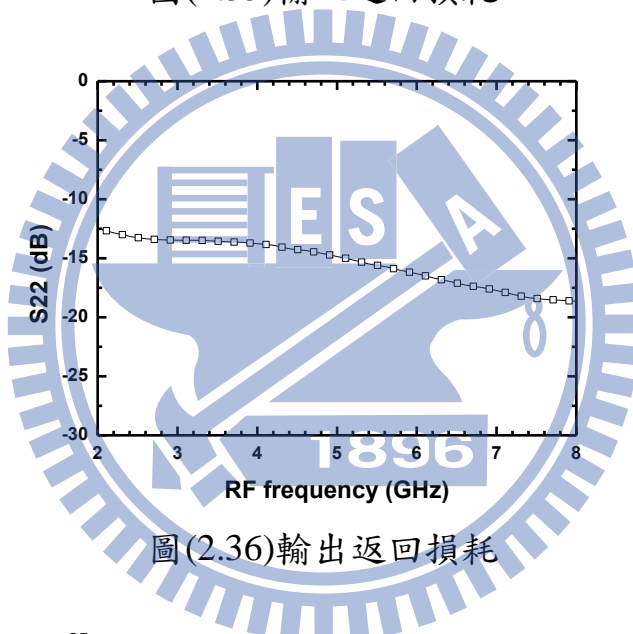
圖(2.34)Die Photo (1.0mm×1.0mm)



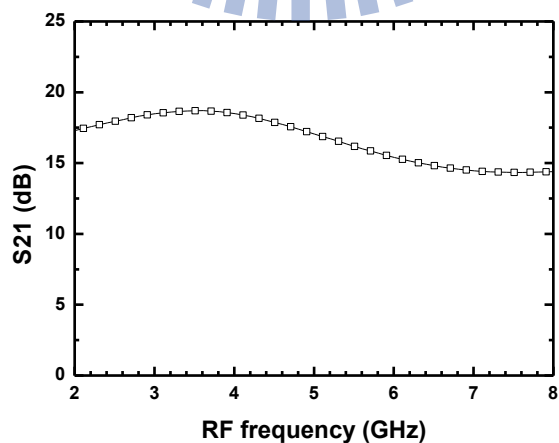
2.5GHz



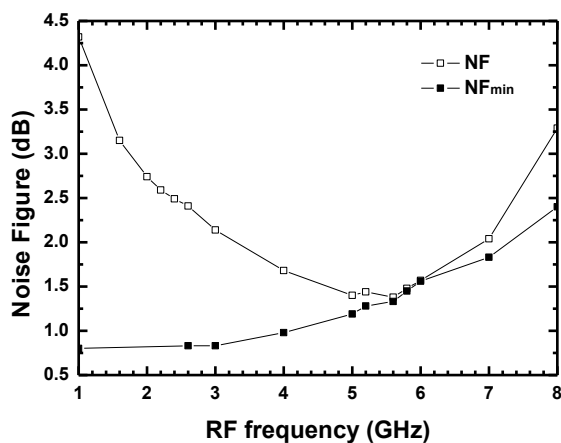
圖(2.35)輸入返回損耗



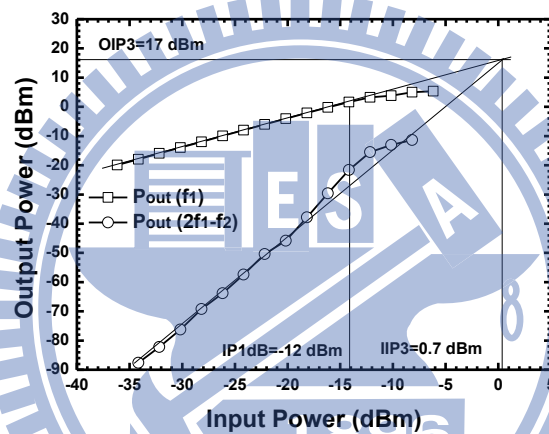
圖(2.36)輸出返回損耗



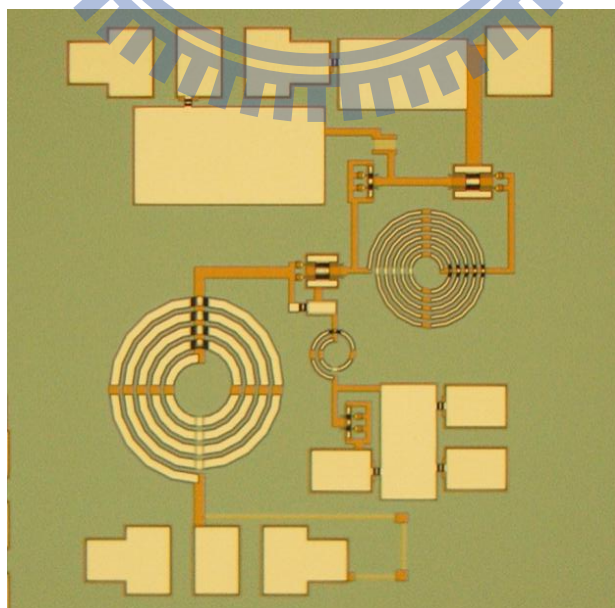
圖(2.37) $S_{21}$



圖(2.38)雜訊指數



圖(2.39)功率線性度



圖(2.40) Die Photo (1.0mm×1.0mm)

## 2.4.6 結果與討論

### 1.2.4GHz:

此電路用 CMOS 0.18 $\mu$ m 製程實現，晶片如圖(2.6)所示，輸入及輸出端皆用 GSG pad，DC 針置於右上角，晶片面積為 1x1mm<sup>2</sup>。

此電路量測與模擬結果稍有誤差，在 S 參數部分，S11 在頻率 1.95GHz 到 2.4GHz 間小於 10dB，最低點落於 2.2GHz，推測是走線寄生效應造成此頻飄的現象，S22 由於輸出串接電阻的幫助，呈現寬頻的匹配，雜訊指數在操作頻率 2.4GHz 時為 1.3dB，對於雜訊的量測來說，若直接使用穩懋所提供的大訊號模型來進行模擬與設計，依照以往的經驗，將會產生過大的誤差，以致無法達到設計目標的要求，這次在設計電路元件參數時，使用此製程 test key 所建立出來的模擬元件模組，由量測結果可知，利用 test key 量測參數為依據的元件模型來作設計，將使得 NF<sub>min</sub> 有相當高的精確度，且 NF 最低點落在所要的頻率點，此次量測的 IIP3 為 -4dBm，OIP3 為 14dBm。

### 2.5GHz:

此電路用 CMOS 0.18 $\mu$ m 製程實現，晶片如圖(2.54)所示，輸入及輸出端皆用 GSG pad，DC 針置於右上角，晶片面積為 1x1mm<sup>2</sup>。

此量測得到的 S11 在頻率 3.8GHz 到 5.5GHz 間小於 10dB，雜訊指數在操作頻率 5GHz 時為 1.4dB，IIP3 為 0.7dBm，OIP3 為 17dBm。

表 2.3 2.4-GHz PHEMT LNA 模擬與量測比較表

Item	Post-Simulation	Measurement
Supply Voltage (V)	3	
S21 (dB)	18.8	18
Noise Figure (dB)	1.01	1.3
IIP3 (dBm)	-7	-4
IP1dB (dBm)	-20	-17
Input Return Loss (dB)	<-10 (2.1GHz~2.7GHz)	<-10 (2.0GHz~2.4GHz)
Current Consumption (mA)	8.73	10.8

表 2.4 5-GHz PHEMT LNA 模擬與量測比較表

Item	Post-Simulation	Measurement
Supply Voltage (V)	3	
S21 (dB)	18.8	17
Noise Figure (dB)	1.161	1.4
IIP3 (dBm)	-9	0.7
IP1dB (dBm)	-22	-12
Input Return Loss (dB)	<-10 (4.8GHz~6.5GHz)	<-10 (3.9GHz~5.5GHz)
Current Consumption (mA)	8.21	10.8

# 第三章

## 使用被動混頻器之低功率 放大器



### 3.1 前言

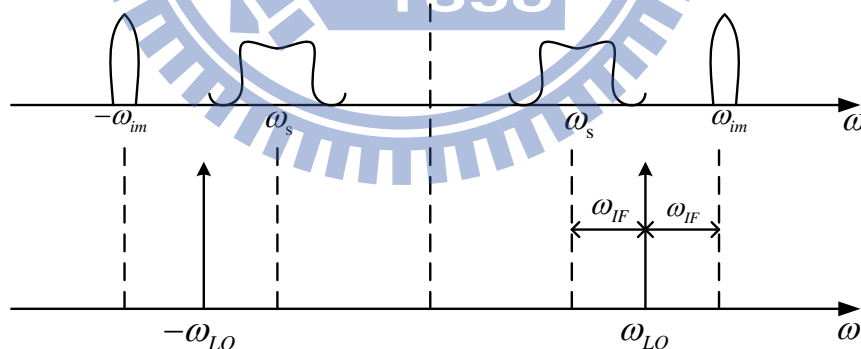
近年來無線通訊越來越普及，傳輸資料量的增加以及可以做為遠端點對點的傳輸等優點，使得市場對於無線通訊系統需求量大幅上升，在工商產業、消費電子、遊戲業等方面，都可以看到無線通訊的應用。針對藍芽通訊或 IEEE 802.11b 規格的無線通訊，系統對於低功耗和低成本的要求，使得單晶片低功耗的接收機更具重要性，高度積體化降低系統建構所需的成本，且藉由架構的改良與創新，能使系統在一定的能源消耗下做更長時間的操作。

對於低功耗的設計來說，可從系統架構的選取開始發展，直到電路細部的設計，每個層面皆有許多的低功耗技術可選擇與應用，本電路選擇直接降頻架構，而內部子電路也以低功耗為前提去做設計。

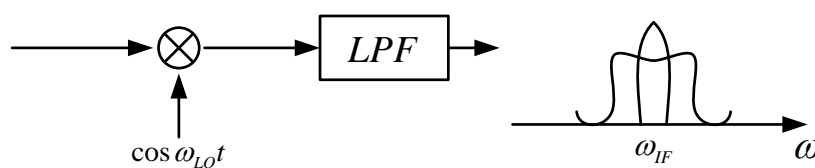
本章會先探討系統架構的選擇，並介紹此預實現架構需在哪些設計方面做考量，接著分析各電路區塊設計需注意的地方，最後對電路量測結果做討論。

### 3.2 架構選擇之考量

對於一般的無線接收機設計，通常有三種架構，直接降頻(direct conversion)、超外差(super-heterodyne)、低中頻(low-IF)，由於超外差架構的高效能與良好的穩定性，此架構被廣泛的利用在現代通訊上，雖然此架構優點繁多，但仍有一項主要的缺點，關於鏡像訊號的問題，如下圖(3.1)所示，所要訊號( $\omega_s$ )載在本地訊號( $\omega_{LO}$ )上時，會產生鏡像訊號( $\omega_{im}$ )，當訊號皆到達接收端後，經過接收端本地訊號( $\omega_{LO}$ )的降頻並經過低頻濾波器後，會產生所要訊號和鏡像訊號重疊的現象，如圖(3.2)所示，而鏡像訊號的干擾，降低所要訊號接收的準確度。



圖(3.1)鏡像訊號



圖(3.2)鏡像訊號干擾

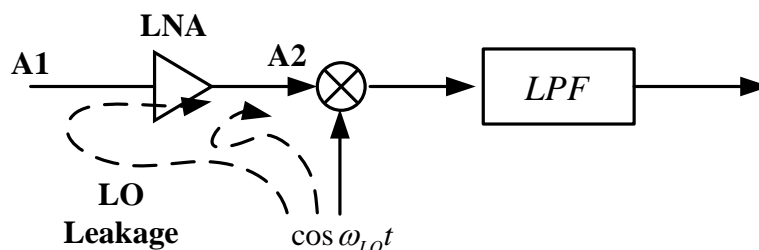
除了鏡像訊號的問題外，超外差架構需要數個混頻器，不僅增加架構整體功率消耗，同時使電路的實現更為複雜，上述缺點使此架構不適合低功耗、低成本的應用。對於低中頻架構來說，高的類比轉數位取樣率和由增益與相位不匹配對鏡像抑制所造成的限制，使得此架構不適用於低功耗的應用。相較於上述兩架構，直接降頻架構具有高密度的整合性，且不需要鏡像抑制濾波器和 IF 通帶濾波器的使用，歸納上述三架構的優劣比較及考量到低功耗和低成本的趨勢，將以直接降頻型式作為接收機實現的架構。

#### 3.2.1 直接降頻架構之設計考量[2]

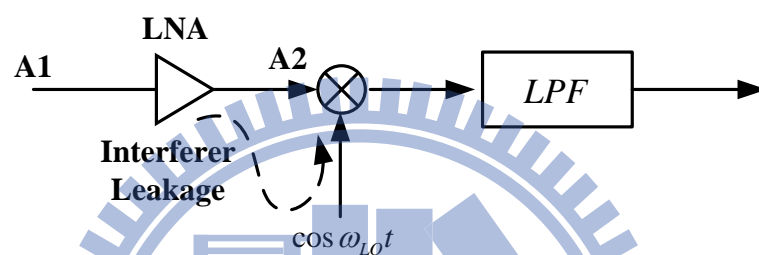
##### 1. 直流位移

由於直接降頻架構輸出訊號操作頻率落於直流附近，外來的偏移電壓會對所要訊號造成干擾且會飽和後級電路。一般來說，本地訊號端 (LO) 和混頻器前端及低雜訊放大器前端往往無法達到很好的隔離度，由下圖(3.3)所示，本地訊號會經由電容耦合或基底耦合到混頻器前端(A2)或低雜訊放大器前端(A1)，不必要的反饋訊號會再經過一次混頻的動作，與自身頻率相同的訊號作混頻將會產生直流項，同理，混頻器和放大器前端的訊號也會漏至本地訊號端，藉由混頻機制產生直流位移，如下圖(3.4)所示。





圖(3.3)本地訊號端溢漏



圖(3.4)輸入端溢漏

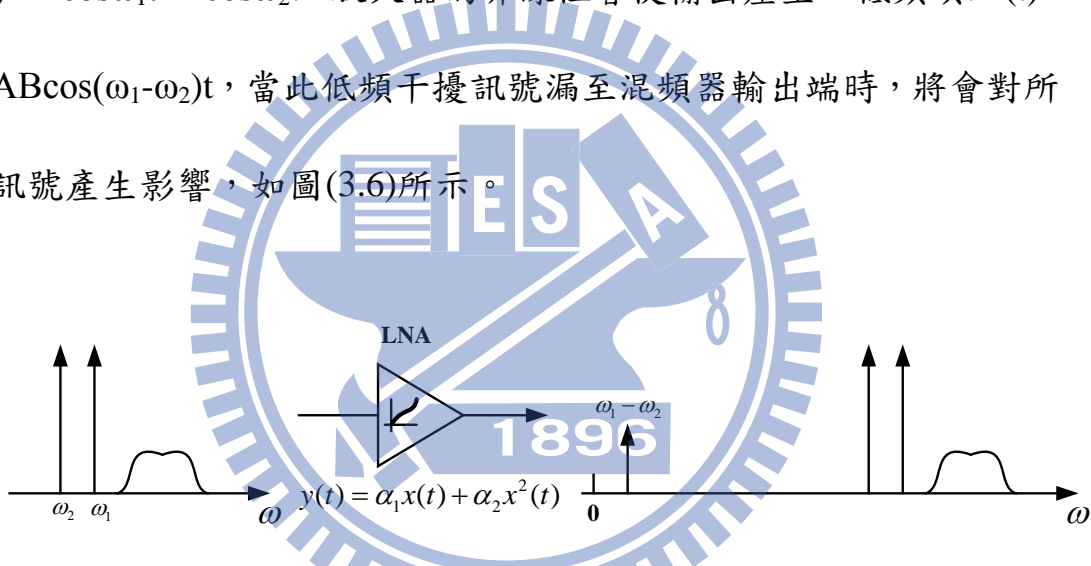
## 2. I/Q 訊號不匹配

應用在很多相位調變和頻率調變系統中的直接降頻架構須使用正交型式，必須藉由相位移器在本地訊號端產生出兩個正交訊號，也就是產生相角相差 90 度的訊號，而相角差未達到 90 度及 I/Q 訊號振幅的不匹配會提高誤碼率，假設有一接收訊號為  $x_{in}(t)=a\cos\omega_c t+b\sin\omega_c t$ ， $a$  和  $b$  為 1 或 -1，在相位及振幅不匹配的情況下，本地 I/Q 訊號可表示為  $x_{LO,I(t)}=2\cos\omega_c t$ 、 $x_{LO,Q(t)}=2(1+\varepsilon)\sin(\theta+\omega_c t)$ ， $\varepsilon$  和  $\theta$  分別代表振幅及相位誤差，經過混頻及低通濾波器後，可得到兩基頻訊號  $x_{BB,I(t)}=a$ 、 $x_{BB,Q(t)}=(1+\varepsilon) b\cos\theta-(1+\varepsilon) a\sin\theta$ ，由上述兩基頻表示式可知，本地 I/Q

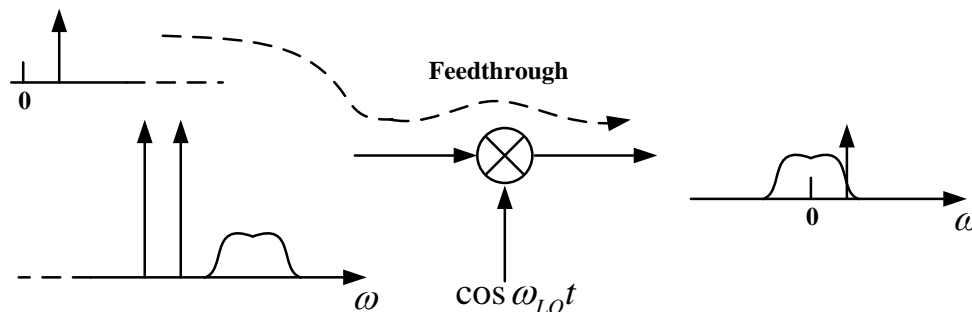
訊號的非正交性，會使基頻訊號的錯誤率上升。

### 3. 偶次項失真

一般接收機對於奇次非線性項較為敏感，而就直接降頻架構來說，偶次非線性項也會造成影響，如圖(3.5)所示，假設低雜訊放大器的非線性表示式為  $y(t) = \alpha_1 x(t) + \alpha_2 x^2(t)$ ，若在放大器輸入端有一干擾訊號為  $x(t) = A \cos \omega_1 t + B \cos \omega_2 t$ ，放大器的非線性會使輸出產生一低頻項： $k(t) = \alpha_2 AB \cos(\omega_1 - \omega_2)t$ ，當此低頻干擾訊號漏至混頻器輸出端時，將會對所要訊號產生影響，如圖(3.6)所示。

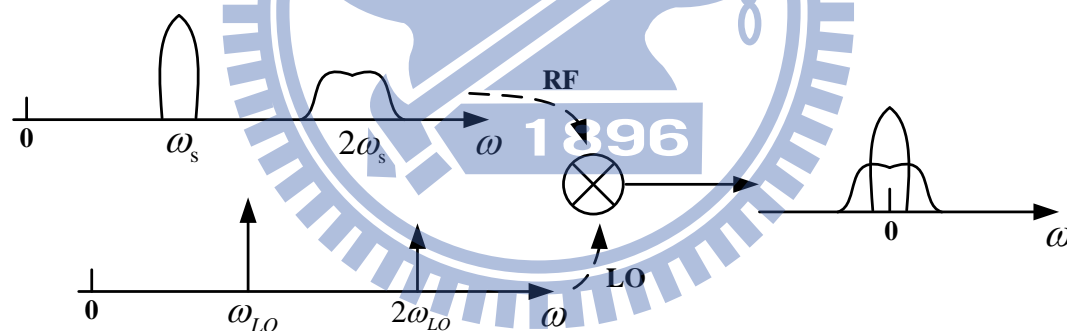
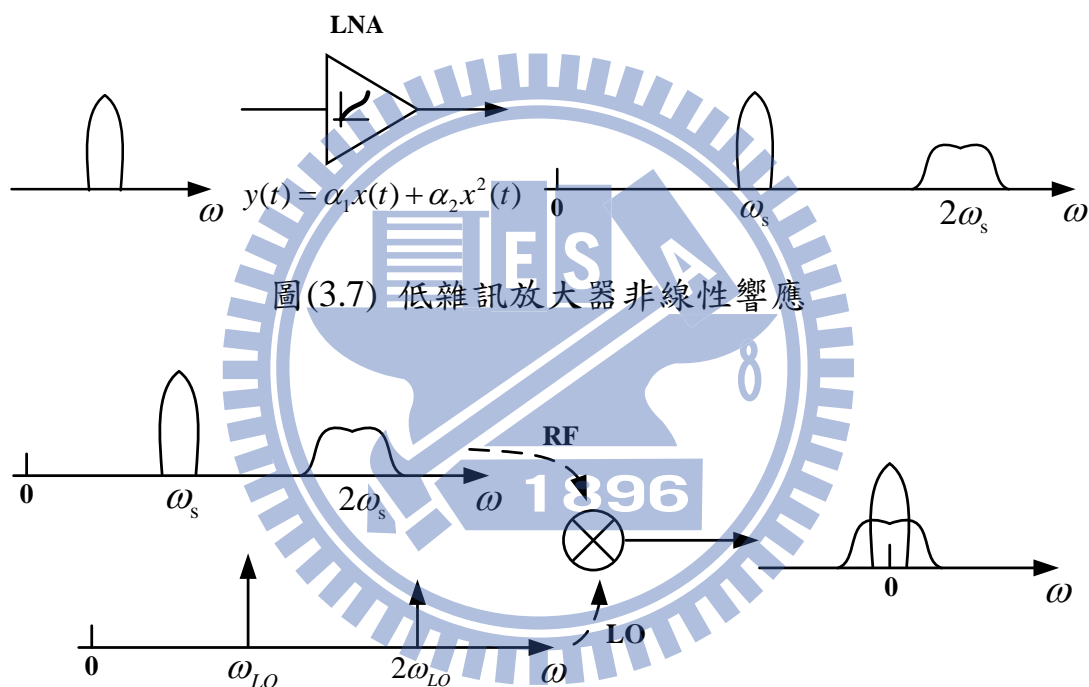


圖(3.5)低雜訊放大器響應



圖(3.6)偶次非線性項的影響

除了上述所提，輸入端的干擾訊號會藉由低雜訊放大器的非線性對所要訊號產生影響外，RF 訊號的二次諧波也會對所要頻帶造成影響，如圖(3.7)所示，RF 訊號經過低雜訊放大器後，由於放大器本生的非線性，會產生二次諧波項，當 RF 訊號和 LO 訊號的二次諧波項混頻後，將對輸出所要頻帶造成干擾，如圖(3.8)所示。



#### 4.閃爍雜訊(flicker noise)

由於接收機降下來的訊號頻譜會落於頻率為零的附近，頻率低的關係使得閃爍雜訊的問題變得更為顯著，若分析閃爍雜訊在不同頻率下對共源極架構的影響，可得知當操作頻率降低時，閃爍雜訊的問題會

越來越顯著，在頻率為 1MHz 時，共源級架構的熱雜訊(thermal noise)和閃爍雜訊大小相似，如(3.1)式所示，

$$\frac{K}{WLC_{ox}} \cdot \frac{1}{f} \approx 4KT \frac{2}{3g_m} \quad (3.1)$$

若在頻段 10Hz 到 200kHz 計算閃爍頻率的功率，如(3.2)式，

$$P_{n1} = \int_{10\text{Hz}}^{200\text{kHz}} \frac{K}{WLC_{ox}} \frac{df}{f} = 4KT \frac{2}{3g_m} (1\text{MHz}) \ln(2 \times 10^4) \quad (3.2)$$

只考慮熱雜訊的情況下計算功率，可得(3.3)式，

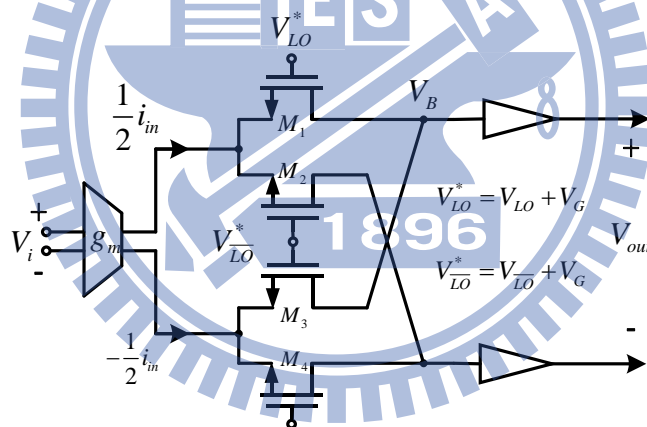
$$P_{n2} = \int_{10\text{Hz}}^{200\text{kHz}} 4KT \frac{2}{3g_m} df \approx 4KT \frac{2}{3g_m} (2 \times 10^5) \quad (3.3)$$

比較(3.2)式和(3.3)式可得知， $P_{n1}$  為  $P_{n2}$  的 49.5 倍，由上述比例可得知，閃爍雜訊在低頻時影響甚劇。

### 3.3 電流驅動被動混頻器

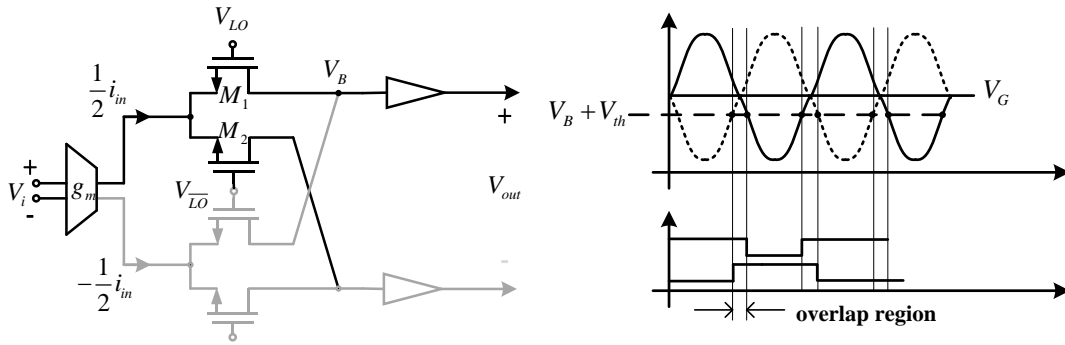
混頻器有主動和被動兩種型式，對於主動混頻器來說，混頻器可為電路提供增益，進而抑制後極的雜訊貢獻，而相較於主動型式，被動混頻器排除直流功率消耗的問題，且具有較好的閃爍雜訊，被動混頻器分為電流驅動和電壓驅動的架構，根據文獻[6]可知，電流驅動的被動混頻器具有較好的雜訊表現。

混頻器的雜訊，尤其是閃爍雜訊，對於接收窄頻訊號的無線通道來說，會是個嚴重的問題，根據以往的經驗，主動混頻器所產生的閃爍雜訊會跟注入電晶體的直流電流成正比，降低偏壓電流將能改善閃爍雜訊的問題，被動混頻器不消耗直流功率的特性，使被動型式的混頻器具有低閃爍雜訊的優點，除了直流電流會造成閃爍雜訊的產生，以電流驅動被動混頻器來說，傳輸電晶體操作區域的重疊性高低也是閃爍雜訊的控制變因之一，以實做的被動混頻器架構為出發點，如圖(3.9)所示，



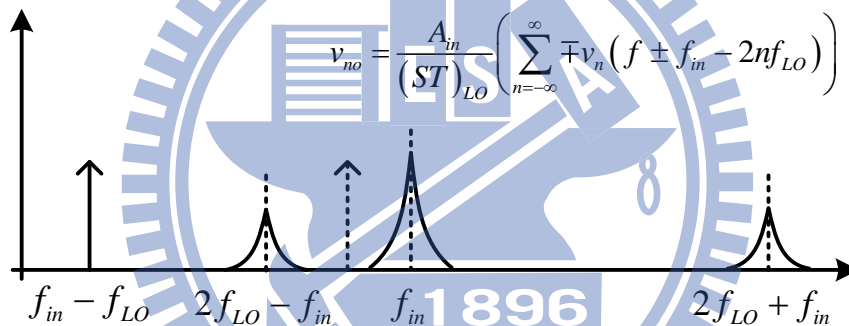
圖(3.9)電流驅動雙平衡式被動混頻器

當被動混頻器在操作時，電晶體會在三極管區和截止區做交替，而電晶體彼此的截止與導通時段週期不一，會產生出重疊或無重疊的狀況，以  $M_1$ 、 $M_2$  為例，若  $V_B + V_{th} < V_G$ ，電晶體操作區域會產生重疊的情況，重疊的狀況是指在 LO 交流訊號相交點的附近，電晶體皆操作在三級管區，如圖(3.10)所示，



圖(3.10)操作區域重疊

假設輸入一個差模訊號  $v_{in}=A_{in}\sin\omega_{in}t$ ，計算雙平衡式混頻器的輸出雜訊，可得到頻譜響應如圖(3.11)所示，

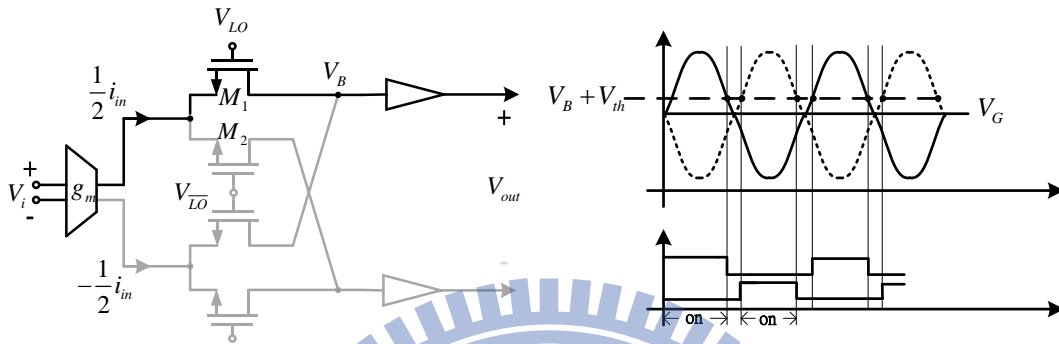


圖(3.11)雜訊頻譜分佈

由結果可知閃爍雜訊會出現在頻率為  $f_{in}$ 、 $2f_{LO}+f_{in}$ 、 $2f_{LO}-f_{in}$ 、...處，而所要頻率會出現在  $f_{in}-f_{LO}$ 、 $f_{LO}-f_{in}$ ，一般來說，閃爍雜訊不會對所要頻率造成干擾，但若遇到  $f_{in}=3f_{LO}/2$  的狀況，雜訊會對所要訊號造成影響，且假設有非相關干擾訊號出現在  $f_{LO}+f_{in}$  或  $3f_{LO}-f_{in}$  處，將會在操作頻率處產生閃爍雜訊，混頻器輸出雜訊正比於輸入訊號，若非相關干擾訊號稍大時，所產生出來的閃爍雜訊將會降低所要訊號的訊雜

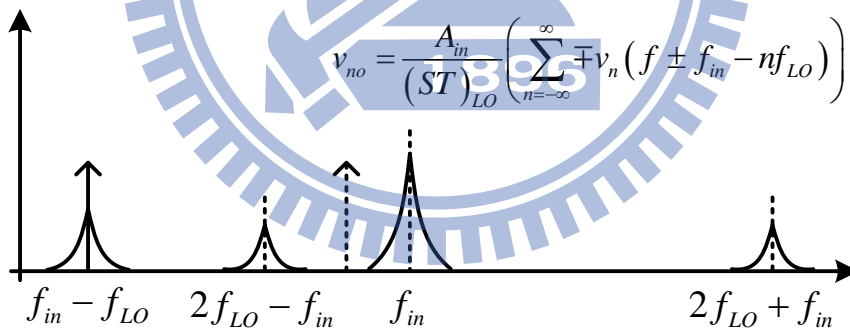
比。

上述是重疊的狀況，同樣以  $M_1$ 、 $M_2$  為例，若  $V_B + V_{th} > V_G$ ，電晶體操作區域將不會產生彼此重疊的情況，如圖(3.12)所示，



圖(3.12)操作區域未重疊

經由計算，可得到未重疊狀態下雜訊頻譜響應如下圖(3.13)所示，



圖(3.13)雜訊頻譜分佈

由結果可知雜訊會對所要訊號造成影響，因此在未重疊的狀態下，閃爍雜訊往往會導致所要訊號的訊雜比下降。

由上述的分析可得知，不同的偏壓組合，電晶體將會產生操作區重疊

或未重疊的狀況，在操作區重疊的情況下，閃爍雜訊落於遠離所要訊號的頻帶，但若遇到非相關干擾訊號，仍會對所要訊號造成影響，在操作區未重疊的情況下，閃爍雜訊會落於操作頻帶而降低訊號的訊雜比。當雜訊和訊號成正比時，輸出的訊雜比由於閃爍雜訊而成為常數，必須藉由更理想的LO訊號來改善[5]。

### 3.4 實作一：2.4-GHz Low-Power Receiver with Passive Mixers (CMOS 0.18- $\mu\text{m}$ )

#### 3.4.1 研究動機

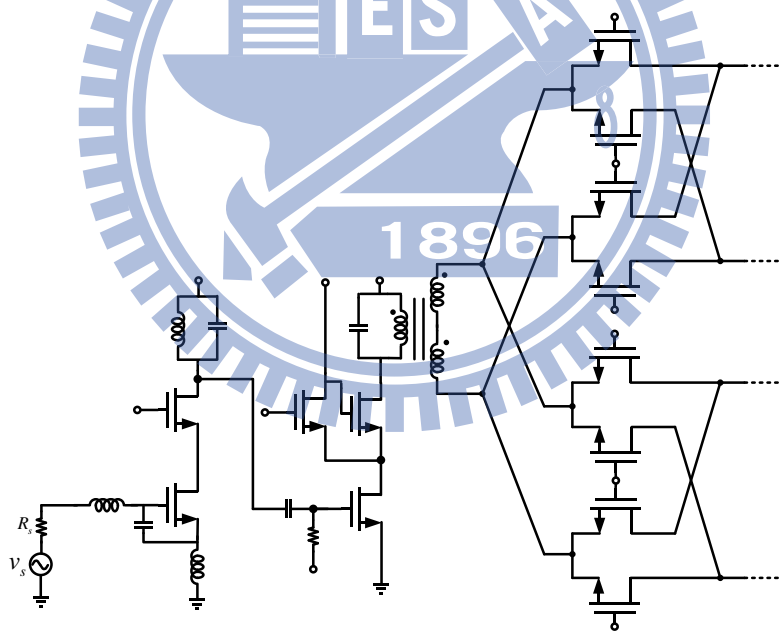
隨著晶片設計的演進與發展，低製作成本及低功率消耗的要求日趨重要，可藉由晶片積體化以達到節省成本的目的，本實做電路希望能將接收機實現在晶片上，以節省外接電路的需要，外接電路帶來功率消耗及額外面積的問題，且電路架構不同的設計與選擇攸關功耗的高低，本次預實現的電路架構希望能在不影響各效能的情況下，達到低功耗的要求。

#### 3.4.2 電路架構

此實做電路射頻部份由兩級低雜訊放大器、單入雙出變壓器、被動混頻器所構成，如圖(3.14)所示，第一級低雜訊放大器為電感源級退



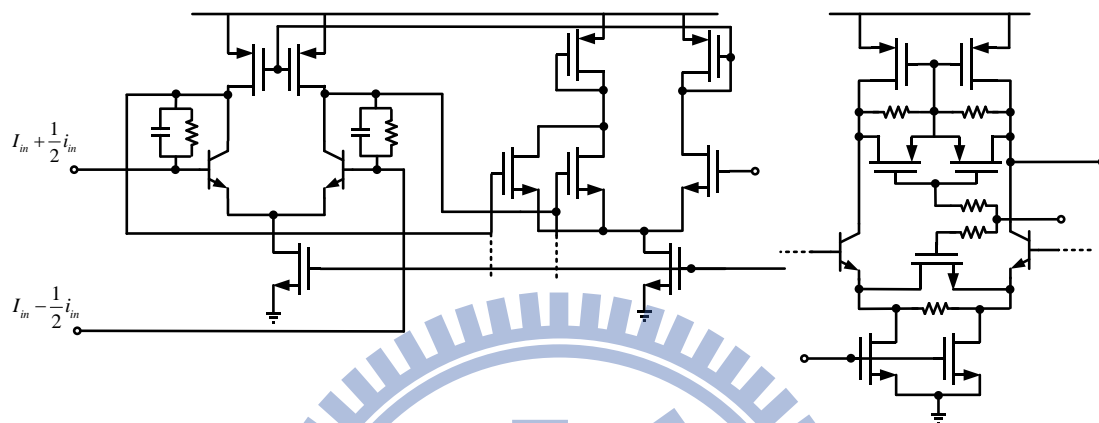
化架構，利用源級退化來達到阻抗及雜訊匹配，第二級放大器用來增加前級放大器的增益以抑制後級雜訊的影響，且與變壓器做結合，利用變壓器將單端訊號轉成差動訊號，做為銜接後級雙平衡式被動混頻器的橋梁，混頻器是採取被動型式，主動型式的混頻器不僅會有直流功率的消耗，同時也因直流電流而加深閃爍雜訊對整體接收機的影響，被動混頻器一般分為電壓型式和電流型式，此架構選用電流型式，相較於電壓型式，電流型式的混頻器降低對後級基頻電路線性度的影響。



圖(3.14)低雜訊放大器與被動混頻器

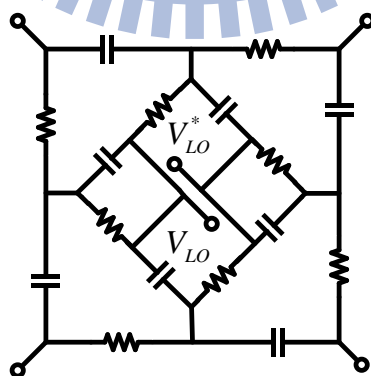
電路基頻部份由帶有共模回授電路的轉阻放大器及可調式增益放大器所組成，如圖(3.15)所示，轉阻放大器利用RC電路做回授，可用來濾除訊號混頻後所產生的高階非線性項，增加混頻器的線性度並降

低後級電路對線性度的要求，可調式增益放大器用來補償接收訊號過大的狀況，藉由改變增益量來降低過大訊號對後級數位電路線性度所造成的影響。



圖(3.15)轉阻放大器與增益放大器

LO訊號部份，當輸入相位相差180度的訊號，藉由經過一多重相位濾波器，如圖(3.16)所示，產生一組正交的I、Q訊號。



圖(3.16)多重相位濾波器

### 3.4.3 架構分析[9]

#### 1. 熱雜訊考量

此架構主要的雜訊由接收機輸入級、混頻器切換電晶體、轉阻放大器及其回授網路的電阻所貢獻，根據[9]，若去計算混頻器前的輸入參考雜訊電壓(input-referred voltage noise)，可得到下式(3.4)，

$$\bar{V}_{n,in}^2(f_{out}, f_{in}) = \frac{4kT\gamma}{\alpha g_m} \left( \frac{\beta\pi}{2} \right)^2 \Delta f + \left( \frac{4\pi f_{in} C_{par}}{g_m} \right)^2 \bar{V}_{n,amp}^2 + \frac{\pi^2}{g_m^2} \left( \frac{kT}{R_f} \Delta f \right) \quad (3.4)$$

其中 $\alpha = g_m/g_{ds0}$ 、 $\gamma$ 為製程變數， $\beta^2$ 為反映開關級動作時的常數，在LO訊號為完整方波時的假設下， $\beta^2$ 為 $\pi^2/8$ ， $C_{par}$ 為混頻器與變壓器級間的寄生電容，由上式可得知轉阻放大器所貢獻的雜訊將隨著頻率升高而更為嚴重，且 $R_f$ 所貢獻的雜訊和 $R_f$ 的倒數成正比。

#### 2. 線性度考量

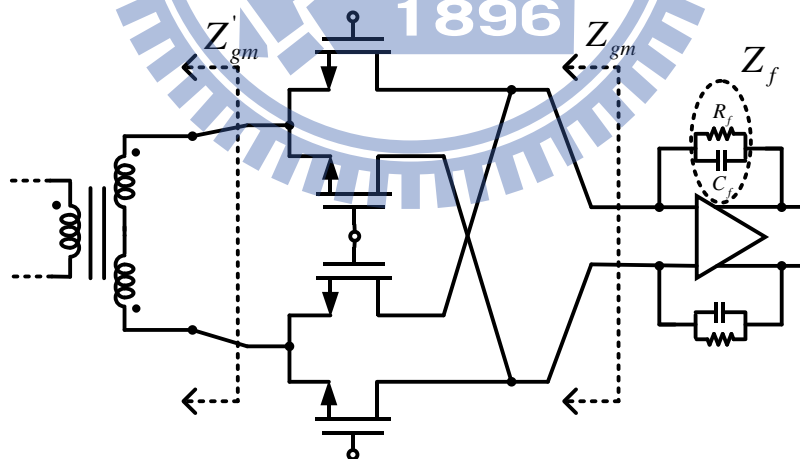
混頻器的線性度受前級轉導放大器、切換電晶體對及後級轉阻放大器的線性度所影響，謹慎的選取原件尺寸和適當的功率消耗，可使轉導放大器有良好的線性度表現，而轉阻放大器的線性度取決於高階非線性項的頻率偏移量，如圖(3.17)所示，轉阻放大器可視為一個以 $Z_f$ 為回授阻抗的並並回授放大器，並由等效阻抗為 $Z_{gm}$ 的電流源做為輸

入，假設放大器電壓轉移函數為 $A(f)$ ，則放大器的迴路增益如下式(3.5)

所示，

$$T(f) = A(f) \frac{Z_{gm}(f)}{Z_{gm}(f) + Z_f(f)} \quad (3.5)$$

由於切換電晶體的頻率轉換，阻抗 $Z_{gm}(f)$ 在低頻時將會正比於靠近LO頻率時的阻抗 $Z'_{gm}(f)$ ，因阻抗 $Z'_{gm}(f)$ 在LO頻率時的響應幾乎沒變化，使得阻抗 $Z_{gm}(f)$ 在基頻時近乎為常數，而由RC電路構成的 $Z_f(f)$ 在基頻時呈現低通的頻率響應，在 $A(f)$ 的大小及線性度為常數的假設下，回路增益 $T(f)$ 會隨著頻率升高而增加，進而使電路產生更好的線性交會點(input-referred linearity intercept point)。



圖(3.17)混頻器示意圖

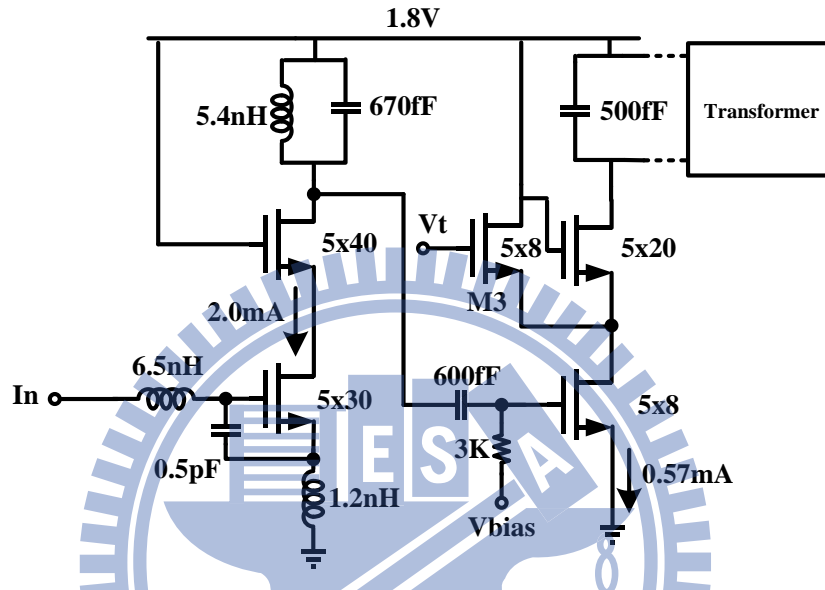
### 3.4.4 電路設計:

#### 1. 低雜訊放大器

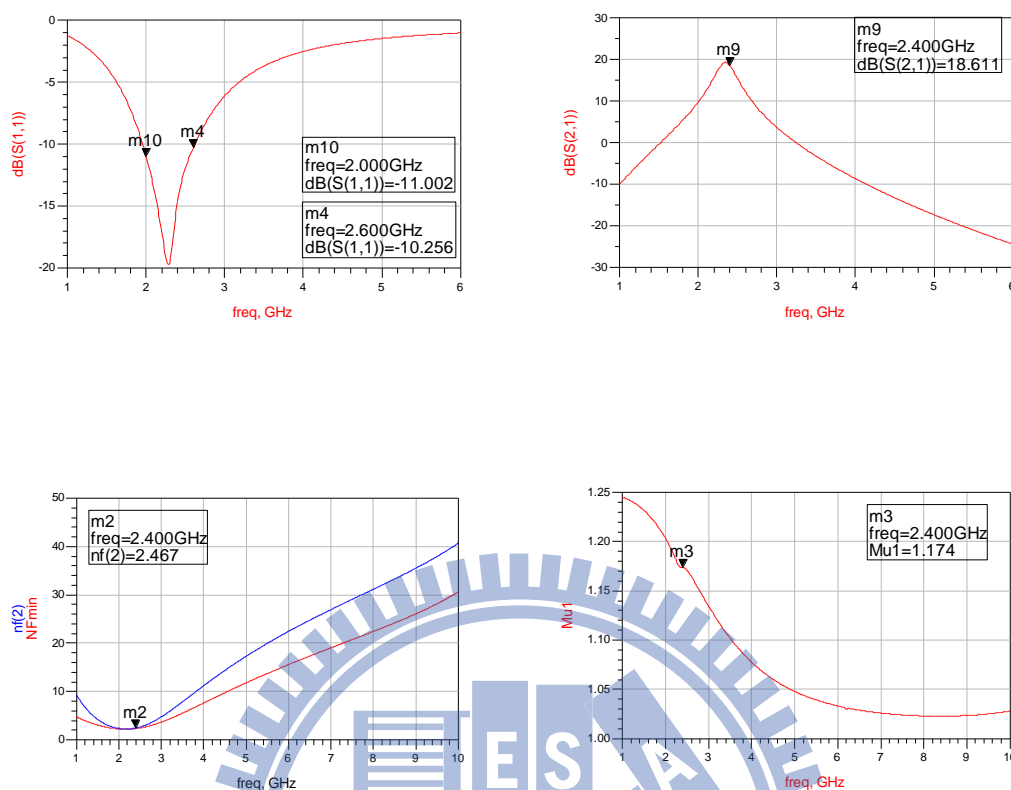
此低雜訊放大器架構分為兩級，對於第一級放大器來說，先設定電晶體尺寸的初始值，長度(length)選為 $0.18\mu\text{m}$ ，以便有最小的 $NF_{\min}$ ，寬度(width)和並排數(finger)採取以短寬配多排的組合，目的是降低閘極電阻的效應，閘極電阻與電晶體寬度及並排數的關係，已在第二章論述過，接著設定電晶體初始偏壓 $V_{gs}$ ，使電晶體操作在所要的區域和讓電路消耗電流在可容許範圍內，再來調整並排數來使 $\text{Re}[Z_{\text{opt}}]$ 接近50歐姆，並選取源極電感 $L_s$ 以消去 $Z_{\text{opt}}$ 的虛部，接著微調電晶體偏壓和並排數來使 $\omega_T L_s$ 接近50歐姆，並藉由閘極電感 $L_g$ 來消除輸入阻抗的虛部，最後設計 $C_{\text{ex}}$ 的大小，使電路減少功率的消耗，各元件選定時，將面臨到許多層面的考量，在第二章已多所論及。此輸入極匹配網路部分，電晶體寬度選為 $5\mu\text{m}$ ，並排數選為30， $L_s$ 選為 $1.2\text{nH}$ ， $L_g$ 選為 $6.5\text{nH}$ ，第一級偏壓電流為 $2\text{mA}$ 。

對於放大器各級的輸出級部份，LC tank 元件的選取以共振在操作頻率為前提，去選定電感與電容的值，顧慮到增益的大小，會以較大感值搭配相對應電容值，當以台積實際電感模型去與理想電感做對應時，會需要調整電感走線寬度、圈數與半徑，而上述三個變數主要以

佈局和電感本身Q值做為設計考量依據。第一級輸出級部份，電感值為5.4nH(width=9 $\mu$ m、nr=4.25 $\mu$ m、rad=70 $\mu$ m)，電容為670fF。整體電路各元件尺寸如圖(3.18)所示，模擬如圖(3.19)所示。



圖(3.18)低雜訊放大器電路圖

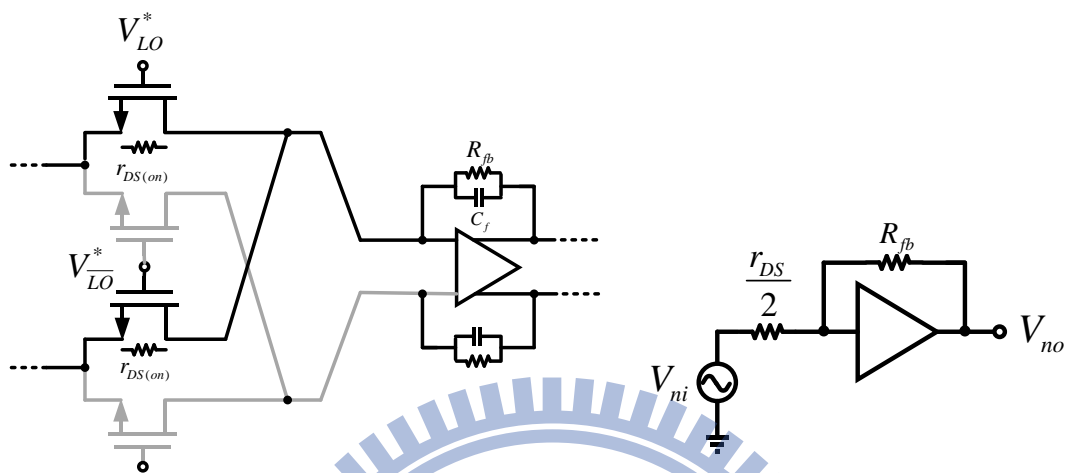


圖(3.19)低雜訊放大器模擬圖

## 2. 混頻器設計

此電路混頻器採用電流模式，選用電流模式背後的原因已在3.4.2節分析過，電晶體是選用NMOS，相較於PMOS，NMOS高的電子遷移率更適合做為切換電晶體，為了降低電晶體雜訊的貢獻，電晶體選大尺寸以產生低導通電阻，且LO端的共模電壓設計為小於 $V_B$ (RF端偏壓) $+V_t$ ，使混頻器不會有同時導通的情況發生，當切換對操作區重疊時，會降低傳輸增益和增加LO端的閃爍雜訊，現在將以較直觀的方

式來論述電晶體同時導通時，如何對雜訊造成放大的影響，根據文獻 [3]，如圖(3.20)、(3.21)所示，



圖(3.20)混頻器導通示意圖

圖(3.21)等效電路圖

圖(3.21)為圖(3.20)的等效簡化電路，計算圖(3.21)的轉移函數，可表示為如(3.6)式，

$$V_{no} = V_{ni} \left[ \frac{2R_{fb} + r_{DS}}{r_{DS}} \right] \quad (3.6)$$

$R_{fb}$  因電晶體導通電阻並聯的影響，放大為兩倍，而通常  $R_{fb}$  都設計很大，由上述推論可知，電晶體同時導通將放大雜訊對電路的影響。此被動混頻器的電晶體寬度(width)為  $38\mu\text{m}$ ，長度(length)為  $0.18\mu\text{m}$ ，LO 共模電壓為  $1.4\text{V}$ 。

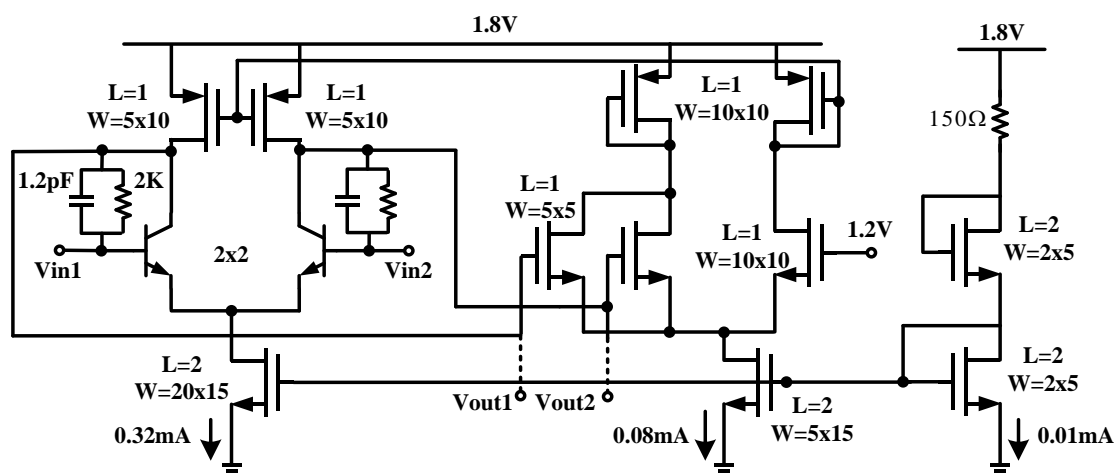


### 3. 轉阻放大器設計

此放大器由具有RC做為並並回授的轉阻放大器及共模回授電路所構成，如圖(3.22)所示，經由計算，放大器的雜訊可表示成(3.7)式，

$$\overline{v_{n,v}^2} = 2 \left\{ 4kTr_b + \frac{2KT}{g_{m1}} + \frac{g_{m3}^2}{g_{m1}^2} \left[ \frac{8KT}{3g_{m3}} + \frac{K_p}{C_{ox}W_3L_3f} \right] \right\} \Delta f \quad (3.7)$$

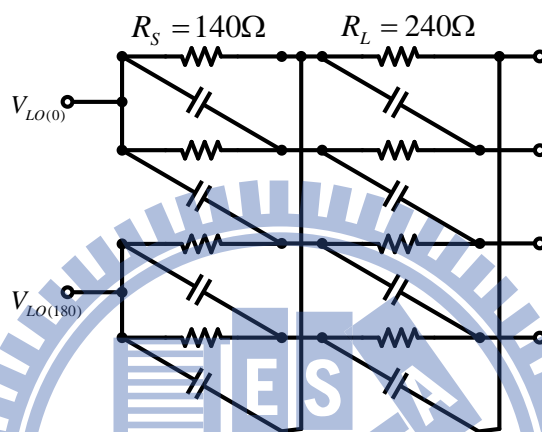
由上式可知，轉阻放大器的PMOS寬長比小且寬度與長度大的情況下，能降低電路的雜訊，對於RC回授電路來說，以大電阻搭配大電容，大電阻能降低電阻本身對電路的熱雜訊貢獻，但阻值過大會影響到線性度，所以阻值的選取有個上限，而電阻搭配電容可產生低通濾波的效果，電容選取大尺寸能對混頻器輸出訊號的高階非線性項有更好的抑制效果。此轉阻放大器與共模回授電路消耗電流為0.4mA，回授電路的電阻為2000歐姆，電容值為1.2pF。



圖(3.22)轉阻放大器架構圖

#### 4. 多重相位濾波器設計

此電路使用兩級的多重相位濾波器，根據文獻[11]，若第一級的電阻為 $R_s$ ，第二級的電阻為 $R_L$ ，如下圖(3.23)所示，



圖(3.23)多重相位濾波器

且負載為開路的情況下，在增益大於一的前提下，電阻彼此的比例關係如公式(3.8)所示，

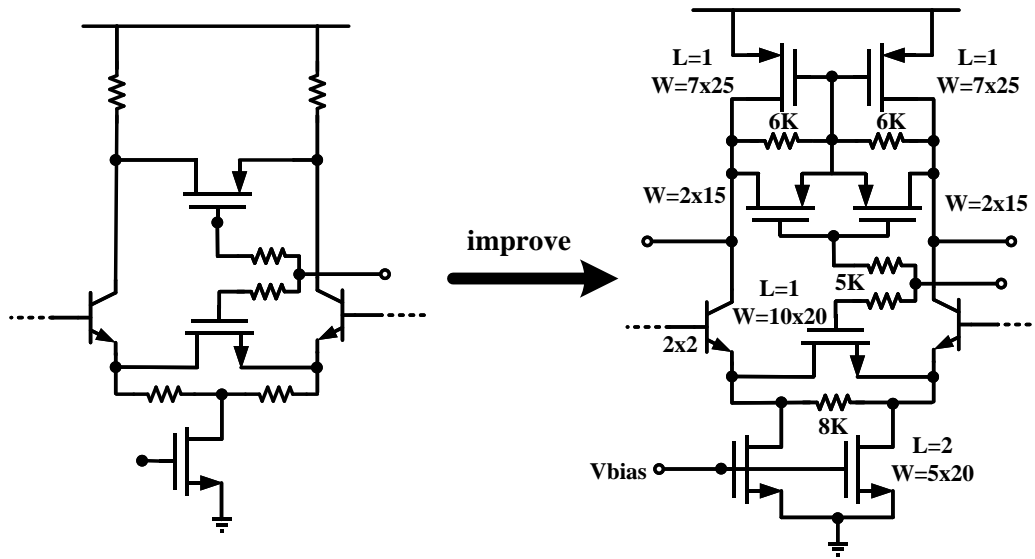
$$\frac{R_L}{R_s} > \left[ 2^{\frac{N}{2(N-1)}} - 1 \right]^{-1} \quad (3.8)$$

其中 $N$ 為階數，由式(3.8)可知，若為兩級多重相位濾波器的話，後級電阻必須大於前級電阻才能得到大於一的增益，由於多重項位濾波器最後一級電阻對雜訊貢獻占很大的比例，且考量到增益的問題，第一

級電阻需避免設計太大，以免使第二級電阻對雜訊造成影響。此電路前級電阻為140歐姆，後級電阻為240歐姆。

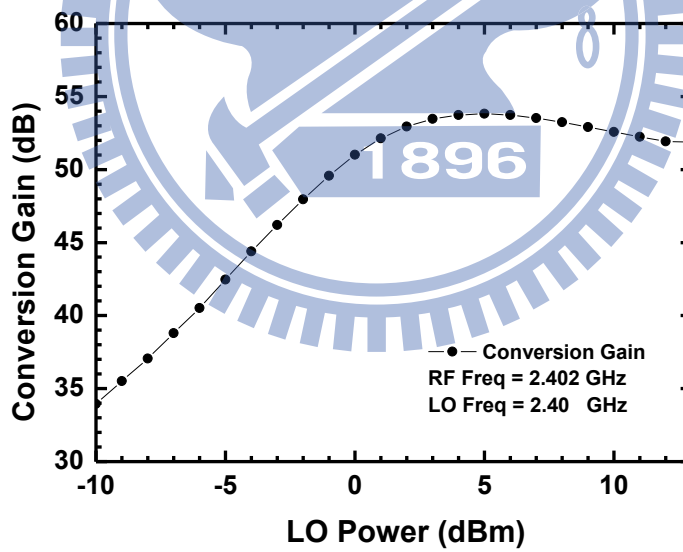
### 5.可調式增益放大器設計

此電路是NMOS和PMOS做搭配，產生一個可調增益的放大器，當放大器收到訊號過大時，可利用此級降低增益，以避免影響到整體的線性度。放大器是以PMOS架構取代傳統以電阻做為負載的型式，如圖(3.24)所示，而以NMOS架構取代傳統以電阻做為源極退化的型式，目的是節省電壓空間，以便有更好的線性度，對調整增益來說，藉由操作在三極管區的電晶體，以改變電晶體等效電阻的方式來調整增益大小，而負載電阻的改變會影響到電路本身頻寬，由於轉阻放大器已把頻寬限制住，所以調整增益時，對頻寬所造成的影響，不至於太過嚴重。此電路元件尺寸如圖(3.24)所示。

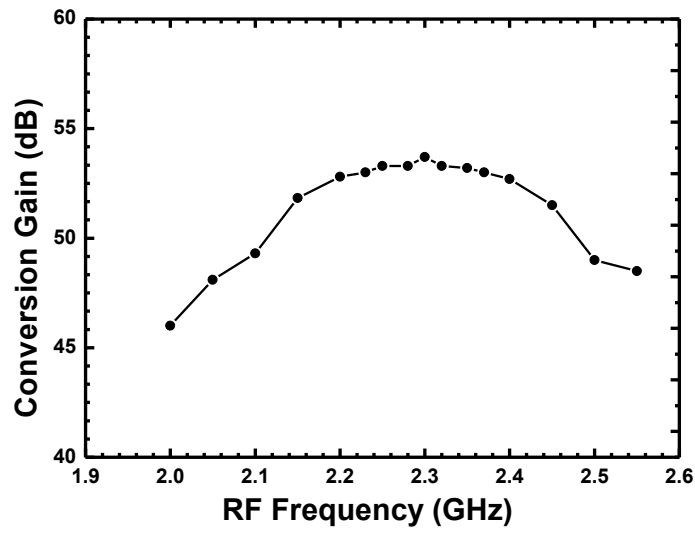


圖(3.24)可調式增益放大器架構圖

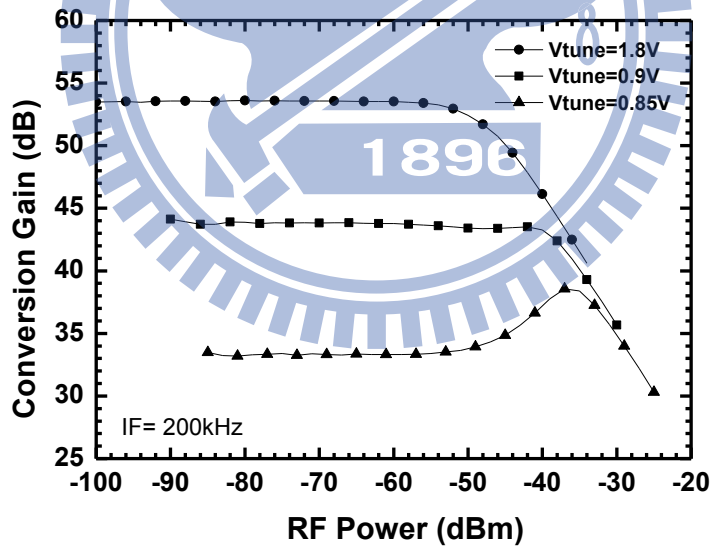
### 3.4.5 晶片量測結果:



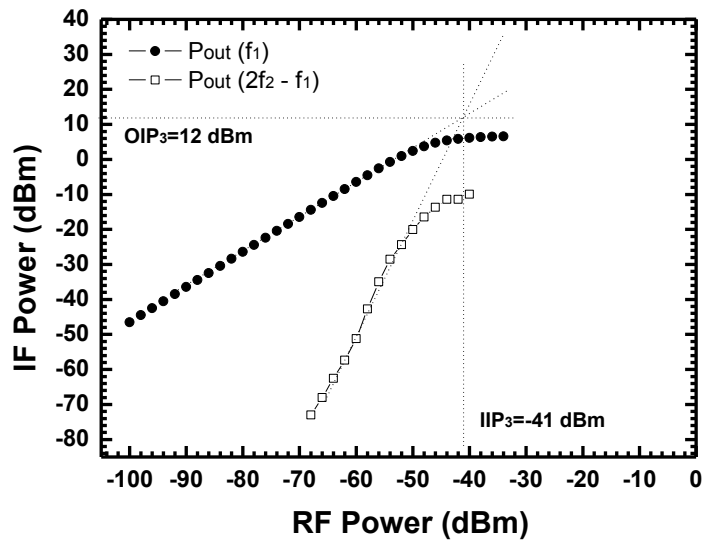
圖(3.25)轉換增益對LO功率



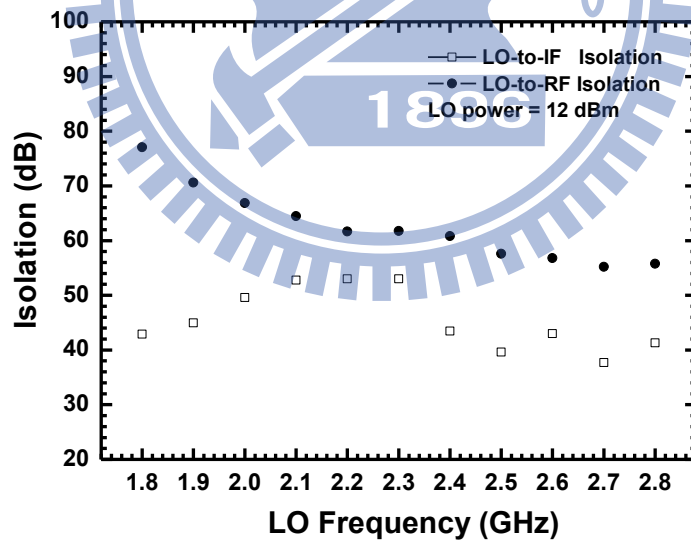
圖(3.26)轉換增益對RF頻率



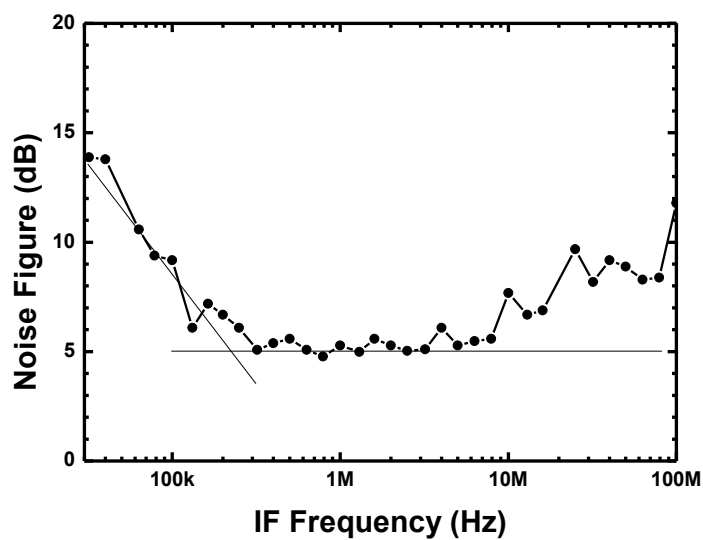
圖(3.27)轉換增益對RF功率



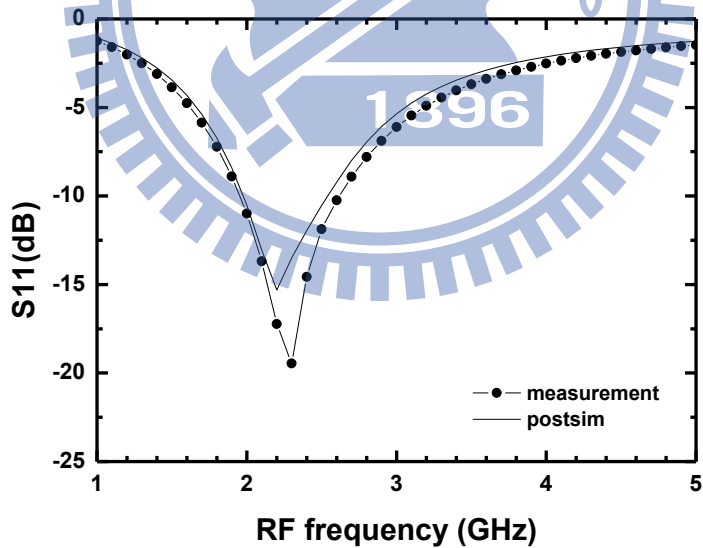
圖(3.28)線性度



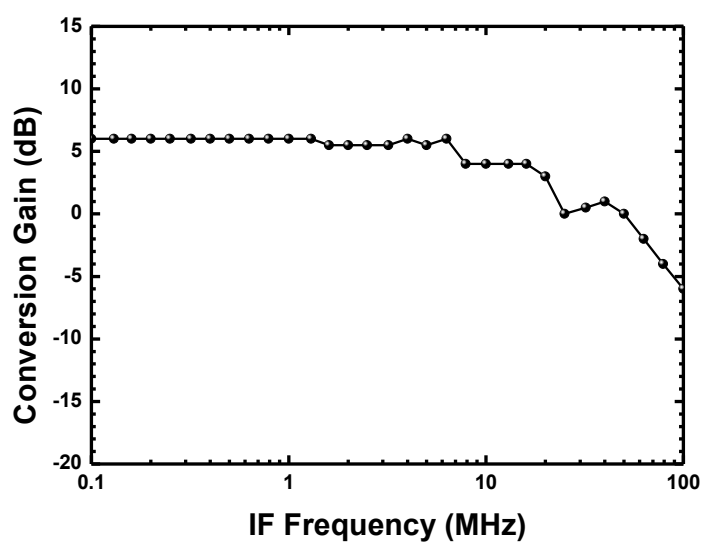
圖(3.29)隔離度對LO頻率



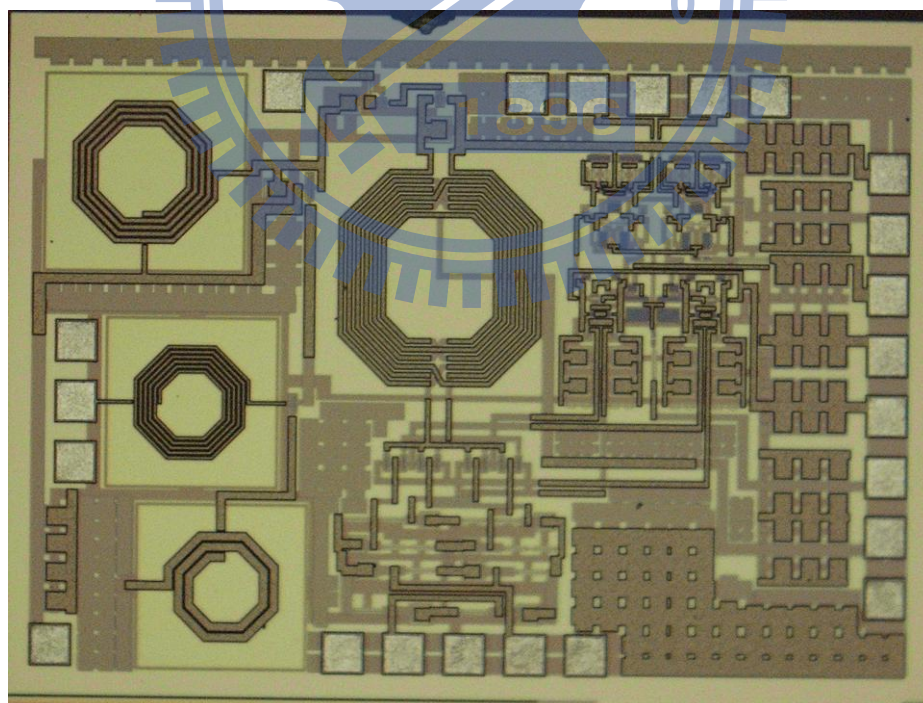
圖(3.30)雜訊指數對IF頻率



圖(3.31)輸入返回損耗



圖(3.32)轉換增益對IF頻率



圖(3.33)Die Photo(1.45mm x 1.0mm)



### 3.4.6 結果與討論

利用 CMOS 0.18 $\mu\text{m}$  製程實現的晶片如圖(3.33)所示，晶片所占面積為1.45  $\text{mm}^2$ ，消耗功率為7.67mW，LO和IF port採用GSGSG pad，RF port採用GSG pad，DC利用排針和點針。

由圖(3.31)可知，量測的輸入返回損耗比模擬來的低，造成彼此誤差的可能原因是寄生效應的模型不夠精確，圖(3.25)為轉換增益對應LO功率的變化，由圖可知所需LO功率較模擬時來的大，比模擬時多3dBm。

圖(3.30)顯示在操作頻率時雜訊指數為5dB，而閃爍雜訊轉折點在200kHz附近，雜訊指數的量測結果比模擬時高出1dB，可能原因是電路本身走線的寄生效應。

圖(3.26)顯示的RF頻寬量測結果比模擬時低，由於用Cadence 工具做萃線，無法將走線的電感性納入考量，導致出來結果的頻寬往低頻移動。

表 3.1 2.4-GHz 接收機模擬與量測比較表

Item	Pre Simulation	Measurement
Supply Voltage (V)	1.8	
Conversion Gain (dB)	55	53
RF Bandwidth (GHz)	2.29-2.47	2.22-2.36
IF Bandwidth (MHz)	45	20
NF (dB)	2.8@100kHz 2.75(noise floor)	9@100kHz 5(noise floor)
IP1dB (dBm)	-56	-50
IP3dB (dBm)@Highest Gain	-45	-41
Input Return Loss(dB)	>10(2.1~2.8GHz)	>10(1.9~2.6GHz)
LO-to-RF Isolation(dB)	--	>50
Current Consumption (mA)	3.84	4.26
Power Consumption (mW)	6.9	7.67
Process	0.18 $\mu$ m CMOS	
Chip Size (mm $\times$ mm)	1.45 x 1.0 mm <sup>2</sup>	

# 第四章

## $Q$ 增強型可調式主動濾波 器



## 4.1 前言

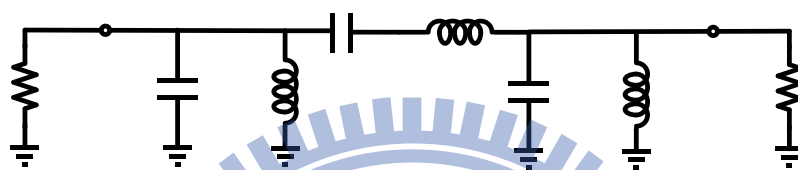
射頻濾波器為無線通訊系統重要的區塊之一，用來濾除非所要頻帶的干擾訊號及使通帶訊號在低損耗的情況下通過，目前市面上的濾波器大部分是以外接式為主，而外接式的濾波器會消耗額外的功率且需要阻抗匹配電路來做銜接，若將濾波器實現在積體電路上，不僅能減少功率的消耗，額外電路的減少降低通訊系統建立所需成本，且積體化使濾波器不必受到規格的限制，可以增加電路設計的彈性，像濾波器的阻抗可以隨著不同需求的電路做改變，已達到最好的效能。

雖然在積體電路上實現濾波器具有許多優點，但在設計時，仍會遇到許多瓶頸，一個主要的設計挑戰為平面螺旋電感本身的 Q(quality factor)值不高，Q 值不高的情況下，會導致濾波器對所要訊號有嚴重的損耗，Q 值有限將會使濾波器難以達到所需的效能要求，必須藉由不同的主動電路型式，來解決電感 Q 值不高的問題。

本章會先介紹 Q 值大小對濾波器所造成的影響，接著引入改善的方法，並探討解決方法背後的原理，本次實作電路是以被動電感輔以主動電路來實現。

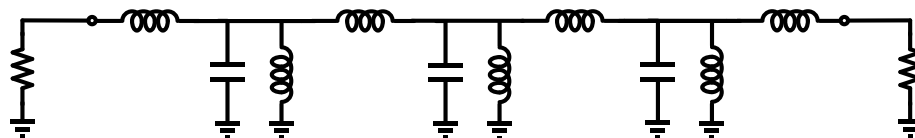
## 4.2 架構選擇之考量

濾波器一般分為兩種類型，梯型(Ladder)與窄頻耦合共振型(narrowband-coupled-resonator)，梯型架構結合並聯與串聯共振，如圖(4.1)所示，



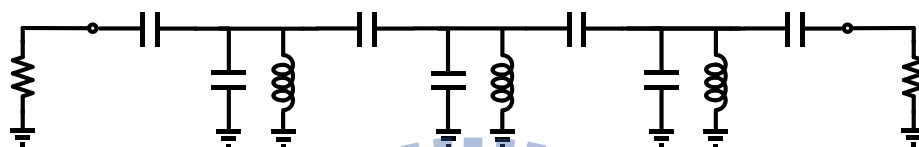
圖(4.1)梯型帶通濾波器架構圖

但此架構的缺點為各被動元件的尺寸值差異太大，以一個中心頻為 2.14GHz 及頻寬為 60MHz 的帶通濾波器為例，元件的尺寸比例超過 30 倍。窄頻耦合型是以並聯或串聯共振器為主來做設計，由同一種型式的共振器組成電路，以電感耦合並聯共振器如圖(4.2)所示，由於共振器級間需利用電感來進行耦合，不僅增加面積且需要更多增加 Q 值的額外機制。



圖(4.2)電感串接帶通濾波器架構圖

以電容耦合並聯共振器如圖(4.3)所示，因共振器級間所需電容值通常很小，太小的容值易受製程變異的影響，但考量到本次設計想以差動型式實現濾波器及 Q 值機制的可行性，將選擇電容耦合架構做為電路實現骨架。

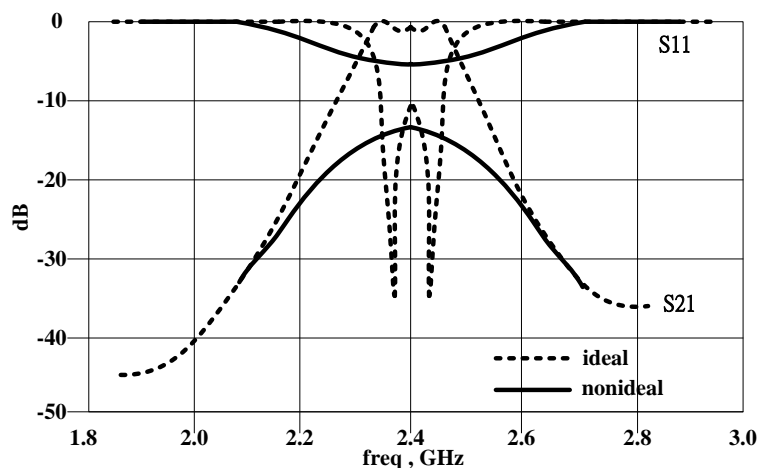


圖(4.3)電容串接帶通濾波器架構圖

## 4.3 濾波器設計考量

### 1. Q 值影響

對於射頻濾波器來說，電感有限的 Q 值對要在晶片上實現濾波器產生很大的限制，雖然有許多改善的方法，例如佈局方式的改良與外加被動元件等，但利用標準 RF CMOS 製程的電感，Q 值仍然無法達到設計濾波器所需的要求，若比較帶有損耗電感的濾波器與理想濾波器，根據文獻[2]，模擬圖如(4.4)所示，由圖上可知，電感有損耗時，也就是說，電感 Q 值不高的情況下，將難以達到濾波器的效能要求。



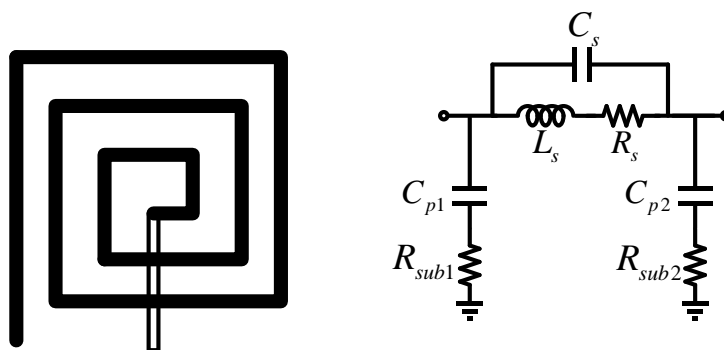
圖(4.4)理想與非理想響應

## 2. Q 值改善

實現高 Q 值的電感，可以利用主動元件創造出具有被動電感特性的電路，但主動電感(active inductor)需要額外的功率消耗，且容易對所實現電路線性度造成影響。而對被動電感來說，可藉由外加電路來提升 Q 值，以主動元件的搭配，產生出負的阻抗來補償被動電感本身的損耗。

## 3. 負阻抗實現電路

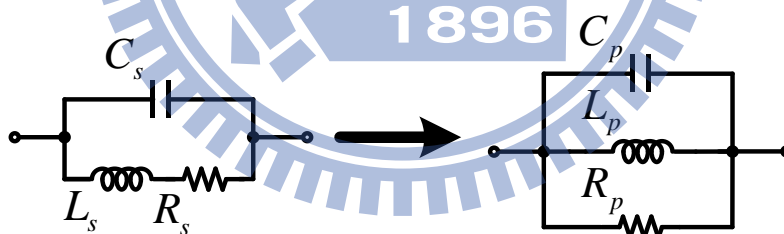
下圖(4.5)為平面電感的俯視圖與等效電路，



圖(4.5)螺旋電感俯視圖與等效電路

串聯電阻( $R_s$ )等效金屬的歐姆損耗及基板渦電流的耗損，而  $R_{sub}$  代表基板電阻的損耗， $R_s$  為電感主要的耗損來源，因此必須利用補償機制來克服  $R_s$  所造成的影響，以便使電感有良好的 Q 值。

圖(4.5)的電阻串聯電感架構可轉換為並聯型式，如圖(4.6)所示，



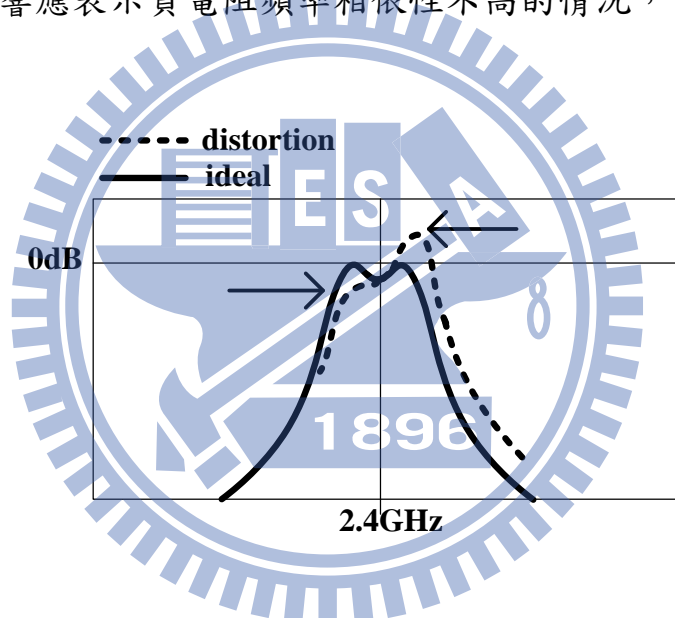
圖(4.6)串聯與並聯等效電路轉換

由於肌膚效應(skin effect)的影響， $R_s$  可能會隨著頻率而改變，但對標準的螺旋型電感來說，可忽略  $R_s$  與頻率的相依性，在上述的假設之下，可得到並聯電阻的等效電阻如式(4.1)所示，



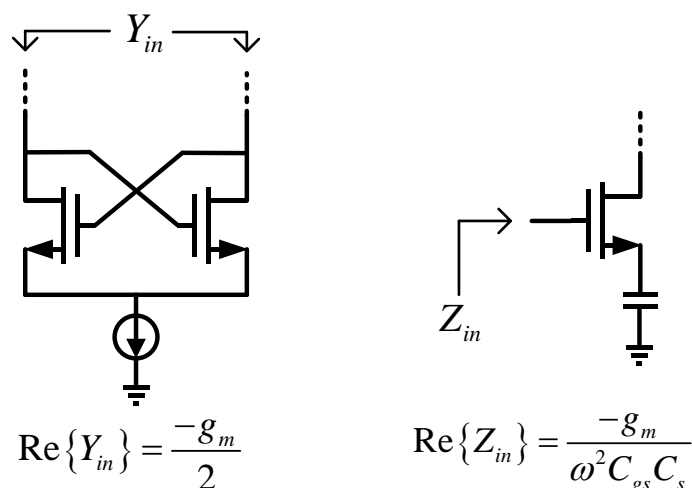
$$R_p = R_s(Q^2 + 1) \approx \frac{\omega^2 L_s^2}{R_s} \quad (4.1)$$

由上式可知，並聯電阻( $R_p$ )受頻率影響甚劇，而若想克服電感本身的損耗，與  $R_p$  並聯的負電阻必需與  $R_p$  有相同的頻率相依性，當作為補償用的負電阻與電阻  $R_p$  彼此的頻率相依性無法契合時，補償後的 LC tank 會產生非理想的響應，進而造成濾波器通帶的失真[2]，如圖(4.7)所示，虛線的響應表示負電阻頻率相依性不高的情況，



圖(4.7)通帶失真響應

一般的損耗補償電路有負電導及負電阻型式，如圖(4.8)所示，



圖(4.8)負電導及負電阻電路

左圖是利用 NMOS 耦合對(cross-coupled pair)產生負電導 $-g_m/2$ ，右圖是藉由 NMOS 以電容作為源極退化產生負電阻 $-g_m/\omega^2 C_{gs} C_s$ ，對於電容源極退化式的單端電路來說，其負阻抗與頻率平方成反比的關係，導致濾波器無法產生平坦的通帶響應。相較於單端電路，平衡式的 NMOS 耦合對具有多項優點，像對於由電源線耦合來的雜訊及干擾有較低的敏感性，且電路本身對稱的架構，有較小的偶次項非線性失真，負電導與頻率的低相依性，使濾波器更容易達到通帶頻寬的要求。

## 4.4 實作一：Tunable Q-Enhanced Active Bandpass

### Filter (CMOS 0.18- $\mu\text{m}$ )

#### 4.4.1 研究動機

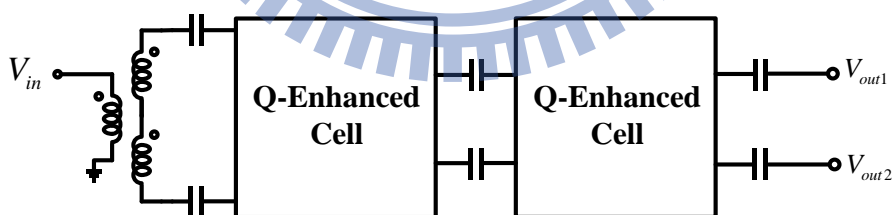
在通訊系統的傳輸中，對接收端而言，在所要頻帶的附近會同

時並存許多非相關訊號，為了減少鄰帶訊號對訊號產生不必要的干擾，這時需要高選擇性的帶通濾波器來排除上述的干擾項。

由於將帶通濾波器置於低雜訊放大器前端會對接收機整體造成過大的雜訊指數，未來將把帶通濾波器放在低雜訊放大器和混頻器間做銜接，且考量到後級混頻器往往是雙端輸入，這次架構採用單端輸入且雙端輸出。

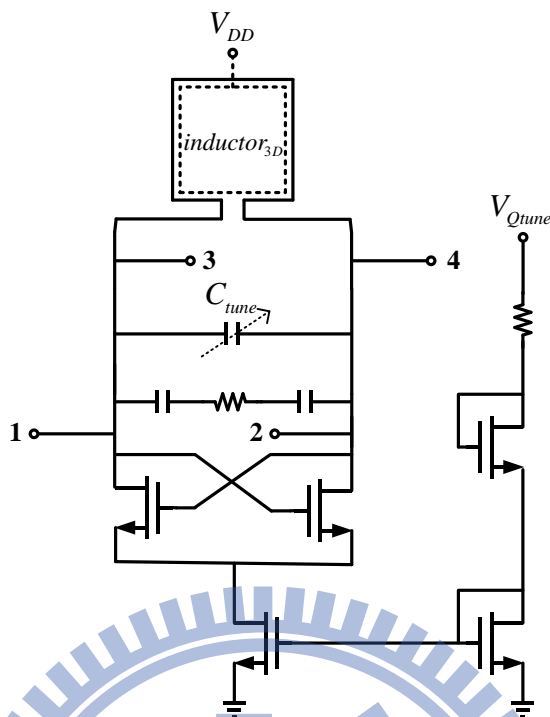
#### 4.4.2 電路架構

此電路是由兩級子電路並接而成，如圖(4.9)所示，考量到未來將會用來銜接低雜訊放大器與雙平衡式混頻器，輸入端藉由變壓器將電路差動輸入轉成單端輸入，輸出端仍維持差動輸出。



圖(4.9)整體濾波器架構示意圖

子電路如圖(4.10)所示，電路主要以 LC tank 與 NMOS 偶合對 (cross-coupled pair) 構成，



圖(4.10)子電路架構圖

NMOS 耦合對用來產生與 LC tank 並聯的負電導，目的用來提升 LC tank 電感本身的 Q 值，根據[3]，假設電感本身的損耗以  $G_{loss}$  表示，耦合對的負電導以  $G$  表示，則 LC tank 並聯負電導後的整體 Q 值如式(4.2)所示，

$$Q = \frac{Q_0}{1 - \frac{G}{G_{loss}}} = \frac{1}{\omega_0 L (G_{loss} - G)} \quad (4.2)$$

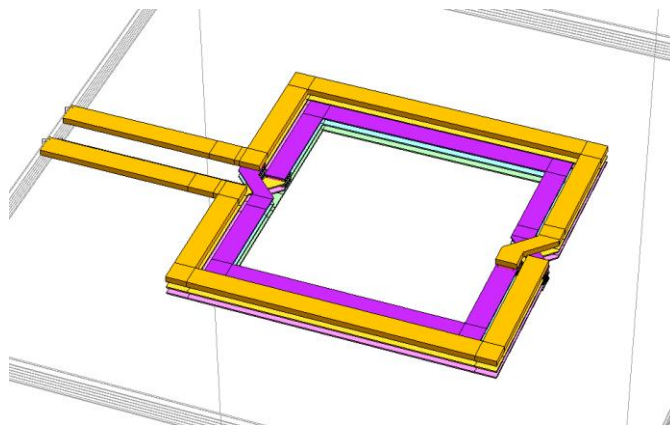
由上式可知，在穩定性條件( $G_{loss} > G$ )成立的前提下，負電導的引入，有效提升整體的 Q 值。此電路是以電流鏡做為偏壓電流源，且藉由

調整電流鏡的偏壓，可以在不同頻率下，調整負電導的大小，以補償 LC tank 損耗對頻率的相依性，而造成上述問題的原因已在 4.3 節論敘過。為了使電路能改變操作的中心頻率，LC tank 是以可變電容作為它的組成元件，如圖(4.11)所示，可變電容是以操作在反轉區 (inversion) 的 PMOS 來實現，



圖(4.11)可變電容電路架構圖

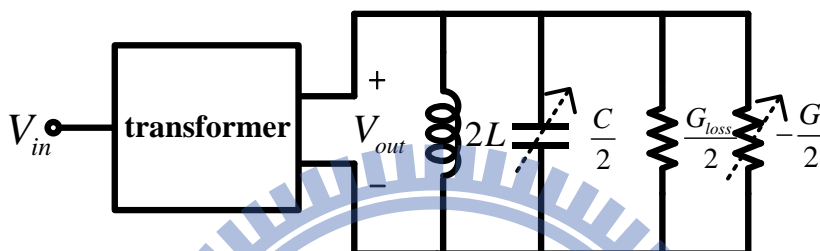
藉由調整  $V_{cap}$  來影響電容大小，進而改變 LC tank 的震盪頻率。LC tank 的電感是以立體電感取代一般的平面電感，如圖(4.12)所示，考量到電路本身的架構，若以平面電感來實現，將會浪費過多的面積，且負電導電路的使用，降低立體電感 Q 值不高對電路的影響性。



圖(4.12)立體電感架構圖

### 4.4.3 架構分析[3]

1.增益考量:由於此整體電路是以兩個相同子電路並接而成，往後的分析將以一級電路做考量，考慮輸入變壓器以及第一級子電路，等效電路如圖(4.13)所示，



圖(4.13)等效電路

根據[1.3V]，電壓增益的大小可表示為下式(4.3)，

$$|H(j\omega)| = \frac{1}{\left| G_{loss} - G + j\left(\omega C_{tot} - \frac{1}{\omega L}\right) \right|} \quad (4.3)$$

$G_{loss}$ 為LC tank的等效轉導值， $G$ 為NMOS耦合對(cross-coupled pair)的等效轉導值， $C_{tot}$ 為第一級輸出端的總電容值，當濾波器的操作中心頻率為電感與總電容共振的頻率時，電壓增益如(4.4)所示，將式(4.4)與式(4.2)做合併，可得到(4.5)式，

$$|H(j\omega)| \cong \left| \frac{1}{G_{loss} - G} \right| \quad (4.4)$$

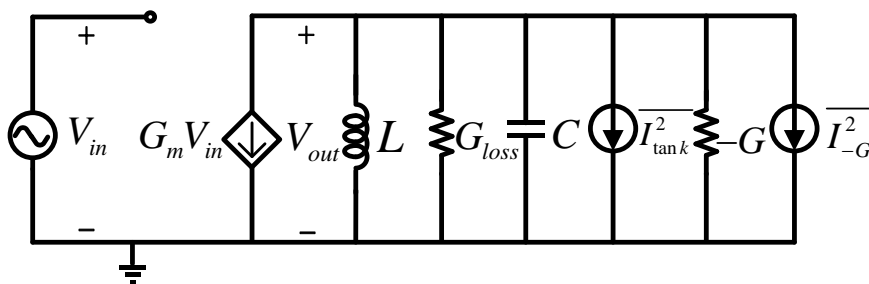
$$|H(j\omega)| \cong |Q\omega_0 L| \quad (4.5)$$

從(4.5)式可知，當震盪頻率固定下，電壓增益與整體Q值成正比，由於濾波器未來將會作為低雜訊放大器的後級電路，在此將低雜訊放大器納入考量，可得到電路銜接後，整體的電壓增益如(4.6)式所示，

$$|H(j\omega)| \cong |G_m(j\omega_0)Q\omega_0 L| \quad (4.6)$$

$G_m(j\omega)$ 為低雜訊放大器的轉導增益，由上式可知，在濾波器Q值與操作頻率 $\omega_0$ 固定的情況下，電壓增益與低雜訊放大器的轉導增益成正比，可藉由低雜訊放大器提升濾波器整體的增益以降低後級混頻器雜訊的影響。

**2. 雜訊考量:**此濾波器雜訊主要由共振器的電感與NMOS耦合對(cross-coupled pair)所貢獻，雜訊小訊號模型如圖(4.14)所示，



圖(4.14)雜訊小訊號模型

其中電感損耗電導( $G_{loss}$ )與負電導( $G$ )的方均根雜訊貢獻可表示為式

(4.7)、(4.8)，

$$\overline{I_{\text{tank}}^2} = 4kTG_{\text{loss}} \quad (4.7)$$

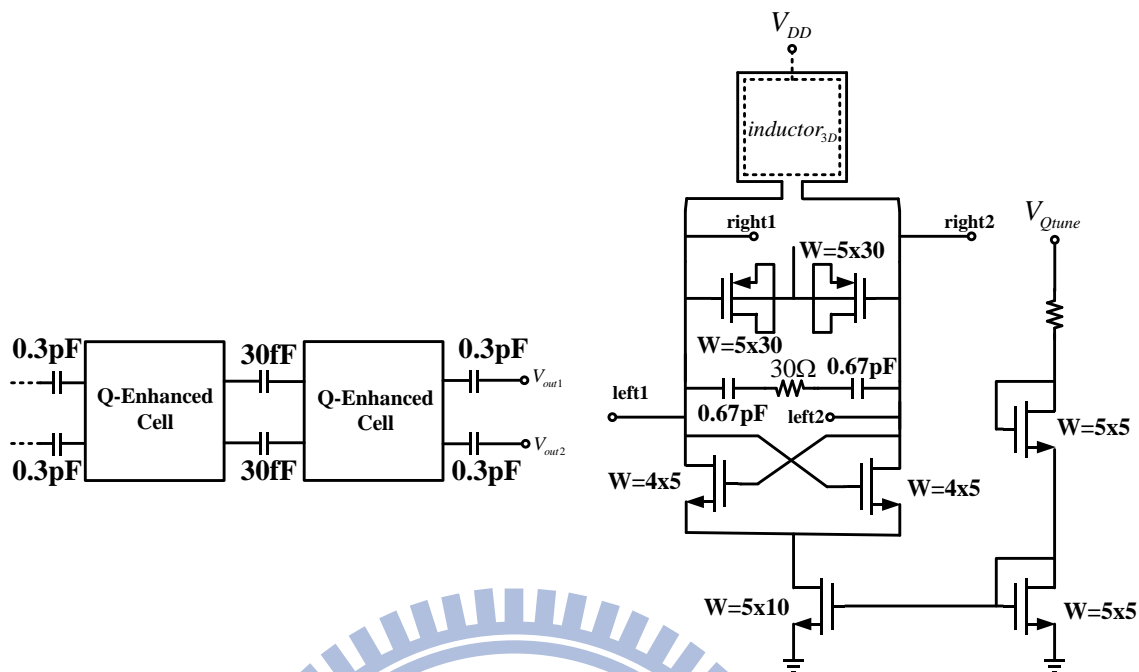
$$\overline{I_{-G}^2} = 4kT \frac{2}{3} (g_m + g_{mbs} + g_{ds}) \Delta f \quad (4.8)$$

由上兩式可知，雖然耦合對(cross-coupled pair)的電晶體轉導增加會改善整體的Q值，但會對整體電路雜訊造成不良的影響。

#### 4.4.4 電路設計

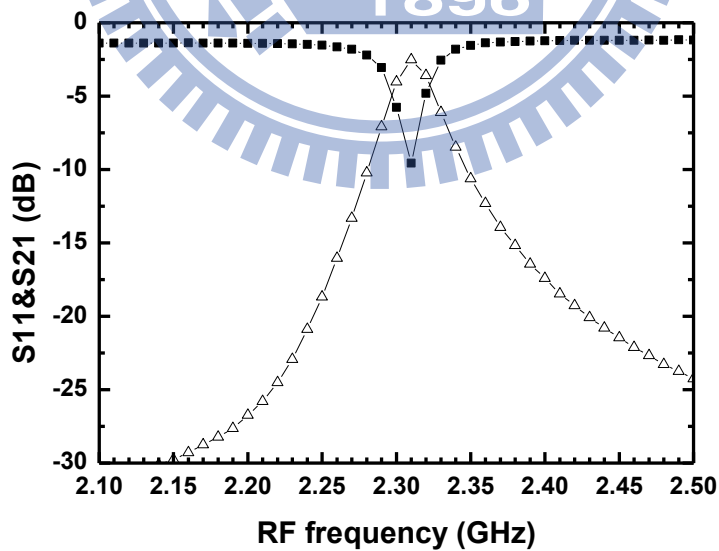
此電路架構主要分為三部分，LC tank、NMOS耦合對及電流鏡部份，LC tank的電感是以立體電感實現，相較於一般的平面螺旋電感，立體電感較省面積，本次電感是以sonnet軟體去模擬，藉由調整尺寸已達到所要的Q值與感值，此電感外直徑為124 $\mu\text{m}$ ，走線寬度為8 $\mu\text{m}$ ，圈數為兩圈。LC tank的電容是以操作在反轉區的PMOS實現，length為0.18 $\mu\text{m}$ ，width和finger數為5 $\mu\text{m}$ 和30。耦合對的電晶體尺寸選太小會無法補償電感的損耗，選太大會對雜訊與線性度造成影響，所以需要權衡各條件，以得到適當的尺寸。整體電路元件尺寸如圖(4.15)所示。



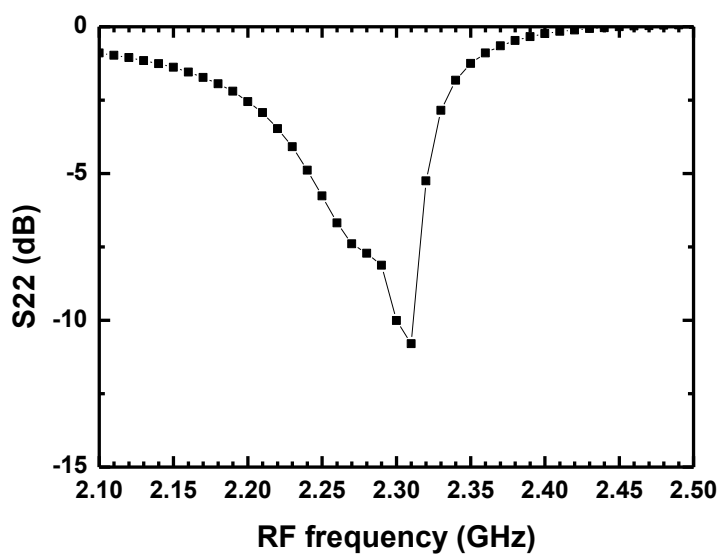


圖(4.15)整體電路元件尺寸

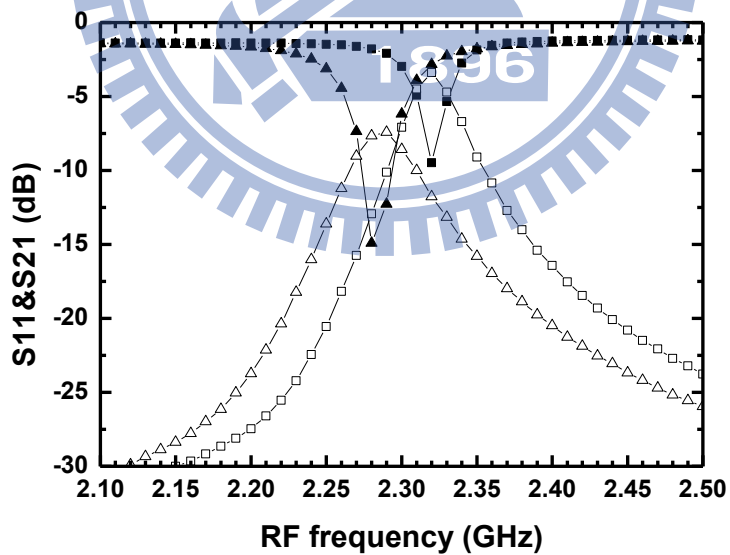
#### 4.4.5 晶片量測結果



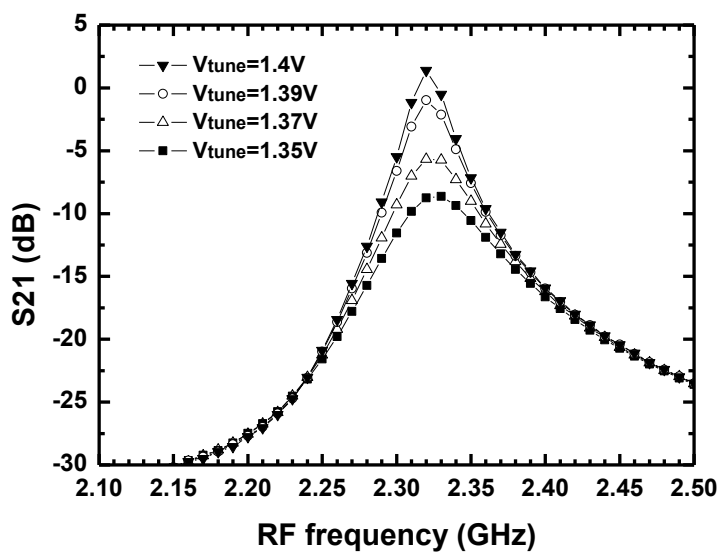
圖(4.16)S11及S21



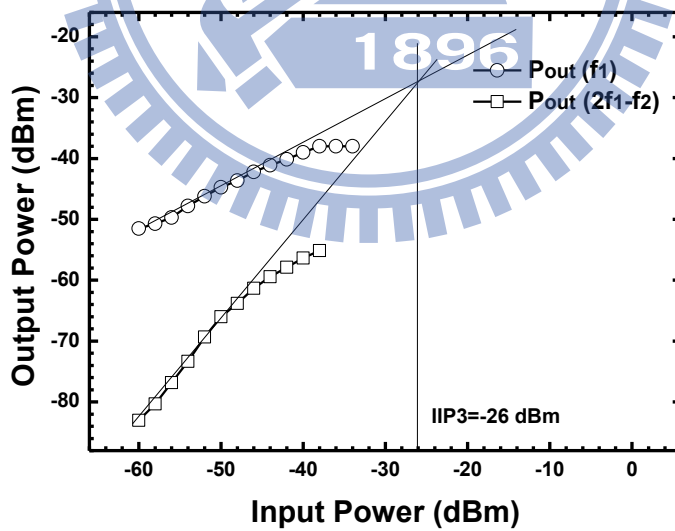
圖(4.17)輸出返回損耗



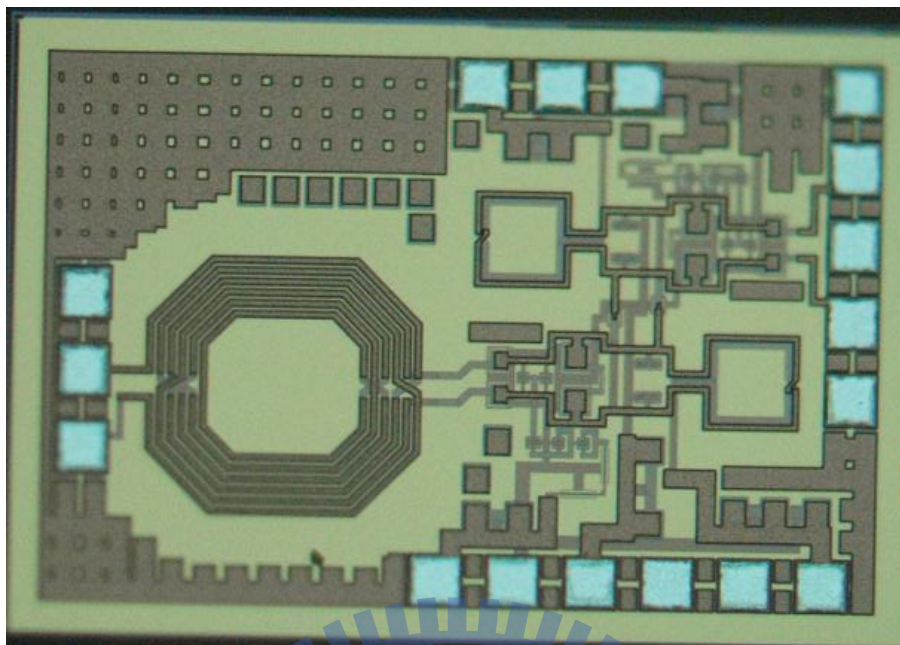
圖(4.18)可調頻寬範圍



圖(4.19)可調增益範圍



圖(4.20)功率線性度



圖(4.21) Die Photo(1.08mm x 0.71mm)

#### 4.4.6 結果與討論

此電路以CMOS 0.18 $\mu\text{m}$ 製程實現，晶片如圖(4.30)所示，晶片面積為1.08 x 0.71mm<sup>2</sup>，輸入端採GSG pad，輸出端採GSGSG pad，DC偏壓放在上下方，各為PGP及PGPPGP pad。

此電路量測結果與模擬結果有些許誤差，在S參數部分，S<sub>21</sub>的峰值在2.32GHz，比模擬結果低80MHz，推測是走線寄生效應的考量不精確，造成頻率的飄移，且濾波器級間所用電容很小，尺寸很小的情況下，容易受製程變易的影響。量測到可調整的頻寬仍為40MHz，而藉由調整電流鏡的偏壓以改變濾波器的Q值，可使S<sub>21</sub>有10dB的變動空

間，IIP3的量測結果為-26dBm，推測是耦合對電晶體設計不良，造成線性度偏低。雜訊指數在2.32GHz時為21dB，比模擬結果高1dB。

由於這次晶片在設計時，考量到製程變異會對電路本身效能表現有所影響，所以設計可變電容以及用電流鏡當作偏壓電流源，目的是克服頻率的漂移以及Q值的偏差，由結果可知，藉由補償電路的輔助，量測結果沒有太過嚴重的誤差。

表4.1 Q增強型可調式濾波器模擬與量測比較表

Item	Post-Simulation	Measurement
Supply Voltage (V)		1.8
Insertion Loss(dB)	3.3dB	2.5dB
3dB bandwidth	50MHz	40MHz
IIP3 (dBm)	-28	-26
Noise Figure (dB)	20	N/A
Power Consumption (mW)	10.9	8.7
Current Consumption (mA)	6.08	5.6
Chip Size(mm x mm )	1.08 x 0.71	

# 第五章

## 結論



本論文除了第二章的 2.4/5GHz 單端低雜訊放大器是使用 WIN 0.15 $\mu$ m HEMT 製程實現，其餘皆使用 TSMC 0.18 $\mu$ m CMOS 製程。第二章實作差動型式的 LNA 及 PHEMT LNA，差動 LNA 雖然電路本身架構特性較單端 LNA 來得好，但晶片面積的消耗，仍是需改善的問題，PHEMT LNA 藉由 HEMT 製程高轉導、高  $f_t$  的特性，使放大器在雜訊方面有良好的表現，2.4GHz PHEMT LNA 量測出來的雜訊指數在操作頻率時達到 1.3dB，5GHz PHEMT LNA 可達到 1.4dB，IIP3 可達到 0.7dBm，但相較於 CMOS 製程來說，略大的功率消耗使得此製程有實用上的限制。

第三章以兩級 LNA、被動混頻器及基頻電路實現 2.4GHz 接收機，由於使用兩級 LNA，轉換增益可達 53dB，且 LNA 後極銜接雙平衡式混頻器，被動混頻器低閃爍雜訊的特性，使得整體接收機在操作頻率時雜訊指數為 5dB(Noise Floor)，雜訊轉折點(corner)在 230kHz 附近，整體消耗電流為 4.26mA。

第四章以差動電路的型式實現帶通濾波器，並藉由可變電容與電流鏡來克服頻率飄移與製程變易的影響，由量測結果可知 S21 有 10dB 的調整空間，足以解決電路因製程變異而震盪或 Q 值不高的問題，電路可調頻率介於 2.28GHz 至 2.32GHz，在操作頻率時，S21 為 -2.5dB，整體功耗為 8.7mW。

### 第二章：

- [1] D. K. Shaeffer and T. H. Lee, "A 1.5 V, 1.5 GHz CMOS low noise amplifier," *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, May 1997.
- [2] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, "CMOS Low-Noise Amplifier Design Optimization Techniques," *IEEE Trans. Microwave Theory Tech*, vol. 52, no. 5, pp. 1433–1442, May. 2004.
- [3] Lars Aspemyr, Henrik Sjöland, Harald Jacobsson, Mingquan Bao, Geert Carchon, Ericsson AB, Mölndal, Sweden. A 5.8 GHz 1.7 dB NF Fully Integrated Differential Low Noise Amplifier in CMOS. "Asia-pacific Microwave Conference. 2006.
- [4] C. L. Hsiao, R.-M. Weng, K. Y. Lin, "A 1V fully differential CMOS LNA for 2.4GHz application", *Symposium on Circuits and Systems*, pp. 245-248, 2003.
- [5] Li.X.: Kim. H.S.: Ismail. M. and Olsson. H. "A novel design approach for GHz CMOS low noise amplifiers." *Radio and Wireless Conference*. 1999.
- [6] A. Abidi and J. Leete, "De-embedding the noise figure of differential amplifiers," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, pp. 882–885, Jun. 1999.
- [7] H. Morkner, M. Frank, and B. Ingram "A novel 3V, 7 mA pHEMT GaAs active MMIC mixer/LNA for wireless applications" *IEEE MTT-S Digest*, 1995.
- [8] B. Razavi, *Design of Analog CMOS Integrated Circuits*, New York: McGraw-Hill, 2001, pp. 365–366.
- [9] J.- C. Huang, R.M. Weng, C.-C. Chang, K. Hsu. and K.-Y. Lin, "A 2V 2.4GHz Fully Integrated CMOS LNA," *2001 IEEE International Symposium on Circuits and Systems*, Sydney Aus-1ralia. Vol. 4. pp. 466-469, May 2001
- [10] H. Morkner, M. Frank, and D. Millicker "A high performance 1.5 dB low noise GaAs PHEMT MMIC amplifier for low cost 1.5-8 GHz commercial applications", *1993 Microwave and Millimeter-Wave Monolithic Circuits Symposium*, pp. 13-16.
- [11] Z. Qian, L. Wenyuan, W. Zhigong, Q. Cheng, Z. Xichang, "2.4GHz WLAN D-pHEMT LNA," *International Conference on Advanced Technologies for Communications*, pp.171-174, 2009
- [12] Jong Seol Yuk, Byoung Gun Choi, Chul Soon Park, "Device and circuit optimization of PHEMT MMIC LNA for low power consumption." *Asia-pacific Microwave Conference*. 2001.



- [13] E. H. Westerwick, “A 5 GHz band CMOS low noise amplifier with a 2.5 dB noise figure”, *International Symposium on VLSI Technology, Systems, and applications*, pp. 224-2227, 2001.
- [14] C. H. Liao and H. R. Chuang, “A 5.7-GHz 0.18 $\mu$ m CMOS gain-controlled differential LNA with current reuse for WLAN receiver”, *Microwave and Wireless Components Letters*, vol.13, 2003.
- [15] W. M. Lim, et al., “A 5GHz to 6 GHz integrated differential LNA”, *Symposium on Circuits and Systems*, pp. 4815-4818, 2005.

### 第三章：

- [1] T.-K. Nguyen, V. Krizhanovskii, J. Lee, S.-K. Han, S.-G. Lee, N.-S. Kim, and C.-S. Pyo, “A low-power RF direct-conversion receiver/transmitter for 2.4-GHz-band IEEE 802.15.4 standard in 0.18- $\mu$ m CMOS technology,” *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4062–4071, Dec. 2006.
- [2] B. Razavi, “Design considerations for direct conversion receivers,” *IEEE Trans. Circuits Syst. II: Analog Digit. Signal Process.*, vol. 44, no. 6, pp. 428–435, Jun. 1997.
- [3] W. Redman-White and D. Leenaerts, “1/f Noise in Passive CMOS Mixers for Low and Zero IF Integrated Receivers,” in *European Solid-State Circuits Conf.*, Villach, Austria, 2001.
- [4] E. Sacchi, I. Bietti, S. Erba, L. Tee, P. Vilmercati, and R. Castello, “A 15mW, 70 kHz 1/f corner direct conversion CMOS receiver,” in *Proc. IEEE Custom Integrated Circuit Conf.*, Sep. 2003, pp. 459–462.
- [5] S. Chehrazi, R. Bagheri, and A. Abidi, “Noise in passive FET mixers: A simple physical model,” in *Proc. CICC*, Oct. 2004, pp. 375–378.
- [6] S. Chehrazi, A. Mirzaei, A. Abidi, “Noise in Current-Commutating Passive FET Mixers,” *IEEE Trans. Circuits Syst. I: Regular Papers.*, vol. 57, no. 2, Feb. 2010.
- [7] J. Crols and Michel S. J. Steyaert, “A 1.5GHz Highly Linear CMOS Downconversion Mixer,” *IEEE J. Solid-State Circuits*, vol. 30, no.7, July.1995.
- [8] M. Valla, G. Montagna, R. Castello, R. Tonietto, and I. Bietti, “A 72-mW CMOS 802.11a direct conversion front-end with 3.5-dB NF and 200-kHz 1/f noise corner,” *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 970–977, Apr. 2005.
- [9] N. Poobuapheun, W.-H. Chen, Z. Boos, and A. M. Niknejad, “A 1.5-V 0.7–2.5-GHz CMOS Quadrature Demodulator for Multiband Direct-Conversion Receivers,” *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1669–1677, Aug. 2007.
- [10] 陸熙良, “2.4-GHz 低功率接收機與應用於60-GHz 發射機之CMOS電路,” 國立交通大學碩士論文, 2009.

- [11] 鄧雅惠, “雙頻帶威福-哈特利鏡像消除接機與超寬頻 LR-CR 正交相位降頻器,” 國立交通大學碩士論文, 2008.

#### 第四章：

- [1] T. Soorapanth and S. S. Wong, “A 0-dB IL 2140\_30 MHz bandpass filter utilizing pp. Q-enhanced spiral inductors in standard CMOS,” *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp 579–586, May 2002.
- [2] B. Georgescu, I. G. Finvers and F. Ghannouchi, “2 GHz Q-Ebhanced Active Filter With Low Passband Distortion and High Dynamic Range,” *IEEE J. Solid-State Circuits*, vol.41, no. 9, Sep 2006.
- [3] F.Dülger, E. Sanchez-Sinencio, and J. Silva-Martinez, “A 1.3-V 5-mW fully integrated tunable bandpass filter at 2.1 GHz in 0.35- $\mu$ m CMOS,” *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 918–928, Jun. 2003.
- [4] S. Pipilos, Y. P. Tsvividis, J. Fenk, and Y. Papananos, “A Si 1.8-GHz RLC filter with tunable center frequency and quality factor,” *IEEE J. Solid-State Circuits*, vol. 31, pp. 1517–1525, Oct. 1996.
- [5] D. Li, Y. Tsvividis, “Active LC filter on silicon,” *IEEE Proc.- Circuits Device Syst*, vol. 147, No 1, Feb. 2000.

