

國立交通大學

機械工程學系

碩士論文

**AlGaN/GaN HEMT 開極驅動電路設計與實現**

**Gate Drive Circuits Design and Implement for**

**AlGaN/GaN HEMT Power Transistors**

研究生：張哲維

指導教授：陳宗麟 博士

中華民國一百零一年一月

# AlGaN/GaN HEMT 閘極驅動電路設計與實現

## Gate Drive Circuits Design and Implement for AlGaN/GaN HEMT Power Transistors

研究生：張哲維

Student : Che-Wei Chang

指導教授：陳宗麟 博士

Advisor : Dr. Tsung-Lin Chen

國立交通大學

機械工程學系



Submitted to Department of Mechanical Engineering  
College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Mechanical Engineering

November, 2011

Hsinchu, Taiwan, Republic of China

中華民國一百零一年一月

# AlGaIn/GaN HEMT 閘極驅動電路設計與實現

學生：張哲維

指導教授：陳宗麟 博士

國立交通大學機械工程學系 碩士班

## 中文摘要

本論文提出一適合氮化鎵電晶體，且完整的上下橋閘極驅動電路。不同於一般加強型驅動電路，此架構是針對空乏型電晶體設計，可提供負的閘—源極電壓，將功率電晶體關閉。

在上橋驅動電路中，使用自舉式電路提供功率元件穩定的閘—源極電壓；再利用位準調節電路將邏輯訊號轉換成適當的控制訊號。為了提升此電路的效能，本研究設計一個門鎖電路，並與位準調節電路結合，減少其開啟的時間，以降低功率損耗。由於空乏型元件 Normally-on 的特性，導致自舉電容無法正常充電，本研究也設計出兩種啟動電路，藉此控制元件的啟動時間，使自舉電容有足夠的時間充電。

此電路經由 HSPICE 模擬驗證後，利用離散元件實際完成，並在 100kHz/24V 的條件下驅動氮化鎵電晶體。由模擬與實驗的波形顯示，使用此驅動電路可正常切換氮化鎵電晶體的開關狀態。

# **Gate Drive Circuits Design and Implement for AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT Power Transistors**

**Student: Che-Wei Chang**

**Advisor: Dr. Tsung-Lin Chen**

**Department of Mechanical Engineering National Chaio Tung  
University**

## **Abstract**

This thesis proposed a proper and complete high/low side gate drive circuit for GaN transistors. Unlike the conventional enhancement mode driver, this circuit designed for the depletion mode transistors, providing a negative gate-source voltage to turn off the power transistors.

In the high side drive circuit, the study used a bootstrap circuit to provide a stable gate-source voltage for the power devices, and then transferred the logic signals into the appropriate control signals by the level shifter. In order to maintain high efficiency and reduce the power consumption of this circuit, the study designed a latch circuit, which combined with the level shifter to decrease the operating time. For the bootstrap capacitor charging problem, which was due to the “normally-on” property of the depletion mode transistor, the study also designed two start-up circuits to control the timing of the initial activation of the devices. Therefore, the bootstrap capacitor would have enough lead time to charge.

This circuit verified by HSPICE, completed with discrete components and drove GaN transistors in 100kHz/24V driving condition. The simulation and experiment waveforms showed that the drive circuit can control the on/off state of GaN transistors normally.

## 誌謝

本論文得以順利完成，要感謝我的指導教授 陳宗麟老師的指導。在與老師的討論中，體驗到老師作研究時嚴謹的態度以及解決問題時的邏輯思考能力，這些都是我仍要努力學習的目標。

這段期間裡，感謝胤哥常常關心我並找我打球；感謝元大願意花時間跟我討論不是自己領域的題目和推薦我許多好看的漫畫；感謝暘大常常開導我還帶我去兜風；感謝連羿韋學長在建構模型上的教導；感謝小夜、浩源、嘉緯、文選、新民等學長常常給我寶貴的意見和經驗分享；感謝李銘晃和曾少彥在我剛開始接觸電路時的情義相挺；感謝阿彰和阿度，我從你們身上學到許多；感謝學妹們的協助和熱心舉辦活動，為實驗室挹注不同的氣氛；感謝女朋友珮玲，不論我進度報告被電或研究遇到瓶頸時，都會在背後支持我。

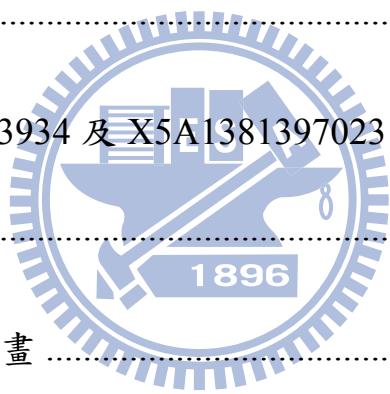
最後，我想將本論文獻給父親 張國棟與母親 蔡碧足，感謝他們多年來的辛勞並提供良好的學習環境與資源，讓我能求學的道路上持續前進，在此獻上誠摯的感謝。

# 目錄

中文摘要.....	II
Abstract.....	III
誌謝.....	IV
目錄.....	V
圖目錄.....	VIII
表目錄.....	XI
第一章 緒論.....	1
1.1 氮化鎵電晶體發展背景與簡介.....	1
1.2 氮化鎵電晶體的應用.....	5
1.3 研究動機與目的.....	7
1.4 論文組織與架構.....	7
第二章 閘極驅動電路介紹.....	9
2.1 簡介.....	9
2.2 下橋閘極驅動電路介紹.....	10
2.3 上橋閘極驅動電路介紹.....	11

2.3.1 自舉式電路.....	12
2.3.2 光耦合器.....	13
2.4 空乏型閘極驅動電路介紹.....	14
第三章 氮化鎵電晶體閘極驅動電路設計.....	18
3.1 氮化鎵下橋閘極驅動電路.....	18
3.1.1 電路運作方式.....	18
3.1.2 模擬結果.....	21
3.2 氮化鎵上橋閘極驅動電路.....	22
3.2.1 閃鎖電路.....	23
3.2.2 高壓位準調節電路.....	25
3.3 啟動電路.....	26
3.3.1 使用負電壓源之啟動電路設計.....	26
3.3.2 使用正電壓源之啟動電路設計.....	30
3.3.3 模擬結果.....	31
3.4 閘極驅動電路之損耗分析.....	34
3.4.1 下橋閘極驅動電路之損耗分析.....	36

3.4.2 上橋開極驅動電路之損耗分析.....	37
第四章 氮化鎵電晶體開極驅動電路實現.....	40
4.1 氮化鎵電晶體電性量測結果.....	40
4.2 實現 100kHz/24V 氮化鎵電晶體開極驅動電路.....	42
4.3 驅動 RF3934 及 X5A13813970231 氮化鎵電晶體之結果與比較.....	44
4.3.1 驅動 RF3934 及 X5A13813970231 氮化鎵電晶體之實驗結果.....	44
4.3.2 比較 RF3934 及 X5A13813970231 氮化鎵電晶體之切換情況.....	49
第五章 結論與未來計畫.....	54
5.1 結論.....	54
5.2 未來計畫.....	55
參考資料.....	56





## 圖目錄

圖 1.1 現今電力能源使用效率 .....	2
圖 1.2 各種材料的崩潰電場 .....	3
圖 1.3 氮化鋁鎵/氮化鎵材料特性與優勢 .....	4
圖 1.4 氮化鎵的溫度與導通電阻關係圖 .....	5
圖 1.5 氮化鎵功率應用領域 .....	6
圖 2.1 圖騰式驅動電路 .....	10
圖 2.2 上橋 P 通道驅動電路 .....	11
圖 2.3 自舉式電路 .....	12
圖 2.4 光耦合器構造圖 .....	13
圖 2.4 光耦合器及其驅動電路 .....	13
圖 2.5 JFET/MOSFET 複合式加強型元件 .....	14
圖 2.6 空乏型驅動電路一 .....	15
圖 2.7 空乏型驅動電路二 .....	16
圖 2.8 上橋空乏型驅動電路 .....	17
圖 3.1 氮化鎵下橋驅動電路 .....	19
圖 3.2 下橋等效電路 .....	19
圖 3.3 電容 $C_1$ 與 $C_{iss}$ 的關係圖 .....	20
圖 3.4 阻性負載之下橋驅動電路模擬圖 .....	21

圖 3.5 感性負載之下橋驅動電路模擬圖 .....	22
圖 3.6 氮化鎵上橋驅動電路 .....	23
圖 3.7 (a)閃鎖電路示意圖 (b)NOR 閘之觸發情形 (c)NAND 閘之觸發情形.....	23
圖 3.8 閃鎖電路的實際架構 .....	24
圖 3.9 修改後的閃鎖電路 .....	25
圖 3.10 高壓位準調節電路觸發閃鎖電路示意圖 .....	26
圖 3.11 負電壓源之啟動電路.....	27
圖 3.12 (a) 基本 Level Shifter 電路與 (b) 電壓鏡 .....	28
圖 3.13 改良後的 Level Shifter 電路 .....	29
圖 3.14 正-負電壓 Level Shifter 電路.....	29
圖 3.15 上橋閘極驅動電路完整架構 .....	30
圖 3.16 使用正電壓源之啟動電路設計 .....	31
圖 3.17 負電壓源啟動電路之上橋驅動電路模擬結果 .....	33
圖 3.18 正電壓源啟動電路之上橋驅動電路模擬結果 .....	34
圖 3.19 傳導損失和切換損失說明圖 .....	35
圖 3.12 理想與實際的控制訊號 .....	35
圖 3.18 高壓位準調節電路與細部波形圖 .....	38
圖 4.1 氮化鎵電晶體 X5A13813970231 .....	40

圖 4.2 電晶體 X5A13813970231 的 $I_D-V_D$ 曲線 .....	41
圖 4.3 電晶體 X5A13813970231 的 $I_G-V_G$ 曲線 .....	41
圖 4.4 下橋閘極驅動電路實作 .....	43
圖 4.5 上橋閘極驅動電路實作 .....	44
圖 4.6 氮化鎵電晶體 RF3934 .....	45
圖 4.7 下橋閘極驅動電路之實驗結果 .....	46
圖 4.8 上橋閘極驅動電路之實驗結果 .....	48
圖 4.9 負載為 $30\Omega$ 之驅動結果 .....	48



## 表目錄

表 1.1 寬能隙材料與 IGBT 平均油耗比較表 .....	6
表 4.1 開極驅動電路參數一覽表 .....	42
表 4.2 下橋驅動氮化鎵電晶體之暫態響應比較表 .....	50
表 4.3 上橋驅動氮化鎵電晶體之暫態響應比較表 .....	52



# 第一章

## 緒論

從 1960 年代貝爾實驗室 (Bell Laboratory) 正式製作出金氧半場效電晶體 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) 以來，人們對於半導體元件的研究開發一直不遺餘力，而此類電子元件及其衍伸的電路更是在日常生活中無所不在。隨著對電的需求與日俱增，以矽材料為主的 MOSFET 或者是絕緣閘雙極性電晶體 (Insulated Gate Bipolar Transistor, IGBT) 已經發展到理論的極限，於是便有了氮化鎵 (Gallium Nitride, GaN) 和碳化矽 (Silicon Carbide, SiC) 等新型寬能隙 (Wide Bandgap) 材料出現。本章節將會簡介氮化鎵材料的優勢和發展背景，並說明針對此材料設計出閘極驅動電路的動機和重要性，最後再敘述本論文的組織架構。

### 1.1 氮化鎵電晶體發展背景與簡介

隨著科技的發展，能源的需求愈來愈大，但是天然能源卻愈來愈少，除了發展替代及再生能源之外，提高能源的使用效率也是重要的課題，其中又以電力的節省最為重要。因為電力易於傳輸和易於控制等特性，其應用比其他能源更為廣泛，所以電力在能源消耗上往往占了很大的比例，像是歐盟諸國約為 40%，美國和日本則約為 41%，在未來石油等化石能源短缺的情況下，電力的使用比例只會愈來愈增加。

圖 1.1 是電力在各應用面的效率統計，可以看出電力在使用上仍有很大的改善空間，而在電力電子發展中居核心地位的功率電子元件將是提升電力使用效率

的重要技術。過去矽材料主宰了功率電晶體的市場，如應用於交換式電源供應器（Switching Mode Power Supply, SMPS）及交流-直流轉換器（AC-DC Converter）的 MOSFET 或者是用於變頻器的 IGBT，但是以矽作為功率開關的方式因材料特性的限制而無法再有突破性的發展，為了滿足市場對於大功率電子元件的需求，勢必要仰賴新型的寬能隙材料如氮化鎵或者是碳化矽等。以下將說明氮化鎵適合作為大功率元件的材料特性，包括高崩潰電壓和高電子遷移率等。

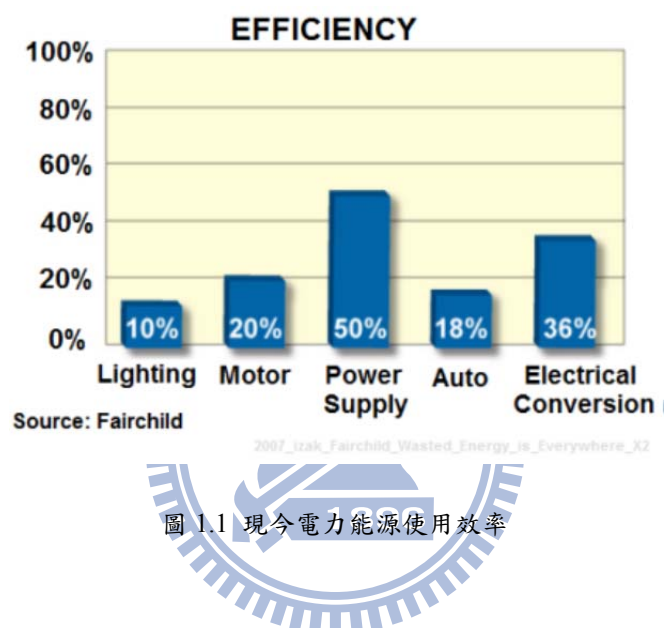


圖 1.1 現今電力能源使用效率

### (1) 高操作溫度及高崩潰電壓

半導體材料的電子平常處於價帶（Valence Band）中，需要吸收足夠的能量才能進入導電帶（Conduction Band）而形成自由電子，此能量可以是電能、熱能或輻射能等，所需要吸收的最小能量就稱為能隙（Band Gap,  $E_g$ ），像是矽的能隙為 1.1eV、砷化鎵（Gallium Arsenide, GaAs）的能隙為 1.3eV，寬能隙材料氮化鎵的能隙則為 3.4eV，約為傳統矽材料的三倍，這個特性使氮化鎵材料比矽更適合操作在高溫高壓的條件下。

半導體元件隨著操作溫度提高，將使更多價電子獲得足夠的能量而轉移到導電帶，當溫度升高到一定程度後，電子元件便無法正常切換，而能隙愈大表示電

子要轉移到導電帶所需要的能量愈多，可以操作的溫度就愈高。矽材料無法正常切換的溫度為150°C左右，氮化鎵材料則因能隙較寬而可以承受高達300°C以上的溫度。除此之外，寬能隙也使氮化鎵有更高的崩潰電場（Breakdown Voltage Field）。

圖 1.2[1]是各種材料的崩潰電場比較圖，可看出寬能隙材料中的氮化鎵和碳化矽，其崩潰電場都遠高於其他材料，使得這些材料有更高的崩潰電壓，氮化鎵在藍寶石（Sapphire）基板上的崩潰電壓可達 10000V，就算顧及成本而使用矽基板，氮化鎵的崩潰電壓也可達到 1800V 之高[2]。

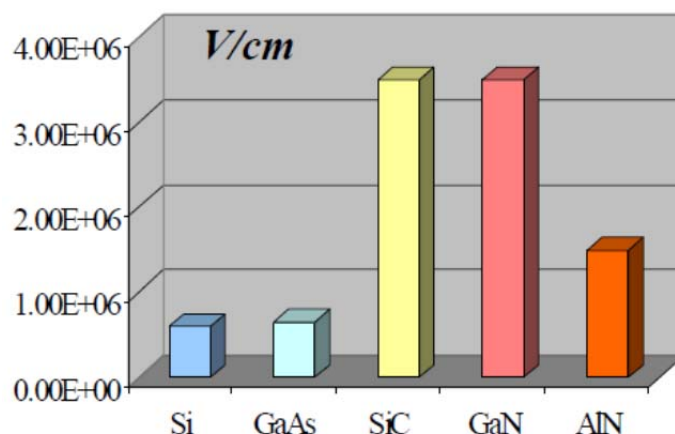


圖 1.2 各種材料的崩潰電場

## (2) 高切換頻率

方程式 (1-1) 為功率元件的操作頻率關係式[3]，其中  $C_g$  為閘極電容 (Gate Capacitance);  $g_m$  為轉導 (Transconductance);  $L_g$  為閘極長度 (Gate Length);  $v_s$  為電子飽和速度 (Electron Saturation Velocity)，表示半導體中電子的最大速度。

$$f_T = \frac{C_g}{2\pi \cdot g_m} \cdot \frac{v_s}{L_g} \quad (1-1)$$

由上式可以看出 $v_s$ 愈大，切換頻率就愈高，而氮化鎵材料的飽和速度為 $2.2 \times 10^7 \text{ cm/s}$ ，是傳統矽材料的 2 倍多，若再利用空氣橋的製作得到較小的閘極電容 ( $C_g$ )，將使氮化鎵的切換速度更快，能操作在更高的頻率範圍。

### (3) 低導通電阻及高操作電流

在氮化鋁鎵和氮化鎵的異質介面 (Hetero-interface) 上，因為材料能隙不同和極化效應而產生二維電子氣 (Two-Dimensional Gas, 2-DEG)，使其擁有高載子濃度 (High Sheet Carrier Density,  $n_s \approx 1 \times 10^{13} \text{ cm}^{-2}$ ) 和高電子遷移率 (High Electron Mobility,  $\mu = 1500 \text{ cm}^2/\text{Vs}$ ) 的特性。因為最大電流 $I_{\text{max}} \propto n_s v_s$ ，所以氮化鎵的電子飽和速度快加上二維電子氣的高載子密度，使其能操作在更大的電流條件，藉此提升輸出功率。

導通電阻 (On-Resistance,  $R_{\text{DS(on)}}$ ) 和 $n_s \cdot \mu$  成反比，也就是說氮化鎵的高電子遷移率能得到低的導通電阻，使其在功率開關的應用上更有效率。圖 1.3 說明了氮化鎵材料性質及其應用面的關係[3]。

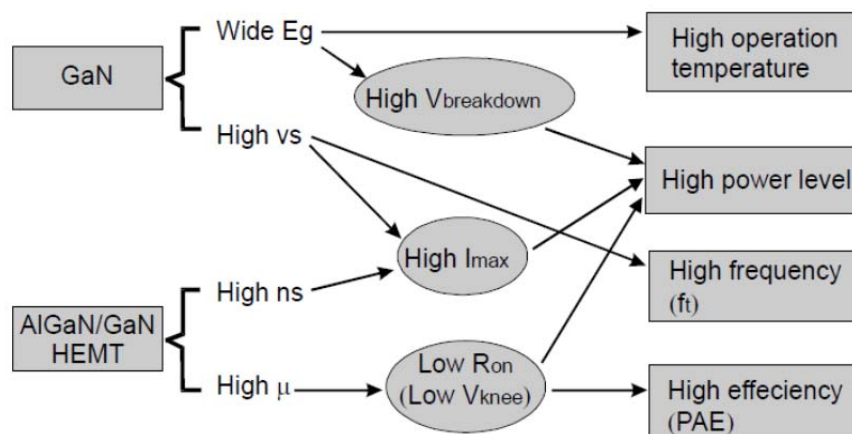


圖 1.3 氮化鋁鎵/氮化鎵材料特性與優勢



#### (4) 導通電阻的正溫度係數

在大功率的應用上，通常會並聯多顆功率元件，所以元件的導通電阻與溫度的關係將扮演重要的角色。一般 P-N 介面的導通電阻與溫度高低成反比（溫度係數約為  $-2.2\text{mV}/^\circ\text{C}$ ），溫度升高會使得導通電阻降低，在多顆元件並聯的情況下，導通電阻低的元件會分到更多電流使溫度提高，溫度提高後導致其導通電阻下降而分到更多電流，如此循環，元件便會因為電流過大或者溫度太高而無法正常運作甚至燒壞。而 MOSFET 能主宰大功率市場的關鍵之一便是其導通電阻與溫度高低成正比（溫度係數約為  $1\%/^\circ\text{C}$ ）。導通電阻的正溫度係數可形成一個簡單的負迴授系統，使電流能平均分配於並聯的各個元件上[4]。

圖 1.4 是氮化鎵電晶體的溫度和其導通電阻的關係圖，可以看到隨著溫度的上升，氮化鎵電晶體的導通電阻也會隨之上升，所以氮化鎵電晶體適合應用於大功率的開關元件上[5][6]。

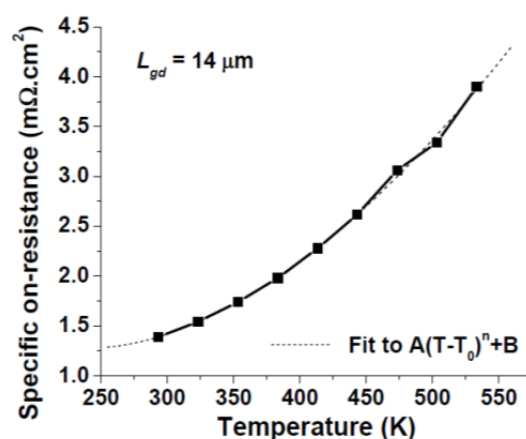


圖 1.4 氮化鎵的溫度與導通電阻關係圖

## 1.2 氮化鎵電晶體的應用

圖 1.5 是功率元件在各種應用領域所需的電壓電流範圍，黑色方塊表示氮化

鎵功率電晶體適合操作的電壓和電流範圍，可以看到其應用面包括電源供應器、馬達驅動控制、汽車電子與工業自動化系統。

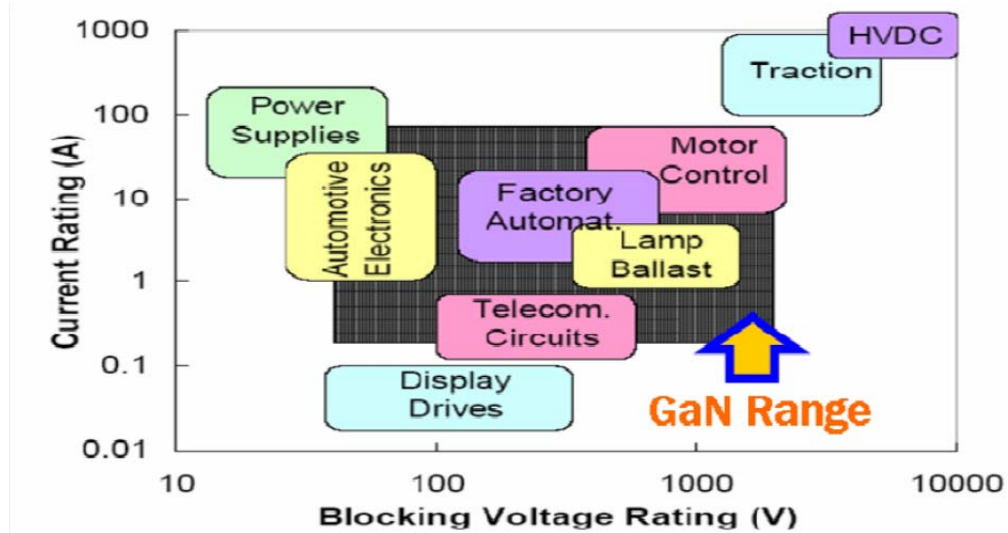


圖 1.5 氮化鎵功率應用領域

在汽車電子方面，日本豐田汽車（Toyota）率先推出油電混和車「Prius」，並以此車型測試傳統矽元件（IGBT）與寬能隙材料之效能。如表 1.1，將氮化鎵或碳化矽電晶體應用於此車的變頻器後，平均燃油效率將提高 10%，若以每年行駛兩萬公里計算，使用四年後節省的汽油費將會高於裝備成本。

表 1.1 寬能隙材料與 IGBT 平均油耗比較表

Prius 平均耗油 (Si IGBT)	20 公里/公升
Prius 平均耗油 (GaN 或 SiC)	22 公里/公升
平均每年行駛里程	20,000 公里
平均使用年限	4 年
4 年汽油節省量	364 公升
假設汽油平均價格	US\$1.1/公升
4 年節省費用	US\$400

在直流—直流轉換器 (DC/DC Converter) 的應用上，其效率無法提高的主要原因在於傳統功率元件於導通及切換時造成的能量損失，若是利用氮化鎵/氮化鋁鎵高電子遷移率電晶體 (GaN/AlGaN HEMT) 低導通電阻及高切換頻率的特性，取代傳統 MOSFET 元件，便可降低損耗，提高轉換器的效率。日本東芝半導體公司 (Toshiba) 的研究中心已經利用氮化鎵電晶體實現了降壓型轉換器 (Buck Converter)，其操作電壓為 200 V，操作頻率為 200 kHz，轉換效率則高達 90.7% [7]。

### 1.3 研究動機與目的

氮化鎵功率電晶體的高電流密度，能縮小功率模組的體積；使用較高的切換頻率，能簡化濾波電路，縮小電感和電容的體積；能承受更高的溫度，就可以簡化散熱裝置，降低成本。但現今氮化鎵的使用仍侷限於通訊元件及低功率的使用上，最大的問題就在於沒有專為其設計的驅動電路，使氮化鎵材料的優勢無法充分展現。

一般 MOSFET 的閘極驅動電路不適合直接用來驅動氮化鎵功率元件的原因有很多，其中最重要的是，氮化鎵功率元件為空乏型電晶體 (Depletion Mode Transistor)，其零電壓導通的特性使得專為加強型電晶體設計的閘極驅動電路無法使用。過去雖有不少驅動空乏型電晶體的方式，但大多會影響氮化鎵電晶體的材料優勢，或者無法應用於上橋驅動電路中。本論文的目的即為解決此問題，設計出可應用於氮化鎵功率元件之驅動電路。

### 1.4 論文組織與架構

本論文共分為五個章節，第一章為緒論，介紹氮化鎵材料發展背景及應用上的優勢，然後說明研究動機與目的；第二章為閘極驅動電路的介紹，內容包含加

強型電晶體的上、下橋驅動電路和空乏型電晶體的驅動方式，並討論這幾種方法的優缺點，這樣將有助於設計出合適的氮化鎵電晶體驅動電路；第三章為氮化鎵電晶體閘極驅動電路設計，本章節將以前一章介紹過的驅動電路作為基礎，發展出可操作於 100kHz、24V，完整的 AlGaIn/GaN HEMT 閘極驅動電路並以電路模擬軟體 HSPICE 驗證。之後，本章節將分析此電路的功率損耗，以利於提升此電路的效能；第四章為驅動電路的實現，以 IRF5305 及 IRF3703 等離散元件完成氮化鎵閘極驅動電路的實作，並實際驅動氮化鎵功率電晶體 RF3934 與交通大學自行開發的元件 X5A13813970231，同時比較這兩種氮化鎵元件在切換控制的表現；第五章為本論文之結論及未來的方向。




## 第二章

# 閘極驅動電路介紹

控制器產生的 PWM 訊號需要經由閘極驅動電路來推動功率元件，在小功率應用中，會使用單極共地驅動電路。而中高功率應用中，其驅動電路的架構分別有半橋、全橋等開關方式，且扮演著保護控制器的腳色。本章節一開始會簡介閘極驅動電路的主要功能和分類，然後介紹基本的上下橋閘極驅動電路。最後會討論空乏型電晶體的驅動方式並討論這些方式的優缺點，以利於設計出適合的氮化鎵閘極驅動電路。

### 2.1 簡介



驅動電路為控制電路和功率開關之間的界面電路，主要的功能就是能正確切換功率元件的導通與截止狀態，並在元件導通時提供適當的驅動電力（如 BJT 的基極電流或 MOSFET 的閘極電壓）使其維持在導通的狀態。

一般而言，功率電晶體可分為上橋和下橋，下橋元件因為其源極接地，電壓固定為 0V 而易於控制，其驅動電路也較上橋單純。上橋元件在選擇上有 P 通道和 N 通道兩種，P 通道元件雖然控制簡單，但在成本和性能的表現上皆不如 N 通道元件，所以應用上還是以 N 通道元件為主，但是 N 通道元件的源極電壓並非定值造成控制上的困難，需要仰賴適當的閘極驅動電路穩定提供閘極電壓。目前發展出許多不同的驅動方式，較常見的有自舉式驅動電路(Bootstrap Circuit)、光耦合器 (Opto-coupler) 等。

## 2.2 下橋開極驅動電路介紹

要切換功率元件，最簡單的方式就是直接用 PWM(Pulse Width Modulation) 控制器產生的邏輯訊號作切換，這種方式的優點為便宜和節省空間，但是 PWM 控制器所能提供的驅動電流有限，會限制功率元件的切換速度。而且過大的電流尖波 (Current Spike) 也容易破壞控制器內較敏感的電氣元件。為了提升功率開關的切換速度和保護控制器等目的，使用上仍會添加驅動電路來做驅動。

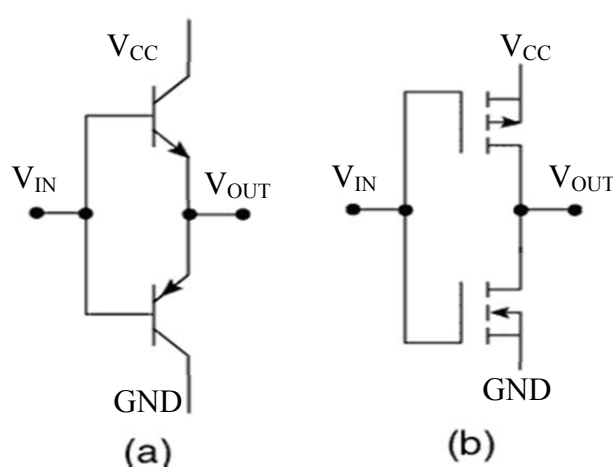


圖 2.1 圖騰式驅動電路

圖 2.1 是一般常見的圖騰式 (Totem-pole) 驅動電路，(a) 是由一個 NPN 和一個 PNP 電晶體組成的 BJT 型式的驅動電路，(b) 則是由 NMOS 和 PMOS 組合而成。此兩種圖騰式驅動電路的功能及操作方法極為類似，最大的不同為 BJT 型式的驅動電路其輸入和輸出訊號同相，而 MOSFET 型式的驅動電路則為反向。在切換功率元件導通或者關閉的過程中，圖騰式驅動電路能提供一個低阻抗的路徑使驅動電流更大，進而提升元件的切換速度，且驅動電流並不會流進 PWM 控制器內，避免控制器內的電器元件受到損害，達到保護的作用[9]。

BJT 圖騰式電路的另一個好處為兩個電晶體的基極—射極接面可以互相保

護，避免接面二極體的反向崩潰現象 (Reverse Breakdown)。且基極—射極接面二極體可以限制功率元件的閘極電壓在  $V_{CC} + V_{BE}$  和  $GND - V_{BE}$  之間，避免過高的閘極電壓導致功率元件損壞。不過需要注意不能讓 BJT 電晶體進入到飽和狀態，否則會降低切換速度。與 BJT 圖騰式驅動電路相比，MOSFET 因為材料特性而更適合操作在高頻。且在功率元件閘極電壓的控制上，因為 BJT 基極—射極接面造成的電壓降  $V_{BE}$  使其不如 MOSFET 圖騰式電路來的準確，這也是 MOSFET 圖騰式電路被較多人作為驅動電路的原因。

## 2.3 上橋閘極驅動電路介紹

上橋驅動電路依照功率元件的型式不同可以分為 P 通道驅動電路和 N 通道驅動電路。由於 P 通道功率元件的源極與電壓源 VDD 相連接使其電壓值固定不變，所以操作上也較為簡單。

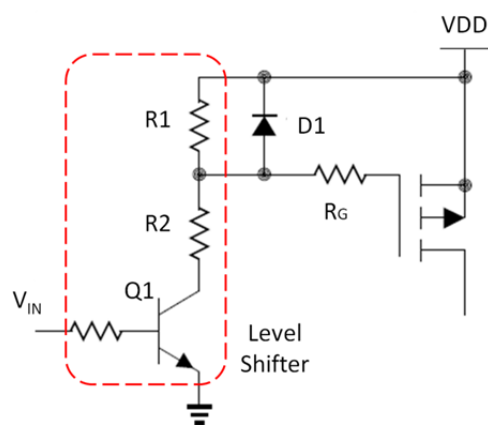


圖 2.2 上橋 P 通道驅動電路

圖 2.2 為簡單的 P 通道閘極驅動電路[8]，由電晶體 Q1 和兩個電阻 R1、R2 組成一位準調節電路 (Level Shifter)，目的就是提供一個相對於源極的負電壓訊號將功率元件導通。而二極體 D1 的作用在於防止功率元件的閘—源極電壓差

( $V_{GS}$ ) 過大使元件損壞。此電路的功率損耗主要在上橋元件的輸入電容和  $Q1$  導通時流過 Level Shifter 的電流上。

在一般高效率、大功率的系統應用中，仍會採用性能較佳且價格也較便宜的 N 通道元件作為上橋功率電晶體，但是該功率元件的源極為浮動電壓，無法直接用一固定的閘極電壓來進行開關控制，以下將介紹兩種常見的解決方法。

### 2.3.1 自舉式電路

圖 2.3 所示為一個簡單的自舉式上橋閘極驅動電路[9][10][11]，用以驅動增強型 N 通道功率電晶體  $M_{top}$ 。為了解決  $M_{top}$  的源極電壓不固定的問題，添加一自舉電容  $C1$  作為浮動的電壓源使用，讓閘極電壓能隨著源極電壓一起改變。此電路的工作原理如下：當  $M_{top}$  關閉時， $VCC$  對  $C1$  充電，此時  $C1$  的負端（即  $M_{top}$  之源極電壓）電壓為零，正端電壓為  $VCC$ 。當  $M1$  導通、 $M2$  關閉時， $M_{top}$  之  $V_{GS}$  即為  $VCC$  使其導通。在  $M_{top}$  導通過程中，其源極電壓也隨之上升到  $VDD$ ，此時電容  $C1$  跨壓因為二極體  $D1$  逆偏的關係，幾乎維持不變，其正端電壓約為  $VDD+VCC$ ，可提供  $M_{top}$  穩定的  $V_{GS}$ ，使其得以持續導通。當  $M1$  關閉、 $M2$  導通時， $M_{top}$  之  $V_{GS}$  為零，使  $M_{top}$  關閉。

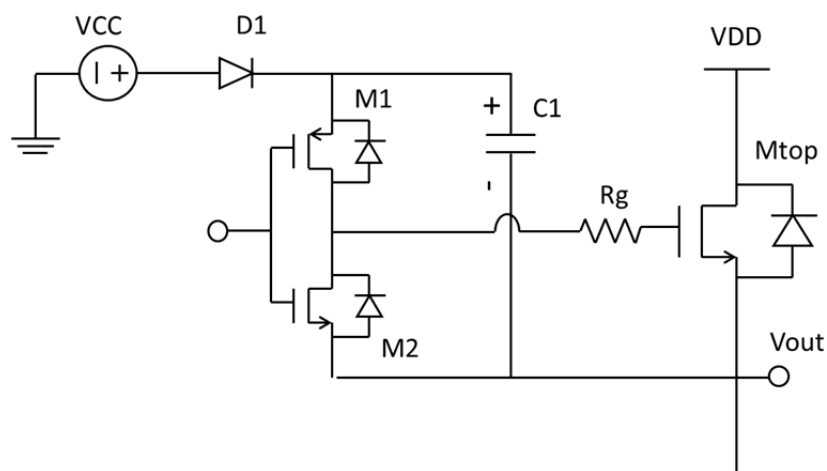


圖 2.3 自舉式電路



### 2.3.2 光耦合器

圖 2.4 中方框的部分即為光耦合器[12]，一般由三部分組成，分別是光的發射、光的接收及信號放大。輸入的電信訊號驅動發光二極體，使其發出一定波長的光，被光探測器接收後產生電流輸出，完成電—光—電的轉換。由於光耦合器輸入輸出間互相隔離，電信訊號的傳輸具有單向性特點，因此具有良好的電絕緣能力和抗干擾能力，所以也可以在長線傳輸資訊中作為終端隔離元件。

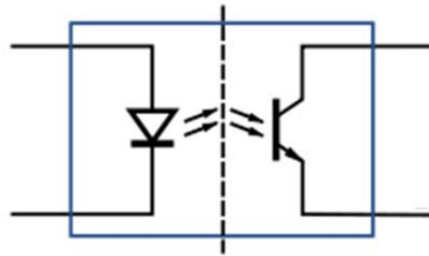


圖 2.4 光耦合器構造圖

圖 2.5 所示， PWM 控制器的輸出接腳需串連一個電阻 R1 做為限流用，避免電流過大造成發光二極體毀壞，另外在光耦合輸出側加上一電阻 RG 可以控制驅動速度的快慢。

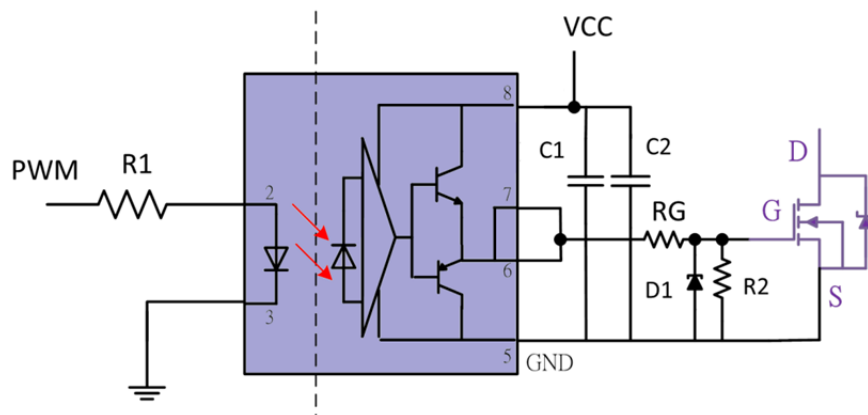


圖 2.4 光耦合器及其驅動電路

## 2.4 空乏型閘極驅動電路介紹

空乏型電晶體與加強型電晶體的不同在於其臨界電壓（Threshold Voltage,  $V_{Th}$ ）為負值，所以當  $V_{GS}$  為零時電晶體導通； $V_{GS}$  為負值時電晶體關閉。為了驅動空乏型電晶體，可以利用一 MOSFET 與高效能之空乏型元件結合，使之成為一複合式的加強型元件（如圖 2.5），如此便可利用現有的加強型電晶體驅動技術來進行元件開關控制[13]。但是這種作法會增加功率元件的導通電阻使效能降低，且操作溫度也會被 MOSFET 限制而無法提升。在保有材料優勢的情況下，本文將介紹三種空乏型驅動電路[14]。

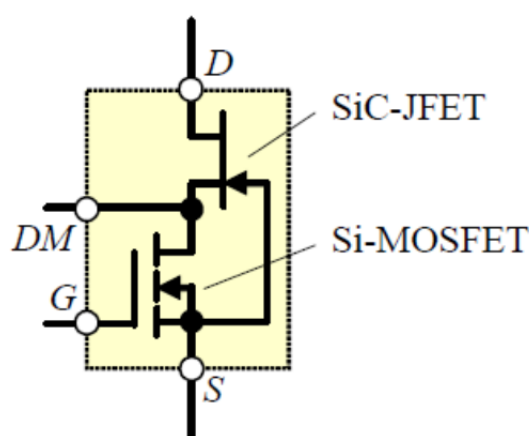


圖 2.5 JFET/MOSFET 複合式加強型元件

### ▪ 下橋空乏型驅動電路 I

如圖 2.6，此驅動電路是由一個 NMOS 和一個 PMOS 組成圖騰式的電路架構，其操作方式也與加強型驅動電路相同，不同之處在於電路之中的 PMOS 源極由  $V_{CC}$  改為接地（GND），而原本 NMOS 的源極也由接地改為連接負的電壓源  $V_{SS}$ 。當 M1 導通、M2 關閉時， $V_{GS}$  約為 0V 使電晶體導通；當 M1 關閉、M2 導通時便藉由  $V_{SS}$  提供負的  $V_{GS}$  來關閉空乏型電晶體，在設計上只需要符合  $|V_{SS}| > |V_{Th}|$  此一關係式即可。此驅動電路有兩個需要解決的問題，其一是要額

外設計電路以提供負電壓源；其二是 PWM 控制器的邏輯訊號為正，無法直接控制此驅動電路，需要添加 Level Shifter 將正訊號轉為負訊號。

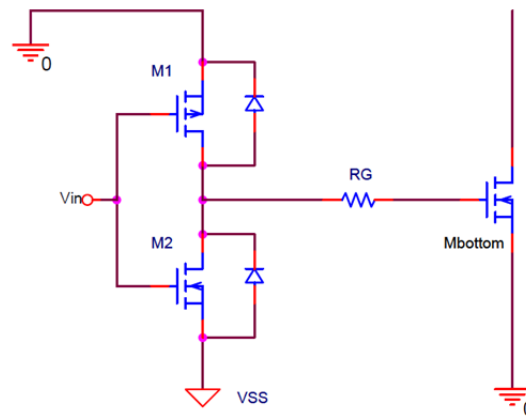


圖 2.6 空乏型驅動電路一

#### ■ 下橋空乏型驅動電路 II

圖 2.7 為另一種空乏型電晶體的閘極驅動方式。M1 和 M2 同樣組合成圖騰式架構，但是在電晶體閘極之前添加了 C1 和 D1，用以提供負的  $V_{GS}$  使電晶體關閉。其操作方式如下：當 M1 導通、M2 關閉時，VCC 經由 M1、C1、D1 形成的迴路對 C1 充電使其跨壓約等於 VCC，此時 C1 的負端電壓趨近於 0V 使功率電晶體導通；當 M1 關閉、M2 導通時，C1 的正端電壓被拉到 0V，因為 C1 兩端電壓差使其負端電壓 ( $M_L$  的閘極電壓) 為  $-VCC$  而將功率電晶體關閉。由於功率開關的  $V_{GS}$  值是由 VCC 決定，所以操作上需符合  $VCC > |V_{Th}|$  的條件。此驅動電路的好處為不需要額外添加負電壓源，PWM 的邏輯訊號亦可直接控制此驅動電路，省去設計 Level Shifter 電路的麻煩。

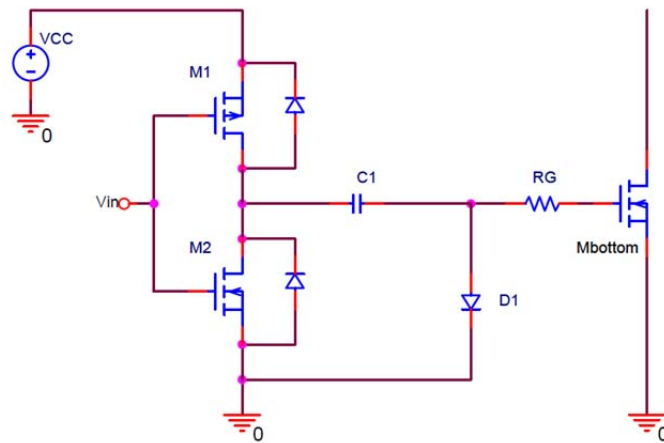


圖 2.7 空乏型驅動電路二

■ 上橋空乏型電路

圖 2.8 為上橋開極驅動電路，其架構與加強型的自舉式電路非常類似，都是利用自舉電容來提供開極需要的電壓。圖中 C1、D1 和浮動電壓源 VC2 形成新的空乏型自舉式電路，有別於加強型的自舉電容是在功率電晶體關閉時被充電，此電路的充電時機則在功率電晶體導通時。其操作原理如下：當 M1 導通、M2 關閉時， $M_{top}$  的  $V_{GS}$  為 0V 使其導通並使  $V_{out}$  電壓 (C1 的正端電壓) 被拉到 VDD，此時 C1 的負端電壓約等於  $VDD - VC2$ ，VDD 則藉由  $M_H$ 、C1、D1、VC2 形成的迴路對 C1 充電，所以當 C1 被充飽時其跨壓會約等於 VC2。當 M1 關閉、M2 導通時， $M_H$  的開極電壓  $V_{GS}$  約為  $-VC2$  而被關閉，其源極電壓會下降至 0V，這段過程空乏形元件的  $V_{GS}$  藉由 C1 維持在  $-VC2$ ，使其持續關閉。當  $V_{out}$  電壓為 0V 時，自舉電容 C1 的負端電壓會低於 0V，約為  $-VC2$ 。

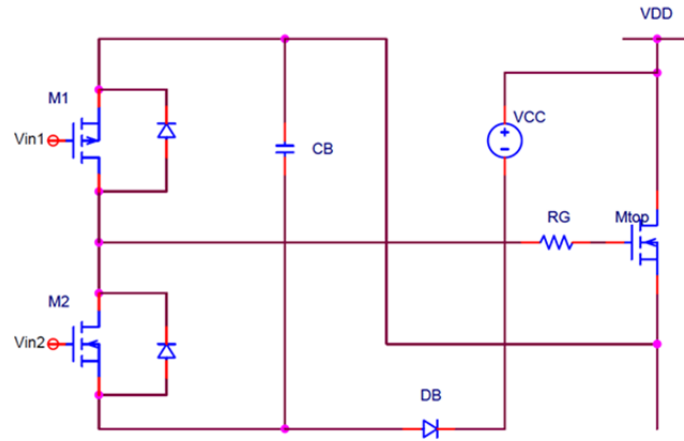


圖 2.8 上橋空乏型驅動電路

此作法雖可以解決空乏型電晶體上橋驅動的問題，但是在實際應用上會有困難，最大的問題就在於需要額外提供電壓源，除了要設計 VC2 這個浮動電壓源之外，當自舉電容 C1 的負端，也就是 M2 的源極電壓為負的時候，M2 的閘極電壓也要為負才可關閉，所以還要另外設計出產生負電壓源的電路，且在 M1 和 M2 的切換上也無法直接使用正訊號作控制，增加其實現的困難度。

## 第三章

# 氮化鎵電晶體閘極驅動電路設計

氮化鎵元件應用於功率開關的優勢在第一章已經介紹許多，本章將提出一適合氮化鎵電晶體，且完整的上下橋閘極驅動電路，包括上橋的高壓位準調節電路（High Voltage Level Shifter），閃鎖電路（Latch Circuit），正－負電壓位準調節電路（Positive to Negative Level Shifter），啟動電路（Start-up Circuit）等，並利用 HSPICE 電路模擬軟體驗證其可行性，最後再計算此電路的功率損耗。

### 3.1 氮化鎵下橋閘極驅動電路

氮化鎵電晶體在使用上需要克服許多問題，首先就是氮化鎵材料為空乏型電晶體，所以控制器產生的控制訊號並不能直接用來驅動氮化鎵元件。在上一章節中介紹的第二種驅動電路可直接使用正訊號進行控制，適合作為氮化鎵電晶體的閘極驅動電路使用，本文將討論其細部運作的情形。

#### 3.1.1 電路運作方式

圖 3.1 為氮化鎵下橋閘極驅動電路，若將 M1、M2 導通時等效成一大小為  $R_{DS(on)}$  的電阻，M1、M2 關閉時則等效成開路（Open Circuit），即可將其簡化成如圖 3.2 的等效電路。以下將此電路的運作模式分成三個部分做描述：

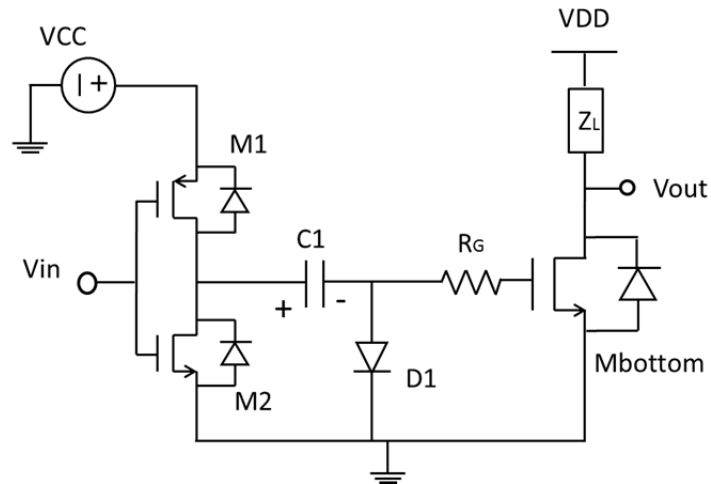


圖 3.1 氮化鎵下橋驅動電路

(1) 狀態一：

在電路運作之初， $C1$  電容內並沒有儲存電荷，所以跨壓為  $0V$ 。當控制訊號使  $M1$  導通、 $M2$  關閉時， $VCC$  將經由  $M1$ 、 $C1$ 、 $D1$  的迴路對  $C1$  充電，充飽後  $C1$  跨壓約為  $VCC$ 。此時功率電晶體的  $V_{GS}$  約為  $0V$ ，為導通狀態，其等效電路圖如圖 3.2 (a) 所示。

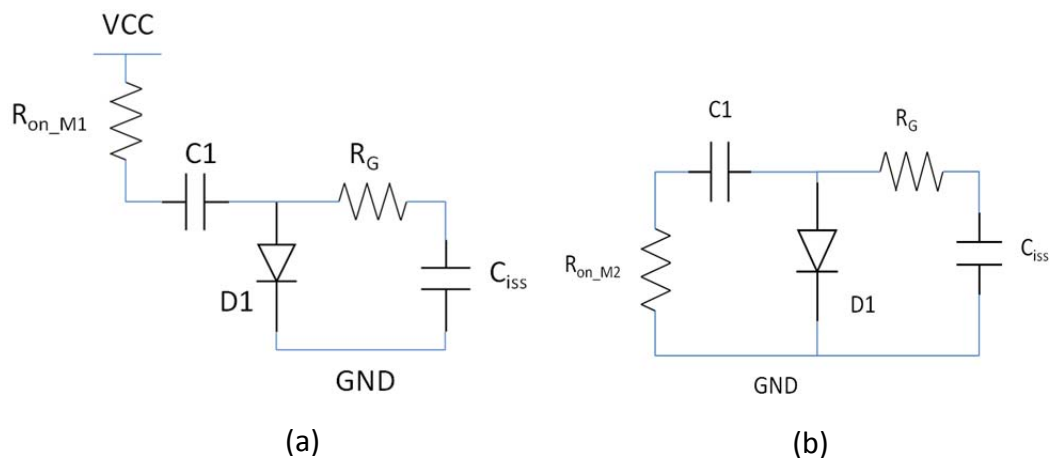


圖 3.2 下橋等效電路

(2) 狀態二：

當 M1 導通、M2 關閉，此時 C1 的正端會被拉到 0V，造成其負端電壓約為 -VCC，藉此提供負的  $V_{GS}$  關閉空乏型電晶體，其等效電路圖如 3.2 (b) 所示。

由於  $C_{iss}$  的關係，C1 的跨壓並非定值，當其正端被拉到 0V、負端電壓下降的同時，其儲存的電子將會跑到  $C_{iss}$  內使其跨壓為負。詳細的流程如圖 3.3 所示。

(3) 狀態三：

當控制訊號使 M1 導通、M2 關閉時，VCC 將對 C1 充電，其等效電路圖與狀態一相同（圖 3.2(a)），不同的是 C1 的跨壓並非從 0V 開始上升。在狀態三區間結束後，將會接續狀態二區間的操作情形，而狀態一的運作情形只有在一開始時會發生，之後做開關切換時便可忽略狀態一的情形。

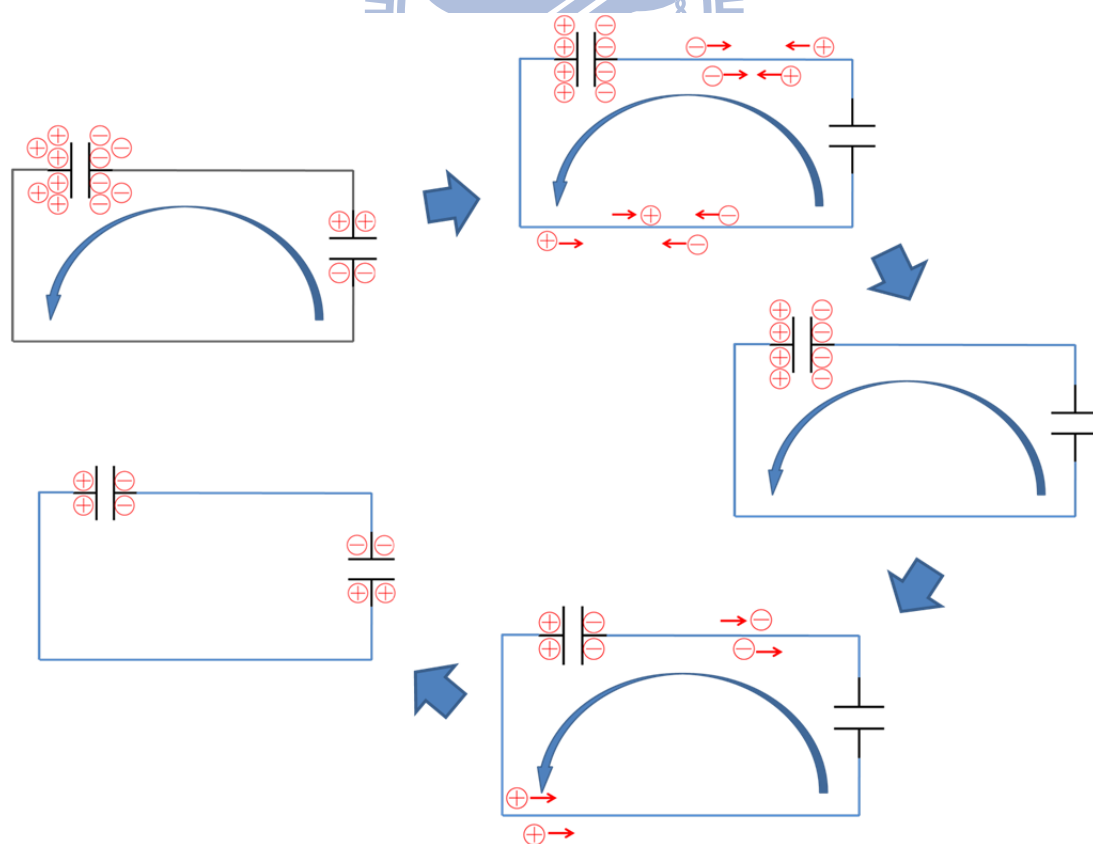


圖 3.3 電容 C1 與  $C_{iss}$  的關係圖



### 3.1.2 模擬結果

將上述電路分別添加阻性與感性負載後，於 HSPICE 模擬軟體進行模擬，其中 VCC 為 6V、C1 為 100nF、阻性負載為 0.2 歐姆、感性負載為 0.5mH，功率電晶體的操作電壓/頻率為 24V/100kHz。模擬結果如圖 3.4 和圖 3.5 所示。

圖 3.4 為阻性負載的模擬圖，圖中所示的波形依序為下橋的控制訊號、電容 C1 的跨壓變化、功率元件的閘-源極電壓差和輸出訊號。由 C1 的跨壓變化可以看出狀態一確實只存在於電路開始運作時，之後的電路操作只有狀態二和狀態三在相互切換而已。由模擬圖也證實此電路可用 6V 的輸入訊號控制空乏型電晶體操作在 24V、頻率為 100kHz 的條件下。

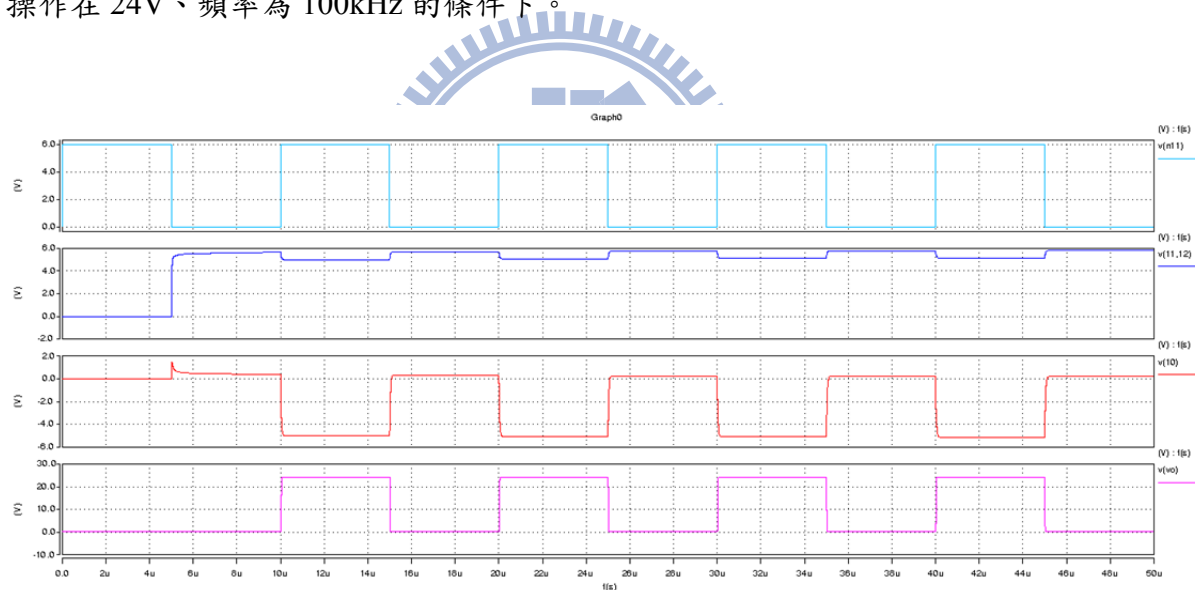


圖 3.4 阻性負載之下橋驅動電路模擬圖

圖 3.5 為阻性負載的模擬圖，圖中所示的波形依序為下橋的控制訊號、電容 C1 的跨壓變化、功率元件的  $V_{GS}$  和輸出訊號。與圖 3.4 相同，各個波形的切換狀況並不會因為負載改變而有產生變化。由模擬圖也證實在感性負載下，此電路依然可以操作在 24V、頻率為 100kHz 的條件下。

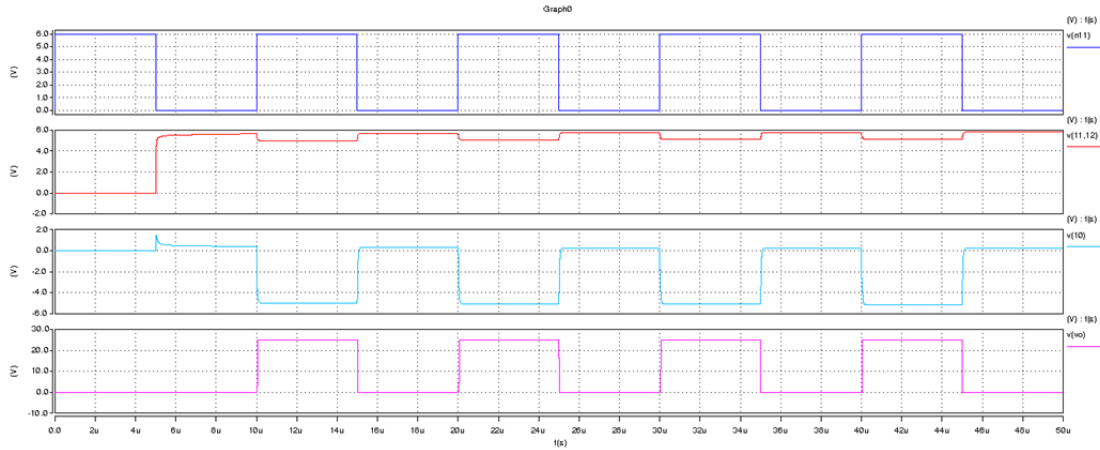


圖 3.5 感性負載之下橋驅動電路模擬圖

### 3.2 氮化鎵上橋開極驅動電路

前一章中討論到的上橋驅動電路雖然可以切換空乏型電晶體，但是需要另外設計一個電路提供浮動電壓源，且在控制上也無法直接使用 PWM 控制器提供的正訊號作控制，如此將增加電路的複雜性，其切換速度也會因為龐大的附加電路而變慢，無法適用於高頻操作的氮化鎵電晶體。為了使控制簡單，本研究將下橋開極驅動電路的架構直接應用於上橋驅動電路中，其電路架構如圖 3.6。

上橋驅動的方式使用之前介紹過的自舉式電路，利用自舉電容提供功率電晶體穩定的  $V_{GS}$ ，由於添加了 C2 和 D2 在驅動電路中，使自舉式電路的操作方式與加強型的操作方式相同。在功率電晶體導通其間，為了控制驅動電路還需要添加一個能耐高壓的 Level Shifter 電路。但隨著操作的電壓提高，耗損在 Level Shifter 上的能量也會愈多，要提升驅動電路的效率，勢必要減少流過 Level Shifter 的電流，所以 Level Shifter 開啟的時間是愈短愈好。

若要維持住控制訊號又要減少 Level Shifter 開啟的時間，則需要在驅動電路和 Level Shifter 之間添加一個門鎖電路，如此便可以利用脈衝訊號來控制上橋驅

動電路，達到節能的效果。

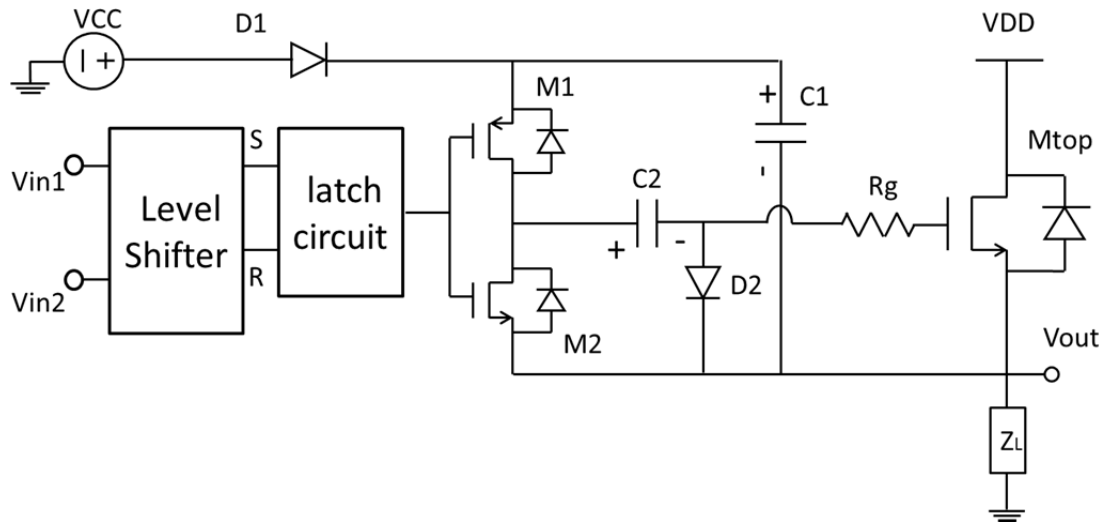


圖 3.6 氮化鎵上橋驅動電路

### 3.2.1 閃鎖電路

閃鎖電路一般使用於數位電路之中，為儲存資訊的一種方式，最常見的就是 SR 閃鎖電路，又可分為 NOR 閘型式和 NAND 閘型式兩種。圖 3.7 為閃鎖電路及其觸發方式，此種電路的特性就是觸發後可以維持相同的狀態直到下一次觸發時才會改變。

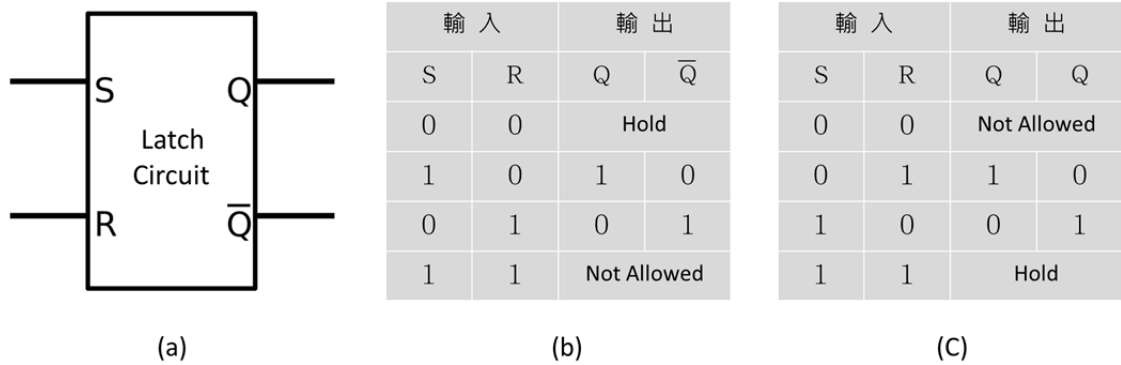


圖 3.7 (a)閃鎖電路示意圖 (b)NOR 閘之觸發情形 (c)NAND 閘之觸發情形

為了配合高壓位準調節電路所輸出的訊號，本研究選擇 NAND 閘型式的門鎖電路，實際的電路圖如圖 3.8 所示，由兩顆 PMOS 和兩顆 NMOS 組成。其操作原理為：當脈衝訊號導通 M3 時，Q 點電壓會被拉到高電位，此時 M2 導通使  $\bar{Q}$  為低電位，注意到 M3 只需要導通很短的時間，Q 點電壓就能維持在高電位，一直到脈衝訊號導通 M4 時，Q 點電壓才會改變。當 M4 導通時， $\bar{Q}$  電壓被拉到高電位使 M1 導通，導致 Q 點電壓變為低電位。同樣的，M4 只需要很短的導通時間，就能將 Q 點電壓維持在低電位。

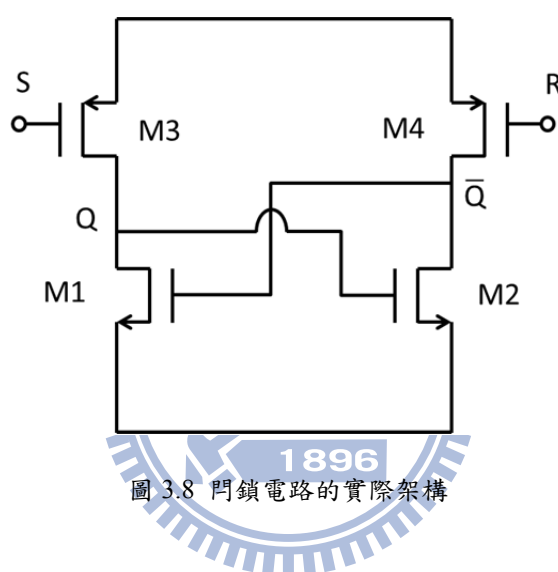


圖 3.8 門鎖電路的實際架構

注意到當脈衝訊號觸發門鎖電路的時候，會有一段時間是被觸發的 PMOS 與其串連的 NMOS 同時導通，直到 Q 或者  $\bar{Q}$  被拉到高電位才會使 NMOS 關閉。但此時 Q 或者  $\bar{Q}$  電壓是由 NMOS 和 PMOS 等效電阻的分壓來決定，而 PMOS 的等效電阻通常都大於 NMOS，如此極有可能會造成 Q 或者  $\bar{Q}$  電壓不足以導通 NMOS 的情況，為了解決這個現象，需要串聯一個電阻提高 Q 或者  $\bar{Q}$  的分壓，如圖 3.9 所示。

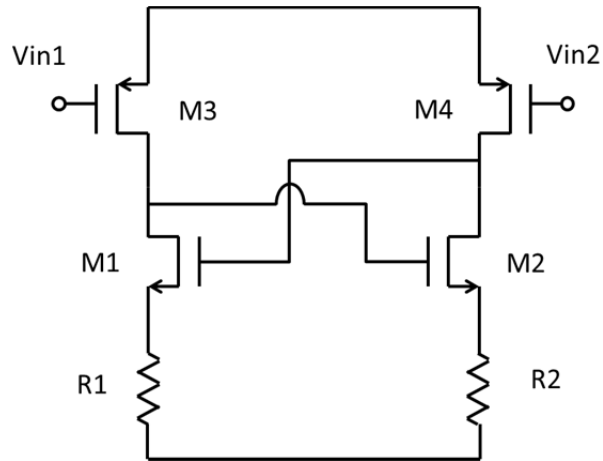


圖 3.9 修改後的門鎖電路

### 3.2.2 高壓位準調節電路

一般的高壓位準調節電路如圖 2.2 中的虛線部分所示，當 Q1 導通時，Level Shifter 的輸出電壓為 R1、R2 的分壓；當 Q1 關閉時，輸出電壓為 VDD。但是此作法在 Q1 導通時，將產生大量的能量損耗，降低整體效率。為了提高驅動電路的效能，Level Shifter 中的電晶體開啟的時間愈短愈好。如圖 3.10 所示，本研究將利用兩組 Level Shifter 來“觸發”門鎖電路，並利用門鎖電路維持驅動所需要的訊號。

在這個架構中因為 Level Shifter 的功能只是要觸發門鎖電路，所以 M1 和 M2 的導通時間可以很短，如此可減少流過此 Level Shifter 的電流，提升上橋驅動電路的效率。注意到圖中的 B 點其實就是自舉電容的正端，其電壓會隨著  $V_{out}$  的有所變化，當上橋電晶體關閉、 $V_{out}$  為 0V 時，B 點電壓會約等於 VCC；當  $V_{out}$  上升至 VDD 之後，B 點電壓也會上升到  $VCC + VDD$ 。所以 B 點的電位幾乎就等於  $V_{out} + VDD$ 。

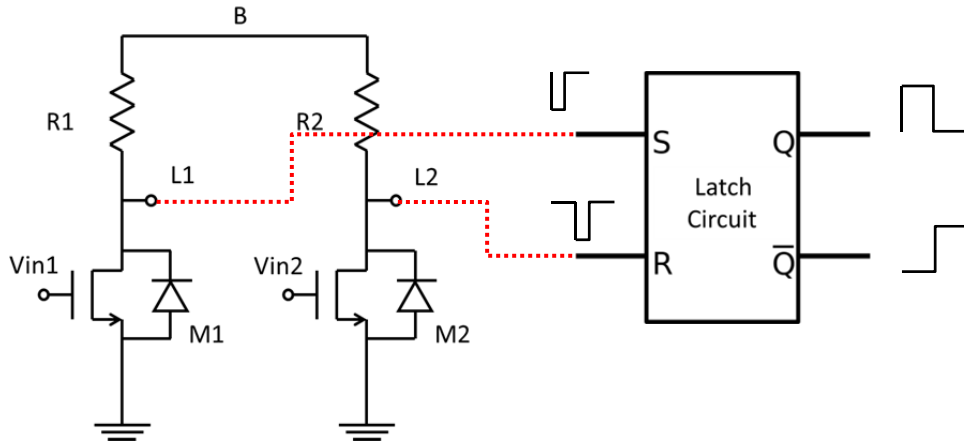


圖 3.10 高壓位準調節電路觸發門鎖電路示意圖

### 3.3 啟動電路

完成上橋驅動電路的設計後，會發現此驅動電路依然無法正常運作，因為上橋功率電晶體為一空乏型電晶體，其 Normally-on 的特性會使其一開始即無法關閉，縱使 M1/M2 關閉時，Mtop 之  $V_{GS}$  仍然會藉由寄生電容  $C_{GS}$  維持在 0V，Mtop 的源極電壓也會迅速到達 VDD，使得 VCC 無法藉由 D1 對 C1 充電進而導致電容跨壓不足，使 Mtop 無法正常關閉。為解決此問題，尚須設計一電路來啟動上橋開級驅動電路。

#### 3.3.1 使用負電壓源之啟動電路設計

圖 3.11 中的虛線部分即為啟動電路的設計，包含電晶體 M3、Level Shifter 電路和負電壓源 VSS。在電路開始運作時，啟動電路中的電晶體 M3 導通，使上橋空乏型電晶體的閘極電位約等於 VSS，將上橋電晶體 Mtop 關閉，此時電壓源 VCC 經由二極體 D1 對自舉電容 C1 充電，當 C1 跨壓充至 VCC 時，便可以將啟動電路的 M3 關閉。因為 C1 內存在足夠的跨壓，使此驅動電路正常進行切換電晶體的動作。

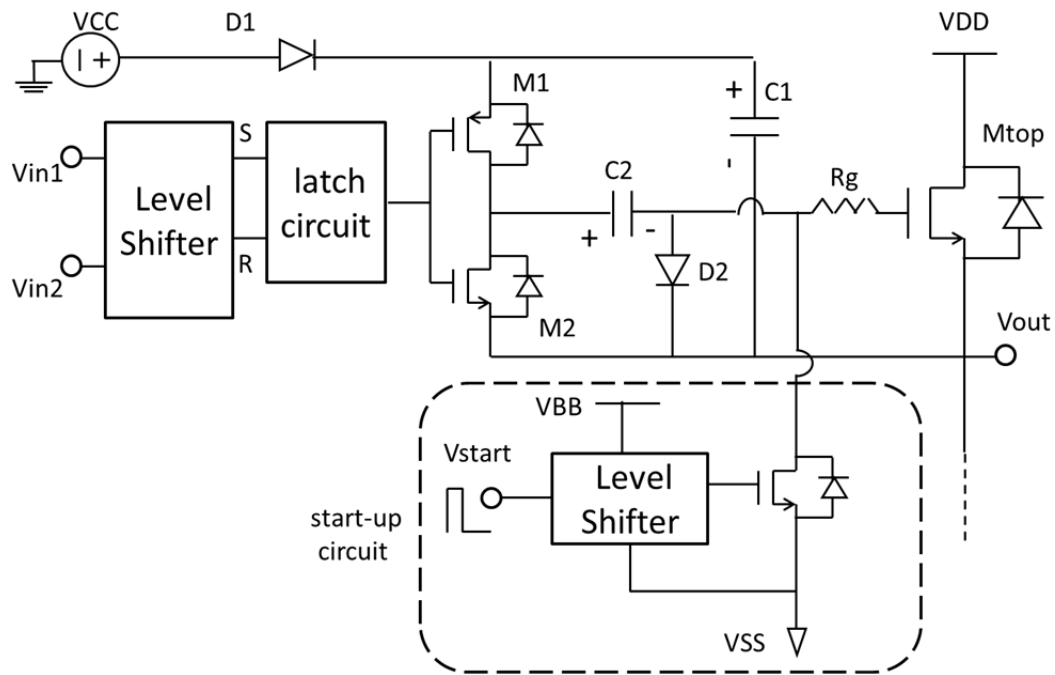


圖 3.11 負電壓源之啟動電路

要控制 M3 的導通狀態，在啟動電路中需要設計一 Level Shifter 電路，將邏輯訊號的正位準轉換成負位準，進行此一負電壓（VSS）的開關控制。以下將說明本研究所使用的方法[14]。

圖 3.12 (a) 為一種基本的 Level Shifter 型式，此電路由兩組如圖 3.12 (b) 的電壓鏡（Voltage Mirror）所組成。電壓鏡的目的就是轉換  $V_{in}$  的位準並由  $V_x$  輸出需要的位準。

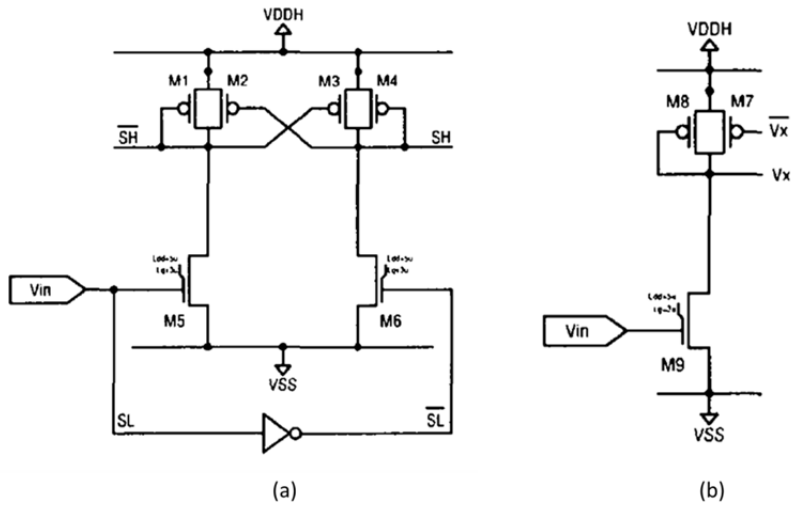


圖 3.12 (a) 基本 Level Shifter 電路與 (b) 電壓鏡

以下將討論  $V_x$  的運作情形，當電壓鏡內的電晶體 M9 導通時，只要  $V_{DDH} \geq V_{DD}$  時就會使  $V_x > V_{dsat}$ ，此時 M9 會操作在飽和區。而經由流過 M8 和 M9 的電流相等可得到下列方程式：

$$\frac{\beta_n}{2} (V_{in} - V_{tn})^2 = \frac{\beta_p}{2} [(V_{DDH} - V_x) - V_{tp}]^2 \quad (3-1)$$

假設  $\begin{cases} \beta_n = \beta_p \\ V_{tn} = |V_{tp}| \end{cases}$ ，則 (3-1) 式可以修改為

$$V_x = V_{DDH} - V_{DD} \quad (3-2)$$

但實際上  $\beta_n \neq \beta_p$  且  $V_{tn} \neq |V_{tp}|$ ，如此將會造成  $V_x$  的電壓不穩定，為了解決此一問題，要在 Level Shifter 電路中添加一電流源，如圖 3.13 所示。



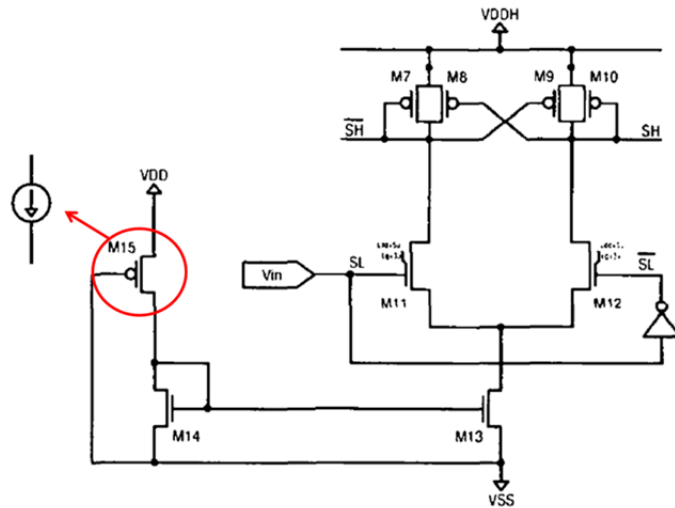


圖 3.13 改良後的 Level Shifter 電路

改良後的電路其輸出電壓更為穩定，但是其輸出電壓卻是以  $V_{DDH}$  為基準，想要把正位準的訊號轉換為負位準，需要將其架構反轉，如圖 3.14[15]。

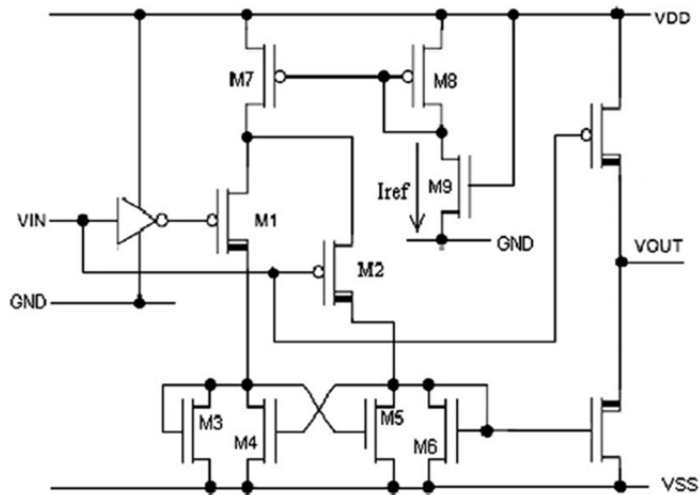


圖 3.14 正—負電壓 Level Shifter 電路

反轉後的輸出訊號將以  $VSS$  為基準，只要  $VSS$  為負電壓源，就可以藉此 Level Shifter 電路得到想要的負訊號。將此電路應用於啟動電路上還有一個問題，那就

是不論控制訊號是高位準或是低位準，都無法將此 Level Shifter 完全關閉，但是對於啟動電路而言，只有一開始時需要作用，之後就可以關閉以節省能量損耗，所以本研究在使用上將作為電流源的電晶體 (M9) 其閘極改為與控制訊號  $V_{in}$  相連接，如此當訊號為低位準時，就可以使整個 Level Shifter 電路關閉。

圖 3.15 是完整的上橋開極驅動電路圖，包括 HV Level Shifter、Latch 電路及啟動電路。

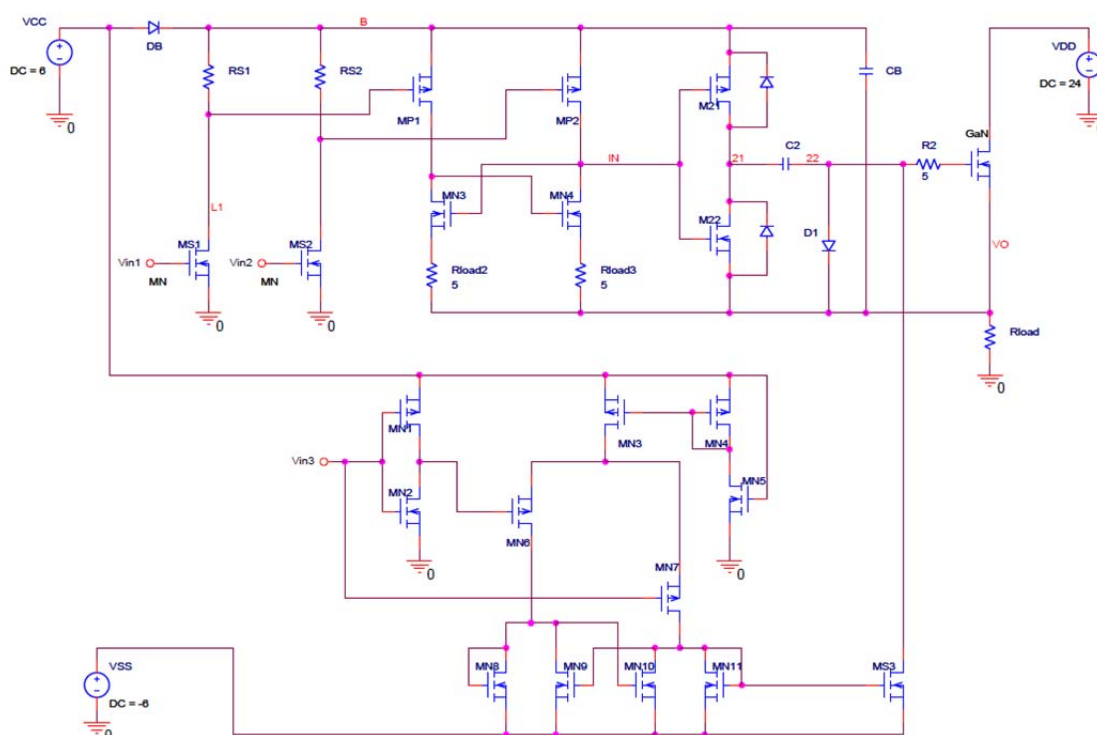


圖 3.15 上橋開極驅動電路完整架構

### 3.3.2 使用正電壓源之啟動電路設計

上述的作法雖然可以正確完成上橋空乏型電晶體的驅動，但是其啟動電路需要一負電壓源 VSS 及複雜的 level shifter 電路。增加實行的困難性，因此本研究設計出另一作法，如圖 3.16。

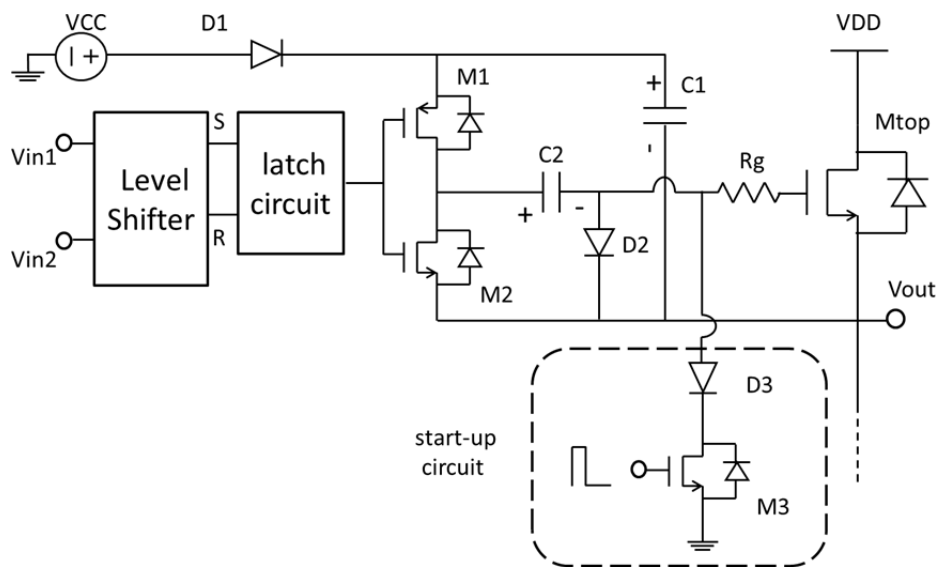


圖 3.16 使用正電壓源之啟動電路設計

此作法將圖 3.11 的負電壓源 (VSS) 改為接地，如此便可以直接利用 0-5V 的訊號來控制啟動電路，不需要額外的 Level shifter。其操作方式與圖 3.11 相似，在一開始時，啟動電路中的電晶體 M3 導通，使上橋電晶體 Mtop 的閘極電位約為 0V，如此 Vout 將會被限制在 Mtop 的臨界電壓上 (若是上橋電晶體的  $V_{Th}$  為 -4V，則 Vout 會約為 4V)，此時 VCC 將對 C1 充電使其跨壓為  $VCC - Vout$ ，之後再將電晶體 M3 關閉，即可用先前所述的開關動作來控制上橋電晶體的切換。值得注意的是一開始電容 C1 的跨壓只能充到  $VCC - Vout$  ( $\sim VCC - |V_{th}|$ )，因此必須選定 VCC，使得  $-(VCC - |V_{Th}|) < V_{Th}$ ，方能將 Mtop 關閉。因此圖 3.16 中 Vout 一開始不會被拉至 0V，第一次切換後便可在 VDD 及 0V 正常切換。另外，若電晶體 M3 具有一 Body Diode，將使 Mtop 的閘極電壓無法低於 0V，導致 Mtop 無法正常切換，故需要添加二極體 D3 來限制電流流向。

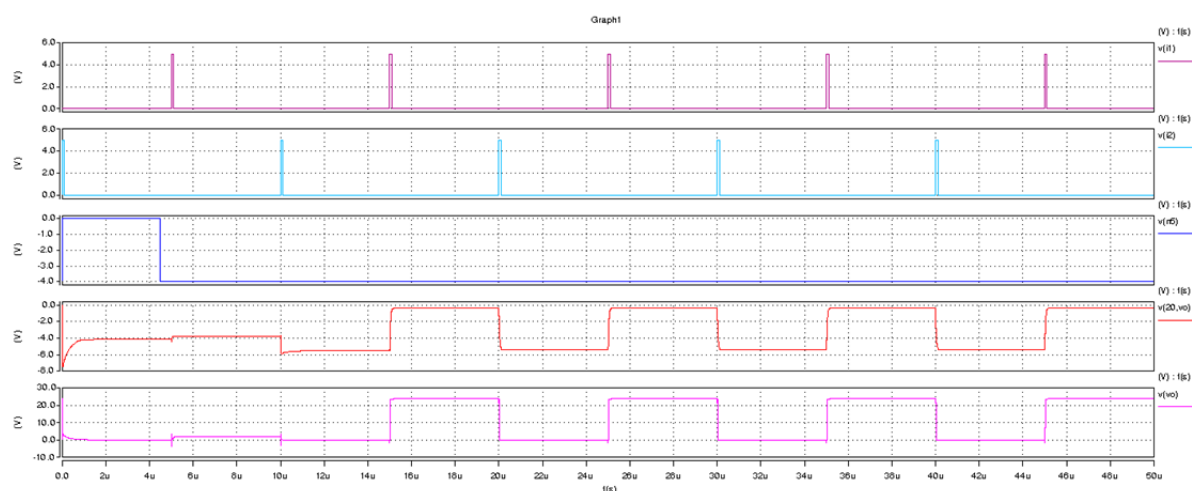
### 3.3.3 模擬結果

上橋驅動電路的完整架構如圖 3.15 和圖 3.16 所示，同樣利用 HSPICE 模擬其操作情形，結果如圖 3.17 和圖 3.18。圖 3.17 是使用負電壓源啟動電路啟動上

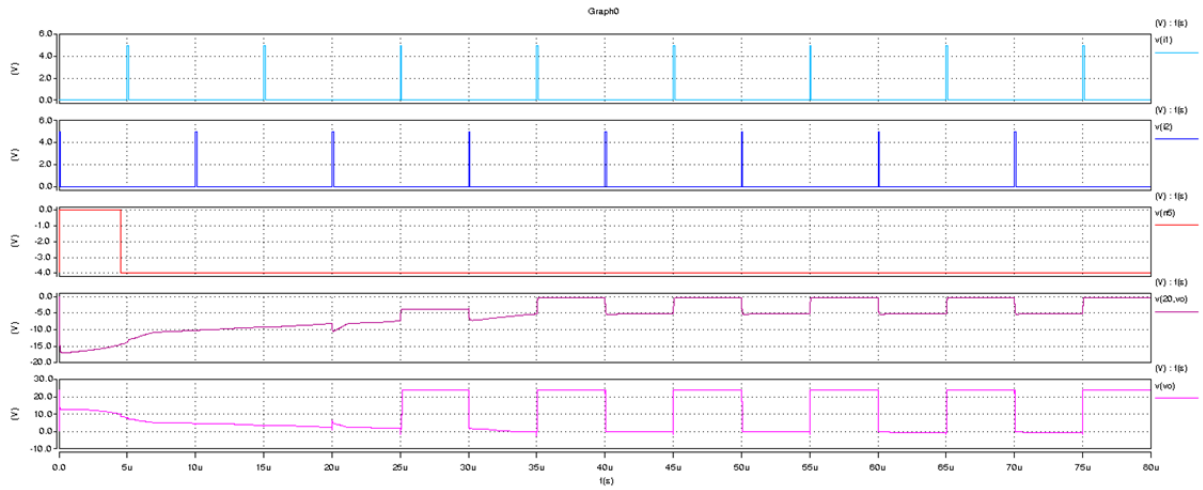
橋驅動電路的模擬結果，圖 3.18 則是使用正電壓源啟動電路啟動上橋驅動電路的模擬結果，此四個圖中的波形顯示順序都相同，由上而下分別是輸入訊號  $V_{in1}$ ，輸入訊號  $V_{in2}$ ，啟動電路的控制訊號，上橋功率電晶體的  $V_{GS}$ ，最後則是輸出訊號。

先看到圖 3.17，其中(a)為阻性負載(b)為感性負載的模擬圖，負載的參數與下橋驅動電路相同，阻性為  $0.2\Omega$ ，感性負載為  $0.5mH$ 。由(a)圖形中可以看出啟動後經過一次切換，電壓輸出即可以在  $0V$  到  $24V$  之間正確地進行切換，而雖然因為負載電感的影響使得(b)的正常切換時間往後延遲，但在兩個週期後，此電路即可以正常運作，圖中所示的開關頻率為  $100KHz$ 。

再來看到圖 3.18，此圖同樣分為(a)為阻性負載(b)為感性負載來做討論，由(a)圖形中可以看出啟動後經過一次切換，輸出電壓即可正確地進行切換，與圖 3.17(a)不同的是，在第一個週期中，啟動電路並無法將輸出電壓降為  $0V$ ，而是約等於上橋電晶體的  $V_{Th}$ ，第二個週期之後的切換才能在  $0V$  到  $24V$  之間。圖 3.18(b)中可看出同樣因為負載電感的影響使其正常切換的時間往後延遲，但在幾個週期過後，此電路即可以正常運作，圖中所示的開關頻率同樣為  $100KHz$ 。

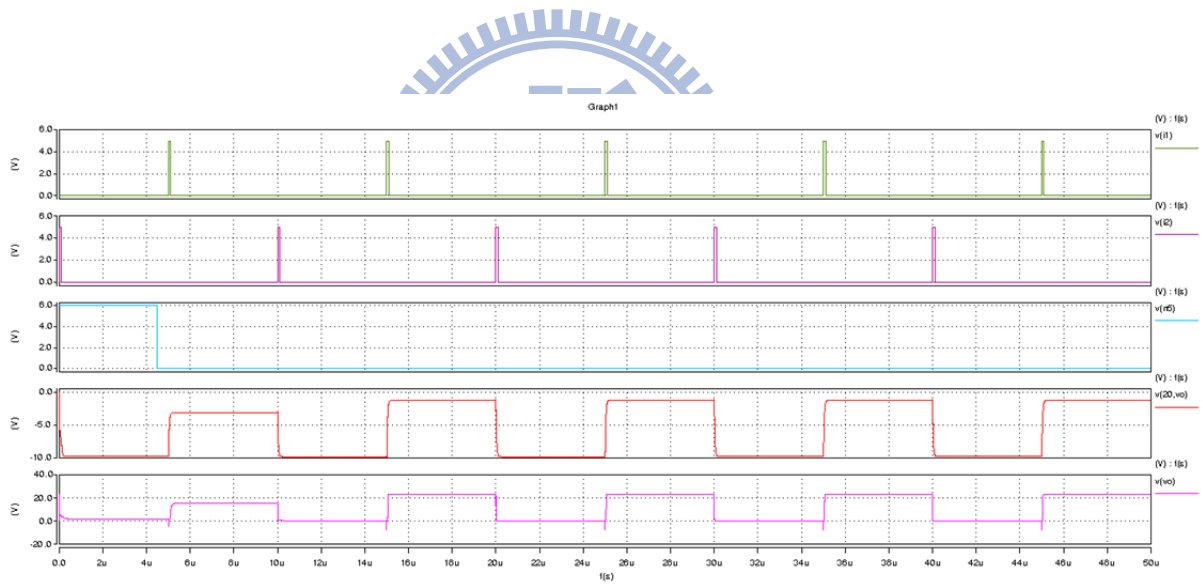


(a) 阻性負載

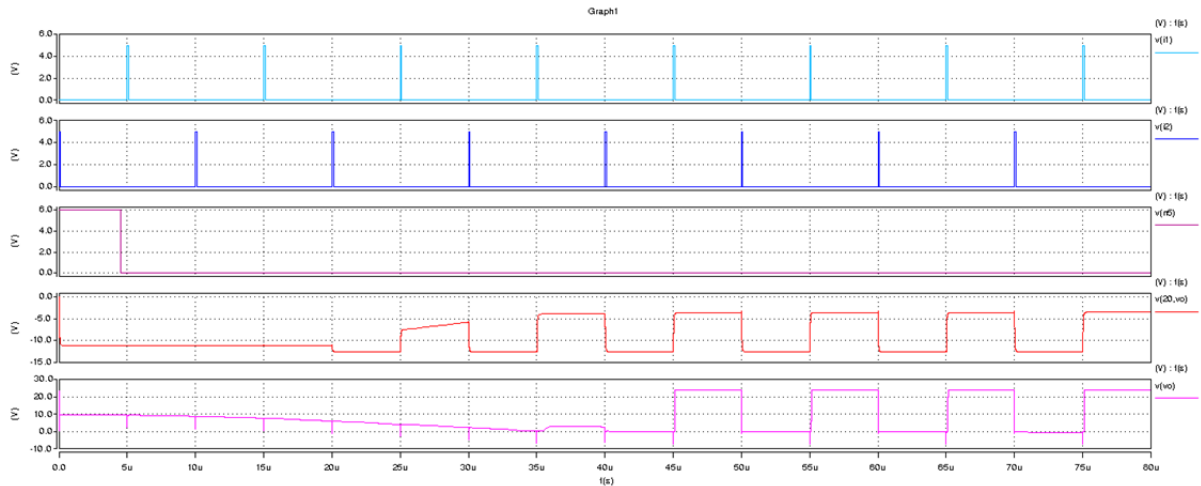


(b) 感性負載

圖 3.17 負電壓源啟動電路之上橋驅動電路模擬結果



(a) 阻性負載



(b)感性負載

圖 3.18 正電壓源啟動電路之上橋驅動電路模擬結果

### 3.4 開極驅動電路之損耗分析

根據[13]，開極驅動電路的功率損耗主要有以下三個：傳導損失（Conduction Loss）、切換損失（Switching Loss）和導通狀態重疊（Cross Conduction）造成的損失。傳導損失為驅動電路在對功率電晶體的輸入電容充放電時，包括開極寄生電阻、驅動電路的導通電阻和線路的等效電阻等造成的損失；切換損失則表示驅動電路中的電晶體元件（如圖 3.1 的 M1 和 M2）在導通或關閉的狀態轉換過程中，同時擁有跨壓和電流而造成功率損耗，如圖 3.19 所示。

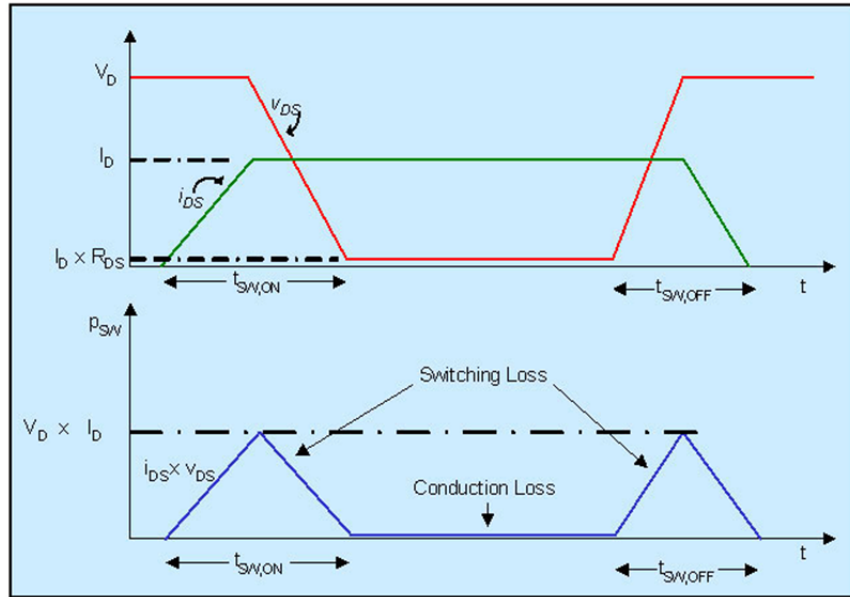


圖 3.19 傳導損失和切換損失說明圖

如圖 3.1，在圖騰式開極驅動電路中，PMOS 和 NMOS 的開極為互相連接，並由同一個控制訊號  $V_{in}$  控制。理想的控制訊號其上升時間 (Rise Time) 和下降時間 (Fall Time) 應該都要為 0，但這在現實上是不可能達成的 (如圖 3.12)。所以在實際控制驅動電路時會產生 M1 還沒完全關閉時，M2 就導通的情形，稱為 Cross Conduction，這種現象會產生“shoot-through”電流造成功率損失。



圖 3.12 理想與實際的控制訊號

在這三種功率損耗中，傳導損失通常比其他兩者大上許多，為主要的功率損失，本文將針對所設計的氮化鎵開極驅動電路做傳導損失的分析，並與模擬的結果比較。

### 3.4.1 下橋開極驅動電路之損耗分析

在前面的章節中已經詳細的介紹了下橋驅動電路的運作方式，在分析功率損耗時也會依照運作方式將驅動電路分為三個狀態

#### (1) 狀態一

在狀態一中，電容為儲能元件，所以功率損耗將會發生在電阻  $R_{on\_M1}$  和二極體  $D1$  上。理想的二極體若是跨壓低於臨界電壓則不導通，但實際上只要二極體跨壓不為零就會有電流通過，所以在計算上會變得很複雜。為了方便起見，本研究將直接假設二極體跨壓為略低於臨界電壓的值作計算。

$$P_{R_{on\_M1}} = R_{on\_M1} \cdot I(t)^2 = R_{on\_M1} \cdot \frac{V_s^2}{R_{on\_M1}} \cdot e^{-\frac{t}{R_{on\_M1}C1}} \quad (3-3)$$

$$P_{D1} = V_{D1} \cdot I(t) = V_{D1} \cdot e^{-\frac{t}{R_{on\_M1}C1}} \quad (3-4)$$

$V_{D1}$  是二極體的正向電壓降； $V_s$  則為  $V_{CC} - V_{D1}$ ，即為  $C1$  最後的跨壓

帶入實際參數計算後可得  $P_{R_{on\_M1}} = 158\text{mW}$ ； $P_{D1} = 180\text{mW}$ 。

#### (2) 狀態二

參考圖 3.2(b) 的等效電路，當下橋驅動電路的狀態切換到狀態二時，可直接利用  $C1$  和功率電晶體的輸入電容  $C_{iss}$  的電壓變化求得能量損耗，在儲以此狀態的時間可得功率損耗。

$$P_{C1} = \frac{\frac{1}{2}C1 \cdot V_s^2 - \frac{1}{2}C1 \cdot V_s'^2}{5\mu} = 50\text{mW} \quad (3-5)$$



$$P_{C_{iss}} = \frac{\frac{1}{2} \cdot C_{iss} \cdot V_{GS}^2 - \frac{1}{2} \cdot C_{iss} \cdot V'_{GS}{}^2}{5\mu} = 16\text{mW} \quad (3-6)$$

### (3) 狀態三

狀態三的等效電路和狀態一相同，所以其耗能元件也同樣為  $R_{on\_M1}$  和  $D1$ ，但是需注意電容  $C1$  已經有儲存電荷，所以  $C1$  的跨壓並非從  $0V$  開始上升。

$$P_{R_{on\_M1}} = R_{on\_M1} \cdot I(t)^2 = R_{on\_M1} \cdot \frac{V_s^2}{R_{on\_M1}} \cdot e^{-\frac{t}{R_{on\_M1}C1}} \quad (3-7)$$

$$P_{D1} = V_{D1} \cdot I(t) = V_{D1} \cdot e^{-\frac{t}{R_{on\_M1}C1}} \quad (3-8)$$

考慮狀態二時  $C1$  的跨壓後，帶入即可算出功率損耗

其中， $P_{R_{on\_M1}} = 1.26\text{mW}$ ； $P_{D1} = 2.62\text{mW}$ 。

由於一般切換時只有狀態二和狀態三會互相切換，所以功率損耗只考慮狀態二和狀態三，可得  $P_{loss} = 50\text{mW} + 16\text{mW} + 1.26\text{mW} + 2.26\text{mW} = 69.52\text{mW}$

## 3.4.2 上橋開極驅動電路之損耗分析

上橋開極驅動電路的驅動端與下橋極為類似，只是當  $VCC$  對自舉電容充電時，會增加一個  $D1$  的損耗，整體而言不會差太多。所以此電路中占最大比例的功率損耗是高壓為準調節電路，以下將分析高壓為準調節電路的功率損耗。

再加上閃鎖電路後， $M1$  和  $M2$  導通的時間已經降低許多，在一個週期中，只需要考慮有電流流過的時間來計算功率損耗。

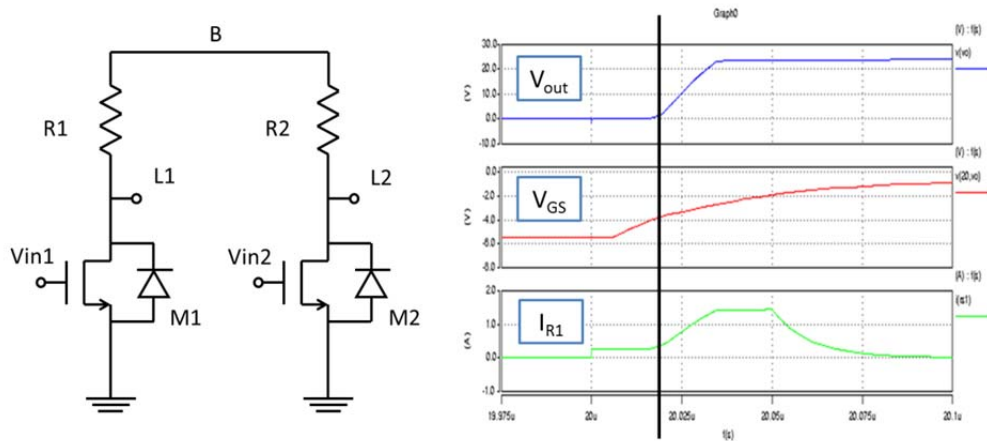


圖 3.18 高壓位準調節電路與細部波形圖

圖 3.18 中左邊是高壓位準調節電路，右邊則是相關的重要波形。第一條藍色的波形  $V_{out}$  為整個上橋驅動電路的輸出電壓，約在 0~24V 之間變化；第二條紅色的波形為上橋功率電晶體的  $V_{GS}$  電壓，約在 -6~0V 之間切換；第三條綠色的波形是圖 3.18 中  $R1$  的電流變化狀況。

圖中 B 點的電壓會比  $V_{out}$  大  $V_{CC}$ ，所以當上橋電晶體關閉、 $V_{out}$  為 0V 時，B 點電壓約等於  $V_{CC}$ ，此時 M1 導通的話，電阻  $R1$  的電流會等於  $\frac{V_{CC}}{R1}$ 。但是當上橋電晶體導通， $V_{out}$  上升到  $V_{DD}$  之後， $R1$  電流也會隨之上升到  $\frac{V_{CC}+V_{DD}}{R1}$ 。換句話說， $I_{R1}$  的大小是取決於電晶體是否導通，也就是電晶體的  $V_{GS}$  是否有大於其臨界電壓  $V_{Th}$ 。反之，當 M2 導通使上橋電晶體由導通切換成關閉時， $R2$  的電流將由  $\frac{V_{CC}+V_{DD}}{R2}$  減少成  $\frac{V_{CC}}{R2}$ ，其轉換的時間點即為電晶體的  $V_{GS}$  小於其臨界電壓  $V_{Th}$  的時候。經由上述原理，可推導出功率損耗公式：

$$P = \frac{M1 \text{ 導通時的功率損耗} \times \text{導通時間} + M2 \text{ 導通時的功率損耗} \times \text{導通時間}}{\text{一個周期的時間}}$$

$$P = \frac{t_{low1} \cdot \frac{VCC^2}{R1} + t_{high1} \cdot \frac{(VCC+VDD)^2}{R1} + t_{high2} \cdot \frac{(VCC+VDD)^2}{R2} + t_{low2} \cdot \frac{VCC^2}{R2}}{T} \quad (3-2)$$

在 (3-2) 式中，

$t_{low1}$  為 M1 導通時 B 點在低電位的時間，約為  $V_{GS}$  上升到臨界電壓的時間；

$t_{high1}$  為 M1 導通時 B 點在高電位的時間，約為 M1 導通時間減去  $t_{low1}$ ；

$t_{high2}$  為 M2 導通時 B 點在低電位的時間，約為  $V_{GS}$  下降到臨界電壓的時間；

$t_{low2}$  為 M2 導通時 B 點在低電位的時間，約為 M2 導通時間減去  $t_{high2}$ 。

可藉由下列兩組方程式求得：

$$\begin{cases} V_{GS} = V_o \cdot e^{\frac{-t_{low1}}{RC}} \approx -VCC \cdot e^{\frac{-t_{low1}}{RC}} \\ V_{GS} = V_s \left(1 - e^{\frac{-t_{high2}}{RC}}\right) \approx -VCC \left(1 - e^{\frac{-t_{high2}}{RC}}\right) \end{cases} \quad (3-3)$$

(3-3) 中， $R$  為閘極電阻  $\approx 3\Omega$ ， $C$  為功率電晶體的輸入電容  $\approx 5nF$ ，臨界電壓  $V_{Th} \approx -4$ ，可求得  $t_{low1}$  約等於  $4ns$ ， $t_{high2}$  約等於  $11ns$ 。代入 (3-2) 式中可求得  $P_{loss} = 234mW$ 。

再加上前一節計算的驅動端電路的功率損耗，即可得到上橋驅動電路的總功率損耗： $P_{loss_{total}} = 234mW + 69.52mW = 303.52mW$

## 第四章

### 氮化鎵電晶體閘極驅動電路實現

經由 HSPICE 驗證後，本章節將說明如何實現此驅動電路。首先，藉由氮化鎵電晶體  $I_D-V_D$  和  $I_G-V_G$  的電性量測結果了解 X5A13813970231 的特性後，再利用離散元件完成氮化鎵閘極驅動電路的實作，並在操作電壓 24V，切換頻率為 100kHz 的條件下實際驅動氮化鎵電晶體。最後比較產品化的氮化鎵電晶體 RF3934 與交通大學研發的元件在開關切換時狀況。

#### 4.1 氮化鎵電晶體電性量測結果

圖 4.1 是交通大學自行研發的氮化鎵電晶體 X5A13813970231，封裝方式為常見的 TO-220。



圖 4.1 氮化鎵電晶體 X5A13813970231

##### (1) $I_D-V_D$ 曲線

圖 4.2 是電晶體 X5A13813970231 的  $I_D-V_D$  曲線，由圖中可知元件的截止電壓為 -4V，最大操作電流達 0.3A，且導通電阻約為 3.3 歐姆。隨著汲極電壓的上升將使元件的電流降低，應為通道溫度升高進而導致電子遷移率下降所致。

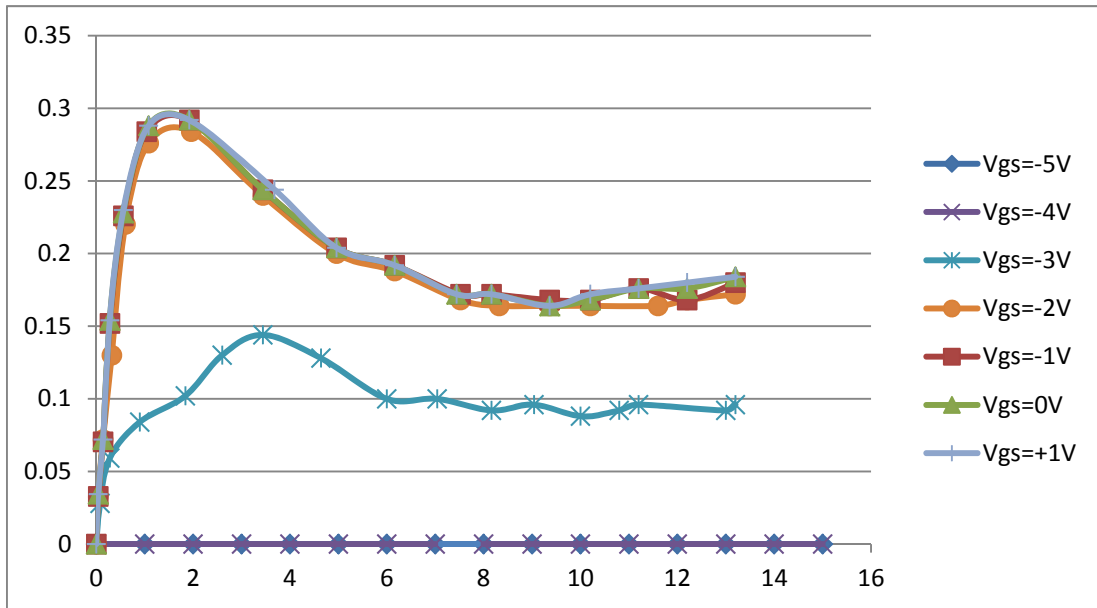


圖 4.2 電晶體 X5A13813970231 的  $I_D-V_D$  曲線

(2)  $I_G-V_G$  曲線

圖 4.3 為電晶體 X5A13813970231 的  $I_G-V_G$  曲線，觀察此曲線可以了解電晶體的  $V_{GS}$  和閘極漏電流的關係，藉此找出合適的操作電壓以避免因為漏電流而降低效率。

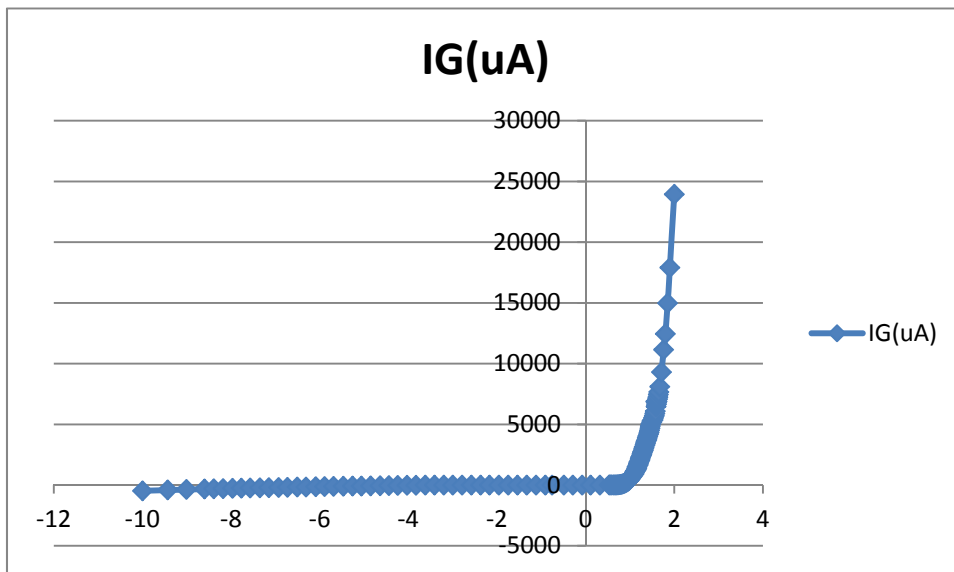


圖 4.3 電晶體 X5A13813970231 的  $I_G-V_G$  曲線

上圖中可以看到閘極漏電流在-4V 和 0V 之間幾乎為 0A，但是在此區間以上或以下，都會開始產生漏電流。需注意在  $V_{GS}$  為 1V 左右時，此電晶體將產生極大的漏電流效應，所以  $V_{GS}$  不適合超過 1V。在關閉氮化鎵電晶體的選擇上，由上一張圖可知元件的截止電壓為-4V，但是當  $V_{GS}$  低於-8V 時，漏電流有增加的趨勢。操作上應將氮化鎵電晶體的  $V_{GS}$  控制在-8V~0V 之間。

## 4.2 實現 100kHz/24V 氮化鎵電晶體閘極驅動電路

圖 3.1X 為本實驗所要完成的下橋閘極驅動電路。圖 3.1X 和圖 3.1X 則為本實驗的上橋閘極驅動電路架構，兩者的差別只在啟動電路的不同而已。可以看到電路中使用大量的 MOSFET 元件，為了降低延遲時間和功率損耗，這些 MOSFET 元件需要具備低導通電阻、低輸入電容的特性，且上升和下降時間能愈短愈好。本研究將採用 IRF3703(NMOS,  $R_{ON} = 2.3m\Omega$ )及 IRF5305(PMOS,  $R_{ON} = 0.06\Omega$ )完成電路的製作。

電路中被動元件的參數如下表：

表 4.1 閘極驅動電路參數一覽表

電路類型	元件代號	數值
下橋閘極驅動電路	C1	100nF
上橋閘極驅動電路	C1	1uF
	C2	100nF
	R1	20 $\Omega$
	R2	20 $\Omega$
	R3	0.5 $\Omega$
	R4	0.5 $\Omega$

圖 4.4 和圖 4.5 分別為下橋開極驅動電路和上橋開極驅動電路的實作圖，其中上橋驅動電路又依照啟動電路的不同分別為(a)負電壓源啟動電路之上橋驅動電路實作 和(b)正電壓源啟動電路之上橋驅動電路實作。

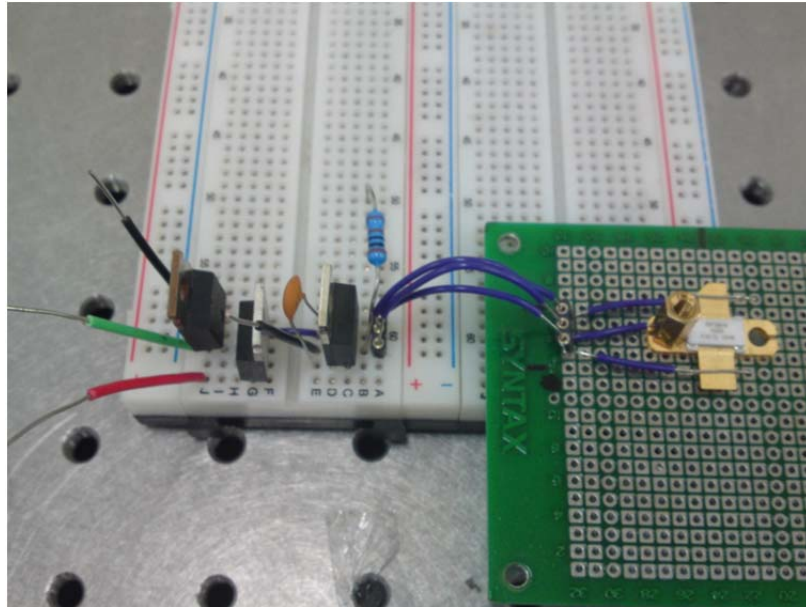
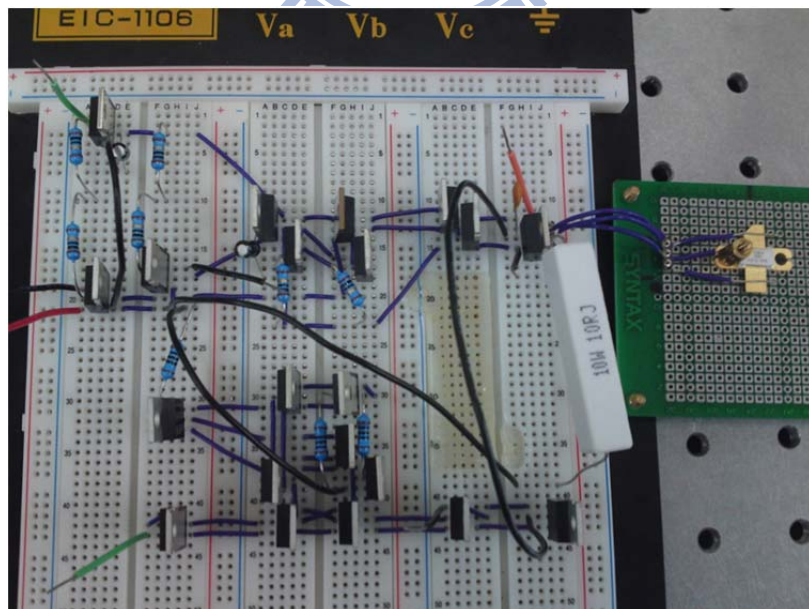
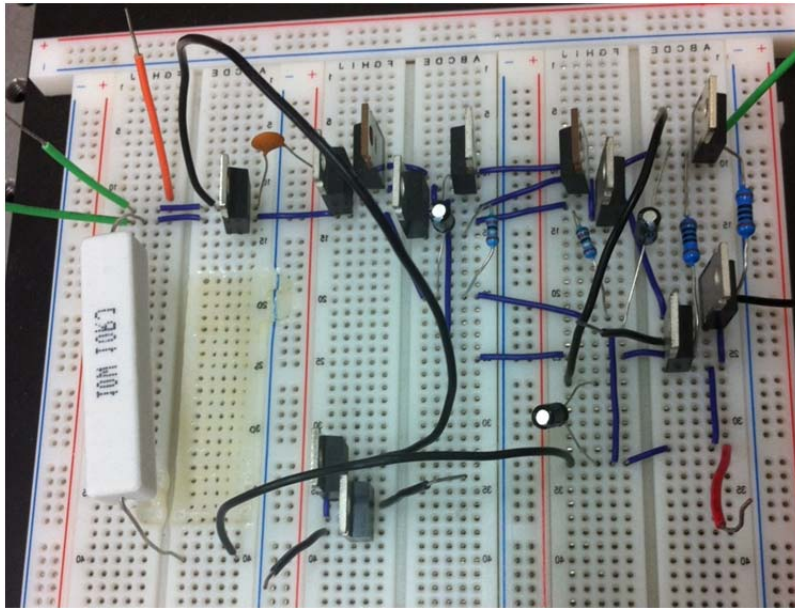


圖 4.4 下橋開極驅動電路實作



(a) 負電壓源啟動電路之上橋驅動電路實作



(b) 正電壓源啟動電路之上橋驅動電路實作

圖 4.5 上橋開極驅動電路實作

### 4.3 驅動 RF3934 及 X5A13813970231 氮化鎵電晶體之結果與比較

本節將已實現的驅動電路實際用來驅動氮化鎵電晶體，並利用示波器量測各點電壓，驗證其是否能在 100kHz/24V 的操作條件下正常運作，再來會比較驅動商品化元件 RF3934 及 X5A13813970231 氮化鎵電晶體時，兩者的上升時間、下降時間和最大超越量(Maximum Overshoot)等時間響應指標。

#### 4.3.1 驅動 RF3934 及 X5A13813970231 氮化鎵電晶體之實驗結果

圖 4.6 為氮化鎵電晶體 RF3934，其封裝方式為 Flanged Ceramic，其最大操作電壓為 150V，輸出功率可高達 120W。



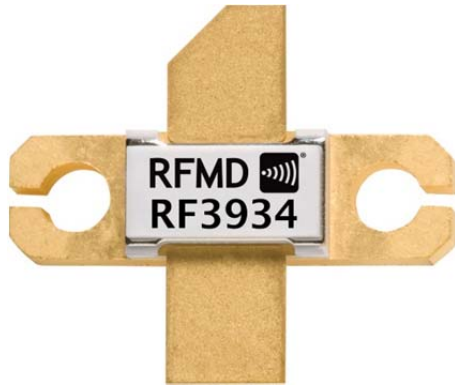
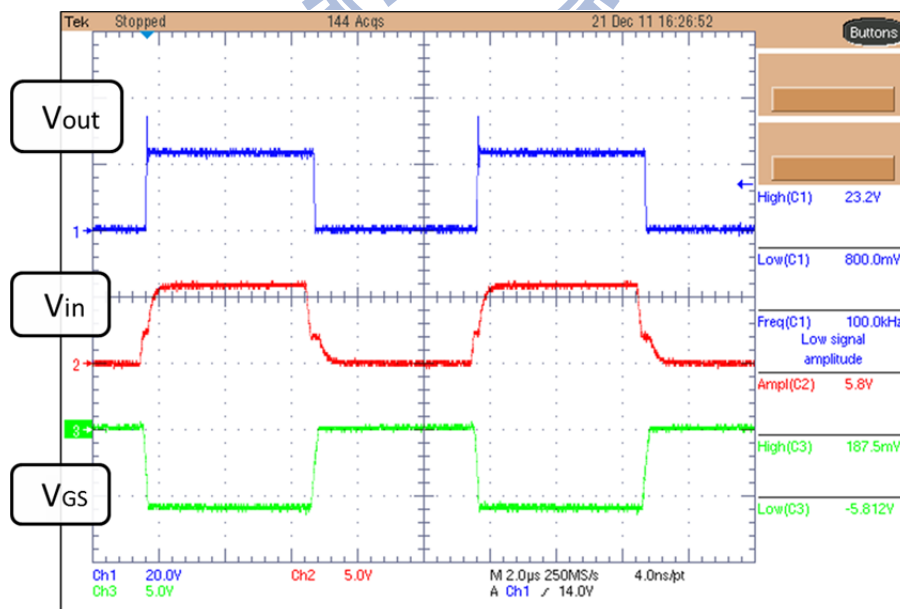
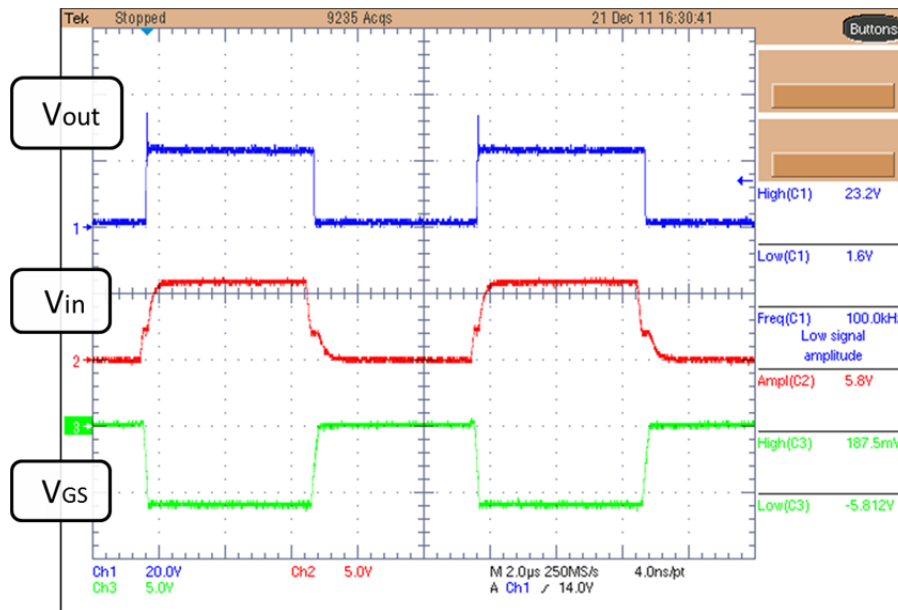


圖 4.6 氮化鎵電晶體 RF3934

實際驅動下橋氮化鎵電晶體時，將會於汲極串連一個阻性負載，在本實驗中此負載為  $100\Omega$ 。圖 4.7 為下橋閘極驅動電路的實驗結果，其中(a)是驅動 RF3934 的實驗結果，(b)則是驅動 X5A13813970231 的實驗結果。圖中藍色波形為輸出訊號，紅色波形為輸入訊號，綠色波形為氮化鎵電晶體的  $V_{GS}$ 。三個波形皆與模擬差異不大，可以看到這兩種氮化鎵電晶體都能正確的操作於 24V，切換頻率 100kHz 的條件下。



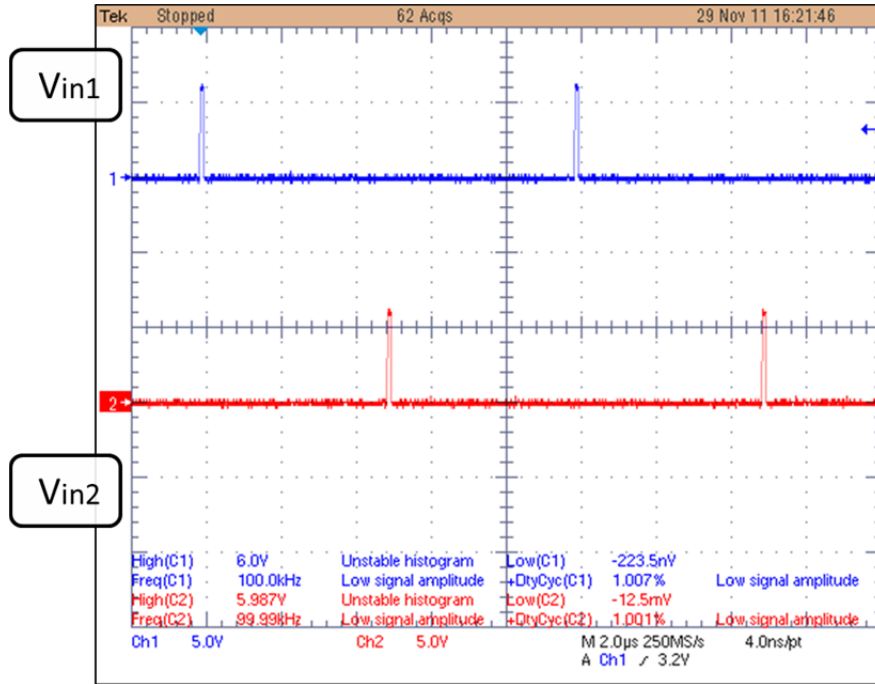
(a) 下橋驅動電路驅動 RF3934 之實驗結果



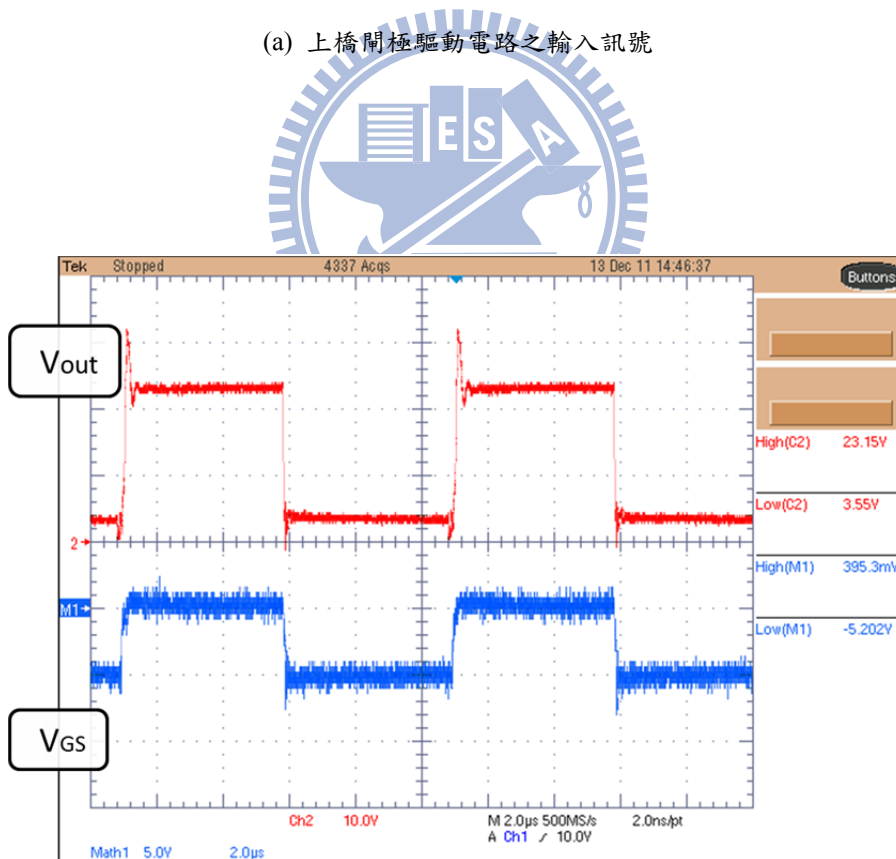
(b) 下橋驅動電路驅動 X5A13813970231 之實驗結果

圖 4.7 下橋開極驅動電路之實驗結果

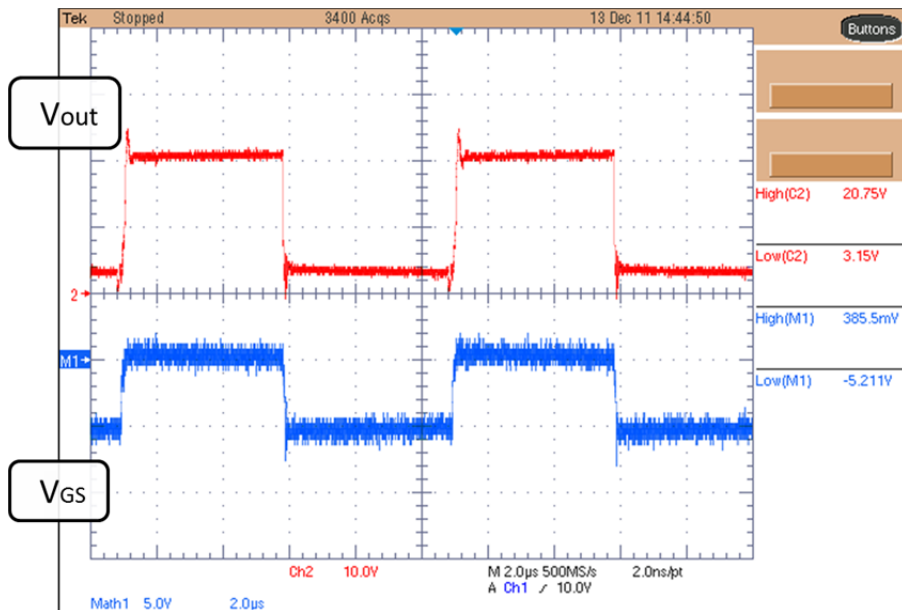
在驅動上橋氮化鎵電晶體時，同樣串聯一個  $100\Omega$  的阻性負載於源極。注意到因為啟動電路只有一開始需要運作，其後都是處於關閉的狀態，可以利用訊號產生器將輸出的訊號設定成只輸出一個周期的波形（Burst 按鍵），如此就可以藉由 Trigger 按鍵來輸出啟動訊號。其實驗結果如圖 4.8 所示，(a)是上橋驅動電路的輸入訊號，由兩個相差半個週期的脈衝波構成，其脈衝寬度為  $50\text{ns}$ ；(b)是驅動 RF3934 氮化鎵電晶體的實驗結果，(c)是驅動 X5A13813970231 的實驗結果。圖中紅色波形為輸出電壓，藍色波形為上橋電晶體的  $V_{GS}$ 。由圖中可以發現雖然切換頻率達到  $100\text{kHz}$ ，但是當上橋電晶體關閉時，其輸出電壓約為  $3.5\text{V}$ ，而不等於  $0\text{V}$ 。推測其原因為自舉電容與負載的時間常數太大，導致  $V_{CC}$  在上橋電晶體關閉的時間內依然無法將電容充飽，所以自舉電容的負端（也就是  $V_{out}$ ）電壓便無法降為  $0\text{V}$ 。



(a) 上橋開極驅動電路之輸入訊號



(b) 上橋驅動電路驅動 RF3934 之實驗結果



(b) 上橋驅動電路驅動 X5A13813970231 之實驗結果

圖 4.8 上橋開極驅動電路之實驗結果

圖 4.9 的波形是當負載等於  $30\Omega$  時，驅動 RF3934 的輸出訊號，可以發現將負載降低後就可以在  $0V\sim 24V$  之間正常切換。驅動 X5A13813970231 時，其輸出波形嚴重失真，推測為負載變小時電流變大，導致電晶體溫度急速上升的緣故。

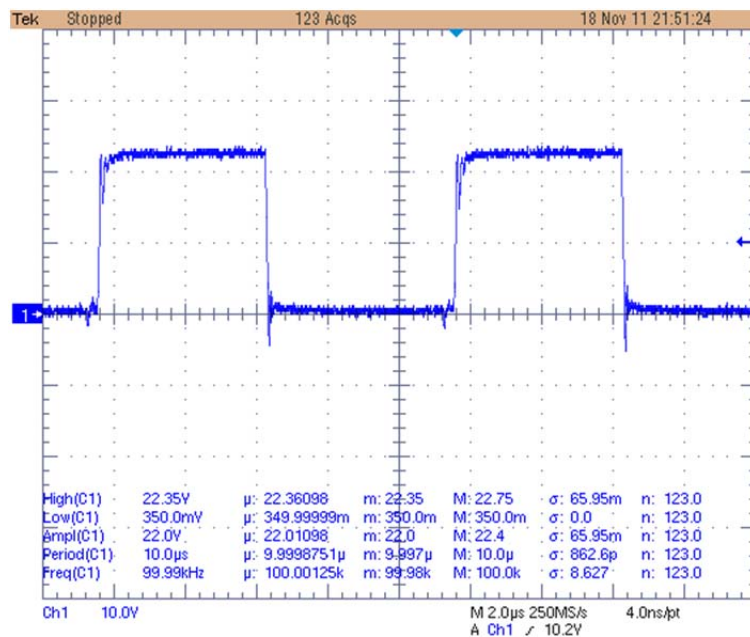


圖 4.9 負載為  $30\Omega$  之驅動結果

## 4.3.2 比較 RF3934 及 X5A13813970231 氮化鎵電晶體之切換情況

在比較兩顆氮化鎵電晶體的切換表現時，要先了解一些時域上的暫態響應性能指標其定義為何。

### (1) 最大超越量 (Maximum Overshoot) :

指從系統期望響應值計算，響應曲線的最大峰值。另外考慮最大超越百分比 MO， $MO = \frac{y_{peak} - y_{ss}}{y_{ss}}$ ，其中  $y_{peak}$  為暫態響應的最大封值， $y_{ss}$  則為響應的終值。

### (2) 上升時間 (Rise Time) :

一般有兩種定義，本研究定義為從終值的 0% → 100% 所需的時間。

### (3) 安定時間 (Settling Time) :

時間響應到達終值的 ±5% 所需要的時間。

### (4) 延遲時間 (Delay Time) :

本研究定義為輸出訊號的起始時間減去輸入訊號的起始時間，在功率電晶體導通和關閉時都會有一個延遲時間。

### (5) 下降時間 (Fall Time)

本研究定義為從終值的 100% → 0% 所需的時間。

接著，本文將以上下橋驅動電路分別驅動 RF3934 及 X5A13813970231 氮化鎵電晶體，並比較其暫態反應的表現。實驗中串聯的阻性負載都為 100Ω。下橋

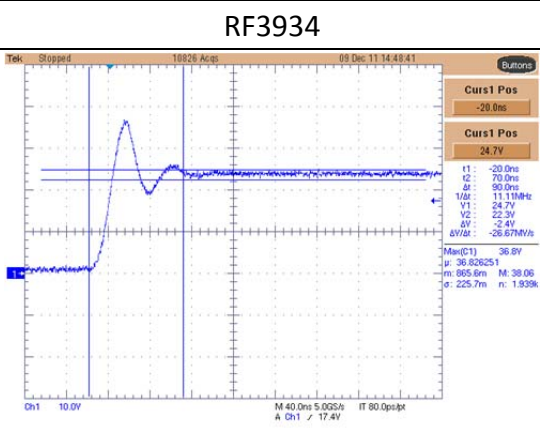
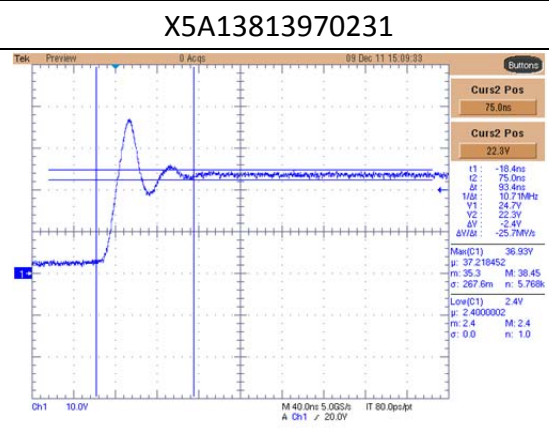
驅動的暫態比較如表 4.2。

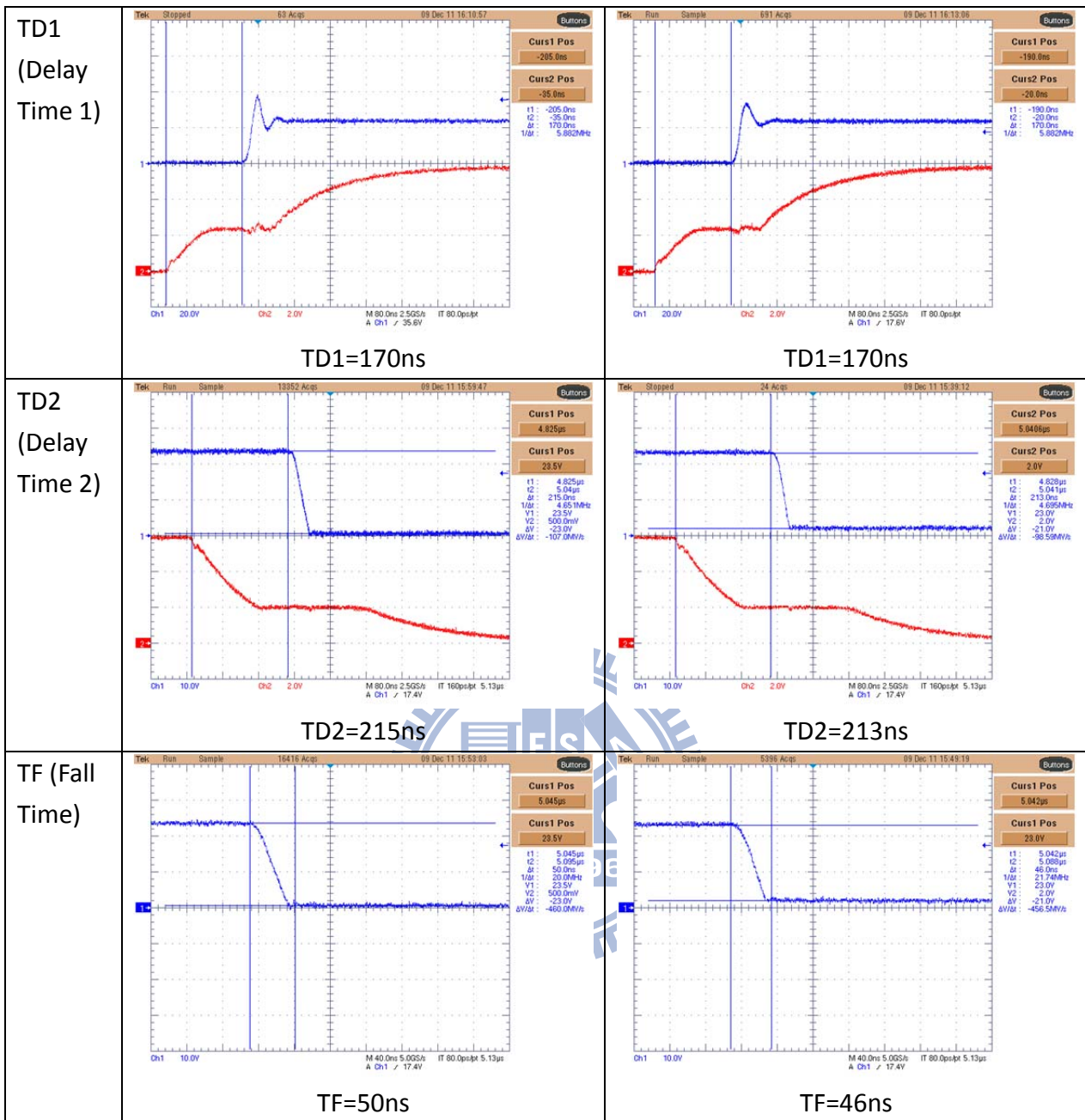
首先可由表 4.2 計算出兩個輸出波形的 Overshoot。RF3934 輸出波形的峰值為 36.8V，穩態電壓為 23.2V，可求得其 Overshoot 為 13.6V，最大超越量百分比 MO 為 58.6%。而 X5A13813970231 輸出波形的峰值則約為 37V，其穩態電壓同為 23.2V，可求得其 Overshoot 為 13.8V，最大超越量百分比 MO 為 59.5%。

上升時間和安定時間兩者都差不多，分別為 20ns 和 90ns。TD1 為 turn-on 時的延遲時間，TD2 則為 turn-off 時的延遲時間，驅動兩種氮化鎵電晶體的延遲時間都差不多，TD1 約為 170ns，TD2 約為 215ns。造成訊號延遲的原因包括有 Miller Plateau 效應和電路中的寄生元件。

在下降時間上兩元件的表現也差不多，X5A13813970231 約為 46ns，略優於 RF3934 的 50ns。另外注意到在 X5A13813970231 導通時，其輸出電壓為 2V，可以看出其導通電阻約為 10 歐姆之高。

表 4.2 下橋驅動氮化鎵電晶體之暫態響應比較表

	RF3934	X5A13813970231
TR (Rise Time) & TS (Settling Time)	 <p>TR=20ns ; TS=90ns</p>	 <p>TR=20ns ; TS=93ns</p>

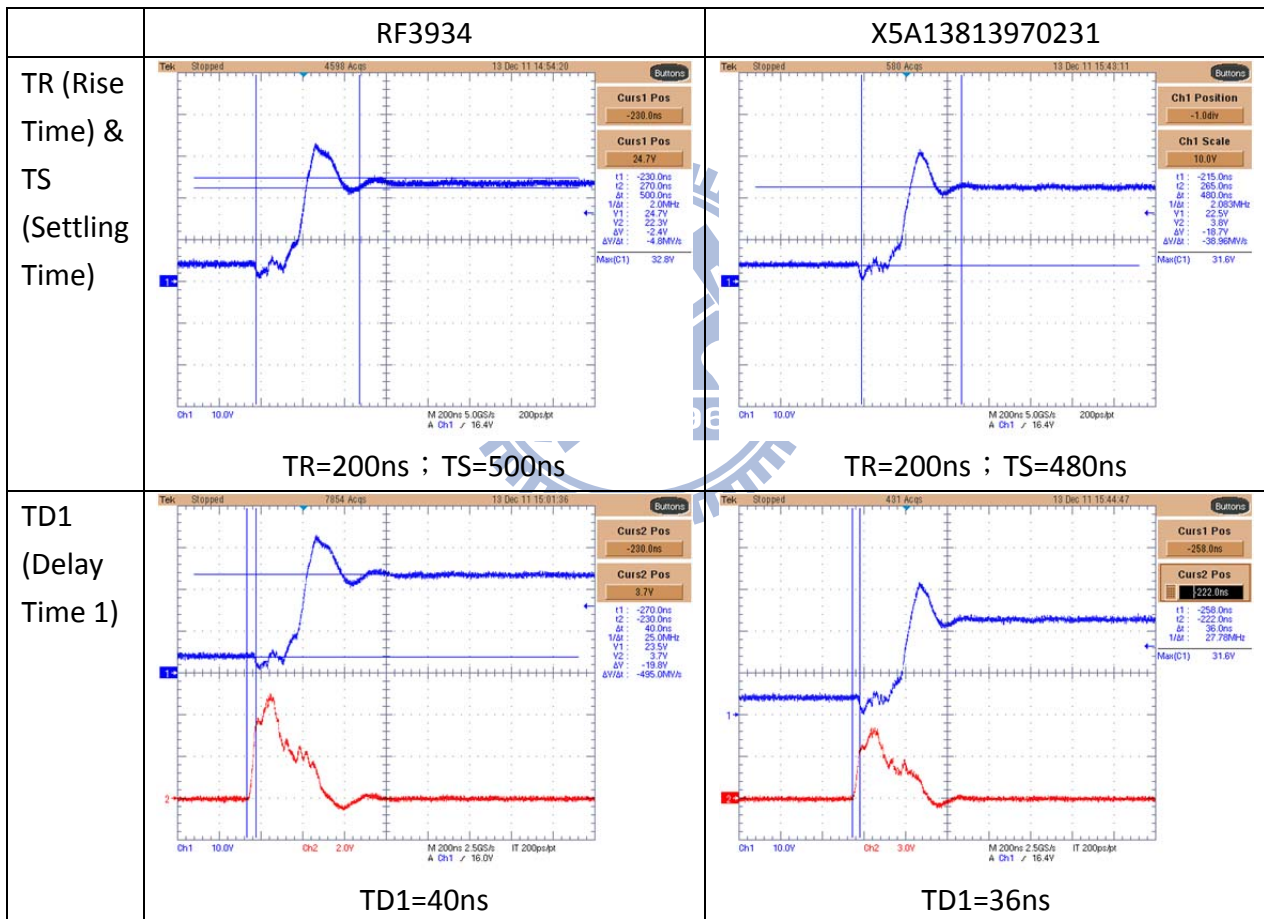


下表為上橋驅動的暫態響應比較表，同樣可以計算出兩個電晶體輸出波形的 Overshoot。RF3934 輸出波形的峰值為 32.8V，穩態電壓為 23.2V，可求得其 Overshoot 為 9.6V，最大超越量百分比 MO 為 41.4%。而 X5A13813970231 輸出波形的峰值則約為 31.6V，其穩態電壓為 22.5V，可求得其 Overshoot 為 9.1V，最大超越量百分比 MO 為 40.4%。

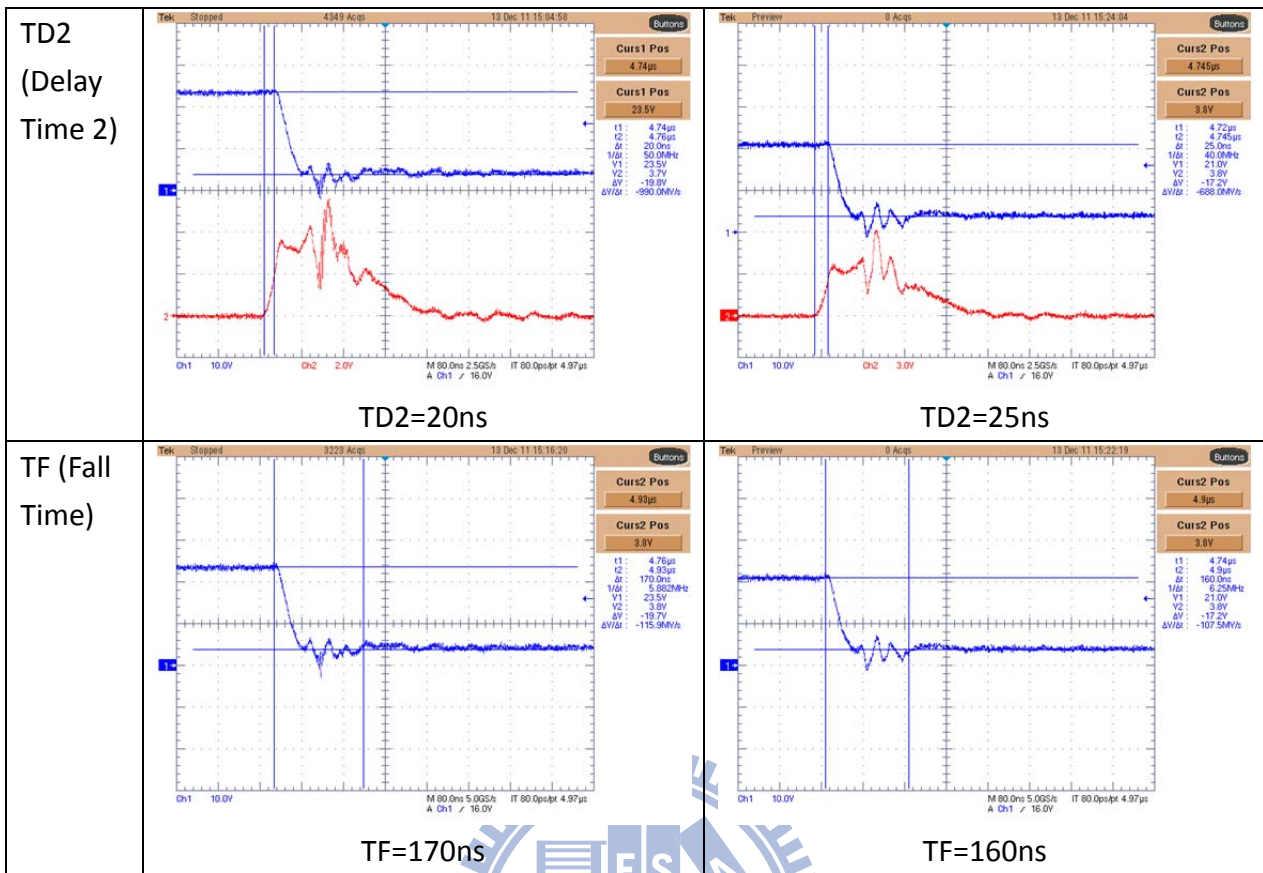
在上橋測試中，上升時間和安定時間都比下橋大上許多，不過兩種元件相比卻差異不大，RF3934 分別為 200ns 和 500ns。X5A13813970231 則分別為 200ns 和 480ns。

TD1 和 TD2 卻比下橋測試中小很多。其中 RF3934 的 TD1 為 40ns、TD2 為 20ns；X5A13813970131 的 TD1 為 36ns、TD2 為 25ns。下降時間上兩元件的表現差不多，RF3934 為 170ns；X5A13813970231 則為 160ns。

表 4.3 上橋驅動氮化鎵電晶體之暫態響應比較表







在分別比較 RF3934 及 X5A13813970231 的暫態響應後，發現兩功率元件的  
 切換表現差不多，但是 X5A13813970231 的導通電阻略大，是美中不足的地方。

# 第五章

## 結論與未來計畫

### 5.1 結論

本論文針對氮化鎵電晶體的特性，設計出一個完整的上下橋開極驅動電路並在 100kHz/24V 的條件下驗證其可正常驅動氮化鎵電晶體。

因為氮化鎵電晶體屬於空乏型電晶體，所以本研究在驅動端添加電容及二極體來產生負的  $V_{GS}$  來關閉氮化鎵電晶體。在上橋驅動電路中，使用自舉式電路提供功率元件穩定的開—源極電壓；再利用位準調節電路將邏輯訊號轉換成適當的控制訊號。為了提升此電路的效能，本研究設計一個門鎖電路，並與位準調節電路結合，減少其開啟的時間，以降低功率損耗。由於空乏型元件 Normally-on 的特性，導致自舉電容無法正常充電，本研究也設計出兩種啟動電路，藉此控制元件的啟動時間，使自舉電容有足夠的時間充電。

完成電路設計後，利用 HSPICE 分別模擬上下驅動電路的運作，驗證其可於 100kHz/24V 的條件下正常切換，再使用離散元件完成此驅動電路的實作並實際驅動兩種氮化鎵電晶體：RF3934 及 X5A13813970231，證明其可在 100kHz/24V 的條件下正常操作。最後再比較此兩種氮化鎵電晶體在切換時的暫態響應，發現此兩種電晶體的暫態響應差異不大，但是 X5A13813970231 的導通電阻及散熱表現皆略遜於 RF3934。

由模擬與實驗的波形顯示，使用此驅動電路可正常切換氮化鎵電晶體的開關狀態。

## 5.2 未來計畫

在未來工作上，以提升此電路的效率和操作頻率為主，所以如何降低其功率損耗是重要的課題。由之前的分析中，可以發現就算利用門鎖電路來減少高壓位準調節器的開啟時間，最主要的功率損耗還是發生在此結構上，而且門鎖電路也會造成時間延遲，將不利於高操作頻率的應用上，若能夠設計出節能又不需要門鎖電路的位準調節器，將能使驅動電路的整體表現提升一個等級。

此外，整合其它功能電路，如限制電流電路等，並製作 PCB 版或是 IC 的 Layout，不但可以提升氮化鎵電晶體的性能，也能減少許多不必要的寄生元件，提升驅動電路的效能。



## 參考資料

- [1] M. A. Khan, G. Simin, S. G. Pytel, A. Monti, E. Santi, and J. L. Hudgins, "New developments in gallium nitride and the impact on power electronics," in *Proc. IEEE Power Electron. Spec. Conf.*, Recife, Brazil, 2005, pp. 15–26.
- [2] N. Ikeda, S. Kaya, J. Li, Y. Sato, S. Kato, S. Yoshida, "High power AlGaN/GaN HFET with a high breakdown voltage of over 1.8 kV on 4 inch Si substrates and the suppression of current collapse," in *20th International Symposium on Power Semiconductor Devices and IC's*, May 18-22, 2008 Orlando, FL.
- [3] A. H. Jarndal, "Large-Signal Modeling of GaN Device for High Power Amplifier Design," *Ph. D Thesis*.
- [4] J. Dodge, "Power MOSFET Tutorial," *Applications Engineering Manager Advanced Power Technology*.
- [5] M. Hatano, N. Kunishio, H. Chikaoka, J. Yamazaki, Z. B. Makhzani, N. Yafune, K. Sakuno, S. Hashimoto, K. Akita, Y. Yamamoto, and M. Kuzuhara, "Comparative high-temperature DC characterization of HEMTs with GaN and AlGaN channel layers," *CS MANTECH Conference*, May 17th-20th, 2010, Portland, Oregon, USA.
- [6] N. Q. Zhang, "High voltage GaN HEMTs with low on-resistance for switching applications," *Ph.D Thesis*.
- [7] W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura, and T. Ogura, "High Breakdown Voltage Un-doped AlGaN/GaN Power HEMT on Sapphire Substrate and Its Demonstration for DC–DC Converter Application," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 51, NO. 11, NOVEMBER 2004.
- [8] "Three Phase Bridge MOSFET Power Module", *M.S.KENNEDY CORP., Application Note*.
- [9] L. Balogh, "Design and Application Guide for High Speed MOSFET Gate Drive Circuits," *Texas Instruments, Application Note*.
- [10] "HV Floating MOS-Gate Driver ICs", *International Rectifier, Application Note*.

- [11] “Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC,” *Fairchild, Application Note*.
- [12] 方志行, “閘極驅動電路,” *Motor Express*, 第 46 期, Sep. 24, 2003.
- [13] C.L. Pai, “Circuit for Driving a Depletion-type JFET,” *United Patent, US7116153*, Oct. 3, 2006.
- [14] B. Yang, J. Zhang and M. A. Briere, “Gate Driving Scheme for Depletion Mode Devices in Buck Converters”, *United Patent, US7839131*, Nov. 23, 2010.
- [15] A. Mihaila, F. Udrea, R. Azar and G. Brezeanu, “Analysis of Static and Dynamic Behavior of SiC and Si Devices Connected in Cascode Configuration”, *Semiconductor Conference, 2001. CAS 2001 Proceedings. International*.
- [16] Y. Chen, “Resonant gate drive techniques for power MOSFETs,” *M.S.thesis*.
- [17] H. Ballan, “High-voltage devices and circuits in standard CMOS technologies,” *Ph.D. Thesis*.
- [18] B. Wang, N. Tipirneni, M. Riva, A. Monti, G. Simin, E. Santi, “An Efficient High-Frequency Drive Circuit for GaN Power HFETs,” *IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 45, NO. 2, MARCH/APRIL 2009*.