

國立交通大學  
機械工程學系

碩士論文

研發微電組銲接與矽晶圓穿孔製程

應用於微系統封裝技術

**An Integrated Resistance Welding and TSV Process  
for Microsystems Packaging**

研究生：練瑞虔

指導教授：陳宗麟 博士

中華民國一百零一年一月

研發微電組銲接與矽晶圓穿孔製程

應用於微系統封裝技術

**An Integrated Resistance Welding and TSV Process  
for Microsystems Packaging**

研究生：練瑞虔

Student : Jui-Chien Lien

指導教授：陳宗麟 博士

Advisor : Dr. Tsung-Lin Chen

國立交通大學

機械工程學系

碩士論文

A Thesis

Submitted to Department of Mechanical Engineering

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Mechanical Engineering

January 2012

Hsinchu, Taiwan, Republic of China

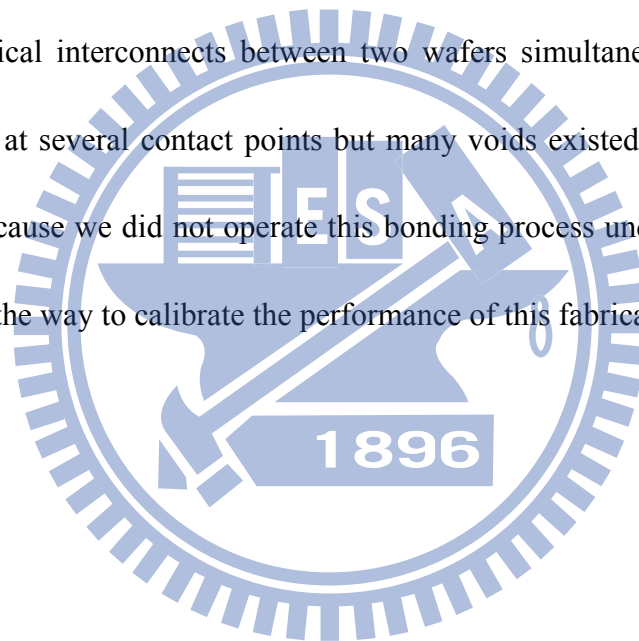
中華民國一百零一年一月

## Abstract

This paper proposes a novel wafer level packaging for integrated circuits (IC) and microelectromechanical system (MEMS) devices. In this method, two wafers were bonded by resistance welding with simultaneously through-silicon-via (TSV) connection and cavity sealing. In general, bonding techniques require two bonding surfaces to be flat to have intimate contact for bonding. If the surface is rough, it needs to be conditioned. Otherwise, the bonding temperature needs to be high to soften the

bonding material, which could damage the device materials such as aluminum in circuits. In a word, the surface roughness of the bonding surface is not preferred and extra care/cost should be paid for that. The proposed IC-MEMS packaging method has the following advantages. First, it does not require flat surface for bonding. Instead, it makes use of the surface roughness of TSV for resistance welding, which achieves transient liquid phase (TLP) for wafer bonding. Second, it is a local heating process but does not require pre-patterned micro-heaters. Thus, high-temperature bonding materials can be used for better bonding properties and no extra area is needed for the deployment of micro-heaters. Third, it can achieve wafer-level testing. This fabrication/bonding process is briefly described as follows. The thickness of bottom wafer is 525  $\mu\text{m}$  and formed through wafer trenches. The TSV is formed by the Nickel electroplating which completely refilled those trenches and is used as an electrical interconnect between two sides of the bottom wafer. Both on the top and bottom wafers, 5 $\mu\text{m}$ -Ni /2 $\mu\text{m}$ -Sn standouts are created and patterned as a bonding ring for bonding two wafers together

later on. Note that, those Ni/Sn films can be fabricated by cheap fabrication processes because the surface roughness is not critical. After that, two wafers are brought together and a constant voltage is applied to two contact pads, which can be accessed at the bottom side of the bottom wafer. The surface roughness introduces a large contact resistance to the circuit and completes the current loop. Thus, it creates a local heater at contact points. When the temperature of these contact points reach  $300^{\circ}\text{C}$ , the Ni-Sn TLP bonding happens, which seals the gap for bonding two wafers together and complete the electrical interconnects between two wafers simultaneously. The Ni-Sn bonding took place at several contact points but many voids existed. The existence of voids was likely because we did not operate this bonding process under vacuum. More experiments are on the way to calibrate the performance of this fabrication process.



## 中文摘要

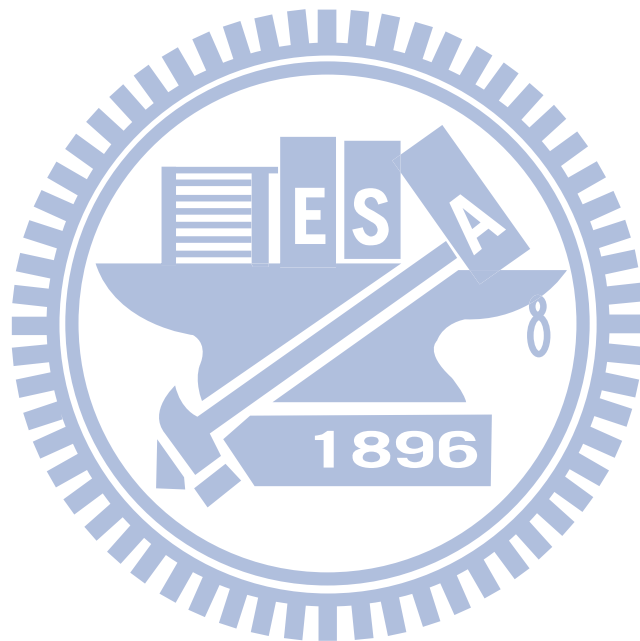
本論文利用電阻銲接的概念，將其應用於電子/微機電系統構裝技術上。其作法是在一晶圓上設計「接合環」(bonding ring)與 TSV (Through Silicon Via) 等金屬結構；在另一片設計晶圓上的金屬電極分佈，設計另一片晶圓上的金屬電極分佈，使得當這兩片晶圓相結合時，發生金屬/金屬接觸。由於金屬/金屬接觸面的接觸電阻高，因此可利用電阻銲接來做局部加熱接合環結構的金屬/金屬接觸面以及 TSV 結構的金屬/金屬接觸面，進而進行瞬間液相(TLP, Transient Liquid Phase)接合。透過接合環的接合可以完成兩片晶圓的氣密性接合；透過 TSV 的接合可以完成 IC 電路與 MEMS 元件電性的連結。接合環與 TSV 的接合可以設計成同時完成或是分開完成，待二者的接合完成後即完成了電子/微機電系統的封裝。惟若要同時完成氣密接合與 IC-MEMS 元件電性連結，在接合前接合環與 TSV 必須藉由金屬導線的定義使之連結成電路的串聯模式，在接合完成後，必須重新定義金屬導線，將接合環與 TSV 的電性分開，或是將不同的 TSV 之間的電性分開。

本論文研發此新技術的優點是：(1) 接合金屬的接觸面不需要平坦化、去氧化層、等特別處理。(2) 本作法屬於局部加熱，因此局部的接合溫度可以較高而不會損壞 IC 電路或是 MEMS 元件，所以接合金屬的選擇更具多樣性。(3) 本作法利用局部加熱方式進行接合，但是不需要在晶圓上製作微加熱器，可以節省晶圓面積。(4) 本作法可進行晶圓層級的封裝，且封裝完成後的電性輸入/輸出點皆在晶圓的外露面，因此可以進行晶圓層級的測試。

而本研究也重工在兩晶圓試片分別電鍍有 Ni(5  $\mu\text{m}$ )/Sn(3  $\mu\text{m}$ ) 作為環狀接合結構，在兩互相對準加壓後，透過 TSV 垂直式導線輸入固定電壓 3.5V，電流變化介

於 4~2A，在維持加熱 1hr 後可成功以局部加熱的方式進行瞬間液相接合，等待試片冷卻後，進而完成封裝，證實此封裝方式的可行性。

,



## 誌謝

在這兩年多的歲月裡，算是人生中的另一個體驗，很幸運地來到了交大機械所，藉著交大的資源，讓我獲益良多，尤其是問題的解決能力上，我相信在這兩年來的歷練必會有所增進。

首先得感謝我的爸媽，他們從大四得知我要轉念機械所開始，就一路默默地支持我，供應我生活上的所有需求，讓我毫無顧忌地做研究，還有大姊和二姊，總能適時地給予我鼓勵，而女友瓜瓜有時還會辛苦地從台北來陪我，他是我這兩年多來的快樂原動力。

接著得感謝我很幸運地遇到一群熱心助人的學長與帶來歡笑的學弟和同學們，而我想若當初若沒有胤哥的幫忙，不時地跟我討論，傳授他的經驗給我，我還不知要遇上多少的難題。

最後，一定得大力地感謝我的指導教授 陳宗麟老師，若不是老師當初不嫌棄我這備取上的學生，今天就無法在交大有這麼好的際遇，尤其得感謝他讓我參加國外研討會去增廣見聞的機會，且老師常常能在關鍵時給我實驗上的建議與鼓勵，在此致上最誠摯的謝意。

# 目錄

英文摘要.....	I
中文摘要.....	III
誌謝.....	V
目錄.....	VI
圖表目錄.....	IX
數學符號.....	X I
<b>第一章 緒論</b>	
<b>1.1 前言</b> .....	1
<b>1.2 封裝與晶圓接合文獻回顧</b> .....	2
1.2.1 陽極接合.....	3
1.2.2 融接接合.....	5
1.2.3 共晶接合.....	7
1.2.4 瞬間液相接合.....	7
<b>1.3 接合加熱方式介紹</b> .....	9
1.3.1 微加熱器加熱.....	10
1.3.2 渦電流局部加熱.....	11
<b>1.4 直通式矽晶圓穿孔</b> .....	12
<b>1.5 現有其他晶圓層級封裝</b> .....	14



1.6 研究動機與目標.....	16
<b>第二章 新式封裝技術與實驗流程設計.....</b>	<b>17</b>
2.1 電阻銲接局部加熱.....	17
2.2 結構設計與概念說明.....	18
2.2.1 氣密環與電性導通之設計.....	19
2.2.2 來回式垂直導線與同時完成氣密環及電性導通之設計.....	21
2.2 實驗流程設計.....	22
<b>第三章 實驗方法與操作.....</b>	<b>25</b>
3.1 TSV 製作.....	25
3.2 鎳電鍍.....	27
3.2.1 電流密度.....	28
3.2.2 鍍液溫度.....	28
3.2.3 攪拌方式.....	28
3.2.4 電鍍液酸鹼值.....	28
3.2.5 陽極種類及前處理.....	29
3.2.6 陰極鍍件.....	29
3.3 鎳深孔電鍍.....	30
3.4 錫電鍍.....	34
3.5 瞬間液相接合與局部加熱.....	35
<b>第四章 實驗結果與討論.....</b>	<b>38</b>
4.1 TSV 垂直導線製作.....	38

4.2 瞬間液相接合.....	39
第五章 結論與未來計畫.....	45
第六章 參考文獻.....	48



## 圖表目錄

圖 1.1 後製程式封裝.....	2
圖 1.2 (a)加速度計的後製程封裝方式(b)德州儀器的 DMD 封裝.....	3
圖 1.3 陽極接合的接合機制.....	4
圖 1.4 親水性融接接合機制流程圖.....	6
圖 1.5 TLP 接合機制流程圖.....	9
圖 1.6 微加熱器結構剖面圖.....	10
圖 1.7 微加熱器局部加熱之熱傳導圖.....	11
圖 1.8 以渦電流做局部性加熱示意圖.....	11
圖 1.9 封裝中的各種導線剖面圖 (a)側拉式導線(b)擴散式導線(c)垂直式導線.....	13
圖 1.10 Nguyen 所提出的 (a) TSV 電鍍方法 (b) 與實驗結果.....	14
圖 1.11 Nasiri Fabrication 流程圖.....	15
圖 2.1 電阻銲接原理示意圖.....	19
圖 2.2 封裝結構設計概念圖.....	19
圖 2.3 本實驗設計接合結構部分的(a)側剖面圖與 (b)俯視圖.....	20
圖 2.4 實驗成品來回是垂直導線示意圖.....	21
圖 2.5 同時完成氣密環與電性導通之設計的背面導線與電流走向圖.....	21
圖 2.6 實驗設計流程圖.....	24
圖 3.1 TSV 製程流程圖.....	25
圖 3.2 TSV 側剖面 SEM 圖.....	26

圖 3.3 鍍設備示意圖.....	27
圖 3.4 以蒸鍍覆蓋孔洞製作種子層之示意圖.....	30
圖 3.5 電鍍失敗(a) 示意圖(b) SEM 側剖面圖.....	31
圖 3.6 金屬黏著與 bottom-up 填孔方法示意圖.....	32
圖 3.7 TSV 電鍍試片製備示意圖.....	33
圖 3.8 Ni/Sn 接合之結構側剖面圖.....	35
圖 3.9 電鍍錫表面粗度圖.....	36
圖 3.10 電鍍錫側視 SEM 圖.....	36
圖 3.11 電流走向圖.....	37
圖 3.12 實驗操作示意圖.....	37
圖 4.1 TSV 電鍍完成圖.....	38
圖 4.2 TLP 接合實驗電流/電阻隨時間變化圖.....	39
圖 4.3 TLP 接合的 SEM 側剖面圖.....	40
圖 4.4 Bonding Layer 成分分析圖.....	41
圖 4.5 接合層不同位置的 EDS 成分分析圖.....	44
圖 4.6 TLP 接合試片破裂圖.....	44
圖 4.7 不同寬度接合環的 TLP 接合試片 (左上) 200 $\mu\text{m}$ (右上) 250 $\mu\text{m}$ (下) 300 $\mu\text{m}$ .....	44
圖 5.1 未來改善製程流程圖.....	47

表 1.1 共晶接合接合材料表.....	7
表 1.2 TLP 接合材料表.....	9
表 3.1 感應耦合電漿離子蝕刻系統規格與製程參數表.....	26
表 3.2 鎳電鍍液成分表.....	28
表 3.3 鎳電鍍操作條件表.....	29
表 3.4 錫電鍍液成分與操作參數表.....	33

變數符號

---

V	: 電壓(V)
I	: 電流(A)
R	: 電阻( $\Omega$ )
P	: 功率(W)
Q	: 焦耳(J)
T	: 時間(sec.)
Ra	: 平均粗糙度( $\mu\text{m}$ )
L	: 量測長度( $\mu\text{m}$ )

---



# 第一章 緒論

## 1.1 前言

自從積體電路(Integrated Electronic, 簡稱 IC)蓬勃發展以來，帶動電子產品日新月異，趨向以輕薄短小與快速便利為宗旨，而微機電系統(Micro-Electron-Mechanical System, 簡稱 MEMS)技術起源於對積體電路的研究，當積體電路製程技術日趨成熟後，微機電系統始開始蓬勃發展，大幅提升微機電元件製作的可行性，其發展理念在於如何將電子電路微小化，並且結合光學、電子、電機、生醫、機械、通訊、材料、物理及化學等多種不同領域的知識技術，是一跨領域整合的科技。

不論 IC 元件或是 MEMS 元件，皆需要經過封裝(Packaging)後才能增加使用壽命，所謂的封裝是指將裝置中的核心結構體組合起來，封裝的作用在於保護脆弱的 IC 元件或 MEMS 元件免於受到外界環境的侵害，並負起機械支撐與訊號輸入的責任，而本研究所研發的新封裝技術，不論是 IC 元件或是 MEMS 元件的封裝，甚至是 IC-MEMS 整合封裝，皆可應用本研究所提出的方法。

本研究將運用電阻銲接(Resistance welding)的原理做局部性加熱(Localized Heating)，結合瞬間液相接合(Transient Liquid Phase Bonding, TLP bonding)技術，並配合穿透矽晶圓深孔(Through Silicon Via, TSV)填滿鎳金屬作為垂直式導線，能在晶圓層級(Wafer Level)下進行封裝，接合結構的金屬薄膜可不需先經過平坦化處理即可進行接合，以此新封裝方法可以降低封裝製作成本，且因使用局部加熱與瞬間液相接合技術，能在不傷害元件的溫度下完成封裝，正是本研究的一大優點。

## 1.2 封裝與晶圓接合文獻回顧

MEMS 元件由於輸出訊號小，因此與 IC 元件的整合技術將直接影響 MEMS 元件的性能響應。目前最具競爭力的技術仍是將 MEMS 元件與 IC 元件分別製作於兩片晶圓上，再透過封裝的製程技術將 MEMS 元件與 IC 元件加以整合。目前此一關鍵技術（專利）仍掌握在少數製作 MEMS 元件的大廠上，對於國內發展高性能微機電系統相當不利，更遑論封裝測的成本即占整個微機電系統（微感測器）的 50~90%。

而現今商品化的 MEMS 元件產品通常使用後製程式的封裝，即是將 MEMS 元件製作完成後，將每一塊單獨元件分離，再利用 IC 的後製成封裝方式封裝元件，如圖 1.1[ 1 ]所示，包含許多商品化的加速度計如圖 1.2(a)[ 1 ]或是德州儀器的 DMD(Digital Mirror Device)如圖 1.2(b) [ 1 ]，皆事利用此方法封裝 MEMS 元件，但因為封裝在晶片層級(Chip scale)，但花費較為昂貴。

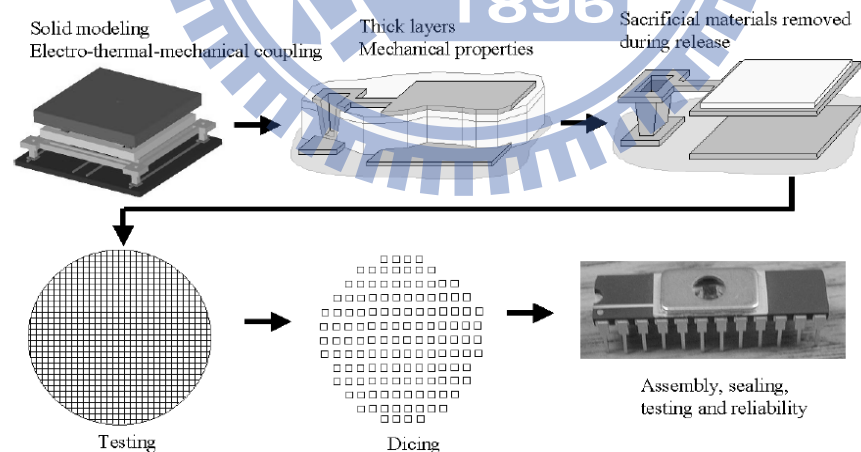
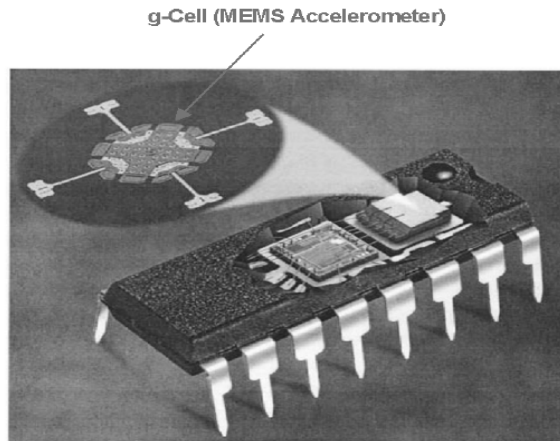
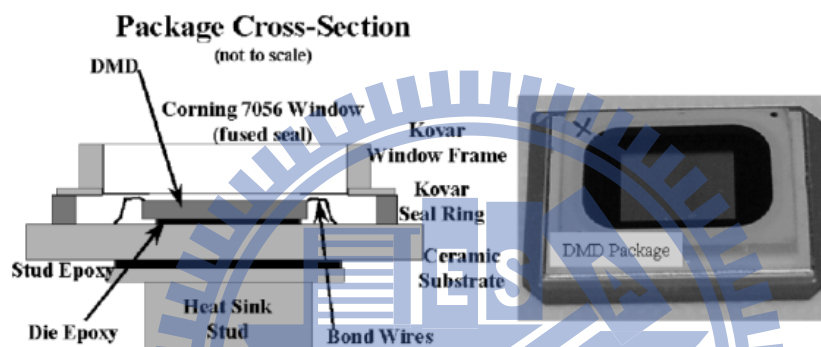


圖 1.1 後製程式封裝



(a)



(b)

圖 1.2 (a)加速度計的後製程封裝方式(b)德州儀器的 DMD 封裝

至於目前提出晶圓層級封裝(Wafer level packaging)的概念，其方法是利用晶圓接合(Wafer Bonding)，即在晶圓層級封裝好元件，再切割成晶片，如此可省時且降低製作成本，而常見的晶圓接合方式有玻璃與矽晶圓直接接合的陽極接合(Anodic Bonding)，以及矽晶圓對矽晶圓或是矽晶圓對二氧化矽的高溫晶圓融合接合(Fusion Bonding)，或是特定金屬間的共晶接合(Eutectic Bonding)等，以下將分別介紹這三種與本論文所使用的接合方式。

### 1.2.1 陽極接合 (Anodic Bonding)

陽極接合是 1969 年由前人 Wallis 與 Powerantzg 所發現[ 2 ]，在金屬陽極與玻璃間施加一靜電場，可以讓其在低於一般熱接合的溫度下，產生很強的接合。此



種接合是在矽-玻璃介面形成  $\text{SiO}_2$  的強鍵結，且氣密性佳，强度高；由於接合在高於室溫的情況下進行，因此玻璃的熱膨脹係數必須盡量與矽晶圓配合，減少應力及翹曲的現象，廣受大家使用的為康寧公司的 Pyrex 7740 玻璃，因與矽晶圓有非常接近的熱膨脹係數，而陽極接合其接合機制如圖 1.3，以含鈉(Na)的玻璃與矽接合，陽極的反應最終形成強的  $\text{SiO}_2$  鍵結，但其過程可能是受到水氣的作用產生  $\text{SiO}_2$ ，如(1)式[ 2 ]：



但相似的機構也可能發生於 Pyrex-Si



玻璃成分中的  $\text{Na}_2\text{O}$  在陽極也被氧化：



鈉離子由於電廠的吸引而擴散到陰極被還原：

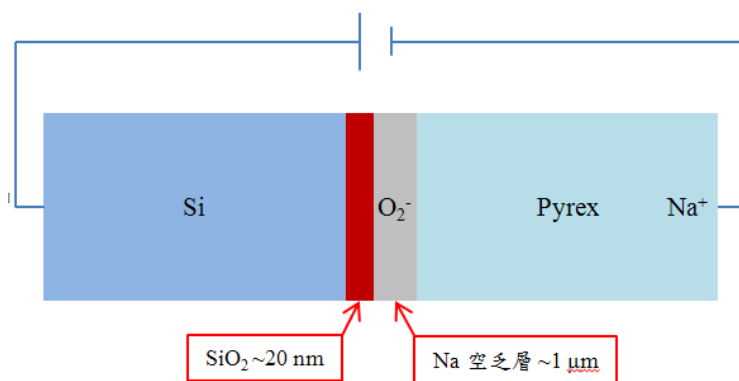


圖 1.3 陽極接合的接合機制

但若在接面處有一個階高(Step)或是顆粒(particle)殘留，會影響其接合氣密性，因此接合表面若不清潔或未經過處理，都會影響接合好壞；雖然其操作溫度介於300~500°C間，玻璃在500~600°C會軟化可稍微變形，對稍微不規則或粗糙表面亦可接合，但由於某些原件上以鋁(Al)作為金屬導線，接合溫度不可高過450°C，因此若需低溫接合，則必須經過表面的處理，乾淨而平滑的表面於低溫下也是可進行接合。

### 1.2.2 融接接合 (Fusion Bonding)

融接接合(Fusion Bonding)是將兩片欲接合的矽晶圓經過潔淨處理後，利用旋乾(spin dry)的過程讓表面保持適量的水分子薄膜，然後再直接面對面接合(face-to-face bonding)，再將接合的晶圓至於爐管中做高溫退火(annealing)處理，使兩表面間的原子能互相反應形成化學鍵結，而讓此兩晶圓片完全接合；而依據水分子吸附的狀態，可分為親水性(hydrophilic)與疏水性(hydrophobic)兩種接合狀態[3、4]。

#### (1)親水性接合

藉由晶圓表面形成的含水薄氧化膜，及自然氧化層(native oxide)，致使晶圓表面呈親水性，因此易於吸附水分子，然後在兩接合面間形成氫鍵(Hydrogen bond)做初步的接合；接著將晶圓片置入爐管中加熱進行高溫退火處理，經過充分退火後，兩表面間的水分子擴散逸出接合表面，讓兩晶圓接合面縮短互相靠近，而當殘留的原子(如氧原子)，靠近於一臨界距離，讓圍繞原子的電子雲便能混成鍵結軌域，形成化學鍵結，進而融合兩接合表形成接合介面，過程如圖 1.4。

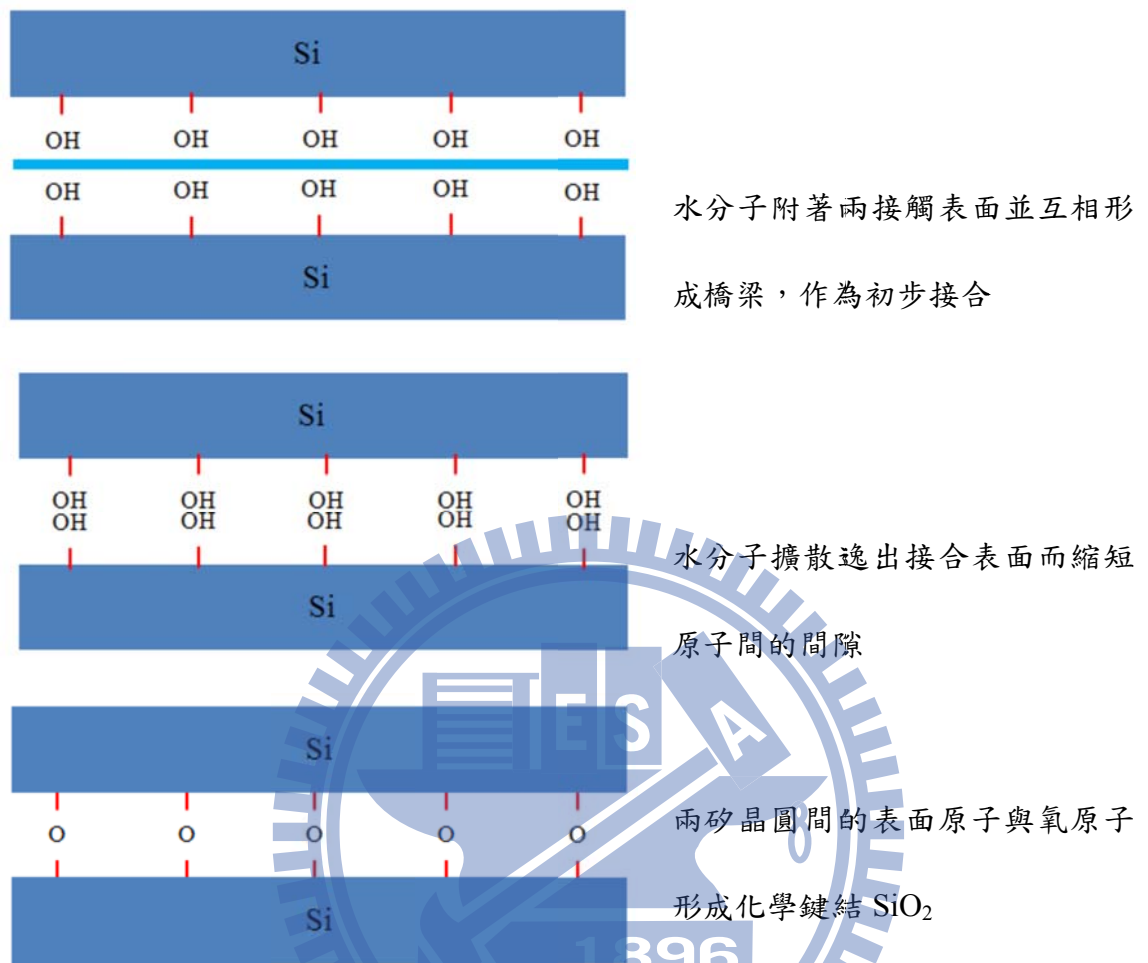


圖 1.4 親水性融接接合機制流程圖

## (2) 疏水性接合

利用晶圓經過氫氟酸(HF)洗淨過，去除表面氧化層而使表面形成疏水性介面，藉由氫離子因能與矽原子相吸產生弱偏極化的 Si-H 鍵或是強偏極化的 Si-F 鍵，再與另一片晶圓表面的 Si-H 鍵或 Si-F 鍵以 H-F 鍵結做為橋樑連結，形成初步接合結果，接著同親水性接合的方式以爐管進行高溫退火處理，雖初期鍵結較親水性接合來的弱，但經過退火處理後鍵結增加率反比親水性接合來的大[5]。

### 1.2.3 共晶接合 (Eutectic Bonding)

共晶接合是利用金屬-矽相圖中的共晶點，加溫形成矽化物當作中間層，或是金屬-金屬相圖中的共晶點，加溫形成中間化合物當作中間層，而將兩片晶圓接和的方法，而此方法材料可在較相對低溫的環境下接合。例如：在一片矽晶片上鍍上金的薄膜，與另一片矽晶片加熱接合時，在 363°C 的環境下進行接合，此溫度甚低於金或矽各自的熔點，可形成金-矽的共晶熔點[ 6 ]。而對錫金(Au-20wt%Sn)兩金屬可以在 300°C 的溫度下將矽和氮化鎵成功接合，並且成功製作完成封裝 [ 7 ]。

表 1.1 共晶接合接合材料表

金屬組合	共晶點溫度
Au-Sn	278 °C
Au-Si	363°C
Pd-Sn	183°C
Al-Ge	424 °C
In-Sn	120 °C
Sn-Pd	183 °C

以上所列共晶結合之例子，因溫度皆低於 400°C，適合在 Post-CMOS 下做製程。

### 1.2.4 瞬間液相接合 (Transient liquid phase bonding)

TLP(Transient Liquid Phase)接合是一個在許多金屬系統的銲接技術上使用上歷史悠久的方法，並且常用於航太科技與半導體產業中，TLP接合結構強健，且不

須參入任何助鋸劑[ 8 ]；TLP接合的原理，是利用一個三明治結構，中間層為一低熔點的金屬，而外面的夾層為高熔點的金屬，將此結構使以正向壓力並升溫超過中間金屬層的熔點維持一段時間[ 8 ]，經過擴散與固化後完成TLP接合；詳細過程機制如圖1.5 [ 9 ]，以A、B兩種金屬做TLP接合，A金屬為高熔點金屬作為基材，B金屬為低熔點金屬當作熔質，當兩金屬形成三明治結構，施加正向壓力並逐漸升溫加熱至目標溫度 $T_B$ ， $T_B$ 高於B金屬熔點，B金屬開始融熔，此時為Stage 1，此階段時A金屬與B金屬兩者介面間已經開始互相擴散，因為互相擴散的關係，B金屬熔入A金屬中，A金屬內因含有B金屬比例增加，導致熔點降低，融熔狀態的金屬開始擴大，此時為Stage 2，當B濃度達最大值 $C_L$ 時，液態相(Liquid phase)的金屬層將擴張到最大厚度；接著進入Stage 3，在此階段金屬開始等溫凝固(isothermal solidification)，因兩金屬介面因為金屬互相擴散，隨著時間增加，使B金屬在A金屬中的濃度降低，所以熔點開始升高，此時原本液化區將開始凝固，直到所有的液態相金屬層完全凝固；最後進入Stage 4，待金屬層完全凝固後，繼續維持溫度在 $T_B$ 下，接合區域的兩金屬開始均質化(*homogenization*)，金屬間持續擴散至B金屬的溶解濃度持續將低到最低濃度 $C_a$ 。TLP接合所形成的鍵結會因此可以耐較高的溫度，例如本研究使用鎳(Nickel)與錫(Tin)兩種金屬，錫熔點僅 $232^{\circ}\text{C}$ ，但經過與鎳進行TLP接合，若要再次將此鍵結融熔，必須將溫度提高至 $400^{\circ}\text{C}$ 以上[ 10、11 ]，此優點有助於之後的高溫製程，而TLP接合適用於其他金屬，如：AuSn、AgIn等(如表1.2)，而其再次融化溫度都較高於其接合時的操作溫度。

表1.2 TLP接合材料表[ 10 ]

Material System	Bonding Process	Remelt Temp.
Copper - Tin	4 min at 280 °C	> 415 °C
Silver - Tin	60 min at 250 °C	> 600 °C
Silver - Indium	120 min at 175 °C	> 880 °C
Gold - Tin	15 min at 260 °C	> 278 °C
Gold - Indium	0.5 min at 200 °C	> 495 °C
Nickel - Tin	6 min at 300 °C	> 400 °C

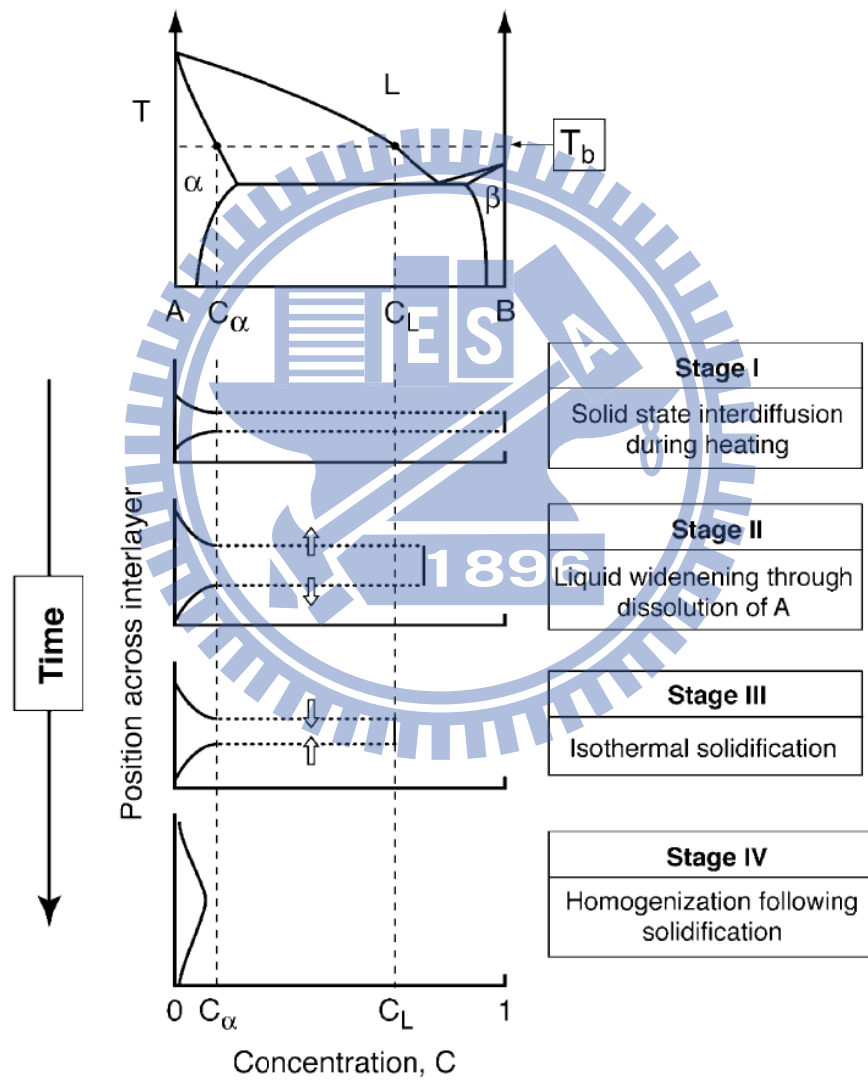


圖 1.5 TLP 接合機制流程圖[ 9 ]

### 1.3 接合加熱方式介紹

晶圓的接合時，多需在高溫的環境下操作，為了將溫度升高，可以分為環境加熱(Global Heating)與局部性加熱(Localized Heating)等兩種升溫方式；環境加熱即是直截將試片置入一真空腔體中，將腔體內部溫度升高，對整個試片升溫至目標溫度，此加熱方式雖方便，但若原件上有鋁製導線，必會受限不能升溫超過 450 °C，但若以局部性加熱的方式，則可解決此問題，且加熱溫度可有大幅度的變化，讓製程更具彈性，以下將逐一介紹各種局部加熱方式。

#### 1.3.1 微加熱器加熱

由前人 Cheng-Yu Ting 團隊所提出的局部加熱(Localized Heating)接合方式 [ 12 ]，有別於環境加熱，其團隊以多晶矽導線當作為加熱器(如圖 1.6)，對 Al (2  $\mu\text{m}$ )/Si (0.5  $\mu\text{m}$ )與玻璃的結構局部加熱，以進行融接接合(Fusion Bonding)，通電流後可局部加熱至 1300°C，而距離為加熱器 15  $\mu\text{m}$  處溫度僅僅上升到 40°C(如圖 1.7)，有效解決溫度上的限制。

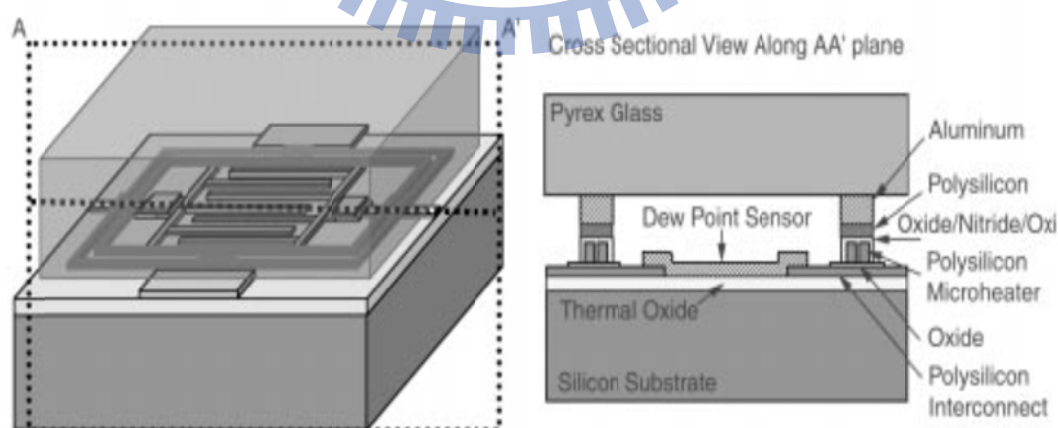


圖 1.6 微加熱器結構剖面圖[ 12 ]



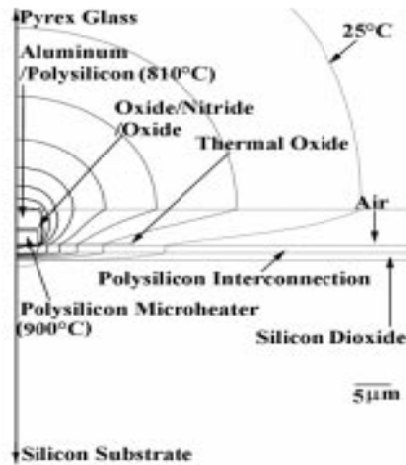


圖 1.7 微加熱器局部加熱之熱傳導圖[12]

### 1.3.2 渦電流局部加熱

又如 M. X. Chen 團隊所研發渦電流(Eddy Current)對晶圓上所製作的接合環 (bonding ring)結構做局部加熱(如圖.)[ 13 ]，藉由磁場變化使封閉金屬圈升溫，可讓接合環快速升溫已達金屬接合溫度，而其他開放式的金屬結構或導線接不會受到影響，但若是元件中有環狀結構，則勢必會受到影響，因此元件結構設計上會有所限制。

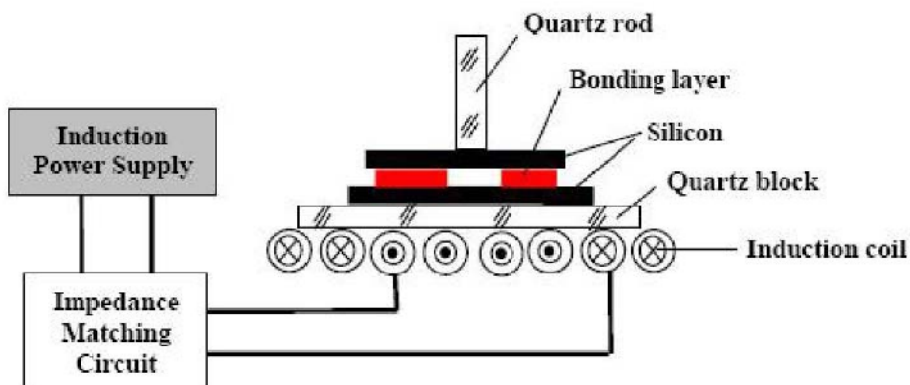
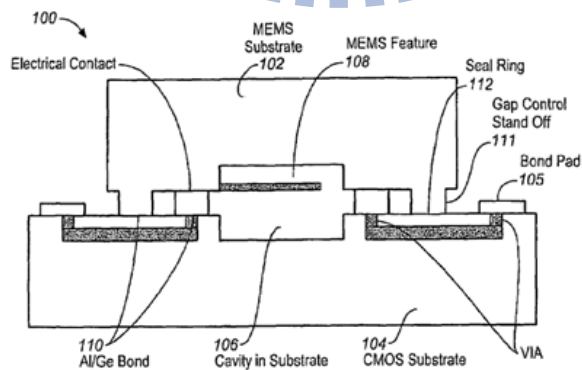
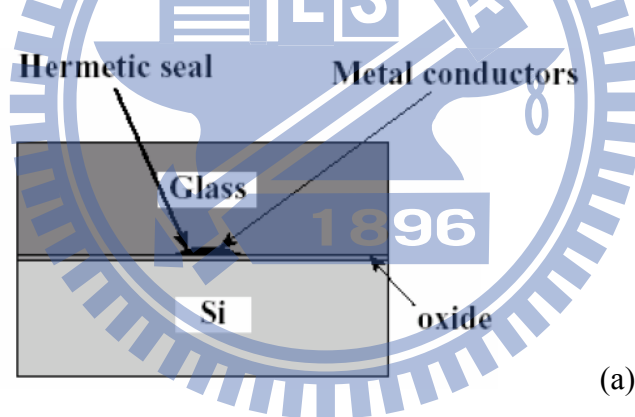


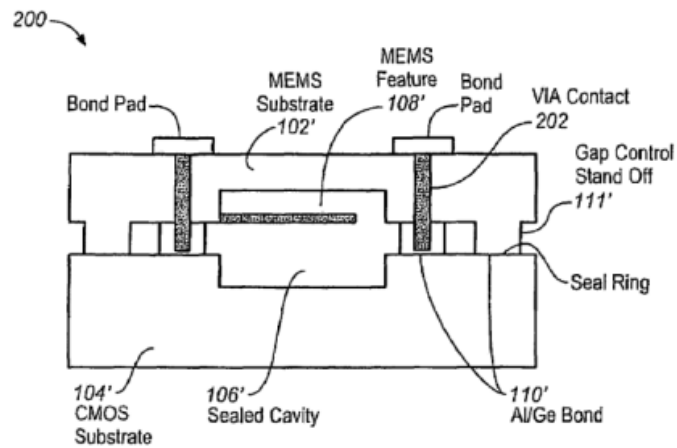
圖 1.8 以渦電流做局部性加熱示意圖 [ 13 ]



#### 1.4 直通式矽晶圓穿孔(Through Silicon Via)

作為晶圓層級的接合方式，在晶圓都覆蓋住的情況下，必須建立一導線 (feedthrough)能從外側施給電壓電流，因此，本研究又再結合以直通式矽晶圓穿孔 (Through Silicon Via, 簡稱 TSV)製作出垂直式導線(Vertical feedthrough)，以連結外部與封裝的內部空間，而此垂直式導線除了可以施給電壓電流做晶圓接合外，也能藉此導線對內部元件作量測；而 MEMS 元件與 IC 元件的封裝，布景需給予元件是當的支撐與保護外，亦需有傳輸序號的能力，因此必須拉出導線(feedthrough)跨過接合的區域，常用的導線方式有：側拉式導線(Lateral feedthrough)、擴散式導線(Diffusion feedthrough)與上述所提及的垂直式導線(Vertical feedthrough)，如圖 1.9 所示，





(c)

### 1.9 封裝中的各種導線剖面圖

(a) 側拉式導線[ 14 ] (b) 擴散式導線[ 15 ] (c) 垂直式導線[ 15 ]

側拉式導線常用於半導體製程中，常以多晶矽(Polysilicon)或是金屬薄膜等，但此導線周圍必須沉積絕緣層以免短路或是線路受損，但導線高度有一定限制，否則無法作氣密性封裝；而擴散式導線則藉由 N-type 或 P-type silicon 藉由離子佈植的方式定義出 P-diffusion 或 N-diffusion 層，藉此 P-N junction 來傳出電訊號，五方式雖無線路厚度限制，但不可壁面會有漏電流(Leakage current)產生；而垂直式導線可藉由 DRIE(deep-reactive-ion-etching)技術蝕刻出 TSV，再以電度的方式將 TSV 填滿金屬作為的垂直式導線，以此導線拉至晶圓背面，可不須跨過封裝區域，也不會造成氣密封裝失敗。

有關垂直式導線的製作，如前人 Nguyen 等人所提出有別於傳統的的方，可有效作出氣密式的垂直式導線如圖 1.10 [ 16 ]，Nguyen 等人所做的以銅(Copper)作為電

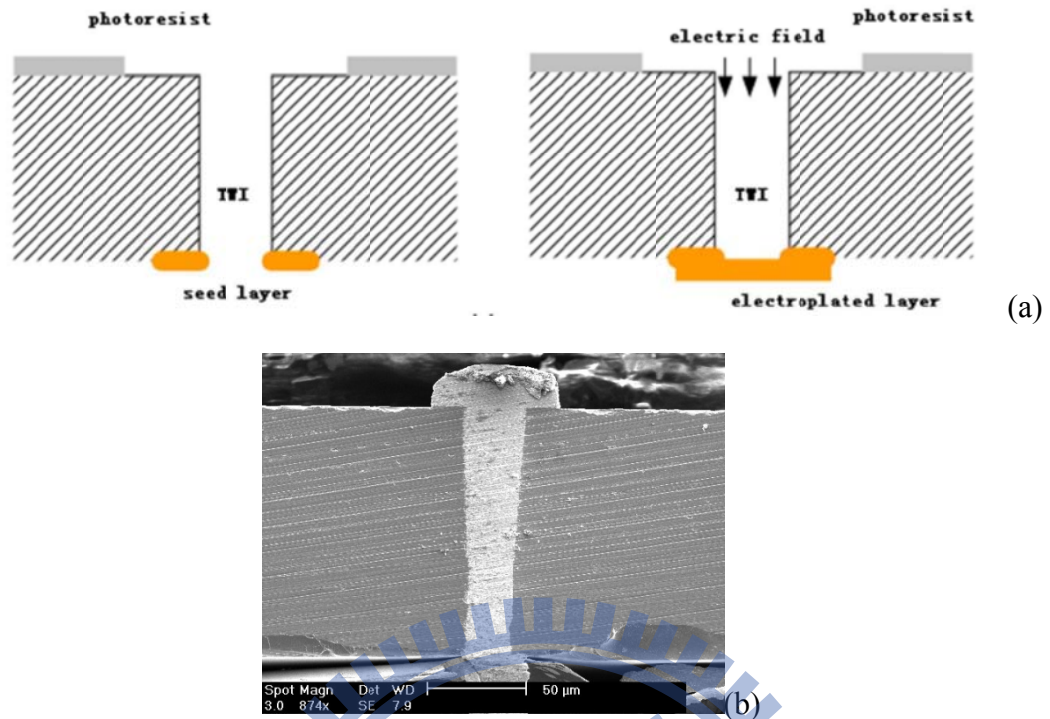


圖 1.10 Nguyen 所提出的 (a) TSV 電鍍方法 [16] (b) 與實驗結果 [16]

鍍材料，而本研究則以鎳(Nickel)當作電鍍材料，並也能成功製作出垂直式導線。

### 1.5 現有其他晶圓層級封裝(Wafer level packaging)介紹

封裝時進行接合的溫度皆高於  $450^{\circ}\text{C}$ ，若 IC 元件或是 MEMS 元件上有鋁金屬導線，則會造成元件損毀，其中僅有共晶接合可用接合溫度低的金屬進行低溫的接合而不會傷害元件，目前最常見的是由 Nasiri 的專利作法 (Steven S. Nasiri, 2005) [17]，是以升高環境溫度使金屬發生共晶接合來完成晶圓接合納西里製造技術 (Nasiri Fabrication) 是由 InvenSense Inc. 公司所擁有的技術 (如圖.1.11)，此技術克服許多當今微感測器封裝上所會遇到的問題，其中關鍵在於多用一片封蓋晶圓 (Cap Wafer) 強化 MEMS 晶圓結構以便將 MEMS 晶圓磨薄，接合上使用的共晶材料為鋁 (Al) 及鍺 (Ge) 金屬，此兩金屬在  $424^{\circ}\text{C}$  時會進行共晶反應，在兩金屬相接觸

的介面上形成一層穩固的中間層做連結，因為 70%Al-30%Ge 的所產生的金屬共晶產物具有良好的導電性，因此此技術可作為 MEMS 晶圓與 IC 晶圓間的導電介面，又可同時提供 MEMS 元件完全的氣密環境封裝且符合 CMOS 製程。

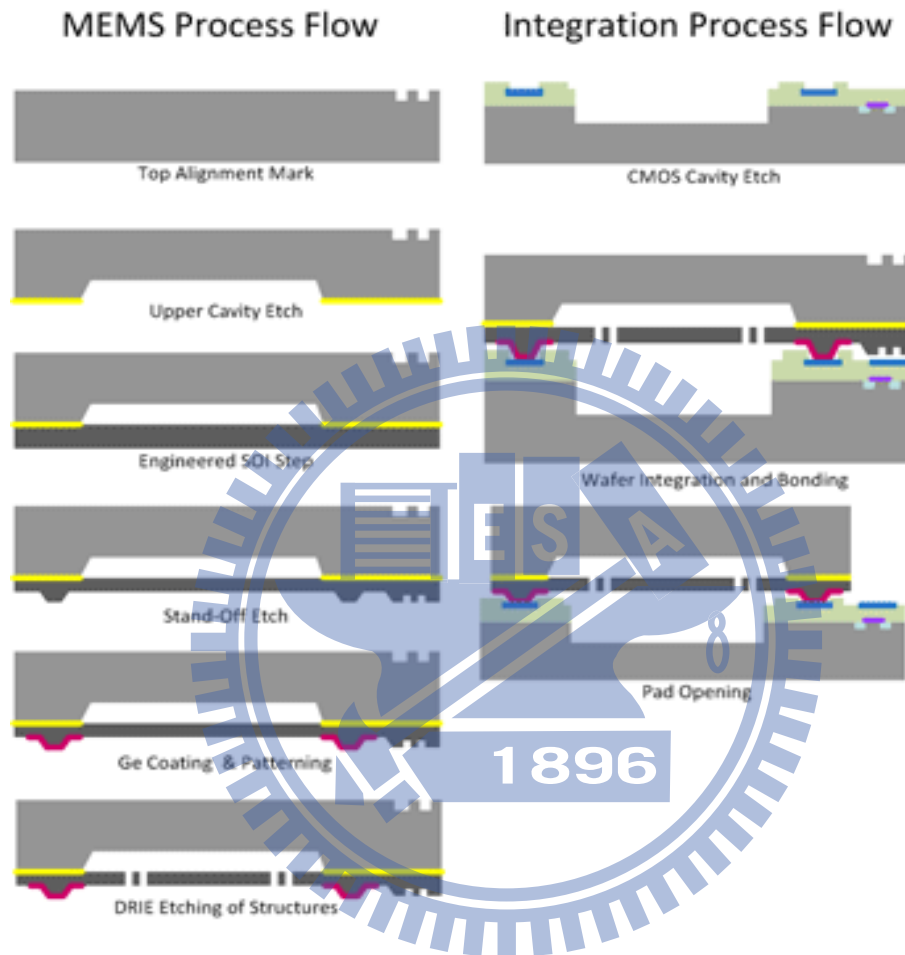


圖 1.11 Nasiri Fabrication 流程圖 [17]

然而，Nasiri Fabrication 的加熱的方式是使用環境加熱的方式(Global Heating)，因此也會受限於高溫環境的操作會影響 IC 或 MEMS 元件上的鋁製線路；而又如 Cheng-Yu Ting 團隊所提出的局部加熱(Localized Heating)接合方式，有別於環境加熱，其團隊以多晶矽導線當作為加熱器(如圖 1.6)，對 Al (2  $\mu\text{m}$ )/Si (0.5  $\mu\text{m}$ )與玻璃的結構局部加熱，以進行融接接合(Fusion Bonding)，而 M. X. Chen 團隊所研發渦

電流(Eddy Current)局部性加熱也都可有效解決溫度上的限制；但上述所提到的接合方式，都需經過表面平坦化處理，才能進行接合，而本研究所提出的方法反將利用表面的粗糙作為局部加熱的微加熱器，而此正是利用電阻銲接的原理，由金屬-金屬間接面的不平整，因接面處的電阻值高，通以電壓電流可快速升溫，進行瞬間液相接合(Transient Liquid Phase bonding)，可免去另行製作微加熱器，且元件結構設計不受限制，以此方式進行晶圓接合，不但可以局部加熱的方式進行加熱，有別於環境加熱的方式，在可大幅減少加熱溫度與材料選擇上的限制，而本研究又能省去接合表面處裡的前置步驟，可省時且降低成本。

因此，本研究是整合電阻銲接、瞬間液相接合與 TSV 垂直式導線作為一全新的 MEMS-IC 封裝方法。

## 1.6 研究動機與目標

由於目前所用的封裝方式高成本，且特有專利技術被掌握在少數大廠手上，因此設計一套新的 MEMS-IC 元件封裝方法，並符合目前做晶圓層積封裝的趨勢，希望有助於未來封裝技術的發展，以貢獻一己之力；本論文研究目標，式初步將此套封裝技術做出初步成果，並驗證其可行性，以利後人能在此技術上做更深入的研究。

## 第二章 新式封裝技術與實驗流程設計

本章將詳細討論本論文的總體架構，於第一部分先介紹電阻銲接原理與所研發的新封裝接合技術中所使用的 TLP(transient Liquid Phase)接合方式，在於第二部分詳細討論實驗流程的設計與製程整合。

### 2.1 電阻銲接原理應用

一般電阻銲接的定義為將兩個或多個金屬工件表面接觸時，在彼此接觸面上會產生接觸電阻，而在這些金屬中通過電流，根據焦耳定律，接觸電阻大的部分會發熱，當達到材料熔點時，即將接觸點附近的金屬熔融，降低電流待冷卻後形成接合[18]，如圖 2.1。一般來說，電阻銲是一種高效、無污染的銲接工藝，銲接過程中需要產生足夠的熱量使部分金屬形成熔融狀態，且在銲接的過程中必須持續施加接觸壓力；在傳統的電阻銲接過程中，其中的電阻值主要與材料電阻率、工件的表面狀態、施加壓力，以及銲接設備的電極材料、尺寸及形狀等因素有關；銲接過程中產生的熱的多寡，根據式(6)可知，會受到電流、電阻與時間所影響。

$$Q = I^2Rt = V^2t/R \quad (6)$$

進行電阻銲主要可分為三個階段，首先為預壓階段，施加適當的壓力使得兩工件在接觸面緊壓接觸，接著通予電流進入銲接階段，電流逐漸增大使得接觸面因產生焦耳熱而使材料互相熔融，銲接完成後，為壓力維持與釋放階段，此階段時序施壓，並且降低電流讓工件冷卻固化，形成足夠強度後才釋放銲接完成的工件。



本研究的接合技術，是將以局部加熱的方式對金屬加熱進行瞬間液相接合，局部加熱的方法是利用一般銲接技術中常用的電阻銲接的原理，將利用兩金屬接觸面的表面不平整，因此當接觸時，必會形成許多點對點的接觸，在這些點的電阻值也會較高，根據式(6)、(7)

$$P = I^2 R = IV \quad (7)$$

若施給電流因接觸表面在整個迴路中電阻值最大，表面溫度也會隨之升高，藉此對接合的兩金屬接合結構進行局部加熱，以達到接合的目的。

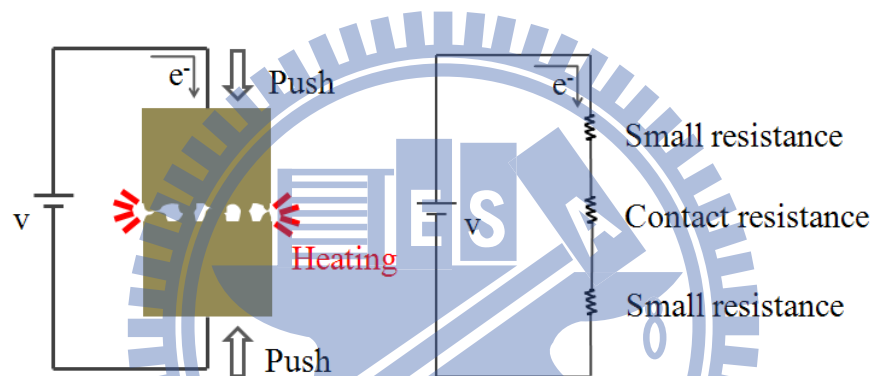


圖 2.1 電阻銲接原理示意圖

## 2.2 結構設計與概念說明

由於在晶圓層級(wafer level packaging, WLP)下的封裝，無論是 IC 元件或是 MEMS 元件，再被以晶圓覆蓋後，即與外界環境隔絕，所以需要作出連結內外的導線來對元件進行量測或是電性訊號的輸出/輸入，而一般的封裝會以製作側拉式導線居多，在晶片層級下，為了讓導線裸露，則是必須一顆顆元件作封蓋，然後再做晶圓切割，較為耗時且成本高，但製作側拉式導線卻又需將被覆蓋住的晶圓蝕刻後才能裸露出，如同前人的 Nasiri Fabrication；再者，一般製成均是分別將 IC

元件與 MEMS 元件各自封裝好後，再打線互相作電路訊號的連接整合，成本自然較高，而本研究所設計的是以直通式矽晶圓穿孔(TSV)作為垂直式導線，可直接與外部環境連接，並且設計再做晶圓接合時，也能直接做出 IC 晶圓與 MEMS 晶圓間的電性連接，無須分開製作再行整合，可省時且減少成本。

### 2.2.1 氣密環與電性導通之設計

本實驗所設計的接合結構示意圖如圖 2.2，在本實驗中，採用鎳與錫兩金屬來進行接合，設計一環狀結構(如圖 2.3)，將欲封裝的元件包覆於內，並在可其中製作 IC 晶圓與 MEMS 晶圓間的電性連接垂直導線。

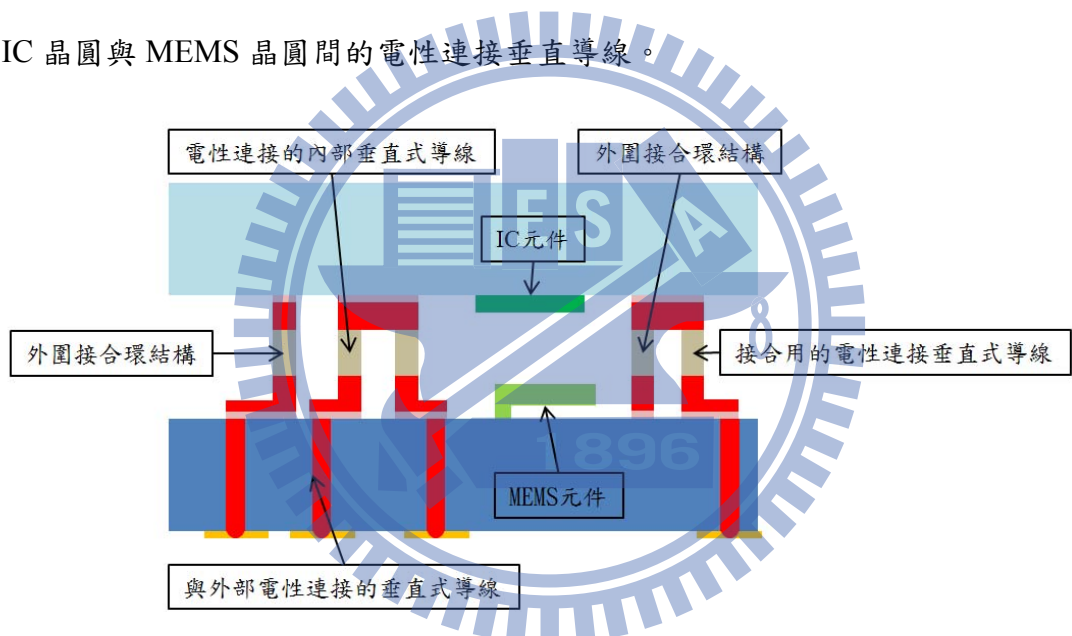
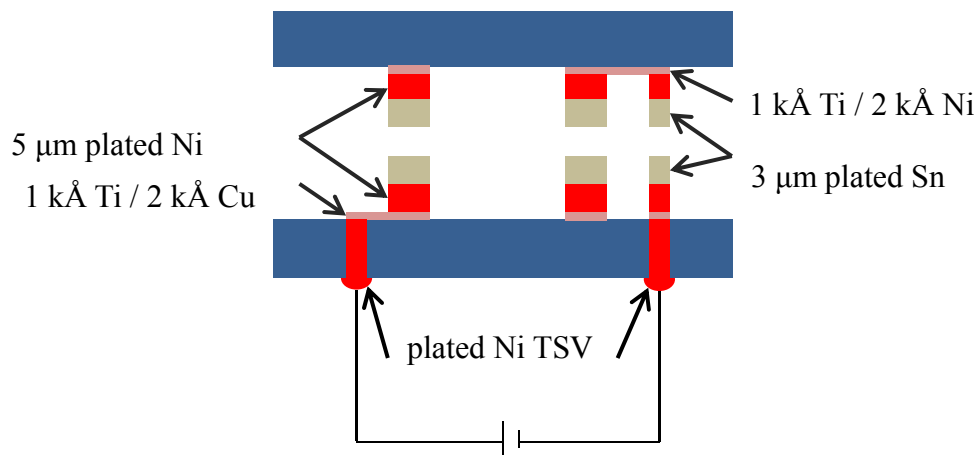


圖 2.2 封裝結構設計概念圖





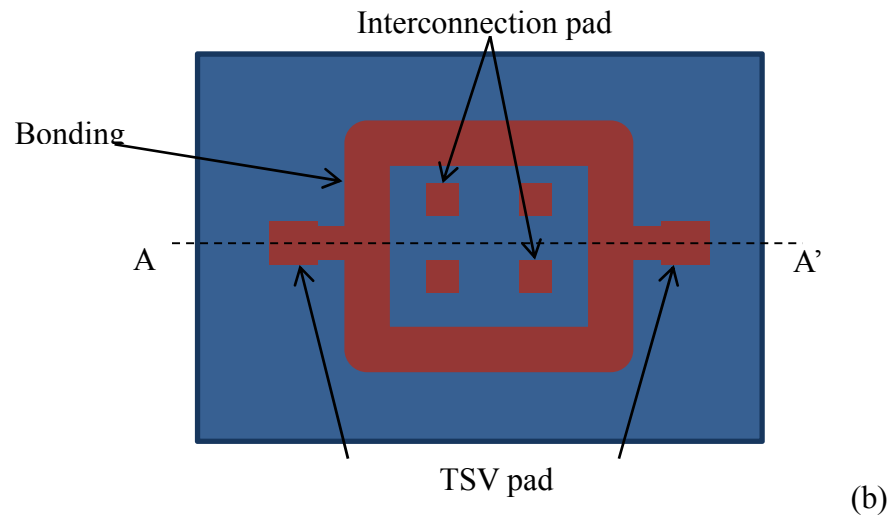


圖 2.3 本實驗設計接合結構部分的(a)側剖面圖與 (b)俯視圖

### 2.2.2 來回式垂直導線與同時完成氣密環及電性導通之設計

由於本實驗為了驗證此作法可行性與實驗上的方便性，將 IC 晶圓以玻璃晶圓代替，以便進行接合實驗時對準方便，且可以肉眼觀察內部變化；而本實驗會另外設計以 TSV 結構製作的來回式垂直導線(如圖 2.4)，方便在以破片進行實驗時，能自晶圓正面施給電壓電流，並配合在 MEMS 晶圓背面定義製作電路，可同時完成氣密環及電性導通之設計(如圖 2.5)，

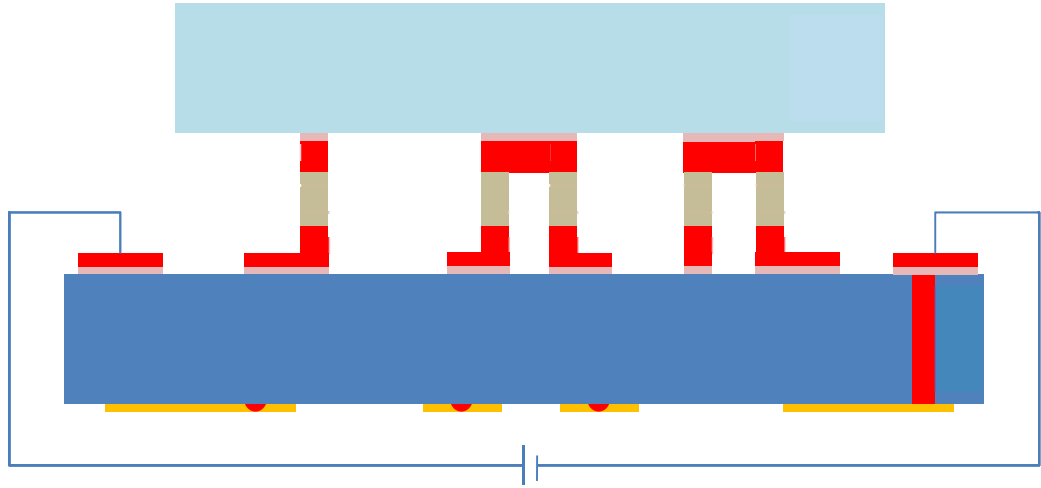


圖 2.4 來回式垂直導線示意圖

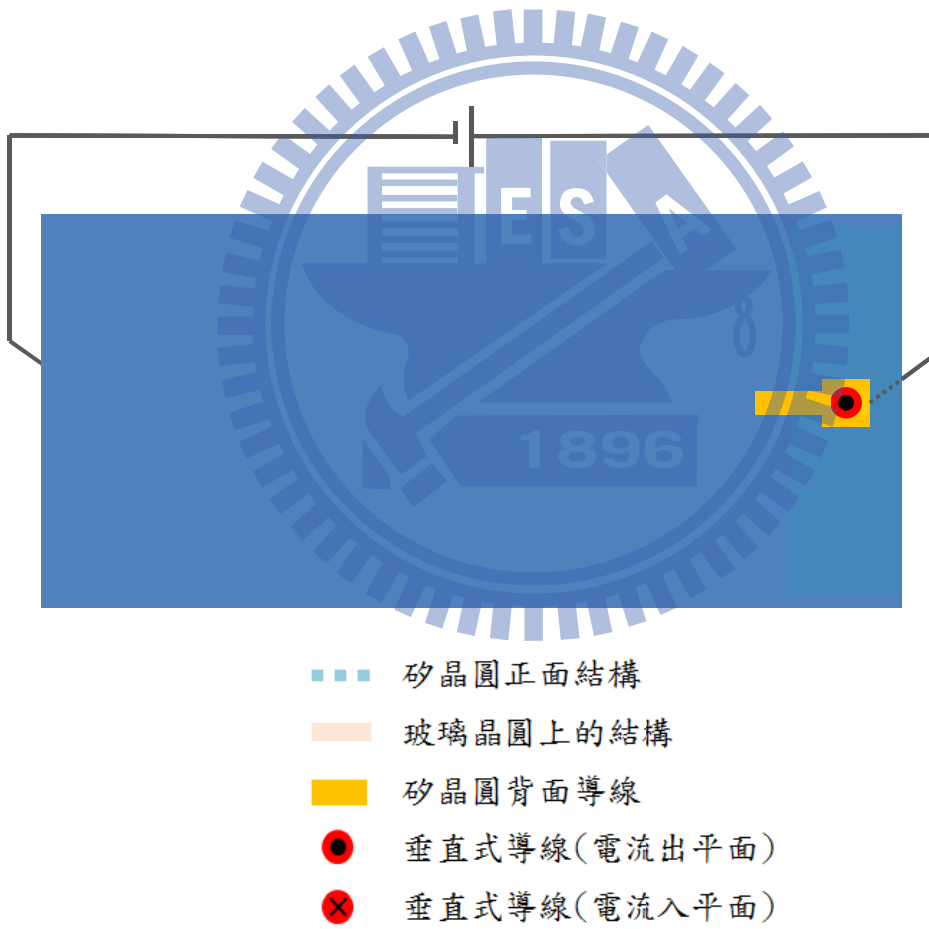
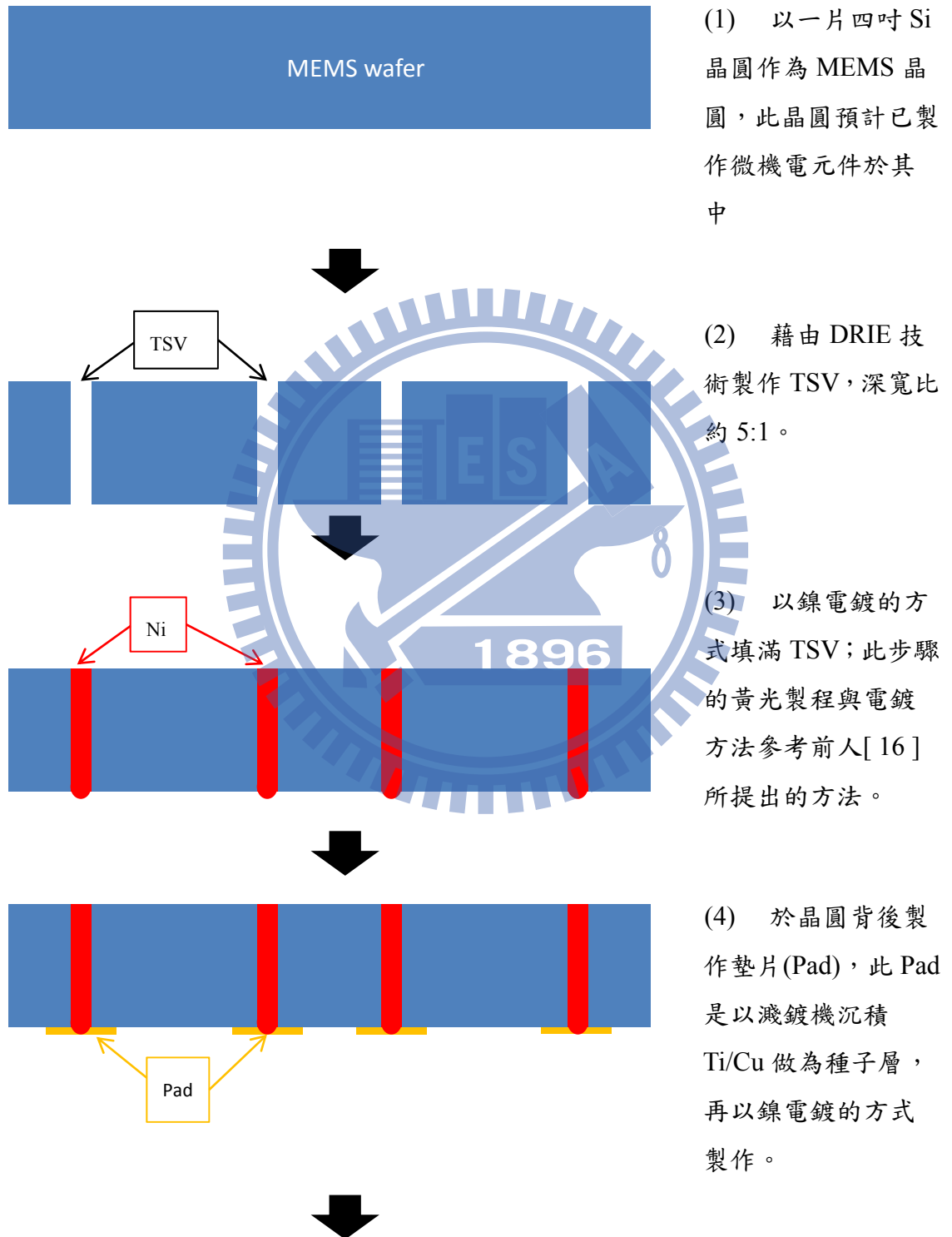
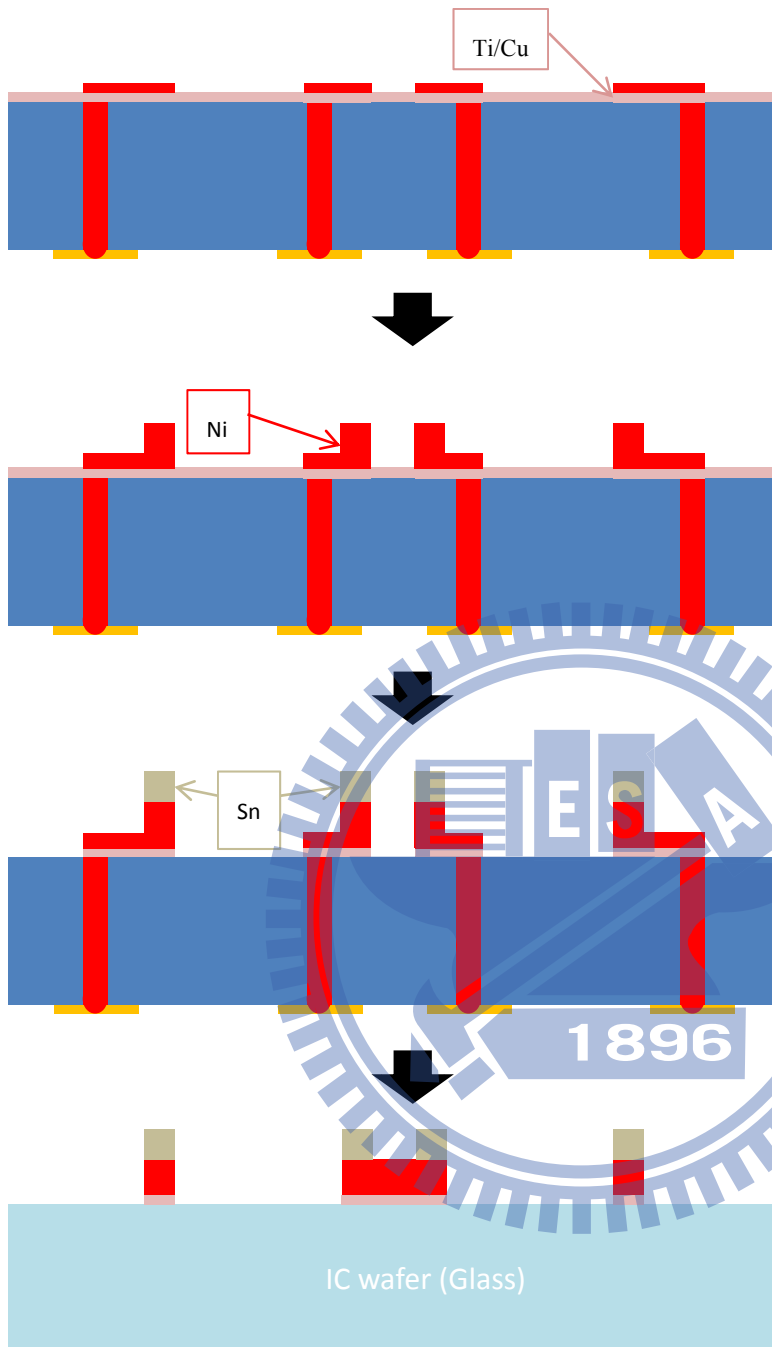


圖 2.5 同時完成氣密環與電性導通之設計的背面導線與電流走向圖

### 2.3 實驗流程設計

以下將介紹 IC-MEMS 封裝的製作流程(圖 2.6 )，所列出的流程僅在闡述所提出封裝製程的特點，其製作流程可能會因為製作特殊微機電元件而必須修改。



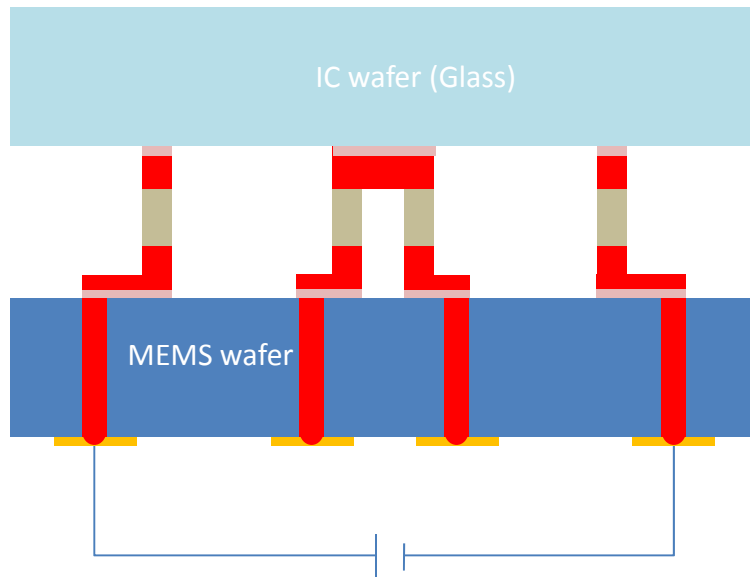


(5) 於晶圓正面定義出導線與接合位置，導線以鎳電鍍方式製作，種子層為Ti/Cu。

(6) 定義出接合環的結構與IC晶圓與MEMS晶圓間的電性連接垂直導線，並以鎳電鍍加厚結構。

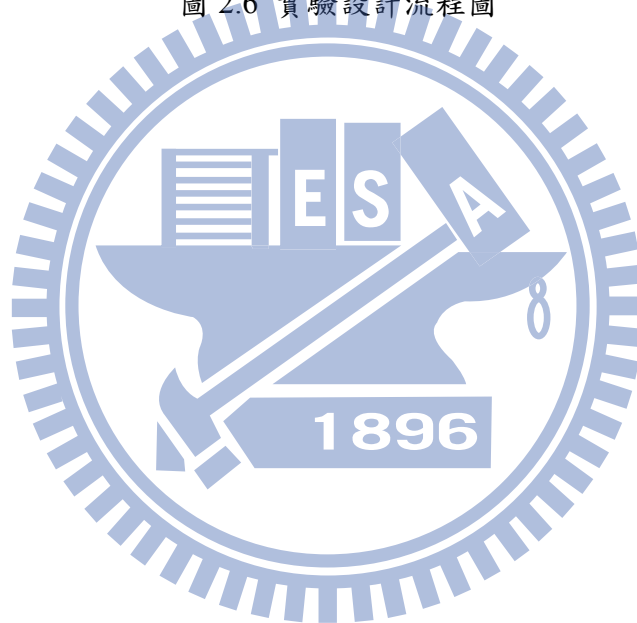
(7) 再以錫電鍍完成製作接合結構，接著以銅蝕刻液蝕去種子層。

(8) 以另一片晶圓作為IC晶圓，但為了接合實驗方便，以玻璃晶圓取代；進行前述步驟(5)~(7)製作出相對應的接合結構。



(9) 將 MEMS 晶圓與 IC 晶圓對準後，於真空腔體中藉由 MEMS 晶圓下方的 Pad 施加電流電壓，使接合環與內部垂直導線升溫，同時施加壓力幫助其接合。

圖 2.6 實驗設計流程圖



### 第三章 實驗方法與操作

本章節將逐一介紹各個實驗步驟的操作方式。

#### 3.1 TSV 製作

於四吋晶圓上製作 TSV (Through Silicon Via)，流程圖如圖 3.1，先於晶圓上以膜厚  $25\ \mu\text{m}$  正光阻 AZ4620 定義蝕刻孔圖案，此層光阻可作為乾蝕刻時的遮蔽，再送入感應耦合電漿離子蝕刻系統進行 DRIE 製作 TSV；本實驗室試片委託國家儀器科學中心以感應式耦合電漿蝕刻系統 STS 對矽晶圓做乾式蝕刻，製作孔徑約  $100\ \mu\text{m}$  的 TSV，深寬比達 1:5，最後除光阻去在以化學氣相沉積(PECVD)的方式，分別先後沉積厚度  $2500\ \text{\AA}$   $\text{SiO}_2$  與  $2500\ \text{\AA}$   $\text{Si}_3\text{N}_4$  作為電性阻隔；其感應耦合電漿離子蝕刻系統規格與製程參數表如表 3.1，而圖 3.2 為製作後的 TSV 側剖面圖。

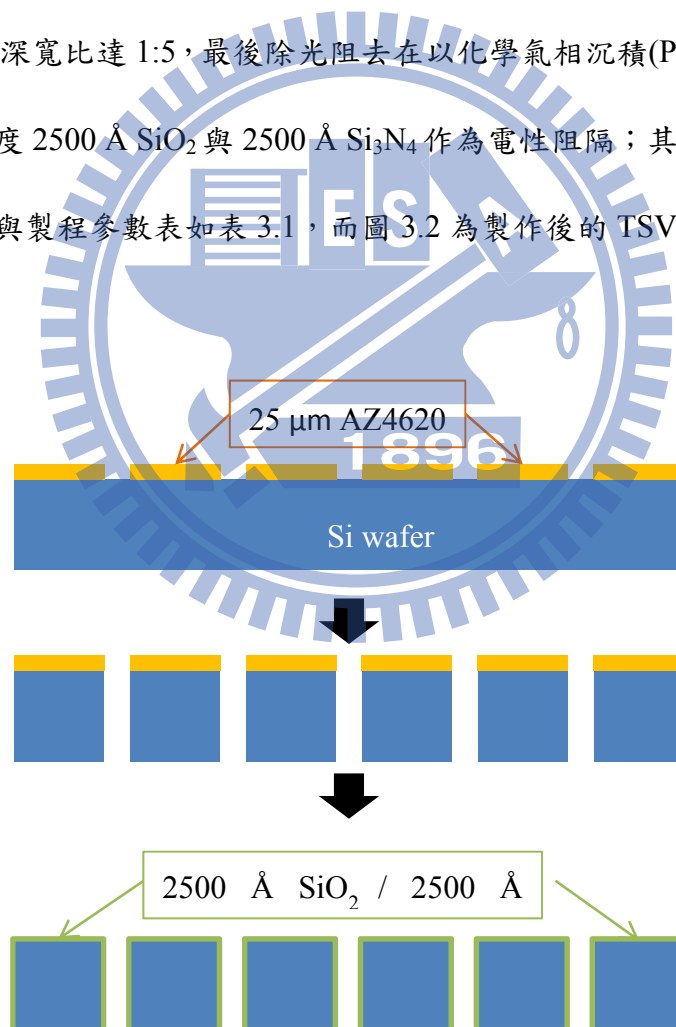


圖 3.1 TSV 製程流程圖

表 3.1 感應耦合電漿離子蝕刻系統規格與製程參數表

上電極線圈	0~1000 W	
下電極線圈	0~300W	
RF 電源頻率	13.56MHz	
冷卻系統	背面氦氣冷卻 ( backside helium cooling )	
蝕刻氣體	SF <sub>6</sub>	130 sccm
	C <sub>4</sub> F <sub>8</sub>	85 sccm
其他製程氣體	O <sub>2</sub> 、Ar	



圖 3.2 TSV 側剖面 SEM 圖

### 3.2 鎳電鍍

本研究將以電鍍的方式將鎳金屬填於 TSV(Through Silicon Via)之中，作為封裝後量測 MEMS 元件的導線，本實驗電鍍材料街購自「昇鎳理化公司」而以下將簡介電鍍原理及電鍍鎳的操作。

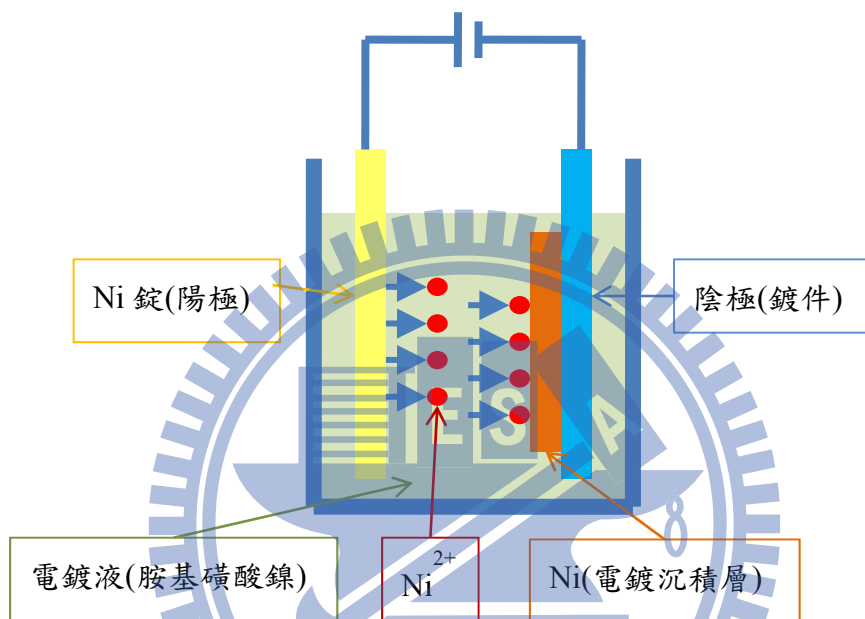
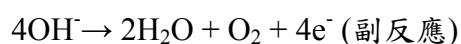
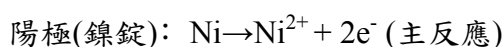
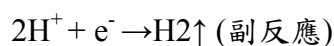
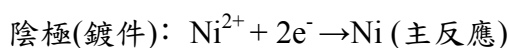


圖 3.3 鎳電鍍設備示意圖

電鍍是一種電化學過程，也是一種氧化還原過程。電鍍鎳的基本過程是將待鍍物浸在含  $\text{Ni}^{2+}$  的溶液中作為陰極，陽極為鎳錠，接直流電源後，電鍍液中的  $\text{Ni}^{2+}$  自陰極得到電子還原為  $\text{Ni}_{(s)}$ ，並沉積於陰極件表面，而陽極析出  $\text{Ni}^{2+}$  補充電液中失去的  $\text{Ni}^{2+}$ 。在陰陽極分別發生如下反應：





而影響電鍍層的因素有電流密度、鍍液溫度、攪拌方式及陽極種類及前處理等。

### 3.2.1 電流密度：

電流密度的大小影響電鍍層的沉積速率以及鍍層金屬的細密程。一般而言，電流密度越高，電鍍層沉積速率越快，但相對地因沉積速率快，結晶顆粒大造成電鍍層的表面較為粗糙，且若電流密度過大，超過極限電流密度，貴電鍍層會有燒灼的現象產生；而電流密度低，電鍍層沉積速度相對較低，雖耗時較久，但電鍍層的質地較為細緻。

電流密度公式如下：

$$\text{庫倫值}(A \times \text{min}) = \text{被鍍物表面積}(\text{dm}^2) \times \text{沉積速率}(A \times \text{min} / \mu\text{m}) \times \text{電鍍厚度}(\mu\text{m})$$

$$\text{輸入電流量}(A) = \text{被鍍物表面積}(\text{dm}^2) \times \text{電流密度}(A/\text{dm}^2)$$

$$\text{ASD} : \text{電流密度}(A/\text{dm}^2) ; \text{dm}^2 : \text{電鍍總面積平方公分} ; A : \text{電流量(安培)}$$

### 3.2.2 鍍液溫度：

溫度與電流效率成正比，高溫時可加速鍍層厚度長成；溫度太低表面粗糙度增加，但溫度過高易使電液中的濕潤平整劑容易因高溫(60°C以上)而分解失效，因此實驗操作時，鎳電鍍液最適溫度應維持在 40~50°C。

### 3.2.3 攪拌方式：

電鍍液攪拌方式可分為陰極移動攪拌、氣舉式攪拌及鍍液流動攪拌三種；攪拌可有助於電鍍液濃度均勻分布，並加速電鍍層表面的電鍍液對流交換。

### 3.2.4 電鍍液酸鹼值：

pH 值於 4 時有最佳的電流效率，pH 低於 3 時效率則遽減；pH 高於 5 時有較大之硬度(180~450HV)，唯須考慮內應力之改變。

### 3.2.5 陽極種類及前處理：

電鍍陽極可分為可溶性陽極及不可溶性陽極，而可溶性陽極用於電鍍上是為補充溶液中電鍍所消耗的金屬離子，是用一種金屬或合金鑄成不同形狀裝入陽極籃(anode basket)內。陽極電流密度必須適當，電流密度太高會形成鈍態膜，因而使陽極溶解太慢或停止溶解，形成不溶解陽極，為了減小陽極電流密度，可多放些陽極，或用波形陽極增加面積。在酸性鍍浴可以用增加攪拌、增高鍍浴溫度、增加氯離子濃度、降低 pH 來提高陽極容許電流密度。而陽極的金屬使用前須經過前處理以增加電鍍效率與鍍層品質，例如：電鍍鎳使用的鎳錠須先以鋼刷刷洗過後再浸泡 10%  $\text{H}_2\text{SO}_{4(\text{aq})}$ ，以去除鎳錠上的雜質與氧化層。

### 3.2.6 陰極鍍件

欲電鍍試片在電鍍前，須先以 10%  $\text{H}_2\text{SO}_{4(\text{aq})}$  或 10%  $\text{HCl}_{(\text{aq})}$  沖淋，除去表面氧化層，以增加電鍍品質與效果。

(以上資料參考自「昇鉍理化公司」)

表 3.2 鎳電鍍液成分表

鎳電鍍液成分表 (pH=4)	
胺基磺酸鎳	500 ml/L
氯化鎳	4 g/L
硼酸	45 g/L
濕潤平整劑 MA	1 ml/L

表 3.3 鎳電鍍操作條件表

作業條件	使用範圍	最適條件
陰極電流密度	1~10 A/dm <sup>2</sup>	2~5 A/dm <sup>2</sup>
陽極電流密度	1~5 A/dm <sup>2</sup>	3 A/dm <sup>2</sup>
鍍液浴溫	38~55°C	40~48°C
pH 值	3.5~4.4	4.0
攪拌	噴流攪動或陰極擺動	

### 3.3 鎳深孔電鍍

對於 MEMS-IC 元件氣密蜂裝中，導線是唯一同時接觸外界大氣壓與封裝內壓力的部份，因此必須能確保導線在跨過封裝區域不漏氣，才能達到氣密式封裝。本研究藉由鎳電鍍的方法將 TSV 填滿，作為一垂直貫穿晶圓的導線，根據 N. T. Nguyen 等人所研究的成果[ 16 ]，其利用蒸鍍階梯覆蓋性不佳的特性，蒸鍍種子層 (seed layer)於晶圓背面 20 $\mu\text{m}$ ~30 $\mu\text{m}$  的洞口填起圖 3.4，並再輔以電鍍加厚 10  $\mu\text{m}$  金屬層做填補讓孔洞完全被覆蓋；Nguyen 使用銅為電鍍材料，覆蓋孔洞的金屬為種子層，再以電鍍的方式將深孔填滿金屬，其研究結果可完成深寬比為 7:1 的深孔結構並完全密封。

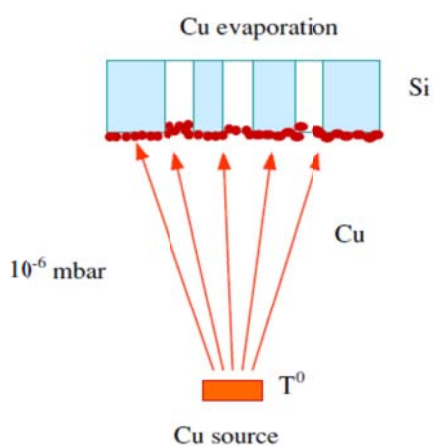


圖 3.4 以蒸鍍覆蓋孔洞製作種子層之示意圖[ 16 ]

而本研究則利用此技術的優點加以應用於鍍深孔電鍍的實驗，但經測試後，因本研究以 ICP 所製作的 TSV 孔徑尺寸約  $100\ \mu\text{m}$ ，若電鍍加厚種子層厚度必須加厚至  $50\ \mu\text{m}$  以上才能完全蓋住孔洞，但也因為孔徑較大，即使蒸鍍沉積薄膜的階梯覆蓋性不佳，但孔內側壁已部分受到金屬種子層覆蓋，做深孔電鍍後，TSV 孔尚未填滿，但鍍卻已電鍍沉積至表面，導致形成一個空洞，無法密合，如圖 3.5。

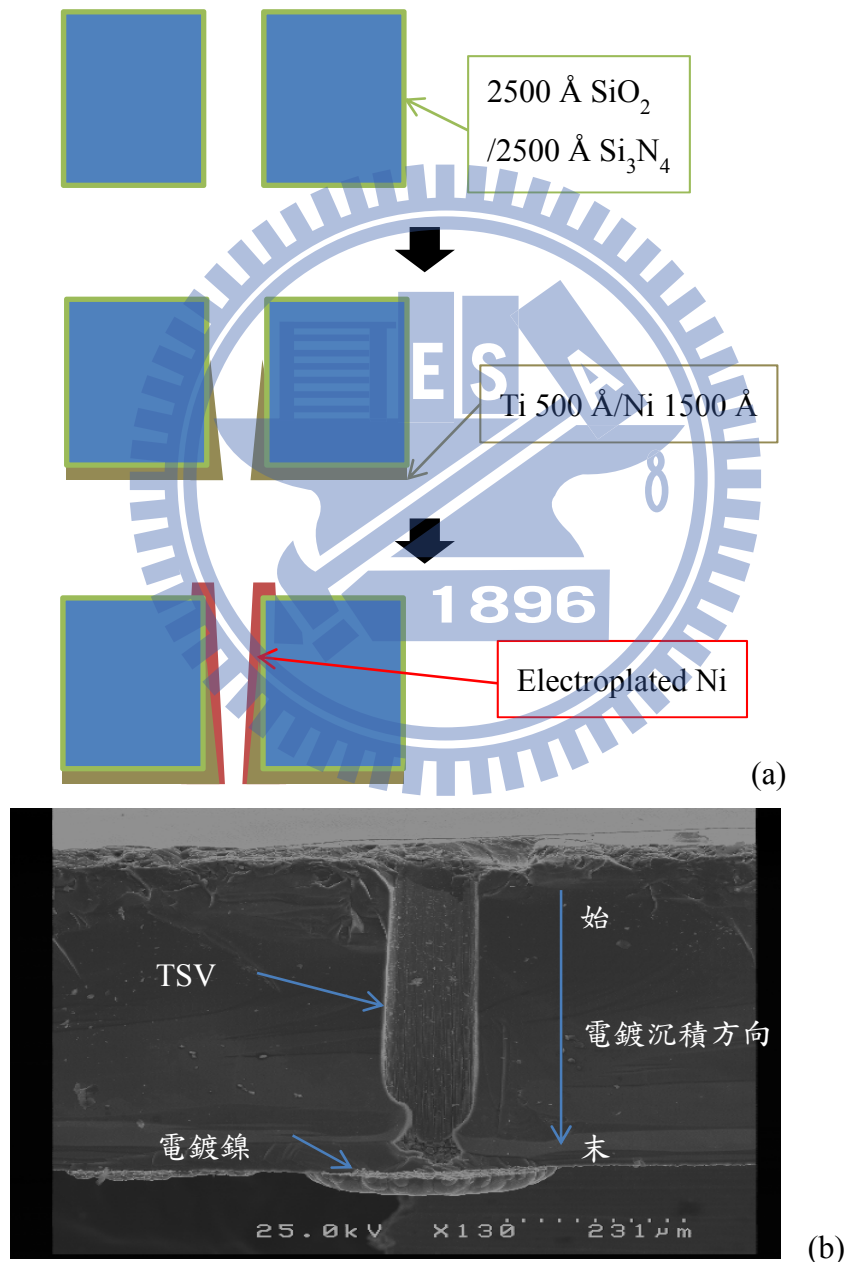


圖 3.5 電鍍失敗(a) 示意圖(b) SEM 側剖面圖

因此改採用 T. Nguyen N [ 16 ] 的另一個作法，如圖 3.6 所示，另外取一已沉積金屬種子層的晶圓，並旋塗一層正光阻，將以製作 TSV 結構的試片輕壓於其上並進行軟烤，使試片與光阻相黏，此時試片如同一光罩，僅僅曝露出深孔部分的光阻，再經過曝光顯影的步驟後，除去光阻顯露出底部金屬種子層，再藉此種子層進行鎳電鍍將 TSV 自底部向上填滿。

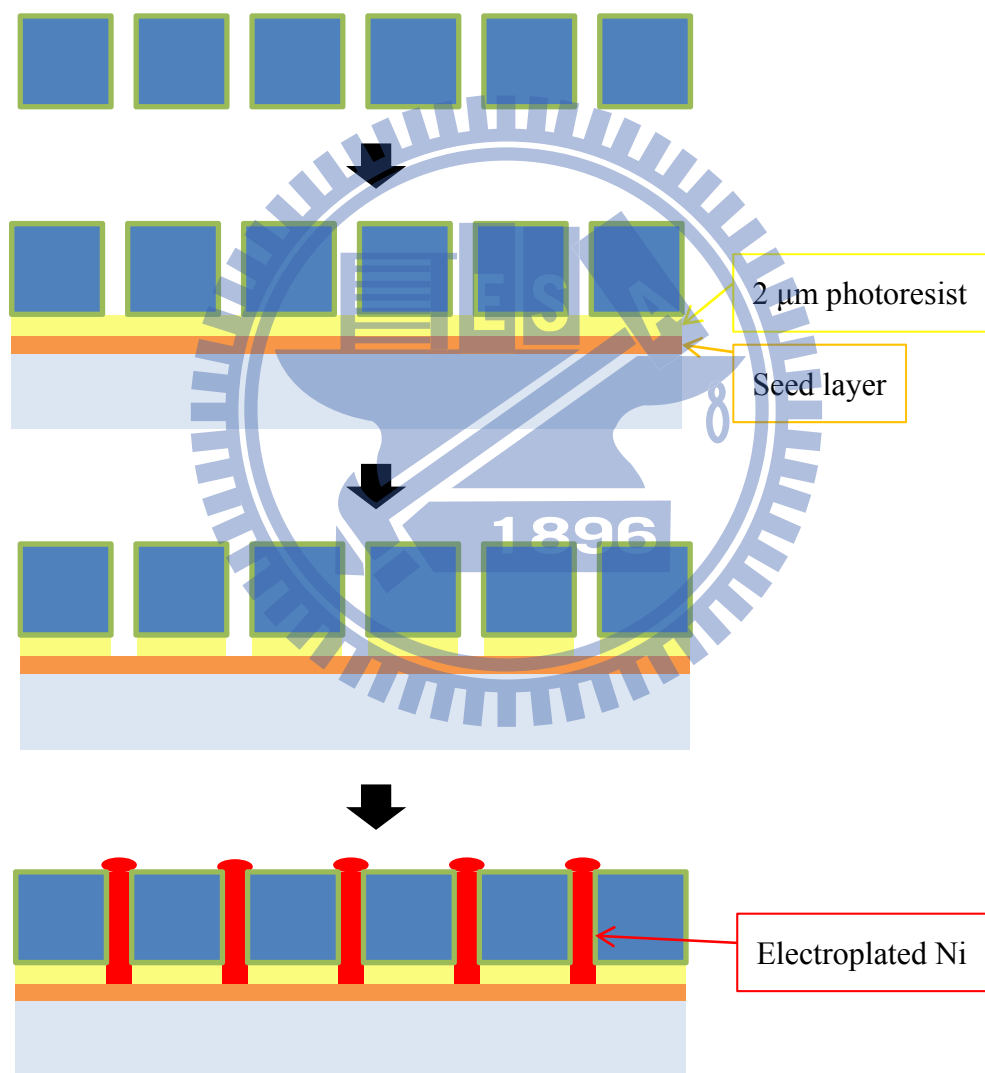


圖 3.6 金屬黏著與 bottom-up 填孔方法示意圖

以此方式，鎳金屬可完全將 TSV 填滿；但因不同深孔，其電流分布不均而使電鍍鎳沉積速率有所差異，經長時間電鍍後，會使有的 TSV 已填滿但有的 TSV 仍未填滿，雖本實驗控制電鍍電流密度在約 2~2.5 ASD(A/dm<sup>2</sup>)，為了改善電流密度不均影響沉積速率，可利用輸出脈衝電流[ 19 ]進行電鍍，而本研究以增加邊緣電鍍面積(如圖 3.7)，來分散電流並有效控制電流密度於 2~2.5 ASD。

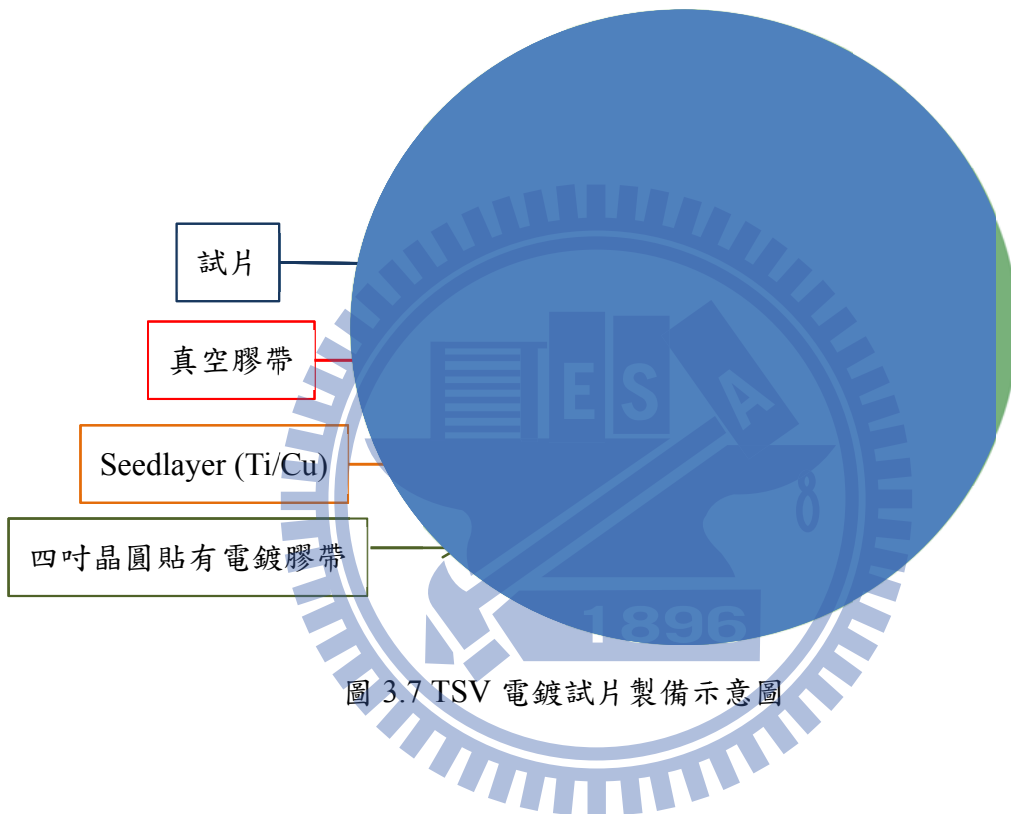


圖 3.7 TSV 電鍍試片製備示意圖

### 3.4 錫電鍍

錫電鍍實驗操作方式似鎳電鍍實驗，欲掛鍍的鍍件至於陰極，錫塊連接陽極，使用甲基磺酸錫電鍍液，實驗時室溫操作並加以攪拌即可；本研究所使用錫電鍍液屬亮錫電鍍液，購買自「南春貿易公司」，電鍍錫表面色澤均一光亮，其鍍層作鉍錫和高溫色變測試性能優越，電鍍液藥水成分如表。

表 3.4 錫電鍍液成分與操作參數表

項目	藥品含量	使用範圍
錫(金屬)	20 g/L	15~30 g/L
RamTech 錫酸濃縮液(70%)	170 ml/L	150~200 ml/L
RamTech Sn B14 WA14 潤濕劑	70 ml/L	60~100 ml/L
RamTech Sn B14 BR14 光亮劑	3 ml/L	2~5 ml/L
RamTech Sn B14 WX14 拓展劑	3 ml/L	2~5 ml/L
RamTech Sn SB 穩定劑	5 ml/L	2~10 ml/L
電流密度	5 ASD	2~10 ASD
溫度	15°C	12~18°C
陽極/陰極面積比列		≤3:1
沉積速率		2 μm/min

### 3.5 TLP (Transient Liquid Phase)接合與局部加熱(localized heating)

根據 W.C. Welch III 與 K. Najafi[ 20 ]的研究指出，其運用 Ni/Sn 在 300°C 下加熱 1.5 hr，並外加 100 kPa 的壓力於晶圓上(其設計 300 μm 寬的環狀結構)，其接觸面壓力 5 MPa，製作 TLP 接合封裝(如圖 3.8)。

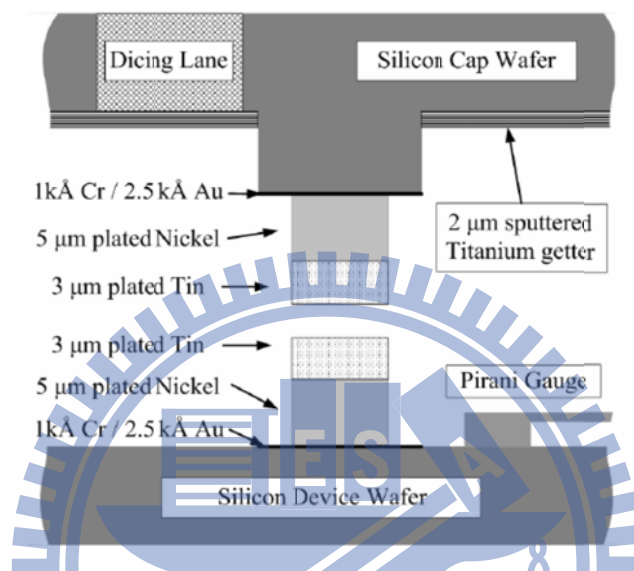


圖 3.8 Ni/Sn 接合之結構側剖圖[ 20 ]

而本研究的接合技術，是將以局部加熱的方式對金屬加熱進行 TLP 接合，局部加熱的方法，是利用一般銲接技術中常用的電阻銲接的原理，經過初步錫電鍍實驗，並以表面粗度儀量測其金屬表面(如圖 3.9)，可見其表面粗糙並非光滑平整的表面(如圖 3.10)，根據公式(8)計算後

$$Ra = \frac{\sum f(x)dx}{L} \quad (8)$$

計算後得到本研究錫電鍍表面平均粗糙度=1.28 μm，粗度號碼為 N6，屬光面與半光面之間。



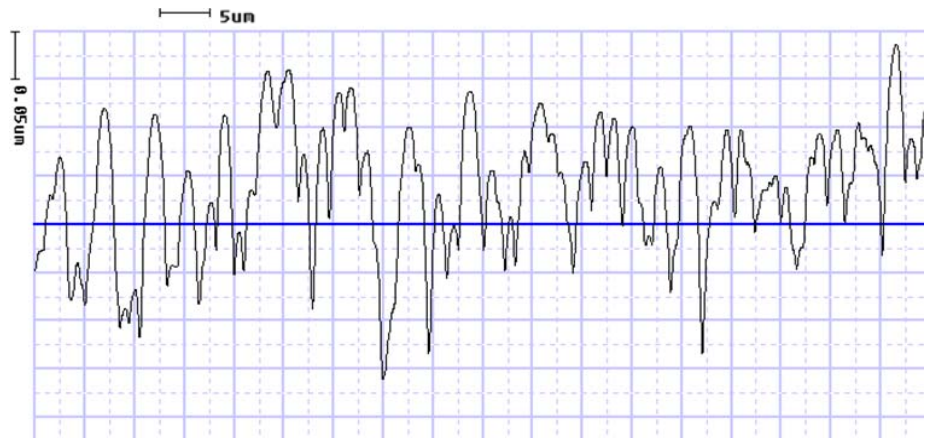


圖 3.9 電鍍錫表面粗度圖

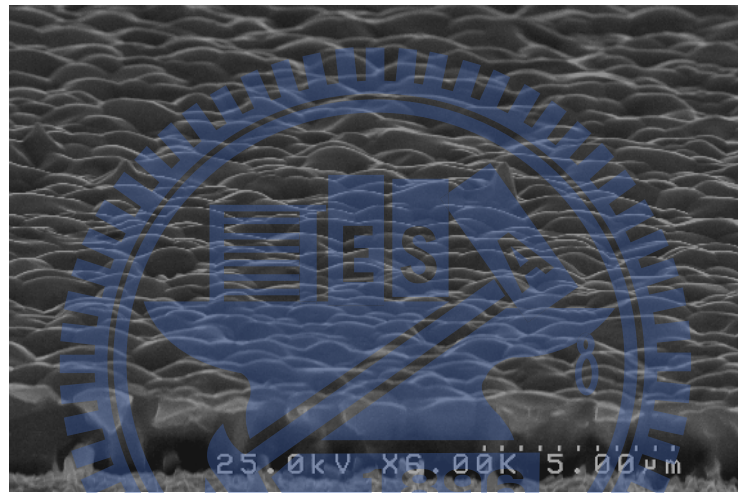


圖 3.10 電鍍錫側視 SEM 圖

由於本研究仍是初步實驗探討，因設備上的限制，在接合實驗時，僅能在非真空環境下操作，並以光學顯微鏡手動對準後，在以如鐵鵬強力磁鐵做在垂直方向上下吸附試片，使上下試片緊密貼合並以三用電表量測是否可導通，施給電流走向如圖 3.11，再以連接電源供應器的探針接觸電極施給電流電壓，電壓以定電壓輸出，電流則可變動，維持加熱 1hr，實驗架設如圖 3.12。

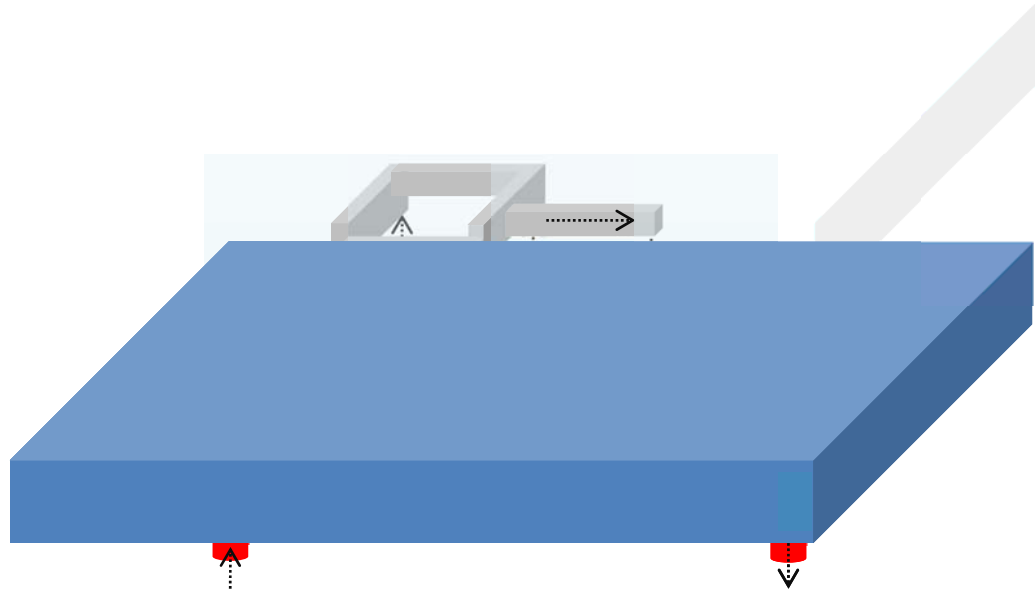


圖 3.11 電流走向圖

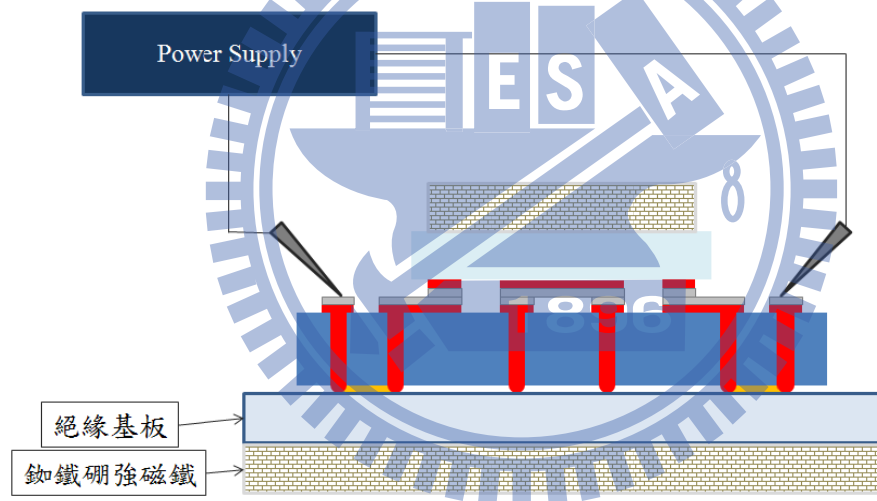


圖 3.12 實驗操作示意圖

## 第四章 實驗結果與討論

### 4.1 TSV 垂直導線製作

經由 ITRC 代工所做出的 TSV，孔徑大小約  $100\ \mu\text{m}$ ，四吋矽晶圓厚度  $525\ \mu\text{m}$ ，以 bottom-up 的電鍍方法做深孔金屬填滿，雖未使用脈衝式電流，但已可有效改善電鍍沉積速率不均的問題，實驗結果如圖 4.1；以 Angilent 34405A Digital Multimeter 經實際量測 20 個以鎳電鍍 TSV 結構的電阻值，平均電阻值  $=0.2563\ \text{ohm}$ ，介於  $0.228\sim 0.291\ \text{ohm}$ ，而 Multimeter 本身的探針相碰所得電阻值為  $0.178\ \text{ohm}$ ，相減之後可得知此 TSV 垂直式導線電阻值僅約  $0.078\ \text{ohm}$ ，表示本研究所製作的 TSV 垂直導線結構可作為一有效且低電阻導線。

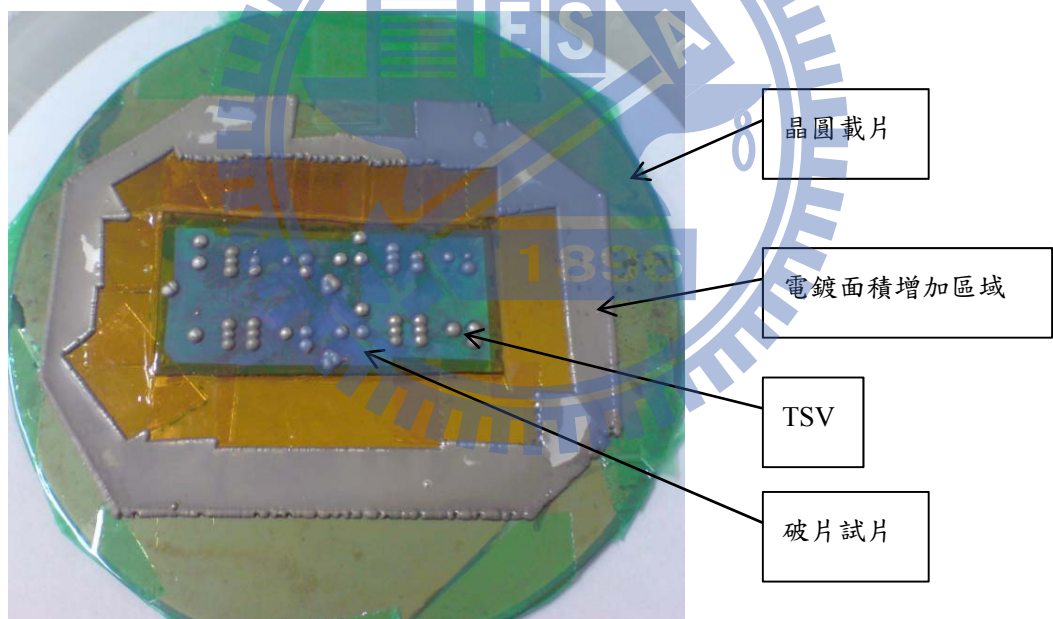


圖 4.1 TSV 電鍍完成圖

## 4.2 瞬間液相接合

在進行晶圓接合的過程中，對接合電路結構通以電壓電流，促使其作局部加熱，讓鎳與錫金屬進行瞬間液相接合(TLP bonding)，圖 4.2 則是在兩次成功的實驗記錄中記錄電流與電阻值變化，輸入固定電壓 3.5V 維持一小時，從圖中可知，電阻初始值約為 0.85-0.96Ω，在兩分鐘內增加至 1.2-1.1Ω，在之後的操作時間內電阻值都維持在 1.1Ω 左右。理論上在加熱後溫度超過 232°C，錫金屬開始融熔，金屬由固體轉為液體且電阻值與溫度成正比關係，因此電阻值會開始上升，當 TLP bonding 鍵結形成並待試片冷卻後，電阻值會下降，而以成功接合的五個試片，以三用電表連接接合環兩側的墊片(Pad)，量測接合環結構的電阻值分別為 0.501 ohm、0.571 ohm、0.401 ohm、0.338 ohm 與 0.358 ohm，平均電阻值為 0.434 ohm。

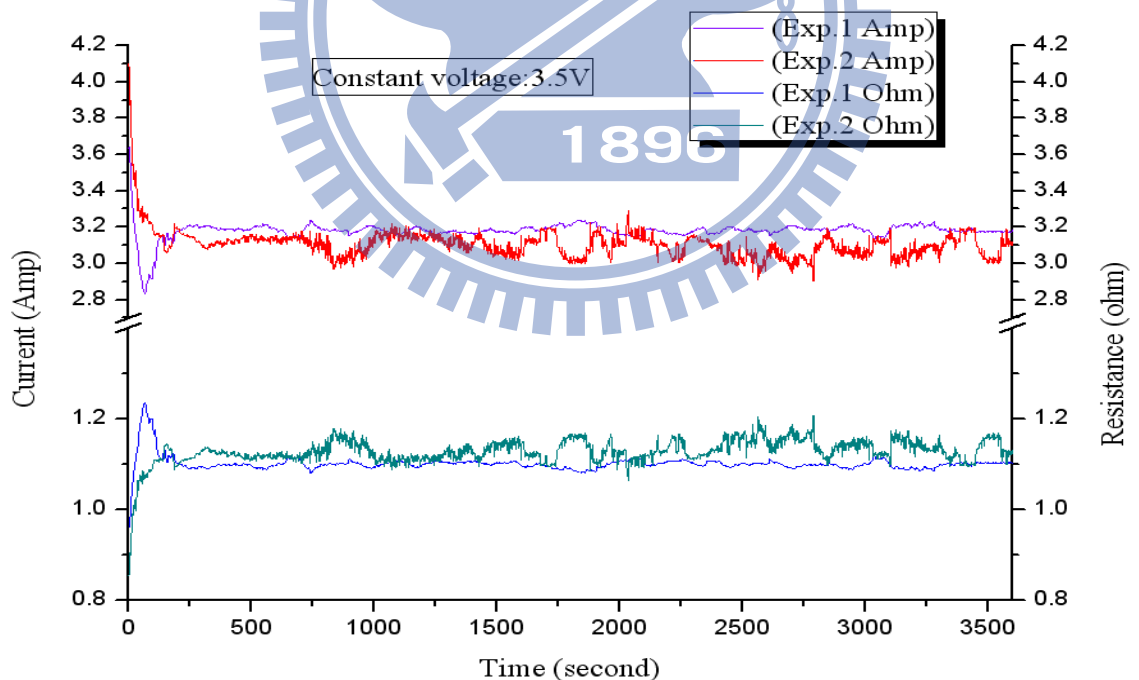


圖 4.2 TLP 接合實驗電流/電阻隨時間變化圖

由於本實驗所使用的探針(probe)是以尖端觸碰墊片(pad)做電流電壓輸入，在電源供應器-探針與探針-墊片之間也會產生電阻。

此外，根據式(7)

$$V = IR \quad (9)$$

輸出固定電壓，可藉由電阻值的變化對電流變化進行簡單的回饋控制，因為若改以固定電流輸出，若實驗時電阻值增加，電壓會隨之等比例增加，會造成輸出功率過高而溫度急遽上升，導致元件因高溫而損毀。

圖 4.3 以 SEM 拍攝接合後的側剖面圖，可看出接合處仍有部分為緊密接合，此惟因加熱產生的氣泡所生成的孔隙。

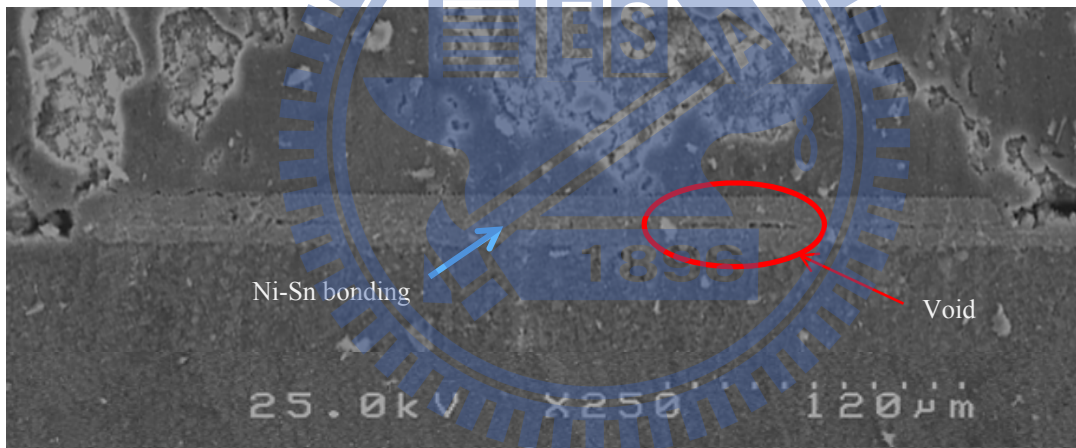


圖 4.3 TLP 接合的 SEM 側剖面圖

將試片以 EDS 做元素分析，如圖 4.4 可見錫成分在中間的含量最高，然後靠近晶圓兩邊成分含量逐漸遞減，在兩側成分量最低，由此可知錫金屬在接合的過程中逐漸向兩側擴散，與鎳形成瞬間液相接合；而圖 4.5 是各點成分分析圖，其中含有鈉(Na)是因為使用含鈉玻璃，分析成分中的鉑(Pt)與鈮(Pd)成分是因為試片在

拍攝 SEM 前以鍍金機蒸鍍金薄膜以便量測，碳(C)與氧(O)則是雜質中的成分，氧(O)也是玻璃中二氧化矽的組成元素。

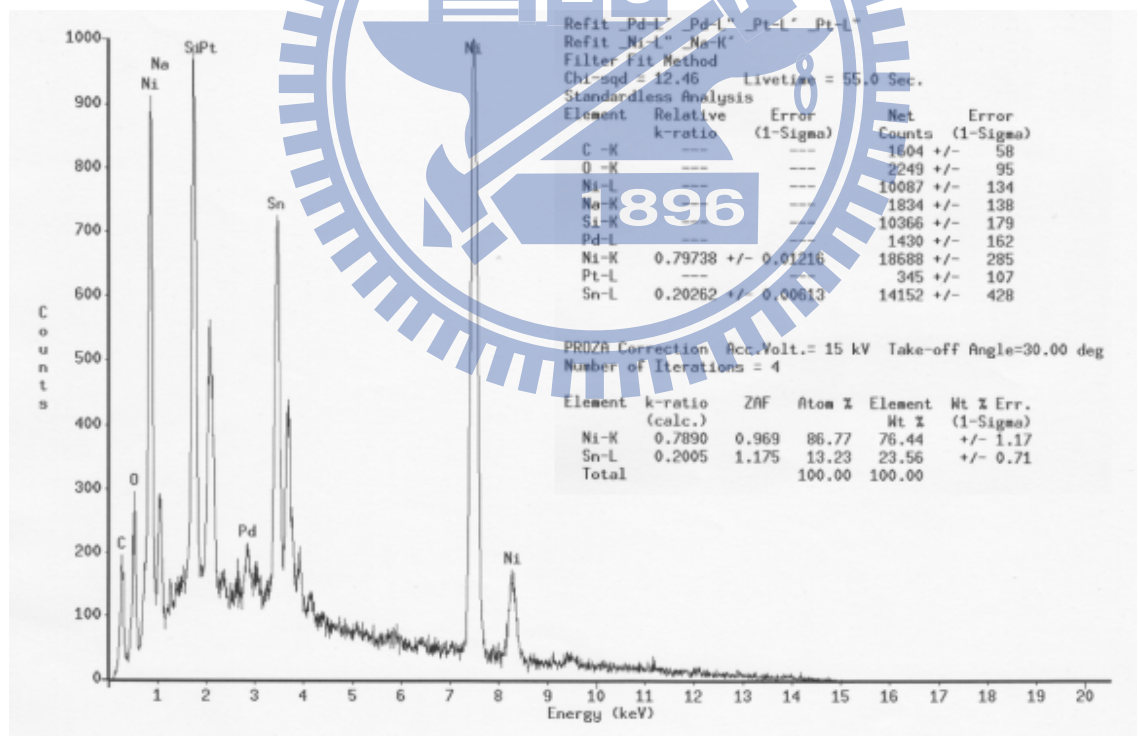
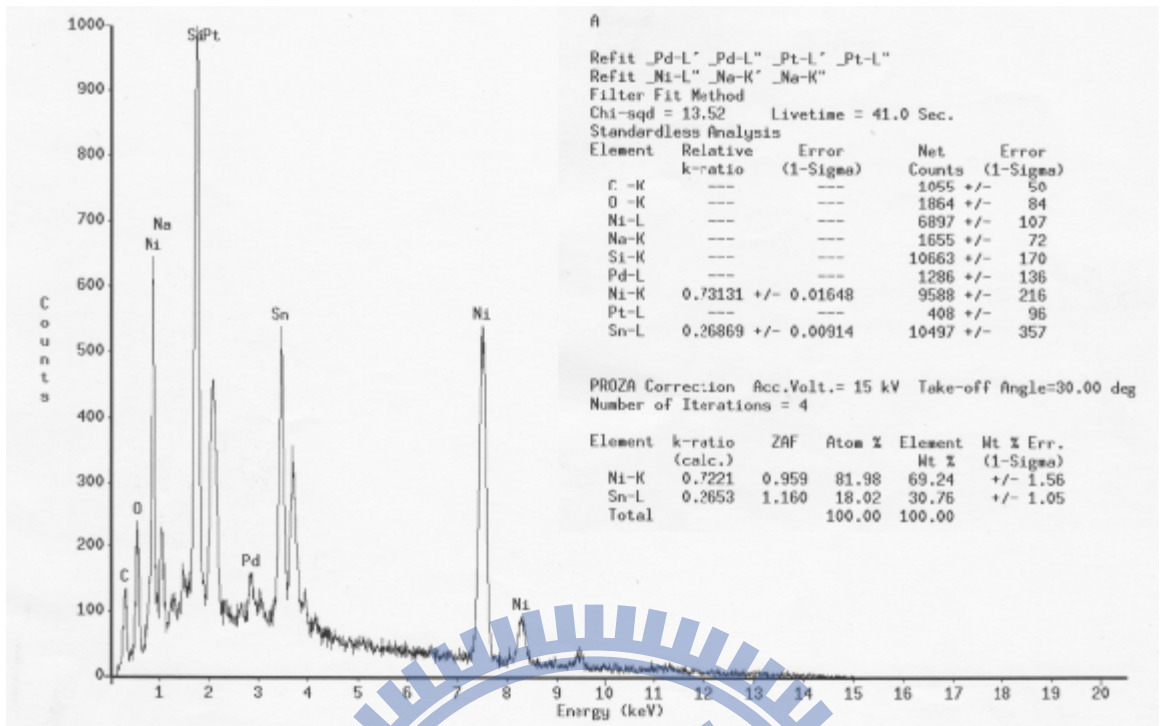


	Ni(wt%)	Sn(wt%)
<b>A.</b>	69.24%	30.76%
<b>B.</b>	76.44%	23.56%
<b>C.</b>	89.04%	10.96%
<b>D.</b>	93.24%	6.76%
<b>E.</b>	95.46%	4.74%

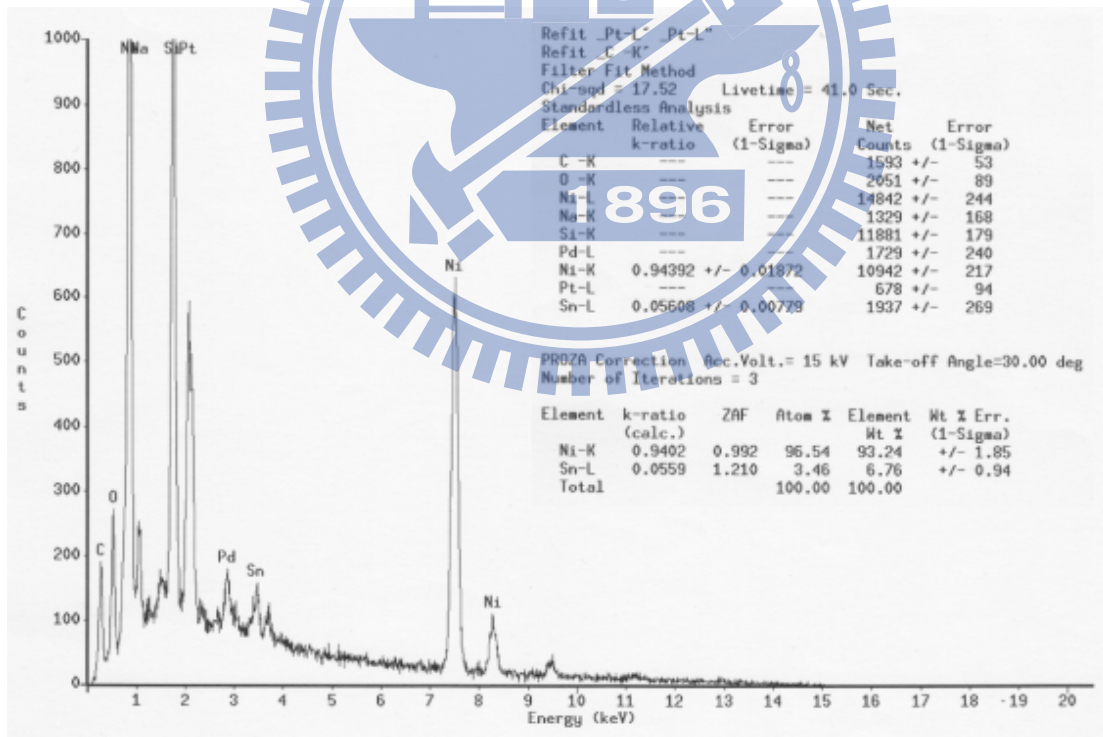
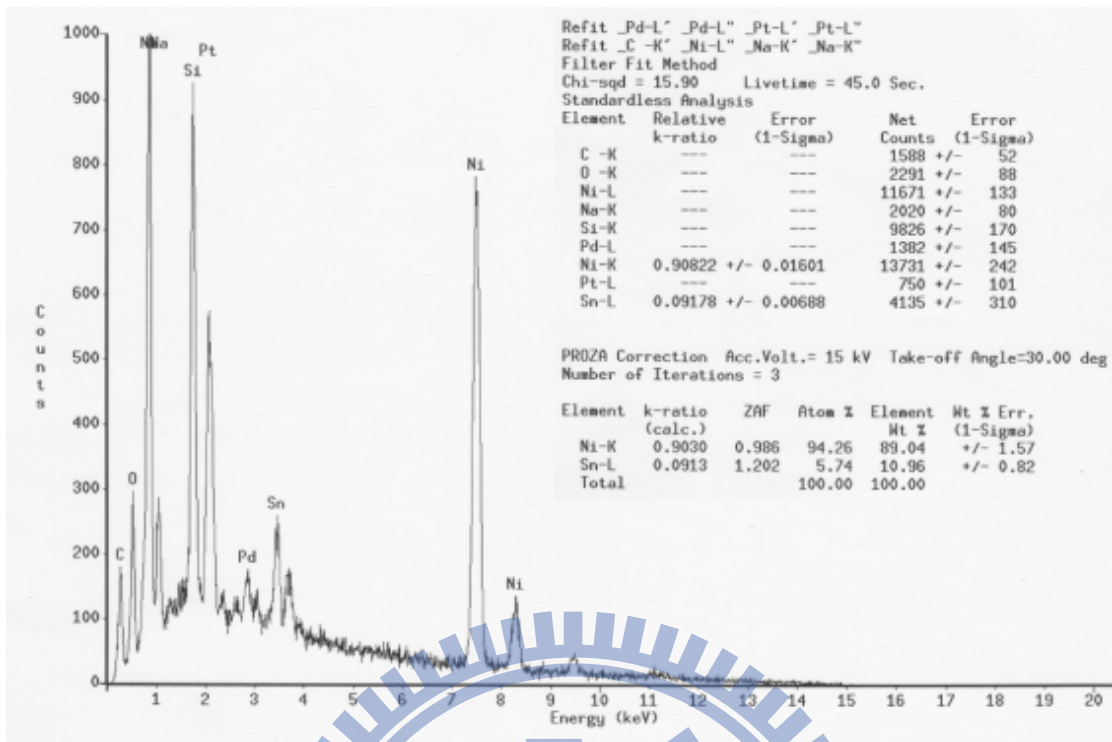
圖 4.4 Bonding Layer 成分分析圖

而圖 4.6 中，已接合完成的試片，使其快速溫度冷卻至室溫，導致應力過大而使玻璃晶圓產生裂紋，但也只在接合環結構處附近產生裂紋，由此可推測本研究的加熱方式的確屬於局部性加熱，因受熱不均導致玻璃有裂紋生成；本研究也製作不同寬度的接合環結構：200  $\mu\text{m}$ 、250  $\mu\text{m}$  與 300  $\mu\text{m}$ ，均可完成以微電阻銲接完成瞬間液相接合(如圖 4.5)。



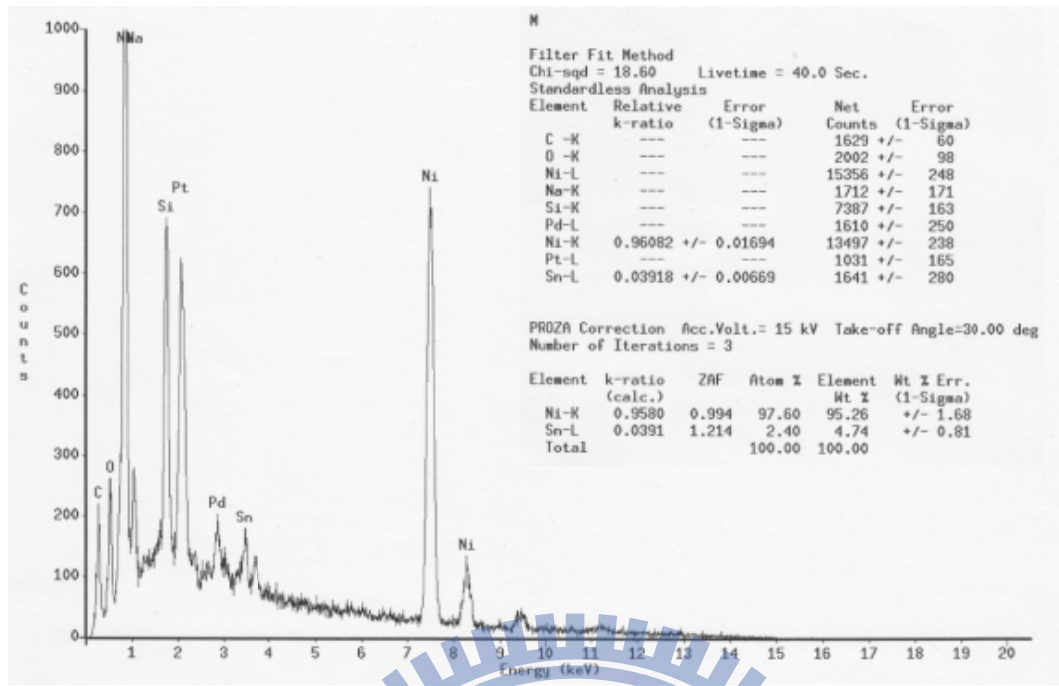


(B)



(D)





(E)

圖 4.5 接合層不同位置的 EDS 成分分析圖

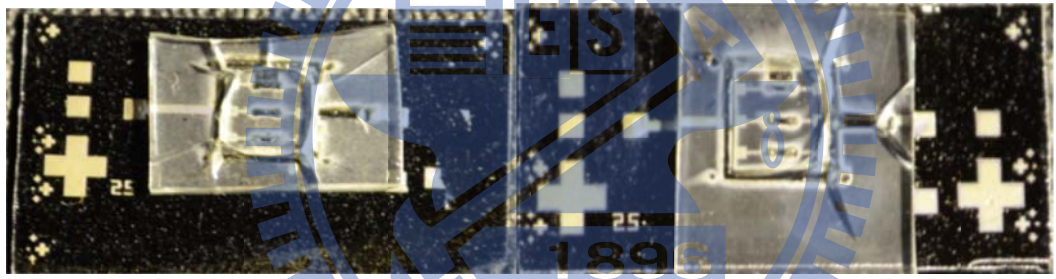


圖 4.6 TLP 接合試片破裂圖

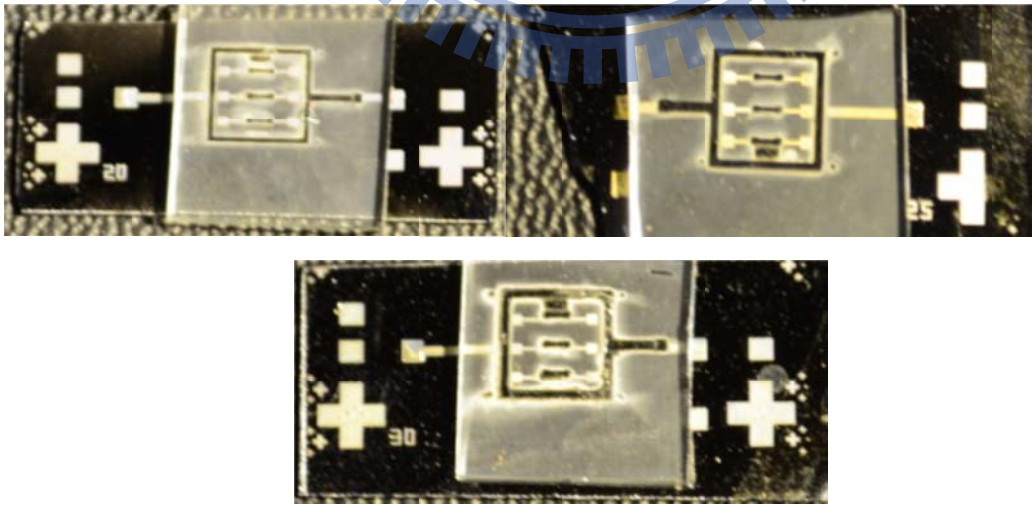


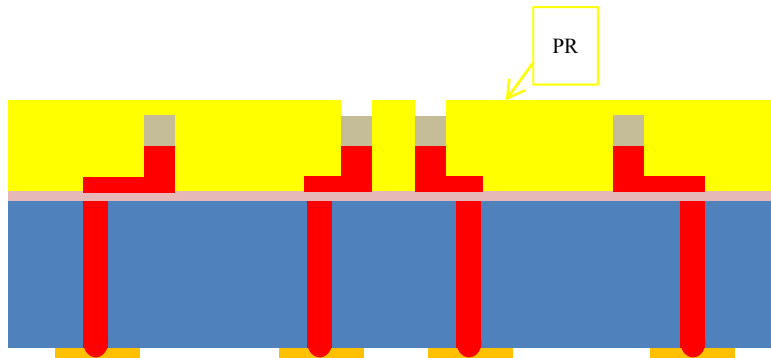
圖 4.7 不同寬度接合環的 TLP 接合試片(左上) 200 μm (右上) 250μm (下) 300 μm

## 第五章 結論與未來計畫

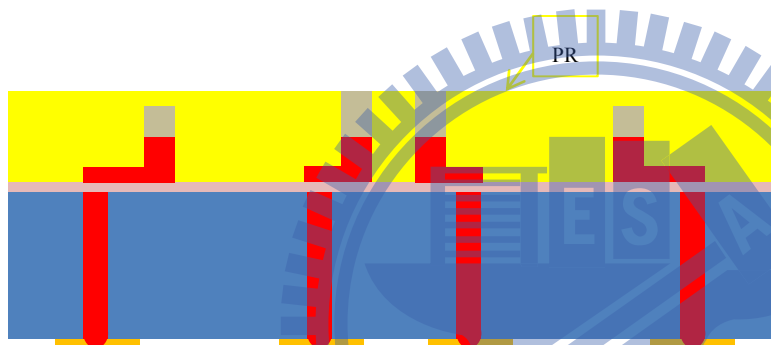
本研究驗證了以微電阻焊接的方式進行鎳-錫瞬間液相接合的可行性，並且整合 TSV 垂直式導線的製程，研發出一套新的 MEMS-IC 封裝方式，期望將來可應用在晶圓層級的封裝製程上；此外，藉由本研究的接合方式，未來可嘗試以其他能進行瞬間液相層積的金屬或是常見的於半導體製程的材料，例如：金-錫(Au-Sn)、鋁-鎳(Al-Ni)等等，或是如前人 N. Belov [ 21 ]設計不同形狀或不同厚度的接合結構進行改善。

本研究也因藉由金屬表面粗糙的特性，作為一個簡易微加熱器，不需要在晶圓上另行製作微加熱器，可以節省晶圓面積，且能作到局部性加熱，甚至對微加熱器的側邊進行加熱等，而不會損壞 IC 電路或是 MEMS 元件，也因此封裝上，接合的材料選擇性更為寬廣，加熱溫度不會受限於 450°C 以下，再者，本研究無須在接合前，另行對接合表面進行平坦化與去除氧化層等處理，反而可減少製成步驟節省成本；最後，因以 TSV 結構製作出垂直式低電阻導線可避開接合結構，不似側拉式導線會穿過接合的環狀結構，容易造成封裝失敗，因而可降低封裝失敗的風險，且封裝完成後的電性輸入/輸出點皆在晶圓的外露面，藉此可以在晶圓層級下進行元件的測試。

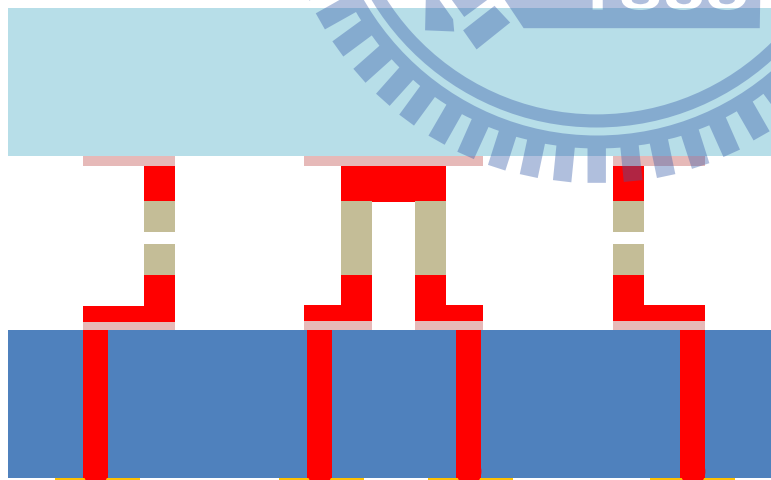
未來除了可以如上述提及的，以不同金屬材料製作瞬間液相接合外，還可將製程作改善(如圖 5.1)，確保內部作為 MEMS-IC 元件間的電性連接垂直導線先行接合並導通，再對外圍的環狀結構進行接合；希望本研究，將來能對台灣的 MEMS-IC 封裝產業有所貢獻。



取圖 2.3 中步驟(7)已做好的但未蝕去種子層的試片，進行另一道黃光製程，僅定義出做為 MEMS-IC 元件間的垂直導線部分。

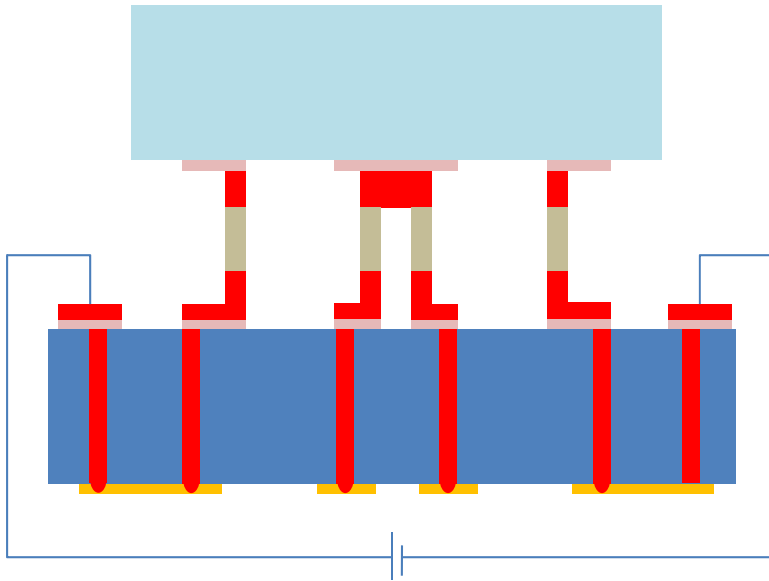


再以錫電鍍加厚垂直導線部分的錫金屬層。



取圖 2.3 中步驟(8)的試片(IC 晶圓)與 MEMS 晶圓藉由底部外露電極進行 TLP 接合，先確保 MEMS-IC 元件間的垂直導線已接合並導通。





因為在接合的過程中會施加軸向壓力，中間已經液化的金屬層較軟，而下壓後使試片外圍尚未接合的環狀結構上下相接觸，最後再對外圍環狀結構輸入電壓電流進行第二次的 TLP 接合。

圖 5.1 未來改善製程流程圖



## 第六章 參考文獻

- [1] Y. C. Lee, Member, Babak Amir Parviz, J. Albert Chiou, and Shaochen Chen “Packaging for Microelectromechanical and Nanoelectromechanical Systems” IEEE TRANSACTIONS ON ADVANCED PACKAGING, Vol. 26, No. 3, AUGUST 2003
- [2] G. Wallis and D. I. Pomerantz “Field Assisted Glass-Metal Sealing”, Journal of Application Physics.,Vol.40, 3946,(1969)
- [3] R. Stengl, K. Y. Ahn, and U. Gosele, “Bubble Free Silicon Wafer Bonding in a Non-Cleanroom Environment”, Journal of Application Physics.,Vol.65, 4943,(1988)
- [4] Q. Y. Tong, E. Schmidt, and U. M. Gosele, “Hydrophobic Silicon Wafer Bonding“, Appl. Phys. Lett.,64,625,(1994)
- [5] K. Ljungberg, Y. Bäcklund, and A. Söderbärg “The effects of HF cleaning prior to silicon wafer bonding” J. Electrochem. Soc., Volume 142, Issue 4, pp. 1297-1303 (1995).
- [6] C. Christensen and S. Bouwstra, “Eutectic bonds on wafer scale by thin film multilayers”, Proceedings of SPIE, 2879,288 (1996).
- [7] R. H. Horng, C. E. Lee, S. C. Hsu, S. H. Haung, C. C. Wu, C. Y. Kung, and D. S. Wu, “Vertical-conducting p-side-up GaN/mirrors/Si light-emitting diodes by laser lift-off and wafer-transfer techniques”, Phy. stat. sol. (a), 201, pp.2699-2703, September 2004.
- [8] W. D. MacDonald and T. W. Eagar “Transient Liquid Phase Bonding” Anna. Rev. Mater. Sci. 1992.22:23-46.
- [9] N.S. Bosco, F.W. Zok, “Critical interlayer thickness for transient liquid phase bonding in the Cu–Sn” system Acta Materialia 52 (2004) 2965–2972.
- [10] W.C. Welch III and K. Najafi, “Nickel-Tin Transient Liquid Phase(TLP) Wafer Bonding for MEMS Vacuum Packaging”, Transducers and Eurosensors, 2007.
- [11] W.C. Welch, et. al, “Transient Liquid Phase Bonding for Microsystem Packaging Applications,” Transducers '05, 2005,p1350-1353.

- [12] Y. T. Cheng, L. W. Lin, and K. Najafi, "A Hermetic Glass–Silicon Package Formed Using Localized Aluminum/Silicon–Glass Bonding", *Journal of Microelectromechanical systems*, Vol. 10, No. 3, September 2001.
- [13] M. X. Cheng, S. Liu, and Z. Gan, "Selective Induction Heating for Microsystem Packaging" 7th International Conference on Electronics Packaging Technology, 2006.
- [14] T. Coreman, "Vacuum-sealed and gas-filled micromachined devices", Ph. D Thesis, Royal Institute of Technology, Stockholm (1999).
- [15] Steven S. Nasiri, "Method of fabrication of a AlGe bonding in a wafer packaging environment and a product produced therefrom" ,US Patent , No.7442570 ,(2008)
- [16] N. T. Nguyen, E. Boellaard, N. P. Pham, V. G. Kutchoukov, G. Craciun and P. M. Sarro, "Through-wafer copper electroplating for three-dimensional interconnects", *Journal of Micromechanics and Microengineering*, *J. Micromech. Microeng.* 12 (2002) 395–399
- [17] Steven S. Nasiri, "Vertically integrated MEMS structure with electronics in a hermetically sealed cavity" US Patent No.7023877, (2005).
- [18] Wilcox W. L., Condra J. R., Kearns W. H., Betz I. G., Frohlich R. L., Hannahs J. R., Manz A. F., Pense A. W., Privoznik L. J., Rager D. D. and Somers R. E., "Welding Handbook: Resistance and Solid-state welding and other joining process", Vol.3, American Welding Society
- [19] C. H. Seah, S. Mridha, L. H. Chan, "DC/pulse plating of copper for trench/via filling", *Journal of Materials Processing Technology* 114 (2001) 233-239.
- [20] W.C. Welch, et. al, "Transient Liquid Phase Bonding for Microsystem Packaging Applications," *Transducers '05*, 2005,p1350-1353.
- [21] N. Belov, T-K. Chou, J. Heck, K. Kornelsen, D. Spicer, S. Akhlaghi, M. Wang, T. Zhu," Thin-Layer Au-Sn Solder Bonding Process for Wafer-Level Packaging, Electrical Interconnections and MEMS Applications", *Interconnect Technology Conference*, 2009.