

# 國立交通大學

材料科學與工程學系

碩士論文

電化學沉積法於超細間距微無鉛鉍錫凸塊的開發

**Development of Electrochemical Deposition for  
Extra-fine Pitch Micro Lead-free Solder Bumps**

研究生：黃冠傑 (K. C. Hwang)

指導教授：吳樸偉 博士 (Dr. P. W. Wu)

林 鵬 博士 (Dr. P. Lin)

中華民國一百年八月

電化學沉積法於超細間距微無鉛錐錫凸塊的開發  
**Development of Electrochemical Deposition for  
Extra-fine Pitch Micro Lead-free Solder Bumps**

研究生：黃冠傑

Student: Kuan-Chieh Huang

指導教授：吳樸偉 博士

Advisor: Dr. Pu-Wei Wu

林 鵬 博士

Dr. Pang Lin



A Thesis

Submitted to Department of Materials Science and Engineering  
College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Materials Science and Engineering

August 2011

Hsinchu, Taiwan, Republic of China

中華民國 一 百 年 八 月

# 電化學沉積法於超細間距微無鉛鉛錫凸塊的開發

學生：黃冠傑

指導教授：吳樸偉 博士

林 鵬 博士

國立交通大學

材料科學與工程學系研究所 碩士班

## 摘要

本研究於超細間距  $20\ \mu\text{m}$ ，直徑  $12\ \mu\text{m}$  的孔洞依序電鍍銅、鎳及錫銀合金於指定規格：銅厚度  $5\ \mu\text{m}$ ，鎳厚度  $3\ \mu\text{m}$ ，錫銀合金  $5\ \mu\text{m}$ ，作為無鉛鉛錫凸塊以及凸塊下金屬層的製備。錫銀合金的成份為 Sn-2.5 wt% Ag，電鍍完成後經由迴錫將凸塊熔成球形，再以高解析度電子微探儀分析其中組成，我們發現電流密度會對錫銀合金凸塊表面形貌造成巨大的影響，無鉛鉛錫凸塊經由配方和參數的調整可以成功電鍍，填孔率超過 99.5%，並且成分誤差控制在 0.2 wt% 之內。

# Development of Electrochemical Deposition for Extra-fine Pitch Micro Lead-free Solder Bumps

Student: Kuan-Chieh Huang

Advisor : Dr. Pu-Wei Wu

Dr. Pang Lin

Department of Materials Science and Engineering

National Chiao Tung University

## Abstract

In this study, a Cu/Ni UBM and lead-free solder for 20  $\mu\text{m}$  pitch micro-bump has been attempted to fabricate via consecutive electroplating of Cu, Ni and binary SnAg in specification on a patterned wafer. The targeted thickness of Cu and Ni are 5  $\mu\text{m}$  and 3  $\mu\text{m}$  for the preparation of UBM, and the thickness of the SnAg solder bump is 5  $\mu\text{m}$  with 2.5 wt% Ag composition. After the electroplating process, the solder undergoes a reflow process to obtaining spherically-shaped bumps. Electron Probe Micro-analyzer (EPMA) is carried out to evaluate relevant material properties. We observe a strong effect for the plating current density on the resulting bump morphologies. After adjusting relevant parameters, the formation of 5  $\mu\text{m}$  Cu/3  $\mu\text{m}$  Ni/5  $\mu\text{m}$  Sn-2.5 wt% Ag bumps can be successfully fabricated, and the spherically-shaped solder balls are confirmed with composition variation within 0.2 wt% deviation.

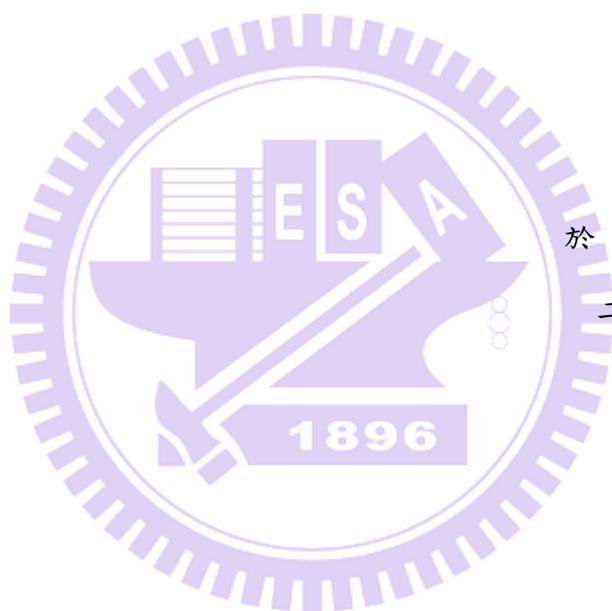
## 誌謝

本論文的完成，首先要感謝我的家人們對我的支持與鼓勵，在我遇到瓶頸時給我信心跟關懷。

很高興能夠進到交大這個優秀的研究環境就讀，在材料科學研究所的兩年要感謝在這個實驗室大家庭的所有夥伴們：已於去年畢業的大小儷、魚丸學姊，有她們總是充滿著歡笑；蔡和成學長帶領我進入這個領域，在實驗上也給我很多的指教，也很認真的要求讓我能夠很快進入狀況，有他對於銅電鍍的經驗讓相關計畫執行起來上手較快。還有同屆的同學，筱琳、阿 few、阿飄、陳琪和馬丁能夠在這兩年的研究生涯中相處愉快，感謝你們對於我不時的胡言亂語給我很大的包容。境好學姊於二年級時給我很多的教導，其嚴謹且認真於研究上的精神是我終身努力的目標，在此希望她未來的研究之路可以順遂，將來有很好的成就。勝結學長在實驗上的給予諸多幫忙，在此祝福他未來的工作能夠鴻圖大展；以及謝育琪學長於我學習同步輻射儀器操作時給予的指導，而且在執行台灣積體電路公司計畫時以他的專業給我在實驗上和數據處理上的建議，讓我避開了很多看不見的盲點。張雲閔學長和 kiokio 學長給我的指點，和你們去吃宵夜瞎聊天的日子真的很快樂，謝謝你們給我待人處世上很多的啟發。還有碩一學弟們阿猛、鴨子、大仔、哲瑋、小六和柏翰平時的和樂相處，希望未來你們的研究都能有很好的成果，其中尤其感謝鴨子與我執行計畫時，在實驗上的協助與疑點的討論。這些好夥伴們讓我的研究生涯能夠順利進行且不枯燥乏味，增添了生活很多的樂趣，跟你們相處在一起真的很愉快。另外也感謝工業技術研究院和台灣積體電路公司在研究上提供的協助。

最後要特別感謝指導教授林鵬博士和吳樸偉博士兩年來的指導。吳老師引領我繼續進入電化學領域深造，亦師亦友的教導了我許多對於實驗的方法和想法，也給我很多歷練和發揮的機會。相關計畫在執行的時候有賴老師的專業，在引導思考和邏輯的訓練上都對我有非常大的幫助，且在這邊的兩年內由於老師的要求讓我的英文也較剛進來研究室時進步不少。能夠進入交大材料所，讓我兩年來從他們身上學到了很多，在此致上我最深切的感謝。

這本論文能夠順利完成，必須歸功於一路上給我幫助、支持、鼓勵的你們，謝謝你們！



黃冠傑  
於 新竹國立交通大學  
二零一零年八月 夏

# 總目錄

摘要.....	ii
Abstract.....	iii
誌謝.....	iv
總目錄.....	vi
圖目錄.....	viii
表目錄.....	xii
第一章 緒論 .....	1
第二章 介紹與文獻回顧 .....	3
2-1 3D-IC 技術簡介.....	3
2-2 超細間距無鉛焊錫微凸塊技術簡介.....	6
2-2-1 覆晶接合 (Flip-chip) 技術 .....	6
2-2-2 凸塊下金屬層 .....	7
2-2-3 焊錫凸塊 (Solder bump) .....	8
2-3 凸塊製作技術.....	10
2-3-1 氣相沉積 .....	10
2-3-2 固相沉積 .....	11
2-3-3 液相沉積 .....	13
2-3-4 電化學沉積 .....	15
2-4 奈米級雙晶微結構簡介.....	17
2-4-1 材料強化機制 .....	17
2-4-2 雙晶結構.....	18

2-4-3 脈衝式電鍍法 .....	21
<b>第三章 實驗器材及實驗步驟 .....</b>	<b>23</b>
<b>3-1 實驗藥品與儀器 .....</b>	<b>23</b>
3-1-1 實驗藥品 .....	23
3-1-2 實驗設備與分析儀器 .....	24
<b>3-2 超細間距鐳錫凸塊電鍍 .....</b>	<b>24</b>
3-2-1 極化掃描曲線測試 .....	24
3-2-2 Under-Bump Metallization – 銅電鍍 .....	26
3-2-3 Under-Bump Metallization – 鎳電鍍 .....	29
3-2-4 焊錫凸塊 – 錫銀合金電鍍 .....	30
3-2-5 迴焊 (Reflow) .....	31
<b>3-3 分析錫銀合金組成 .....</b>	<b>32</b>
<b>3-4 電鍍奈米級雙晶於平版銅上 .....</b>	<b>32</b>
<b>第四章 實驗結果與討論 .....</b>	<b>35</b>
<b>4-1 電鍍銅 .....</b>	<b>35</b>
<b>4-2 電鍍鎳 .....</b>	<b>47</b>
<b>4-3 電鍍錫銀合金 .....</b>	<b>52</b>
<b>4-4 奈米級雙晶硬度測試 .....</b>	<b>66</b>
4-4-1 壓痕硬度測試結果 .....	66
4-4-2 奈米壓痕測試結果 .....	67
<b>第五章 結論與未來方向 .....</b>	<b>70</b>
<b>第六章 參考文獻 .....</b>	<b>71</b>

## 圖目錄

圖 2.1：三維立體封裝堆疊與平面封裝之傳輸路徑比較。[3].....	4
圖 2.2：IC 世代中電晶體數和封裝技術之演進趨勢。[4].....	4
圖 2.3：TSV 結構示意圖。[2] .....	5
圖 2.4：Samsung 展示其應用 TSV 技術之 16Gb NAND stack。 .....	6
圖 2.5：Roadmap of ITRS (2006)。 [8].....	7
圖 2.6：不同共晶合金鉛錫凸塊之負載量-偏移關係圖。[26].....	9
圖 2.7：不同共晶合金鉛錫凸塊之剪切強度比較圖。[27].....	9
圖 2.8：打線凸塊的製作流程。[28].....	11
圖 2.9：銅板印刷凸塊的製作流程。[28].....	12
圖 2.10：C4-NP 技術製作無鉛鉛錫凸塊的製作流程。[28].....	13
圖 2.11 和圖 2.12：傳統式（左）、改良式（中）和鐘擺式沾錫法（右）示意圖。 [28].....	14
圖 2.13：熔錫噴射製程的設備和示意圖。[29].....	15
圖 2.14：錫銀合金相圖。[32].....	16
圖 2.15：焊錫微凸塊示意圖。 .....	17
圖 2.16：固溶強化與晶粒細化造成差排移動阻礙。[33].....	18
圖 2.17：於 FCC 晶格的雙晶化結構示意圖。[33] .....	19
圖 2.18：奈米級雙晶（nano-twin）、奈米晶格（nc）和粗晶粒（coarse-grained） 的銅於拉伸試驗中的結果。[36].....	20

圖 2.19：奈米級雙晶（nano-twin）、奈米晶格（nc）和粗晶粒（coarse-grained）的銅之電阻率比較。[36].....	20
圖 2.20：脈衝式電鍍過程中即時量測之應力值。[39].....	22
圖 3.1：實驗流程示意圖。.....	25
圖 3.2：銅(I)和 BTA 的複合物的結構。[40].....	27
圖 3.2：定電流電鍍裝置示意圖。.....	28
圖 3.3：電鍍裝置（電鍍槽與外部電源供應器）。.....	28
圖 3.4：試片 1 之電流與時間圖。.....	34
圖 3.5：試片 2 之電流與時間圖。.....	34
圖 3.6：試片 3 之電流與時間圖。.....	34
圖 3.7：試片 4 之電流與時間圖。.....	34
圖 3.8：試片 5 之電流與時間圖。.....	34
圖 3.9：試片 6 之電流與時間圖。.....	34
圖 4.1：銅電鍍液的極化掃描曲線圖。.....	36
圖 4.2：銅電鍍俯視圖。.....	39
圖 4.3：銅電鍍側視圖。.....	39
圖 4.4：電鍍銅，電流密度 $20 \text{ mA/cm}^2$ ，30 分鐘。.....	40
圖 4.5：電鍍銅，電流密度 $20 \text{ mA/cm}^2$ ，30 分鐘。.....	40
圖 4.6：電鍍銅，電流密度 $20 \text{ mA/cm}^2$ ，30 分鐘。.....	40
圖 4.7：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，15 分鐘。.....	41
圖 4.8：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，15 分鐘。.....	41

圖 4.9：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，15 分鐘。	41
圖 4.10：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，20 分鐘。	42
圖 4.11：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，20 分鐘。	42
圖 4.12：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，20 分鐘。	42
圖 4.13：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，30 分鐘。	43
圖 4.14：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，35 分鐘。	44
圖 4.15：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，35 分鐘。	44
圖 4.16：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，35 分鐘。	44
圖 4.17：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，35 分鐘。	45
圖 4.18：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，35 分鐘。	45
圖 4.19：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，35 分鐘。	45
圖 4.20：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，40 分鐘。	46
圖 4.21：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，40 分鐘。	46
圖 4.22：電鍍銅，電流密度 $30 \text{ mA/cm}^2$ ，40 分鐘。	46
圖 4.23：鎳電鍍液的極化掃描曲線圖。	48
圖 4.24：電鍍鎳於銅層上，電流密度 $30 \text{ mA/cm}^2$ ，10 分鐘。	49
圖 4.25：電鍍鎳於銅層上，電流密度 $30 \text{ mA/cm}^2$ ，10 分鐘。	49
圖 4.26：電鍍鎳於銅層上，電流密度 $30 \text{ mA/cm}^2$ ，10 分鐘。	49
圖 4.27：電鍍鎳於銅層上，電流密度 $30 \text{ mA/cm}^2$ ，15 分鐘。	50
圖 4.28：電鍍鎳於銅層上，電流密度 $30 \text{ mA/cm}^2$ ，15 分鐘。	50
圖 4.29：電鍍鎳於銅層上，電流密度 $30 \text{ mA/cm}^2$ ，15 分鐘。	50

圖 4.30：電鍍鎳於銅層上，電流密度 30 mA/cm <sup>2</sup> ，20 分鐘。	51
圖 4.31：錫銀合金電鍍液的極化掃描曲線圖。	53
圖 4.32：電鍍錫銀合金於鎳層上，電流密度 5 mA/cm <sup>2</sup> ，40 分鐘。	55
圖 4.33：電鍍錫銀合金於鎳層上，電流密度 5 mA/cm <sup>2</sup> ，40 分鐘。	55
圖 4.34：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，20 分鐘。	56
圖 4.35：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，20 分鐘。	56
圖 4.36：電鍍錫銀合金於鎳層上，電流密度 20 mA/cm <sup>2</sup> ，10 分鐘。	57
圖 4.37：電鍍錫銀合金於鎳層上，電流密度 20 mA/cm <sup>2</sup> ，10 分鐘。	57
圖 4.38：電鍍錫銀合金於鎳層上，電流密度 30 mA/cm <sup>2</sup> ，6.67 分鐘。	58
圖 4.39：電鍍錫銀合金於鎳層上，電流密度 30 mA/cm <sup>2</sup> ，6.67 分鐘。	58
圖 4.40：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，15 分鐘。	61
圖 4.41：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，15 分鐘。	61
圖 4.42：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，20 分鐘。	62
圖 4.43：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，20 分鐘。	62
圖 4.44：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，22 分鐘。	63
圖 4.45：電鍍錫銀合金於鎳層上，電流密度 10 mA/cm <sup>2</sup> ，22 分鐘。	63
圖 4.46：迴鍍熱處理後成球的錫銀合金凸塊。	64
圖 4.37：成球後的錫銀合金凸塊成分分析圖。	65
圖 4.38：試片 1 之施加應力與位移量關係圖。	67
圖 4.39：試片 2 之施加應力與位移量關係圖。	68

## 表目錄

表 2.1：各種含錫合金其共晶溫度與共晶組成一覽表。.....	8
表 3.1：電鍍銅基底液配方。.....	26
表 3.2：電鍍銅之電流密度與時間參數一覽表。.....	27
表 3.3：電鍍鎳基底液配方。.....	29
表 3.4：電鍍銅之電流密度與時間參數一覽表。.....	30
表 3.5：電鍍錫銀合金基底液配方。.....	31
表 3.6：電鍍奈米級雙晶銅之基底液配方。.....	32
表 3.7：脈衝式電鍍電流密度與時間參數表。.....	33
表 4.1：銅電鍍其電流密度、電鍍時間和厚度關係表。.....	38
表 4.2：鎳電鍍於銅柱上其電流密度、電鍍時間和厚度關係表。.....	51
表 4.3：成球後的錫銀合金凸塊成分分析表。.....	65
表 4.4：平版銅片於壓痕硬度測試儀量測之硬度一覽表。.....	66
表 4.5：試片 1 之下壓深度、彈性模數與硬度結果。.....	67
表 4.6：試片 2 之下壓深度、彈性模數與硬度結果。.....	68

# 第一章 緒論

隨著半導體工業的持續蓬勃發展，晶片功能和面積持續增加，耗電量也往上提高，原有的封裝技術需要做更進一步的發展與研究，三維垂直立體堆疊晶片（3D-IC）的技術便成為廣泛的研究議題。結構從平面轉變為立體減少了傳輸導線的長度，因為如此其有著較低的訊號傳輸延遲和較低的耗能的優點，且其可以整合異質的晶片使目前很多研究機構均投入此領域研究。但今日由於良率和可靠度的顧慮使其尚未有商業產品的問世。

在三維垂直立體堆疊晶片的製程中矽穿孔技術是最受矚目的，有別於傳統的封裝方式，TSV 的晶片堆疊並非打線接合 (Wire Bonding) 的方式，而是在晶片鑽出小洞，從底部填充入金屬。作法是在每一個矽晶圓上以蝕刻或雷射方式鑽孔 (via)，使其能通過每一層晶片，再以導電材料如銅、多晶矽、鎢等物質填滿，而形成一通道（即內部接合線路）來做連接的功能，最後則將晶圓或晶粒薄化再加以堆疊、結合 (Bonding)，作為晶片間傳輸電訊號用之堆疊技術。

在後段接合的製程中，微細間距和高密度的焊錫凸塊為一個很重要的目標。為了要提高單位面積內的 I/O 數量，限縮凸塊間的尺寸和間距為一個方向，本論文所製備的試片中焊錫凸塊為間距為 20  $\mu\text{m}$ ，領先當前業界的 40  $\mu\text{m}$  凸塊尺寸。

由於環保意識的抬頭，原有的錫鉛焊錫凸塊已無法繼續使用，而需要使用無鉛焊錫凸塊做取代。不同的含錫合金系統被研究，其中錫銀合金有著最佳的機械性質和可靠度，成為取代舊有錫鉛焊錫凸塊的首要之選。

電化學電鍍法是眾多製作凸塊技術之一，由於其成本較低且產率高成為目前主要的製程方法。由於製備出來的合金凸塊需要相同的合金組成以利後段封裝製程需求，故如何控制製程中的各項影響因子以維持其安定性成為很重要的課題。而在電鍍時，相關的化學物和添加劑均會對產物造成很大的影響，電鍍的參數和環境也會影響成品的表面形貌和各項性質。



## 第二章 介紹與文獻回顧

### 2-1 3D-IC 技術簡介

隨著 IC 製程技術不斷開發，從鋁導線製程進步至銅導線製程，新的低介電係數材料開發出來，線寬從 40 nm 到 28 nm 甚至 22 nm、14 nm 的未來目標，技術上逐漸遇到了物理瓶頸。除了往下向物理極限挑戰讓摩爾定律 (Moore's Law) 能不斷被後人遵循外，在封裝上有嶄新且具突破性的研究成為矚目焦點。晶片設計業者想整合 IC 製作系統單晶片，但隨著元件功能越來越多，晶片隨之面積增加，也增加了電能的耗損，種種因素使得原有封裝技術慢慢不能滿足需求。而 3C 產品技術的蓬勃發展，亦帶動了新技術的研究，未來的封裝趨勢由 2D 的平面晶片發展朝向 3D 的堆疊晶片。有別於傳統的立體堆疊的方式做封裝，如此可以有效縮短不同晶片間的訊號傳輸路徑。如圖 2.1 所示，原本平面封裝所要走的路徑改以立體堆疊的方式作取代，可減低雜散電容與電感 (Parasitic Capacitance/Inductance)，對於線路之間訊號傳輸延遲有十足的改善功效[1]，且傳輸時的雜訊跟耗能都會下降，效能隨之提昇[2]。此項技術亦可被應用在異質晶片整合 (Heterogeneous Integration of Different ICs) 於單一晶圓封裝當中，如 logic、memory、sensors 和 Analog/Digital converters 等元件。圖 2.2 為電晶體數和封裝技術之演進趨勢圖，可以發現 3D-IC 為下個世代最被看好具發展潛力的技術。

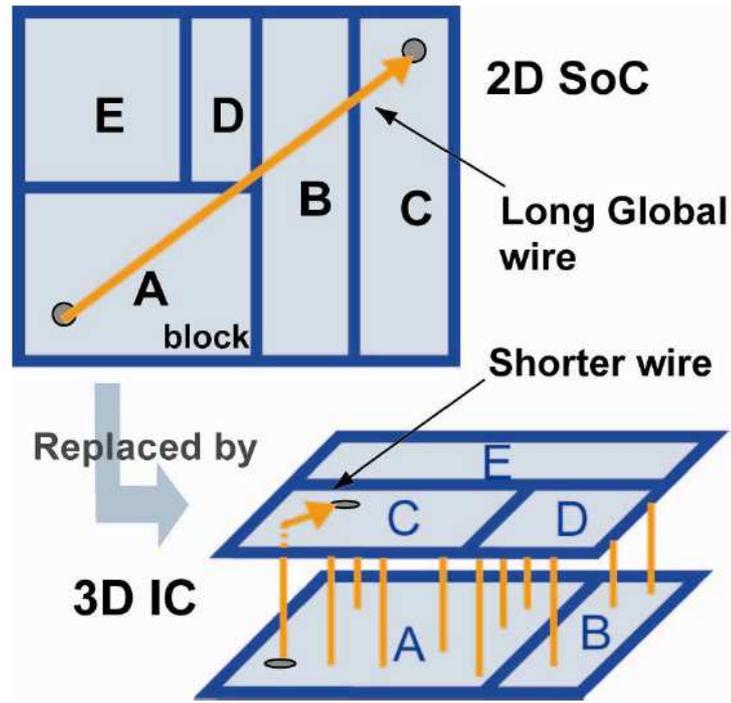


圖 2.1：三維立體封裝堆疊與平面封裝之傳輸路徑比較。[3]

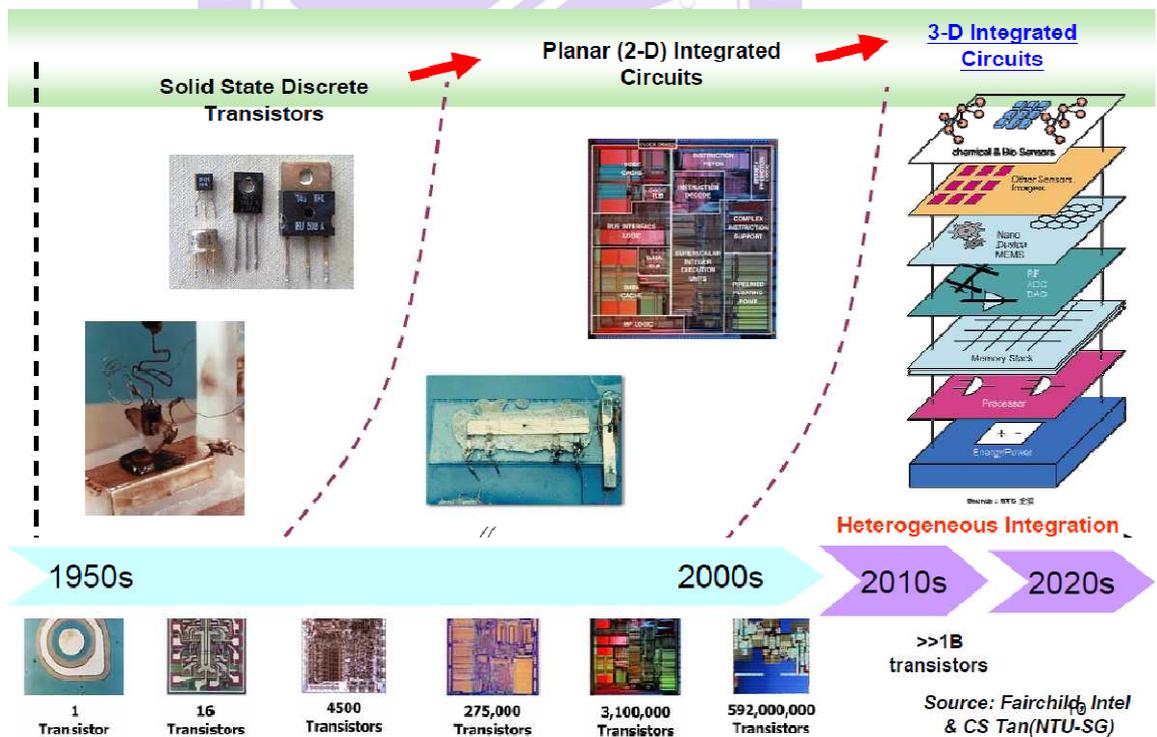


圖 2.2：IC 世代中電晶體數和封裝技術之演進趨勢。[4]

當前 3D-IC 的技術大致上可以分為三類，分別為 Package Stacking（以兩個獨立的封裝體以表面接合的方式做接合）、Die Stacking（晶片堆疊於周圍做立體打線方式做連結）和 Through Silicon Via（簡稱 TSV，為利用矽穿孔電極技術，使得接線不限於晶片周圍而可於晶片中間）三種技術。圖 2.3 為 TSV 結構示意圖，矽晶片藉由深反應式離子蝕刻（DRIE）將中間穿孔並填入導電物質的方式相連接，中間的孔洞可為銅（Cu）、鎢（W）或是參雜多晶矽（Doped Poly-Si），而目前以銅為主流。在孔隙之間以無鉛焊錫凸塊接合。

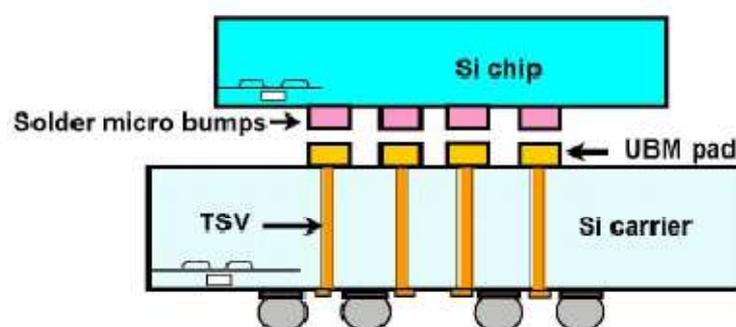


圖 2.3：TSV 結構示意圖。[2]

目前 TSV 較前二者較有優勢，原因為 Package Stacking 封裝體在其內部，使得晶片微小化較為困難；而 Die Stacking 在高頻元件上應用有所限制，故當前主要的三維晶片堆疊研究機構大部分皆以 TSV 為主。國內外也有許多廠商著眼於此領域的研究，包括記憶體、封裝和晶圓代工相關業者都投入大量人力開發三維晶片堆疊技術。

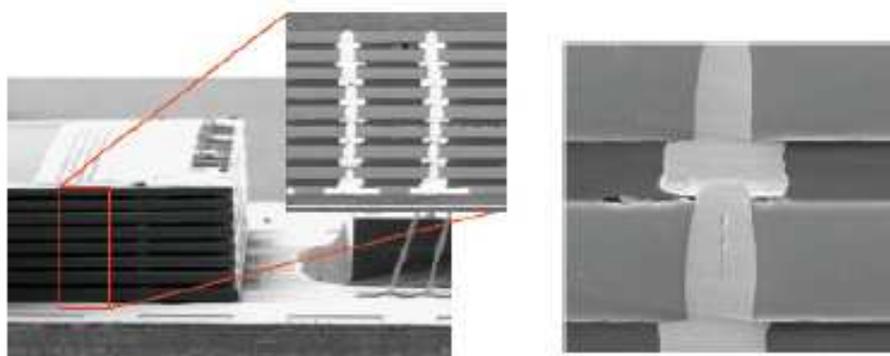


圖 2.4：Samsung 展示其應用 TSV 技術之 16Gb NAND stack。[4]

## 2-2 超細間距無鉛焊錫微凸塊技術簡介

### 2-2-1 覆晶接合 (Flip-chip) 技術

覆晶接合技術源於 IBM 公司於 1960 年代推出[5]，以濺鍍和蒸鍍技術開發高鉛含量凸塊 (Bump)，將晶片與耐高溫的陶瓷基板直接接合，目的在降低成本、提高速度及提高元件的可靠度。而由於封裝的形式是將晶粒正面翻覆朝下，藉由在晶粒上所植的凸塊與基板直接連接，故名為「覆晶」，而覆晶技術在電子構裝一直扮演著極為重要的角色。

近年來消費者引頸期盼各式電子裝置能夠具有更高的效能和功能，所以很多的系統級構裝 (SIP, System in a Package) 技術相繼被開發，在系統級構裝中為了使得晶片間有著更快速和寬頻資料傳輸，晶片間必須具有更短的傳輸路徑和更高的接點數。隨著半導體製程的持續提昇，積體電路的複雜度大量增加，晶片尺寸也不斷縮小，而晶片的 I/O 數也需要做提昇[6]，使得密度大量增加[7]。凸塊的尺寸及間距從早期發展時的 200  $\mu\text{m}$  和 500  $\mu\text{m}$  演變為微凸塊的 60  $\mu\text{m}$  和 120  $\mu\text{m}$ ，現在發展的步伐演進到甚至小於 30  $\mu\text{m}$  到 60  $\mu\text{m}$  的超細間距。由 ITRS 的產品規劃藍圖 (圖 2.5) 可以發現在 2012 年的目標為間距 20  $\mu\text{m}$ [8]，接點數約為 5000，如此難度的製程挑戰需要開發更新的超細間距無鉛焊錫微凸塊技術以符合高密度細間距的需求。

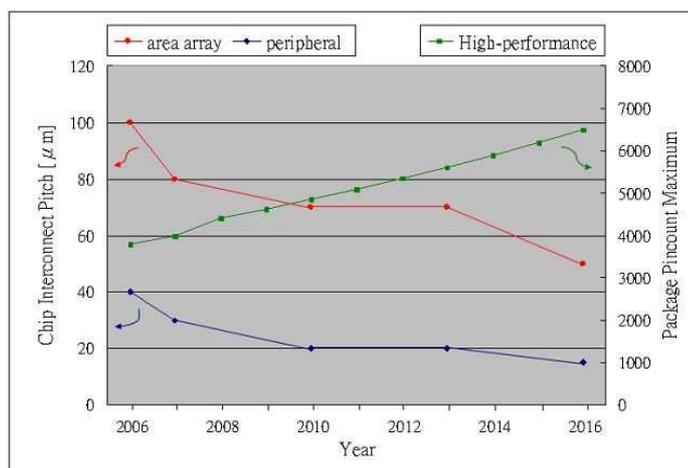


圖 2.5：Roadmap of ITRS (2006)。 [8]

### 2-2-2 凸塊下金屬層

在覆晶接合技術中，會在晶種層上沉積凸塊下金屬層（Under-Bump Metallization, UBM）。UBM 層大致可以由三層金屬所組成，分別為：

(1) 黏附層(Adhesion layer)，如鈦、鉻、鋁等，主要目的在於提供接合墊(Bond pad)與潤濕層有較強之黏著性。

(2) 阻擴層(Diffusion barrier layer)，如鉻、鈮、鎳等金屬，主要目的為降低凸塊與晶片 I/O 時的原子移動(Migration)。在有電流通時會因為電流密度差異形成不同的電場，而導致金屬原子沿著晶界往電子移動方向移動的趨勢，即為所謂電遷移(Electromigration)的現象，而由於微凸塊之直徑較小，容易在電流流經時發熱而溫度提高，產生所謂熱遷移(Thermomigration)現象，阻擴層為保護元件不因原子遷移而失效。現今常用鎳作為阻擴層，主要是著重其成本低，不易與錫反應，且有很好的潤濕性[9-11]。

(3) 潤濕層(Wetting layer)，如鎳、銅等，此類金屬與鉛錫之潤濕程度較高，在迴焊(Reflow)時鉛錫可完全滯留附立其上而成球狀。

### 2-2-3 焊錫凸塊 (Solder bump)

以往廣泛使用的錫鉛合金具有高毒性和汙染[12]，雖然有著高導電性、低熔點和低成本的良好誘因，且製程單純(錫與鉛的標準還原電位相近， $\text{Sn}^{2+}$ 為-0.136 V， $\text{Pb}^{2+}$ 為-0.125 V)但在現今以環保為主要考量下必須要找尋新的無鉛材料來替換。二元和三元的錫化合物最常用來作為焊錫的材料，最近被研究的材料如錫銅 (Sn-Cu)、錫銀 (Sn-Ag)、錫銀銅(Sn-Ag-Cu)、錫鉍 (Sn-Bi) 等錫化合物。下表 2.1 列出了可以被取代錫鉛合金的錫化合物其共晶溫度和共晶點組成。

表 2.1：各種含錫合金其共晶溫度與共晶組成一覽表。

Systems	Eutectic temperature (°C)	Eutectic composition
Sn-Cu	227	Sn-0.7Cu
Sn-Ag-Cu [13-15]	217	Sn-3.8Ag-0.7Cu
Sn-Ag [16-19]	221	Sn-3.5Ag
Sn-Au	217	Sn-10Au
Sn-Zn	198.5	Sn-0.9Zn
Sn-Pb [20-21]	183	Sn-38.1Pb
Sn-Bi	139	Sn-57Bi
Sn-In	120	Sn-51In

而目前的研究顯示錫銀合金於共晶點時和其他比較下有著較高的機械性質 [22-26]。錫銀合金在承受負載時相較於其他含錫合金的偏移量較低(如圖 2.6 所示)，剪切強度較高(如圖 2.7 所示)，即後續在進行接合時較不容易失敗，提高了其可靠度，使得錫銀合金成為當前取代原有錫鉛合金的優秀選擇。

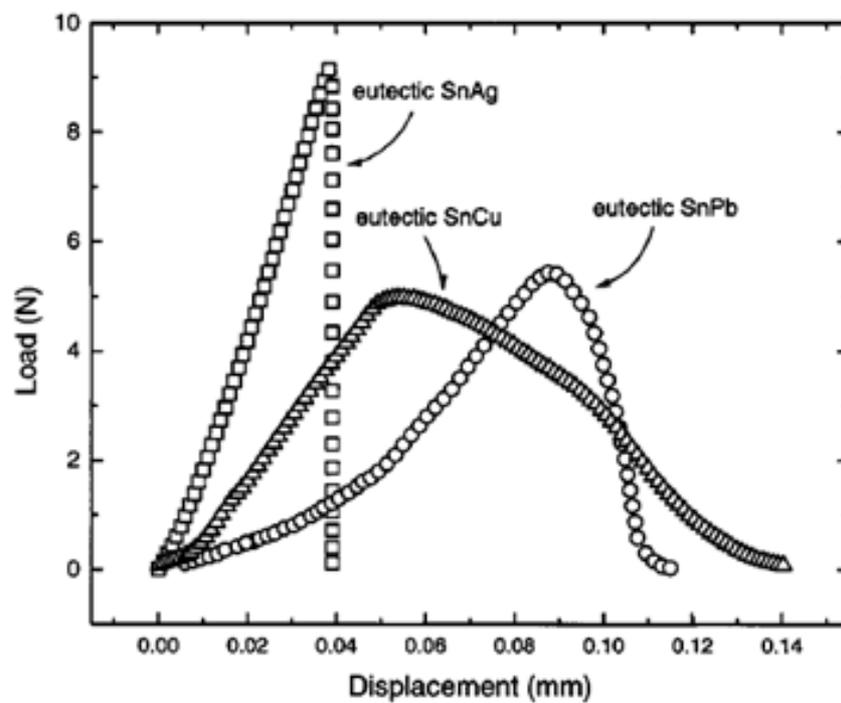


圖 2.6：不同共晶合金鉛錫凸塊之負載量-偏移關係圖。[26]

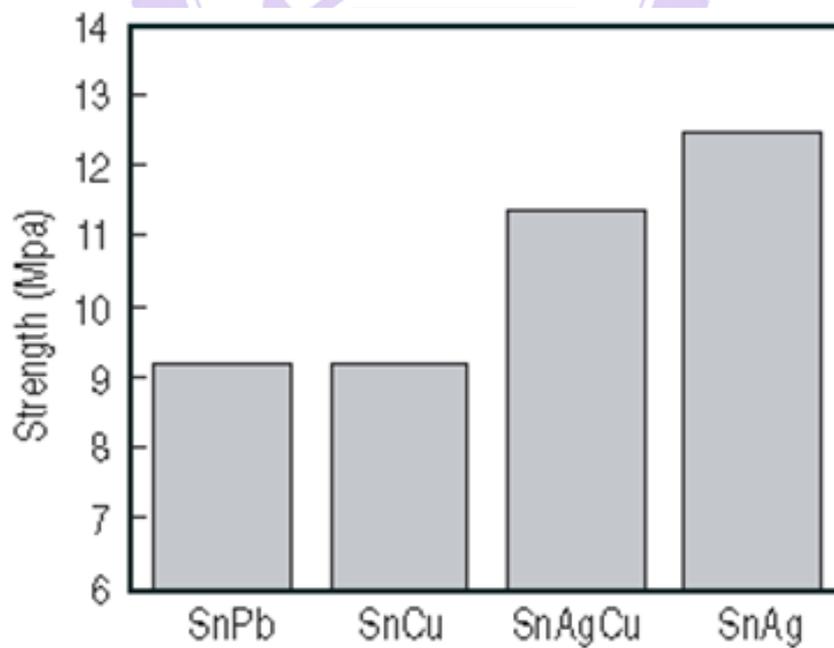


圖 2.7：不同共晶合金鉛錫凸塊之剪切強度比較圖。[27]

## 2-3 凸塊製作技術

今日主要的各種凸塊製作技術主要分為四大類，分別為：氣相沉積、液相沉積、固相沉積和電化學沉積法。以下分別就各種技術做介紹和特性比較，並且評估其應用於超細間距無鉛錒錫微凸塊的可能性。

### 2-3-1 氣相沉積

以蒸鍍的方式製作錒鉛凸塊，為 IBM 公司於 1968 年所率先發表的技術。其運作原理為在高溫且高真空的環境下，把熔化鍋內的錒鉛錒錒加熱至氣化溫度之上，金屬蒸汽會凝結在爐內的表面上。此時使用一塊金屬遮罩對準晶圓，如此錒鉛錒錒凸塊就只會於金屬遮罩開口位置成長。

為了確保錒錒凸塊的接合強度，通常會在鋁墊上濺鍍一層與錒錒合金相容的凸塊下金屬層。以蒸鍍方式製作錒鉛凸塊的技術目前相當成功且完熟，有多個國際大廠採用此方式如三菱、富士、Motorola、Heinrich-Hertz 等公司，並且不斷改良製程。例如使用光阻作為模版，如此去除光阻的同時就可以移除不必要的錒鉛沉積。雖然很成功，但是晶圓尺寸以由 6 吋逐步轉換為 8 吋和 12 吋，將來更會進步到 18 吋晶圓，意味著真空蒸鍍設備也要轉趨大型，機台的成本將相當高。另外應用在細間距的金屬遮罩的製作也是困難重重。成本高以及技術上的難以克服，使得將來的發展受到限制。

### 2-3-2 固相沉積

固相沉積分為三種，其低成本的特性使其今日仍有一定的支持者，但於超細間距上有其應用的限制。

第一種為打線凸塊，為藉由改良過的打線機來製作。如圖 2.8 所示，其製作方法為將金/銅線直接打在鋁墊上，在將頂端壓平即可形成凸塊（UBM 於此法中並不一定需要，只有部分鉍錫線材在需要在鋁墊上製作與鉍錫相容的凸塊下金屬層）。此類方法不需要光罩所以可以節省許多成本，在低密度 I/O 數量上是個低成本的好方法，但其連續製程的特性使其不適合應用於高密度 I/O。且打線的鉍球通常為所使用線徑的 2.6 到 2.7 倍左右，即使使用的線徑能小至  $15\ \mu\text{m}$ ，最後形成的打線凸塊尺寸也會膨脹到  $40\ \mu\text{m}$ ，限制了其於超細間距微凸塊的應用。

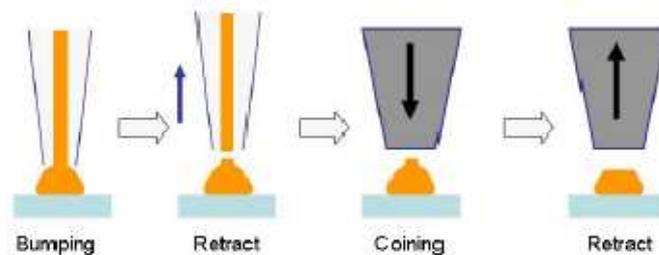


圖 2.8：打線凸塊的製作流程。[28]

第二種為印刷凸塊，利用鋼板和刮板將錫膏固定至鉍錫點上，如圖 2.9 所示。此項技術相當簡易和成熟，成本也不高，欲製作任何含錫合金的金屬凸塊只要更換錫膏的種類即可。不過目前實際量產的鋼板印刷的最小間距為  $200\ \mu\text{m}$ ，正在研發的也不過接近  $100\ \mu\text{m}$  的間距。為了要達到良好的再現性，及均勻的細間距

印刷凸塊，需要改善的有錫膏的物理特性、鋼板材質和種類、鋼板製程（鋼板厚度必須小於開孔直徑）以及印刷設備，要微縮間距也需要更細的錫粉和控制良好的迴錫（Reflow）溫度。上述種種無疑是製程與材料上的巨大挑戰，因此傳統的鋼板印刷方法不適用於超細間距無鉛凸塊的製作。

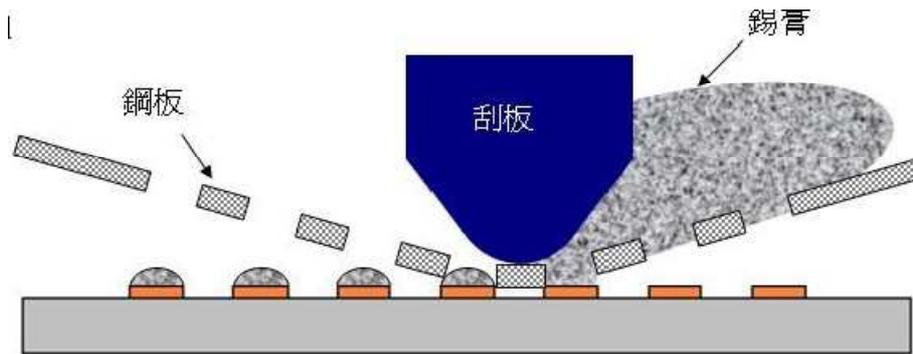


圖 2.9：鋼板印刷凸塊的製作流程。[28]

第三種為 C4-NP 技術，全名為 Controlled Collapse Chip Connection New Process，是由 IBM 所開發，並由 SUSS MicroTec 公司進行商業化的一種新穎的錫鉛凸塊封裝技術。

C4-NP 藉由利用多種無鉛鉛錫合金來達成低成本與微細間距製程，以解決現存凸塊技術的限制。C4-NP 是一種錫鉛轉移技術，其將熔化的錫鉛注入預先製造，而且可重覆使用的玻璃樣版（模具）中。C4-NP 的鑄模使用與矽晶圓熱膨脹系數接近的玻璃材質，並以黃光製程製作圖案與蝕刻凹洞。玻璃鑄模凹洞的深度及直徑決定晶圓上凸塊的尺寸，也定義出凸塊的間距及位置。先將液態鉛錫注入可重覆使用的玻璃鑄模凹洞中。注滿鉛錫的玻璃鑄模在經過仔細檢查以確保良率之後，將注滿鉛錫的玻璃鑄模與晶圓準確對位，再同時加熱至鉛錫熔點以上。鉛錫合金不會與玻璃潤濕，凹洞中的鉛錫會在高溫條件下形成球形並且其高度會突出玻璃鑄模表面，再與晶圓上的 UBM 接合。在鉛錫固化後，所有凸塊即轉印至晶圓上。

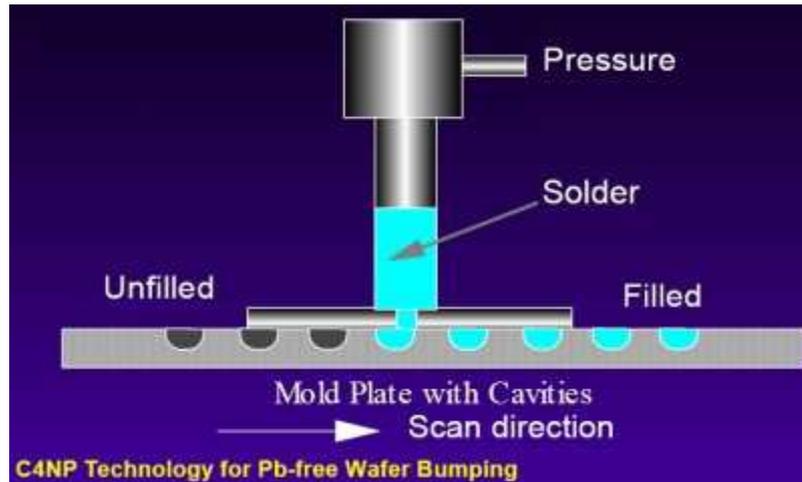


圖 2.10：C4-NP 技術製作無鉛錒錫凸塊的製作流程。[28]

C4NP 製程的簡單特性，使其成為一個可同時為微細間距的 FCiP (Flip-Chip in Package，覆晶封裝) 與 WLCSP (Wafer Level Chip Scale Packaging，晶圓級晶片尺寸封裝) 的凸塊應用提供低成本、高良率與快速生產週期時間的解決方案，且其不需要使用助錒劑也沒有形成凸塊內空孔的疑慮。但是高溫形成的錒錫球體並不會這麼剛好就位於凹洞中心，這個現象在間距尺寸微縮後會更趨明顯，且製作微細尺寸的玻璃鑄模凹洞也是製程上一大挑戰，限制了其於超細間距微凸塊的應用，目前技術上發展的最細間距與凸塊直徑分別為  $50\ \mu\text{m}$  和  $30\ \mu\text{m}$ 。

### 2-3-3 液相沉積

液相沉積不需要使用黃光或光罩製程，所以成本相對較低。但固溶體從液相固化時為亞穩態 (Metastable)，之間轉換的過程牽扯到了固化動力學，其變化難以預測或控制，大大影響了沉積凸塊的品質，但由於液體本身的性質使其可以應用於超細間距微凸塊，是目前尚具競爭力的一個技術。液相沉積大致分為以下三種：

第一種為沾錫及浸鍍方式，即將鋁墊直接浸於鉛錫當中，再細分下去還有傳統式（直接將鋁墊浸於鉛錫當中）、改良式（在鋁墊上沉積一層無電鍍鎳作為UBM[28]，以避免鋁於浸鍍時溶解於鉛錫當中造成鋁流失）、鐘擺式[29]（將基板置於鐘擺裝置上，利用擺盪改變接觸鉛錫液體的時間，以控制欲浸鍍上去的量）和打線凸塊式[30]。打線凸塊式為在鋁墊上打上凸塊取代原有之UBM，以凸塊和液態的無鉛鉛錫潤濕以形成無鉛鉛錫層，改變液態無鉛鉛錫的成份就可以改變無鉛凸塊上的成份。其承襲了打線凸塊式的優點，但也同樣具有無法將間距微縮到 $40\ \mu\text{m}$ 以下的缺點，故無法利用於超細間距微凸塊的製作。

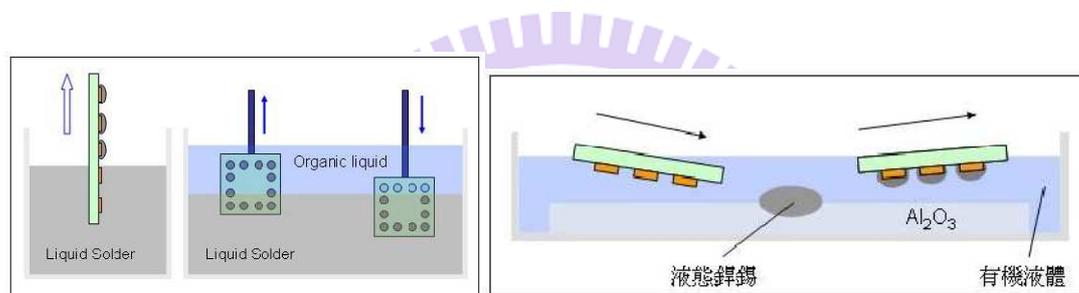


圖 2.11 和圖 2.12：傳統式（左）、改良式（中）和鐘擺式沾錫法（右）示意圖。[28]

第二種為熔錫噴射式[31]。噴墨列印也可以應用於材料的精密噴印，依運作原理可以分成兩類：壓電式和熱泡式。其中壓電式噴墨技術不需要將待噴的液體氣化，因此可以利用於熔融金屬的噴印。會影響熔錫噴射凸塊品質的要素有：噴射壓力、噴射裝置、鉛錫溫度、噴射距離和基材溫度等。方法為利用 $60\text{--}100\ \mu\text{m}$ 的單一錫鉛液滴來噴射於凸塊上，通常會以無電鍍鎳金（ENIG）作為其凸塊下金屬層（UBM）。由於噴射上去會有附著力不佳的問題，因此需要於表面再噴灑一層助錫劑，並進行一次迴錫熱處理使噴射液滴和無電鍍鎳金UBM穩固結合。目前這些技術已相當成熟，早期常出現的問題如衛星狀噴射和凸塊偏移等都已獲得大幅改善，缺點為仍然沒有辦法應用在超細間距的微凸塊製作，但是具有持續發展

的潛力。



圖 2.13：熔錫噴射製程的設備和示意圖。[29]

#### 2-3-4 電化學沉積

電化學沉積法為目前微凸塊技術主流，原因為其有高產率、低成本的特性，不需要高真空、高溫等各式嚴苛的操作環境。且使用液體作為媒介的先天優勢，可以克服各式各樣的表面形貌以及擁有較佳的階梯覆蓋率，適合作為未來新世代小尺寸元件的製造開發，因而成為目前的主流。

製作方法為先於晶圓上濺鍍一層晶種層 (Seed layer)，接著於晶種層上沉積光阻，經過曝光與顯影過程後即得到想要的圖樣，接著於開孔間沉積一層凸塊下金屬層 (UBM)，以增加其與錐錫凸塊的附著力，在電鍍錐錫合金於開口處。接著以有機溶劑去光阻後進行迴錐，電鍍凸塊即成形。經過多年的研究，現今錐鉛合金的技術已相當成熟，但是控制無鉛錐錫製程的穩定性仍然有其困難度，如控制合金安定性和成分固定性都是挑戰。由無鉛錐錫合金的相圖可以得知，如果成分沒有獲得良好的控制，改變 2 wt% 到 3 wt% 會使得熔點偏離共晶點數十度 C，使得後續接合組裝的製程困難。

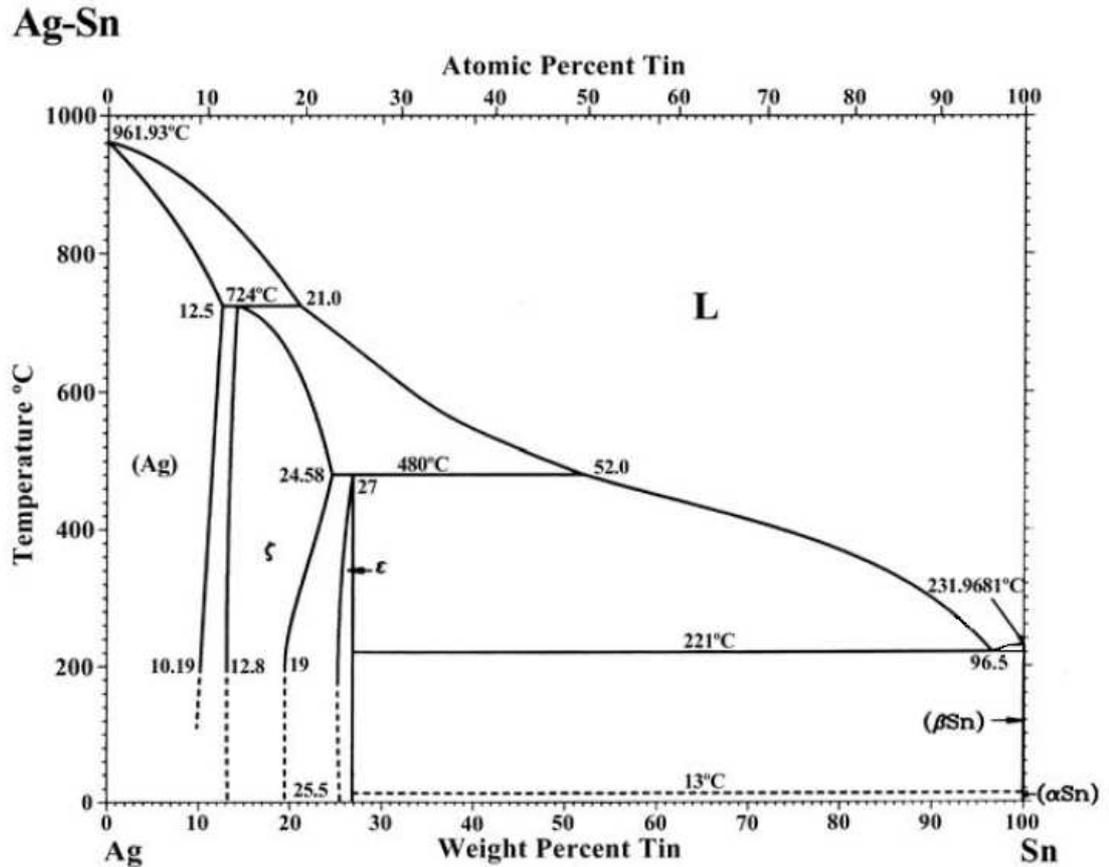


圖 2.14：錫銀合金相圖。[32]

除了成份的控制，在後段迴焊 (Reflow) 時常常會伴隨介金屬化合物 (IMC)  $\text{Ag}_3\text{Sn}$  的產生，在剪力及拉力試驗中都降低其臨界剪應力和拉應力的值，在熱疲勞試驗中也觀察到熱疲勞壽命的減少。為了要減少  $\text{Ag}_3\text{Sn}$  的形成，可以努力的方向為降低錫銀合金中的銀含量。在本論文中嘗試電鍍 Sn-2.5 wt% Ag 並且分析其組成。

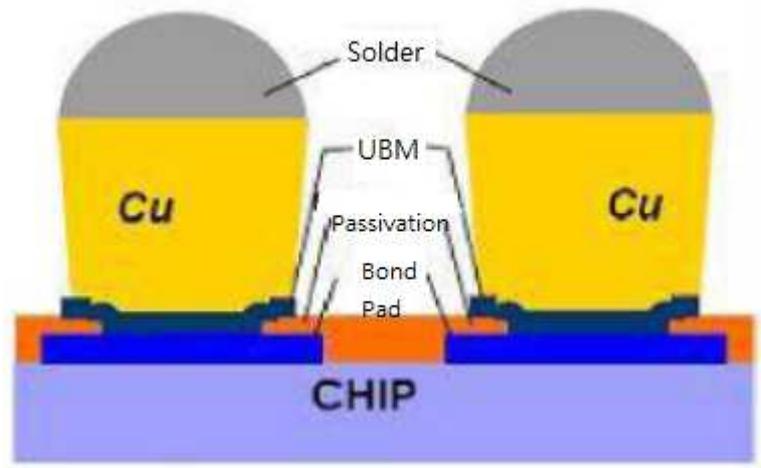


圖 2.15：焊錫微凸塊示意圖。

## 2-4 奈米級雙晶微結構簡介

前面已敘述過矽穿孔技術（TSV）為目前開發三維垂直立體堆疊晶片的關鍵技術，其優點為降低傳輸時的雜訊跟耗能，和應用於異質晶片整合。而為了要達到高效能和高可靠性，於晶片間的穿孔必須要被導電性物質完美的填滿，而不可以有任何的空孔或縫隙，以免於後續的封裝製程對良率造成影響。此導電性物質需要有著高導電性和高機械性質。今日銅被認為是最好的連結材料，因為其與舊有的鋁製程相比有著高導電性，高抗電遷移性和低廉的成本。

### 2-4-1 材料強化機制

雖然銅有著很多優良的特性，但純銅本身較軟，若要提高其機械性質需要做強化的動作。目前常見的強化法如固溶強化（Solid solution strengthening）、冷加工（Cold working）、晶粒細化（Grain refinement）和析出硬化（Precipitation hardening）。

多晶材料的變形和晶格差排的移動息息相關，故強化的方法通常為阻礙差排的移動，如晶粒細化為增加晶界以阻礙差排跨晶界移動，固溶強化和析出硬化為形成異質的阻礙物干擾差排移動，冷加工增加差排的密度使其糾結互相干擾移動。但這些方法都會使得導電率下降。之前的文獻有研究固溶強化可提高純銅強度至兩到三倍，但是卻會降低其導電率至原有的 10 %~40 %，原因為這些缺陷會使得電子產生散射而不利單方向的流動，諸多的研究都顯示機械強度與導電率為反向關連。[33-35]

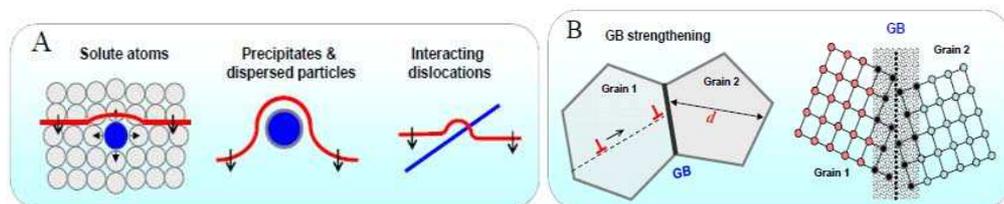
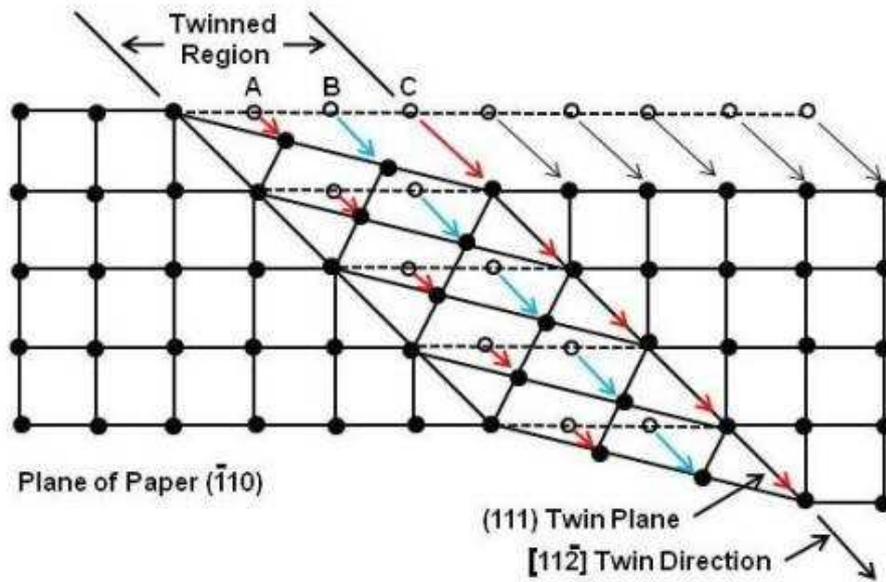


圖 2.16：固溶強化與晶粒細化造成差排移動阻礙。[32]

#### 2-4-2 雙晶結構

為了要同步提高機械強度與導電率，學界與業界寄望於找尋一個材料微結構其能夠阻礙差排移動但是又不會使得電子於傳導過程散射。雙晶晶界 (Twin boundary) 為契合晶界 (Coherent boundary) 中的一種特殊形式，它可以如同一般的晶界阻礙差排的移動，但是電阻率和晶界相比小了一個級數，因此若一個金屬其微結構包含高密度的雙晶晶界，則預期其將有著高機械強度但又不會喪失高導電率。



**Schematic Diagram of Twinning in an f.c.c. Lattice**

圖 2.17：於 FCC 晶格的雙晶化結構示意圖。[33]

雙晶（又稱孿晶）晶界是一種特殊形式的晶界，通過雙晶界會有特殊的鏡面晶格對稱；也就是說在晶界另一邊的原子會位於這一邊原子的鏡像位置。這些邊界間的材料在區域內稱為雙晶。雙晶並不常見於自然界中，形成通常需要一些外在條件作用，如塑性變形、相變化、熱退火以及其他的物理或化學製程。

Lei Lu 就高純度銅中的奈米級雙晶結構做過研究分析[36]，其指出於高深寬比的孔隙中，以脈衝式電鍍來沉積銅柱，此銅柱的底層會發現較高密度的奈米級雙晶結構，而在此區域做拉伸試驗和電阻率的測試時，有著非常好的表現。如圖 2.18 比較奈米級雙晶(nano-twin)、奈米晶格(nc)和粗晶粒(coarse-grained)的銅在拉伸試驗中的結果，可以發現奈米級雙晶在降伏強度和抗拉強度上均較另兩者來的理想。圖 2.19 為測量電阻率的比較結果，可以得知奈米級雙晶銅的電阻率和粗晶粒銅接近，且均比奈米晶格銅來的低。即若能於銅的微結構中發現奈米級雙晶結構，可以達成同步提高機械強度和導電率的目的。

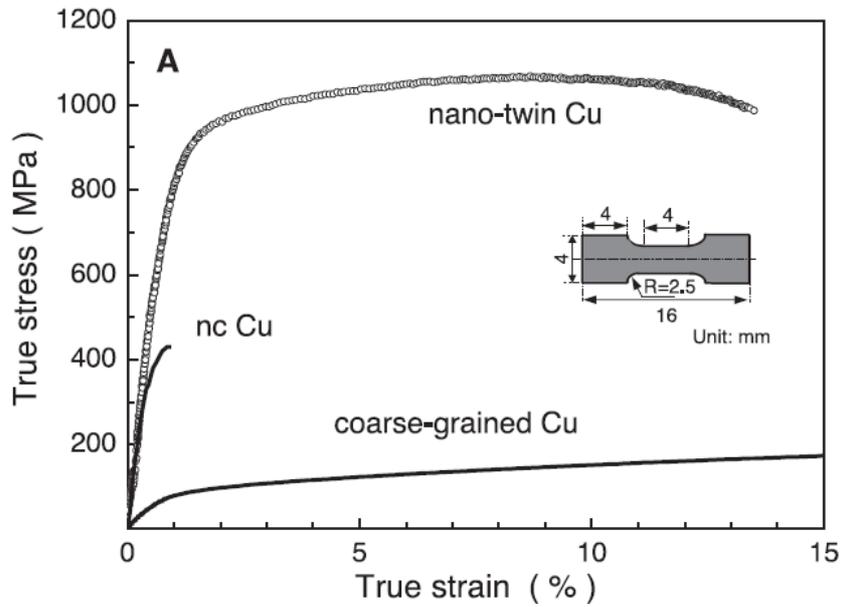


圖 2.18: 奈米級雙晶(nano-twin)、奈米晶格(nc)和粗晶粒(coarse-grained)的銅於拉伸試驗中的結果。[36]

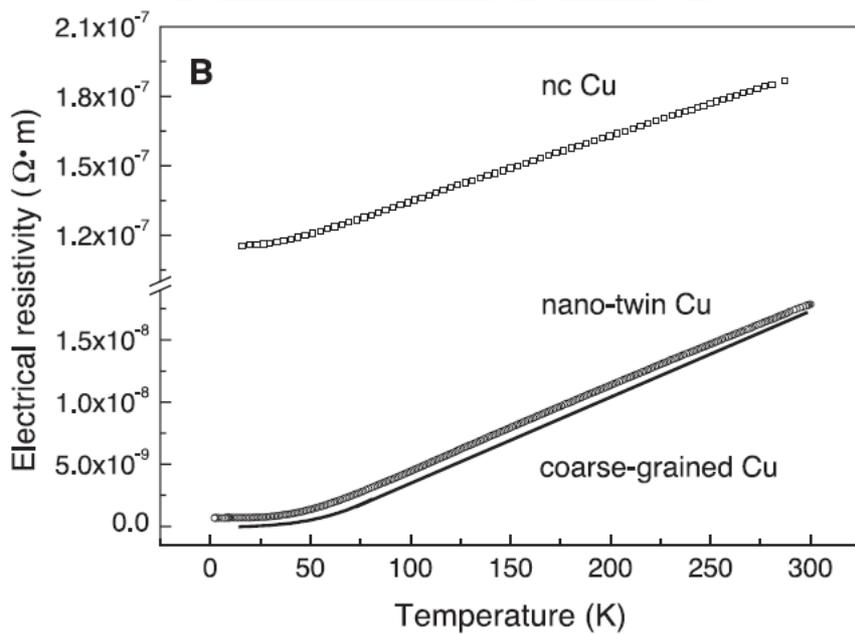


圖 2.19: 奈米級雙晶(nano-twin)、奈米晶格(nc)和粗晶粒(coarse-grained)的銅之電阻率比較。[36]

### 2-4-3 脈衝式電鍍法

截至目前為止對於奈米級雙晶的形成機制還未有定論，故尚未發現一個穩定製程能沉積出全奈米雙晶的銅柱。就熱力學的觀點來看，雙晶晶界的晶界能小於一般的高角度晶界的晶界能[37-38]，故認為雙晶化時晶界總表面能會下降，為雙晶的形成提出了一個動力學上的解釋。

目前實驗上均以脈衝式電鍍來沉積銅柱，而傳統的定電流式電鍍無法形成奈米級雙晶微結構。和定電流式電鍍相比，脈衝式電鍍於工作時間 (On-time) 可達成相對高的尖峰電流密度 (通常可比定電流電鍍大幾個量級)，故可瞬間達到高沉積率。另外於陰極端的銅離子會不斷被消耗，尤其在越高尖峰電流密度時消耗的速率更快，此時於下一次的工作時間來臨前可以於相對較長的斷路時間 (Off-time) 內經由離子擴散來補充銅離子。

目前的推論是，接通時短時間內的高沉積率會產生高密度成核點 (Nucleation sites)，且高沉積率造成了高的內應力，而於斷路時間會停止成長並再成核 (Renucleation)，此時產生高度應變的銅會由於應力釋放形成奈米級雙晶，雙晶間の間距較小是由於斷路時間很短所致。故脈衝式電鍍提供了形成奈米級雙晶的條件。

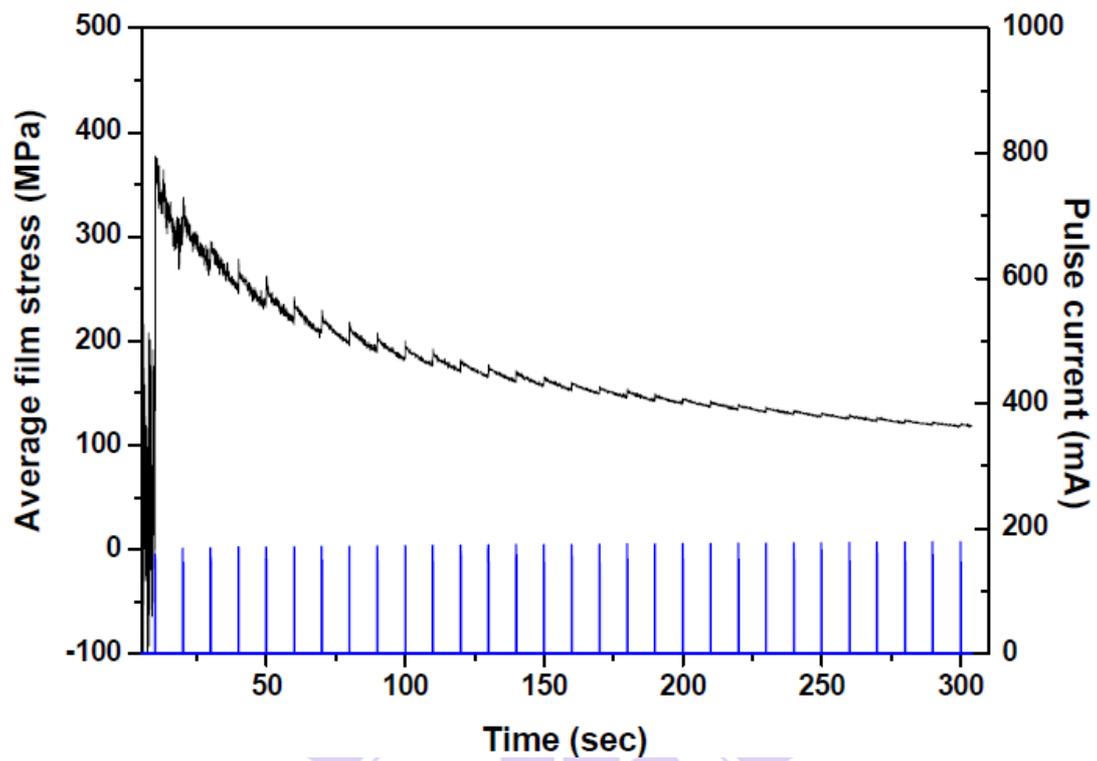


圖 2.20：脈衝式電鍍過程中即時量測之應力值。[39]



## 第三章 實驗器材及實驗步驟

### 3-1 實驗藥品與儀器

#### 3-1-1 實驗藥品

1. 硫酸銅  $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$  (cupric sulfate pentahydrate)
2. 鹽酸  $\text{HCl}$  (hydrochloric acid)
3. 硫酸  $\text{H}_2\text{SO}_4$  (sulfuric acid)
4. 聚乙二醇 PEG 3350 (polyethylene glycol)  $M_w=3350$   
聚乙二醇 PEG 600 (polyethylene glycol)  $M_w=600$
5. 4-amino-2,1,3-benzothiazole
6. 硫酸鎳  $\text{NiSO}_4 \cdot 6\text{H}_2\text{O}$  (nickel(II) sulfate hexahydrate)
7. 氯化鎳  $\text{NiCl}_2$  (nickel(II) chloride)
8. 硼酸  $\text{H}_3\text{BO}_3$  (boric acid)
9. 焦磷酸鉀  $\text{K}_4\text{P}_2\text{O}_7$  (potassium pyrophosphate)
10. 碘化鉀  $\text{KI}$  (potassium iodide)
11. 焦磷酸鉍  $\text{Sn}_2\text{P}_2\text{O}_7$  (tin(II) pyrophosphate)
12. 碘化銀  $\text{AgI}$  (silver iodide)
13. 甲醛  $\text{HCHO}$  (formaldehyde)
14. 氮氣  $\text{N}_2$  (nitrogen)

### 3-1-2 實驗設備與分析儀器

1. 電子天平 Precisa XS 225A
2. 超音波震盪器 TOHAMA D200H
3. 去離子水機 Suntex RM-220
4. 磁石加熱攪拌器 Fargo HMS-520-4
5. 電化學系統 Solartron SIC 1287
6. 掃描式電子顯微鏡 JOEL-6700F、JEOL-6500
7. 能量散佈光譜儀 INCA
8. 電子微探儀 JEOL JXA-8200 (NTU-MSE)
9. 壓痕試驗機 Indenter

## 3-2 超細間距鋅錫凸塊電鍍

### 3-2-1 極化掃描曲線測試

在此我們會先針對各種電鍍液做極化掃描曲線 (Polarization Curve)，取得在特定電壓下電流的反應，藉以作為我們應該使用參數的參考。實驗的操作上，恆電位儀的正極接在一片白金電極上，白金電極的面積為 1 cm x 1 cm，負極接在欲電鍍的金屬片上，作為工作電極以及金屬離子的來源，金屬片的面積約為 5 cm x 5 cm。參考電極為飽和的銀/氯化銀電極。

在實驗進行前都將訂做的電鍍槽、參考電極和白金電極以酒精丙酮洗淨，接著以去離子水沖洗並且以無塵紙擦乾，工作電極的金屬片另外使用砂紙將表面打磨光亮之後再以酒精丙酮跟去離子水沖洗。

試片一開始先於矽基板上以 sputter 的方式濺鍍一層平板銅作為晶種層 (seed layer)，再以旋轉塗佈 (spin coating) 方式將光阻塗佈上去，然後做曝光顯影以確定 pattern 形式。由於間距  $30\ \mu\text{m}$  以下之微錒錫凸塊電鍍與組裝技術在未來的半導體產業中將扮演非常重要之角色，選擇曝光出來的圖案為間距  $20\ \mu\text{m}$ ，孔洞直徑為  $12\ \mu\text{m}$ 。本論文的目的為致力於此超細間距之晶圓，成功控制凸塊下金屬層、錒銀合金錒錫層之厚度以及成分，預計要電鍍的金屬及厚度成分為銅 ( $5\ \mu\text{m}$ ) / 鎳 ( $3\ \mu\text{m}$ ) / 錒銀合金 ( $5\ \mu\text{m}$  Sn-2.5 wt% Ag)。

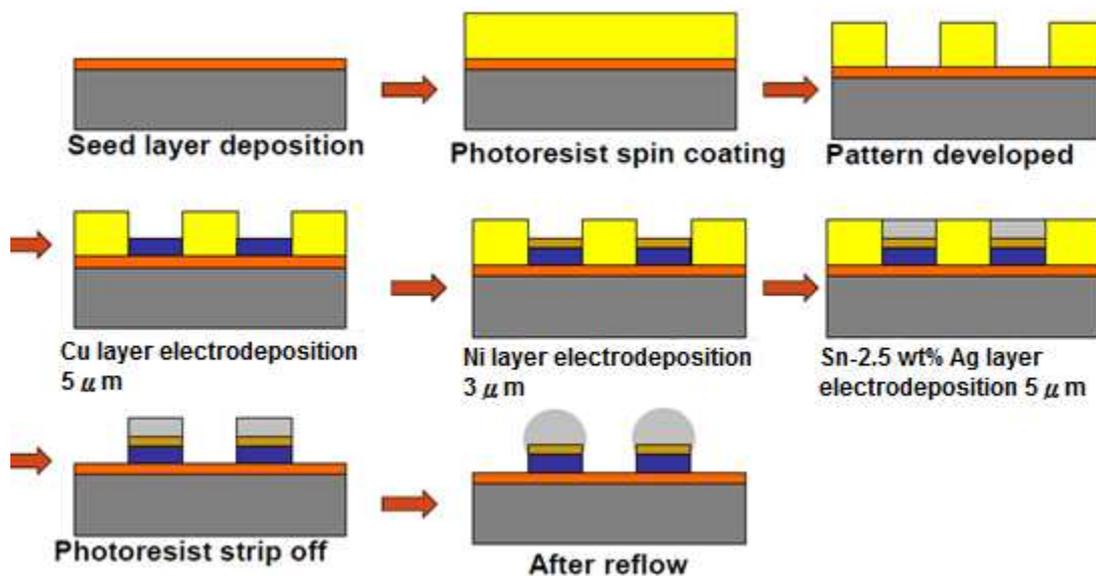


圖 3.1：實驗流程示意圖。

### 3-2-2 Under-Bump Metallization - 銅電鍍

將電鍍槽洗淨後將作為陽極的銅片洗淨並以砂紙磨光亮之後以鱷魚夾固定於槽內一側，將恆電位儀的 Counter electrode 端與銅片連結。欲電鍍的試片先破片至一定大小 (2.147 cm × 2.660 cm) 後固定於載玻片上，接著以抗酸鹼膠貼出欲電鍍的區域。欲電鍍的區域必須經過計算後於每次實驗取相同大小的區域，如此才能方便計算電流密度值和保持每次實驗的一致性。由於試片表面的光阻無法導電而絕緣，故將試片上部一小塊區域以棉花棒沾取丙酮輕輕擦拭以除去光阻，再貼上銅膠固定。

試片準備完成後放入電鍍槽內並以鱷魚夾固定於槽內另一側，將恆電位儀的 Working electrode 端與試片連結，再將恆電位儀的 Reference electrode 端與銀/氯化銀參考電極連接後放入電鍍槽內。放入磁石將轉速控制在 100 rpm，再將配製好的銅電鍍液取 110 毫升緩慢加入電鍍槽內，銅鍍液的配方如表 3.1 所示。這邊加入的電鍍液通入十分鐘的氮氣以除去溶液內的氧氣。需注意的是在未通入電流的狀態下應盡量縮短陰極端試片浸泡於鍍液內的時間，由於銅鍍液為強酸，可能會腐蝕試片上的光阻 pattern 而造成影響。

表 3.1：電鍍銅基底液配方。

電鍍銅基底液
$\text{CuSO}_4 \cdot 5\text{H}_2\text{O} = 150 \text{ g/l}$
$\text{Cl}^- = 50 \text{ ppm (36.5 wt\% HCl)}$
$\text{H}_2\text{SO}_4 = 90 \text{ ml/l (96 wt\%)}$
$\text{PEG3350} = 300 \text{ ppm (300 mg/l)}$
$4\text{-amino-2,1,3-benzotriazole} = 25 \text{ }\mu\text{M}$

這邊加入 4-amino-2,1,3-benthiadiazole 的原因為文獻記載中，具有 benzyl groups 和 amino-groups ( $-NH_2$ ) 的官能基可以增加銅電鍍的填孔效率 [40-43]。BTA 已經被廣泛的使用於電鍍銅中，其分子與分子和銅的化合物形成鏈狀的抑制層。此類三唑環結構和其取代基被認為是此類平整劑發揮效果使得表面光滑的重要因素。銅(I)和 BTA 的複合物的結構如圖 3.2 所示：

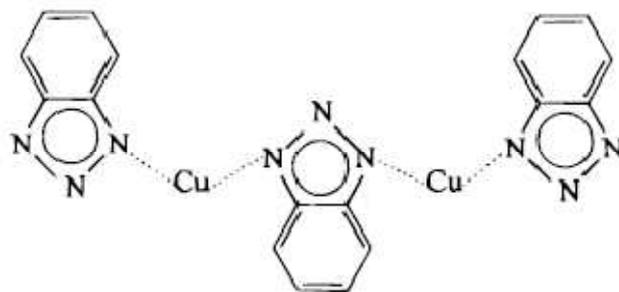


圖 3.2：銅(I)和 BTA 的複合物的結構。[40]

在此選用的電鍍法為定電流 (Galvanostatic) 法，可以大致推估庫侖效率進而確定沉積量。電鍍之電流密度與時間參數如表 3.2 所示。電鍍結束之後迅速將試片取出，經去離子水清洗後以無塵紙吸拭表面水份，再以氮氣槍將表面風乾後放入防潮箱中保存。

表 3.2：電鍍銅之電流密度與時間參數一覽表。

電流密度 ( $\text{mA}/\text{cm}^2$ )	電鍍時間 (分鐘)
20	30
30	15
30	20
30	30
30	35
30	40

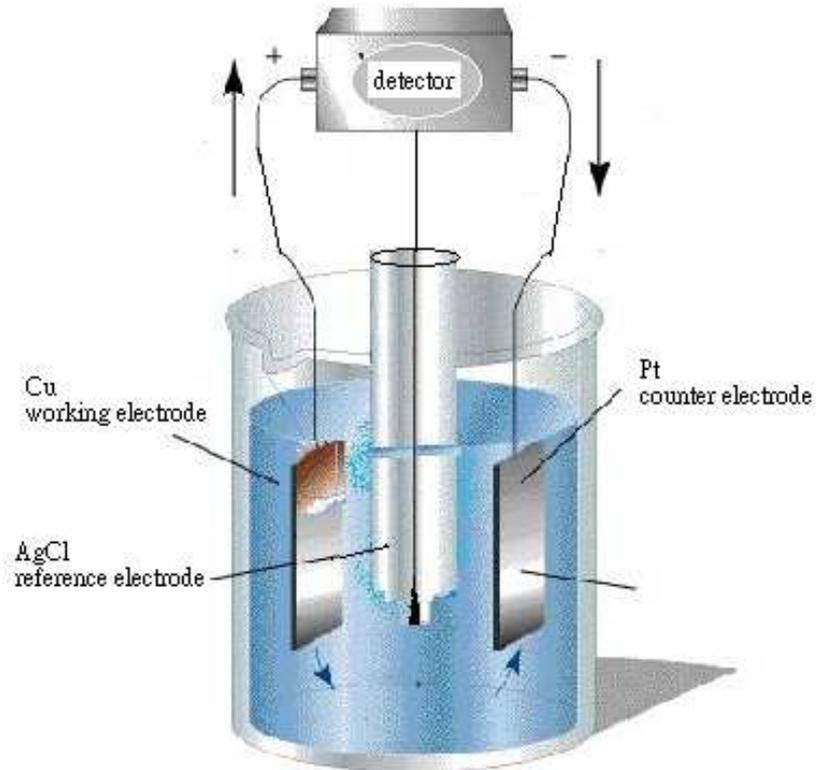


圖 3.2：定電流電鍍裝置示意圖。

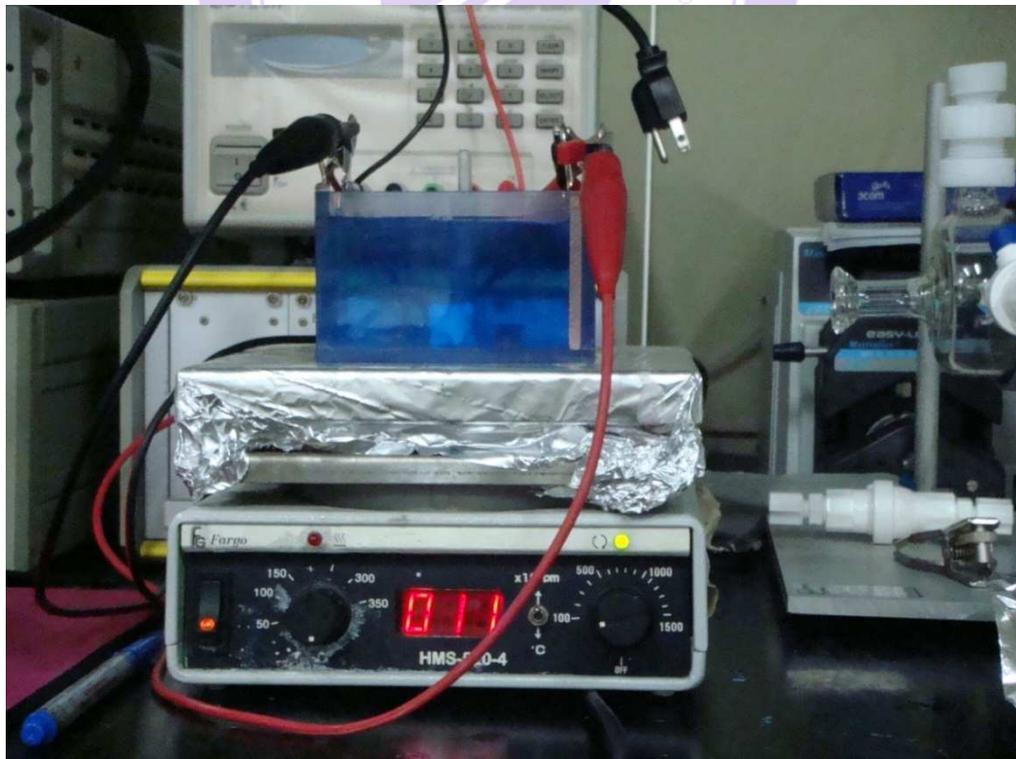


圖 3.3：電鍍裝置（電鍍槽與外部電源供應器）。

### 3-2-3 Under-Bump Metallization - 鎳電鍍

與鎳電鍍相同，將電鍍槽洗淨後先作為陽極的鎳片洗淨並以砂紙磨光亮之後以鱈魚夾固定於槽內一側，將恆電位儀的 Counter electrode 端與鎳片連結。將上一步驟之試片放入電鍍槽內並以鱈魚夾固定於槽內另一側，將恆電位儀的 Working electrode 端與試片連結，再將恆電位儀的 Reference electrode 端與銀/氯化銀參考電極連接後放入電鍍槽內。放入磁石將轉速控制在 100 rpm，再將配製好的鎳電鍍液取 110 毫升緩慢加入電鍍槽內，鎳電鍍液的配方如表 3.3 所示。這邊加入的電鍍液亦通入十分鐘的氮氣以除去溶液內的氧氣。由於鎳電鍍液也為強酸，同樣在未通入電流的狀態下應盡量縮短陰極端試片浸泡於鍍液內的時間。

表 3.3：電鍍鎳基底液配方。

電鍍鎳基底液
NiSO <sub>4</sub> ·6H <sub>2</sub> O = 250 g/l
NiCl <sub>2</sub> = 30 g/l
H <sub>3</sub> BO <sub>3</sub> = 35 g/l
PEG3350 = 300 ppm (300 mg/l)

在此選用的電鍍法為定電流 (Galvanostatic) 法，電鍍之電流密度與時間參數如表 3.4 所示。電鍍結束之後迅速將試片取出，經去離子水清洗後以無塵紙吸拭表面水份，再以氮氣槍將表面風乾後放入防潮箱中保存。

表 3.4：電鍍銅之電流密度與時間參數一覽表。

電流密度 (mA/cm <sup>2</sup> )	電鍍時間 (分鐘)
30	10
30	15
30	20

### 3-2-4 焊錫凸塊 - 錫銀合金電鍍

與銅、鎳電鍍相同，將電鍍槽洗淨後先作為陽極的錫片洗淨並以砂紙磨光亮之後以鱈魚夾固定於槽內一側，將恆電位儀的 Counter electrode 端與鎳片連結。將上一步驟之試片放入電鍍槽內並以鱈魚夾固定於槽內另一側，將恆電位儀的 Working electrode 端與試片連結，再將恆電位儀的 Reference electrode 端與銀/氯化銀參考電極連接後放入電鍍槽內。放入磁石將轉速控制在 100 rpm，再將配製好的錫銀電鍍液取 110 毫升緩慢加入電鍍槽內，錫銀合金鍍液的配方如表 3.5 所示。這邊加入的電鍍液亦通入十分鐘的氮氣以除去溶液內的氧氣。在此選用的電鍍法一樣為定電流 (Galvanostatic) 法。

電鍍結束之後迅速將試片取出，以丙酮洗去試片表面光阻，剩下來的部分就是電鍍的微凸塊，此時再將試片以掃描式電子顯微鏡觀察表面形貌和確定橫截面厚度。

表 3.5：電鍍錫銀合金基底液配方。

電鍍錫銀合金基底液
$K_4P_2O_7 = 337 \text{ g/l}$
$KI = 333 \text{ g/l}$
$Sn_2P_2O_7 = 100 \text{ g/l}$
$AgI = 0.4 \text{ g/l}$
$HCHO = 4.8 \text{ ml/l}$
$PEG 600 = 1.2 \text{ ml/l}$

### 3-2-5 迴焊 (Reflow)

在凸塊下冶金層 (UBM) 和焊錫凸塊電鍍完成後，接著要以高溫迴焊。迴焊為以高溫把錫料熔化，錫湯濕潤上下基材，離開迴錫爐後，錫料冷卻就形成接點。而迴流焊的峰值溫度，通常取決於焊料的熔點溫度及組裝零件所能承受的溫度。一般的峰值溫度應該比錫膏的正常熔點溫度要高出約 35~40°C，才能順利的完成焊接作業。如果低於此溫度，則極有可能會造成冷焊與潤濕不良的缺點。對照相圖可知 Sn-2.5Ag 的融點約為 228°C，故迴焊溫度將設定於 300°C 以確保錫錫凸塊可完全融熔滯留附立其上而成球狀。迴錫加熱裝置為加熱板，環境為一般空氣下將加熱板設定為 300 度 C，確定溫度上升至目標溫度後將試片放上去，時間設定為 5 秒鐘，結束後拿下來，待其冷卻後至於防潮箱內。

### 3-3 分析錫銀合金組成

由於作為焊錫凸塊的錫銀合金，其銀含量會改變其融點對後續製程造成影響，故希望能控制銀含量的誤差於原成分的 10 % 內（即  $2.5 \pm 0.25$  wt%）內。考慮到能量散佈分析儀（EDX）對於元素定量分析誤差約為 2~3 wt%，因此利用高解析度場發射電子微探儀（EPMA）來做微區元素定量的分析，其誤差較低約為 0.5~1 wt%。

### 3-4 電鍍奈米級雙晶於平版銅上

本實驗目的為於平版銅上鍍出奈米級雙晶。和銅電鍍準備程序相近，將電鍍槽洗淨後將作為陽極的銅片洗淨並以砂紙磨光亮之後以鱷魚夾固定於槽內一側，將恆電位儀的 Counter electrode 端與銅片連結。平版銅片放入電鍍槽內並以鱷魚夾固定於槽內另一側，大小為 1.5 cm x 2.5 cm，將恆電位儀的 Working electrode 端與平版銅片連結，再將恆電位儀的 Reference electrode 端與銀/氯化銀參考電極連接後放入電鍍槽內。放入磁石將轉速控制在 100 rpm，再將配製好的銅電鍍液取 110 毫升緩慢加入電鍍槽內，加入的電鍍液一樣通入十分鐘的氮氣以除去溶液內的氧氣。電鍍液的配方如表 3.6 所示：

表 3.6：電鍍奈米級雙晶銅之基底液配方。

電鍍奈米級雙晶銅基底液
$\text{CuSO}_4 \cdot 5\text{H}_2\text{O} = 150 \text{ g/l}$
$\text{Cl}^- = 50 \text{ ppm (36.5 wt\% HCl)}$

$\text{H}_2\text{SO}_4 = 90 \text{ ml/l (96 wt\%)}$

PEG3350 = 300 ppm (300 mg/l)

這邊所採用的電鍍法為脈衝式電鍍，電流密度與時間設定如表 3.7 所示。電鍍完後將試片取出，以去離子水清洗表面後放置防潮箱中保存。接著以奈米壓痕硬度測試儀測試表面的機械性質。

表 3.7：脈衝式電鍍電流密度與時間參數表。

Sample No.	Time (hr)	Forward current density ( $\text{mA/cm}^2$ )	Reverse current density ( $\text{mA/cm}^2$ )	Pulse-on time (ms)	Pulse-off time (ms)
1	12	10	60	20	1
2	12	10	75	20	1
3	12	10	90	20	1
4	12	10	100	20	1
5	12	10	60	30	1
6	12	10	60	40	1

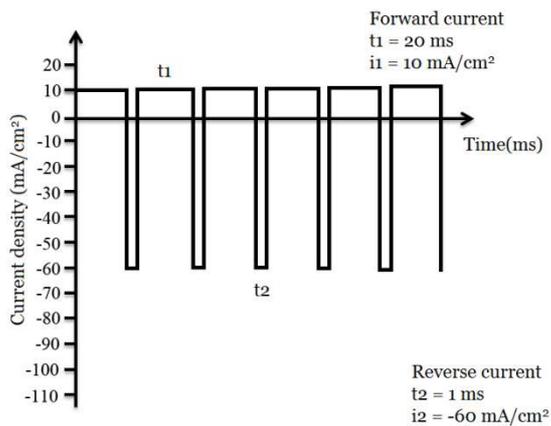


圖 3.4：試片 1 之電流與時間圖。

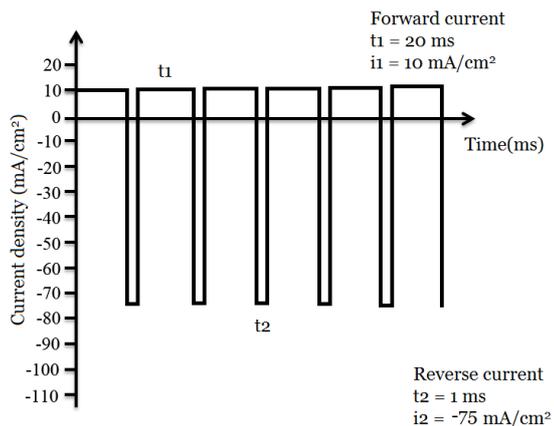


圖 3.5：試片 2 之電流與時間圖。

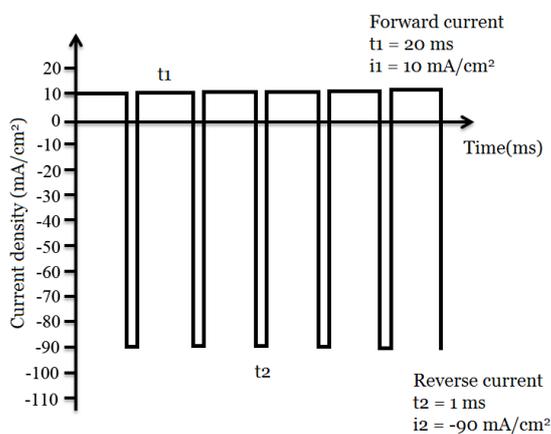


圖 3.6：試片 3 之電流與時間圖。

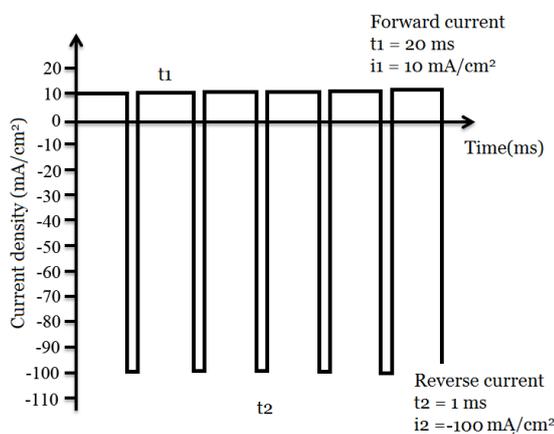


圖 3.7：試片 4 之電流與時間圖。

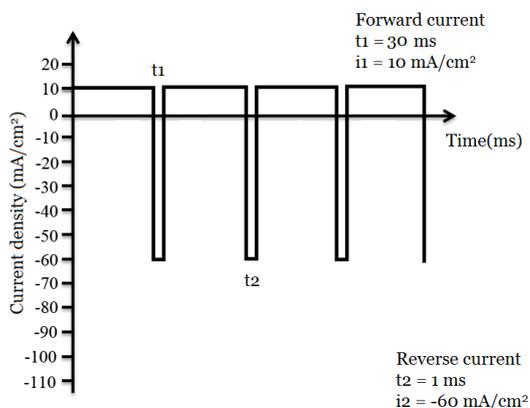


圖 3.8：試片 5 之電流與時間圖。

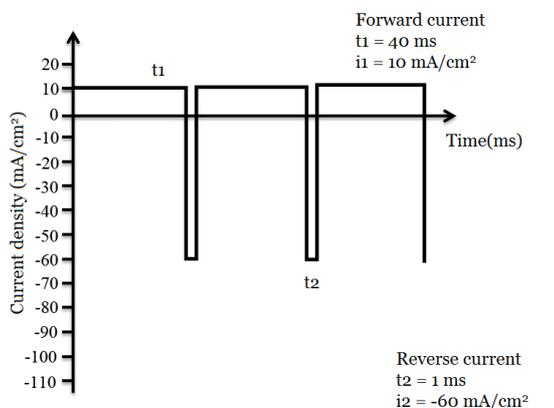


圖 3.9：試片 6 之電流與時間圖。

## 第四章 實驗結果與討論

### 4-1 電鍍銅

電鍍銅的製程已有很多的討論和研究，很多的文獻都已經針對不同的電鍍背景和條件做探討。參考了許多的文獻以及初步於平板銅片上做電鍍測試，決定將電鍍基底液的配方調整如表 3.1 所示。硫酸銅提供銅離子以供還原，硫酸提供酸性環境，鹽酸提供反應中重要的氯離子，其可作為銅還原的電橋 (Electron bridge) [47] 以及和抑制劑反應有利於其吸附在表面[48]。

聚乙二醇 (polyethylene glycol, PEG) 廣泛的被使用於電鍍銅的實驗中作為抑制劑，且被證明有極佳的表現，其運作原理為分子吸附於表面以及和銅離子形成錯合物來減緩整個反應的發生。PEG 有著不同平均分子量 (Mw)，從 200 g/mol 到 35000 g/mol，不同的分子量會分別造成不同的抑制效果，文獻記載 PEG 的分子量超過 2000 g/mol 會有較好的表現[49]，而參考文獻且試用不同的分子量的 PEG 後我們決定選用 PEG 3350 (3350 g/mol)。由於具有 benzyl groups 的官能基結構會增加銅電鍍的填孔效率[40-43]，故 BTA 也被用來作為添加劑以達到最佳的填孔效果。

圖 4.1 為銅電鍍液之極化掃描曲線圖，掃描方式為從以參考電極為基準的 0.2 V 掃至 -1.5 V，掃描速率為 5 mV/s。參考電極為銀/氯化銀電極，其構造為銀線表面鍍上氯化銀，並浸入飽和氯化鉀的溶液中而得，在 25°C 下對應於標準氫電極的電位約為 0.197 V。

曲線分為兩部分，上半部分為陽極極化 (Anodic polarization) 曲線，於金屬片上產生銅的氧化  $\text{Cu} \rightarrow \text{Cu}^{2+} + 2\text{e}^-$ 。下半部分為陰極極化 (Cathodic polarization) 曲線，於試片處接受電子產生銅的還原  $\text{Cu}^{2+} + 2\text{e}^- \rightarrow \text{Cu}$ ，從曲線下部可以得知還原電位越大時還原電流隨之增加，即沉積上的金屬量增加。兩條曲線轉折處為金屬的氧化還原電位，圖中的負值表示電源供應器使銅離子還原到工作電極之上，於文獻中記載之銅的標準還原電位  $\text{Cu}^{2+} + 2\text{e}^- \rightarrow \text{Cu}$  為 0.34 V，圖中的轉折點 -0.05 V 為銀/氯化銀參考電極之數值，若換算為標準還原電位為 0.147 V。造成差距的原因推測為添加劑使得離子與溶液的作用力改變進而改變離子的活度，使得平衡電位產生移動。由此極化曲線圖可以讓我們於電鍍反應進行時，與儀器上的即時監測數值比較，進而得知當下是否鍍液有正常表現。

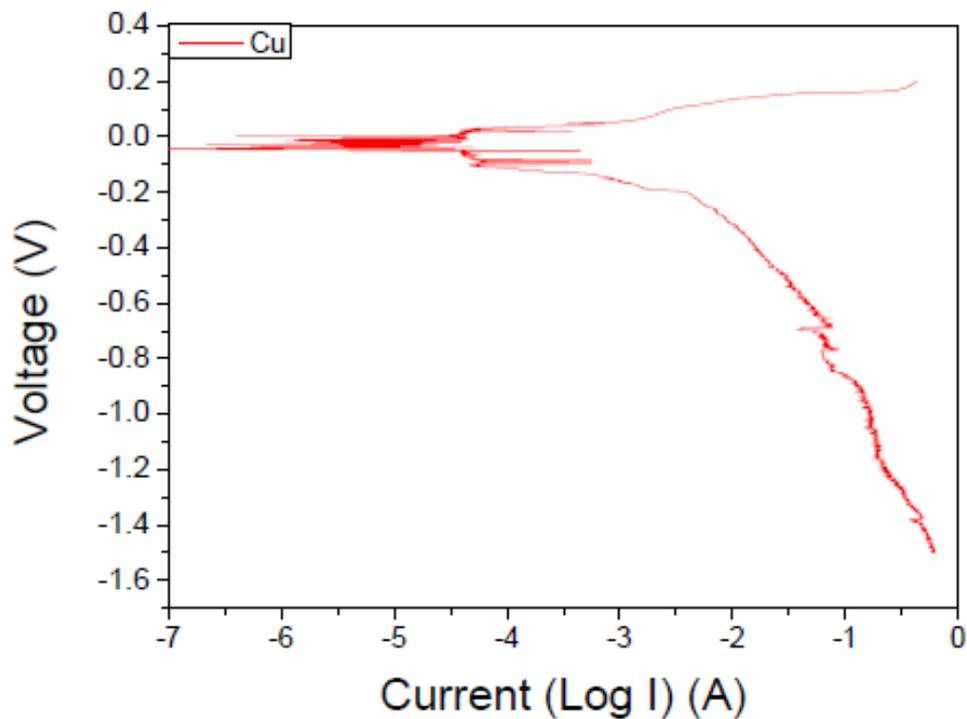


圖 4.1：銅電鍍液的極化掃描曲線圖。

在進行小尺寸的填孔電鍍時，要有較佳填孔率除了電鍍液本身的表現，還需要調配的參數有電流密度、電鍍時間和溫度。在這邊溫度都保持在室溫（約 25 °C）。預計要鍍出來的厚度為 5  $\mu\text{m}$ ，根據孔洞直徑大小 12  $\mu\text{m}$ ，經過計算之後設定電流密度為 20 及 30  $\text{mA}/\text{cm}^2$  和相對應之不同時間參數來進行電鍍。

進行電鍍的結果如圖 4.2 所示，可以發現表面相當的平整，代表添加的 PEG 展現優秀的抑制效果，填孔率亦有相當優秀的表現，如圖 4.3 所示，從側視圖看來可以發現每個孔洞都有成功沉積，經過觀察估算其填孔率超過 99.5%。

圖 4.4 - 4.6 為以電流密度 20  $\text{mA}/\text{cm}^2$  電鍍 30 分鐘的結果，經由顯微照片觀察其銅柱厚度為 3.603  $\mu\text{m}$ 。

圖 4.7 - 4.9 為以電流密度 30  $\text{mA}/\text{cm}^2$  電鍍 15 分鐘的結果，經由顯微照片觀察其銅柱厚度為 3.027  $\mu\text{m}$ 。

圖 4.10 - 4.12 為以電流密度 30  $\text{mA}/\text{cm}^2$  電鍍 20 分鐘的結果，經由顯微照片觀察其銅柱厚度為 3.362  $\mu\text{m}$ 。

圖 4.13 為以電流密度 30  $\text{mA}/\text{cm}^2$  電鍍 30 分鐘的結果，經由顯微照片觀察其銅柱厚度為 3.895  $\mu\text{m}$ 。

圖 4.14 - 4.16 為以電流密度 30  $\text{mA}/\text{cm}^2$  電鍍 35 分鐘的結果，經由顯微照片觀察其銅柱厚度為 4.6  $\mu\text{m}$ 。

圖 4.17 - 4.19 為以電流密度 30  $\text{mA}/\text{cm}^2$  電鍍 35 分鐘的結果，經由顯微照片觀察其銅柱厚度為 5.068  $\mu\text{m}$ 。

圖 4.20 - 4.22 為以電流密度 30  $\text{mA}/\text{cm}^2$  電鍍 40 分鐘的結果，經由顯微照片觀察其銅柱厚度為 7.443  $\mu\text{m}$ 。

如顯微照片所示，銅可於微細孔洞中完美電鍍，且鍍出來的銅柱表面平整。若電鍍速率沒有獲得良好控制則容易出現內部空孔，其原因為質傳效應導致外部電流密度較高而還原量較多，最終形成空洞，即為 subconformal 現象。而在我們所沉積的銅柱中，橫截面無出現缺陷的孔洞。在經電子顯微鏡檢視整個區域下，沒填滿的孔洞（White bump）之比率小於 0.5%。電鍍參數與厚度整理表格如表 4.1：

表 4.1：銅電鍍其電流密度、電鍍時間和厚度關係表。

電流密度 (mA/cm <sup>2</sup> )	電鍍時間 (分鐘)	厚度 (μm)
20	30	3.603
30	15	3.027
30	20	3.362
30	30	3.895
30	35	4.6
30	35	5.068
30	45	7.443

於電流密度 30 mA/cm<sup>2</sup> 下電鍍 35 分鐘，其厚度為 4.6 μm 和 5.068 μm，與需要的 5 μm 厚度最為相近，且誤差在 10% 之內。從表內電鍍時間與厚度關係表可以發現，隨著電鍍時間拉長，厚度增加的幅度有明顯增大的趨勢，推測是電鍍過程中深寬比條件改變而影響了質傳效應。隨著厚度增加，深寬比下降，加速了銅電鍍的效果使得厚度增加幅度增大。這點應用於之後的鎳電鍍時可作為修正電鍍參數的參考。

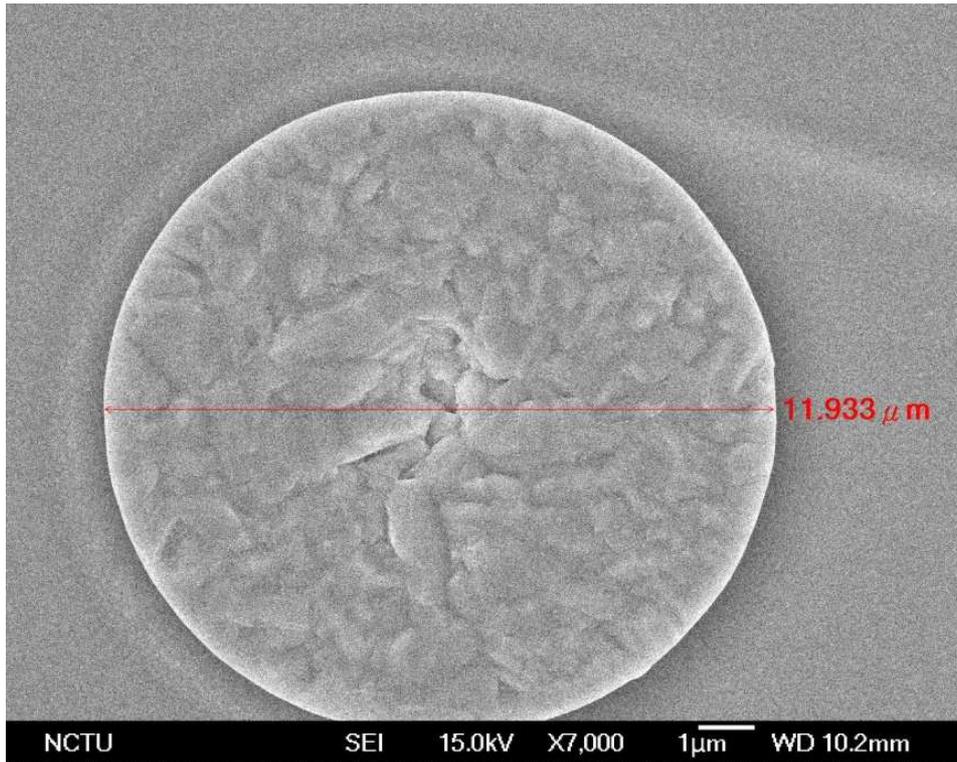


圖 4.2：銅電鍍俯視圖。

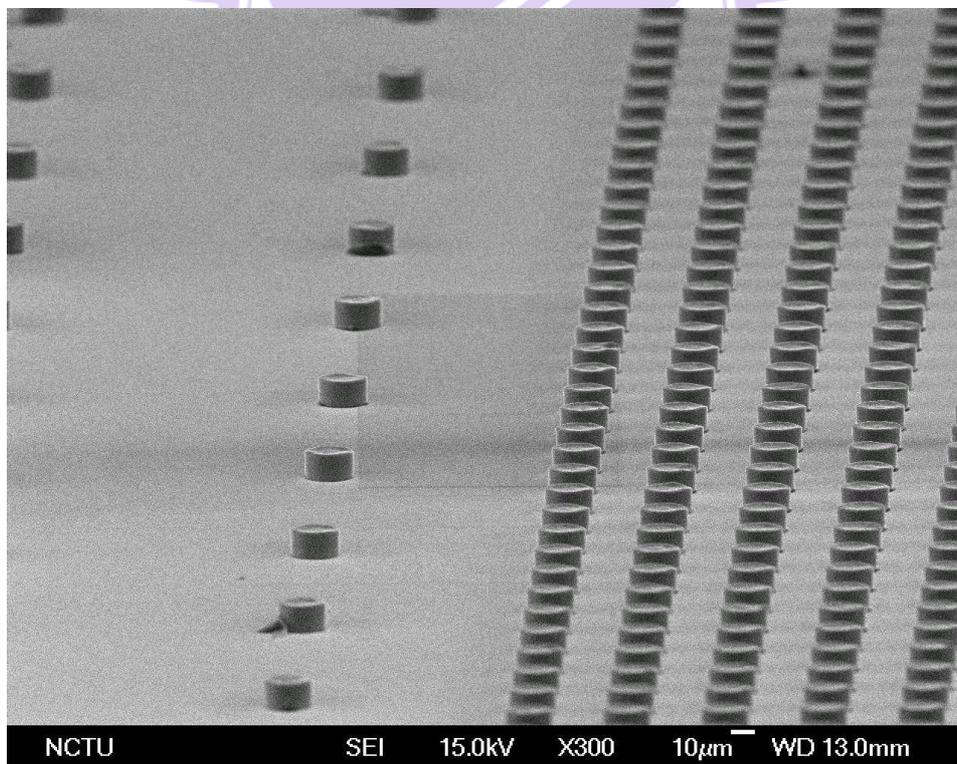


圖 4.3：銅電鍍側視圖。

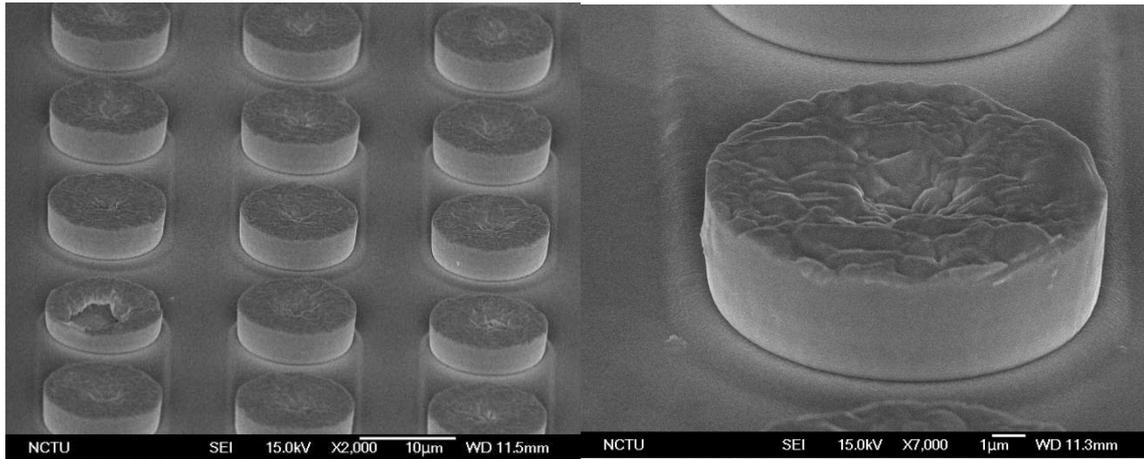


圖 4.4：電鍍銅，電流密度  $20 \text{ mA/cm}^2$ ，30 分鐘。

圖 4.5：電鍍銅，電流密度  $20 \text{ mA/cm}^2$ ，30 分鐘。

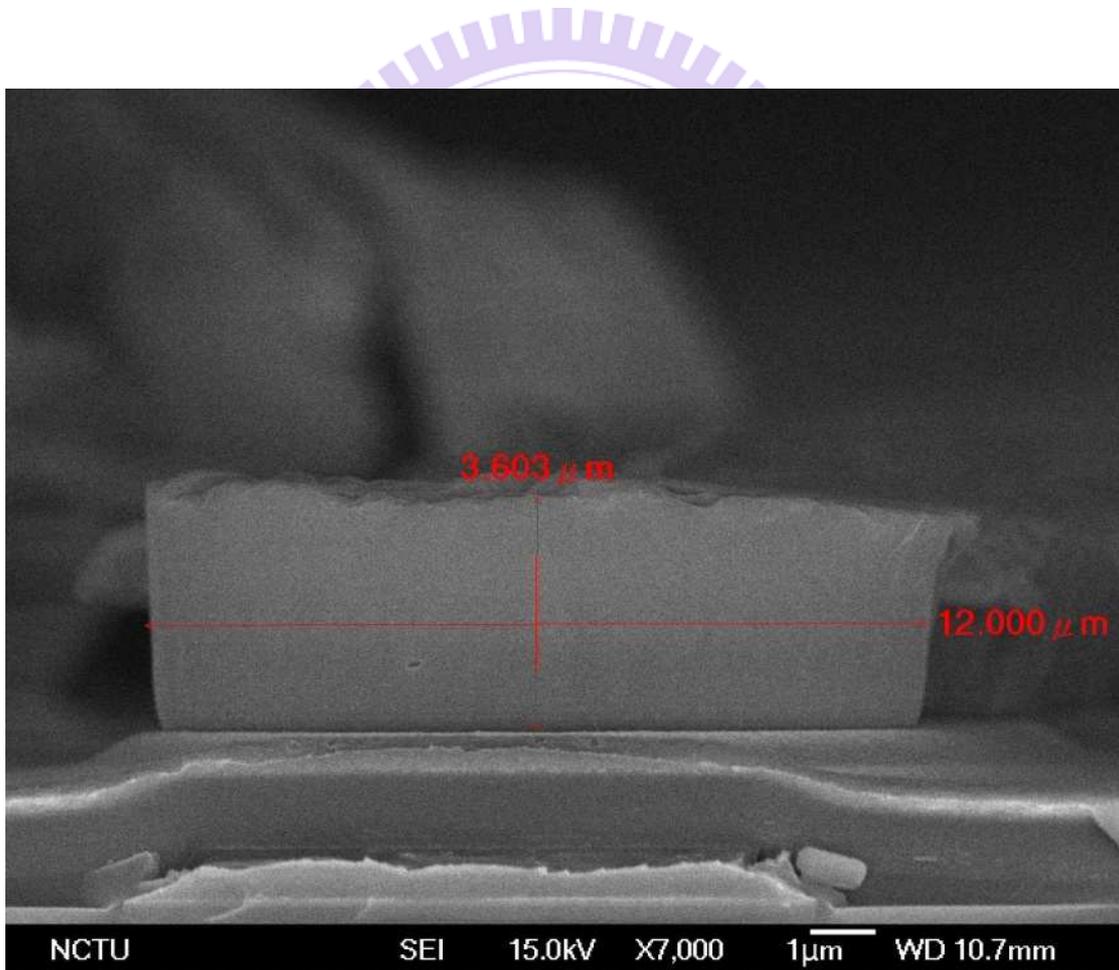


圖 4.6：電鍍銅，電流密度  $20 \text{ mA/cm}^2$ ，30 分鐘。

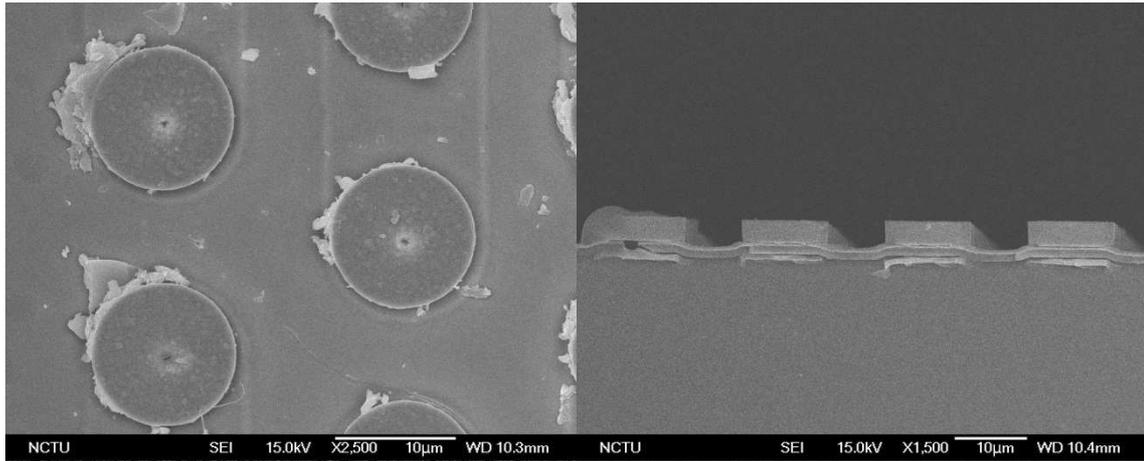


圖 4.7：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，15 分鐘。

圖 4.8：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，15 分鐘。

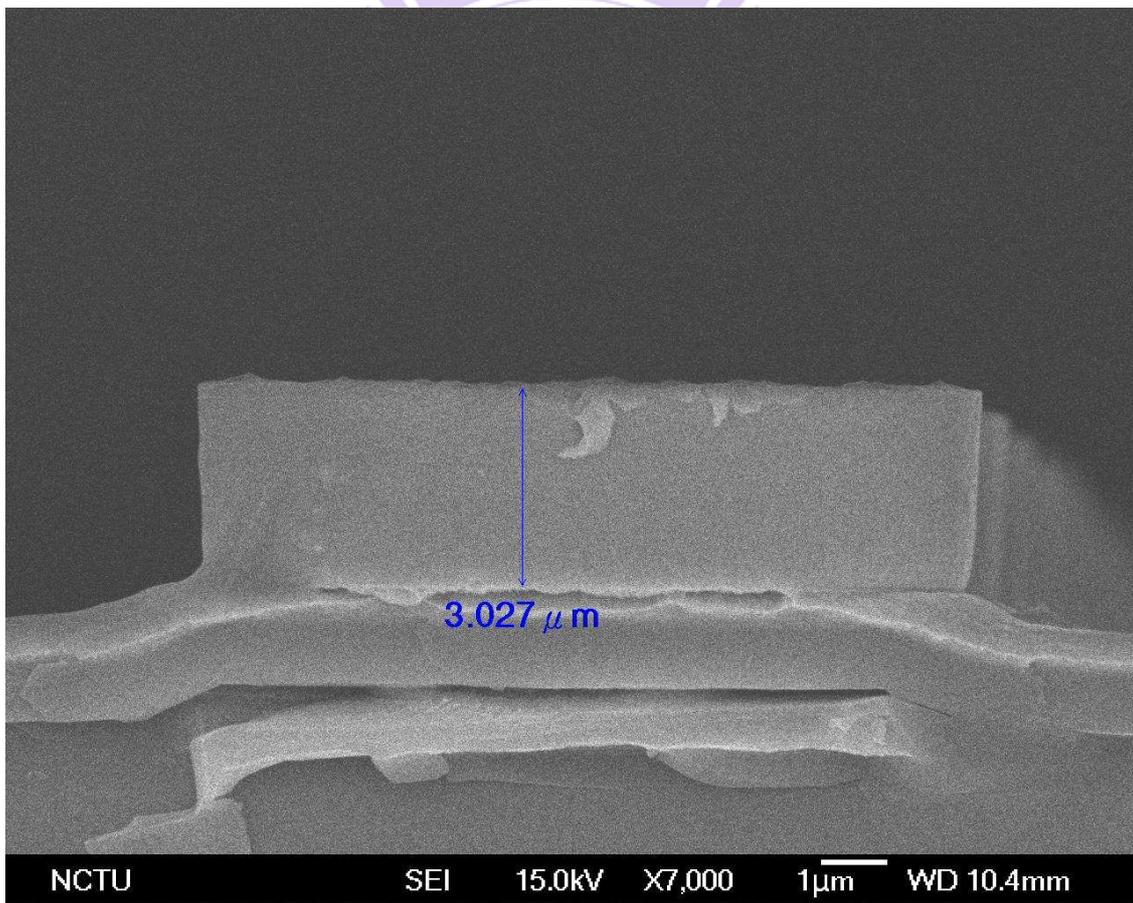


圖 4.9：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，15 分鐘。

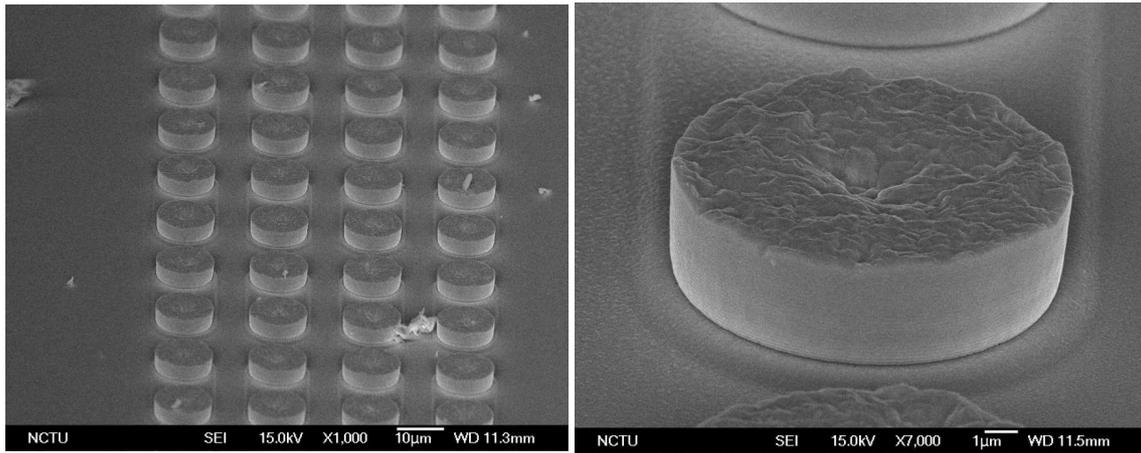


圖 4.10：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，20 分鐘。

圖 4.11：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，20 分鐘。

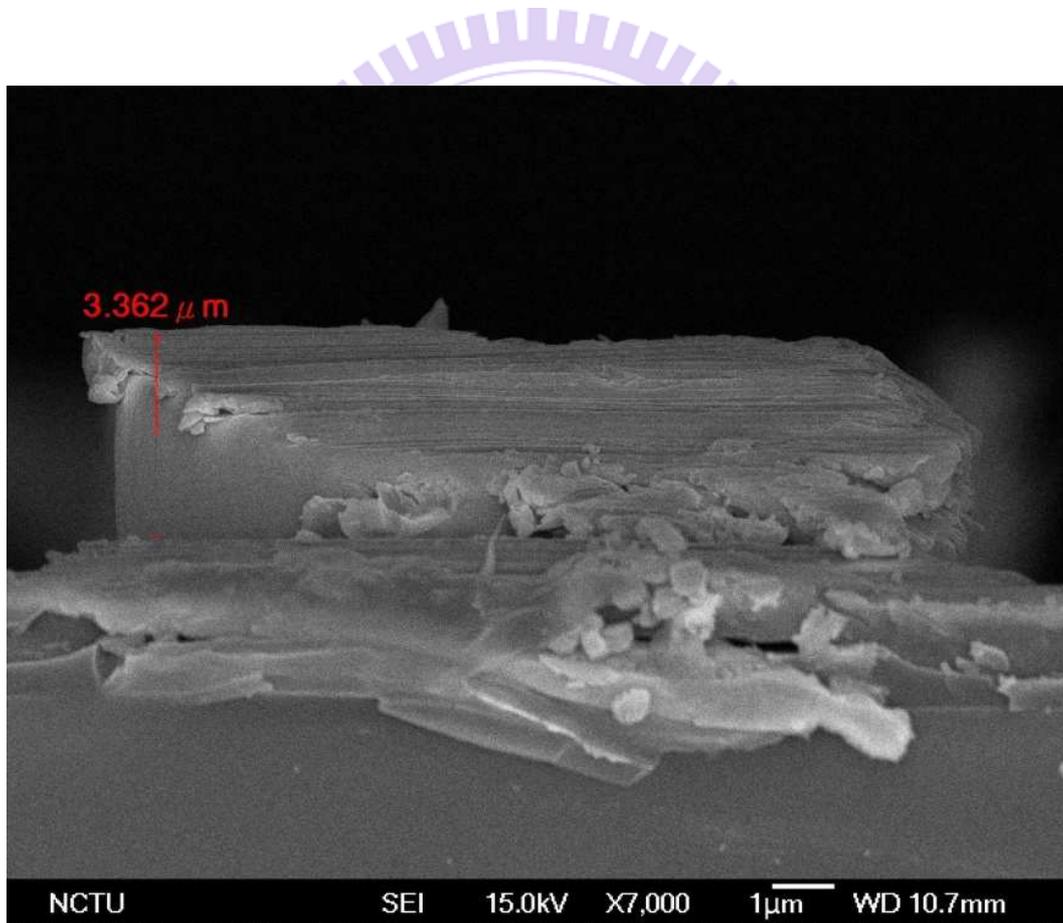


圖 4.12：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，20 分鐘。

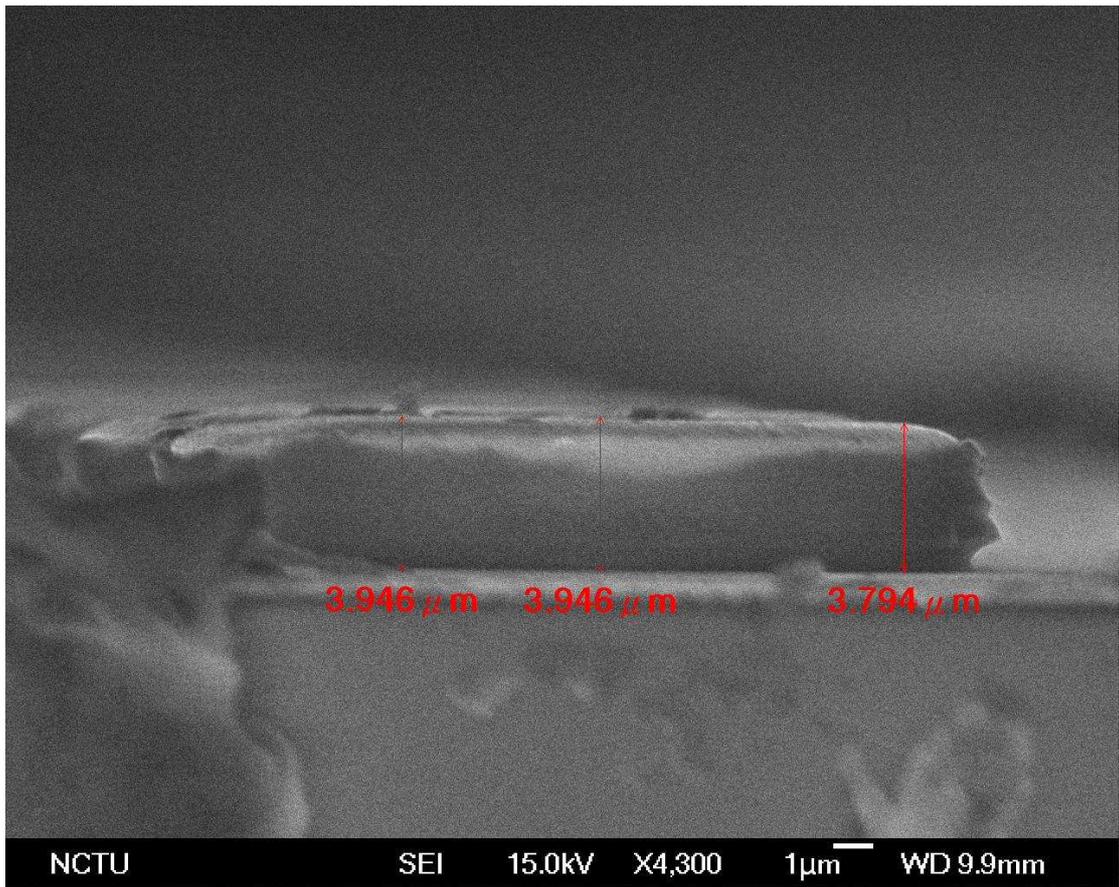


圖 4.13：電鍍銅，電流密度 30 mA/cm<sup>2</sup>，30 分鐘。

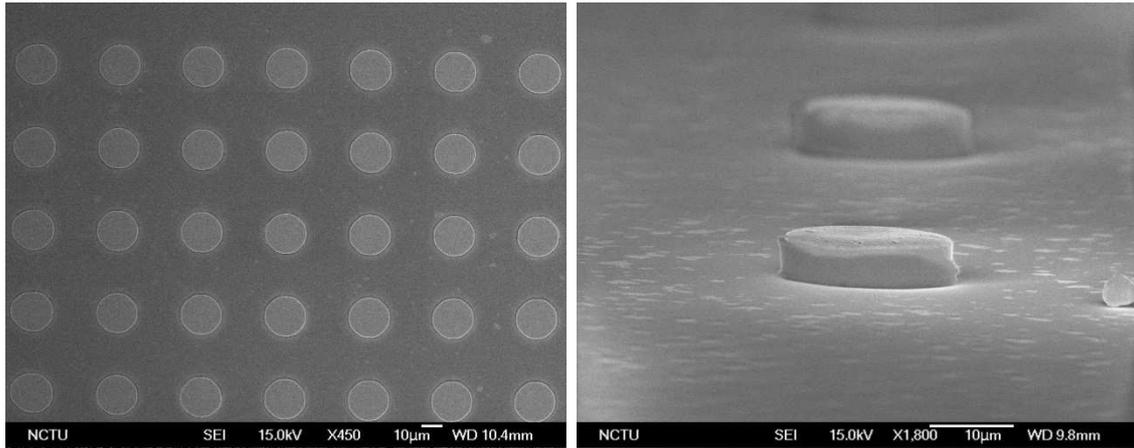


圖 4.14：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，35 分鐘。

圖 4.15：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，35 分鐘。

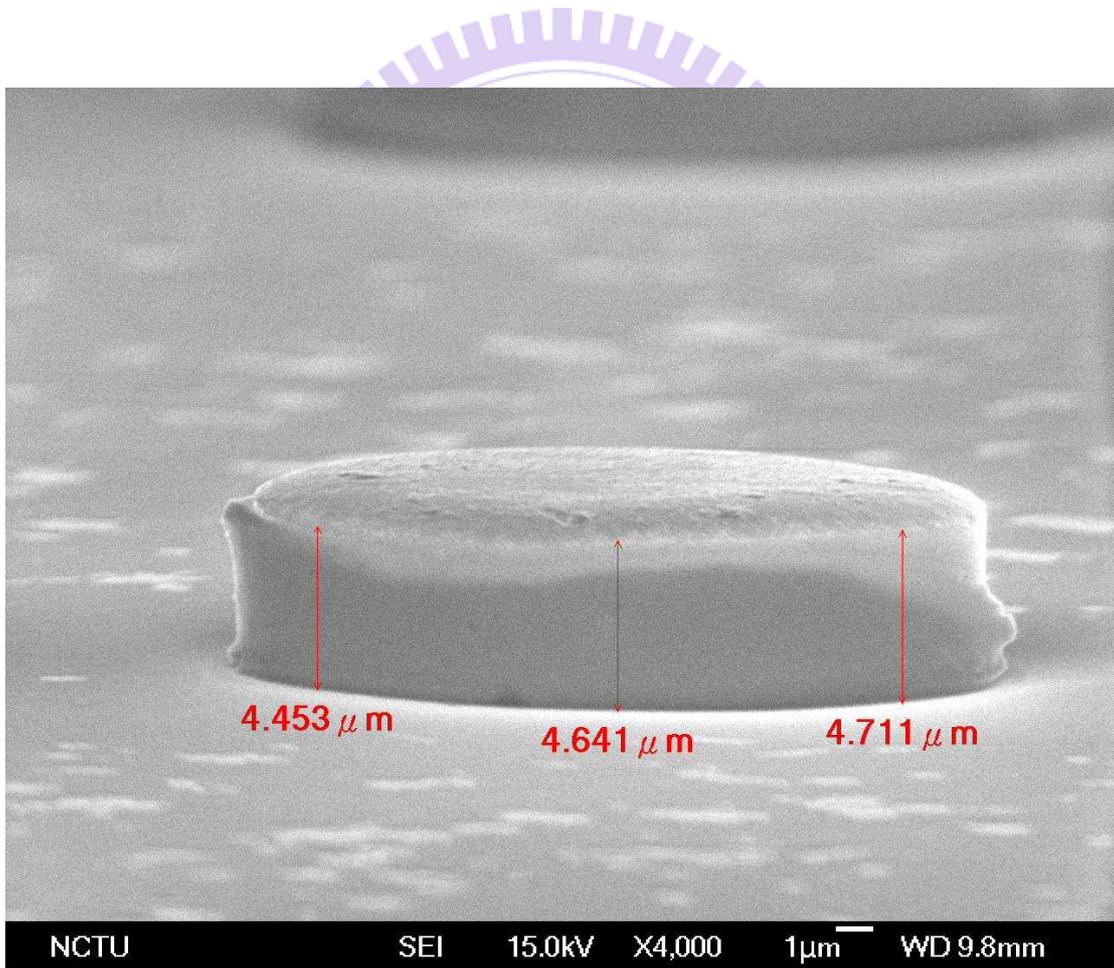


圖 4.16：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，35 分鐘。

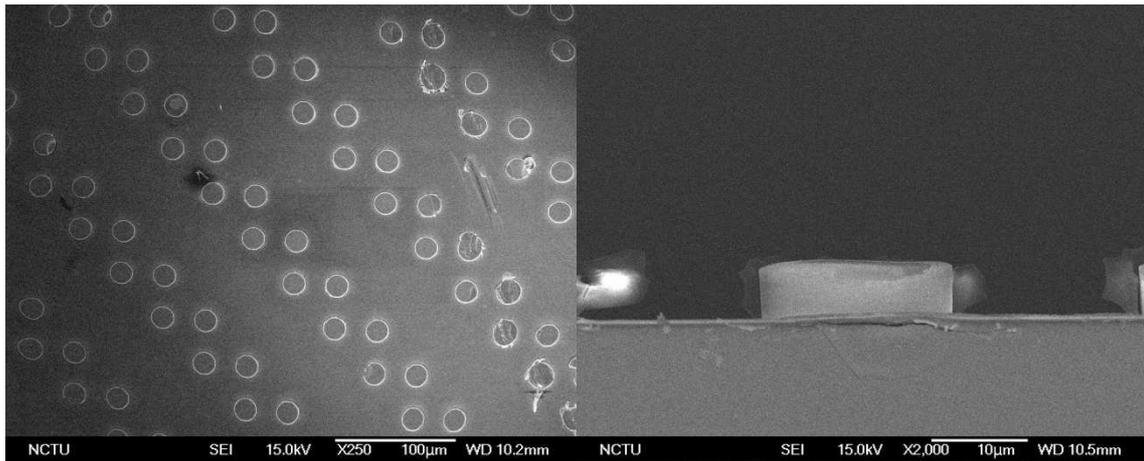


圖 4.17：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，35 分鐘。

圖 4.18：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，35 分鐘。

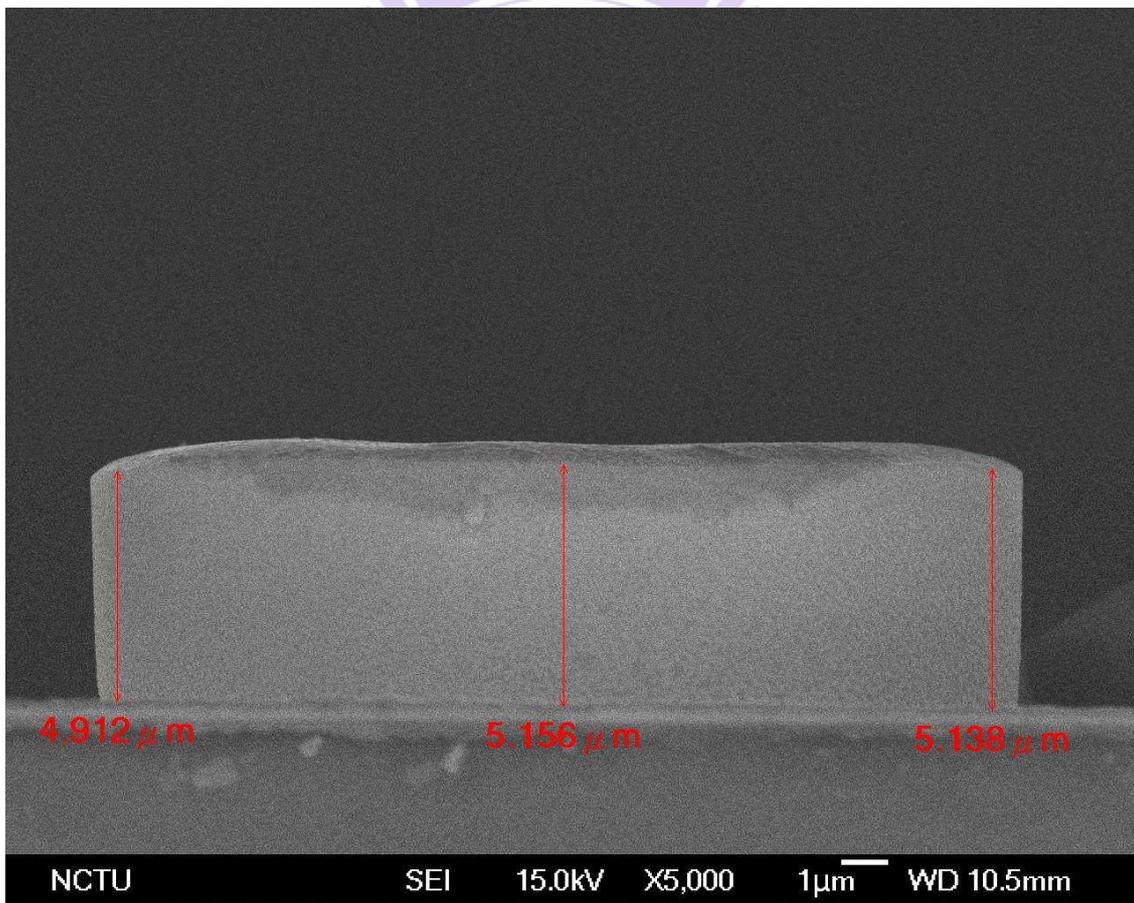


圖 4.19：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，35 分鐘。

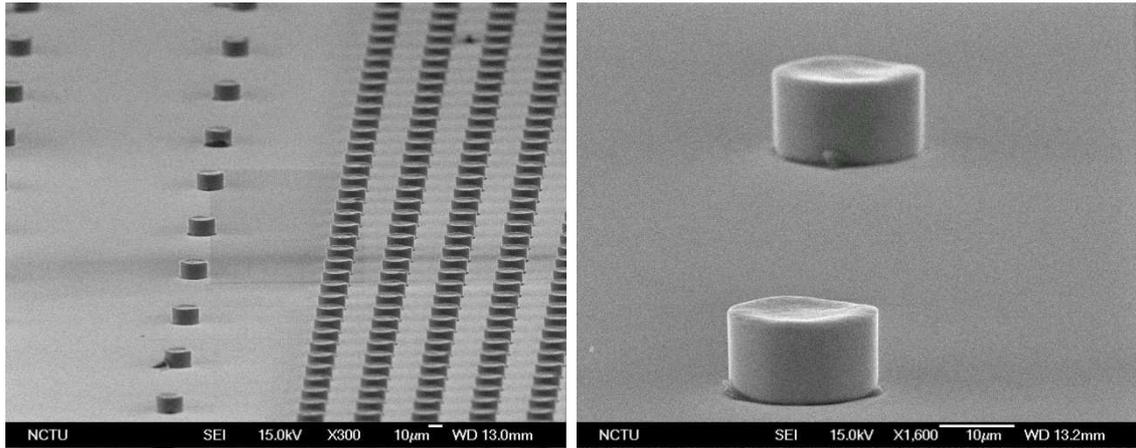


圖 4.20：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，40 分鐘。

圖 4.21：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，40 分鐘。

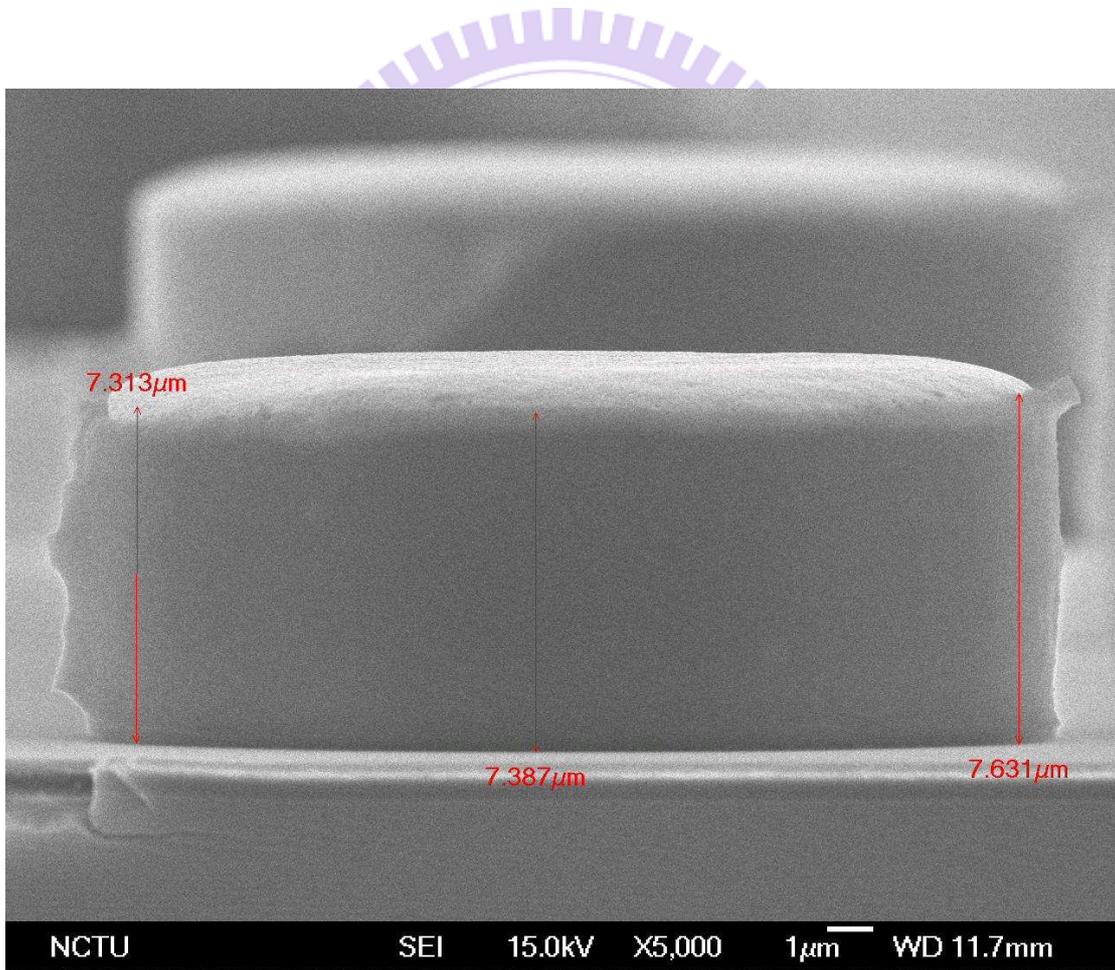


圖 4.22：電鍍銅，電流密度  $30 \text{ mA/cm}^2$ ，40 分鐘。

## 4-2 電鍍鎳

電鍍鎳的製程也已有很多的討論和研究，參考了許多的文獻以及初步於平板銅片上做電鍍測試，決定將電鍍基底液的配方調整如表 3.3 所示。硫酸鎳提供鎳離子以供還原，硼酸提供酸性環境，氯化鎳提供反應中重要的氯離子。這邊也同樣加入 PEG 3350 作為抑制劑。

圖 4.23 為鎳電鍍液之極化掃描曲線圖，掃描方式為從以參考電極為基準的 0.2 V 掃至 -1.5 V，掃描速率為 5 mV/s。參考電極為銀/氯化銀電極。曲線上半部分為陽極極化曲線，於金屬片上產生鎳的氧化  $\text{Ni} \rightarrow \text{Ni}^{2+} + 2\text{e}^-$ 。下半部分為陰極極化曲線，於試片處接受電子產生鎳的還原  $\text{Ni}^{2+} + 2\text{e}^- \rightarrow \text{Ni}$ ，從曲線下部可以得知還原電位越大時還原電流隨之增加，但增加至一定值後隨著還原電位增加還原電流沒有隨之增加，此即為達到極限電流密度(Limited current density)，表面的金屬離子經由還原沉積而減少，但遠處的離子來不及經由擴散補充所致。而之後又出現還原電位增加，還原電流亦增加的情況，推測為溶液中的氫離子被還原而產生氫氣。於電鍍時應注意施加的電流應小於極限電流密度以免產生氫氣干擾試片表面影響電鍍。

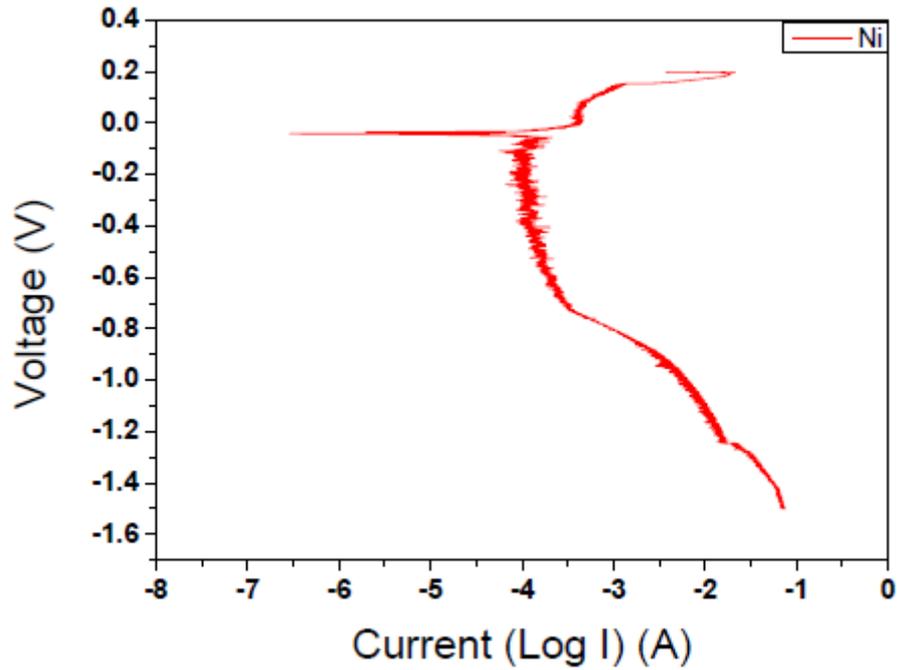


圖 4.23：鎳電鍍液的極化掃描曲線圖。

圖 4.24 - 4.26 為以電流密度  $30 \text{ mA/cm}^2$  電鍍 10 分鐘的結果，經由顯微照片觀察其電鍍於銅上的鎳柱厚度為  $1.366 \mu\text{m}$ 。

圖 4.27 - 4.29 為以電流密度  $30 \text{ mA/cm}^2$  電鍍 15 分鐘的結果，經由顯微照片觀察其電鍍於銅上的鎳柱厚度為  $2.4 \mu\text{m}$ 。

圖 4.30 為以電流密度  $30 \text{ mA/cm}^2$  電鍍 20 分鐘的結果，經由顯微照片觀察其電鍍於銅上的鎳柱厚度為  $3.362 \mu\text{m}$ 。

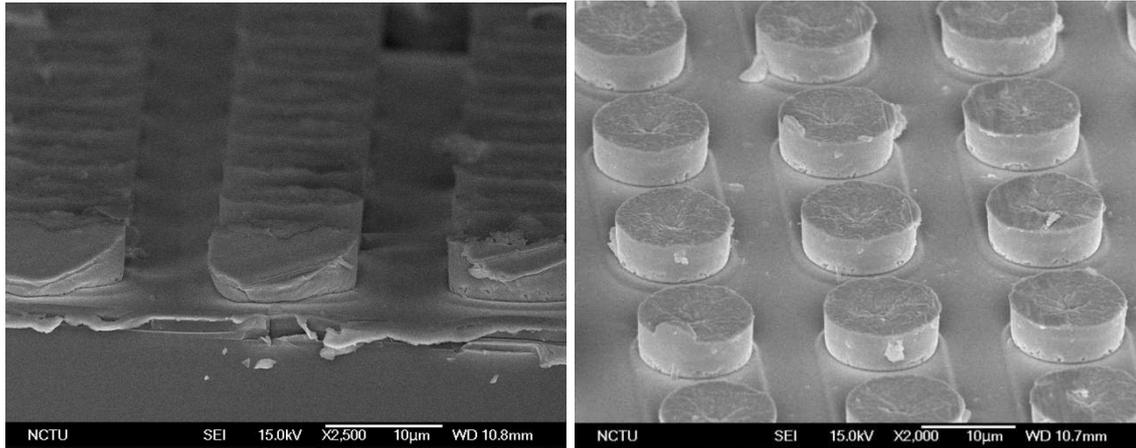


圖 4.24：電鍍鎳於銅層上，電流密度  $30 \text{ mA/cm}^2$ ，10 分鐘。

圖 4.25：電鍍鎳於銅層上，電流密度  $30 \text{ mA/cm}^2$ ，10 分鐘。

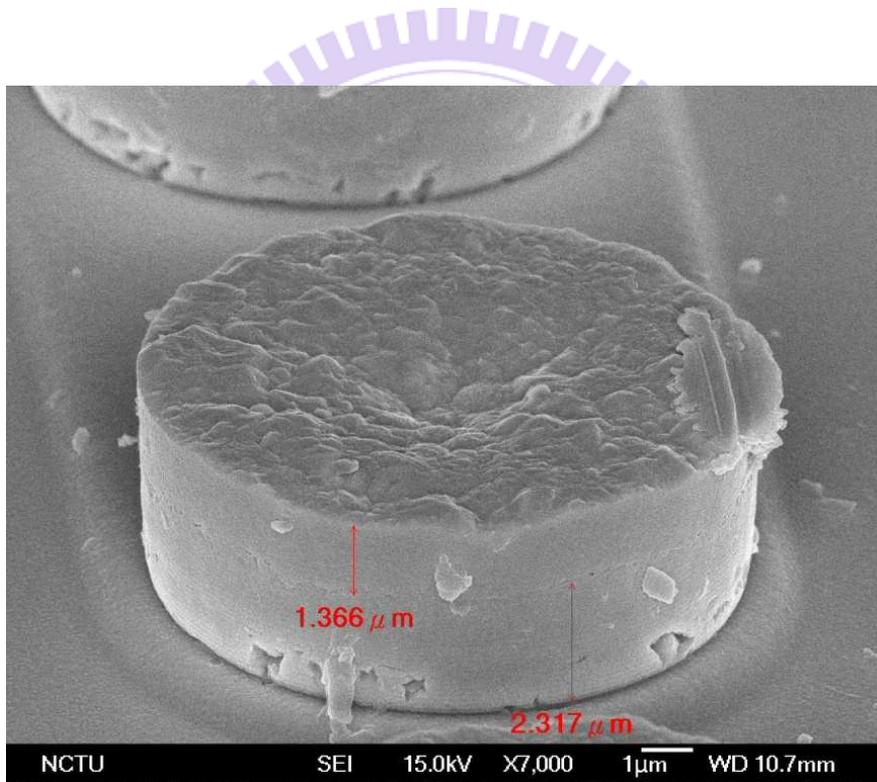


圖 4.26：電鍍鎳於銅層上，電流密度  $30 \text{ mA/cm}^2$ ，10 分鐘。

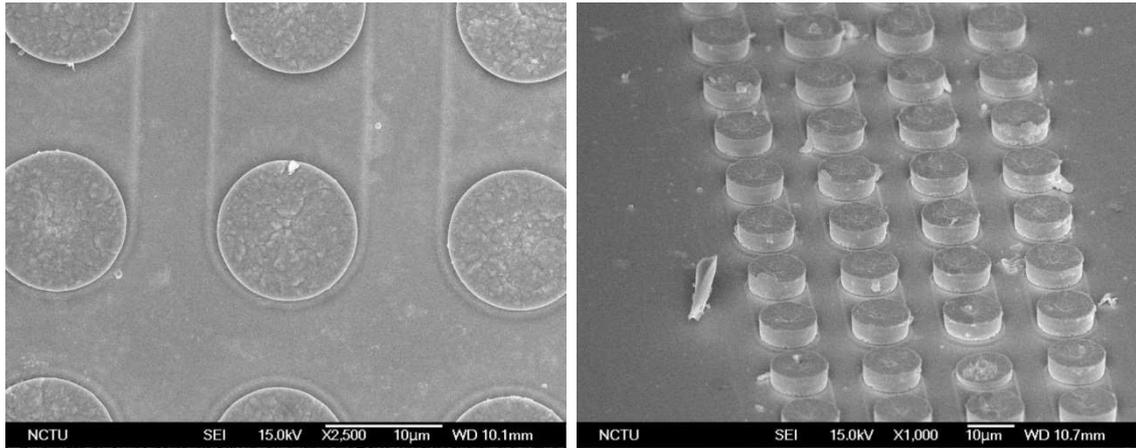


圖 4.27：電鍍鎳於銅層上，電流密度  $30 \text{ mA/cm}^2$ ，15 分鐘。

圖 4.28：電鍍鎳於銅層上，電流密度  $30 \text{ mA/cm}^2$ ，15 分鐘。

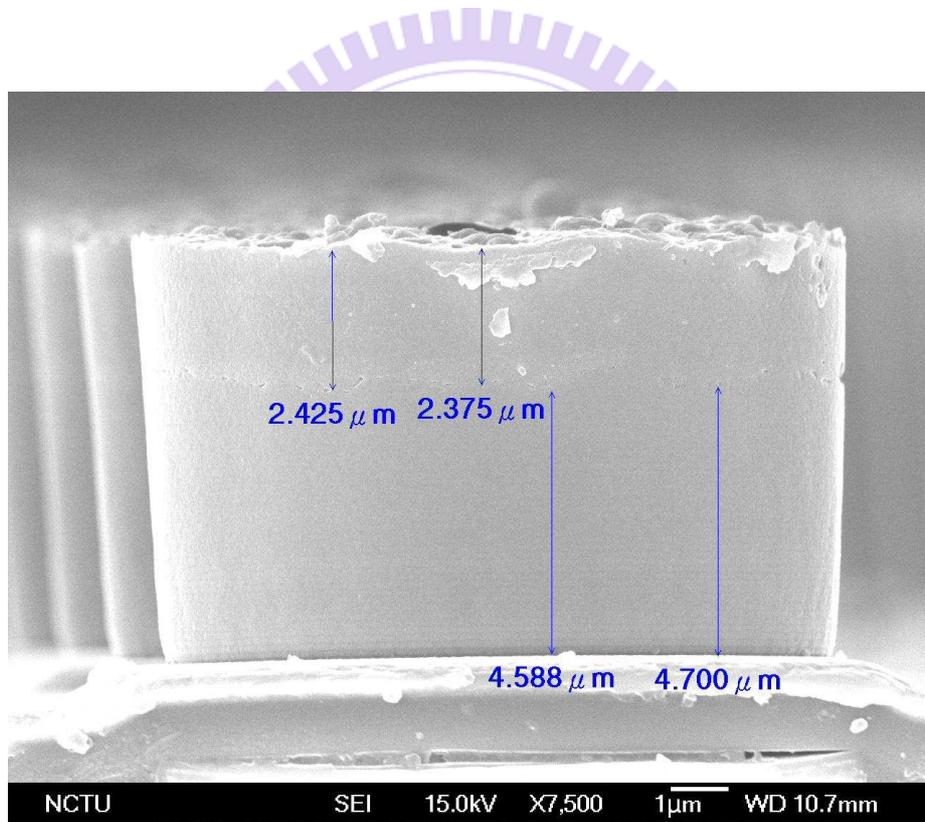


圖 4.29：電鍍鎳於銅層上，電流密度  $30 \text{ mA/cm}^2$ ，15 分鐘。

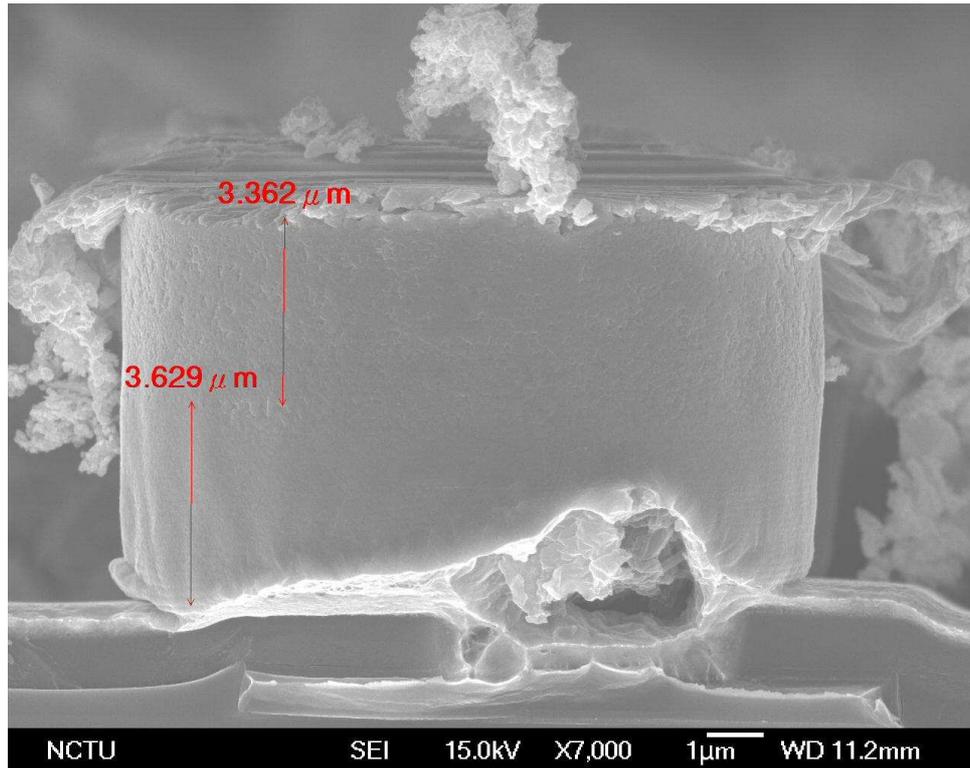


圖 4.30：電鍍鎳於銅層上，電流密度  $30 \text{ mA/cm}^2$ ，20 分鐘。

經過觀測，鎳電鍍成功鍍於銅層上，表面平整度亦佳。當電鍍參數為電流密度  $30 \text{ mA/cm}^2$ ，持續 20 分鐘時，所鍍的鎳層厚度為  $3.362 \mu\text{m}$ ，此結果接近所需要的  $3 \mu\text{m}$  規格。電鍍參數與厚度整理表格如表 4.2：

表 4.2：鎳電鍍於銅柱上其電流密度、電鍍時間和厚度關係表。

電流密度 ( $\text{mA/cm}^2$ )	電鍍時間 (分鐘)	厚度 ( $\mu\text{m}$ )
30	10	1.366
30	15	2.4
<b>30</b>	<b>20</b>	<b>3.362</b>

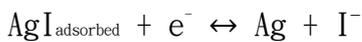
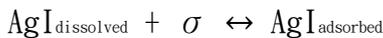
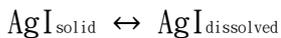
### 4-3 電鍍錫銀合金

錫銀合金電鍍為本論文最具挑戰的部分，首先就是要精準控制鍍出來之錫銀合金組成，如前述相圖所示小部分的銀含量偏差會大幅影響其融點；其次為  $\text{Ag}^+$  本身的標準還原電位 (0.799 V) 遠遠高於  $\text{Sn}^{2+}$  (-0.136 V)，所以銀會較容易被鍍出，因此需要錯位劑來降低相對處於高點的銀離子活度。參考了手邊的文獻和實驗室的經驗，所調製改善後的電鍍基底液如前表 3.4 所示。焦磷酸錫 ( $\text{Sn}_2\text{P}_2\text{O}_7$ ) 提供了錫離子以供還原，碘化銀 ( $\text{AgI}$ ) 提供銀還原的媒介，焦磷酸鉀 ( $\text{K}_4\text{P}_2\text{O}_7$ ) 作為錫和碘化鉀與銀的配位劑[44]，而 PEG 為改善表面形貌的抑制劑，甲醛( $\text{HCHO}$ ) 的添加為還原劑，防止鍍液當中的溶氧使得  $\text{Sn}^{2+}$  氧化為  $\text{Sn}^{4+}$ 。

在此電鍍液中於陰極端的焦磷酸基金屬化合物，還原反應化學式為[45]：



而於碘化銀在水溶液媒介中，於陰極端的還原機制為[46]：



其中  $\sigma$  為於陰極端原子可以附著的空位。

圖 4.24 為錫銀電鍍液之極化掃描曲線圖，掃描方式為從以參考電極為基準的 0.2 V 掃至 -1.5 V，掃描速率為 5mV/s。參考電極為銀/氯化銀電極，曲線下半的陰極極化曲線，於試片處接受電子產生錫與銀的還原  $\text{Sn}^{2+} + 2\text{e}^- \rightarrow \text{Sn}$  和  $\text{Ag}^+ + \text{e}^- \rightarrow \text{Ag}$ ，從曲線下部可以得知還原電位越大時還原電流隨之增加，即沉積上的金屬量增加。但增加電位至 0.56 V 後隨著還原電位增加，還原電流沒有隨之大幅增加，即達到極限電流密度。

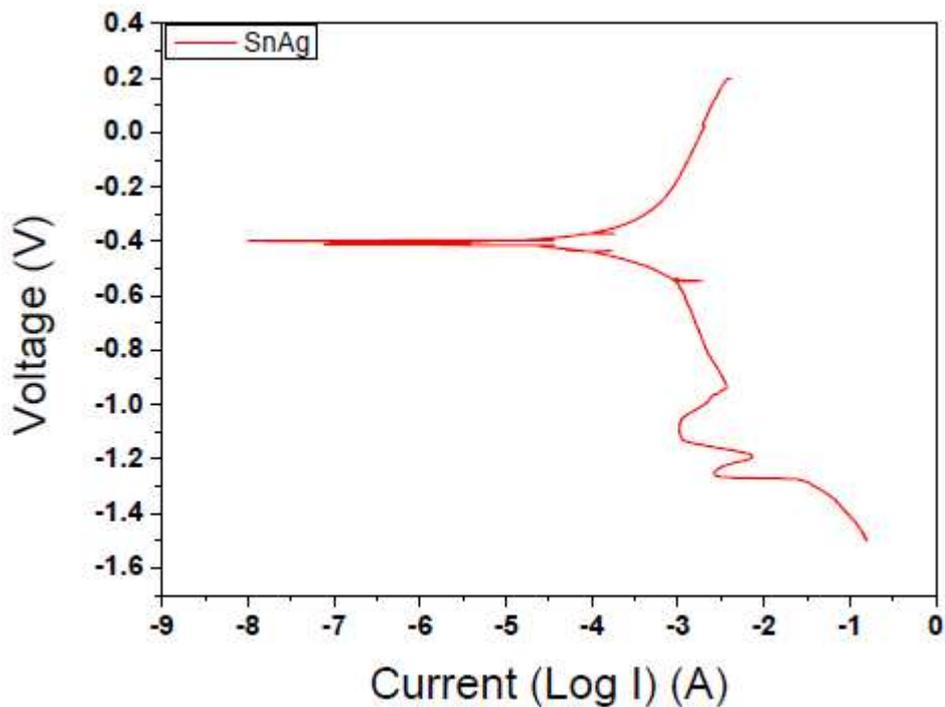


圖 4.31：錫銀合金電鍍液的極化掃描曲線圖。

在此以希望沉積的厚度作為計算的根據，選用不同電流密度以及對應的電鍍時間下去進行實驗，並觀察其表面形貌，以下為於電子顯微鏡下觀測的各試片結果。

圖 4.32 為於鎳層上電鍍錫銀合金，電流密度  $5 \text{ mA/cm}^2$ ，時間為 40 分鐘，於圖 4.33 觀察其表面形貌發現大量樹枝晶結構產生。

圖 4.34 電鍍條件為電流密度  $10 \text{ mA/cm}^2$ ，時間為 20 分鐘，於圖 4.35 觀察表面形貌發現樹枝晶結構較少。

圖 4.36 電鍍條件為電流密度  $20 \text{ mA/cm}^2$ ，時間為 10 分鐘，於圖 4.37 觀察表面形貌亦發現樹枝晶結構較少，但晶粒中間有許多空位，整體組織顯得鬆散不集中。

圖 4.38 電鍍條件為電流密度  $30 \text{ mA/cm}^2$ ，時間為 6.67 分鐘，於圖 4.39 觀察表面形貌發現大量樹枝晶結構，沉積出來的錫銀合金外型為花椰菜狀，結構相當鬆散且當中具有大量空隙，整體電鍍表現相當不理想。



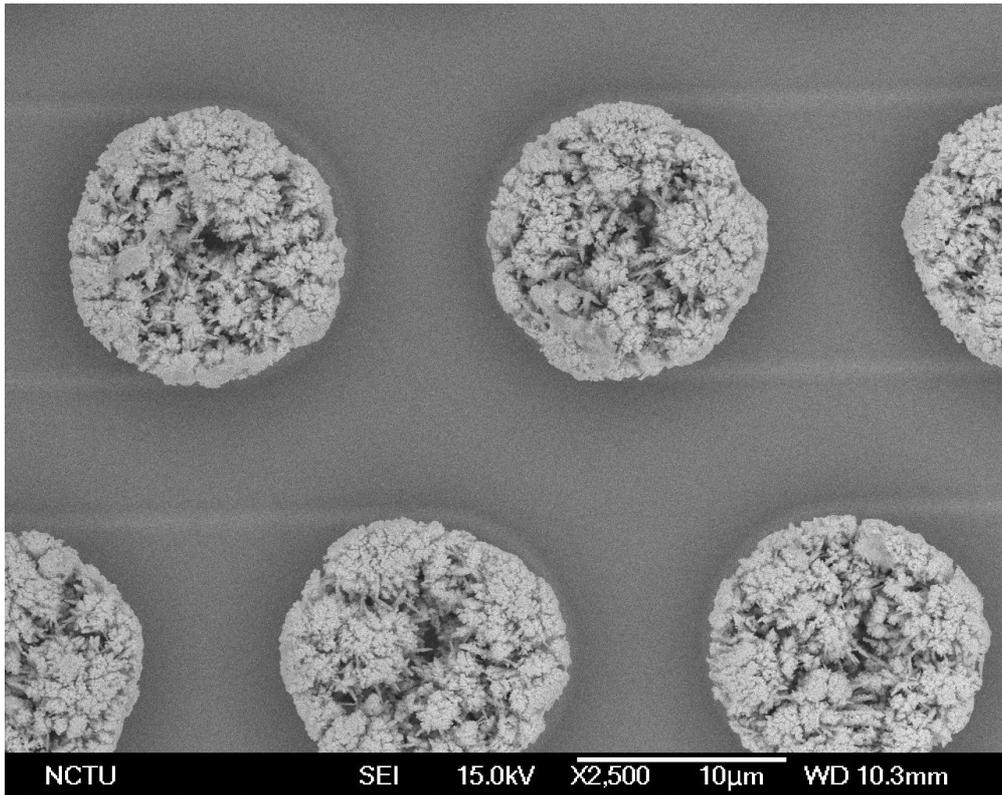


圖 4.32：電鍍錫銀合金於鎳層上，電流密度  $5 \text{ mA/cm}^2$ ，40 分鐘。

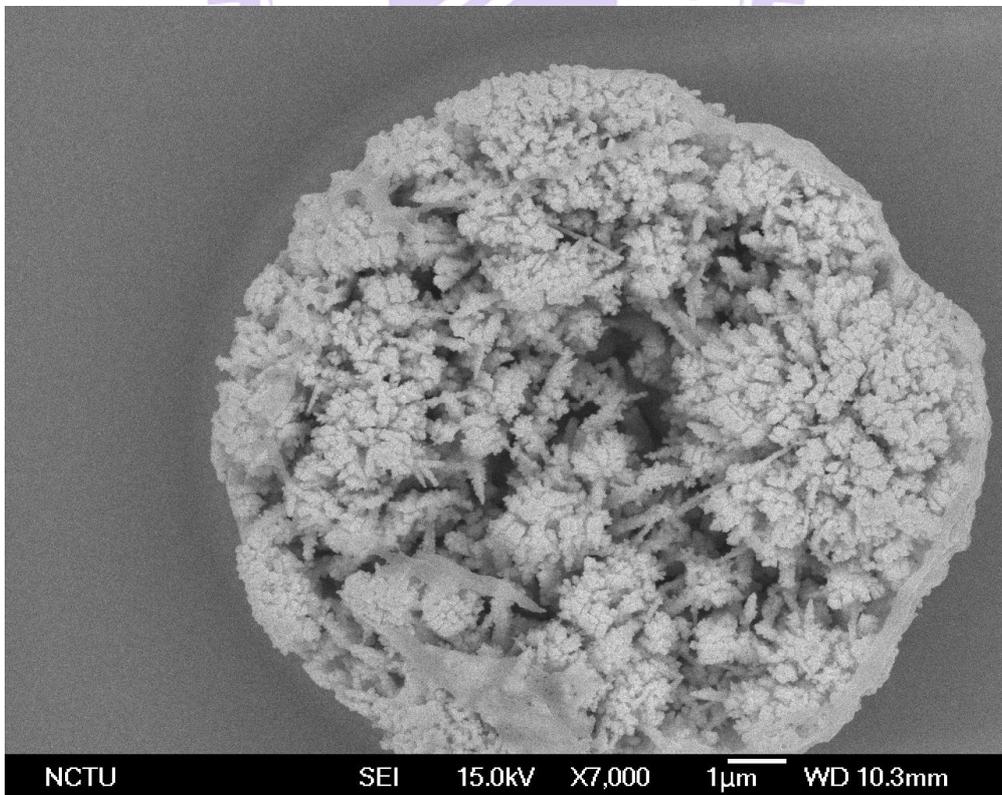


圖 4.33：電鍍錫銀合金於鎳層上，電流密度  $5 \text{ mA/cm}^2$ ，40 分鐘。

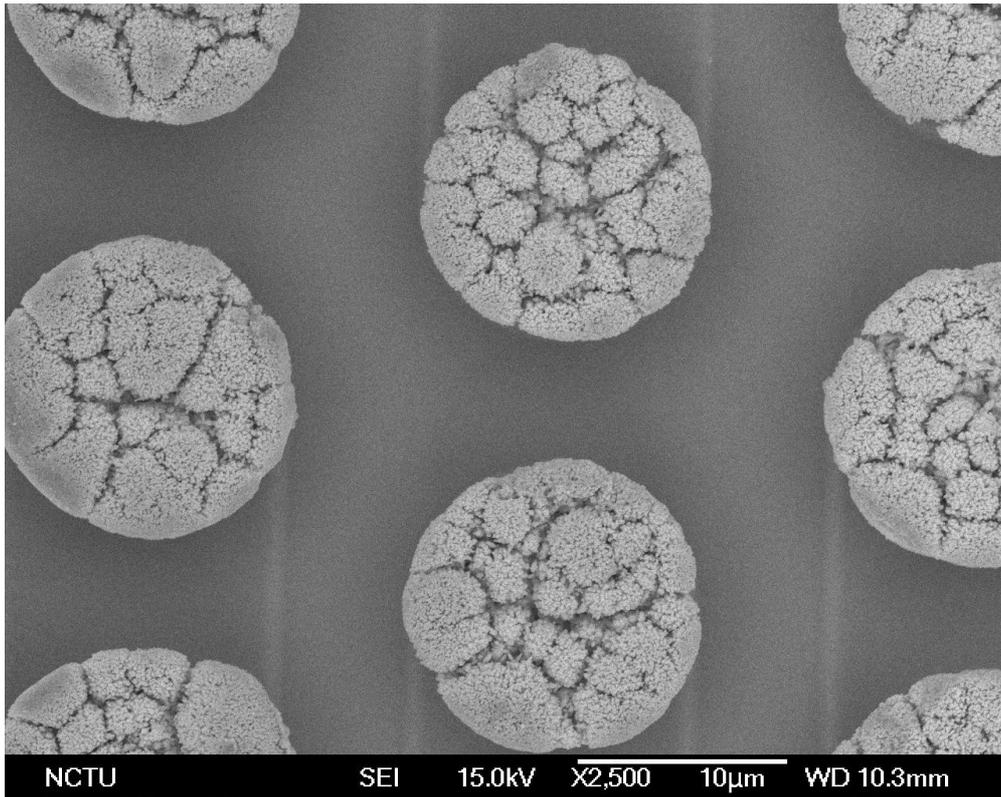


圖 4.34：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，20 分鐘。

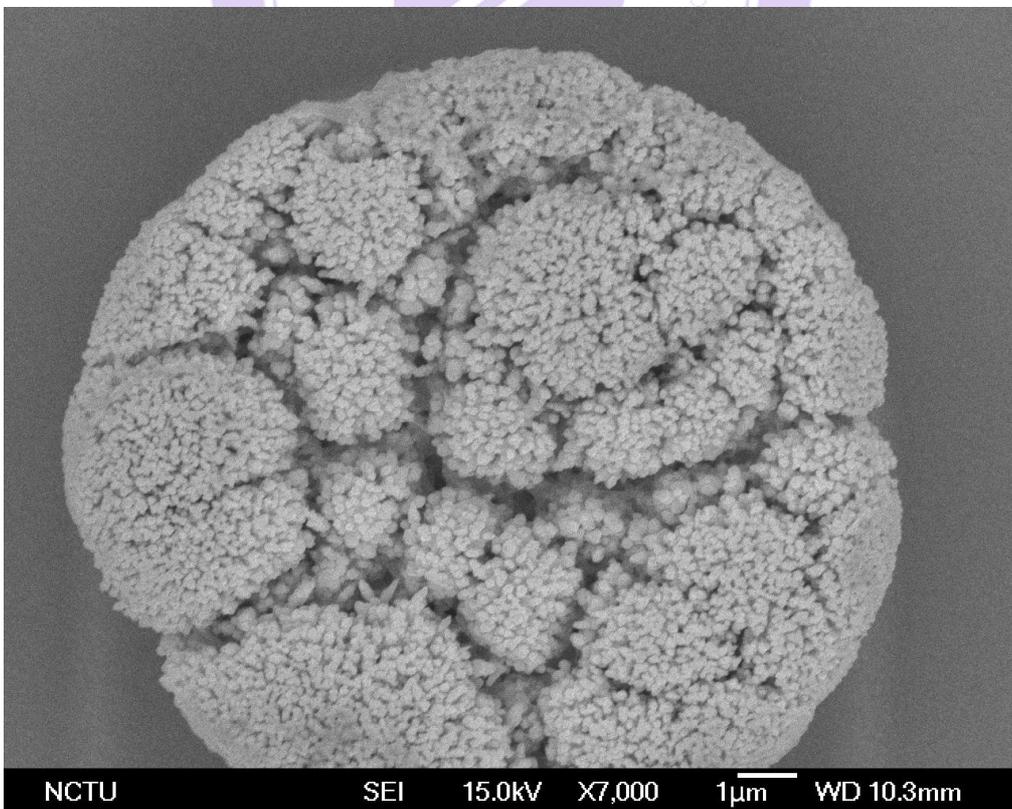


圖 4.35：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，20 分鐘。

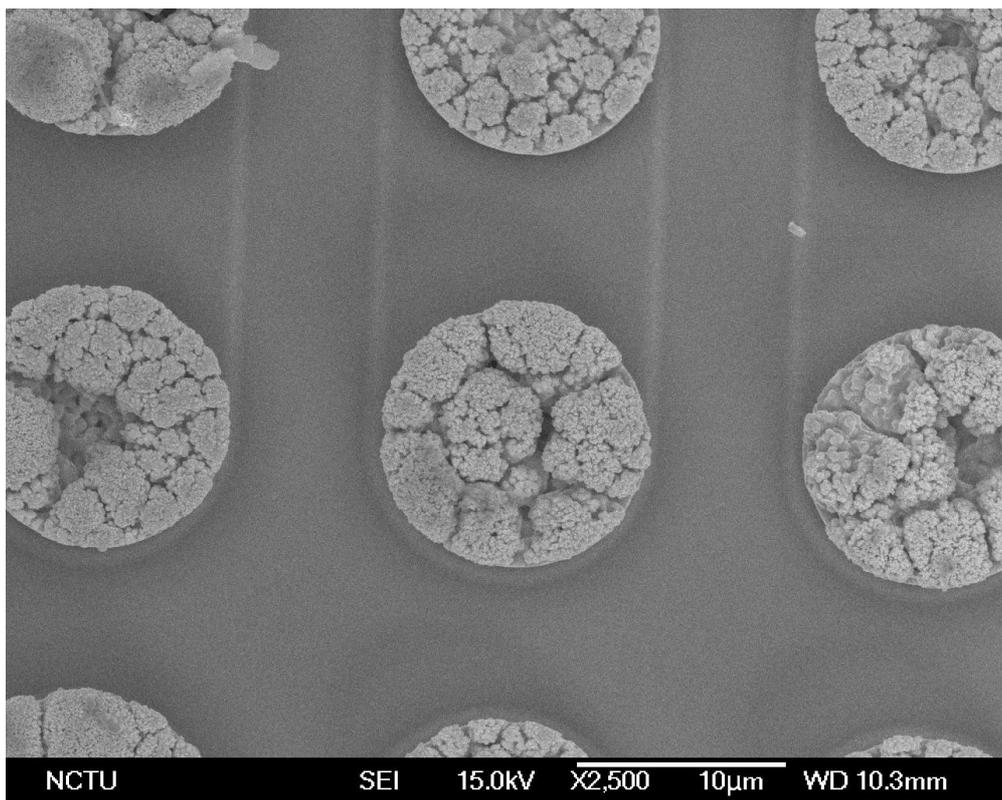


圖 4.36：電鍍錫銀合金於鎳層上，電流密度  $20 \text{ mA/cm}^2$ ，10 分鐘。

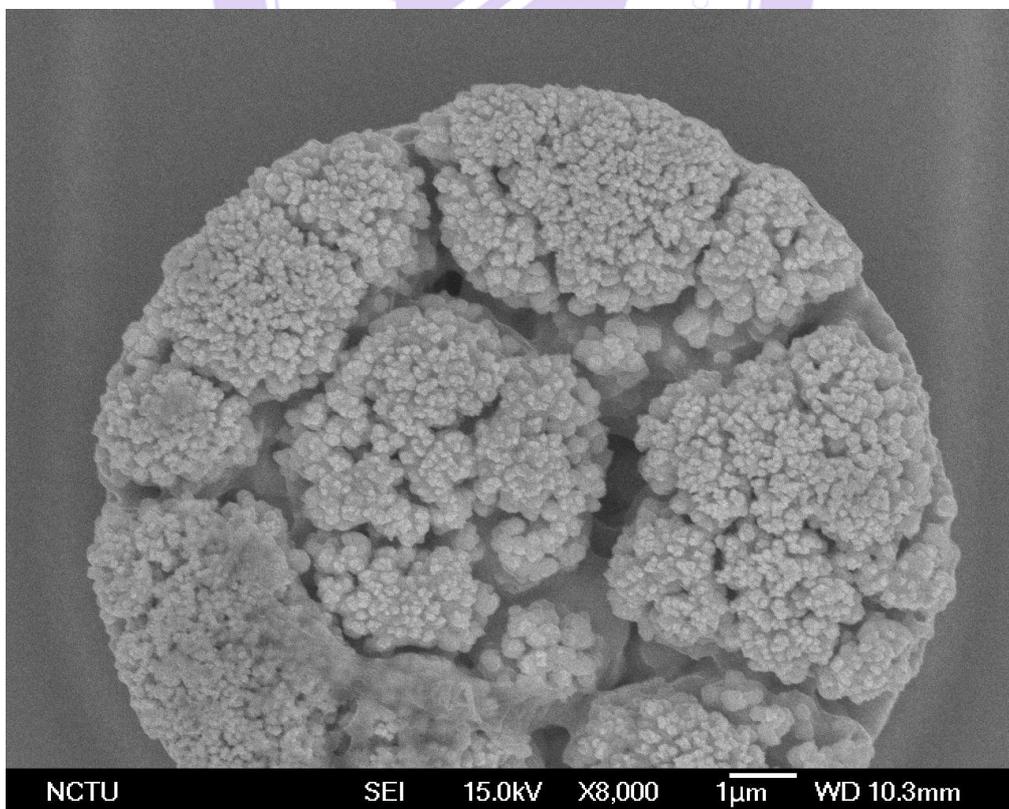


圖 4.37：電鍍錫銀合金於鎳層上，電流密度  $20 \text{ mA/cm}^2$ ，10 分鐘。

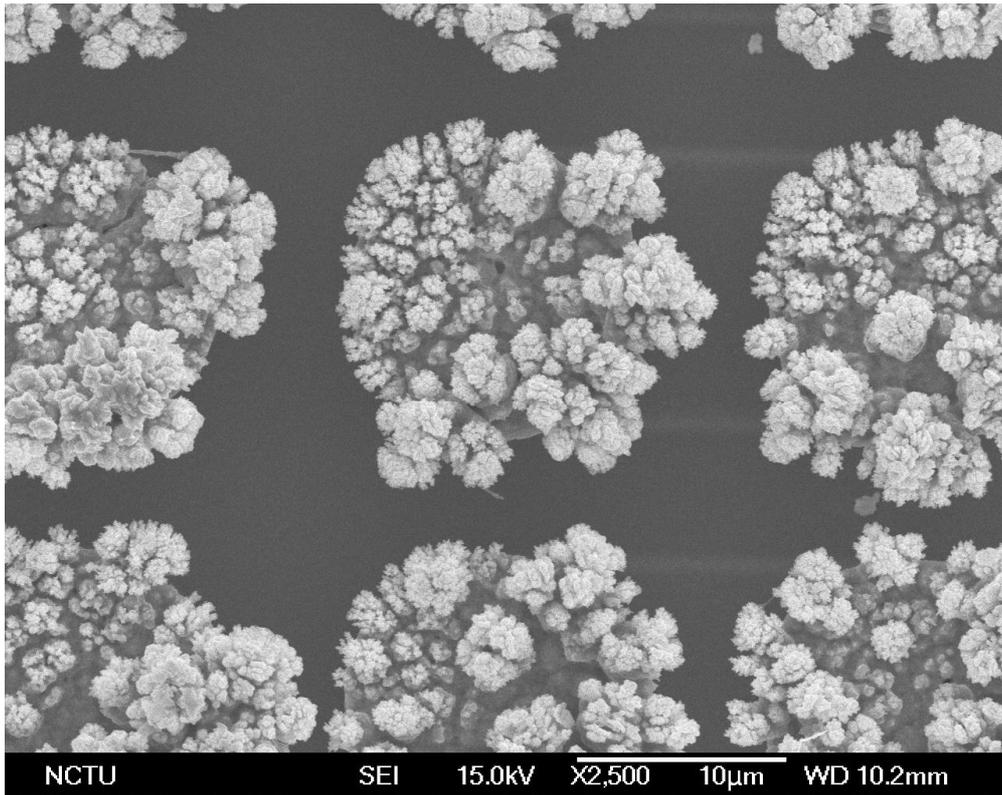


圖 4.38：電鍍錫銀合金於鎳層上，電流密度  $30 \text{ mA/cm}^2$ ，6.67 分鐘。

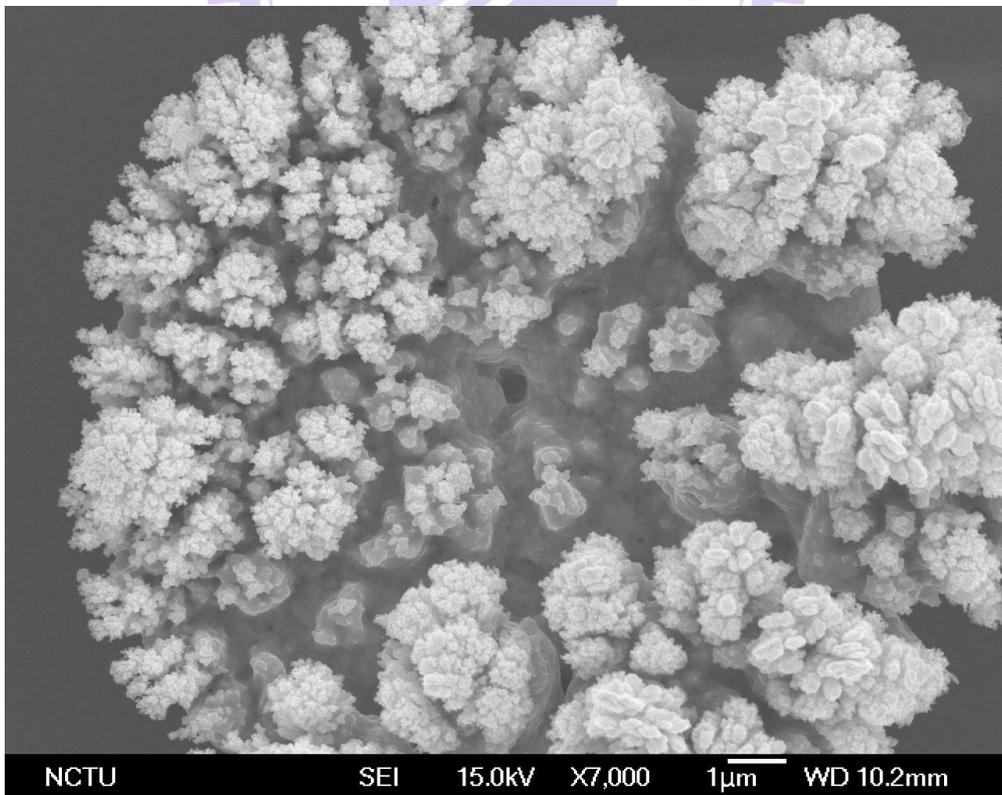


圖 4.39：電鍍錫銀合金於鎳層上，電流密度  $30 \text{ mA/cm}^2$ ，6.67 分鐘。

由以上的圖可以發現，分別在電流密度低以及電流密度高時其錫銀合金表面形貌會產生樹枝晶結構 (Dendrite)。在電流密度低時，樹枝晶結構的產生是由於在較低的電流密度下，由於吸附於電鍍表面的 PEG 的抑制使得錫還原量較少，此時還原電流主要來自於銀還原的貢獻，而產生樹枝狀的結構；而電流密度高時，表面到達擴散極限電流密度 (Diffusion limited current density)，而產生樹枝晶狀結構。

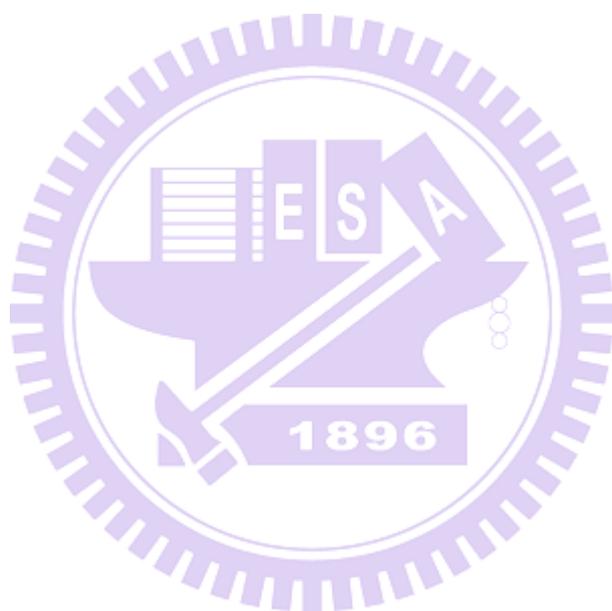
在 Yi Qin 等人的研究中[50]，他們於平板銅上進行同樣不同電流密度的錫銀合金電鍍，結果與我所做的實驗類似，他們亦在低電流密度及高電流密度的電鍍條件下發現這些凸起的結構。在這邊相同的是都採用 PEG 作為抑制劑，且他們發現若沒添加 PEG 的鍍液在低電流密度下並不會有凸起狀物體產生，故推論低電流密度下的樹枝狀結構和 PEG 有密切關連。

PEG 的抑制機制為在表面吸附形成一層聚合物電解質膜 (polymer electrolyte layer)，在低電流密度時其在表面阻礙了金屬離子的還原，此時對於錫與銀而言兩者皆受到抑制，但受到低電流密度的限制使得兩種離子的還原力皆不足。雖然於鍍液當中的錫離子含量較銀離子多，但銀本身較容易被還原，於低電流密度的條件反而有利於銀的還原，而產生樹枝狀的結構。

而於電流密度高時，其值於表面超過錫離子擴散極限電流密度值。錫離子於孔洞內還原為錫原子，應而消耗了表面的錫離子，鍍液內的離子傳導方式為擴散，當遠處的錫離子來不及以擴散方式補充至還原表面時，錫的還原就會被限制於一定值，即為擴散極限電流密度。此時多餘的還原電流貢獻來自於銀的還原，於是產生樹枝晶結構的突出現象。再者，在表面的電鍍若達到極限電流密度時，樹枝晶結構本身也較易產生，原因為於凸起處所接觸到的液體的離子濃度，較其沒有

凸起的地方來得高，意味著凸起處會繼續加速還原而往外部發展，越往外接觸到的離子濃度更高而累加其加速還原的效應，如此現象往復發生就會產生所謂樹枝晶結構。

觀察到以上現象，過低的電流密度與高電流密度均會對表面形貌造成不良的影響，而為了表面形貌的最佳化，在這邊我選擇適當的低電流密度值  $10 \text{ mA/cm}^2$  作為電鍍的參數，並且嘗試不同的電鍍時間以找尋符合達到要求厚度的參數。



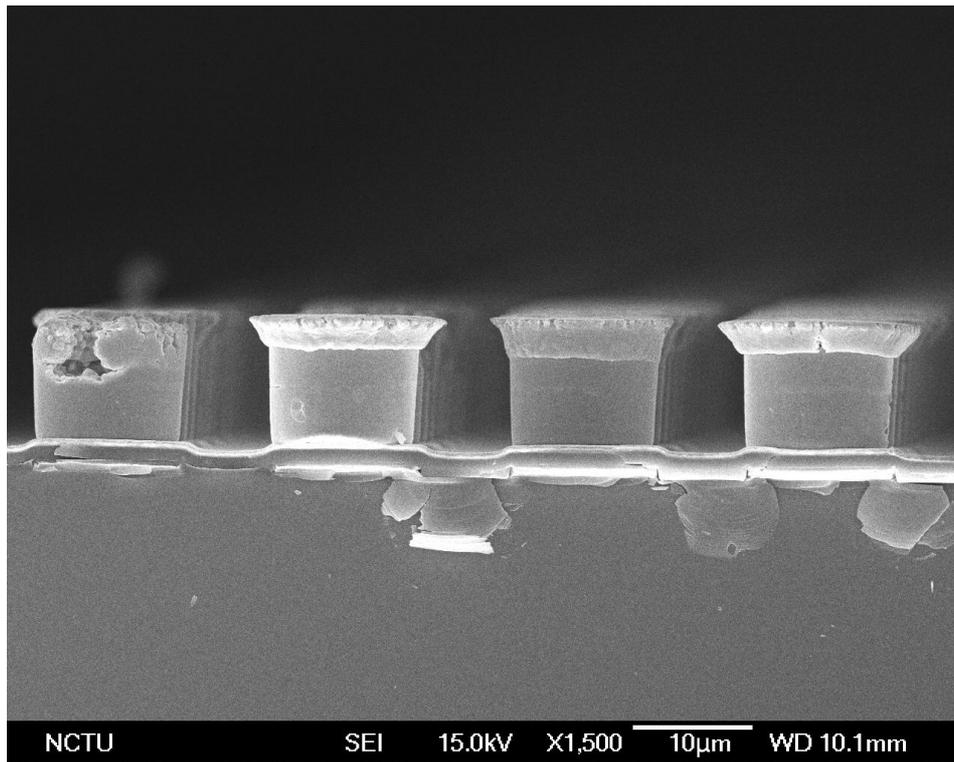


圖 4.40：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，15 分鐘。

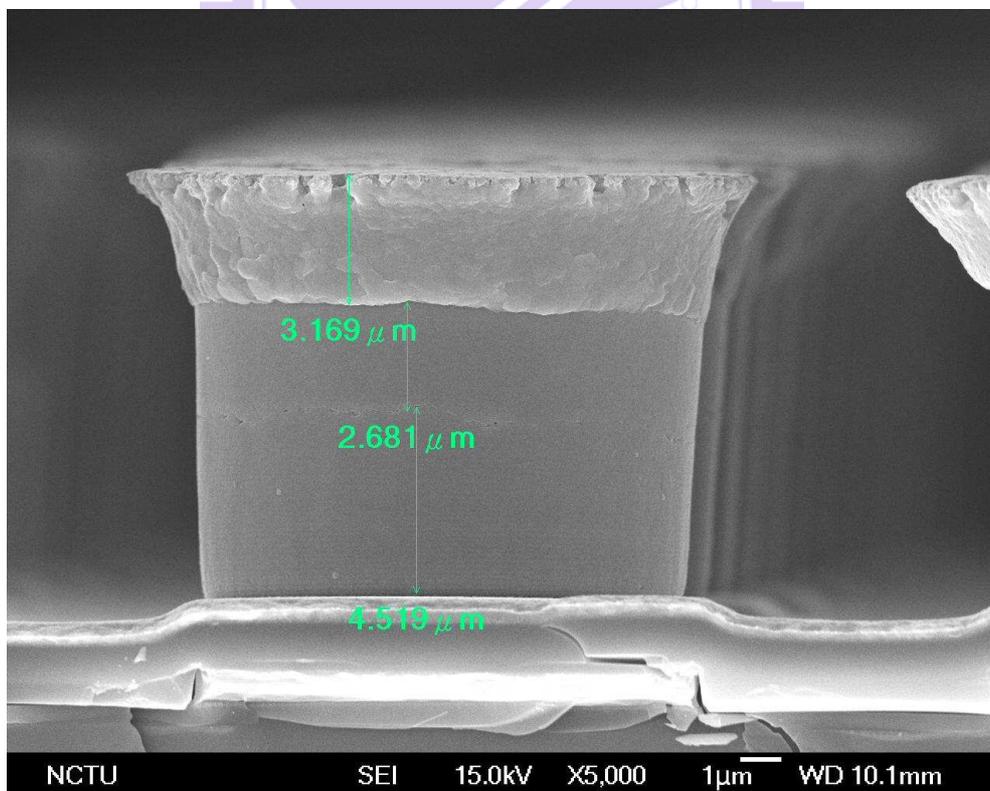


圖 4.41：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，15 分鐘。

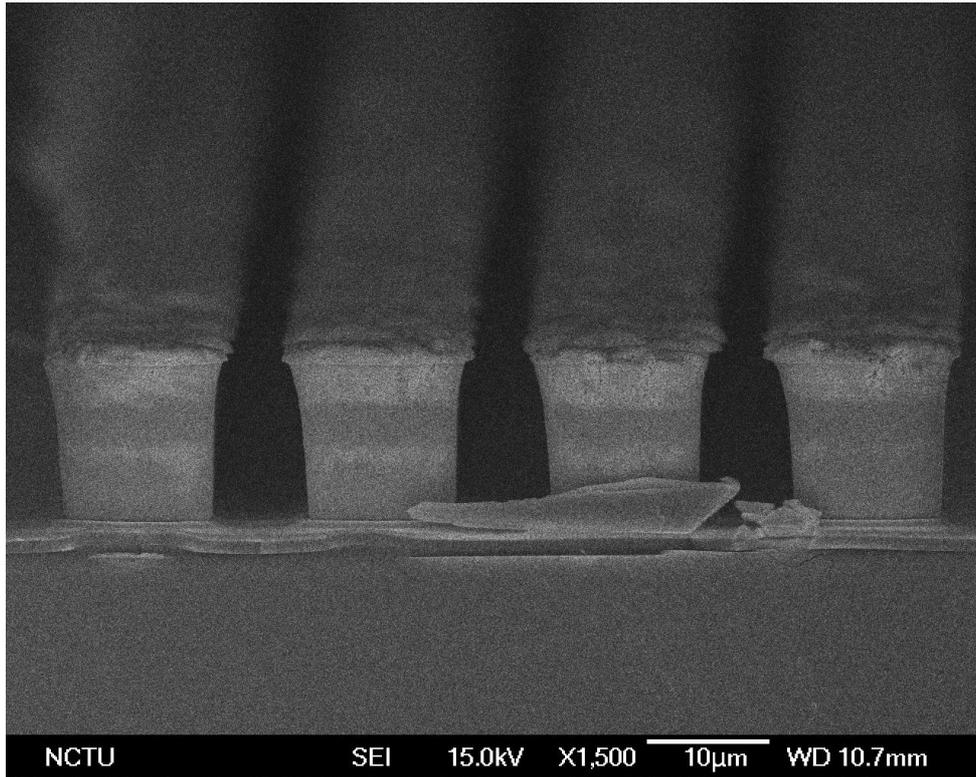


圖 4.42：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，20 分鐘。

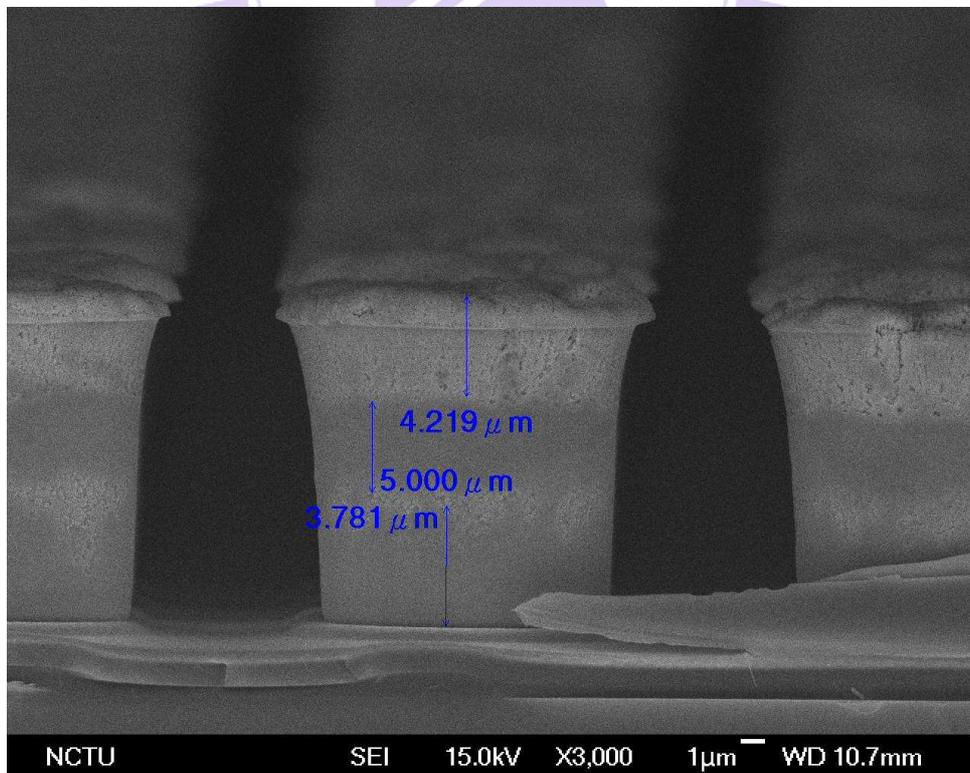


圖 4.43：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，20 分鐘。

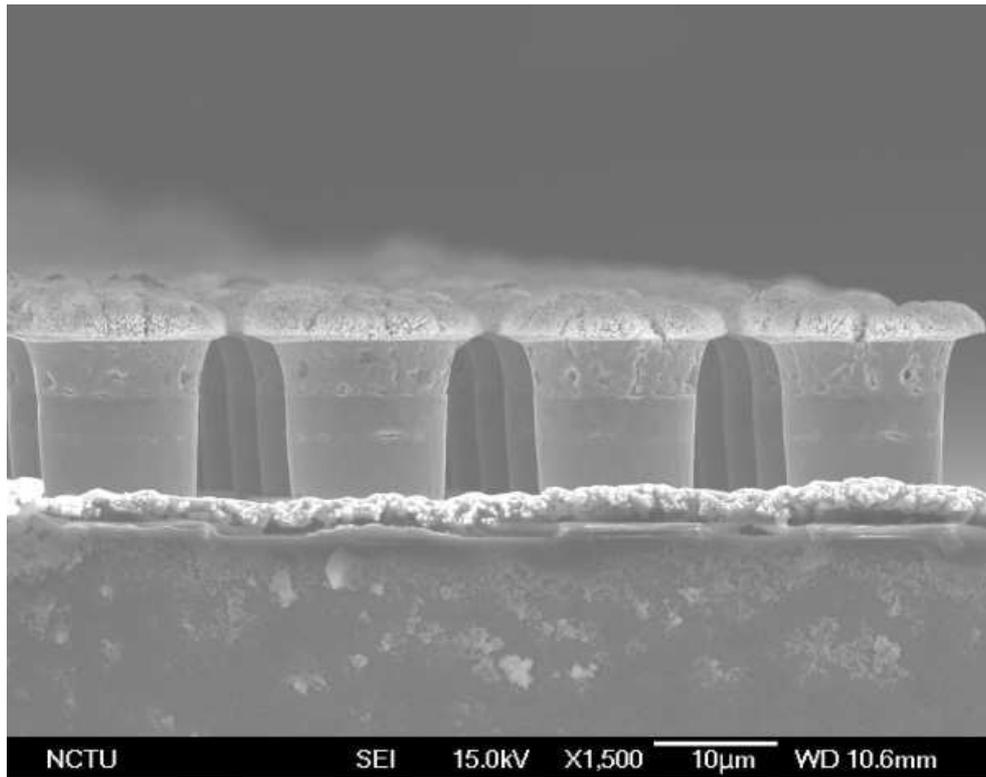


圖 4.44：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，22 分鐘。

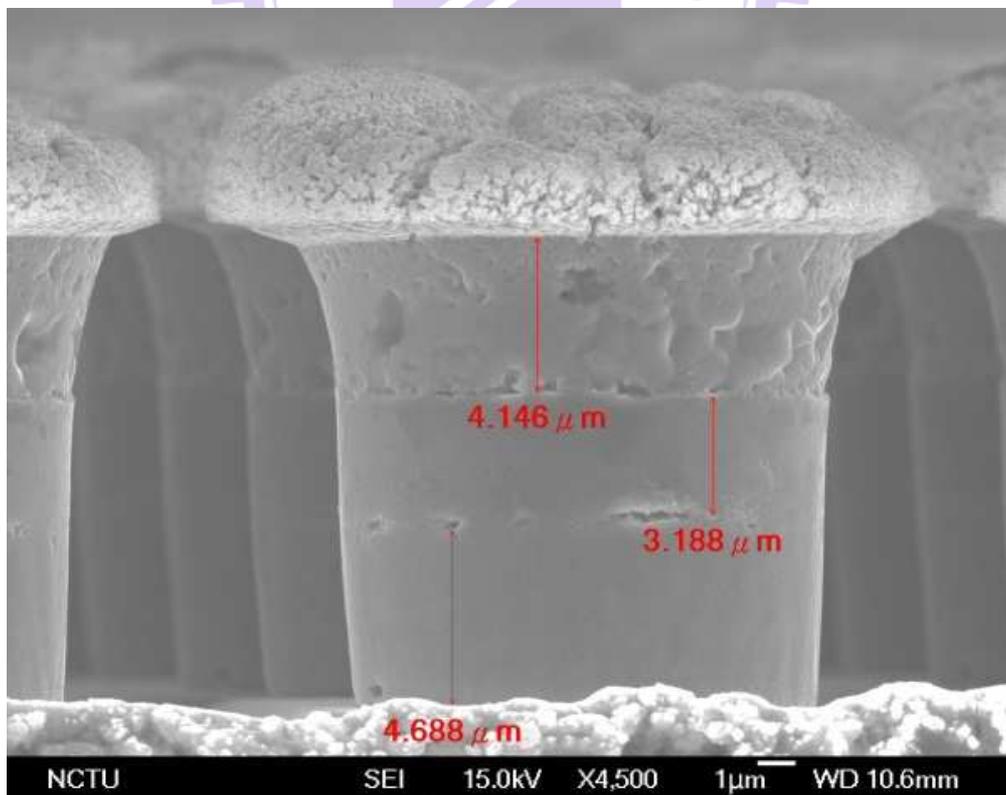


圖 4.45：電鍍錫銀合金於鎳層上，電流密度  $10 \text{ mA/cm}^2$ ，22 分鐘。

電鍍完成的微凸塊橫截面如圖 4.35，最下層的電鍍銅厚度為  $4.688 \mu\text{m}$ ，而中間層的鎳厚度為  $3.188 \mu\text{m}$ ，最上一層的錫銀合金厚度為  $4.146 \mu\text{m}$ 。此厚度條件已相當接近原來所需求的規格。

確定電鍍參數之後接著將電鍍的超細間距無鉛焊錫微凸塊做迴錫熱處理，溫度時間條件為在  $300^\circ\text{C}$  下持續 5 秒鐘。

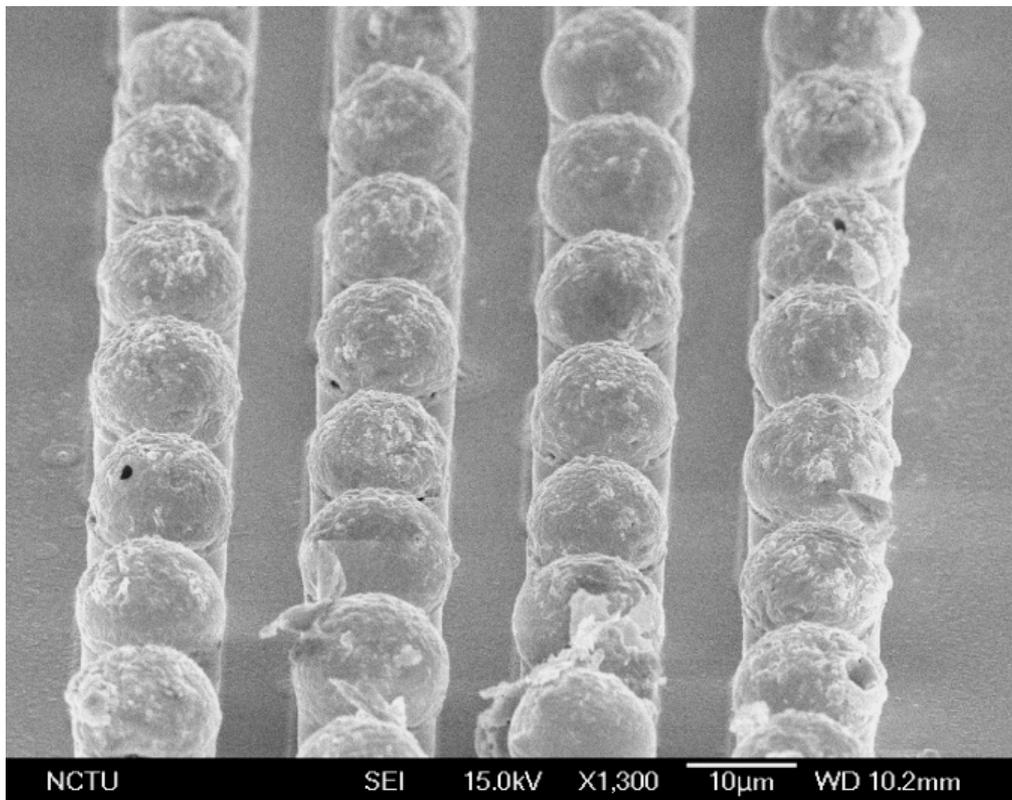


圖 4.46：迴錫熱處理後成球的錫銀合金凸塊。

經過迴錫之後的焊錫凸塊如圖 4.46 所示，可以發現焊錫凸塊頂端因為高溫融熔成球體，但並非完美的平滑表面，猜測如此不平的表面為受到原樹枝晶結構所致。錫銀合金電鍍過程中產生樹枝晶結構使得錫與銀在凸塊內不均勻分布，在回錫時便出現如此的情形。圖 4.47 為成球後的錫銀合金凸塊的成分分析圖，於左下的銀分析圖可以發現銀集中於部分區域而非均勻分布，此乃前述的樹枝晶狀

結構為銀聚集區域，和迴錒時產生的介金屬化合物  $Ag_3Sn$  所致。

經由電子微探儀的分析，分析結果如表 4.5，可知錫的含量為 97.4838 wt%、銀的含量為 2.5162 wt%，符合所需要的規格 Sn-2.5 wt % Ag。並且控制其誤差於原設定成分的 0.2 wt% 內。

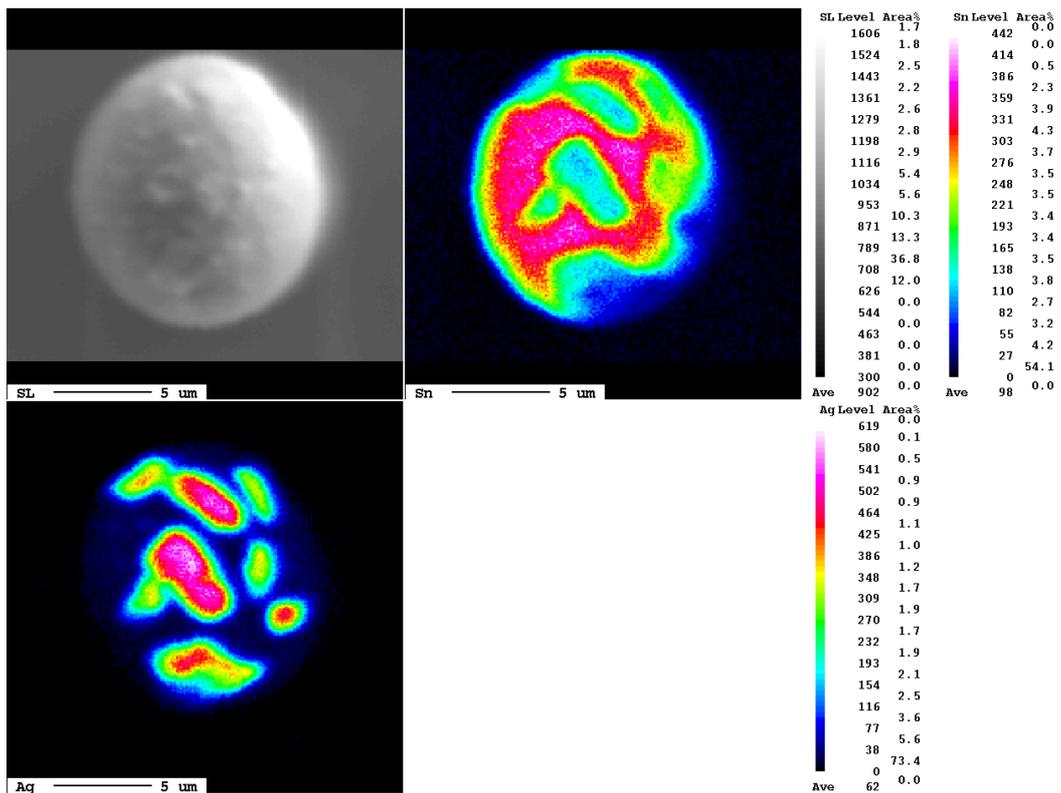


圖 4.37：成球後的錫銀合金凸塊成分分析圖。

表 4.3：成球後的錫銀合金凸塊成分分析表。

SnAg analysis			
component	Sn	Ag	Total
content (wt%)	97.4838	2.5162	100

## 4-4 奈米級雙晶硬度測試

### 4-4-1 壓痕硬度測試結果

將經過脈衝式電鍍過後的平版銅片以奈米壓痕硬度測試儀量測硬度，選用的探針為 1/8 規格，外加測試應力為 150MPa，表 4.6 為各組試片與對照原平板銅片硬度測試結果。

表 4.4：平版銅片於壓痕硬度測試儀量測之硬度一覽表。

Sample No.	Test 1 (MPa)	Test 2 (MPa)	Test 3 (MPa)	Average (MPa)
Copper plate	118.2	118.1	118.4	118.23
1	119.1	119.6	119.0	119.23
2	120.1	120.3	119.7	120.03
3	119.3	118.9	119.6	119.27
4	120.0	119.7	119.5	119.73
5	121.4	121.6	121.0	121.33
6	120.9	121.3	121.3	121.17

所有經過電鍍試片與未電鍍之平版銅片相比，未發現有硬度大幅增加的情況。電鍍出的銅層若具有雙晶結構則厚度應介於 5  $\mu\text{m}$  至 10  $\mu\text{m}$ ，而奈米壓痕下壓厚度約為 1.5  $\mu\text{m}$  至 2  $\mu\text{m}$ ，於壓痕測試時若壓痕深度超過薄膜厚度的 20 % 則可能產生基材效應，即基材會影響薄膜硬度的測量值。因此讀數可能受到基材效應影響而非正確銅層硬度。

#### 4-4-2 奈米壓痕測試結果

將試片 1 和試片 2 分別以奈米壓痕儀測試硬度，測試方式為於試片上任意取八點下壓測量薄膜層的硬度。圖 4.38、圖 4.39 和表 4.5、表 4.6 分別為測量的結果。

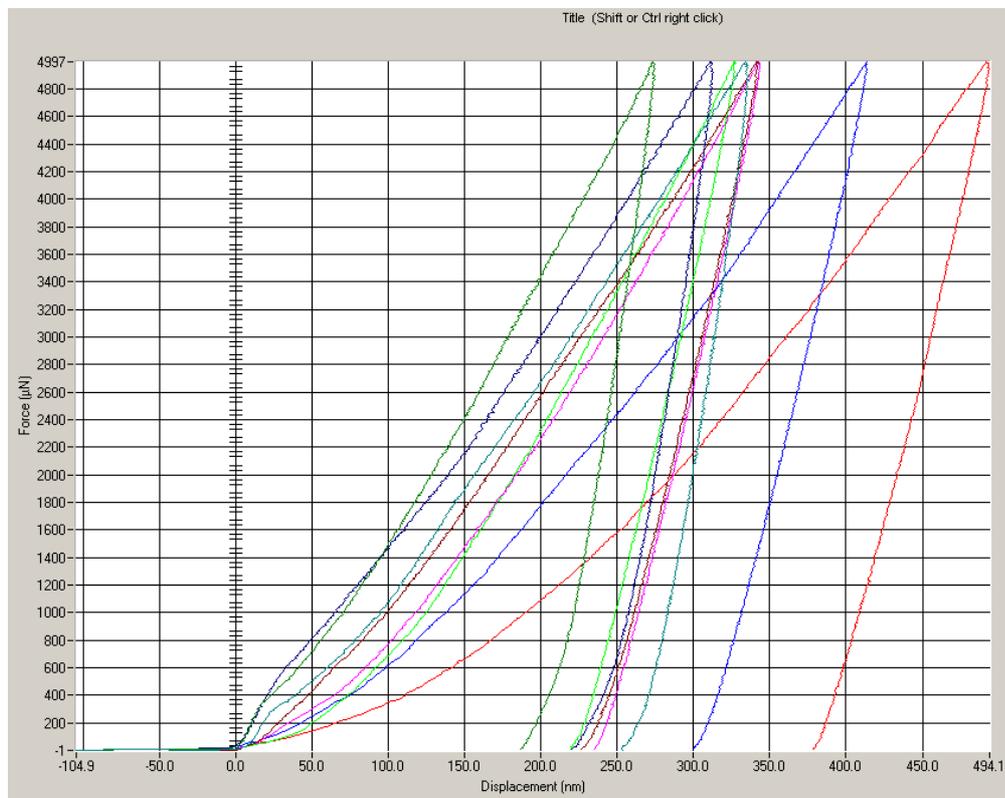


圖 4.38：試片 1 之施加應力與位移量關係圖。

表 4.5：試片 1 之下壓深度、彈性模數與硬度結果。

	Contact Depth (nm)	Modulus (GPa)	Hardness (GPa)
Mean	297.69	37.53	2.01
Std Dev	60.30	13.65	0.6006

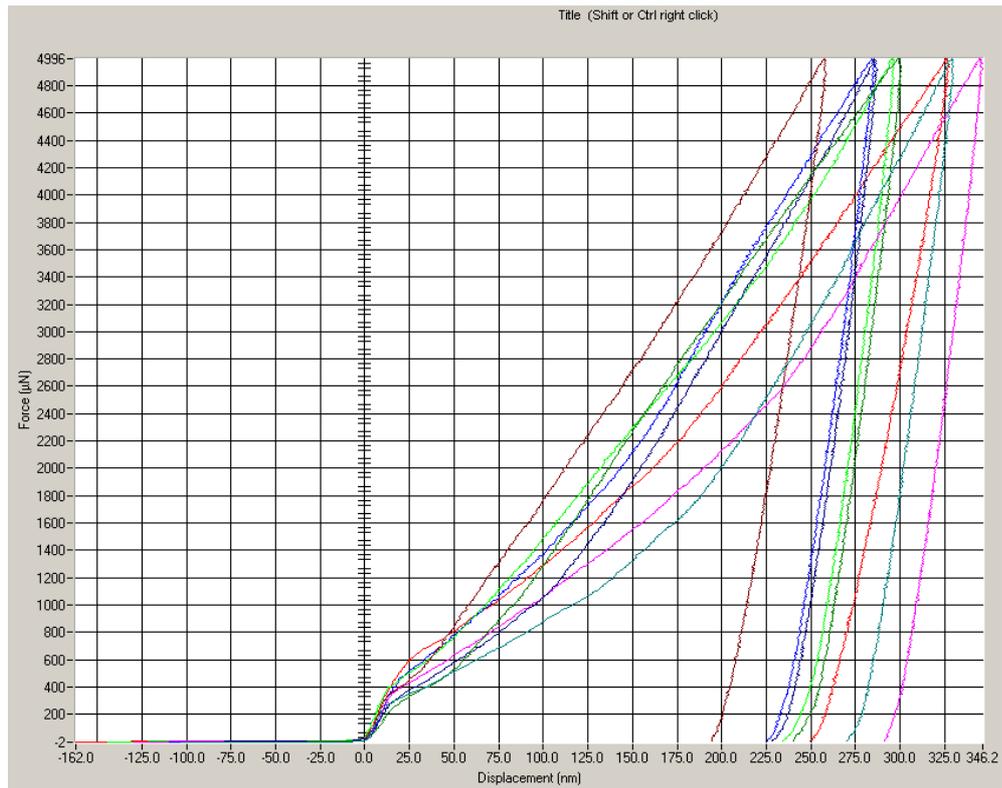


圖 4.39：試片 2 之施加應力與位移量關係圖。

表 4.6：試片 2 之下壓深度、彈性模數與硬度結果。

	Contact Depth (nm)	Modulus (GPa)	Hardness (GPa)
Mean	271.54	67.99	2.27
Std Dev	28.55	10.17	0.4597

從以上結果得知，銅薄膜的硬度分別為 2.01 GPa 和 2.27 GPa，與傳統的銅薄膜硬度介於 2.0-2.2 GPa 相比並無明顯增加的趨勢。一般預料若於沉積的銅層有奈米級雙晶產生則會因差排不易移動而硬度增加，但在試片中未發現有如此現象，故若排除基材效應的影響，推測前述脈衝式電鍍製程於平版銅上並無產生奈米級雙晶結構。相關的研究正持續進行中，未來的目標為製備更多試片並且系統性的建立資料庫，試片會先以掃描式電子顯微鏡確認橫截面厚度後再進行奈米壓

痕試驗的測試以更精準的確認硬度變化。試片亦曾經穿透式電子顯微鏡的觀察確認是否有雙晶結構的產生。



## 第五章 結論與未來方向

在光阻圖案間距  $20\ \mu\text{m}$  的晶圓上可以成功電鍍球下金屬層以及錫銀合金微凸塊。球下金屬層之銅層和鎳層的厚度已經可以被控制在想要的厚度，在電子顯微鏡下觀察其表面形貌均很平整，填孔率亦有良好表現。而錫銀合金的電鍍會受到電流密度的不同而影響表面形貌，在高電流密度時會成長出樹枝晶結構，可能會對後續迴鍍時的成球造成影響。而經過不斷的參數調整，可以電鍍出銅  $5\ \mu\text{m}$ ，鎳  $3\ \mu\text{m}$  以及錫銀合金  $5\ \mu\text{m}$  的結構，且成分控制在需要的規格內。

於平版銅片上嘗試以脈衝式電鍍法電鍍具有奈米級雙晶微結構的銅，目前就機械性質測試結果來判斷未發現有其結構產生。未來將以修正電鍍參數和調整電鍍液配方的方向來進行。



## 第六章 參考文獻

- [1] S.F. Alsarawi, D. Abbott, and P.D. Franzon, IEEE Trans. Compon., Packag. Manuf. Technol. 1998;Part B:21.
- [2] C.J. Lin, M.T. Lin, S.P. Wu, and F.G. Tseng, Microsyst. Technol. 2004;10:517.
- [3] A. Yu, A. Kumar, S.W. Ho, H.W. Yin, John H. Lau. Development of Fine Pitch Solder Microbumps for 3D Chip Stacking, 10th Electronics Packaging Technology Conference. 2008.
- [4] Intel Developer Forum. 2006.
- [5] USP 3,648,131 by International Business Machines Corporation. 1969.
- [6] X. Lin and L. Luo. Sub-100  $\mu\text{m}$  SnAg Solder Bumping Technology and the Bump Reliability. J. Electron. Packag. 2009;131:011014.
- [7] T.W. Goodman and E.J. Vardaman. FCIP and Expanding Markets for Flip Chip. TechSearch International, Inc., Texas. 1997:2
- [8] www.ITRS.org, TWG A&P. 2006.
- [9] S. Bader, W. Gust and H. Hieber. Rapid Formation of Intermetallic Compounds Interdiffusion in the Cu-Sn and Ni-Sn Systems. Acta Metall. Mater. 1995;43:329.
- [10] R.S. Rai. S.K. Kang and S. Purushothaman, Proc. 45<sup>th</sup> Electronic Components &Technology Conference. 1995:1197.
- [11] M. Harada, R. Satoh, O. Yamada. A New Ni-W Thin Film Metallization for Solder Interconnections and Design Method of Metallization Thickness. 47<sup>th</sup> Electronic Components &Technology Conference. 1997:866
- [12] Brain Injury Law Group. Lead Poisoning in Children, www.leaditifo.com. 2003.
- [13] R. Kiumi, J. Yoshioka, F. Kuriyama, N. Saito, and M. Shimoyama. Process

Development of Electroplate Bumping for ULSI Flip Chip Technology. Conference on Electronic Components and Technology. 2002:711-716.

[14] B. Kim and T. Ritzdorf. Electrodeposition of Ternary Near-eutectic SnAgCu Solders with an Alkaline Bath. International Symposium. Advanced Packaging Materials. 2002:54-60.

[15] G.J. Chou. Microstructure Evolution of SnPb and SnAg/Cu BGA Solder Joints during Thermal Aging. International Symposium. Advanced Packaging Materials .2002:39-46.

[16] S.Y. Jang, J. Wolf, O. Ehrmann, H. Gloor, H. Reichl and P. Kyung-Wook. Pb-free Sn/3.5Ag Electroplating Bumping Process and Under Bump Metallization (UBM). IEEE Transactions on Electronics Packaging Manufacturing. 2002:93-202.

[17] H. Ezawa, M. Miyata, S. Honma, H. Inoue, T. Tokuoka, J. Yoshioka and M. Tsujimura, Eutectic Sn–Ag Solder Bump Process For ULSI Flip Chip Technology. IEEE Transactions on Electronics Packaging Manufacturing. 2001:275-281.

[18] L.S. Pei-Siang, L.C. Khoon, L. Charles and T. Poi-Siong. High Density Fine Pitch Pb-free Flip Chip Interconnect Assembly. Conference on Electronics Packaging Technology. 2001:275-281.

[19] D. Shangguan and A. Achari. Evaluation of Lead-free Eutectic Sn–Ag Solder for Automotive Electronics Packaging Applications. IEEE/CPMT International Electronics Manufacturing Technology Symposium. 1994:25-37.

[20] J.H. Glezen, H. Naseem, I. Fritsch, R. Ulrich, W. Brown and L. Schaper. Flip Chip Interconnects with Electroplated, Extended Eutectic Solder. International Conference on Multichip Modules and High Density Packaging. 1998:319-323.

- [21] L. Kwang-Lung and L. Yi-Cheng. Reflow and Property of Al/Cu/Electroless Nickel/Sn-Pb Solder Bumps. IEEE Transactions on Advanced Packaging. 1999;22(4):568-574.
- [22] H. Shimokawa, T. Soga, T. Nakatsuka, and K. Serizawa. International Conference on Electronics Packaging Proceedings. 2001:78.
- [23] W. Yang, L. E. Felton, and R. W. Messler. Effects of different surfactant additions and treatments on the characteristics of tin nanosolder by chemical reduction method. J. Electron. Mater. 1995;24:1465.
- [24] T. Kobayashi, J. Tanaka, S. Hayashi, T. Takashima and T. Narita. International Conference on Electronics Packaging Proceedings. 2001:66.
- [25] C. Tanner. Proceedings of the International Workshop on Lead- and Halide-free Electronics, Semicon Europa. 2000.
- [26] J. W. Jang, A. P. De Silva, T. Y. Lee, J. K. Lin and D. R. Frear. Interfacial reaction of eutectic AuSi solder with Si (100) and Si (111) surface. Appl. Phys. Lett. 2001;79:482-484.
- [27] D. R. Frear, J. W. Jang, J. K. Lin and C. Zhang. The Member Journal of TMS. 2001;53:28-33.
- [28] 楊璧蓮,.UBM 中無電鍍鎳與無鉛錒錫間之介面反應及潤溼性質研究. 國立清華大學碩士論文. 2000.
- [29] B. Pahl, T. Loehner, C. Kallmayer, R. Aschenbrenner and H. Reichl. Ultrathin Soldered Flip Chip Interconnections on Flexible Substrates. Proceedings of ECTC. 2004:1244-1250.
- [30] S. Nieland, A. Ostmann, R. Aschenbrenner and H. Reichl. Immersion Soldering - a New way for Ultra Fine Pitch Bumping. Proc. Electronics Goes Green.

2000:165-168.

[31] Ho-Young Son, Jae-Woong Nah and Kyung-Wook Paik. Formation of Pb/63Sn Solder Bumps Using a Solder Droplet Jetting Method. IEEE Transactions on Electronics Packaging Manufacturing. 2005;28(3):274-281.

[32] N. M. Bigas and E. Cabruga. Characterisation of electroplated Sn/Ag solder bumps. Microelectronics Journal. 2006;37:308-316.

[33] E. A. Brandes, G. B. Brook. Smithells Metals Reference Book. Butterworth-Heinemann Oxford. 1998.

[34] P.V. Anderws, M.B. West, C.R. Robeson, Philo. Mag. 19, 887 (1969).

[35] R. H. Pry and R. W. Hennig. Acta Metall. 1954;2:318.

[36] L. Lu, Y.F. Shen, X.H. Chen, L.H. Qian and K. Lu. Ultrahigh strength and high electrical conductivity in copper. Science. 2004;304:422.

[37] Valenzuela, C. G., TMS-AIME. 1965;233:1911.

[38] McLean, D., Grain Boundaries in Metals. Oxford University Press. 1957:76.

[39] X. Du, NSF/NIRT Meeting. 2008.

[40] T.Y.B. Leung, M. Kang, B.F. Corry and A.A. Gewirth. Benzotriazole as an Additive for Copper Electrodeposition: Influence of Triazole Ring Substitution. J. Electrochem. Soc. 2000;147:3326-37.

[41] T.P. Moffat, J.E. Bonevich, W.H. Huber, A. Stanishevsky, D.R. Kelly, G.R. Stafford and D. Josell. Superconformal Electrodeposition of Copper in 500-90 nm Features. J. Electrochem. Soc. 2000;47:524-535.

[42] J.J. Kim, S.K. Kim and J.U. Bae. Investigation of Copper Deposition in the Presence of Benzotriazole. Thin Solid Films. 2002;415:101-07.

[43] W.P. Dow and C.W. Liu. Evaluating the Filling Performance of a Copper Plating Formula Using a Simple Galvanostat Method. J. Electrochem. Soc. 2006;153:190-194.

- [44] H.Y. Chen, C. Chen, P.W. Wu, J.M. Shieh, S.S. Cheng and K. Hensen. Effect of Polyethylene Glycol Additives on Pulse Electroplating of SnAg Solder. *J. Electron. Mater.* 2008;37:224.
- [45] V. I. Kravtsov and V. V. Kondratiev, *Electrochim. Acta*, 36, 427 (1991).
- [46] F. Fourcade and T. Tzedakis. Study of the mechanism of the electrochemical deposition of silver from an aqueous silver iodide suspension. *J. Electroanal. Chem.* 2000;20:493.
- [47] W.P. Dow, H.S. Huang, M.Y. Yen and H.H. Chen. Role of Chloride Ion in Microvia Filling by Copper Electrodeposition: Studies Using EPR and 65 Galvanostatic Measurements. *J. Electrochem. Soc.* 2005;152:77-88.
- [48] J.J. Kelly and A.C. West. Copper Deposition in the Presence of Polyethylene Glycol. *J. Electrochem. Soc.* 1998;145:3472-76.
- [49] W.P. Dow, M.Y. Yen, W.B Lin and S.W. Ho. Influence of Molecular Weight of Polyethylene Glycol on Microvia Filling by Copper Electroplating. *J. Electrochem. Soc.* 2005;152:769-775.
- [50] Y. Qin, G. D. Wilcox and C. Liu. *J. Electrochem. Soc.* 2009;156:424-430.