

國立交通大學

材料科學與工程學系奈米科技碩士班

碩士論文

非晶矽薄膜於電阻式記憶體研究

Study of α -Si Thin Film in Resistive Random
Access Memory Application



研究生：劉子瑄

指導教授：許鈺宗 教授

中華民國一〇〇年十一月

非晶矽薄膜於電阻式記憶體研究

Study of α -Si Thin Film in Resistive Random Access Memory
Application

研 究 生：劉子瑄

Student：Tzu-Hsuan Liu

指導教授：許鈺宗 教授

Advisor：Prof. Jeng-Tzong Sheu

國立交通大學

材料科學與工程學系

奈米科技碩士班

碩士論文

A Thesis

Submitted to Graduate Program for Nanotechnology

Department of Materials Science and Engineering

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Nanotechnology

Nov. 2011

Hsinchu 300, Taiwan, Republic of China

中華民國一〇〇年十一月

非晶矽薄膜於電阻式記憶體研究

學生：劉子瑄

指導教授：許鈺宗 博士

國立交通大學

材料科學與工程學系奈米科技碩士班

摘 要

近年來電阻式記憶體因具有單位元件體積小(可提高密度)、低操作電壓、低耗能、結構簡單、非破壞性讀取、快速操作、資料儲存時間長及重複操作可靠度佳等潛力而被廣泛的研究。

本篇論文中，我們製備出與 CMOS 製程匹配的 Cu/ α -Si/ p^{++} Si 元件，利用安捷倫 4155 及 4156 電性量測分析元件，針對其轉換機制與記憶體特性的表現作討論。元件在高溫(85°C)環境下穩定性良好，可以維持超過 10^4 秒而不衰減，且高低電阻態比例可以達到 10^6 以上，在眾多材料中表現優異，再加上銅電極及非晶矽轉換層和 CMOS 製程相容性高，在未來製程整合上遇到的問題阻力也相對較小。

另外、本研究也提出元件的電阻轉換現象，是由固定的金屬區域及變動的燈絲(Filament)路徑組成導通路徑，上電極銅在初始形成過程(Forming Process)擴散進入 α -Si 形成金屬區域，使得電流達到限制電流，而尚未形成金屬區域的小部份非晶矽，則藉由單根燈絲路徑的形成及破壞來達到高低電阻態之間的轉換，低電阻態時導通電流會受到燈絲形狀改變而影響，電流電壓曲線受到溫度影響小，電流傳導機制為穿隧(Tunneling)；而在高電阻態則受到非晶矽薄膜的缺陷影響是空間電荷限制電流(SCLC)傳導機制，並利用 WKB 近似估算出電阻轉換層厚度約 5 奈米左右，並且不受非晶矽薄膜總厚度的影響。

Study of α -Si Thin Film in Resistive Random Access Memory Application

Student : T.H. Liu

Advisor : Dr. J. T. Sheu

Submitted to Department of Insitute Nanotechnology

College of Engineering

National Chiao Tung University

ABSTRACT

The advantages of resistive random access memory, including small cell size (high-density integration), low operate voltage, low power consumption, simple structure, non-destructive reading, high speed operation, good endurance and data retention, has attracted a lot of research works recently. In this thesis, Cu/amorphous silicon (α -Si)/p⁺⁺Si structures with 30nm thickness resistive switching layer was prepared and studied. The transport behaviors of Cu/ α -Si/p⁺⁺Si device showed SCLC mechanism in low voltage region (-0.5~3V) and Schottky mechanism in high voltage region (-3~-6V) during high-resistance state (HRS). The current-voltage (*I-V*) curves of devices were symmetric and linear in low-resistance state (LRS), which was attributed from the tunneling conduction. The diffusion of Cu atoms into α -Si film forms a large volume metallic region during forming process. And, switching between LHS and HRS was determined by the formation of metal filament with an estimated 5-nm length during program and erase. The devices showed bipolar resistive switching behaviors and exhibits an On-off ratio up to ca. 10⁶. The data retention extended up to 10⁴ s even at a temperature of 85°C.

誌謝

十一月的交大，終於可以好好停下腳步看一看陪伴了我兩年多的校園，這個提供了這麼好的環境及資源的校園，還有幾乎成為我第二個家的奈米元件實驗室—由許鈺宗教授所帶領的大家庭，輔佐及陪伴著我在這條研究的道路上。我的指導教授，許老師，真的很謝謝您，耐心以及用心的對待，並提供專業的知識及充沛的研究資源，還有振嘉大學長，感謝從旁給予許多建議及提點，而實驗及論文的完成，更是要感謝許許多多人集結而成的幫助。

小碩一剛踏入實驗室，柏鈞及以倫學長的帶領，讓我能夠順利在 NDL 中心開始元件製程的起步，而實驗室相當多製程及量測設備的學習，也特別感謝皓恆學長細心的教學，以及明莉、珊聿學姐經驗的傳承，從完成元件到量測電性，感謝實驗室學弟妹宜澤、崇陞、珮琳在黃光製程的幫忙與宗翰在蝕刻製程的協助，感謝華恩和東育學長在電性量測及程式控制上的幫忙，以及 Sputter 機台負責人振翔學長，感謝你總是熱心且不厭其煩的幫我處理製備上電極所遇到的問題，當然還有那些年，和我一起互相加油打氣的夥伴們，新怡、于聖、俊良及承樺，感謝你們讓我在實驗論文不順利時，總能夠獲得堅持下去的能量，還要感謝口試時幫忙準備餐點的嘉哲、筱淋，讓我可以沒有後顧之憂，最後感謝實驗室的大家一起維繫實驗室歡樂和諧的氣氛，讓那些惱人且不順遂工作的低迷氣氛可以趕快消逝！

還有我的好朋友品青、雅棻以及 AP97 的你們，給我精神上的力量讓我能夠不孤單的度過這兩年；最後，我最愛的家人們，父母及弟弟，感謝你們適時的關心，一通電話、一個簡訊，或是一封 e-mail，都讓我覺得溫暖無比，每次回到台北的家，又能獲得滿滿的力量，在此，將此篇論文獻給你們與天上的爺爺。

劉子瑄 謹識於風城交大

民國 100 年

目錄

摘要.....	I
ABSTRACT.....	II
誌謝.....	III
目錄.....	IV
圖目錄.....	VI
表目錄.....	IX
第一章 緒論.....	1
1.1 非揮發性記憶體回顧.....	1
1.2 新世代非揮發性記憶體回顧.....	4
1.2.1 快閃記憶體(Flash).....	4
1.2.2 鐵電式記憶體(FRAM).....	5
1.2.3 磁阻式記憶體(MRAM).....	8
1.2.4 相變化式記憶體(PCM).....	10
1.2.5 電阻式記憶體(RRAM).....	12
1.3 薄膜導電電流機制.....	13
1.3.1 Ohmic Conduction.....	13
1.3.2 Space-Charge-Limited-Current(SCLC).....	14
1.3.3 Schottky Emission.....	15
1.3.4 Frenkel-Poole Emission.....	16
1.3.5 Hopping.....	17
1.3.6 Tunneling.....	18
1.4 實驗動機.....	19
1.5 論文架構.....	19

第二章 元件製作流程與基本電性特性量測.....	20
2.1 元件結構.....	20
2.2 元件製作流程.....	20
2.3 元件圖.....	23
2.4 參數萃取方法.....	25
2.4.1 限制電流.....	26
2.4.2 Forming process.....	26
2.4.3 臨界電壓.....	30
2.5 基本電性特性量測與討論.....	34
2.5.1 Cu/ α -Si/p ⁺⁺ Si 元件之電流電壓曲線.....	34
2.5.2 Cu/ α -Si/p ⁺⁺ Si 元件之 Endurance 量測.....	35
2.5.3 Cu/ α -Si/p ⁺⁺ Si 元件之 Retention Time 量測.....	36
第三章 元件轉換機制.....	38
3.1 不同非晶矽薄膜厚度對 Forming 之影響.....	38
3.2 不同非晶矽薄膜厚度對臨界電壓之影響.....	39
3.3 高電阻態傳導機制.....	42
3.4 低電阻態傳導機制.....	48
3.5 非晶矽薄膜轉換層厚度估計.....	50
3.6 不同元件尺寸對傳導路徑之影響.....	54
第四章 結論與未來展望.....	60
參考文獻(References).....	65

圖目錄

圖 1-1、2007 到 2009 年半導體工業資本額前十大公司及生產的主力商品[1]。..2	
圖 1-2、(a)浮動閘堆疊結構示意圖及(b)穿隧氧化層能帶圖[4]。.....3	
圖 1-3、浮動閘原理示意圖[5]。狀態[5]。.....3	
圖 1-4、SONOS 結構、SANOS 結構及 TANOS 結構示意圖[6]。.....4	
圖 1-5、(a)SANOS 及(b)TANOS 結構能帶圖[6]。.....5	
圖 1-6、鐵電式記憶體材料 ABO ₃ 結構圖[7]。.....6	
圖 1-7、鐵電式記憶體的遲滯特性圖[7]。.....7	
圖 1-8、鐵電材料中矯頑電場(E_c)與殘存極化量(P_r)之關係圖[8]。.....7	
圖 1-9、鐵磁性物質與非鐵磁性物質自旋能量分布示意圖[9]。.....8	
圖 1-10、磁阻式記憶體示意圖[9]。.....9	
圖 1-11、相變化式記憶體結構圖[10]。.....10	
圖 1-12、相變化式記憶體脈衝時間與溫度曲線[10]。.....11	
圖 1-13、相變化式記憶體脈衝時間與電阻狀態關係圖[10]。.....11	
圖 1-14、電阻式記憶體之三明治結構圖[62]。.....13	
圖 1-15、Schottky 接面與 Ohmic 接面示意圖。.....16	
圖 2-1、Cu/ α -Si/ p^{++} Si 元件製程流程。.....22	
圖 2-2、Cu/ α -Si/ p^{++} Si 元件製程步驟示意圖。.....23	
圖 2-3、Cu/ α -Si/ p^{++} Si 元件 TEM 圖。.....24	
圖 2-4、EDS 成分分析圖，(a)銅上電極材料；(b)、(c)非晶矽材料。.....24	
圖 2-5、Cu/ α -Si/ p^{++} Si 元件 SEM 圖。.....25	
圖 2-6、元件量測方式示意圖。.....25	
圖 2-7、(a)元件加正偏壓，電流電壓曲線圖；(b)正偏壓產生的電場示意圖。..28	
圖 2-8、(a)元件加負偏壓，電流電壓曲線圖；(b)負偏壓產生的電場示意圖。..29	
圖 2-9、Initial Forming 形成金屬區域(Metallic Region)示意圖。.....30	

圖 2-10、銅擴散進入非晶矽薄膜之電流電壓圖。	30
圖 2-11、(a)元件 Turn On 電流電壓圖；(b)Filament 形成示意圖。	32
圖 2-12、Cu/ α -Si/ p^{++} Si 元件之臨界轉換電壓 V_{on} 及 V_{off} 分佈圖。	33
圖 2-13、元件電阻轉換循環圖。	35
圖 2-14、元件 Endurance 量測圖。	36
圖 2-15、元件 Retention Time 量測圖。	37
圖 3-1、(a) 20-nm、30-nm 及 50-nm a-Si 厚度元件 Forming 圖；(b) Metallic Region 示意圖	39
圖 3-2、(a) 20-nm、30-nm 及 50-nm a-Si 厚度元件 Turn On 圖；(b) Filament 示意圖。	40
圖 3-3、Cu/ α -Si/ p^{++} Si 元件之臨界轉換電壓 V_{on} 及 V_{off} 之分佈，(a)a-Si 20-nm；(b)a-Si 30-nm；(c)a-Si 50-nm。	42
圖 3-4、元件(a)在初始；(b)在操作 50 次循環以後，在室溫下電流電壓曲線。	43
圖 3-5、元件(a)在初始；(b)在操作 50 次循環以後，在高溫下電流電壓曲線。	44
圖 3-6、導通路徑尚未形成前，記憶狀態為 Off State 示意圖。	45
圖 3-7、(a)高電阻態(HRS)在正偏壓區間之電流電壓曲線；(b)ohmic 電流傳導機制；(c)SCLC 電流傳導機制。	46
圖 3-8、(a)高電阻態(HRS)在負偏壓區間之電流電壓曲線；(b) Schottky 電流傳導機制；(c) SCLC 電流傳導機制。	48
圖 3-9、導通路徑形成後，記憶狀態為 On State 示意圖。	49
圖 3-10、低電阻態(LRS)電流電壓曲線圖。	49
圖 3-11、低電阻態(LRS)電流密度和電壓呈現一次線性關係圖。	50
圖 3-12、 α -Si 薄膜內導通路徑由 Metallic Region 和 Filament 組成示意圖。	52
圖 3-13、Cu 粒子隨電壓增加移動示意圖。	52
圖 3-14、元件從高電阻態轉變為低電阻態電流階段變化圖。	53

圖 3-15、元件工作區域面積 $25\ \mu\text{m}^2$ (Device Diameter $5\ \mu\text{m}$)，共 20 組電流電壓在 On State 的量測結果圖。.....	56
圖 3-16、Device Diameter 為 5、10、200 μm 的元件，元件大小與 on-Resistance 關係圖。.....	56
圖 3-17、低電阻態規一化電阻與元件工作區域大小關係圖。.....	57
圖 3-18、導通燈絲路徑比擬成半徑為 r 長度為 l 的圓柱體示意圖。.....	57
圖 3-19、元件從低電阻態回到高電阻態的臨界電流圖。.....	58
圖 3-20、元件在光學顯微鏡(OM)下 Top View 觀測圖；(a)、(b)未經過電阻轉換，(c)及(d)經過電阻轉換。.....	59
圖 4-1、Cu/ α -Si/ p^{++}Si 元件轉換示意圖。.....	62
圖 4-2、Cu/ α -Si/ p^{++}Si 元件轉換電性圖。.....	62
圖 4-3、電阻式記憶體利用點交叉設計和 CMOS 元件形成高密度堆積結構[62]。.....	63
圖 4-4、利用 Nitride 作為 Spacer 製備矽奈米線。.....	63
圖 4-5、小於 100-nm 之矽奈米線在 In-line SEM 觀測圖。.....	64

表目錄

表 3-1、穿隧電流改變量與電阻轉換區域真正厚度估計結果。	53
表 3-2、擬似 Filament 圓柱體半徑 $r=0.02\ \mu\text{m}$ 與 $r=0.2\ \mu\text{m}$ 計算得到的臨界溫度與 銅熔點比較表。	58



第一章

緒論

1.1 非揮發性記憶體回顧

記憶體在積體電路(IC; Integrated Circuits)領域中，是相當重要的一個分支，從唯讀記憶體(ROM; Read Only Memory)、需要 Refresh 的動態隨機存取記憶體(DRAM; Dynamic Random Access Memory)以及不需要 Refresh 的靜態隨機存取記憶體(SRAM; Static Random Access Memory)，一直到快閃記憶體(Flash); 圖 1-1 是 2007 至 2010 年的半導體工業資本額前十大公司，其中主力產品是記憶體的公司就佔了六名，可以瞭解到其重要性以及發展性。而在追求商品的新穎功能之餘，可攜式也一直是主要訴求，配合各式各樣需要資料大量存放讀取的產品，如早期的 MP3、MP4、PDA、數位相機及筆記型電腦等，一直到最近火紅的 iPhone4S，記憶體也勢必得朝向微縮化、低耗能以及快速操作等的方向改良。

大家耳熟能詳的 DRAM 以及 SRAM 是屬於揮發性(Volatile)記憶體，所謂揮發性記憶體是指需要外加電源來維持原本的記憶狀態，一旦移除外加電源，就必須要重新再寫入一次所需要的狀態，因為需要靠外加電源的維持，所以耗能以及不易攜帶性也成為此種類型記憶體的主要缺點；相對於揮發性記憶體，非揮發性(Non-volatile)記憶體改良前者需要長時間供應電源維持記憶狀態的缺點，在外加電源移除後，記憶狀態可以繼續維持原本已經寫入的 0 或是 1 的狀態。非揮發性記憶體種類也是琳瑯滿目，如需要以 UV 光來抹除(Erase)的可抹除可程式唯讀記憶體(EPROM)、可電抹除可程式唯讀記憶體(EEPROM)、快閃記憶體(Flash)、鐵電式記憶體(FeRAM)、磁阻式記憶體(MRAM)、相變化式記憶體(PCRAM)及電阻式記憶體(RRAM)等。

懸浮閘(Floating Gate)結構的概念可以說是非揮發性記憶體之濫觴，S. M. Sze 和 D. Kahng 在 1967 年利用上下金屬中間夾 ZrO_2 提出 MIMIS Floating Gate

結構[2]，到了 1971 年 Intel 也推出改利用 Poly Si 當作 Floating Gate 的 FAMOS 元件[3]，目前在工業上較成熟技術的非揮發性記憶體仍然是以 Floating Gate 結構為主， EPROM、EEPROM、Flash 都是它的應用，Floating Gate 結構是數層膜堆疊成閘極如圖 1-2(a)，其操作原理是利用電荷會從矽基板經由穿隧氧化層 (Tunneling Oxide)，圖 1-2(b)，然後儲存在中間的導電層內，這些電荷不會隨著電源關閉而流失，而且儲存的電荷會造成臨界電壓的漂移，如圖 1-3，藉由電荷儲存在導電層或是從導電層中移除，可以區分出 0 或是 1 兩種記憶狀態，但在目前半導體製程上，隨著摩爾定律(Moore Law)的發展，懸浮閘式結構記憶體在微縮到次微米會遇到穿隧氧化層不能夠太薄的瓶頸，為了克服微縮下所遇到的困難，各種改良方法或是新類型之非揮發性記憶體開始如雨後春筍般被提出，下一節將會介紹數種新世代非揮發性記憶體。在數種新世代非揮發性記憶體中，電阻式記憶體因為具有 SRAM 快速操作，DRAM 可高密度化，以及 Flash 非揮發性的優點[13]，是相當具有潛力的明日之星。

Top 10 Semiconductor Industry Capital Spenders*

2010 Rank	Company	2007 (\$M)	07/06 % Change	2008 (\$M)	08/07 % Change	2009 (\$M)	09/08 % Change	2010F (\$M)	10/09 % Change	Major Product
1	Samsung	7,964	16%	6,750	-15%	3,518	-48%	5,000	42%	Memory
2	Intel	5,000	-13%	5,197	4%	4,515	-13%	4,900	9%	MPU
3	TSMC	2,557	6%	1,877	-27%	2,687	43%	4,800	79%	Foundry
4	Toshiba	3,595	18%	2,210	-39%	950	-57%	1,950	105%	Memory
5	AMD/GlobalFoundries**	1,683	-9%	621	-63%	466	-25%	1,900	308%	MPU/Foundry
6	Hynix	5,145	8%	2,900	-44%	855	-71%	1,840	115%	Memory
7	Micron	3,700	23%	2,300	-38%	800	-65%	1,715	114%	Memory
8	Nanya	2,098	131%	695	-67%	640	-8%	1,415	121%	Memory
9	UMC	850	-15%	349	-59%	551	58%	1,350	145%	Foundry
10	Elpida	2,111	59%	890	-58%	535	-40%	1,000	87%	Memory
—	Total	34,703	12%	23,789	-31%	15,517	-35%	25,870	67%	—

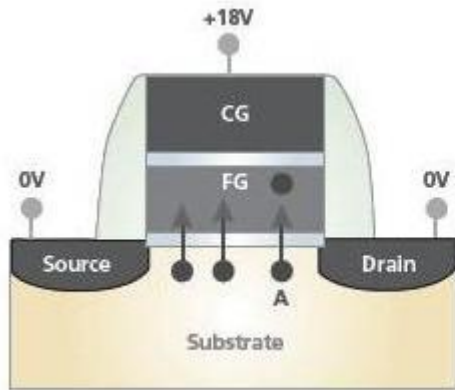
*Includes company's share of joint-venture spending.

**Includes Chartered in 2010

Source: IC Insights, Company Reports

圖 1-1、2007 年到 2009 年半導體工業資本額前十大公司以及生產的主力商品，其中記憶體占大宗[1]。

(a)



(b)

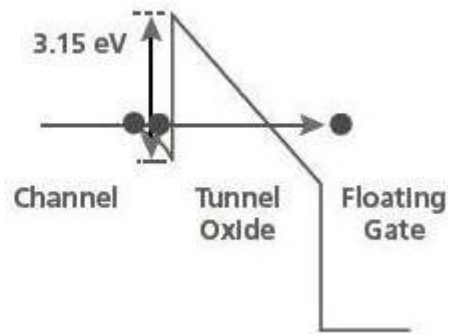


圖 1-2、(a)浮動閘(FG；Floating Gate)堆疊結構示意圖，當 CG(Control Gate)施加正電壓會造成電子往上跑並儲存在 FG；(b)電子往上移動必須通過 Channel 和 FG 中間的穿隧氧化層(Tunneling Oxide)，當電子穿過部份能障寬形成 F-N Tunneling[4]。

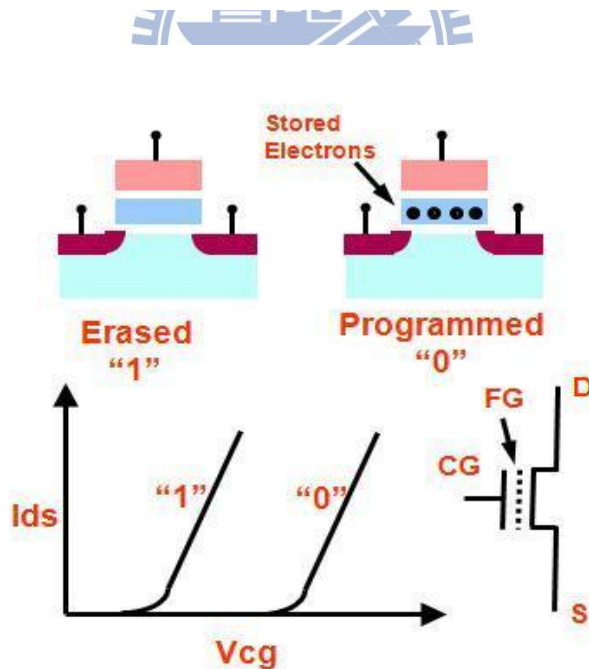


圖 1-3、電子通過穿隧氧化層到達 FG(Floating Gate)，當 FG 上有電子會造成 Control Gate(CG)需要更大的偏壓來造成導通電流，和本來沒有電荷儲存在 FG 的情形比較 V_{cg} 會向右偏移，可藉由偏移量來定義出 1 和 0 的狀態[5]。

1.2 新世代非揮發性記憶體回顧

理想的非揮發性記憶體應具備體積小(可提高密度)、低操作電壓、結構簡單、低耗能、非破壞性讀取、快速操作、資料儲存時間長及多次重複操作可靠度佳等特性[14~16]。

1.2.1 快閃記憶體(Flash)

Flash 利用 Floating Gate 的技術儲存記憶狀態，隨著穿隧氧化層因為元件朝向微縮發展而越來越薄，造成儲存的電荷會容易從 Floating Gate 流失，而降低元件的耐久性，也造成元件的工作電壓無法降至太低，而操作速度比起其他新世代記憶體相對較慢也是它的缺點。為了解決穿隧氧化層漏電問題，Flash 改利用 Charge Trapping 方式搭配 SONOS 結構，甚至之後還有人提出 SANOS 及 TANOS 結構，圖 1-4，SANOS 結構的是將 Blocking Oxide 原本的 SiO_2 改成 Al_2O_3 ，改良結構提出是為了降低 Gate Injection 的發生，圖 1-5(a)，藉由 Al_2O_3 介電係數較大，可以降低跨在 Blocking Oxide 的電場，而 TANOS 結構中的 T 指的是利用 TaN 當作閘極電極，藉由 TaN 和 Al_2O_3 能帶產生更深的位能障 ϕ_B ，讓 Gate Injection 的發生更不易，圖 1-5(b)。

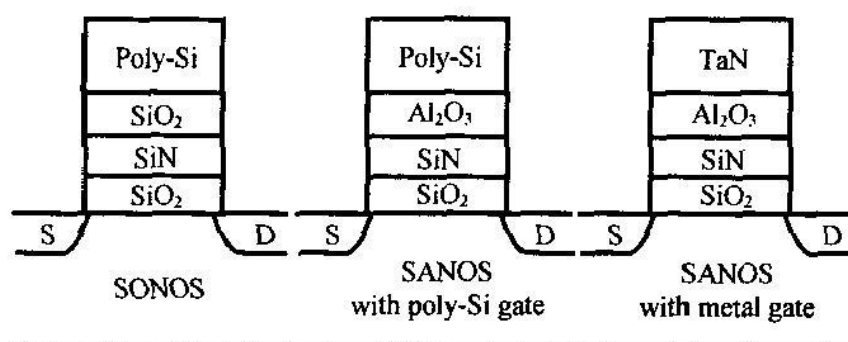
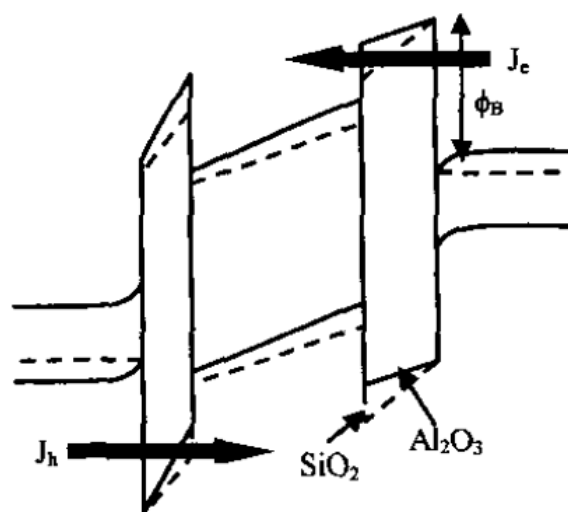


圖 1-4、左為 SONOS 結構，在原本閘極層中加入 SiN，可以避免因為 Tunneling Oxide 太薄使得電荷在短時間內流失掉；中為 SANOS 結構，右為 TANOS 結構，都可以減低 Gate Injection 的發生[6]。

(a)



(b)

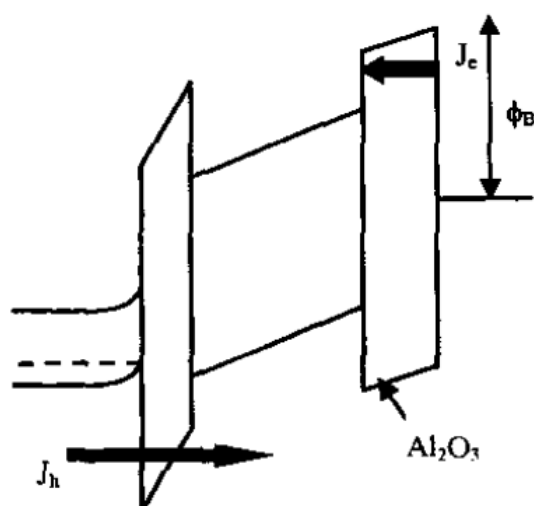


圖 1-5、(a)SANOS 及(b)TANOS 結構能帶圖，利用較深的位能障來降低 Gate Injection 的發生[6]。

1.2.2 鐵電式記憶體

鐵電式記憶體(Ferroelectric RAM)是利用鈣鈦礦(Perovskite)材料的特性，因為此種材料可以利用極化(Polarization)讓原子產生兩種不同位置的狀態，如圖 1-6；並且隨電場變化會有遲滯特性，利用這種特性可以用來表示不同記憶狀態，

如圖 1-7。電位移公式中 $\mathbf{D} = \epsilon_0 \mathbf{E} + \mathbf{P}$ ，所以極化 $\mathbf{P}$ 可以用座標 $\mathbf{D}$ 及 $\mathbf{E}$ 來表示，從圖 1-8 中可以定義 P_r (Residual Polarization)為殘存的極化量， P_r 希望越大越好，特性要求至少 $2P_r = 50 \mu\text{C}/\text{cm}^2$ ，而 E_c (Coercive Electric Field)為矯頑電場，則希望越小越好，此外鐵電材料的居里溫度 T_c (Curie Temperature)也是重要參數，在 $T < T_c$ 有鐵電性，而 $T > T_c$ 變成順電性，鐵電式記憶體最大的優點為 Endurance 可以到 10^{12} 以上，但缺點是讀取為破壞性讀取。

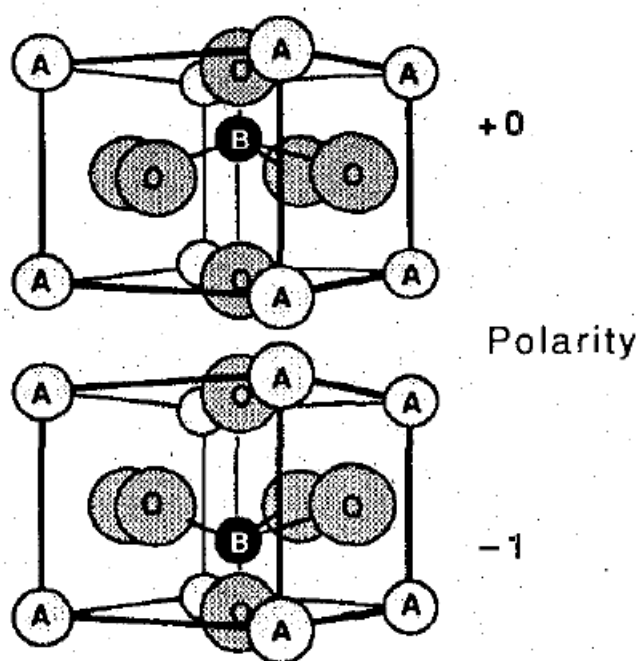


圖 1-6、鐵電式記憶體材料受到極化，使得 ABO_3 結構排列成 B 原子在上或是在下兩種不同位置[7]。

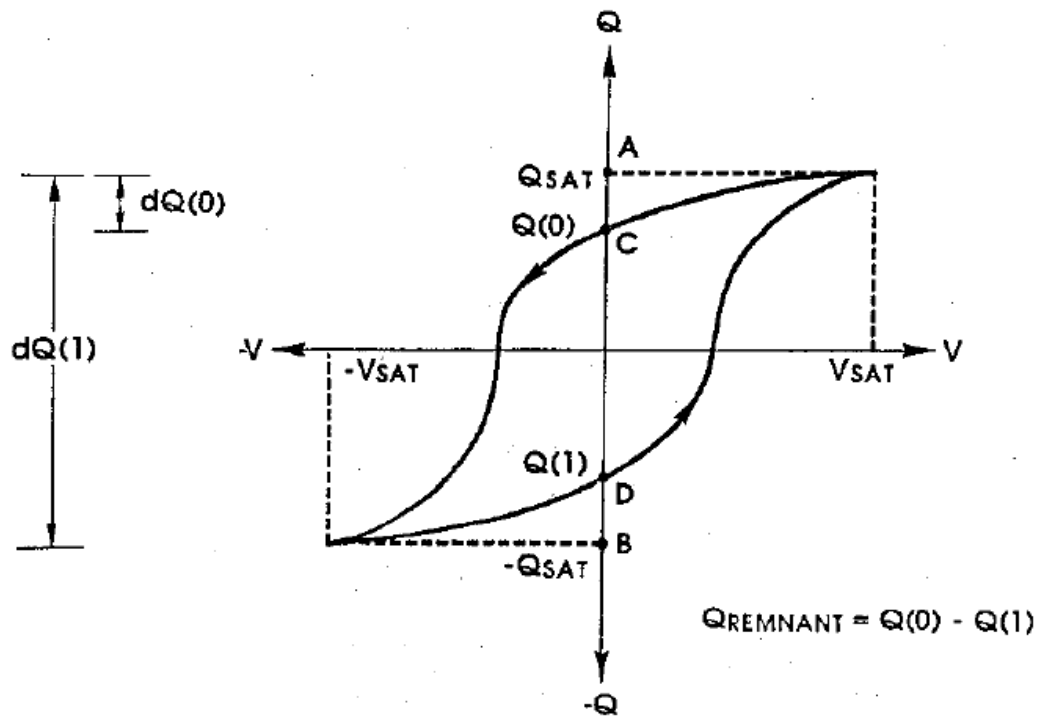


圖 1-7、鐵電式記憶體的遲滯特性，其中 $dQ(1)$ 是 D 點和 A 點造成的電荷差； $dQ(0)$ 為 C 點和 A 點造成的電荷差，利用極化影響 $Q-V$ 特性造成不同記憶狀態[7]。

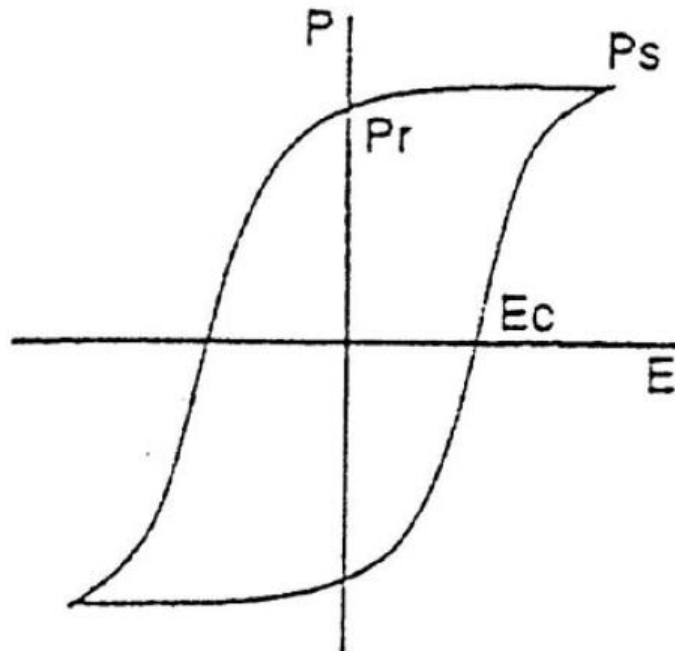


圖 1-8、鐵電材料中矯頑電場(E_c)與殘存極化量(P_r)之關係[8]。

1.2.3 磁阻式記憶體

磁阻式記憶體(Magnetic RAM)的提出和自旋電子學(Spintronics)有關，鐵磁性物質(Ferromagnetic)因為 Spin 能量分佈的不同，圖 1-9[9]，可利用外部電流改變來影響磁性物質的 Spin，磁阻式記憶體結構通常有三層，自由層、穿隧層及固定層，例如 NiFe/Cu/NiFe 結構，IBM 提出中間層改為使用絕緣層如 Al_2O_3 亦可；自由層和固定層材料可以選用不同材質或使用同一材質，但使用同一材質的固定層厚度就需要達一定厚度才能使得固定層 Spin 方向不易受到電流改變，當自由層和固定層 Spin 方向相同讀取得到低電阻，Spin 方向相反得到高電阻，而此種元件最大缺點就是易受到熱的影響。

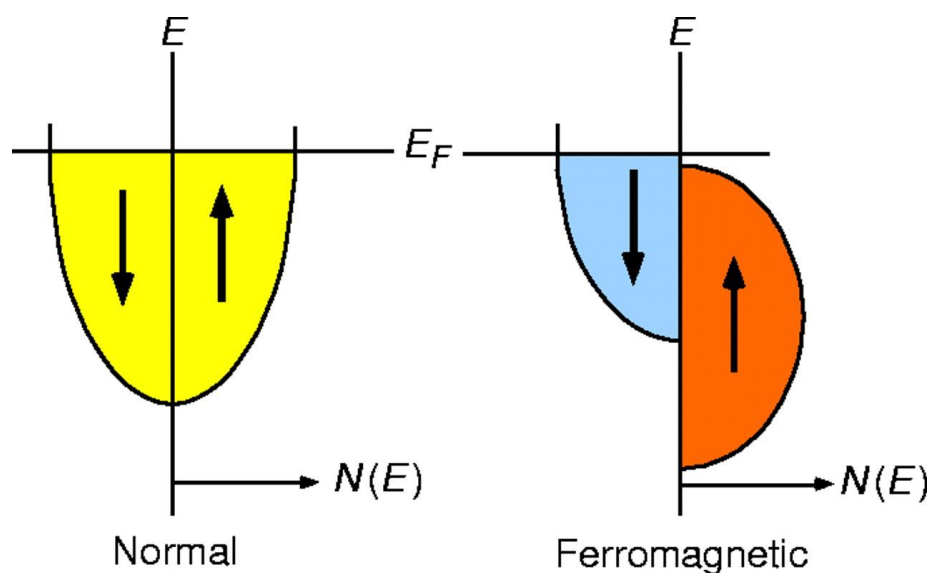


圖 1-9、鐵磁性物質(Ferromagnetic)如 NiFe，其 Spin 能量分布與非鐵磁性物質(Normal)不同[9]。

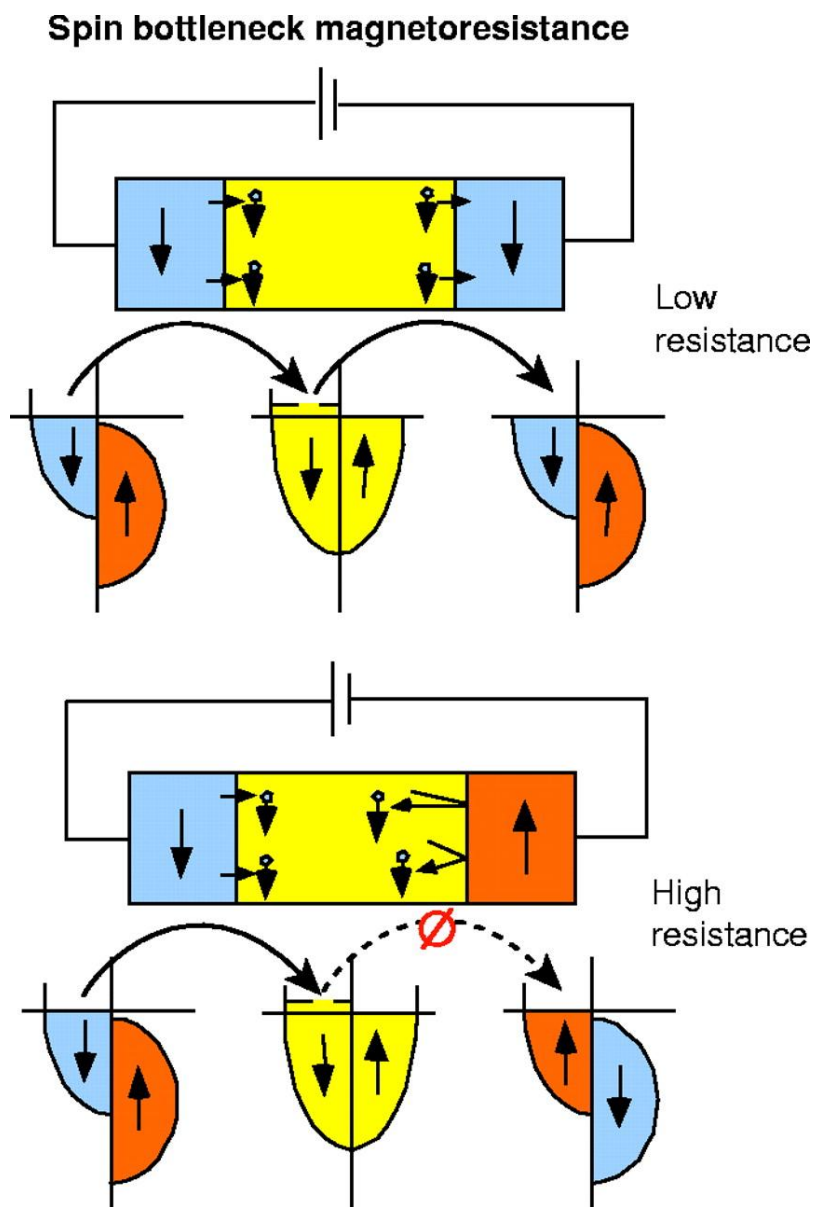


圖 1-10、磁阻式記憶體操作原理示意圖。材料左右區域部份為 NiFe，中間層為 Cu，利用左右區域 Spin 相同及相反可以得到低電阻(上圖)及高電阻(下圖)[9]。

1.2.4 相變化式記憶體

相變化式記憶體 PCM(Phase Change Memory)[32] 又稱作 PRAM(Phase RAM)，而最早發明它的 Stanford Ovshinsky 則是以自己名字命名為 OUM(Ovonic Unified Memory)。此一記憶體是利用物質晶相在非晶和多晶之間轉變原理，轉變是藉由在局部小區域的地方因短時間高熱能改變物質的晶相，造成物質在非晶和多晶時的電阻大小不同，藉以區分出不同的狀態。

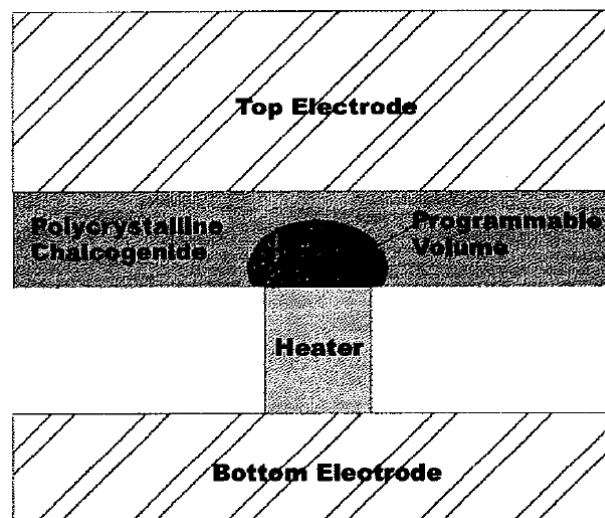


圖 1-11、相變化式記憶體結構，利用局部加熱造成物質晶相的改變[10]。

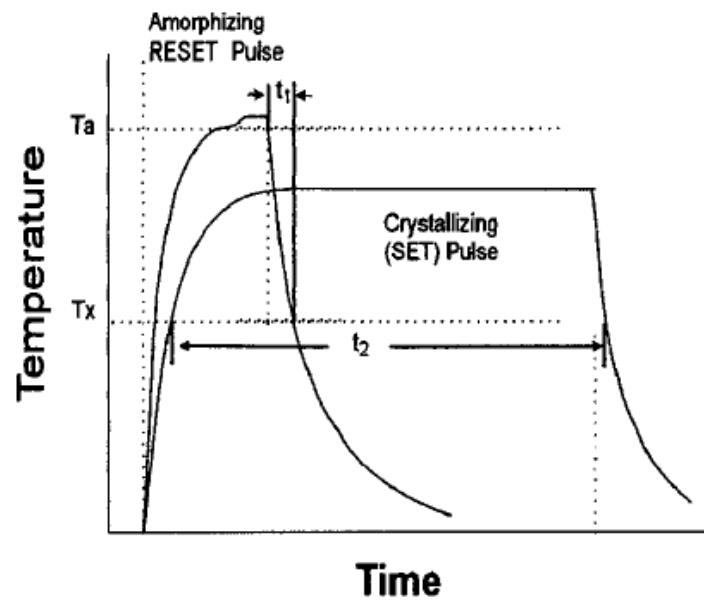


圖 1-12、施加脈衝造成溫度改變，利用溫度造成相變化式材料呈現非晶或是結晶狀態[10]。

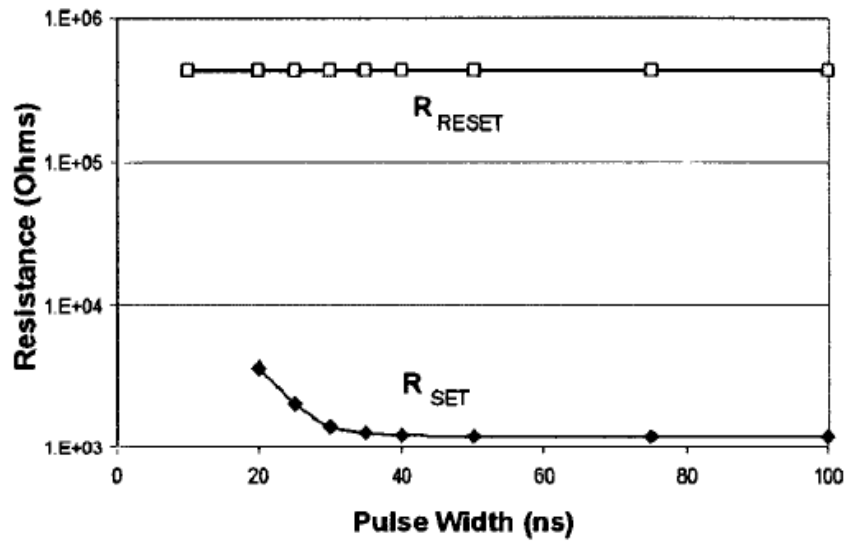


圖 1-13、利用脈衝電壓造成相變化式記憶體電阻隨晶相變化，不同晶相造成電阻有所不同而可以區分出不同記憶狀態[10]。

1.2.5 電阻式記憶體

電阻式記憶體是利用物質電阻的改變，不同的電阻態可以當作 0 或是 1 記憶狀態的儲存，電阻轉換的現象最早是 J. C. Bruyere 等人在 1969 年發現[11]，並在 2002 年利用在非揮發性記憶體上，由 Sharp 發表於 IEDM[12]，開始引起各界對於電阻式記憶體的關注，Sharp 公司是和休士頓大學 Alex 團隊合作，提出利用鈣鈦礦材料(PCMO)作為電阻轉換材料；緊接著 Samsung 公司在 2004 年以及 Spansion 公司在 2005 年也分別提出利用 NiO 及 Cu₂O 的金屬氧化物作為轉換層材料。電阻式記憶體結構簡單，基本上是由上下金屬層中間夾著介電質所形成的三明治結構，有利以交叉點(Cross Point)設計，搭配二極體或是電晶體形成 1D1R[19]或是 1T1R[17]的組合，元件尺寸可以下降到 4F²，目前比較普遍的說法是外加電壓造成轉態薄膜內部形成導通路徑或是破壞導通路徑而造成電阻的轉換，藉由定義出高電阻態及低電阻態作為資料儲存的記憶體功能，因為此導通路徑可重複出現，有助於提昇元件壽命，也因為電阻式記憶體是歸屬後端製程，利用如濺鍍技術並不影響前段製程，和 CMOS 製程整合相對容易也是它的優點，除此之外還可以利用限制電流來控制導通路徑達到 Multi-level 的效果。目前有很多種材料被研究拿來當作電阻轉換層，過度金屬氧化物(TMOs；Transition Metal Oxides)[18]：NiO[19~26]、CuO[28, 29]、CoO[30, 31]、TiO₂[33~37]、ZnO[38~40]；鈣鈦礦結構材料 Perovskite oxides[13]：PCMO[41] SZO[42] STO[43]；絕緣體材料：SiO₂[44]、Si₃N₄[45]、SixNyOz[46]；高低介電材料：HfOx[47]、MSQ[48]；非晶材料：a-C[49]、a-Si[59~65]。

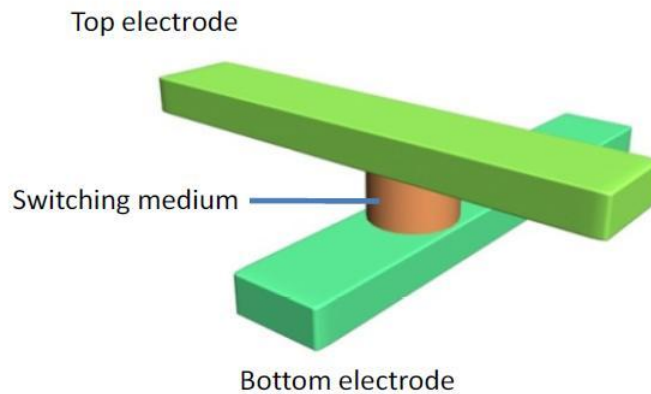


圖 1-14、電阻式記憶體由上下電極及中間電阻轉換層形成三明治結構[62]。

1.3 薄膜導電電流機制

薄膜導電電流可以分為電極界面限制電流(Interface Type Limited)與本體限制電流(Bulk Limited)兩大類，前者如蕭特基發射(Schottky Emission)、穿隧傳導(Tunneling)；後者如法蘭克-普爾發射(Frenkel-Poole Emission)、歐姆傳導(Ohmic Conduction)、空間電荷限制電流傳導(Space-Charge-Limited-Current Conduction)、跳躍傳導(Hopping)。

1.3.1 Ohmic Conduction

如果材料與電極的接觸是歐姆接觸(Ohmic Contact)，或是材料在電極接面的能帶彎曲夠陡峭，使得在接面的載子可以穿隧，電流傳導不受到金屬和半導體界面限制則為 Ohmic Conduction，常見於高電阻態的傳導機制，可以用數學式表示如下：

$$J_{ohmic} = qN_c\mu\xi \exp\left[\frac{-\Delta E_{ac}}{kT}\right]$$

電流密度和電場關係 J vs ξ ，電流密度和溫度關係 $\ln J$ vs $\frac{1}{T}$ 作圖呈現線性關係。

1.3.2 Space-Charge-Limited-Current(SCLC)

SCLC 顧名思義為載子填滿缺陷造成電荷累積而限制電流流動，此傳導機制也是 Bulk Limited，因為不是受到金屬和半導體接面限制影響，所以 SCLC 傳導機制的前提就是接面必須是 Ohmic contact，且易發生在較低的載子注入能障 (Lower Injection Barrier Height) 與載子遷移率低 (Low Carrier Mobility) 情形。當施加電壓在一開始較小時，載子由電極注入半導體，一開始注入載子尚低於材料內部熱激發所產生的載子量，也就是注入的載子密度 (Injected Carrier Density) 小於因熱產生的載子密度 (Thermally Generated Carrier Density)，這些載子在濃度不高的一開始，也就是 SCLC 的初始，電流透過熱電子躍遷從一個狀態跳往下一個狀態，是符合 Ohm's Law，不過隨著外加電場增大到一個程度，此時的電流表現進入 SCLC，對於沒有自由電子來平衡缺陷，受到材料內部缺陷捕捉而形成的空間電荷，此時電流密度和外加電場就不是呈現一次線性的 Ohmic 關係，並且隨著電場的平方線性關係增加，直到所有捕捉能階被填滿，電流密度隨著電場增加而急遽上升，最後又回到電流密度和電場平方線性的關係，四個階段的 SCLC 電流傳導機制分別用以下數學式表示：

$$J_{ohmic} = q\mu n_0 \xi$$

$$J_{child} = \frac{9\theta\mu\epsilon_r\epsilon_0\xi^2}{8d}$$

$$J_{TFL} = B \left(\frac{V^{l+1}}{d^{2l+1}} \right)$$

$$J_{SCLC} = \frac{9\mu\epsilon_r\epsilon_0\xi^2}{8d}$$

其中電流密度和電場關係 J vs ξ^2 作圖呈現線性關係。

1.3.3 Schottky Emission

在熱平衡下，金屬會因為功函數的不同，和半導體能帶匹配後形成蕭特基界面(Schottky Contact)或是歐姆界面(Ohmic Contact)，圖 1-15，以 n-type 半導體為例，當金屬功函數大於半導體功函數時，金半界面會形成 Schottky Contact，並且當載子要通過界面時，會被能障高度限制住，此能障高度就稱之為 Schottky Barrier，此能障和電極功函數及與介電材料電子親和力有關，而 Schottky Emission 亦被稱為 Thermionic Emission，因為載子必須透過外加電場而獲得熱能被激發，此熱能可以幫助載子越過 Barrier，產生導通電流，也因為受到熱能的影響很大，所以電流對於溫度的變化很敏感，並且因為載子主要是受到金屬和半導體接面的能障高度限制，所以在分類上是屬於 Interface Type Limited，用數學來呈現電流傳導的機制可以用下面的式子來表示：

$$J_{schottky} = A^* T^2 \exp \left[\frac{-q \left(\phi_B - \sqrt{\frac{q\xi}{4\pi\epsilon_r\epsilon_0}} \right)}{kT} \right] = A^* T^2 \exp \left[\frac{-q \left(\phi_B - \sqrt{\frac{qV}{4\pi\epsilon_r\epsilon_0 d}} \right)}{kT} \right]$$

電流密度和電場關係 $\ln J \text{ vs } \sqrt{\xi}$ ，電流密度和溫度關係 $\ln \frac{J}{T^2} \text{ vs } \frac{1}{T}$ 作圖呈現線性關係。

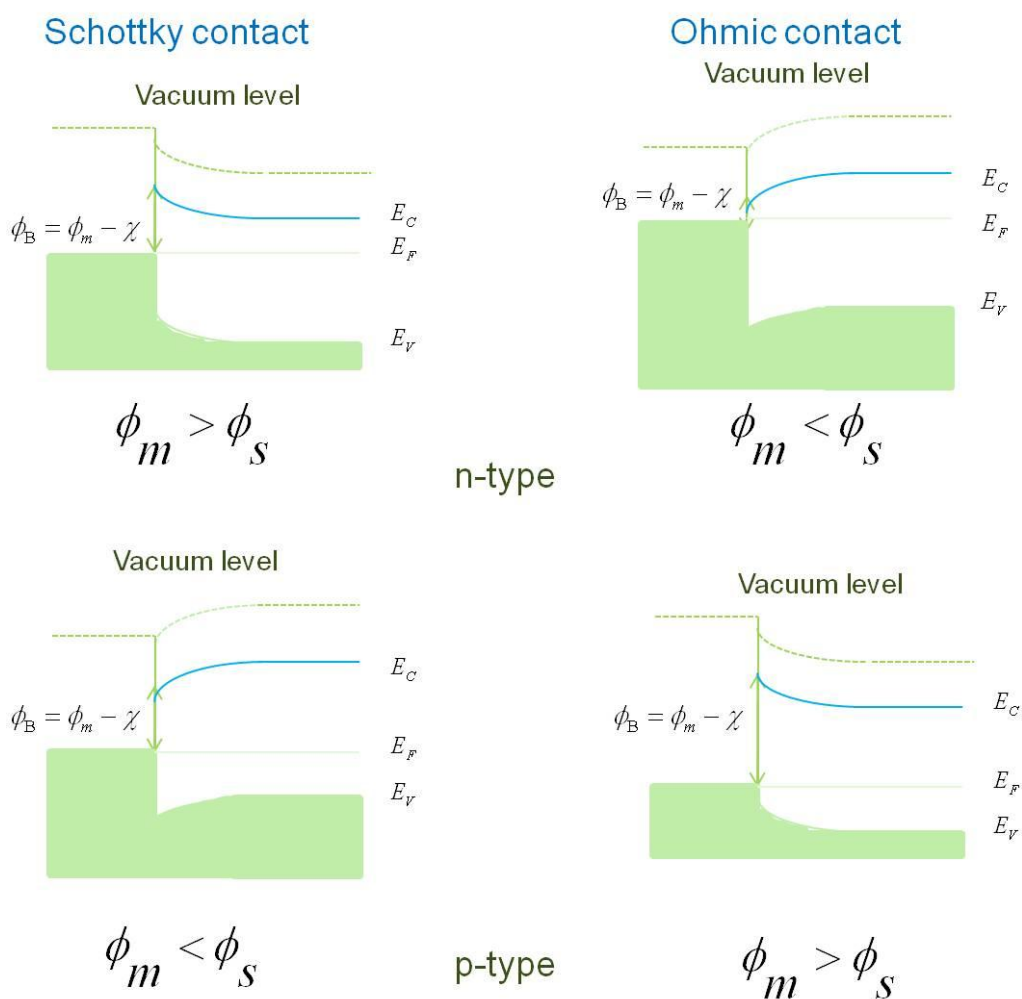


圖 1-15、金半接面因為功函數匹配不同會形成 Schottky 或是 Ohmic 接面。

1.3.4 Frenkel-Poole Emission

雖然此傳導機制和 Schottky Emission 一樣是因為載子受到熱激發而產生電流，但 F-P emission 機制下的載子在通過金屬和半導體界面時並不是受到金半接面能障高度的限制，而是在介電質層本身中因為密度較高的缺陷使得在價帶與導帶邊緣形成多於的能階，熱游離或是其他方式進入介電層的載子被捕捉的深度造成的能障限制，這些位在缺陷態(Trap Sites)具有庫倫位能的電子，受到外加電場的熱激發，脫離了陷阱(Trapp Center)而到達導電帶，因此產生導通電流，此種機

制可將電流密度用數學式子來表示為：

$$J_{F-P} = qN_c \mu \xi \exp \left[\frac{-q\phi_t}{kT} + \frac{q \sqrt{\frac{q\xi}{\pi \epsilon_r \epsilon_0}}}{\gamma kT} \right] \propto \xi \exp \left[\frac{q}{kT} (2a\sqrt{V} - \phi_t) \right]$$

電流密度和電場關係 $\ln \frac{J}{\xi} \text{ vs } \sqrt{\xi}$ ，電流密度和溫度關係 $\ln \frac{J}{T^2} \text{ vs } \frac{1}{T}$ 作圖呈現線性關係。

F-P emission 傳導電流和 Schottky Emission 傳導電流同樣受到溫度影響大，但不同於 Schottky Emission 是受到 Interface Type Limited，F-P Emission 是 Bulk Type Limited。

1.3.5 Hopping

受到溫度影響明顯的傳導機制還有 Hopping，不同於 Schottky Emission 和 F-P Emission 載子需要越過一個能障而進入導電帶，Hopping 是載子靠著介電質內部，因為缺陷或是存在一些能量較低的能態位置，而載子比較容易待在那些能態位置，並且透過給予載子能量，獲得能量而被活化的載子可以從某個能態位置跳動到下一個能態位置，最後到達導電帶而產生電流，數學式子可以表示為：

$$J_{\text{hopping}} = J_0 \xi \exp \left[\frac{-\Delta E}{kT} \right]$$

電流密度和電場關係 $J \text{ vs } \xi$ ，電流密度和溫度關係 $\ln J \text{ vs } \frac{1}{T}$ 作圖呈現線性關係。

和 F-P Emission 比較起來，當介電質層缺陷密度(Defect density)較高時，因為載子有比較多機會可以在那些缺陷位置移動，所以較易發生 Hopping，而相對的，缺陷密度較低時，發生 F-P 的機率就提高。

1.3.6 Tunneling

在尺度微縮到很小下，當粒子質量甚小，就有機會在本身能量小於所遇能障高度時，不同於古典力學中會完全反彈，而是有一定機率可以穿隧過能障。穿隧導電機制在高電場下容易發生，透過電場，使其離子化位於缺陷的電子，讓它跳上導帶或是讓位於金屬費米能階上的電子穿隧到半導體的導帶上形成導通電流。從薛丁格方程式中，可以計算粒子穿隧過去的機率，而機率大小和粒子的質量、能障的高度和寬度有關，當能障寬度窄到一定的程度，也就是粒子波函數能量衰減到還有足夠的能量可以克服能障寬度，就會發生直接穿隧(Direct tunneling)的情形，數學表示如：

$$J_{\text{tunneling}} = \frac{q^2 \xi^2}{8\pi\hbar\phi_B} \exp\left[\frac{-4\sqrt{2m^*}(q\phi_B)^{3/2}}{3q\hbar\xi}\right]$$

J vs ξ 作圖呈現線性關係。

當能障寬度較寬，粒子無法穿隧過整個能障的寬度時，如果此時外加電壓使得能障呈現非對稱的能帶分佈，粒子還是有機會在穿隧過部份的能障寬度後

產生導通電流(F-N tunneling)。 $\ln \frac{J}{\xi^2}$ vs $\frac{1}{\xi}$ 作圖呈現線性關係。

1.4 實驗動機

隨著電子化產品在日常生活中扮演越來越重要的角色，人類對於高科技商品依賴越來越高，而非揮發性記憶體被廣泛的應用在各式各樣推陳出新的商品。電阻式記憶體擁有低功率消耗、高密度(微縮能力高)、快速操作特性、高耐久性、非破壞性資料讀取、穩定的保存能力等優點，開發符合以上特質的記憶體就是一大值得研究的主題，然而雖然電阻式記憶體有相當多的好處，但其電阻轉換機制仍然不甚明確，所以不論是工業或是學術界都投入心力來研究釐清。

本實驗並選用製程穩定且具有良好 CMOS 製程相容匹配性的非晶矽薄膜當作電阻轉換層材料，上電極以銅金屬濺鍍製作，銅一樣有良好的 CMOS 相容匹配性，且已有銅製程的建立，製程成本也低，除了基本電性的量測外，也藉由改變元件尺寸及非晶矽膜厚來探討電阻轉換之機制。

1.5 論文架構

論文將以非晶矽薄膜電阻式記憶體為主軸，將電阻式記憶體常使用的金屬下電極替換為重摻雜硼的矽基板，藉以提昇元件的耐久性以及降低操作電壓，接著探討 Cu/ α -Si/ p^{++} Si 結構元件其轉換機制與記憶體特性的表現，希望可以適用在新世代非揮發性記憶體之開發與應用上。在論文架構上，首先介紹電阻式記憶體三明治結構的製作流程，並討論元件初始電阻態轉換之情形，為了瞭解是銅電極的銅擴散到非晶矽層內而造成初始電阻態轉變，我們改變電場方向以及使用三種不同厚度的非晶矽比較達到限制電流時的電壓大小，提出在非晶矽薄膜內會先形成金屬性區域；除此之外，我們提出轉換層形成之導通路徑在靠近底電極之處為單一燈絲路徑，藉由改變不同元件大小來驗證此一說法。並且量測 Cu/ α -Si/ p^{++} Si 結構元件在可靠度上面的表現，包括 Endurance 與 Retention Time 的量測。最後在不同溫度下量測電流電壓關係，和電流傳導機制理論作比較，提出在高電阻態是因為非晶矽缺陷造成 SCLC 傳導機制，並隨著電壓增加 Schottky 傳導機制也跟著出現，而低電阻態是經由電子 Tunneling 通過燈絲導通路徑形成高電流。

第二章

元件製作流程與基本電性特性量測

2.1 元件結構

基板準備：基板為四吋矽晶圓(Wafer)摻雜硼，電阻值大約是 $0.001\sim 0.005\ \Omega\text{-cm}$ ，矽基板($p^{++}\text{Si}$)同時作為元件之下電極，選用重摻雜硼的矽基板而不使用金屬下電極是因為可以降低工作電壓以及提昇元件的 Endurance[63]。

電阻轉換層：在矽基板上利用水平爐管低壓化學氣象沈積(LPCVD)方式沉積非晶矽 Amorphous-Si($\alpha\text{-Si}$)薄膜。

上電極製備：利用濺鍍機(Sputter)濺鍍上電極，腔體真空度約 10^{-5} Torr，本實驗使用銅靶材，濺鍍時其鍍率約為 $2.4\sim 2.7\ \text{\AA}/\text{min}$ 。

2.2 元件製作流程

我們參考文獻利用微影蝕刻製程製造出溝槽結構，利用上電極金屬和溝槽貼附部份作為元件工作區域[60]，經由設計的光罩可以改變溝槽尺寸，定義出不同大小的元件， $\text{Cu}/\alpha\text{-Si}/p^{++}\text{Si}$ 元件可藉由圖 2-1 的製程步驟來完成。

首先將矽基板作 RCA[58]清洗，步驟是先浸入 SPM 槽 10 分鐘，藉由硫酸和雙氧水溶液 3:1 加熱至 120°C ，用以去除 Wafer 表面有機物，然後 QDR 水槽將殘餘 SPM 溶液沖掉(每個清洗槽之間都需先經過 QDR 水槽將前一個化學槽的殘液沖洗掉)，接著浸入 DHF 槽，將因為前一個步驟而產生的氧化層除掉，之後浸泡 SC1 槽 10 分鐘，藉由 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 1:4:20 溶液可以去除微塵粒子，再接著浸入 SC2 水槽 10 分鐘， $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 1:1:6 溶液可以去除金屬離子，最後浸入 DHF 水槽至表面疏水，表示已將矽基板原生氧化層(Native Oxide)清除乾淨，QDR 水槽將殘餘 DHF 沖掉然後將 Wafer 送進入旋乾機完成基板清洗。因為基板直接當作下電極，為了避免在下電極及 $\alpha\text{-Si}$ 之間因 Native Oxide 造成電性影響，所以

清洗後須立刻將 Wafer 送入水平爐管預備沉積薄膜，第一層薄膜為 α -Si，示意如圖 2-2(a)深灰色所示，而沈積時間可以控制 α -Si 的厚度，之後在 α -Si 上利用電漿增強化學氣相沈積法(PECVD)，沈積二氧化矽(SiO_2)約 100-nm 當作不同元件之間的絕緣層，如圖 2-2(a)灰綠色層。為了將下電極在量測時能夠露出，我們利用 TMAH[56~58]加熱至 70°C 作為 α -Si 的蝕刻液，利用濕式蝕刻去除底層 α -Si 而露出矽基板，上層利用 SiO_2 作阻擋，但為了避免因為蝕刻液側向蝕刻而影響到作為電阻轉換層的 α -Si，所以在定義元件區域時要儘量避開 Wafer 邊緣的區域。

黃光微影(Lithography)定義出方形的圖形，在圖案定義部份，圖 2-2(b)旋塗上 6400 光阻，利用設計光罩將需要露出的不同面積工作區域曝光，再以 B.O.E 濕式蝕刻(Wet Etch)掉 SiO_2 直到露出下方的 α -Si，濕式蝕刻得到不同大小的溝槽作為元件工作區域，如圖 2-2(c)，最後利用舉離製程(Lift-off)來製備上電極，圖 2-2(d)，上電極材料利用銅當作濺鍍靶材，濺鍍約 100-nm 厚的銅作為上電極，而元件工作區域大小從 $25\sim 4\times 10^4\ \mu\text{m}^2$ 。

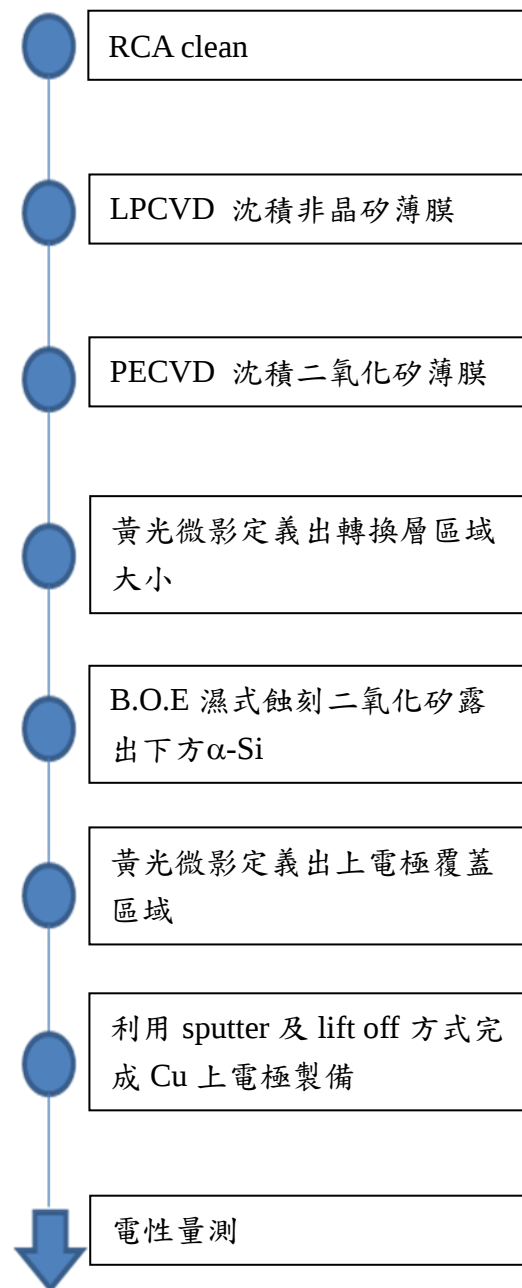


圖 2-1、Cu/α-Si/p⁺⁺Si 元件製程流程。

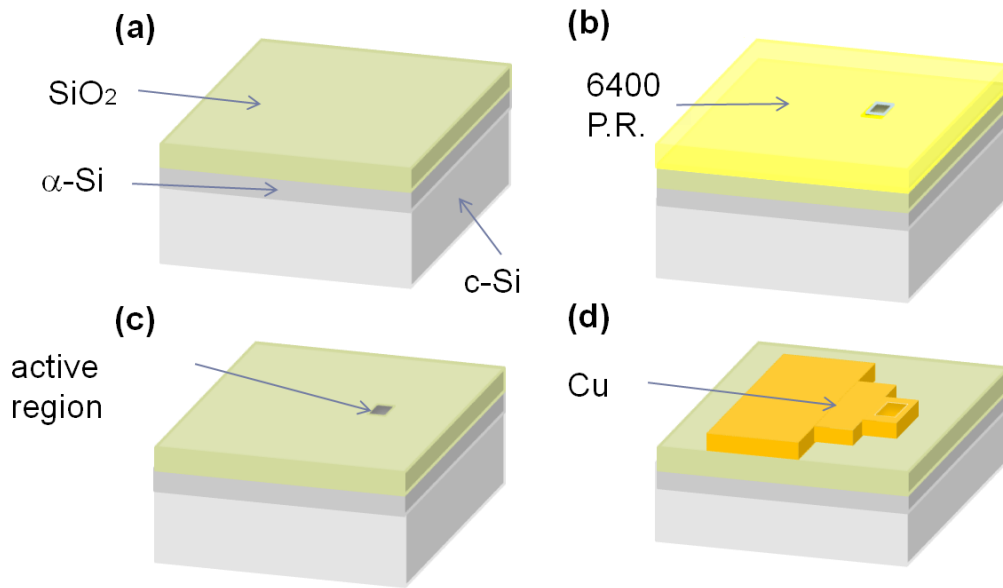


圖 2-2、Cu/α-Si/p⁺⁺Si 元件製程步驟示意圖：(a)在矽基板上利用 LPCVD 沉積α-Si 薄膜及 PECVD 沉積 SiO₂ 薄膜；(b)旋塗上 6400 光阻，曝光定義出溝槽；(c)濕式蝕刻出元件工作區域(Active Region)；(d)濺鍍上銅金屬利用 Lift Off 完成上電極。



2.3 元件圖

以上是元件的製作流程，在元件完成後，我們利用聚焦離子束(FIB; Focus Ion Beam)在 Active Region 地方切片來製備 TEM 試片，從 TEM Image 來確認每一層之間的狀況。圖 2-3 由下層依序往上為重摻雜硼的矽基板，接著是α-Si，再來是銅上電極，誠如先前所提到，電阻式記憶體是呈現三明治結構，上下電極以及中間的電阻轉換層。接著利用 EDS 作成份分析如圖 2-4，結構最上層主要是由銅(Cu)組成，而中間夾層則為矽(Si)，和製程預期的結果是吻合的。

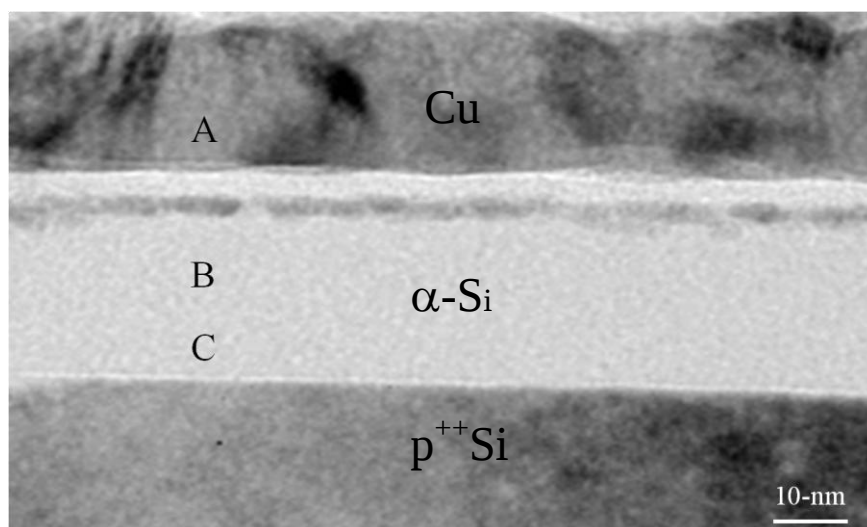


圖 2-3、Cu/α-Si/p⁺⁺Si 元件 TEM 圖，ABC 用來標示 EDS 成分分析位置。

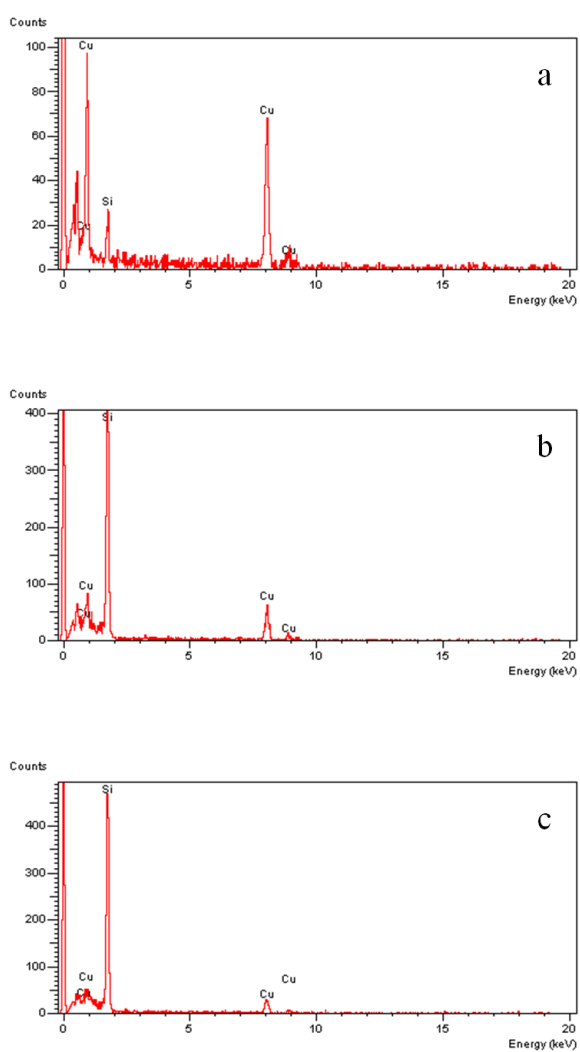


圖 2-4、(a)位置 A(b)位置 B(c)位置 C 之 EDS 成分分析。

2.4 參數萃取方法

在完成元件製備之後，本實驗是利用 Agilent-4155 及 Agilent-4156 來量測元件電性，透過電腦利用 Lab View 程式控制。元件轉換層工作面積(via hole)為 $25\ \mu\text{m}^2$ ，圖 2-5，晶片至於載台上，載台可透過加熱器升溫，分別連接上電極及下電極，量測方法為 Cu 電極(上電極)施加偏壓，而 p^{++}Si (下電極)接地，如圖 2-6 表示。

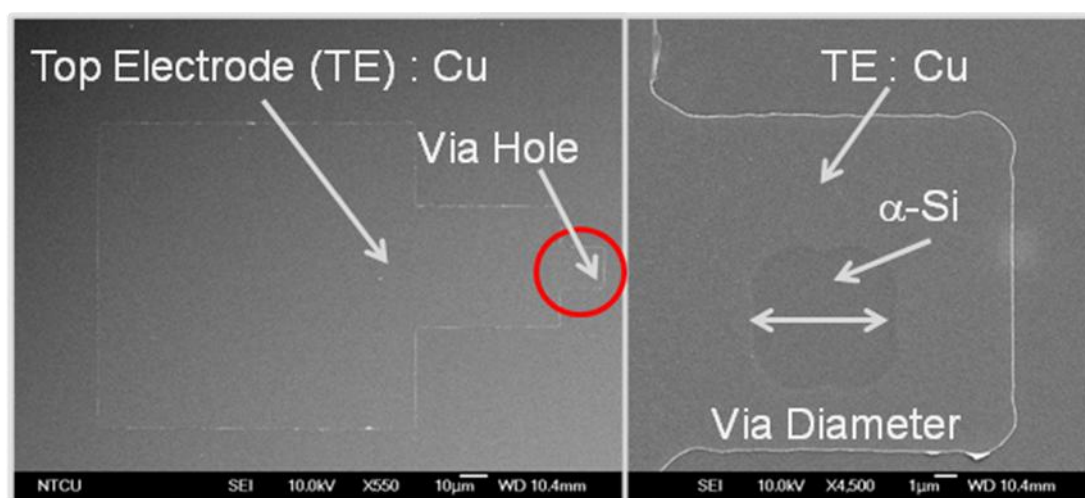


圖 2-5、Cu/ α -Si/ p^{++}Si 元件 SEM 圖，從 Top View 觀測製備完成的元件，銅上電極覆蓋住曝光定義的溝槽(Via Hole)，藉由改變溝槽直徑(Via Diameter)得到不同大小工作區域元件。

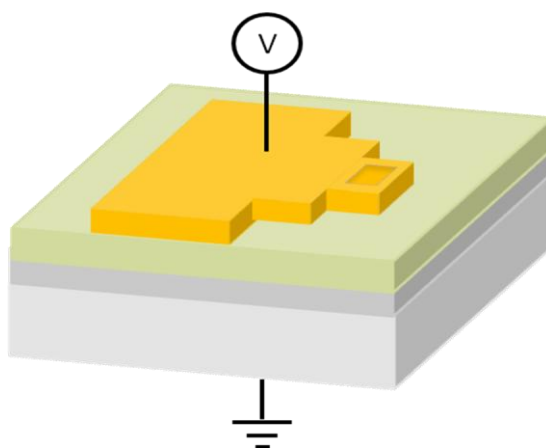


圖 2-6、銅上電極施加偏壓，矽基板下電極接地，以電性量測儀器量測元件基本電性。

2.4.1 限制電流

為了避免因電流過大造成 hard-break down[27]現象，所以設定限制電流 (Compliance Current)來保護，soft-break down 相對於 hard-break down 對元件破壞小，是可逆的行為，可以藉由施加電壓改變從低阻態回到高阻態，而 hard-break down 會造成介電層中由很多缺陷產生過於強壯的導通路徑，使得元件無法再藉由電壓改變而回復到高阻態，所以我們可以藉由 Compliance Current 使元件操作在 soft-break down 範圍。

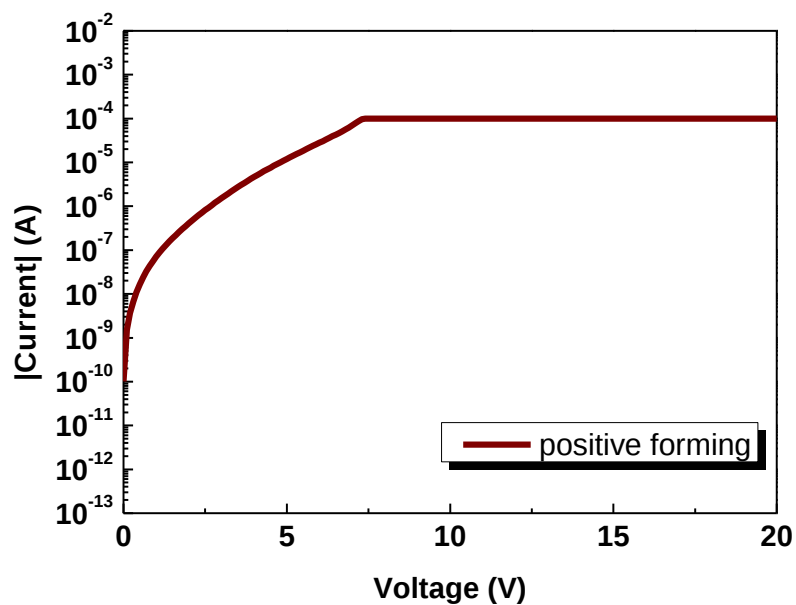
2.4.2 Forming process

Forming 可能牽涉到電極金屬的擴散(Diffusion)或是遷移(Migration)，當電壓施加在銅電極，隨著電壓越大，電流變大，電流繼續增加直到設定的 Compliance Current，我們推測在經過 Forming process， α -Si 材料的內部結構有改變，我們提出的說法認為是銅在 α -Si 內部形成金屬的區域(Metallic Region)，使得 α -Si 電阻變小，為了瞭解這些金屬區域部份是銅原子還是銅離子遷移造成，我們利用施加不同方向的電場，當施加正電壓在銅電極上，會產生由上電極往下電極方向的電場，如圖 2-7；而相對的在銅電極施加負電壓時，會產生相反方向(由下而上)的電場，如圖 2-8，不管是什麼極性的電場都能夠使得 α -Si 材料的內部結構產生變化，到達 Compliance Current，所以我們推測應該是銅原子在 α -Si 內部擴散形成一部分金屬的區域，如圖 2-9 所示意，銅在 α -Si 擴散係數(Diffusion Coefficient) $D_0: 4 \times 10^{-2} \text{ cm}^2/\text{sec}$ 相較於在 SiO_2 中 $D_0: 1.2 \times 10^{-11} \text{ cm}^2/\text{sec}$ 更為快速；為了再次驗證這樣的假設，我們在第一次 Forming 到達 Compliance Current 之後，再次施加電壓從 0 V 到 20 V，圖 2-10 是不同次施加電壓所得到的電流變化圖，發現電流電壓曲線相較於第一次 Forming 得到的電阻更小，表示的確有銅金屬留在 α -Si 層形成 Metallic Region，但是電阻態雖然會隨著電壓增大而從高電阻態(低電流)轉變為低電阻態(高電流)，但隨著電壓減小卻無法停留在低電阻態，這與我們所期待的電阻式記憶體具有非揮發性並不符合，表示所形成的導通路徑並非貫穿整

層的 α -Si，而是如圖 2-9 所示，在靠近底電極附近並沒有形成 Metallic Region。在 1994 年 Physical Review B 關於 α -Si 電阻轉換現象的文獻中提到[50]， α -Si 層內的確有金屬區域形成，金屬區域占相當大的體積，可以利用歐傑電子光譜儀作深度驗證來佐證，文獻也利用極性來解釋 Forming Process 是藉由 Diffusion[51~52]而非 Electromigration，除此之外，還提出金屬粒子 Diffusion 區域會形成像是漏斗一樣的形狀，而這些區域的範圍大小會受金屬材料不同而改變，上電極金半接面的能階因為形成 Metallic Region 可以被忽略，電阻轉換層主要電阻區域會分成兩部份，第一部份是在靠近上電極的部份因為有 Metallic Region 會形成低電阻區域，金屬粒子沒有到達的第二部份仍然維持 α -Si 本來阻值，相對於第一部份是高電阻區域。



(a)



(b)

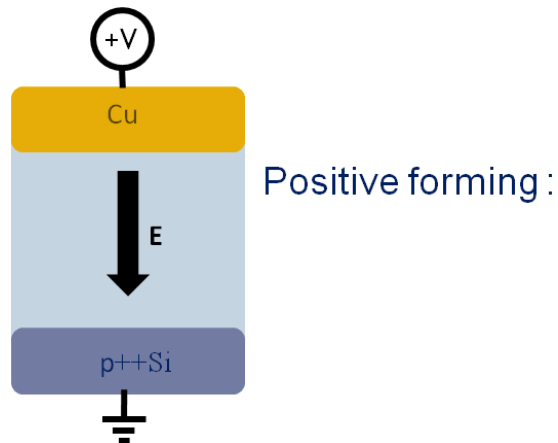
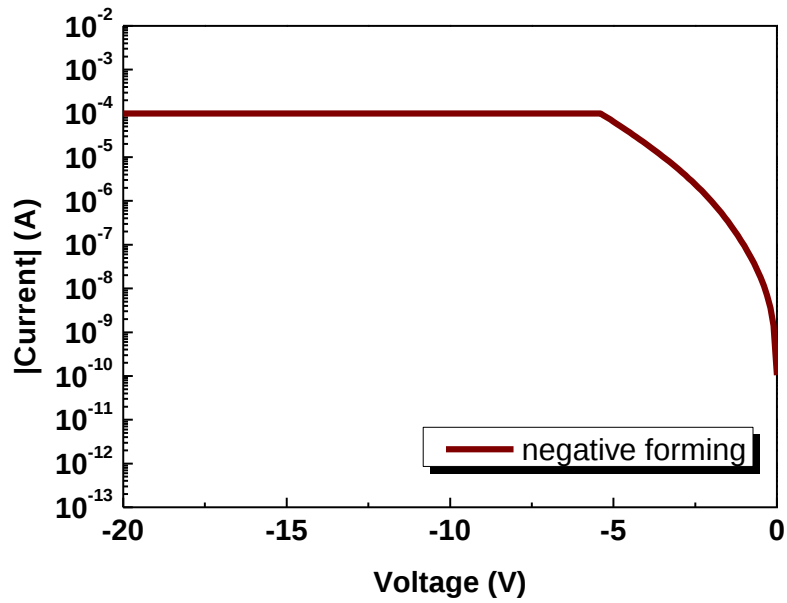


圖 2-7、(a)元件施加正偏壓，電流隨電壓上升至限制電流；(b)電極施加正偏壓會在內部產生向下的電場。

(a)



(b)

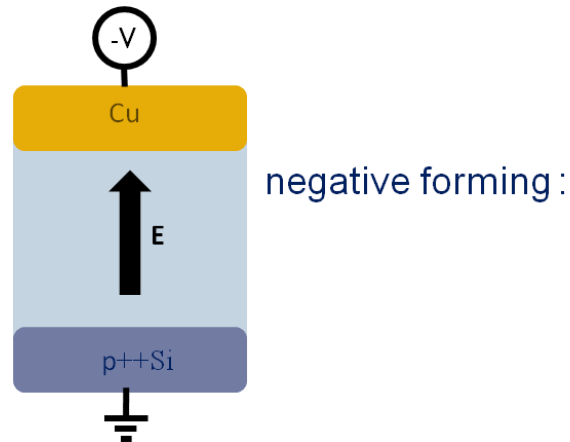


圖 2-8、(a)元件施加負偏壓，電流一樣隨電壓上升至限制電流；(b)電極施加負偏壓會在內部產生向上的電場。不管施加正或負偏壓，電流都會隨之上升至 $100\mu A$ ，表示 Forming 和電場方向無關。

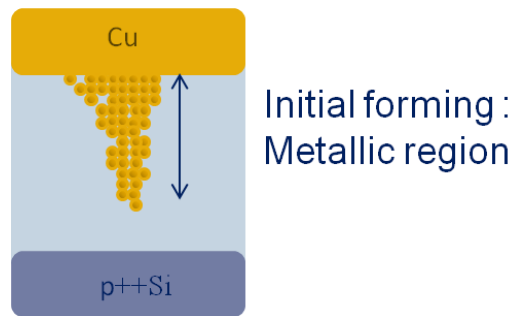


圖 2-9、元件在經過 Initial Forming 會在非晶矽轉換層內形成金屬區域(Metallic Region)造成元件電阻下降。

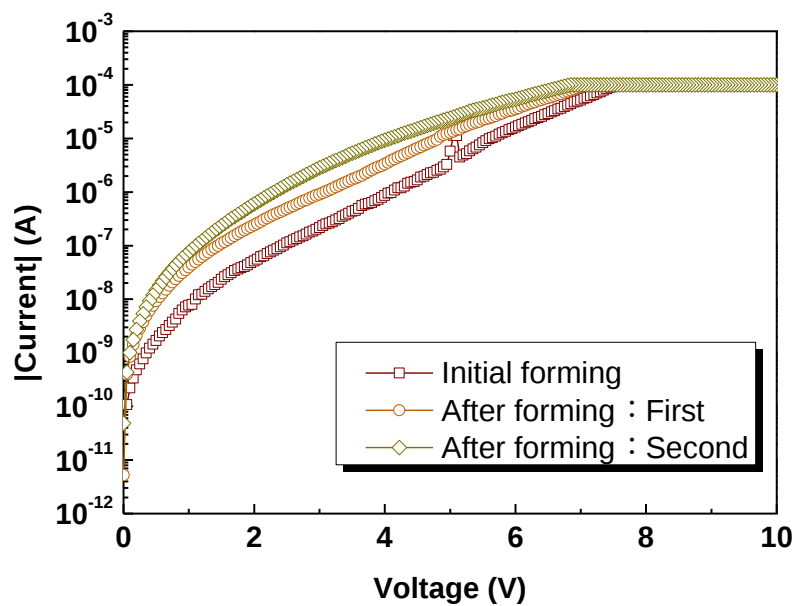
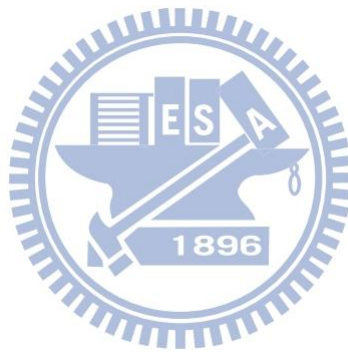


圖 2-10、由下而上三條曲線是元件在 Initial Forming 之後，先後依序量測得到的電流電壓結果。

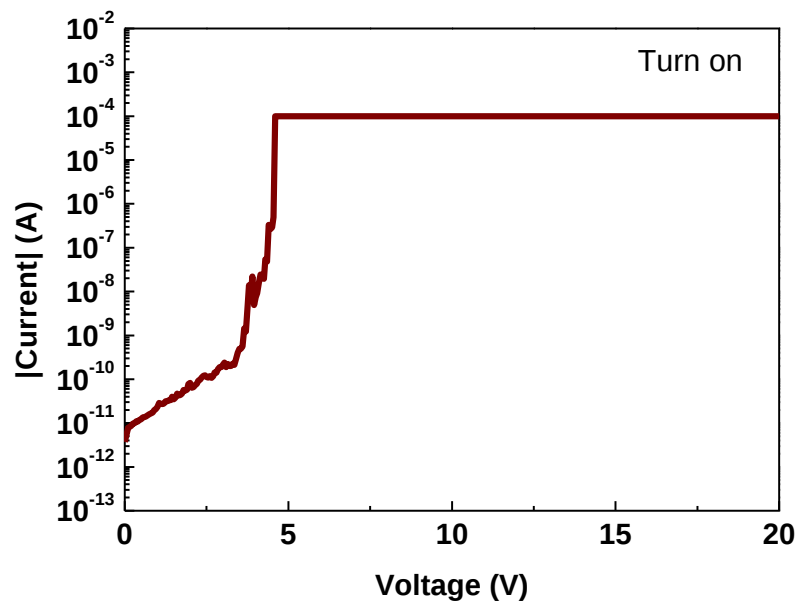
2.4.3 臨界電壓

α -Si 層內第二部份的高電阻區域，我們提出需要靠著形成燈絲路徑(Filament)如圖 2-11(b)，來使得低電阻狀態在隨著電壓降低之後仍然維持高電流而具有非揮發性記憶體特性，最先出現的 Filament 降低了跨在 α -Si 層的电場，也限制了其

他 Filaments 的形成。而在 Filament 形成後使得元件從高電阻態轉變為低電阻態時的電壓，或是 Filament 斷掉造成元件從低電阻態回到高電阻態時的電壓，稱之為臨界電壓(Threshold Voltage)，低阻態電阻值會受 Metallic Region 變化影響，約 10^2 至 $10^3 \Omega$ 之間[50]，本實驗 30-nm 厚 α -Si 且工作區域大小 $25 \mu\text{m}^2$ 的元件 (STD Device)由高電阻態到低電阻態的臨界電壓 V_{on} 約 4.6V 左右，如圖 2-11 所示；而由低電阻態回到高電阻態的臨界電壓 V_{off} 約-2V 左右，我們將 9 組和 STD Device 一樣為 30-nm α -Si 且面積大小為 $25 \mu\text{m}^2$ 的元件作統計，其 V_{on} 和 V_{off} 分佈狀況如圖 2-12。



(a)



(b)

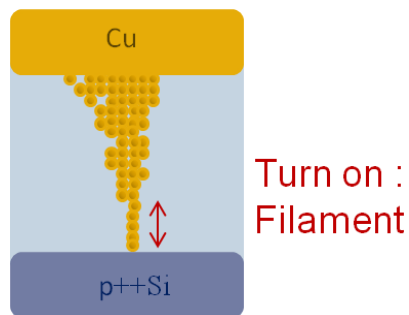
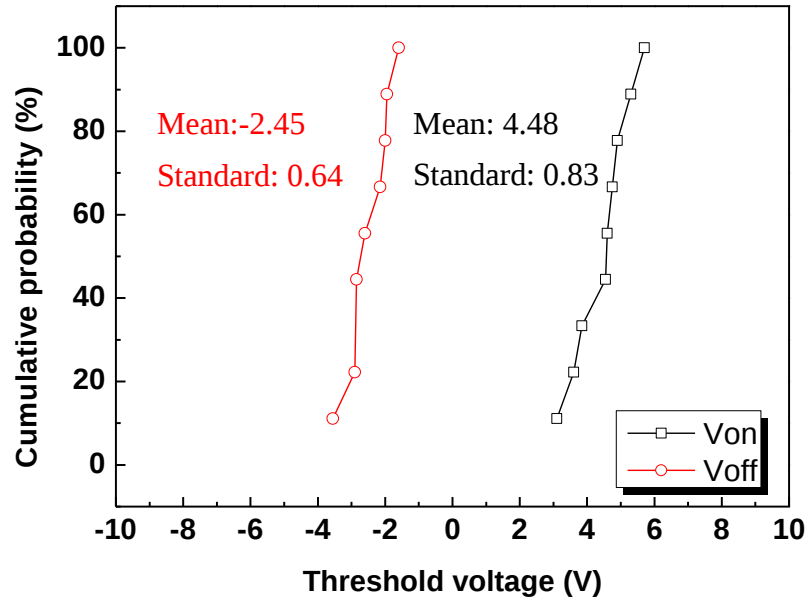


圖 2-11、(a)電阻轉換從高電阻態到低電阻態(Turn on)；(b)元件能夠 Turn on 的原因是靠著 Filament 的形成。

(a)



(b)

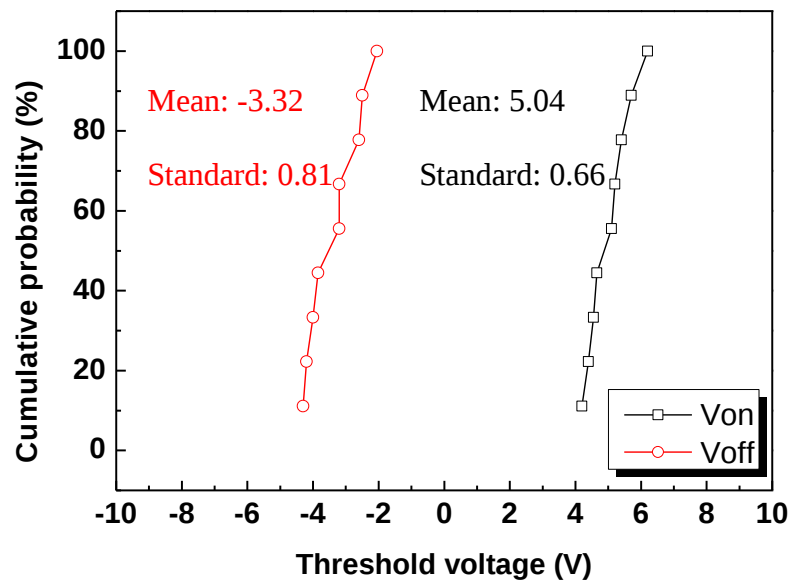


圖 2-12、Cu/ α -Si/ p^{++} Si 元件之臨界轉換電壓 V_{on} 及 V_{off} 分部。9 組基準元件規格 (30-nm 厚 α -Si, $5\ \mu\text{m} \times 5\ \mu\text{m}$ 工作區域大小) (a) 元件在 forming 之後取第 10 次電阻轉換之統計；(b) 元件取第 50 次電阻轉換之統計。

2.5 基本電性特性量測與討論

基本電性特性量測包含電流電壓曲線(I-V)，Endurance 及 Retention Time 的量測，從這些量測結果可以顯示出元件的穩定性、可靠度還有耐久性的狀況，用以判別元件的好壞。

2.5.1 Cu/ α -Si/ p^{++} Si 元件之電流電壓曲線

我們選用 30-nm 非晶矽薄膜，工作區域 $5\ \mu\text{m} \times 5\ \mu\text{m}$ 的元件作為基準元件 (STD Device)，Cu 作為上電極，STD Device 在 Forming 之後電流隨電壓變化曲線如圖 2-13，如同前面量測一樣，施加偏壓於 Cu 電極而 p^{++} Si 下電極接地，當我們施加正電壓時元件 Turn On，施加負電壓時則 Turn Off，一連串的過程變化如下，路徑一為元件在高阻態，偏壓掃動從 0V 開始往正偏壓；路徑二，隨著電壓大於 3V 左右時，元件從原本低電流值(高電阻態)約 $10^{-10}\ \text{A}$ ，開始電流快速上升，到了電壓約 $V_{\text{on}}=4.6\ \text{V}$ 時，到達我們設定的限制電流 $10^{-4}\ \text{A}$ (低電阻態)，元件 Turn On；路徑三，正偏壓往回掃動至 0 V，元件維持在低電阻態，並不會因為電壓的減小而回到高電阻態，顯示出具有非揮發特性；路徑四，從 0 V 往負偏壓掃動，起初維持在低電阻態，直到大約在 $V_{\text{off}}=-2\ \text{V}$ 左右電流驟降回到高電阻態，為路徑五；路徑六，負偏壓往回至掃至 0 V，元件維持在高電阻態，完成一次電阻轉換的 Cycle，因為 Turn On 和 Turn Off 所施加的偏壓極性相反，所以呈現 Bipolar 的特性。相較於眾多材料， α -Si 作為電阻轉換層，高電阻態與低電阻態兩者之比例可以到達 10^6 ，元件在 On-off Ratio 表現相當優秀。

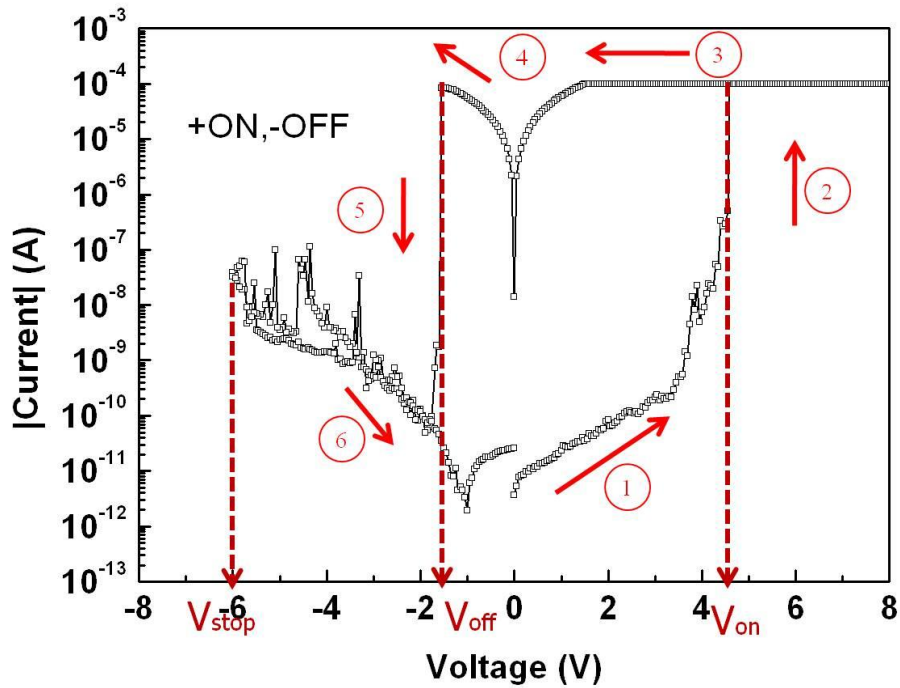


圖 2-13、元件經由 1 到 6 循環從高電阻態轉變成低電阻態，再由低電阻態回到高電阻態， V_{on} 及 V_{off} 為電阻轉換時的臨界電壓， V_{stop} 則是為了使元件確實從低電阻態回到高電阻態所施加的負偏壓最大值。

2.5.2 Cu/ α -Si/p++Si 元件之 Endurance 量測

Endurance 是表現記憶體可靠度的重要特性之一，可以提供我們比較記憶體的耐久性，記憶體在應用上如 RAM 或是 SSD，必須要能承受在相當多資料處理後，沒有出現錯誤，各種記憶體都會以 Endurance 量測為基本要求。本實驗以 DC Bias 測試元件表現，並且得到相對應設定在 1V 的電流值，以橫軸為操作次數，縱軸為高低電阻態的電流值，圖 2-14，我們定義 On-off Ratio 是指高電阻態和低電阻態電流值的比例，大約從 10^4 到 10^6 以上，元件高電阻態和低電阻態電流在超過 1000 次操作下仍沒有什麼衰減，穩定性則受到每次導通路徑形成的不同而有變化。

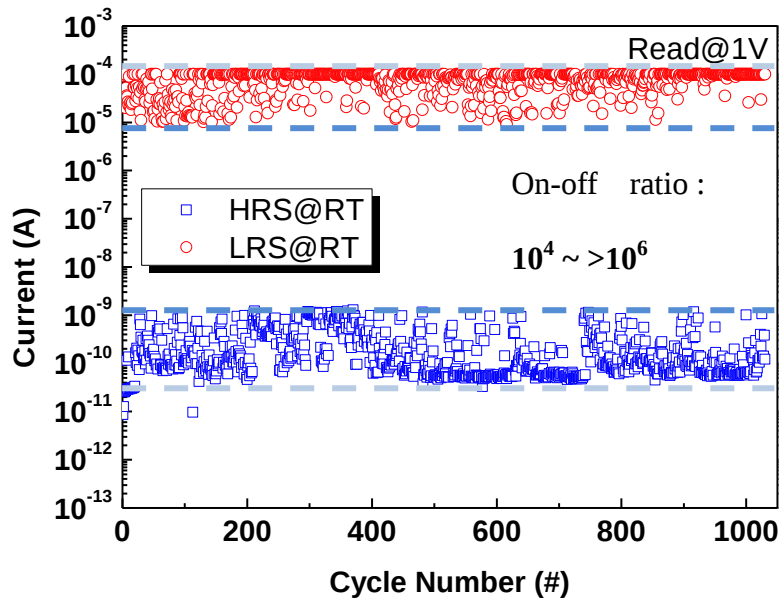
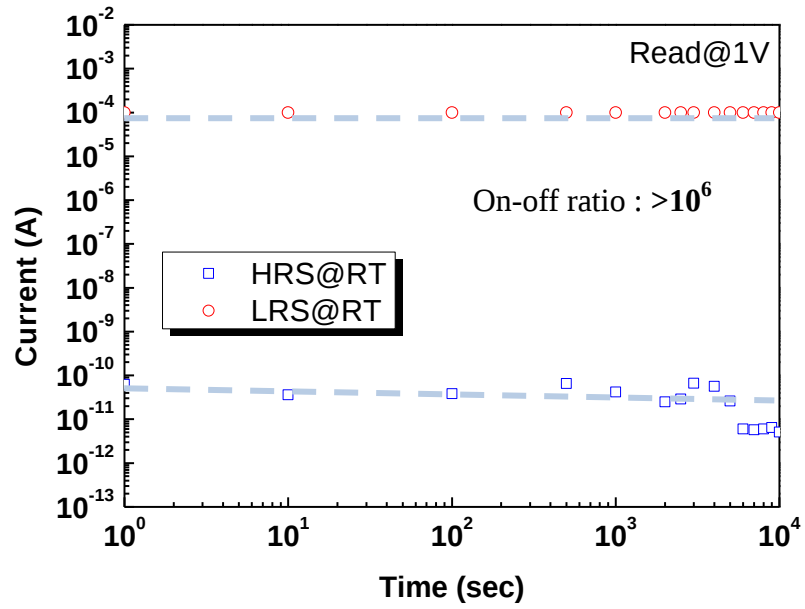


圖 2-14、Cu/ α -Si/ p^{++} Si 元件之 Endurance 可以操作達到 10^6 次以上。

2.5.3 Cu/ α -Si/ p^{++} Si 元件之 Retention Time 量測

Retention Time 則是非揮發性記憶體的重要性質，它用以比較記憶體的資料儲存在經過長時間下的維持能力，目前應用在市面上的非揮發性記憶體的要求是記憶資料能夠儲存維持至少十年的時間。實驗上利用 DC Bias 將元件操作到 ON 或是 OFF 的狀態，之後每次量測以不擾亂原始儲存狀態讀取從 0V 加到 1V 來讀取電流值，圖 2-(a)及(b)是分別在室溫(RT)及高溫(85°C)下的量測結果，橫軸為時間軸，隨著時間經過(1、10、100、500、1000、2000、3000、4000、5000、6000、7000、8000、9000、10000 秒)，而縱軸為不同時間點量測到的高低電阻態電流值，Retention 量測在低電阻態(ON State)表現良好，元件可以穩定維持在 100 μ A 附近；而在高電阻態(OFF State)，不管是在室溫或是 85°C 下都會出現電流的偏移，不過因為是朝電阻值越來越大趨勢偏移，所以並不影響高電阻態資料讀取。

(a)



(b)

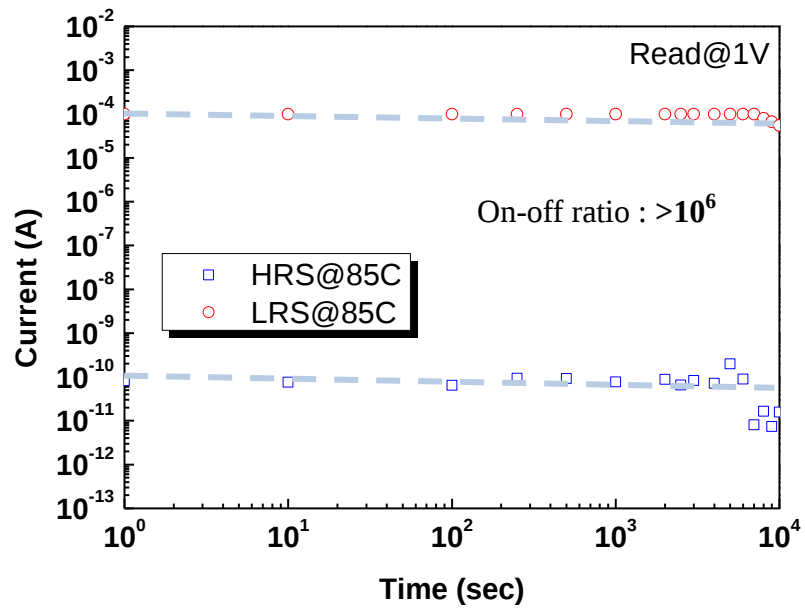


圖 2-15、Cu/ α -Si/p⁺⁺Si 元件之 Retention Time 在(a)室溫；及(b)85°C 下可以達到 10^4 秒。

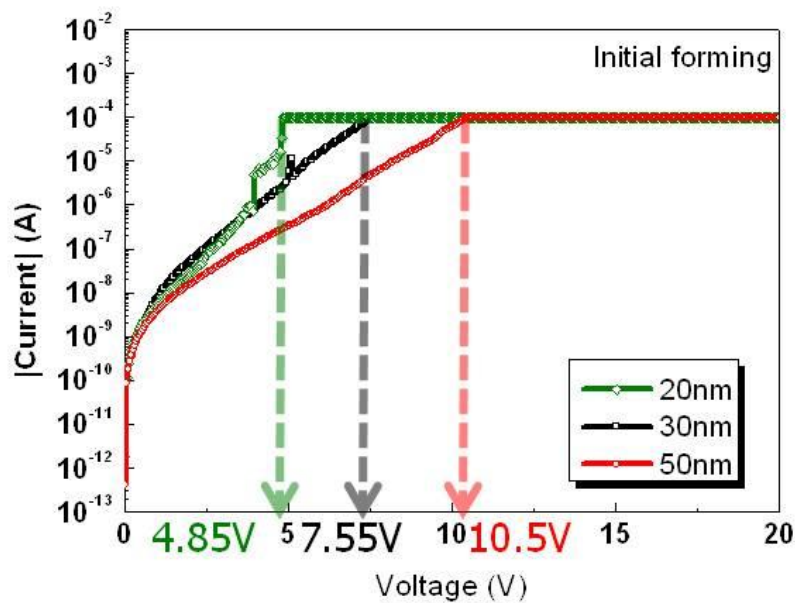
第三章

元件轉換機制

3.1 不同非晶矽薄膜厚度對 Forming 之影響

在前一章提出元件在初始狀態轉換前需要先經過 Forming Process，上電極經由 Diffusion 在 α -Si 薄膜內部形成 Metallic Region 如圖 3-1(a)，並且認為 Metallic Region 並沒有貫穿整層 α -Si 薄膜，而是要靠另外形成 Filament 來造成元件高低電阻態的轉換，為了瞭解不同 α -Si 薄膜厚度對形成 Metallic Region 的影響，所以我們固定元件工作區域大小， $5\text{ }\mu\text{m} \times 5\text{ }\mu\text{m}$ ，然後改變不同厚度的 α -Si 來觀察電流電壓的變化，實驗使用三種 α -Si 厚度分別為 20 nm，30 nm 及 50 nm，元件經由 Forming process 使電流到達限制電流 $100\mu\text{A}$ 的相對電壓分別為 4.85 V，7.55 V 及 10.5 V，電流電壓變化如圖 3-1(b)；隨著 α -Si 厚度增加，所需要的電壓也相對增加，表示 Metallic Region 隨著厚度增加範圍也跟著變大。

(a)



(b)

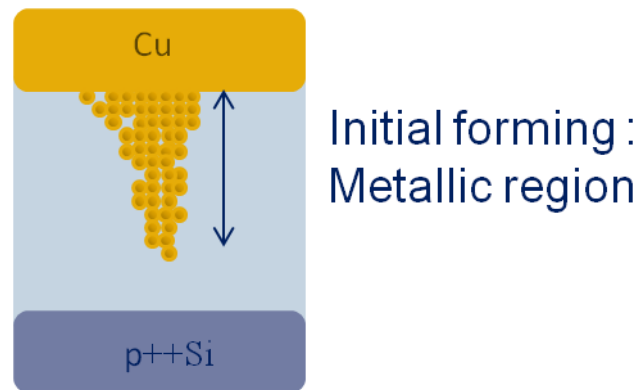


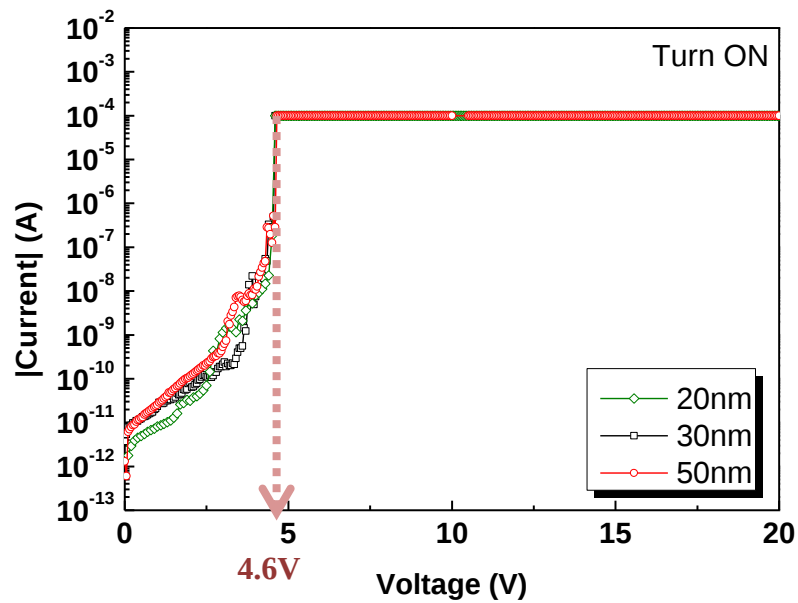
圖 3-1、(a)不同厚度元件達到限制電流所施加的電壓大小不同，綠黑紅色依序為 20-nm、30-nm 及 50-nm α -Si；(b) 不同厚度的元件形成 Metallic Region 區域的大小不同。

3.2 不同非晶矽薄膜厚度對臨界電壓之影響

在 Metallic Region 形成之後，薄膜電阻轉換則是靠形成及破壞 Filament 來完成，我們提出 Filament 不受厚度影響而只發生在某特定區域想法，所以一樣利用 20 nm，30 nm 及 50 nm 厚度的 α -Si 元件來比較在 Forming Process 之後的電阻轉換現象，圖 3-2(a)為元件經過 Forming Process 之後，從高電阻態轉變為低電阻態的電流電壓關係圖，三種厚度的元件都在大約 4.6 V 左右到達限制電流，我們認為此時 Filament 的導通路徑形成，如圖 3-2(b)，然後我們將不同厚度的電阻轉換臨界電壓作統計如圖 3-3(a)(b)(c)，當元件從高電阻態轉變為低電阻態之轉換臨界電壓為 V_{on} ，而低電阻態回到高電阻態之轉換臨界電壓為 V_{off} ，發現隨著轉換層薄膜厚度增加，相較於 Forming 電壓從 4.85 V 增加到 10.5 V，臨界電壓只有些微的增加，而我們認為這些改變並非是 Filament 受到 α -Si 厚度的影響，而是因為比較厚的轉換層形成的總導通路徑(包括 Metallic Region 加上 Filament)較長，由歐姆定律知道較長的總導通路徑會有較大的導通電阻，所以在固定相同限制電

流下，較大的導通電阻會需要較大的臨界電壓，而真正的轉換層厚度，也就是 Filament 形成和破壞的真正區域，會在後面章節討論。

(a)



(b)

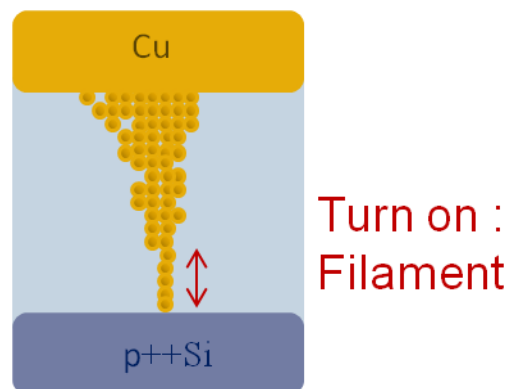
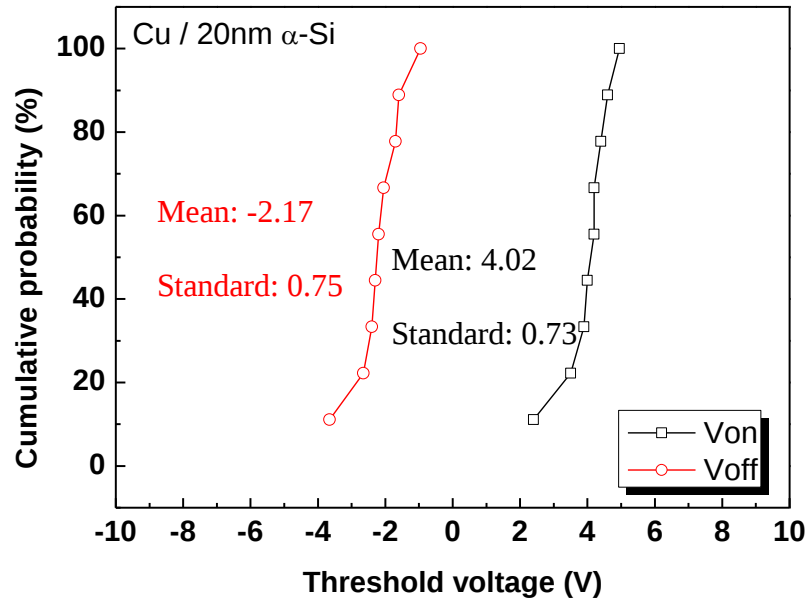
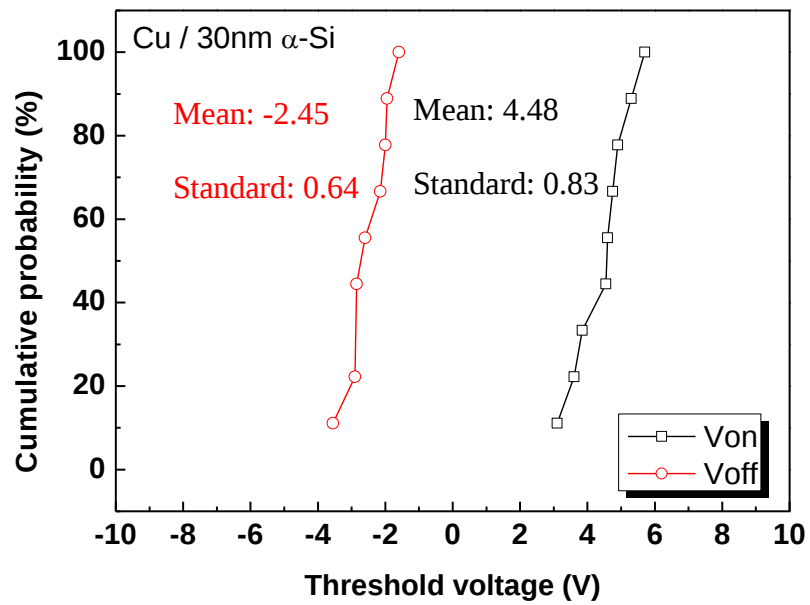


圖 3-2、(a)不同厚度元件 Turn On 所需要的電壓大小近似，約 4.6 V 左右，綠黑紅色曲線依序為 20 nm、30 nm 及 50 nm α -Si；(b)因為 Turn On 時形成的 Filament 不受到元件厚度的影響。

(a)



(b)



(c)

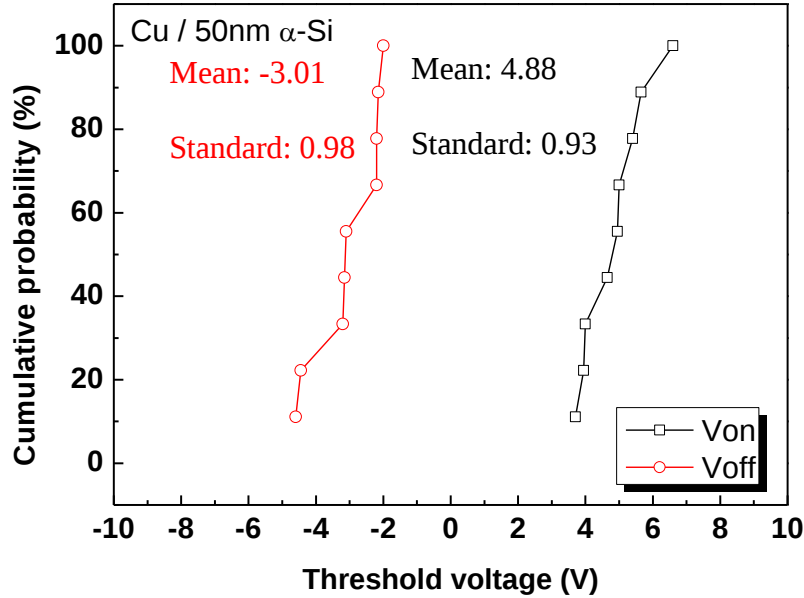


圖 3-3、Cu/ α -Si/ p^{++} Si 元件之臨界轉換電壓 V_{on} 及 V_{off} 分部，不同轉換層厚度
(a) α -Si 20-nm；(b) α -Si 30-nm；(c) α -Si 50-nm。

3.3 高電阻態傳導機制

在前面第二章電流傳導機制中，電流密度會因為不同的電流傳導方式造成隨電場或是隨溫度變化，為了瞭解 Cu/ α -Si/ p^{++} Si 的元件在轉換過程中的電流傳導機制，我們將量測系統的載台透過加熱器升溫控制溫度，圖 3-4、3-5 是在室溫下及高溫(45°C、65°C、85°C、105°C)下量測到的電流隨電壓變化關係，圖 3-4(a) 為元件在 Forming 形成後於室溫下量測之初始電流電壓變化，以及圖 3-4(b) 為元件操作 50 次循環之後一樣在室溫的電流電壓變化，在高電阻態的部份，電流受到溫度影響明顯，如圖 3-5(a)(b)，並且隨著溫度上升電流跟著增加。圖 3-6 是元件在導通路徑尚未形成前，記憶狀態為 Off State 示意圖，圖 3-7(a) 是高電阻態電流電壓曲線圖；電壓從 0V~0.3V，電流密度和施加電壓關係呈現一次線性是 Ohmic Mechanism，如圖 3-7(b)；而圖 3-7(c) 是高電阻態時電壓從 0.4V~3.15V，

電流密度和電壓平方線性關係是 SCLC Mechanism；元件同樣在高電阻態，電流電壓關係如圖 3-8(a)，當電壓-6V~-3V，電流密度取自然對數和電壓開根號作圖是線性關係為 Schottky Mechanism，如圖 3-8(b)；電壓-3V~-0.35V，電流密度和電壓平方線性關係，是 SCLC Mechanism，如圖 3-8(c)。

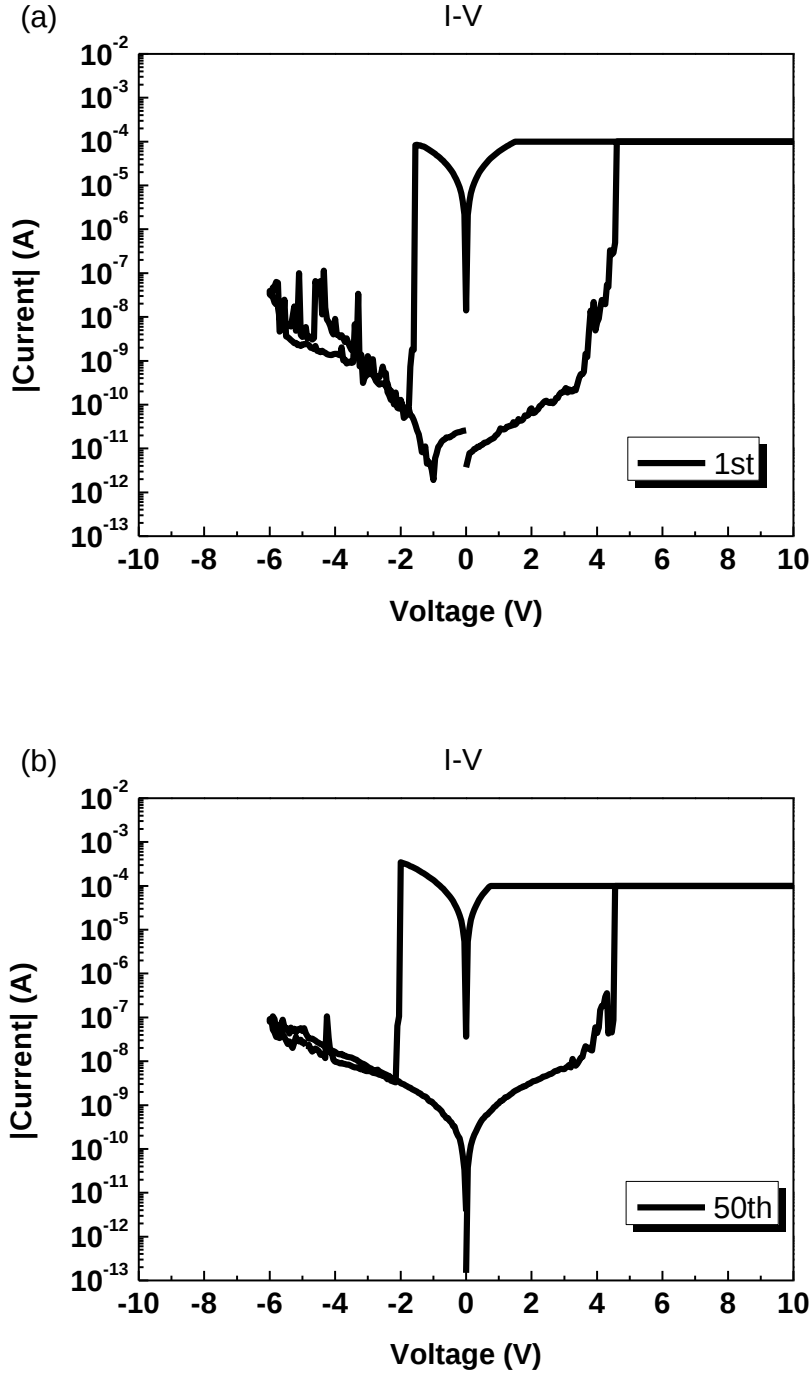


圖 3-4、元件(a)在初始；(b)在操作 50 次循環以後，在室溫下電流電壓曲線。

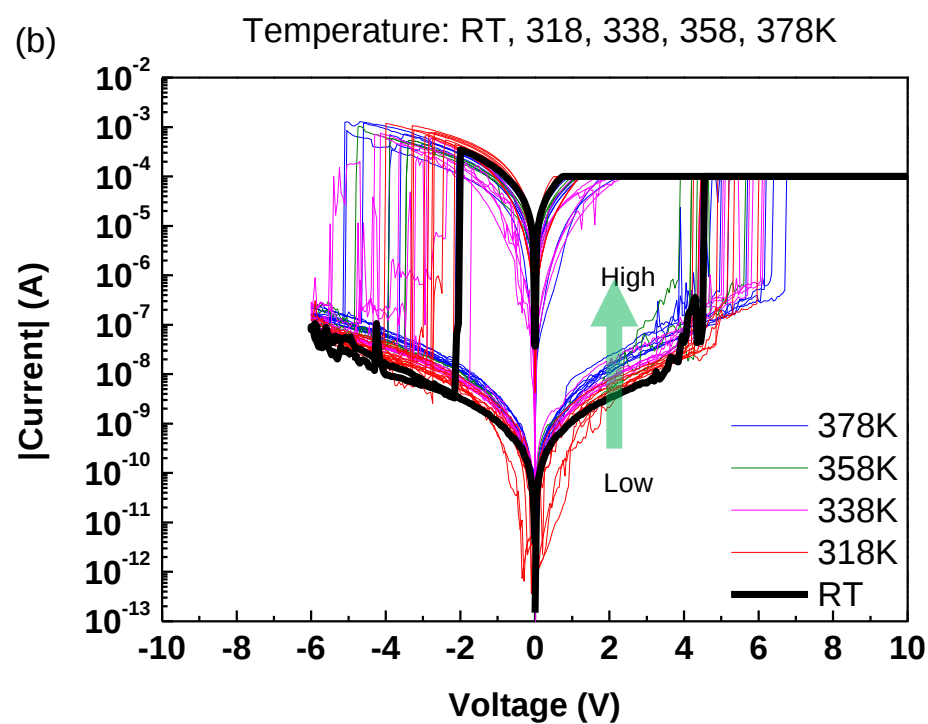
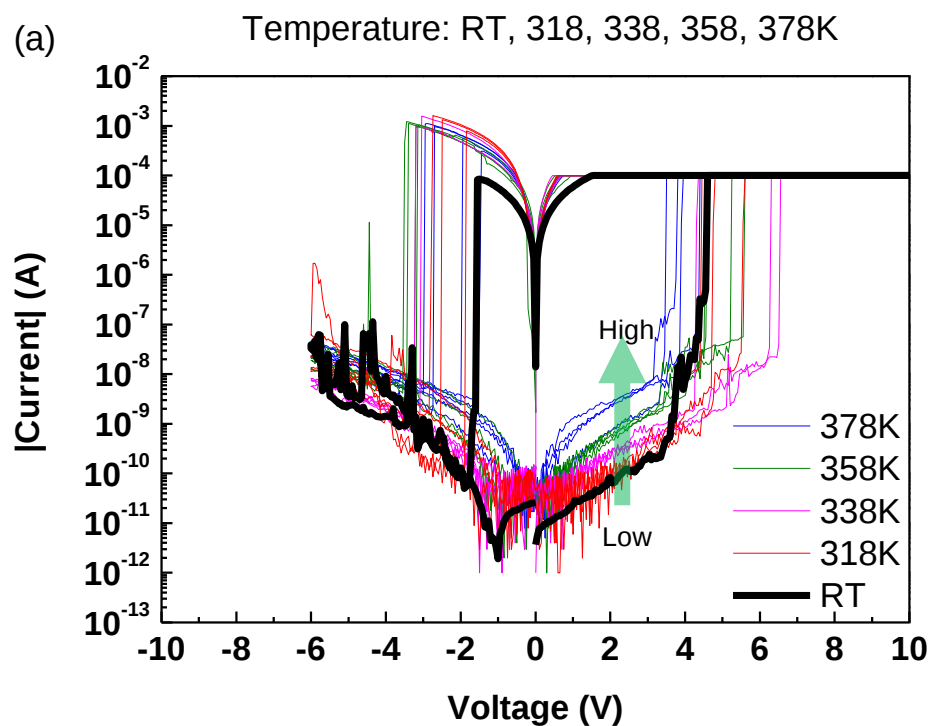


圖 3-5、元件(a)在初始；(b)在操作 50 次循環以後，在高溫下電流電壓曲線。

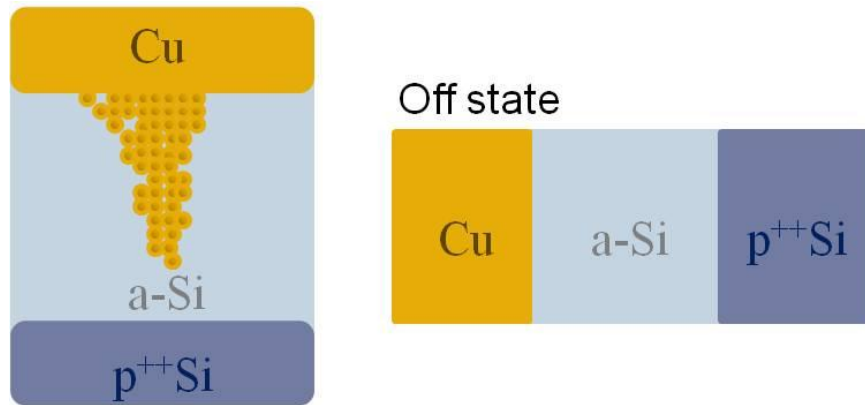
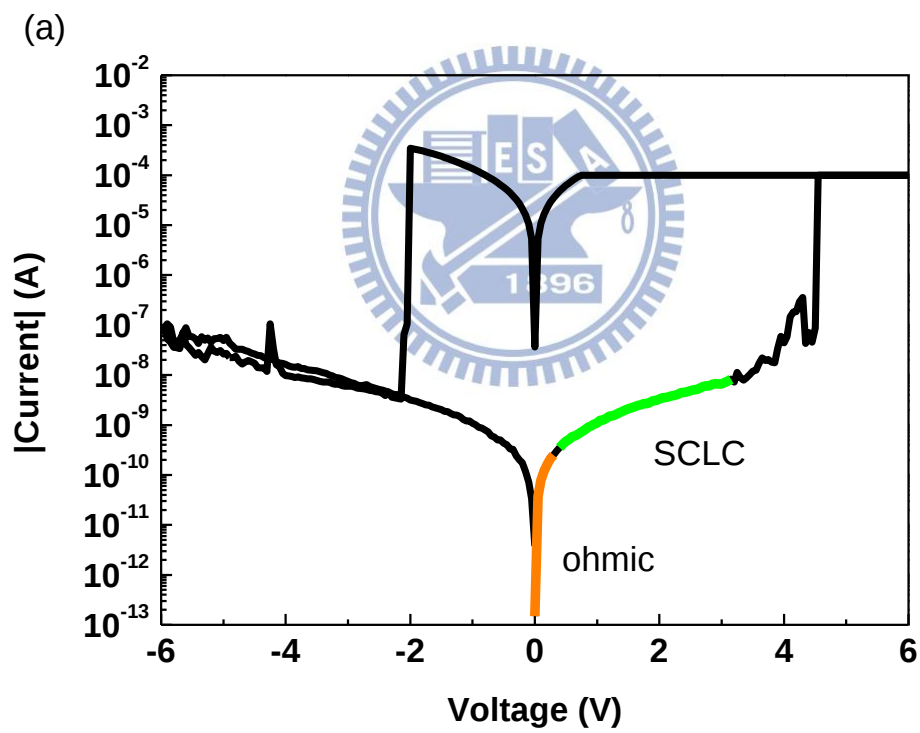
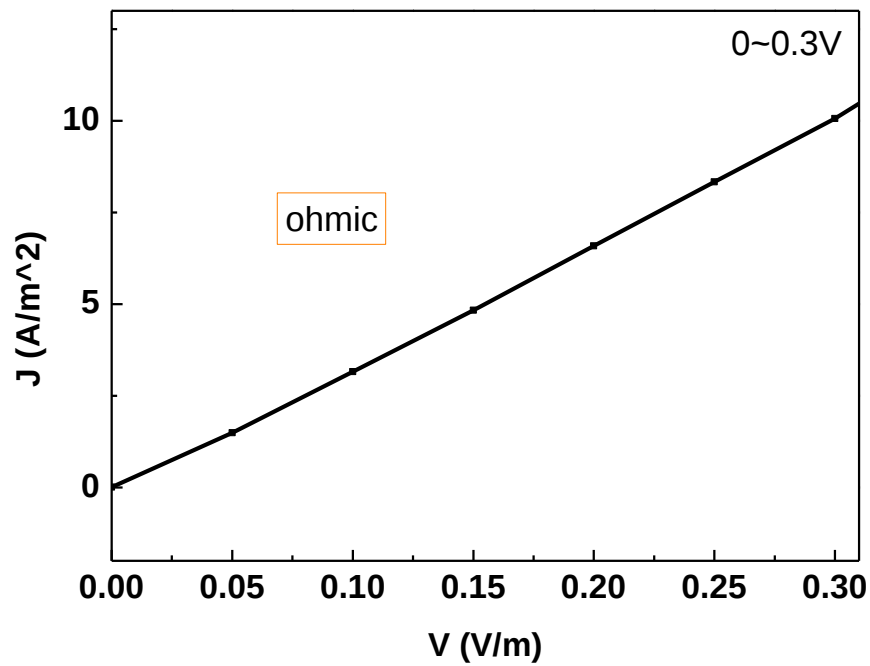


圖 3-6、元件在導通路徑尚未形成前，記憶狀態為 Off State 示意圖。



(b)



(c)

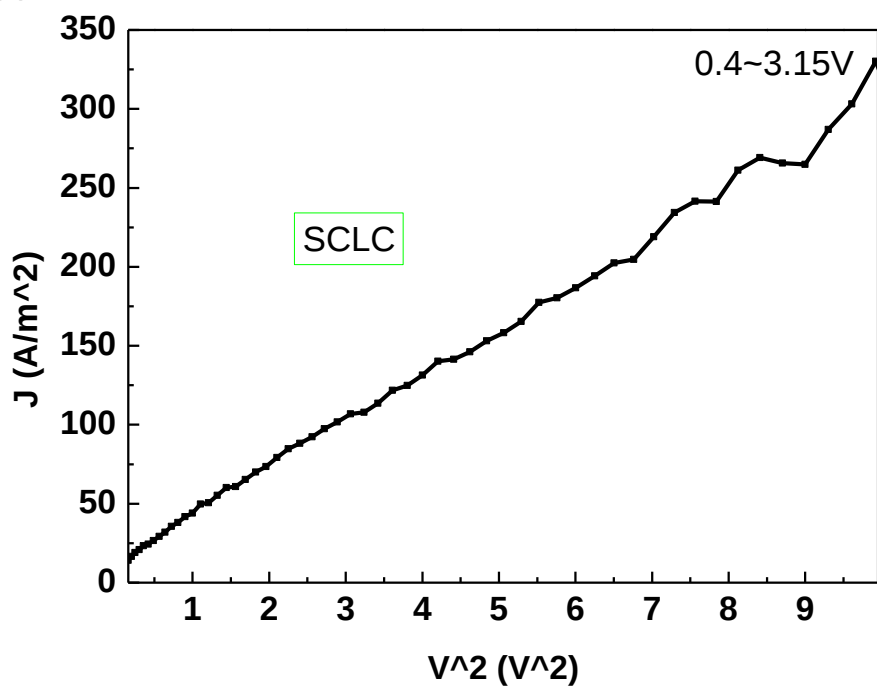
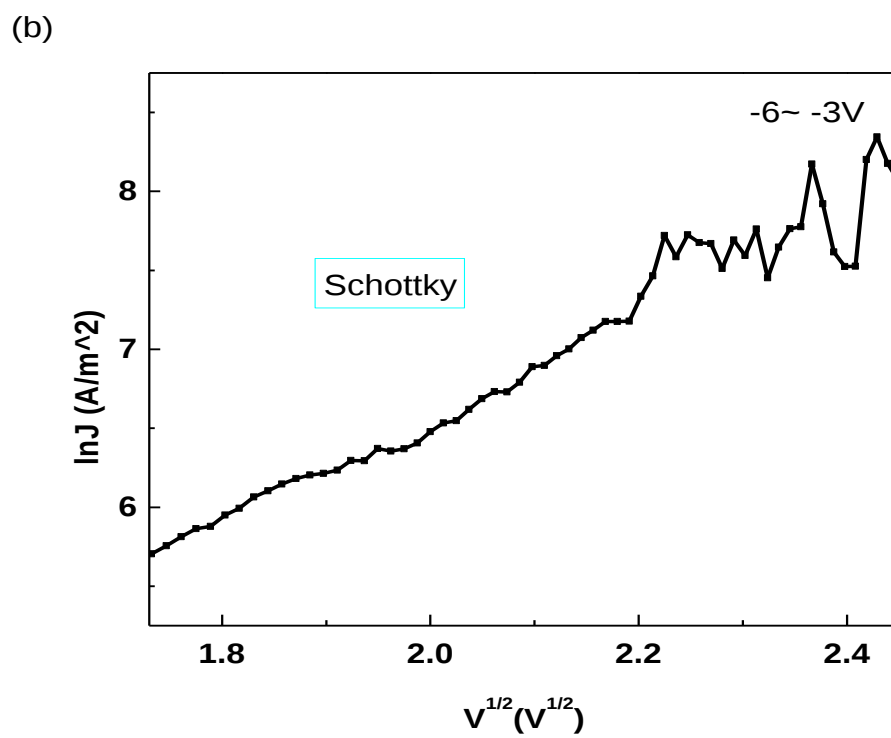
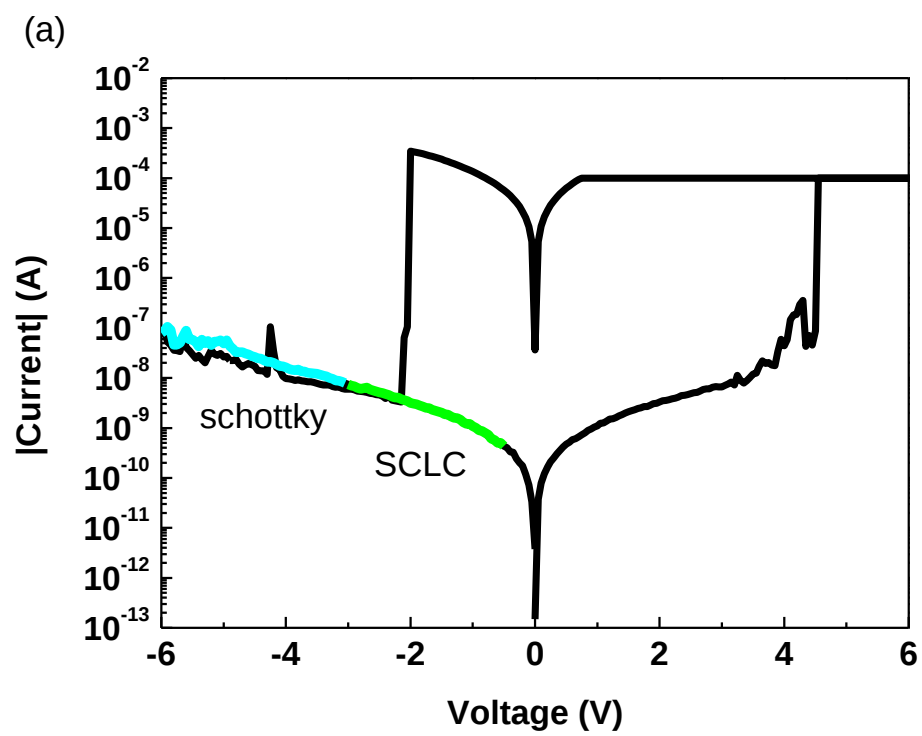


圖 3-7、(a)高電阻態在正偏壓區間之電流電壓曲線。(b) ohmic 電流傳導機制。(c) SCLC 電流傳導機制。



(c)

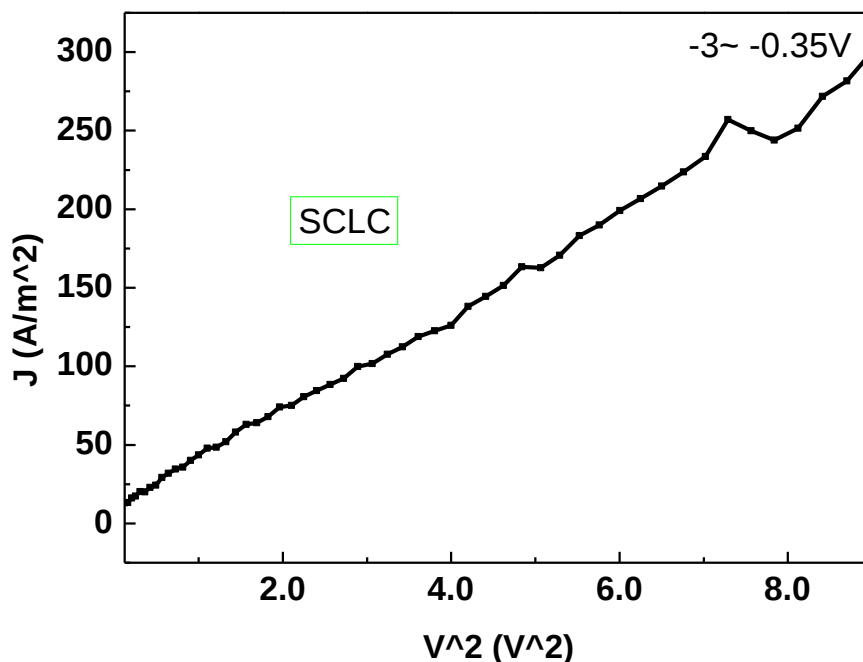


圖 3-8、(a)高電阻態在負偏壓區間之電流電壓曲線。(b) Schottky 電流傳導機制。
(c) SCLC 電流傳導機制。

3.4 低電阻態傳導機制

圖 3-9 電阻轉換從高電阻態到低電阻態是因為 Filament 形成導通路徑，呈現 On State，在隨溫度上升的電流電壓圖中，低電阻態電流並不像高電阻態時受溫度影響明顯，低電阻態電流是受到每次 Filament 形成導通路徑不同而有變化，關於 Filament 形成細節會在下一節提到。圖 3-10 中，電壓範圍 0.75 V~2 V，電流以 0 V 為中心呈現對稱關係，並且將電流密度與電壓取對數後計算斜率，正電壓區間(實心方形)及負電壓區間(空心圓形)斜率皆接近 1，如圖 3-11，因為電流密度和電壓呈現一次線性關係，且電流不隨溫度變化，表示此時靠電子 Tunneling 經過 Filament 路徑形成導通電流。

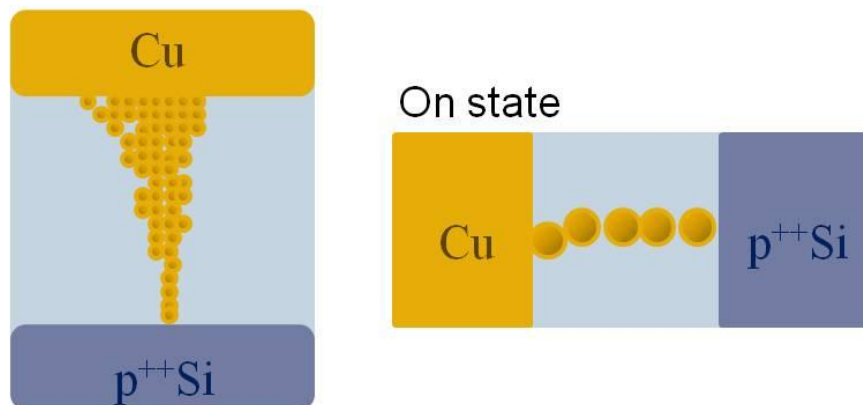


圖 3-9、元件在導通路徑形成後，記憶狀態為 On State 示意圖。

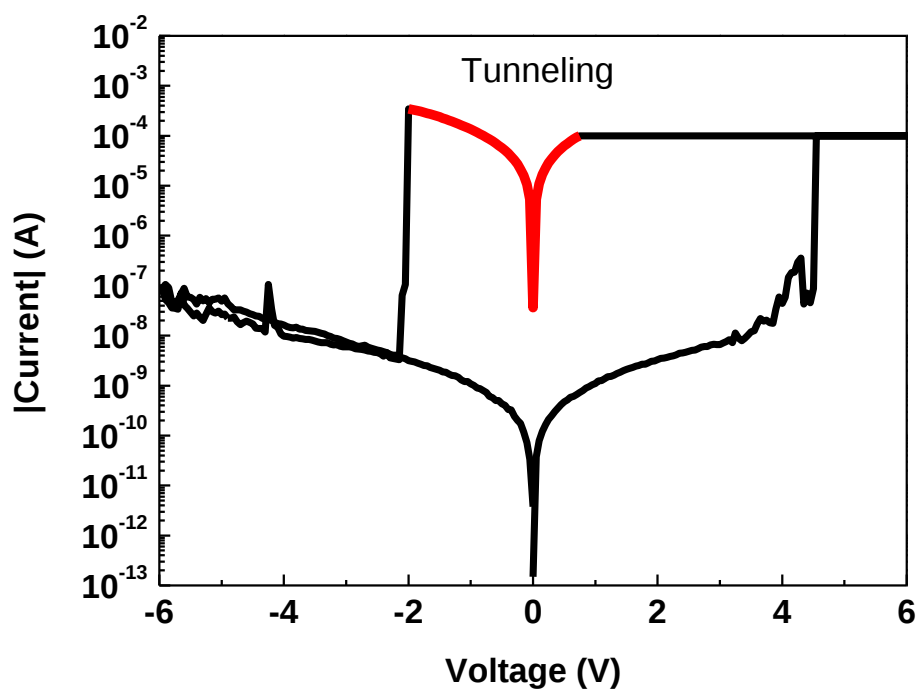


圖 3-10、低電阻態(LRS)電流電壓曲線。

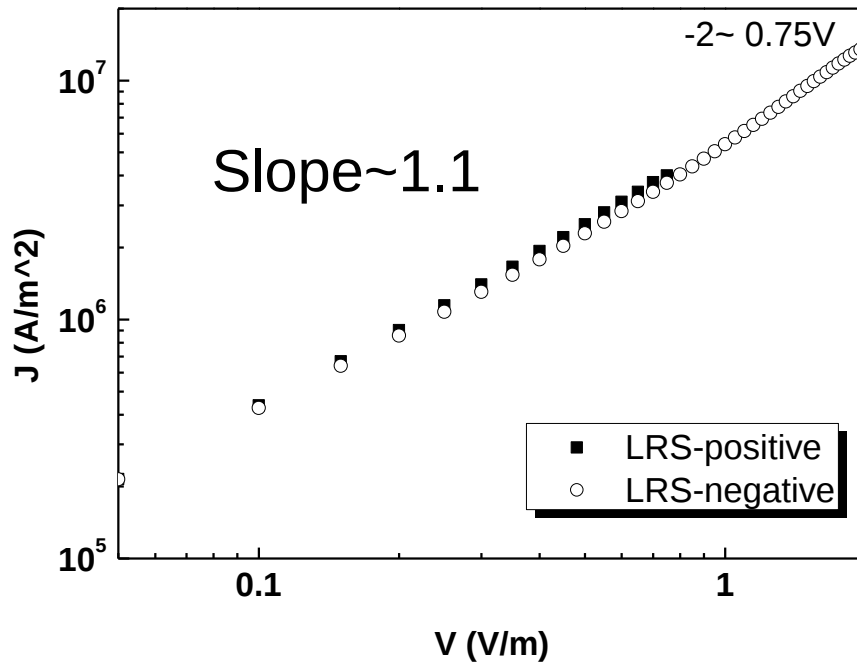


圖 3-11、低電阻態(LRS)電流密度和電壓呈現一次線性關係。

3.5 非晶矽薄膜轉換層厚度估計

α -Si 薄膜內 Metallic Region 在初次 Forming Process 後就確定，而元件在 On State 及 Off State 轉換是受到 Filament 形成和破壞影響，Metallic Region 和 Filament 如圖 3-12 所示，為了估計轉換層的厚度，我們參考也是利用 α -Si 當作轉換層材料的文獻[50][59][62]，假設 Filament 是由一連串的銅粒子排列而成，如圖 3-13 所示，隨著電壓增加，Filament 會藉由新的銅粒子跳到新的缺陷而增加，造成組成 Filament 的最後部份銅粒子與底電極的距離會改變，電流也隨之上升，因為距離不同會有不同大小的穿隧電流[53]，我們藉由穿隧電流的改變來反推銅粒子與底電極距離的變化[53~55]，穿隧電流大小和穿隧機率有關，經由 WKB 近似之後，電流密度可以用數學式表示如下[54]：

$$J \propto T(\Delta E) \propto e^{-(2/\hbar) \int_0^d (2m^* \Delta E dx)^{1/2}} \propto e^{-(\frac{2(2m^* \Delta E)^{1/2}}{\hbar})d}$$

J : Tunneling Current Density

$T(\Delta E)$: Tunneling Rate

$$\Delta E = \phi_{Cu} - \chi_{Si} = 4.65 - 3.95 = 0.7 \text{ (eV)}$$

d : Distance between the last particle and the bottom electrode

$$m^* = 0.09m_0 = 0.09 \times 9.1 \times 10^{-31} \text{ (kg)}$$

m_0 : mass of free electron.

J 是穿隧電流密度，和穿隧機率 $T(\Delta E)$ 有關，穿隧機率可以表示成和位能障 ΔE 、穿隧物質質量 m^* 及穿隧距離 d 有關的數學式， ΔE 是從電子角度看到的能障高，一階修正為 $\Delta E = \phi_{Cu} - \chi_{Si}$ ， m^* 是電子在 α -Si 穿隧的修正質量，文獻中藉由量測有效穿隧常數 (Effect Tunneling Constant) α ，推算 m^* 約為 $0.09 \pm 0.02 m_0$ [55]。我們計算在 Metal Region 形成後，Filament 從初始到最後形成整段導通路徑的電流變化，而從圖 3-14 觀察，元件從高電阻態轉變為低電阻態電流快速增加大致上有 3 個階段 (紅色、綠色及藍色線段)，我們利用穿隧電流改變的前後值來計算銅粒子移動的距離，整理如表 3-1， $\Delta d1$ 、 $\Delta d2$ 及 $\Delta d3$ 是表示銅粒子每次移動的距離，在移動 $\Delta d1 + \Delta d2 + \Delta d3$ 的距離後元件達到 On State，所以我們視 $\Delta d1 + \Delta d2 + \Delta d3$ 的距離為金屬 Filament 的長度，Cu/30-nm α -Si/ p^{++} Si 元件經由計算後的 Filament Length 約為 5.37 nm，小於薄膜厚度 30 nm，符合我們假設的前提，電阻轉換層厚度只有在某區域，接著我們計算 20 nm 及 50 nm 厚度的 α -Si 元件，電阻轉換層厚度估計也大約在 5 nm 附近，和 2009 年的 NANO LETTERS 文獻作比較，密西根大學團隊利用銀作為上電極，提出在 α -Si 薄膜的 Filament Length 約為 9.21 nm [62]。

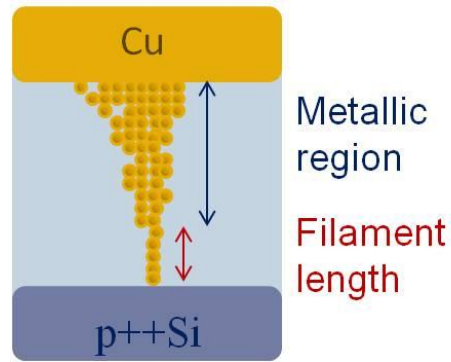


圖 3-12、 α -Si 薄膜內導通路徑由 Metallic Region 和 Filament 組成示意圖。

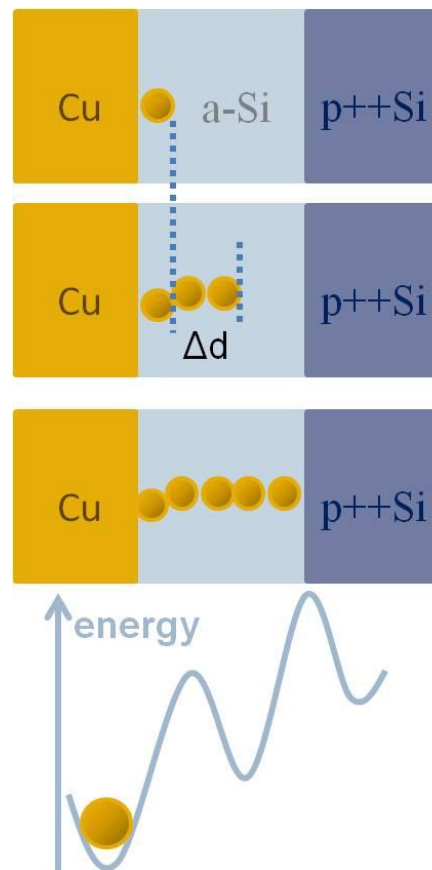


圖 3-13、Cu 粒子會隨著電壓增加移動，造成組成 Filament 的銅粒子與底電極的距離會改變。

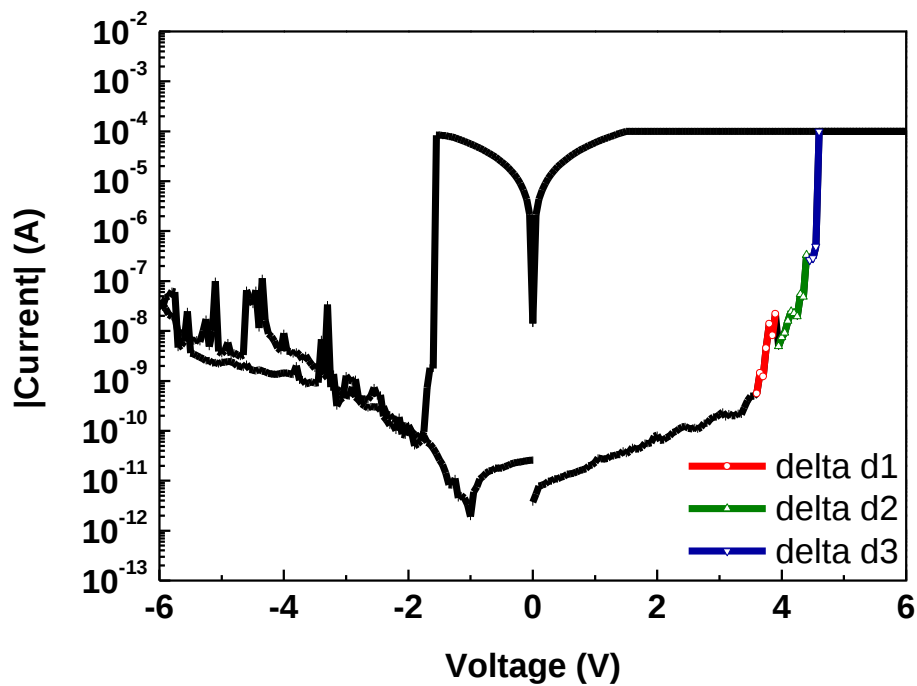


圖 3-14、元件從高電阻態轉變為低電阻態電流階段變化。



表 3-1、利用穿隧電流改變來計算銅粒子移動的改變量(Tunneling Distance Change)，用以估計電阻轉換區域真正厚度(Filament Length)。

Cu/30nm α -Si/p ⁺⁺ Si	V(V)	I(A)		Tunneling Distance Change(nm)
		Before Jump	After Jump	
$\Delta d1$	3.6	5.568E-10	2.2147E-8	1.43
$\Delta d2$	3.95	4.9363E-9	3.29202E-7	1.63
$\Delta d3$	4.45	2.64271E-7	1.00024E-4	2.31
Filament Length : 5.37 nm < 30nm				

3.6 不同元件尺寸對傳導路徑之影響

接下來我們想要知道 On State 時的電流改變，是因為 Filament 的數量抑或是形狀改變造成的，圖 3-15 是 Cu/30-nm α -Si/p⁺⁺Si 元件，元件工作區域面積 25 μm^2 (Device Diameter 5 μm)，共 20 組電流電壓在 On State 的量測結果，如果是 Filament 的數量改變造成 On State 時的電流改變，當我們增加元件工作區域的大小時，Filament 應該會隨著面積變大而變多，而導通電阻(on-Resistance)會變小，所以我們改變元件大小，元件工作區域從 25 μm^2 (Device Diameter 5 μm) 增加到 $4 \times 10^4 \mu\text{m}^2$ (Device Diameter 200 μm)，共取 3 組不同大小元件作統計，每一種大小元件量測 20 次 On State 電阻大小，然後取平均當作此元件大小的 on-Resistance，關係如圖 3-16，為了比較方便，我們將 on-Resistance 歸一化和 Device Diameter 作圖，圖 3-17 可以得到當元件工作區域大小增加了 3 orders 電阻變化只有不到百分之七，和文獻中提到元件工作區域變化 6 orders 而 on-Resistance 只增加 2.5 倍相呼應[60]，表示 Filament 數量並沒有隨著元件工作區域變大而明顯的增加，所以我們推論在電阻轉換區應該是形成單根的 Filament，而電流改變可能是 Filament 形狀變化造成。

當電流通過時，由焦耳定律得知產生的熱能和電流及電阻有關，Joule's law of heating = $I^2 R$ ，因為 Filament 和整個 Metallic Region 比較起來占 α -Si 轉換層很小的部份，所以熱能對發生在局部區域的 Filament 影響較大，我們假設 Filament 形狀近似於半徑為 r ，長度為 l 的圓柱體，如圖 3-18，圓柱體一方面受到焦耳熱提供的能量，另一方面也經由黑體輻射將能量散失，當累積在圓柱體的熱能多過於散失掉的熱能，Filament 會被破壞掉，因為 Filament 是由一連串的 Cu 粒子形成，推測當 Filament 被燒斷時的臨界溫度應該要高於 Cu 的熔點，利用以下公式推算：

$$I^2 R = \sigma T^4 \times A$$

$$\frac{I^2 \rho l}{\pi r^2} = \sigma T^4 \times 2\pi r \times l$$

$$T = \left(\frac{I^2 \rho}{\sigma \times 2\pi^2 r^3} \right)^{1/4}$$

I 為當 Filament 被燒斷時的臨界電流， ρ 為電阻率 (Cu: $1.678 \times 10^{-6} \Omega\text{-cm}$)， σ 為 Stefan's 常數 ($\sigma = 5.7 \times 10^{-8} \text{W/m}^2\text{K}^4$)， r 為圓柱體的半徑，我們可以從電性量測結果，藉由低電阻態轉變為高電阻態時的臨界電流和 Cu 的熔點反推圓柱體半徑，臨界電流 I 如圖 3-19 表示，加上 Filament 的改變主要應該是受形狀而不是數量的影響，所以我們藉由四組不同的元件，以及同一個元件不同次數量測的結果估算出 Filament 半徑的改變範圍，如表 3-2，其中 STD1 及 STD2 是同一個元件不同次的量測結果，而 device2~4 則為和 STD 不同的元件，在半徑約 $0.02 \mu\text{m}$ 及 $0.2 \mu\text{m}$ 都有計算出的臨界溫度 T 略高於 Cu 的熔點溫度 T_m ，歸納出 Filament 的半徑變化應該介於在 $0.02 \mu\text{m}$ 到 $0.2 \mu\text{m}$ 之間，和一些文獻作比較，其中有文獻提到在 $\alpha\text{-Si}$ 中形成 Filament diameter 約 $0.2 \sim 0.5 \mu\text{m}$ [67]，也有文獻利用奈米線結構，金屬奈米線和 $\alpha\text{-Si}$ 奈米線交叉部份形成元件，控制奈米線金屬寬度來改變上電極(銀電極)的大小，量測認為 Filament diameter 約 20 nm ，甚至小於 20 nm [59]。最後圖 3-20 是我們的元件在 OM 下作觀測，圖 3-20(a)及(b)是元件量測前的情形，圖 3-20(c)及(d)是元件經過量測後的情形，發現銅上電極有出現黑點，可能是因為置於空氣中所以出現氧化現象，參考 CMOS 製程中會將銅的部份上下左右包覆起來作為保護，之後我們在元件製程上可以在銅電極上再增加一層 TaN 來改良。

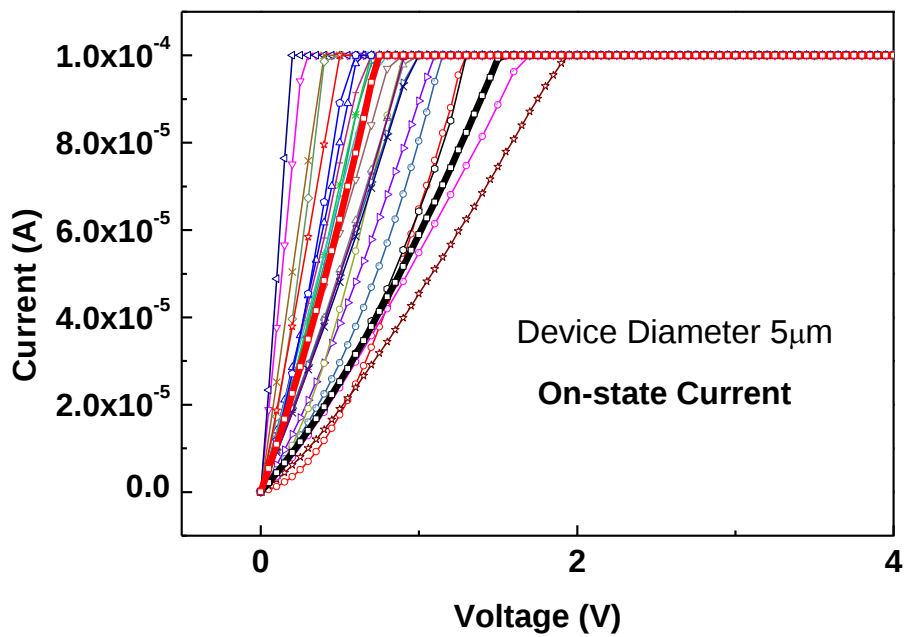


圖 3-15、元件工作區域面積 $25 \mu\text{m}^2$ (Device Diameter 5 μm)，共 20 組電流電壓在 On State 的量測結果。

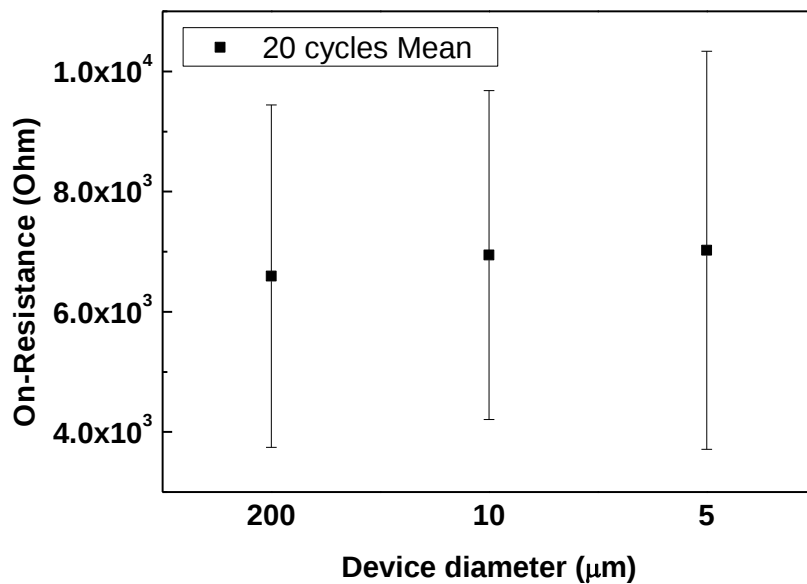


圖 3-16、Device Diameter 為 5、10、200 μm 的元件，每一種大小元件量測 20 次然後取平均當作此元件大小的 on-Resistance。

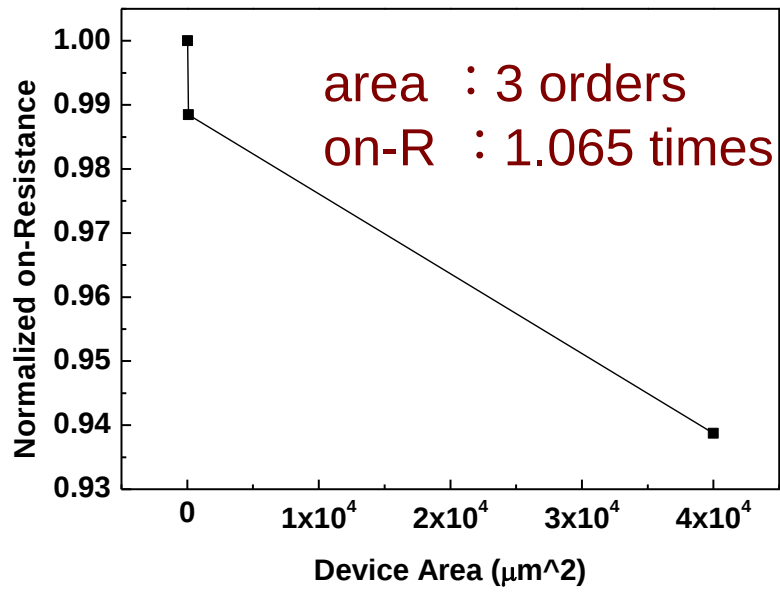


圖 3-17、低電阻態歸一化電阻與元件工作區域大小關係圖。元件工作區域大小增加了 3 級數，而電阻變化只有一倍多，表示導通路徑式只有單根 Filament。

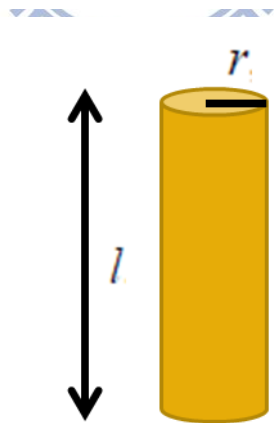


圖 3-18、將導通燈絲路徑比擬成半徑為 r 長度為 l 的圓柱體。

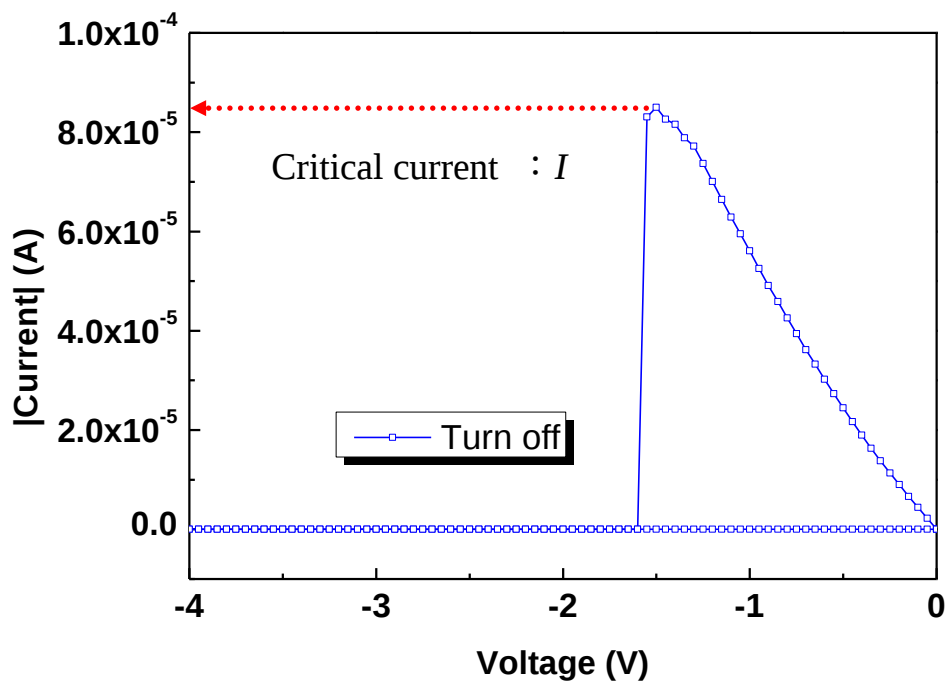


圖 3-19、紅色虛線部份標示為元件從低電阻態回到高電阻態的臨界電流(I)。



表 3-2、紅色部份為圓柱體半徑 $r=0.02\mu\text{m}$ 計算得到的臨界溫度，藍色部份為半徑 $r=0.2\mu\text{m}$ 計算得到的臨界溫度，當臨界溫度(T)高於銅的熔點溫度(T_m)，電阻態從低電阻態回到高電阻態。

Structure	case	I (μA)	ρ (Ωcm)	σ ($\text{W}/\text{m}^2\text{K}^4$)	r (μm)	T (K)	T_m (K)
Cu/30nm a-Si/p++Si	STD1	83	Cu: 1.678×10^{-6}	5.7×10^{-8}	0.02	1893.34	Cu:1358
	STD2	344				3851.63	
	device2	979				6503.39	
	device3	1890				9033.47	
	device4	1080				6828.66	
	STD1	83			0.2	336.69	
	STD2	344				684.93	
	device2	979				1156.48	
	device3	1890				1606.40	
	device4	1080				1214.33	

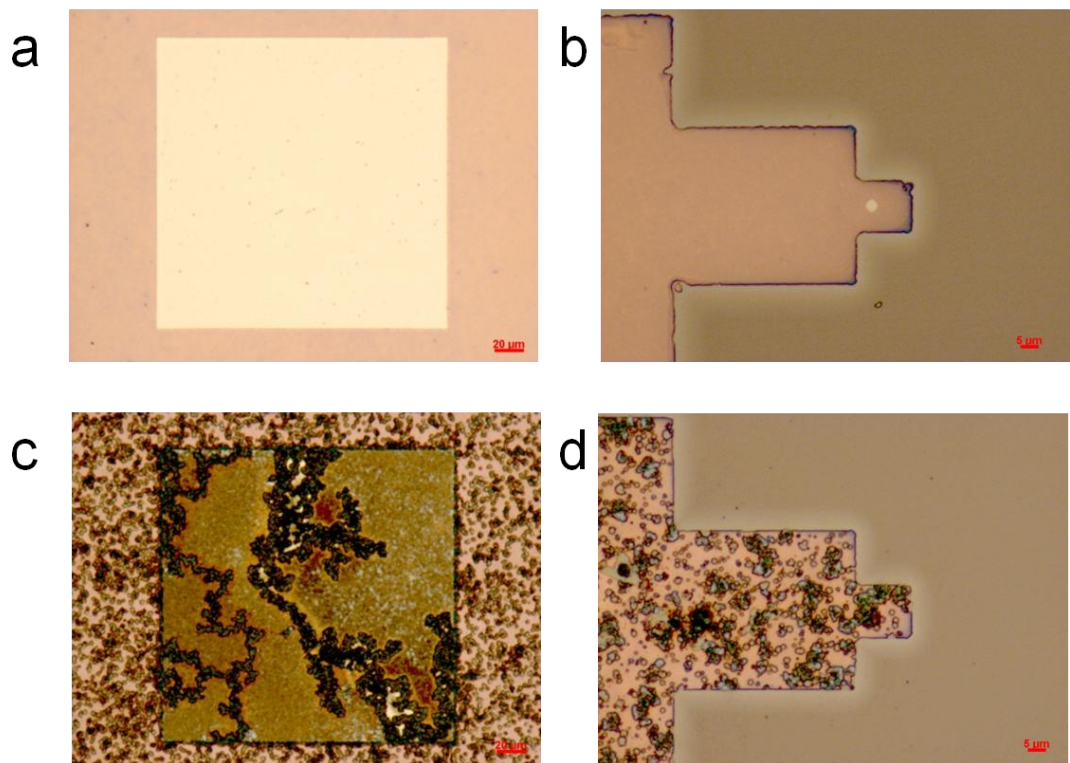


圖 3-20、(a)~(d)為元件在 OM 下從 Top View 方向觀測圖。(a)及(b)是不同大小元件工作區域在尚未經過電阻轉換之前的原始情形，(c)及(d)是元件在施加電壓後經過 100 次 DC Cycle 操作之後的情形。

第四章

結論與未來展望

本論文成功利用簡單製備的方法完成 $\text{Cu}/\alpha\text{-Si}/\text{p}^{++}\text{Si}$ 結構之電阻式記憶體元件，並成功解釋電阻轉換的傳導機制，經過 Forming Process 後元件從高電阻態到低電阻態再回到高電阻態之示意圖可以從圖 4-1 瞭解，提出在非晶矽薄膜轉換層內是由固定的 Metallic Region 以及在改變的 Filament 組成。元件在耐久性與穩定性表現良好，Endurance 可以達到 10^3 ，Retention 在室溫及高溫下 (85°C) 也能夠維持超過 10^4 秒，而電阻轉換的高低電阻比例可以達到 10^6 ，在眾多材料中表現優異。

非晶矽薄膜轉換層內部在 Forming Process 形成 Metallic Region，此部份區域大小和電極材料及薄膜厚度有關，我們並利用三種不同厚度的非晶矽薄膜得到銅電極的銅擴散進入非晶矽層中形成 Metallic Region 的區域隨厚度變化；另外，轉換層靠近底電極部份會形成或是燒斷 Filament 來造成元件高低電阻態的不同，Filament 區域經由 WKB 近似計算得到約只有 5-nm 厚左右，遠小於非晶矽薄膜厚度，並且不受到薄膜厚度改變的影響，此外還利用改變元件工作區域大小來得到，Filament 是藉由形狀而非數量造成電流通過大小的結論，並利用焦耳定律和黑體輻射估算 Filament 半徑 r 的變化約介於 $0.02\ \mu\text{m}$ 和 $0.2\ \mu\text{m}$ 之間，且和文獻對照是合理的。

電流電壓曲線經過 Fitting 之後得到，在高電阻態電流傳導一開始是 Ohmic，隨著電壓增加開始在約 0.4 V 左右進入 SCLC，然後因為 Filament 開始形成造成電流快速上升至設定的限制電流 $100\ \mu\text{A}$ ，在低電阻態電流經由 Filament 是 Direct Tunneling 傳導機制，在正負電壓區間電流和電壓曲線為對稱性且呈一次線性關係；而導通路徑受熱能影響造成 Filament 燒斷回到高電阻態，在高電壓下電流傳導是 Schottky，而低電壓下電流傳導回到 SCLC，如圖 4-2 所示。

Cu/ α -Si/ p^{++} Si 元件的臨界轉換電壓 V_{on} 及 V_{off} 大約在 4.6 V 及 -2 V，以文獻中同樣以 α -Si 作為轉換層材料而上電極使用 Ag 的元件 V_{on} 及 V_{off} 也在 2.6 V~4.5 V 及 -1 V~-4 V， α -Si 和眾多其他轉換層材料電阻式記憶體擁有不到 1V 的操作電壓相比仍偏大，如何使臨界電壓能夠下降，更符合理想的非揮發性記憶體特性是未來努力目標之一，而臨界電壓可能與薄膜內缺陷數目有很大關聯，能隙中缺陷數多，轉換電壓較低，不過訊號保存時間(Retention)比較差，相對的，較少缺陷較有較高轉換電壓，2008 年 Jung Won Seo 等人在 APL 期刊中利用摻雜 Boron 的 α -Si 搭配 Al 上電極製備具有 Bipolar 特性的電阻式元件[64]，其轉換電壓 V_{on} 及 V_{off} 大約在 1V 及 -1.3V；電阻式記憶體在眾多新世代非揮發性記憶體中的因為只要形成 1T1R 或是 1C1R 的結構所以 Cell Size 可以微縮到很小，而如何在後端設計電阻式元件來匹配前段 CMOS 製程，一方面能夠形成高密度的堆積結構如圖 4-3 同時又不受到 Cross Talk 的影響也是未來的方向。

元件製程上利用黃光微影技術定義 Active Region 仍然受到曝光限制的影響，在本實驗中雖然最小元件工作區域 Diameter 可以到達 5 μ m，相較於使用 Shadow Mask 可以到達更小的尺寸，但仍然離預期理想的 RRAM 尺寸有一段距離。能夠克服曝光機台限制，本實驗室在利用側壁(Spacer)技術製備奈米線(Nanowire)方面已有相當的經驗，如圖 4-4，利用氮化矽(Nitride)作遮蔽，垂直向下乾蝕刻非晶矽薄膜製作出矽奈米線結構，此奈米線尺寸可以下降到 100 nm 以下，如圖 4-5 所示；未來，希望能夠利用此一技術結合 RRAM 設計出 cross-bar 的結構，並且更進一步能夠利用 round 及 sharp 的 Nanowire 來討論 Corner Effect 對於此結構的影響；此外，目前文獻上使用 α -Si 作為轉換層的研究仍然不是相當廣泛，已知使用 Cu、Ag 及 Al 作為上電極都能夠達到電阻轉換之效果，未來也希望藉由比較不同材料電極對於 α -Si 薄膜轉換相同或是相異之處，有助於電阻轉換機制解釋更為統整化。

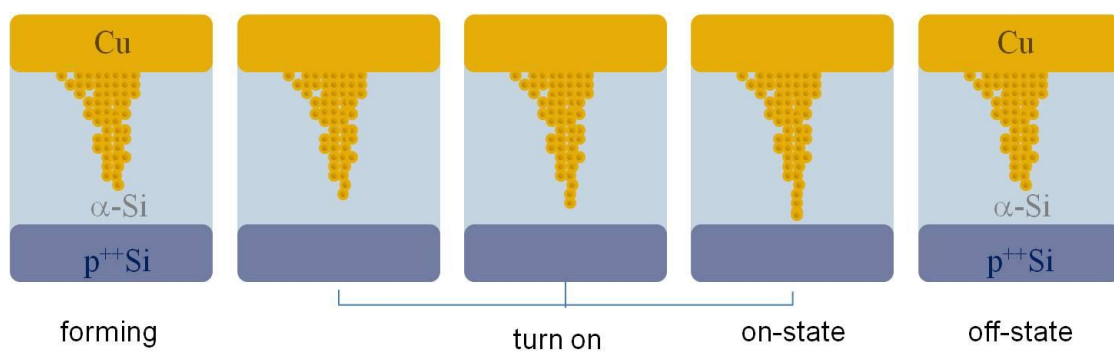


圖 4-1、Cu/α-Si/p⁺⁺Si 元件轉換示意圖。經過 Forming Process 後從高電阻態到低電阻態(Turn On)再回到高電阻態(Turn Off)。

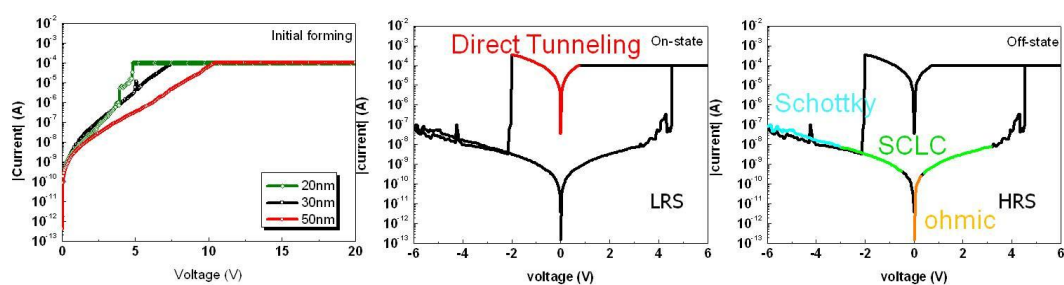


圖 4-2、Cu/α-Si/p⁺⁺Si 元件轉換電性圖。經過 Forming Process 後元件在低電阻態 (LRS)和高電阻態(HRS)之電流傳導機制。

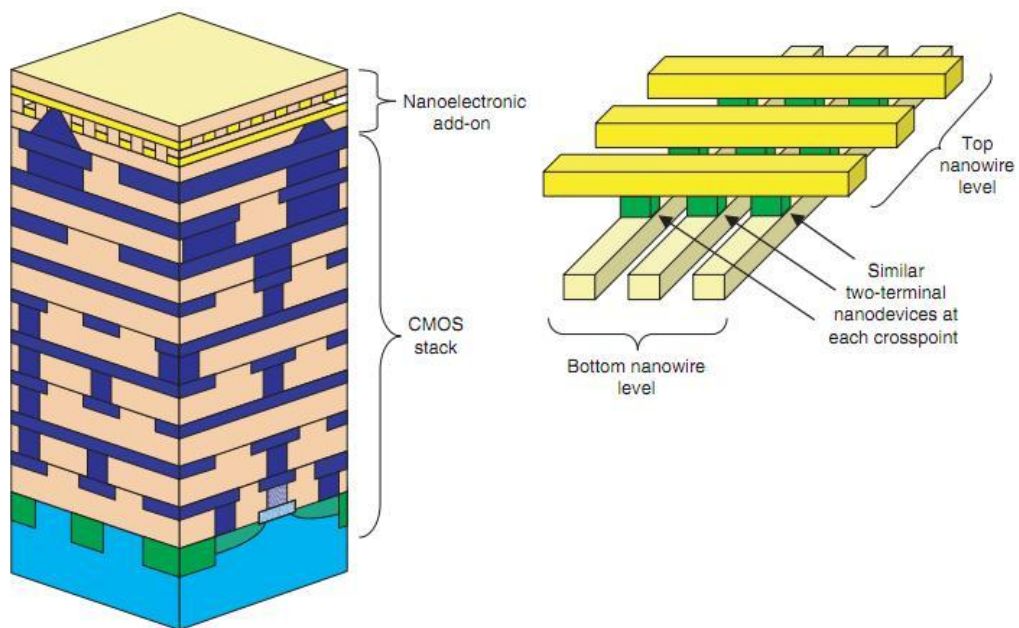


圖 4-3、電阻式記憶體利用點交叉設計和 CMOS 元件形成高密度堆積結構 [62]。

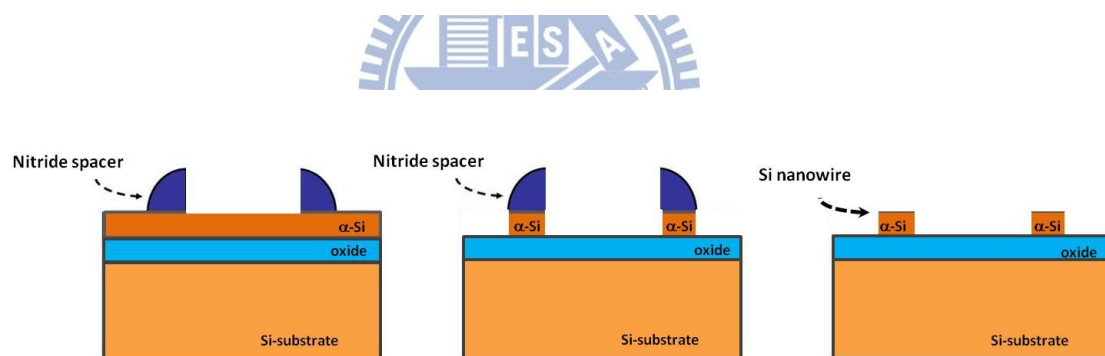


圖 4-4、利用 Nitride 作為 Spacer 製備矽奈米線。

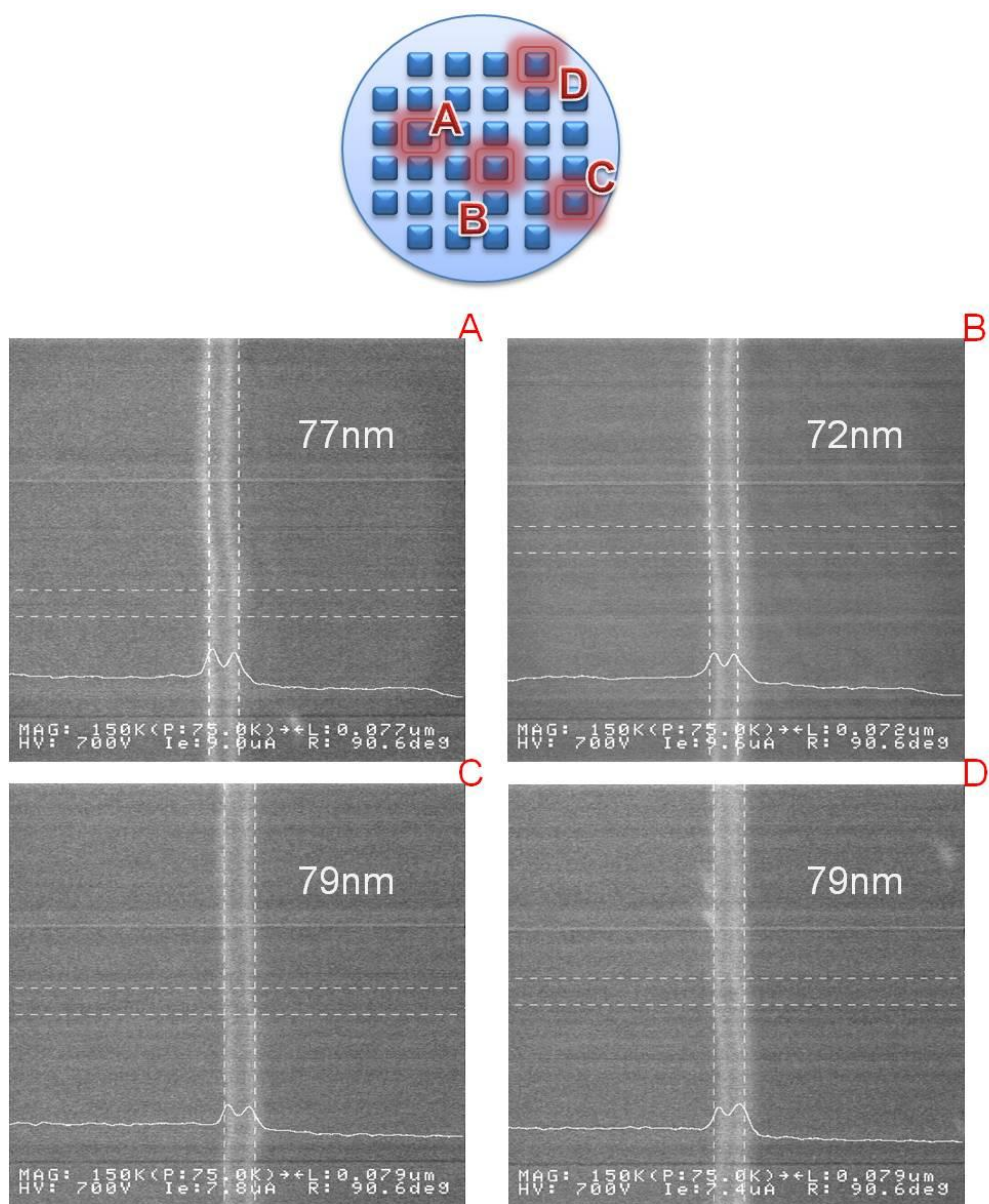


圖 4-5、小於 100-nm 之矽奈米線在 In-line SEM 觀測圖。

參考文獻(References)

- [1]. IC Insights, "Top 10 Forecast to Account for 66% of Capital Expenditures in 2010," www.icinsights.com, Feb 2010.
- [2]. D. Kahng and S. M. Sze, "A floating-gate and its application to memory devices," *The Bell System Technical Journal*, vol. 46, no. 4, pp. 1288-1295, 1967.
- [3]. D. Frohman-Bentchkowsky, "Memory behavior in a floating-gate avalanche-injection MOS (FAMOS) Structure," *Appl. Phys. Lett.*, vol. 18, no. 8, pp. 332-334, 1971.
- [4]. D. Klein, "History of Digital Storage. Part6 : The RAM SSD and NAND," <http://www.micronblogs.com>, Feb 2009.
- [5]. W. Van Winkle, "Solid state drive buyer's guide 6. SLC vs. MLC, continued," <http://www.tomsguide.com>, Nov 2009.
- [6]. C. H. Lee, K. I. Choi, M. K. Cho et al., "A novel SONOS structure of SiO₂/SiN/A12O₃ with TaN metal gate for multi-giga bit flash memories," in *IEDM Tech. Dig.*, pp. 613-616, 2003.
- [7]. J. T. Evans and R. Womack, "An experimental 512-bit nonvolatile memory with ferroelectric storage cell," *IEEE Journal of Solid-State Circuits*, vol. 23, no. 5, pp. 1171-1175, 1988.
- [8]. 呂正傑, 詹世雄, "鐵電記憶體簡介," 奈米通訊第五卷第四期.
- [9]. G. A. Prinz, "Magnetoelectronics," *Science*, vol. 283, no. 5400, pp. 330-330, 1999.
- [10]. S. Lai and T. Lowrey, "OUM - A 180 nm nonvolatile memory cell element technology for stand alone and embedded applications," in *IEDM Tech. Dig.*, pp. 803-806, 2001.

- [11]. J. C. Bruyere and B. K. Chakraverty, "Switching and negative resistance in thin films of nickel oxide," *Appl. Phys. Lett.*, vol. 16, no. 1, pp. 40-43, 1970.
- [12]. W. W. Zhuang, W. Pan, B. D. Ulrich et al., "Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM)," in *IEDM Tech. Dig.*, pp. 193-196, 2002.
- [13]. C. Y. Lin, C. Y. Liu, C. C. Lin, and T. Y. Tseng et al., "Current status of resistive nonvolatile memories," *Journal of Electroceramics*, vol. 21, no. 1, pp. 61-66, 2008.
- [14]. Y. S. Shin, "Non-volatile memory technologies for beyond 2010," *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 156-159, 2005.
- [15]. R. Waser, R. Dittmann, G. Staikov et al., "Redox-based resistive switching memories - nanoionic mechanisms, prospects, and challenges," *Adv. Mater.*, vol. 21, no. 25-26, pp. 2632-2663, 2009.
- [16]. M. H. Chi, H. M. Wu, "Technologies and materials for memory with full compatibility to CMOS," in *9th International Conference on Solid-State and Integrated-Circuit Technology (ICSICT)*, pp. 823-826, 2008.
- [17]. J. Zhang, Y. Q. Ding, X. Y. Xue et al., "A 3D RRAM using stackable 1T1R memory cell for high density application," in *2009 International Conference on Communications, Circuits and Systems Proceedings*, pp. 917-920, 2009.
- [18]. J. F. Kang, B. Sun, B. Gao et al., "Resistive switching behaviors and mechanism of transition metal oxides-based memory devices," in *9th International Conference on Solid-State and Integrated-Circuit Technology (ICSICT)*, pp. 921-924, 2008.
- [19]. M. J. Lee, C. B. Lee, S. Kim et al., "Stack friendly all-oxide 3D RRAM using GaInZnO peripheral TFT realized over glass substrates," in *IEDM Tech. Dig.*,

- pp. 85-88, 2008.
- [20]. J. H. Jo, S. B. Lee, J. H. Lee et al., "Effects of electrode polarity on filament ruptures during unipolar resistance switchings," *Current Applied Physics*, vol. 10, no. 3, pp. 817-820, 2010.
- [21]. U. Russo, D. Ielmini, C. Cagli et al., "Filament conduction and reset mechanism in NiO-based resistive-switching memory (RRAM) devices," *IEEE Trans. Electron Devices*, vol. 56, no. 2, pp. 186-192, 2009.
- [22]. U. Russo, C. Cagli, S. Spiga et al., "Impact of Electrode Materials on Resistive-Switching Memory Programming," *IEEE Electron Device Lett.*, vol. 30, no. 8, pp. 817-819, 2009.
- [23]. D. Ielmini, "Overview of modeling approaches for scaled non volatile memories," *2009 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD 2009)*, 2009.
- [24]. D. Ielmini, C. Cagli, and F. Nardi, "Resistance transition in metal oxides induced by electronic threshold switching," *Appl. Phys. Lett.*, vol. 94, no. 6, 2009.
- [25]. U. Russo, D. Ielmini, C. Cagli et al., "Self-accelerated thermal dissolution model for reset programming in unipolar resistive-switching memory (RRAM) Devices," *IEEE Trans. Electron Devices*, vol. 56, no. 2, pp. 193-200, 2009.
- [26]. H. S. Yoon, I. G. Baek, J. Zhao et al., "Vertical cross-point resistance change memory for ultra-high density non-volatile memory applications," in *2009 Symposium on VLSI Technology, Digest of Technical Papers*, pp. 26-27, 2009.
- [27]. X. Li, C. H. Tung, K. L. Pey et al., "The chemistry of gate dielectric breakdown," in *IEDM Tech. Dig.*, pp. 779-782, 2008.

- [28]. H. Lv, H. Wan, and T. Tang, "Improvement of resistive switching uniformity by introducing a thin GST interface layer," *IEEE Electron Device Lett.*, vol. 31, no. 9, pp. 978-980, 2010.
- [29]. A. Chen, S. Haddad, and Y. C. Wu, "A temperature-accelerated method to evaluate data retention of resistive switching nonvolatile memory," *IEEE Electron Device Lett.*, vol.29, no.1, pp. 38-40, 2008.
- [30]. F. Takano, H. Shima, H. Muramatsu et al., "Reactive ion etching process of transition-metal oxide for resistance random access memory device," *Jpn. J. Appl. Phys.*, vol. 47, no. 8, pp. 6931-6933, 2008.
- [31]. H. Shima, F. Takano, H. Muramatsu et al., "Voltage polarity dependent low-power and high-speed resistance switching in CoO resistance random access memory with Ta electrode," *Appl. Phys. Lett.*, vol. 93, no. 11, 2008.
- [32]. H. S. P. Wong, S. Raoux, S. Kim et al., "Phase change memory," *Proceedings of the IEEE*, vol. 98, no. 12, pp. 2201-2227, 2010.
- [33]. J. J. Yang, J. Borghetti, D. Murphy et al., "A family of electronically reconfigurable nanodevices," *Adv. Mater.*, vol. 21, no. 37, pp. 3754-3758, 2009.
- [34]. J. H. Oh, K. C. Ryoo, S. Jung et al., "Effects of aluminum layer and oxidation on TiO₂ based bipolar resistive random access memory (RRAM)," 2010 Silicon Nanoelectronics Workshop.
- [35]. C. P. Hsiung, H. Wei. Liao, J. Y. Gan et al., "Formation and Instability of Silver Nanofilament in Ag-Based Programmable Metallization Cells," *Acs Nano*, vol. 4, no. 9, pp. 5414-5420, 2010.
- [36]. C. Nauenheim, C. Kugeler, A. Rudiger et al., "Nano-crossbar arrays for nonvolatile resistive RAM (RRAM) applications," in *8th IEEE Conf.*, pp.

464-467, 2008.

- [37]. L. E. Yu, S. Kim, M. K. Ryu et al., "Structure effects on resistive switching of Al/TiO_x/Al devices for RRAM applications," *IEEE Electron Device Lett.*, vol. 29, no. 4, pp. 331-333, 2008.
- [38]. N. Xu, B. Gao, L. F. Liu et al., "A unified physical model of switching behavior in oxide-based RRAM," in *2008 Symposium on VLSI Technology, Digest of Technical Papers*, pp. 100-101, 2008.
- [39]. Yu Chao Yang, Feng Pan, Qi Liu et al., "Fully room-temperature-fabricated nonvolatile resistive memory for ultrafast and high-density memory application," *Nano Lett.*, vol. 9, no. 4, pp. 1636-1643, 2009.
- [40]. B. Gao, S. Yu, N. Xu et al., "Oxide-based RRAM switching mechanism: A new ion-transport-recombination model," in *IEDM Tech. Dig.*, pp. 563-566, 2008.
- [41]. W. W. Zhuang, W. Pan, B. D. Ulrich et al., "Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM) ," in *IEDM Tech. Dig.*, pp. 193-196, 2002.
- [42]. C. Y. Lin, M. H. Lin, M. C. Wu et al., "Improvement of resistive switching characteristics in SrZrO₃ thin films with embedded Cr layer," *IEEE Electron Device Lett.*, vol. 29, no. 10, pp. 1108-1111, 2008.
- [43]. C. H. Cheng, Albert Chin, F. S. Yeh et al., "Novel Ultra-Low Power RRAM with Good Endurance and Retention," in *2010 Symposium on VLSI Technology, Digest of Technical Papers*, pp. 85-86, 2010.
- [44]. Y. Bernard, P. Gonon, and V. Jousseau, "Resistance switching of Cu/SiO₂ memory cells studied under voltage and current-driven modes," *Appl. Phys. Lett.*, vol. 96, no. 19, pp. 193502-193502-3 , 2010.

- [45]. H. D. Kim, H. M. An, K. C. Kim et al., "Large resistive-switching phenomena observed in Ag/Si(3)N(4)/Al memory cells," *Semicond. Sci. Technol.*, vol. 25, no. 6, pp. 065002, 2010.
- [46]. G. Dejin, Z. Lijie, H. Ru et al., "A novel nitrogen-doped SiO_x resistive switching memory with low switching voltages," in *2010 Silicon Nanoelectronics Workshop*, pp.1-2 , 2010.
- [47]. K. C. Liu, W. H. Tzeng, K. M. Chang et al., "Effect of ultraviolet light exposure on a HfO(x) RRAM device," *Thin Solid Films*, vol. 518, no. 24, pp. 7460-7463, 2010.
- [48]. C. Kugeler, M. Meier, R. Rosezin et al., "High density 3D memory architecture based on the resistive switching effect," *Solid-State Electronics*, vol. 53, no. 12, 2009.
- [49]. F. Zhuge, W. Dai, C. L. He et al., "Nonvolatile resistive switching memory based on amorphous carbon," *Appl. Phys. Lett.*, vol. 96, no. 16, pp.163505-163505-3, 2010.
- [50]. M. Jafar and D. Haneman, "Switching in amorphous-silicon devices," *Physical Review B*, vol.49 , no. 19, pp. 13611-13615, 1994.
- [51]. S. W. Jones, "Diffusion in silicon," IC Knowledge LLC, 2000.
- [52]. S. Coffa, J. M. Poate, D. C. Jacobson et al., "Determination of diffusion mechanisms in amorphous-silicon," *Physical Review B*, vol. 45, no. 15, pp. 8355-8358, 1992.
- [53]. J. G. Simmons, "Electric Tunnel Effect between Dissimilar Electrodes Separated by a Thin Insulating Film," *J. Appl. Phys.*, vol. 34, no. 9, pp. 2581-2590, 1963.
- [54]. H. B. Michaelson, "The work function of the elements and its periodicity," *J.*

- Appl. Phys.*, vol. 48, no. 11, pp. 4729-4733, 1977.
- [55]. J. M. Shannon, K. J. B. M. Nieuwesteeg, "Tunneling effective mass in hydrogenated amorphous silicon," *Appl. Phys. Lett.*, vol. 62, no. 15, pp. 1815-1817, 1993.
- [56]. E. Steinsland, T. Finstad, and A. Hanneborg, "Etch rates of (100), (111) and (110) single-crystal silicon in TMAH measured in situ by laser reflectance interferometry," *Sensors and Actuators A:Physical*, vol. 86, no. 1-2, pp. 73-80, 2000.
- [57]. M. Kramkowska and I. Zubel, "Silicon anisotropic etching in KOH and TMAH with modified surface tension," *Procedia Chemistry, Proceedings of Eurosensors XXIII Conference, Lozanna*, vol. 1, no. 1, pp. 774-777, 2009.
- [58]. Virginia Semiconductor, Inc., "Wet-chemical etching and cleaning of silicon," *Journal of Crystal Growth*, vol. 22401, pp. 1371-1377, 2003.
- [59]. Y. Dong, G. Yu, M. C. McAlpine et al., "Si/a-Si core/shell nanowires as nonvolatile crossbar switches," *Nano Lett.*, vol. 8, no. 2, pp. 386-391, 2008.
- [60]. S. H. Jo and W. Lu, "CMOS compatible nanoscale nonvolatile resistance, switching memory," *Nano Lett.*, vol. 8, no. 2, pp. 392-397, 2008.
- [61]. S. H. Jo, K. H. Kim, and W. Lu, "Programmable resistance switching in nanoscale two-terminal devices," *Nano Lett.*, vol. 9, no. 1, pp. 496-500, 2009.
- [62]. S. H. Jo, K. H. Kim, and W. Lu, "High-density crossbar arrays based on a Si memristive system," *Nano Lett.*, vol. 9, no. 2, pp. 870-874, 2009.
- [63]. S. H. Jo, T. Chang, K. H. Kim et al., "Experimental, modeling and simulation studies of nanoscale resistance switching devices," in *9th IEEE Conference on Nanotechnology*, pp. 493-495, 2009.
- [64]. J. W. Seo, S. J. Baik, S. J. Kang et al., "Evidence of Al induced conducting

filament formation in Al/amorphous silicon/Al resistive switching memory device," *Appl. Phys. Lett.*, vol. 96, no. 5, pp. 053504-053504-3, 2010.

[65]. B. S. Kang, D. Cha, S. Lee et al., "Resistive switching and transport characteristics of Cu/a-Si/Si devices," *Journal of the Korean Physical Society*, vol. 58 ,no. 5, pp. 1156-1159, 2011.

[66]. K. K. Likharev, "Hybrid CMOS/nanoelectronic circuits: Opportunities and challenges," *Journal of Nanoelectronics and Optoelectronics*, vol. 3, no. 3, pp. 203-230, 2008.

[67]. P. G. Le Comber, A.E. Owen, W. E. Spear et al., "The switching mechanism in amorphous silicon junctions," *Journal of Non-Crystalline Solids*, vol. 77-78, no. 2, pp. 1373-1382, 1985.

