

國立交通大學

管理學院科技管理學程

碩士論文

利用專利分析與成長曲線評估半導體奈米製程發展
以 HKMG, Strained Silicon, Nanolithography, TSV 為例

Patent Analysis and Logistic Growth Model for the Development
of Semiconductor—HKMG, Strained Silicon, Nanolithography,
TSV as Examples

研究生：周鴻揚

指導教授：袁建中 教授

中華民國 100 年 6 月

利用專利分析與成長曲線評估半導體奈米製程發展
以 HKMG, Strained Silicon, Nanolithography, TSV 為例

Patent Analysis and Logistic Growth Model for the Development of
Semiconductor—HKMG, Strained Silicon, Nanolithography, TSV as Examples

研究生：周鴻揚

Student : Eric, Hung-Yang Chou

指導教授：袁建中

Advisor : Dr. Benjamin J.C. Yuan

國立交通大學
管理學院科技管理學程
碩士論文



Submitted to Graduate Institute of Management of Technology
College of Management

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Business Administration

in

Management of Technology

June 2011

Hsinchu, Taiwan, Republic of China

中華民國 100 年 6 月

利用專利分析與成長曲線評估半導體奈米製程發展
以 HKMG, Strained Silicon, Nanolithography, TSV 為例

學生：周鴻揚

指導教授：袁建中教授

國立交通大學管理學院科技管理學程

摘 要

半導體產業是一個新興而且是一個需要高度技術和創新的產業，並且是屬於知識經濟的範疇。知識經濟是指”以知識資源的擁有、配置、產生和使用，為最重要生產因素的經濟型態，其中，知識包括人類迄今為止創造的所有知識，以科學技術、管理和行為科學為最重要的部分。其具體形式則表現在人力資源和科技上。專利在知識經濟中扮演著重要的角色，而核心技術的專利指標與業的發展是密不可分的。有著創新發展的專利是產業和企業再成長的重要關鍵因素。但隨着物理極限的到來，半導體製程技術是否可遵循過往的成長模式繼續發展下去便成為整體產業的重要關鍵因素。本研究即以量化半導體製程之核心技術專利並結合成長曲線來探討半導體產業是否能再次由新的技術創新和應用將產業從現階段再次延伸至新的成長期為研究標的。

本研究使用高介電金屬閘極、應變矽、奈米微影、矽穿孔等四種半導體奈米製程專利技術生命週期之觀點並結合羅吉斯及費雪成長模型，對半導體奈米製程技術發展進行趨勢的預測。獲得之主要結論有：第一、每一個新的半導體技術結點最終都受限於該相關的物理或化學極限，一旦突破某個界限之後，其效能的成長就變的非常的快速；而當其接近上限時，其效能的增進就變的非常的困難，成長也再度變得緩慢下來。第二、從羅吉斯成長模型和費雪成長模型的預測結論也可看出65nm到40nm的技術導成熟期預計為2005~2008年間。與實際的量產和技術運用時間2008年和2009年初來看預測結果，此模型是有相當程度的準確性。因此半導體的特性是相當符合使用此模型來進行技術預測。

關鍵字：高介電金屬閘極、應變矽、奈米微影、矽穿孔、羅吉斯成長模型、費雪成長模型、專利分析

Patent Analysis and Logistic Growth Model for the Development of Semiconductor—HKMG, Strained Silicon, Nanolithography, TSV as Examples

Student: Eric, Hung-Yang Chou

Advisors: Dr. Benjamin J.C. Yuan

Institute of Management of Technology
National Chiao Tung University

ABSTRACT

Semiconductor industry is classified as "knowledge economy" with characteristics of being technology-intensive and highly innovative. The knowledge economy refers to the use of knowledge technologies such as knowledge engineering and knowledge management to produce economic benefits. Patents play significant parts in knowledge economy; patents that involves core technologies are critical drivers that move the progress of semiconductor industry. With semiconductor material reaching physical dilemma, question that whether semiconductor industry can still move ahead following past fast growth pattern is worthwhile to be revisited. This research analyses four key patents of semiconductor technology which are HKMG, Strained Silicon, Nanolithography and TSV, and combines these analysis along with Logistic Model and Fisher-Pry Model to forecast the future development of semiconductor industry.

Based on the study, onclusions can be drawn as two main points. Point 1 is physical and material limitations will slow down the development of process node in semiconductor industry. However, growth pattern can then once again follow S curve with breakthrough of new material and process advancement. Point 2 is theoretical forecast that timeframe that advance node such as 65nm to 40nm technologies will be mature for use in mass production coincides with the timeframe that these technologies are actually applied in mass production. Therefore, the Logistic Model and Fisher-Pry Model are useful for technology forecast in semiconductor industry up to 40nm node..

Keywords: HKMG, Strained Silicon, Nanolithography, TSV, Logistic Growth Model, Fisher-Pry Growth Model, Patent Analysis

誌 謝

首先要感謝指導老師袁教授建中的悉心指導使得本論文能如期完成。藉由袁老師的諄諄指導，使自己能在論文寫作期間能夠不斷修正以致能達成所設定的研究目標。再者需感謝虞教授孝成與賴教授奎魁，在論文口試時不吝給予寶貴的意見使本研究內容更趨完整。而在求學生涯中，也要感謝交大科技管理研究所的所有老師，使自己能從學習中不斷成長，獲益匪淺。

感謝母親對教育的堅持，妻子文英在這段求學期間對家庭的付出及寶貝睿博和睿翔的乖巧順服，能讓自己在工作與課業之外無後顧之憂才能如期的將學業以及論文完成。最後也是最重要的就是感謝父神的保守，因為“我靠着那加給我力量的，凡事都能作”（腓立比書4：13）；願一切榮耀都歸給坐寶座的父神。



目錄

摘要.....	i
Abstract.....	ii
誌謝.....	iii
目錄.....	iv
表目錄.....	vii
圖目錄.....	viii
第一章 緒論.....	1
1.1 研究背景及動機.....	1
1.2 研究對象與目的.....	2
1.3 研究步驟與研究架構.....	2
1.3.1 研究步驟.....	2
1.3.2 研究方法與架構.....	3
1.3.3 研究結論與建議.....	5
第二章 文獻回顧與探討.....	6
2.1 知識與經濟概述.....	6
2.1.1 知識經濟的特性.....	6
2.1.2 高科技的定義.....	7
2.2 產業的定義與產業概論.....	8
2.2.1 產業定義.....	8
2.2.2 產業概論.....	9
2.3 長波理論概述.....	10
2.3.1 長波理論與創新.....	11
2.3.2 創新理論之源起.....	11
2.4 生命週期.....	13
2.4.1 生命週期與組織層級關係.....	13
2.4.2 生命週期與策略層級關係.....	13
2.4.3 產業生命週期.....	14
2.5 技術預測理論.....	16
2.5.1 技術預測定義.....	16
2.5.2 技術預測的重要性.....	16
2.5.3 技術預測類型.....	18
2.5.4 技術預測要點及方法選擇.....	19
2.6 生命週期模型分析法.....	20
2.6.1 S成長曲線.....	21
2.6.2 成長曲線的重要性.....	22
2.7 專利分析與目的.....	23
2.7.1 專利的定義.....	23
2.7.2 專利的特性.....	24
2.7.3 專利分析之目的.....	25
2.7.4 專利分析之應用時機.....	26
2.7.5 專利技術生命週期.....	27
2.7.6 專利與 S 曲線.....	29

第三章 半導體產業及半導體奈米製程技術發展現況.....	31
3.1 半導體發展簡史.....	31
3.2 Moore定律.....	33
3.3 半導體產業鏈.....	34
3.4 半導體產品之主要分類.....	37
3.5 半導體奈米製程技術發展現況.....	38
3.5.1 高介電質閘極 (High K Metal Gate/HKMG).....	41
3.5.2 應變矽 (Strained Silicon).....	43
3.5.3 奈米微影技術 (Nano-lithography).....	45
3.5.4 封裝技術(Packaging Technology).....	47
3.5.4.1 SOC (System-on-Chip)和SIP (System-in-Package).....	47
3.5.4.2 矽穿孔封裝技術 (Through Silicon Via Package).....	49
第四章 成長模型與半導體奈米技術專利資訊分析.....	52
4.1 成長模型簡述.....	52
4.1.1 Logistic 模型應用與分析.....	53
4.1.2 Logistic 模型公式說明.....	54
4.1.3 Fisher-Pry 模型應用與分析.....	55
4.2 High K Metal Gate技術生命週期分析.....	55
4.2.1 Logistic 模型結果.....	55
4.2.2 Fisher-Pry 模型結果.....	57
4.3 193nm Immersion 微影技術生命週期分析.....	58
4.3.1 Logistic 模型結果.....	58
4.3.2 Fisher-Pry 模型結果.....	60
4.4 Strained Silicon技術生命週期分析.....	61
4.4.1 Logistic 模型結果.....	61
4.4.2 Fisher-Pry 模型結果.....	63
4.5 Through Silicon Via (TSV)技術生命週期分析.....	64
4.5.1 Logistic 模型結果.....	66
4.5.2 Fisher-Pry 模型結果.....	66
4.6 半導體奈米技術成長曲線分析.....	67
第五章 研究結果與半導體技術發展分析.....	68
5.1 關鍵奈米技術成長曲線結果分析.....	68
5.2 奈米製程市場面與成長曲線結果分析.....	69
5.3 奈米製程營收額與成長曲線結果分析.....	71
5.4 半導體技術未來發展之挑戰.....	72
5.4.1 未來半導體微影技術之發展趨勢.....	73
5.4.2 未來半導體電晶體之發展趨勢.....	75
第六章 研究結論與建議.....	77
6.1 研究結論.....	77
6.2 研究限制與建議.....	77
6.3 未來研究方向.....	78
參考文獻.....	79
一、 英文文獻.....	79
二、 中文文獻.....	79

三、 網站資料..... 81



表目錄

表 2-1：相關研究者對於產業之定義.....	8
表 2-2：週期現象與組織層及之關係.....	13
表 2-3：生命週期影響與策略層級之關係.....	14
表 2-4：產業生命週期與產業特徵之預測.....	15
表 2-5：Martino 技術預測分類方法.....	18
表 2-6：Porter 技術預測分類方法.....	18
表 2-7：技術預測方法選擇條件.....	20
表 2-8：專利分析價值相關研究比較表.....	25
表 2-9：專利發展與技術生命週期圖說明.....	28
表 3-1：半導體發展歷程表.....	32
表 3-2：半導體製程微小化進程.....	40
表 4-1：成長模型類型.....	52
表 4-2：Pearl模型與Gompertz 模型之比較.....	53
表 4-3：HKMG 技術生命週期各個階段.....	57
表 4-4：193nm Immersion 微影技術生命週期各個階段.....	60
表 4-5：Strained Silicon 技術生命週期各個階段.....	63
表 4-6：TSV 3D Package 技術生命週期各個階段.....	66
表 4-7：半導體奈米技術成長曲線結果分析表.....	67
表 5-1：TSMC各製程佔營收比例.....	70
表 5-2：45奈米以下微影技術一覽表.....	74



圖目錄

圖 1-1: 研究步驟.....	3
圖 1-2: 研究架構.....	5
圖 2-1: 康得拉季耶夫經濟長波理論圖.....	10
圖 2-2: 技術變革週期圖.....	12
圖 2-3: 產業生命週期.....	14
圖 2-4: S 曲線	22
圖 2-5: 專利發展與技術生命週期圖.....	28
圖 2-6: 技術進步軌跡圖.....	29
圖 3-1: Moore定律與電晶體數目示意圖.....	34
圖 3-2: 半導體產業鏈示意圖.....	34
圖 3-3: 半導體產品分類圖.....	38
圖 3-4: 半導體製造流程.....	39
圖 3-5: 磚牆屏障.....	40
圖 3-6: 臺積電製程技術地圖.....	41
圖 3-7: 傳統CMOS和HKMG比較圖.....	42
圖 3-8: HKMG 製作方式示意圖.....	42
圖 3-9: 等效氧化層厚度-SiO ₂ v.s High K	43
圖 3-10: 應變矽示意圖.....	44
圖 3-11: 為驅動電流(Ion)與技術節點關係圖.....	45
圖 3-12: 微影技術地圖.....	46
圖 3-13: 浸潤式微影技術示意圖.....	47
圖 3-14: 後摩爾定律世代概念圖.....	48
圖 3-15: SOC與SIP的比較圖.....	49
圖 3-16: TSV封裝示意圖.....	51
圖 4-1: Logistic曲線分析圖示.....	54
圖 4-2: High K Gate/High K Metal Gate歷年專利件數分析圖示.....	56
圖 4-3: High K Gate/High K Metal Gate技術生命週期圖示.....	56
圖 4-4: High K Gate/High K Metal Gate成長曲線圖示.....	57
圖 4-5: High K Gate/High K Metal Gate Fisher-Pry圖示.....	58
圖 4-6: 193nm Immersion 歷年專利件數分析圖示.....	59
圖 4-7: 193nm Immersion技術生命週期圖示.....	59
圖 4-8: 193nm Immersion成長曲線圖示.....	60
圖 4-9: 193nm Immersion Fisher-Pry圖示.....	61
圖 4-10: Strained Silicon 歷年專利件數分析圖示.....	62
圖 4-11: Strained Silicon技術生命週期圖示.....	62
圖 4-12: Strained Silicon成長曲線圖示.....	63
圖 4-13: Strained Silicon Fisher-Pry圖示.....	64
圖 4-14: TSV 3D Package歷年專利件數分析圖示.....	65
圖 4-15: TSV 3D Package技術生命週期圖示.....	65
圖 4-16: TSV 3D Package成長曲線圖示.....	66
圖 4-17: TSV 3D Package Fisher-Pry圖示.....	67
圖 5-1: 半導體大廠先進製程導入時程規劃.....	70
圖 5-2: 全球製程技術產能分佈趨勢圖.....	71

圖 5-3：TSMC製程技術結點年銷售額趨勢圖(2010~2018)..... 72
圖 5-4：半導體技術發展之趨勢..... 73
圖 5-5：電晶體發展趨勢..... 75



第一章 緒論

本章說明本研究的研究背景及動機，研究標的與目的，研究方法步驟與流程以及本研究之研究限制，分述如下：

1.1 研究背景及動機

半導體為現今所有電子工業的基礎，其中的積體電路更是被稱為工業之米，從個人電腦的興起、網際網路革命、行動通訊的發展，乃至數據語音通訊的結合，半導體技術與產品均扮演著最為關鍵的角色，它不僅使科技更加的融入人們的生活，亦影響到現代社會的面貌與人們的日常生活方式，誠如 Intel 的創辦人高登摩爾在 1965 年即曾預言的情景：“積體電路的影響將會非常深遠，整個人類的社會都能普遍享受到電子技術所帶來的福祉，而每個人都會瞭解其好處，積體電路也將產生一些美妙的產品例如家庭電腦、可自動控制的汽車、可攜帶的通訊設備、電話網路交換器與執行數據處理等”。(力世管理顧問股份有限公司：http://www.pwcm.com.tw/reports01_1.htm)

回顧半導體發展歷史，從 1958 年積體電路 IC 推出後，最初只是應用在國防軍事雷達上，取代傳統真空管的功能，直到 1971 年後 Intel 推出一系列功能不斷提昇的微處理器後，才真正開啟了半導體黃金時代。從 70 年代應用於迷你電腦的 8 位元處理器、70 年代末期開始應用於工作站的 16 位元、80 年代末逐漸成熟的 32 位元處理器 80386，並開啟了個人電腦應用的新里程碑。每一次的景氣成長高峰都是伴隨著 Intel 所推出的微處理器世代衍生而來，此種藉由不斷創新與推出新一代產品，以推展出另一景氣成長高峰的成長循環模式，不但完全遵守摩爾定律，並形成一種半導體產業特有的矽週期產業景氣循環現象，主宰著過去近 30 年來全球半導體產業的景氣成長趨勢。

就全球半導體的市場規模而論，在 1979 年 3 吋與 4 吋晶圓為主流的時代，第一次突破 100 億美元，1989 年突破 500 億美元，而經歷了 15 年的應用發展後，晶圓尺寸也由 5 吋、6 吋進展到 8 吋的時代，在 1994 年更突破 1000 億美元的關卡而在 1971 年至 1975 年、1975 年到 1981 年、1981 年到 1985 年、1985 年到 1990 年、1991 年到 1995 年。以全球半導體市場規模成長率的變化幅度來看，從 1975 年的負 6% 的成長，到 1984 年高達 46% 的成長，在這 9 年的平均複合成長率為 20.4%，而整個成長率由低點至高點的起伏變化，恰形成一個景氣循環的週期。而在接下來的一個景氣週期中，從 1985 年到 1995 年的 10 年中，年平均複合成長率亦同樣維持在 20.8%。但從 2000 年開始，半導體產業的景氣由一致性的看好到獲利節節衰退的景氣反轉，2001~2007 年全球半導體市場之 CAGR 為 10.7%。在無總體經濟突然惡化之假設基礎下，WSTS 及 MIC 預估半導體的成長率將自 2010 年的 10% 逐年緩降。如此的變化，使人開始思考究竟這是單純的半導體景氣循環？還是產業結構有所改變了呢？

相對於其他產業，半導體產業是一個新興而且是一個需要高度技術和創新的產業，並且是屬於知識經濟的範疇。知識經濟是指“以知識資源的擁有、配置、產生和使用，為最重要生產因素的經濟型態，其中，知識包括人

類迄今為止創造的所有知識，以科學技術、管理和行為科學為最重要的部分。其具體形式則表現在人力資源和科技上。專利在知識經濟中扮演著重要的角色，而核心技術的專利指標與半導體業的發展是密不可分的。有著創新發展的專利是產業和企業再成長的重要關鍵因素。也因此而使學生產生了以量化半導體製程之核心專利並結合成長曲線來探討半導體產業是否能再次由新的技術創新和應用將產業從現階段再次延伸至新的成長期的課題。

1.2 研究對象與目的

本研究將運用生命週期理論結合專利分析，以半導體奈米製程為標的來分析，研究半導體產業的技術及其發展展望，並依結果提出建議。

1. 將以半導體制程技術專利為標的，由專利分析並結合產業生命週期理論形成的技術發展估計曲線，進一步推估各階段之技術生命週期發生的時間點。
2. 根據生命週期曲線的預測來探討半導體技術及產業未來發展趨勢。

1.3 研究步驟與研究架構

1.3.1 研究步驟

本研究之研究步驟如圖 1-1 所示，根據所制定之主題與研究目的來蒐集，整理與探討相關文獻。依據主題及目的建立研究架構；根據研究架構中的流程對研究標的及所蒐集的文獻理論做詳盡之探討。最後提出研究結論並建議後續對此題目有興趣之研究者的研究方向。

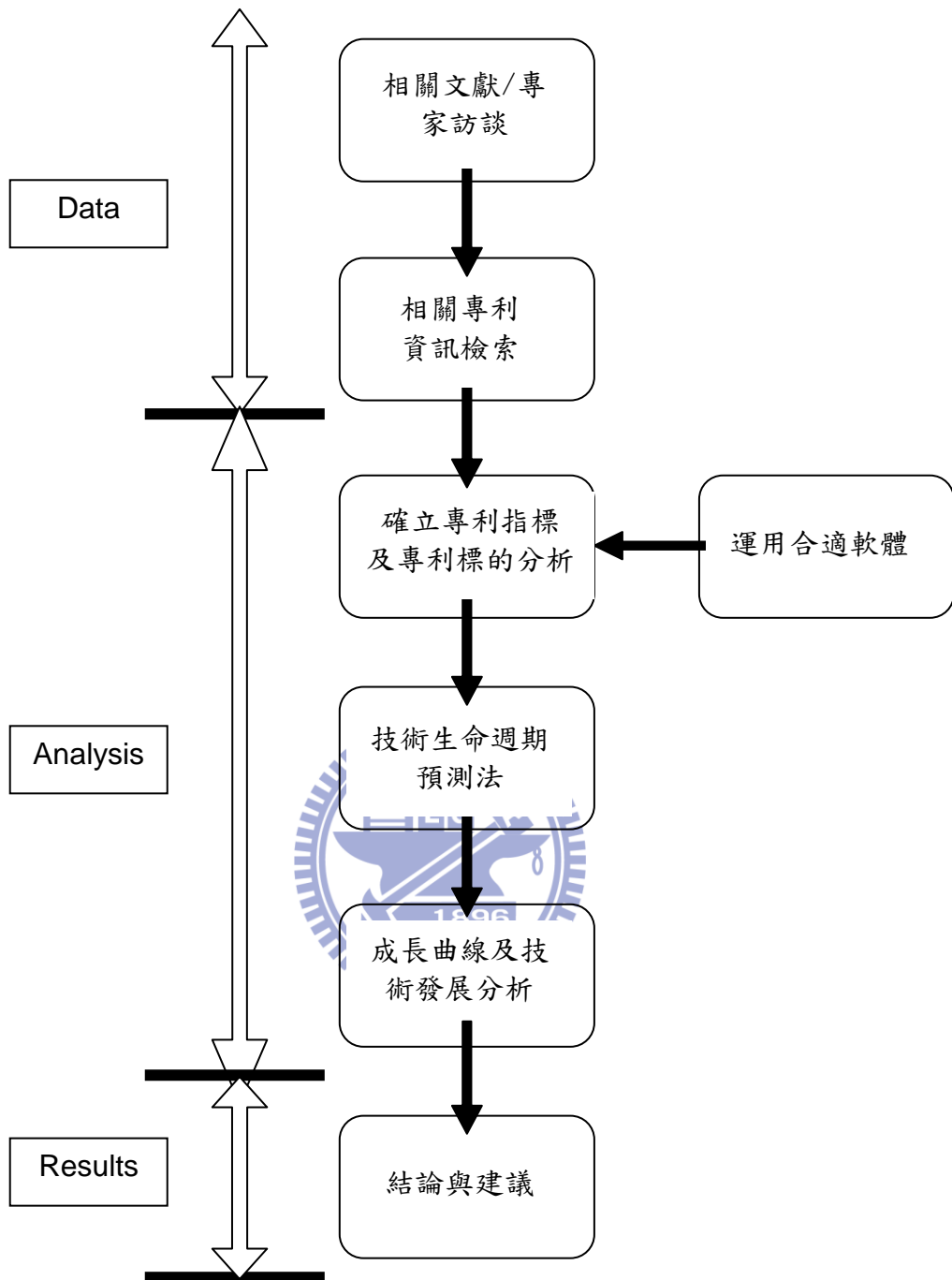


圖 1-1: 研究步驟

1.3.2 研究方法與架構

本研究分析主要是透過文獻調查和與研究方法，建立探討影響本研究架構，如圖1-2所示。透過調查文獻來獲得資料，從而全面地、正確地瞭解研究標的。本研究的資料取得來源為次及資料的收集：包括網站，期刊，論文，相關研究報告等等。

首先本研究使用次級資料閱讀以及專家訪談法進行專利調查，了解該專利相關的關鍵字群與核心專利指標，定義出專利指標的技術範疇。並以專利檢索軟體 Patenet Guider 進行專利技術分析，以了解目前半導體奈米製程關鍵專利之發展的情形。專家訪談法方面，學生與所服務公司中的三個與奈米製程技術有相關的單位主管進行訪談時來確立奈米製程關鍵技術。此三個與技術有相關認知的單位分別為，先進製程開發處，專利智財處及技術行銷處。透過與其主管訪談進而確立了 High K Metal Gate, Strained Silicon, 193nm 黃光微影技術以及後段矽穿孔封裝為半導體奈米製程之關鍵技術。

其後再利用美國專利資料庫 (USPTO) 所登錄的關鍵字群與核心專利標的之專利數，運用技術生命週期預測法繪製出奈米關鍵製程技術發展趨勢曲線。並以 Rochefeller 大學依照羅吉斯成長模型所開發出來的分析工具 Loglet Lab 2—羅吉斯成長模型 (logistic growth model) 軟體匯出成長曲線。最後再輔以羅吉斯成長模型分析出來的技術生命週期與既有文獻關於生命週期的比較推論出半導體奈米製程技術發展的趨勢。

本研究選用美國專利資料檢索系統 (US Patent Full-Text and Full-Page Image Databases)。美國專利商標局 (USPTO) 網站之專利資料庫提供美國專利全文與全頁影像資料 (Patent Full-Text and Full-Page Image Databases)。其專利文件分為「已經授予」(Patent Grants) 及「申請中」(Patent Application) 兩類，其中，「已經授予」之專利全頁影像資料涵蓋年份遠溯自 1790 年，而全文資料則溯自 1976 年起；另一方面，因美國近年始實施早期公開制度，故專利資料庫之「申請中」專利全頁影像資料從 2001 年 3 月起。其中，美國每年約有 20 萬件申請案，約有 40% 係由外國人所取得。德國學者 Hariolf Grupp 及 Ulrich Schmoch (1999) 曾指出，在專利全球化的時代，各國重要研發成果均會至美國申請專利。因此，本研究以美國做為主要專利檢索之市場。

在專利分析資料庫方面，透過美國專利資料庫 (United States Patent Trademark Office, USPTO) 的檢索為分析地域來取得有效且需要的資料。藉由使用關鍵字 "High K Gate" OR "High K Metal Gate" 對高介電係數閘極進行專利檢索。以 "193nm Immersion Lithography" OR "Immersion Lithography" 對浸潤式黃光技術進行專利檢索。以 "Strained Silicon" 對應變矽技術進行專利檢索以及使用 "Through Silicon Via" OR "3D IC", "TSV" OR "3D IC", "TSV" OR "3D Package" 以及 "Through Silicon Via" OR "Multi Chip Package" 對後段矽穿透封裝技術進行專利檢索。

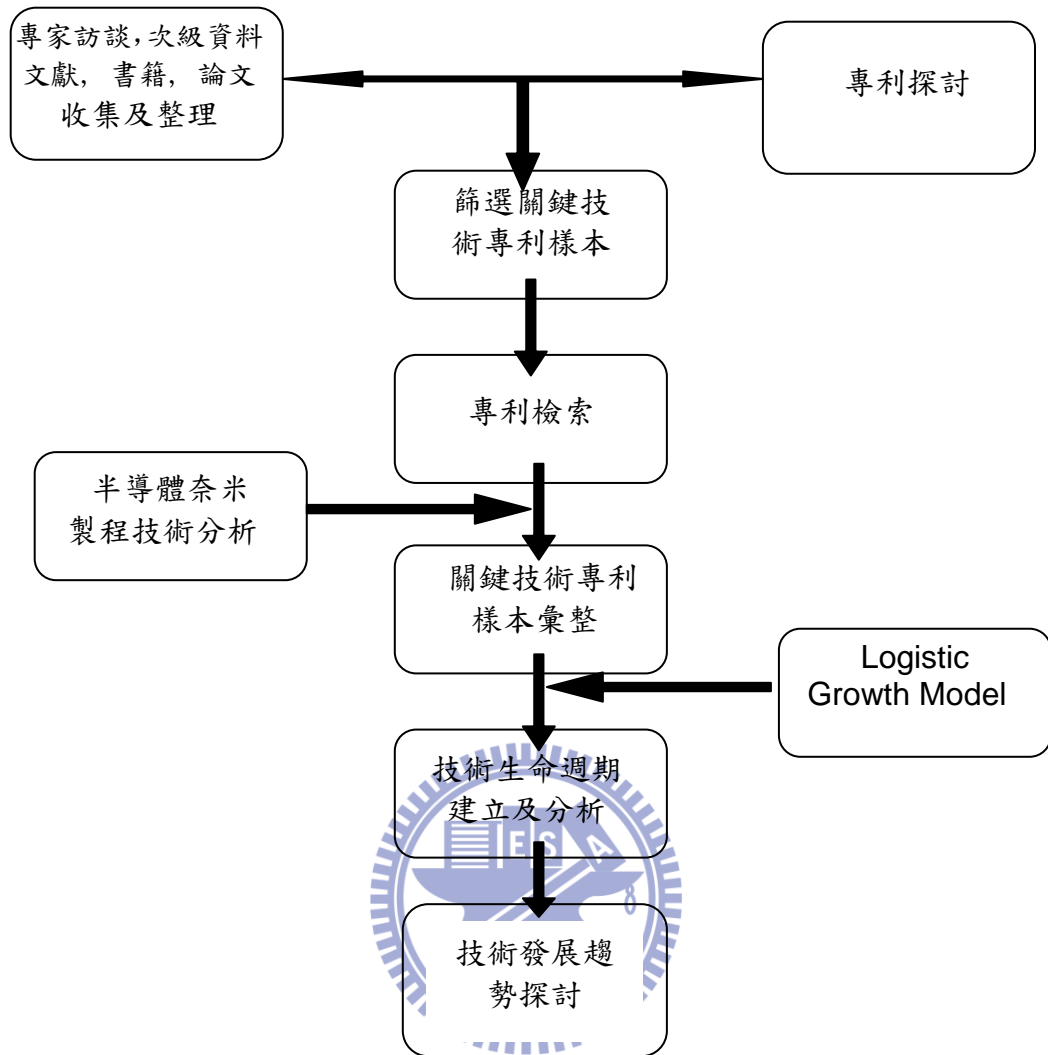


圖 1-2: 研究架構

1.3.3 研究結論與建議

根據研究結論提出對半導體產業目依據由製程專利所處的生命週期階段並根據本研究對半導體奈米製程技術發展提看法及對後續研究者的參考與建議。

第二章 文獻回顧與探討

2.1 知識與經濟概述

雖然早在古希臘就有了經濟一詞，但真正的經濟分析並未隨着人類經濟活動的起源而開始。在亞當斯密前的社會由於經濟理論和商品經濟不發達，即使人們對經濟問題有議論，它們也都是局部和零碎的。經濟在那時不是用來研究如何使社會有效率和有效益為目的，而是被用來服務政治，家族，文化，倫理道德或特殊個人為目的。

隨着資本主義的經濟理論架構日趨成熟，經濟便逐漸發展成研究有效的利用生產要素來達到最大滿足社會對於財貨和勞務的無限需求的科學。問題在於，慾望無限，而任何時候可用於生產財貨和勞務的資源都是有限的。因此如何將有限的資源藉着產業分析，市場結構，和價格分析等研究將有限的資源有效益的分配於各種商品和勞務的生產經營上，以求得利潤最大化就是研究產業發展的最大課題。

人類文明的進展原本就是知識創造，應用與累積的一種過程。所不同的是在每個時期知識的發展是會隨著技術的進步與人類知識的累積而加速，而人類經濟也深受此種趨勢之影響。在 19 世紀，人類所累積的知識約每 50 年增加一倍，至二十世紀中葉，已縮短至每十年增加一倍。時至今日，約以每 3~5 年倍增。隨著知識的大量增加，各種產業的變化也逐漸產生了質變。從大量生產的模式轉變為知識密集的產業模式。

2.1.1 知識經濟的特性

在此先行概述何為知識產業，依照經濟合作與發展組織（Organization for Economic Cooperation and Development）的定義而言，知識經濟是以知識與資訊的創造，建置，分配與利用為主要價值的經濟型態。因此不論是文化教育，生物技術，半導體，或是奈米技術的應用，只要符合上述定義者，我們皆可稱為知識型產業。而由不同類型的知識型產業所共構的經濟環境即是知識經濟的主軸。此外根據先進國家如美國則將知識經濟定位為可結合科技，發揮創意，並根植於創新與冒險進取精神的新經濟稱之。

知識經濟的主要特徵之一就是在將最原始性的資料經過相關技術或管理平臺，整合成系統性的資訊之後，再與個人或企業的經驗融和，最後才蘊育出具有智慧型式的知識。因此 OECD 將經濟性的知識分成下列四項：

1. Know-What (知事)：即有關事實認知的知識。如統計，會計或醫師等的專業知識。只要透過一般的載具就可將特定形式的文字元號傳達給需要的對象。
2. Know-Why (知因)：即有關於科學原理或自然法則等的瞭解與探討所得到的知識。而此類知識往往因可專利權化，並以數位元化方式儲存與擴

散，故以顯性知識居多。

3. Know-How (專業技能)：即屬於個人或企業的專業技術或能力，這種經常隱藏在個別專業人員腦海中的知識因常有詞窮的特性，故以隱性知識居多。
4. Know-Who (知人)：即識人或知人的知識。其本質就是知道那些人有特殊專常長的知識，以及個人特殊的人脈關係

因為知識的主要價值不在於擁有，而在於能否善加利用知識增加所需技術與載具的價值。至於資訊技術的運用能使我們更有效的整合資料庫的內容；通訊技術的發展也同時大幅降低了資料交易成本，進而讓知識的需求者，可在最短時間內，以最低成本的方式獲取所需的知識訊息。

在知識經濟時代，科技可視為一種幫助知識創造，應用與傳播的主要工具之一。而知識的無實體性與可累積性，讓知識經濟與科濟之間的發展互為催化劑的關係。簡單的說，兩者之間有正反饋效果的現象。技術的發展是經濟知識的催化劑也是載具，這其中包含知識的創造，應用與加值；在另一方面知識已成為企業生產力提升與經濟成長的主要動力，知識經濟則提供蘊育技術創新的環境。

2.1.2 高科技的定義

科技既可視為一種幫助知識創造，應用與傳播的工具，我們就再來探討科技的內涵。高科技一詞首見於60年代的美國，美國於1965年開始對高科技產業進行統計。雖然對高科技的內涵尚未形成統一的共識，我們約略從技術面，經濟面，以及哲學和社會學的角度上來論述高科技的內涵。

技術面：從技術角度來看，高科技含有尖端，先進和新興的特質，而且是以科學最新成就為基礎的技術且比其它技術具有更高的科學輸入的技術創新。(邢以群，周建华, 2000)

經濟面：西方各國較強調高科技在經濟學上的意義，認為高科技是在經濟過程中發揮重要作用的核心技術。或是從經濟結構的角度將高科技看作是一類新的產品，產業或經貿活動。亦可將其視為對知識密集與技術密集這一類產品，產業或企業的統稱。而這已不是單純從技術的角度看待高科技，而是更為強調其對經濟發展的推動作用。此時高科技已成了一類產品或產業，在這些產品或產業的價值構成中，相對於傳統產業而言，知識和技術佔有相當高的比重。(劉鐵民, 1988)

哲學及社會學面：高科技是一種社會活動，代表着一種社會形態和社會變遷。高科技是技術規範轉換過程由社會選擇出現的一種具有新的發展發展方向的技術。在社會學上的意義則為在某一歷史階段對人類社會，政治，經濟，軍事等方面的進步產生重大影響的技術稱之。

國際上一般採用技術密集度（R&D 經費強度或 R&D 人力強度）作為確定高技術產業的基本依據。1986 年，經濟合作與發展組織（OECD）第一次正式給出高技術產業的定義，用 R&D 經費強度（R&D 經費占產值的比重）作為界定高技術產業的指標。OECD 按照國際標準產業分類第 2 版（ISIC-Rev. 2），並依據 OECD 比較典型的 13 個成員國 80 年代初的有關資料，將 R&D 經費強度明顯較高的 6 類產業：航空航太製造業、電腦及辦公設備製造業、電子及通信設備製造業、醫藥品製造業、專用科學儀器設備製造業和電氣機械及設備製造業確定為高技術產業。

隨著經濟發展中知識和技術因素的急劇增長，產業 R&D 經費強度發生了重大變化。1994 年，OECD 重新計算了製造業的 R&D 經費強度。選用 R&D 總經費（直接 R&D 經費+間接 R&D 經費）占總產值的比重、直接 R&D 經費占總產值的比重和直接 R&D 經費占增加值的比重三個指標，根據 10 個更為典型的成員國 1973~1992 年的資料，將技術密集度較高的航空航太製造業、電腦及辦公設備製造業、電子及通信設備製造業和醫藥品製造業等 4 類產業確定為高技術產業。

隨著國際標準產業分類第 3 版（ISIC-Rev. 3）的廣泛使用，2001 年 OECD 依照新的國際標準產業分類重新確定了高技術產業新的分類標準，根據 13 個成員國 1991~1997 年間的平均 R&D 經費強度（R&D 經費占產值和增加值的比重），將製造業中的航空航太製造業，醫藥製造業，電腦及辦公設備製造業，無線電、電視及通信設備製造業，醫療、精密和光學科學儀器製造業等 5 類產業確定為高技術產業。（劉鐵民，1988）



2.2 產業的定義與產業概論

2.2.1 產業定義

產業可定義為一群提供可高度相互替代的產品或服務的公司，亦即其產品或服務可滿足相同的基本客戶需要。產業有廣義和狹義之分。廣義上看，產業指國民經濟的各行各業。從生產到流通、服務以至於文化、教育，大到部門，小到行業都可以稱之為產業。從狹義上看，由於工業在產業發展中佔有特殊位置，經濟發展和工業化過程密切相關，因此產業有時也就是指工業部門。另表 2-1 列出了其它學者對於產業之不同定義與看法。

表2-1: 相關研究者對於產業之定義

學者	年代	定義
Kotler	1976	產業是由一群提供類似且可相互代替的產品或服務之公司所組成的。
William G. Shepherd	1979	產業就是市場，即供給和需求雙方，在從事買賣交易某種產行為的團體
Porter	1985	產業就是一群生產相同、或類似的產品，而且具有高度替代性產品，來銷售給顧客的廠商。
吳思華	1988	產業通常指從事製造的行業，也就是指從事經濟活動的獨

		立部門單位，而且是以場所為單位以作為行業分類的基礎。
林建山	1991	依需求面而言：一群生產具有相互密切競爭關係的企業群。若依供給面而言：凡是採用類似生產技術之廠商群。
余朝權	1994	產業是指正在從事類似經營活動的一群企業總稱。

資料來源：本文整理

2.2.2 產業概論

產業的概念介於微觀經濟細胞（企業和家庭消費者）與宏觀經濟單位（國民經濟）之間的若干“集合”。現代經濟社會中，存在著大大小小的，居於不同層次的經濟單位，企業和家庭是最基本的，也是最小的經濟單位。整個國民經濟又稱為最大的經濟單位；介於二者之間的經濟單位是大小不同、數目繁多的，因具有某種同一屬性而組合到一起的企業集合，又可看成是國民經濟按某一標準劃分的部分，這就是產業。

為適應產各個領域在進行產業分析時的不同目的的需要，可將產業劃分成若干層次，這就是“產業集合”的階段性。具體地說，產業在可分為三個層次：

1. 第一層次是以同一商品市場為單位劃分的產業，即產業組織，現實中的企業關係結構在不同產業中是不相同的。產業內的企業關係結構對該產業的經濟效益有極其重要的影響，要實現某一產業的最佳經濟效益須使該產業符合兩個條件：首先，該產業內的企業關係結構的性質使該產業內的企業有足夠的改善經營、提高技術、降低成本的壓力；其次，充分利用規模經濟使該企業的單位成本最低。
2. 第二層是以技術和製程的相似性為根據劃分的產業，即產業聯繫。一個國家在一定時期內所進行的社會再生產過程中，各個產業部門通過一定的經濟技術關係發生著投入和產出，即中間產品的運動，它真實地反映了社會再生產過程中的比例關係及變化規律。
3. 第三層次是大致以經濟活動的階段為根據，將國民經濟劃分為若干大部分所形成的產業，即產業結構。（鄔義鈞，邱鈞，1996）

產業結構不是僵化靜止的，而是不斷的發展變化。俄國學者凱德洛夫在研究世界科學發展時曾指出世界性的科技進步並不是齊頭並進，而是有一門或一組作為主導科學帶頭發展。從十七世紀以來這種帶頭學科的替代方向是力學微觀物理學，原子能科學，和分子生物學。與此相對應的帶頭技術的替代方向是蒸汽技術，機械及交通運輸技術，電氣技術一直到現在的新興技術群。而與此新興技術相關的替代產業則是機械業，化工業，電子產業和高技術產業群。

總合全球產業的發展趨勢，我們可以發現初期是以農業為基礎，隨著工業革命的來臨進入第二階段的工業發展。第三階段的工業發展則是電子時代的來臨。此階段的產業發展主要是以電子產業為主。第四階段則為資訊化時代，主要是以電腦通訊網路為基礎的產業。然而產業的發展也並非一成不變的成長下去。

因此產業也有其生命週期。

2.3 長波理論概述

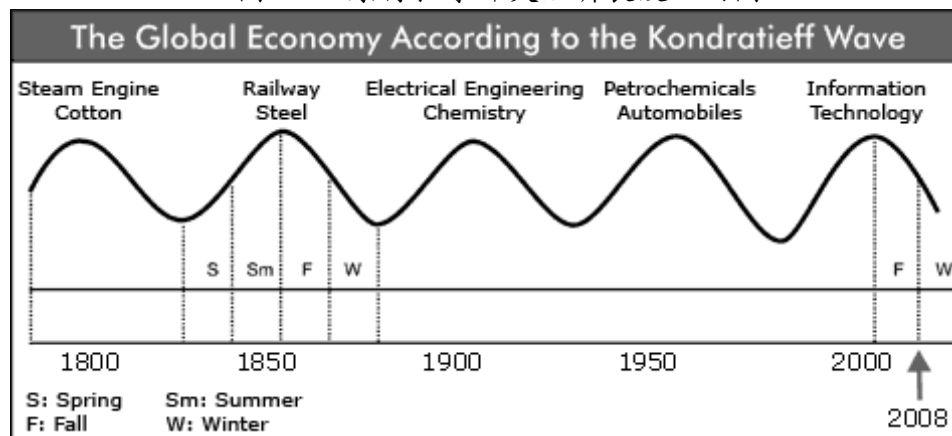
產業與創新有著密不可分的關係，在論述其之間關係前，要先探究經濟長波的概念。此概念對於經濟的演進和之後所衍生的產業創新發展是有其導引作用。經濟長波通常是指經濟發展過程中存在的持續時間為 50 年左右的週期波動經濟發展中長期波動現象的研究，最早出現在 19 世紀末。1896 年，俄國人帕爾烏斯通過對農業危機的研究，發現經濟發展中存在著一種帶有規律性的現象，即大體上 50 年—60 年左右有一次長期波動。

1925 年，康得拉季耶夫提出了在經濟發展中存在著平均長約 50 年的長期波動這一結論，即所謂“長波理論”。康得拉季耶夫收集了英國、法國、美國等國家從 1790 年—1920 年這 130 年中的商品價格、利率、工資、對外貿易等一系列經濟指標的變動情況，還收集了生鐵、煤炭等主要原料、燃料的產量及消費量的變化情況，並對一系列資料進行了詳細地比較分析，並在此架構上提出了長週期理論。康得拉季耶夫認為，在經濟發展過程中，存在著一個 50—60 年左右的長週期，每個週期當中又分為上升與下降兩個時期，各持續 20—30 年，一般情況是長期波動的上升期繁榮年份較多，而下降期則以蕭條年份為主。

根據對其所佔有材料的詳細研究和分析，康得拉季耶夫得出結論說，他將其所研究的 1780~1920 年這 140 年中經濟運動劃分為兩個半長週期波動。第一個長波大約是 1790—1845 年，高峰期是 1810—1817 年；第二個長波大約是 1845—1895 年，高峰期是 1870—1875 年；第三個長波大約從 1895 年開始，高峰期是 1914—1920 年。

根據觀察經濟中已有的兩個半長週期，康得拉季耶夫按長波的發展趨勢又進一步預測出從 1914—1920 年以後，經濟將出現長期下降。也就是第三個長週期的下降開始於 1920 年。康得拉季耶夫對 20 年代長波中下降波的預測，被經濟發展的客觀狀況所證實，特別是 30 年代世界經濟大危機的爆發，把這次長波的下波推到了谷底。

圖2-1：康得拉季耶夫經濟長波理論圖



資料來源：http://education.wallstreetsurvivor.com/Kondratieff_wave

此外，康得拉季耶夫還列舉了經濟長期波動中的一些不同於其他經濟週期的主要特點：

1. 在一次長期波動的衰退期中，農業通常出現顯著的、長期的蕭條。
2. 在一次長期波動的衰退期中，生產領域和交通運輸業將有較多的技術突破和發明，但這些科技成果只能在下一個長波高漲開始時才能夠得到大規模的應用。
3. 在一次長期波動高漲開始的時候，通常會有黃金產量的增長，往往會出現一些較為後進國家的經濟突進，也會使世界商品市場相應地有所擴大。

2.3.1 長波理論與創新

康得拉季耶夫認為，引起長波的主要原因是：經濟領域存在大大小小、形形色色的產品，生產每一種產品所需要的時間不同，消費它們的時間也不相同，從而每種產品的生產和消費平衡過程所需要的時間長度亦不同。這樣，在經濟發展中就形成了時間長短不一，多種層次的平衡週期。但是，在這些產品中有一種決定生產性質的主要固定資本產品，比如，像蒸汽機、發電機和電動機這類生產工具。只要這些工具在生產中普遍應用，就會對生產力的發展產生強有力的推動作用。

生產每一種新型的主要固定資本產品需要很長時間，在生產中消費它們也需要很長時間，所以每一代主要固定資本產品的平衡週期也很長。這種平衡週期包含了舊的落後的主要固定資本產品被取代，和新型的先進的主要固定資本產品被採用而造成的經濟衝擊及其恢復過程。這一過程不僅是長期的，而且會波及整個社會經濟範圍。因為，當對新型先進的主要固定資本的投資有利可圖時，全社會趨之若鶩，就會出現大規模的技術更新，加快推動產業結構調整和經濟增長，促使經濟長週期的上升波形成。

隨著經濟的急劇擴張，尋求擴大國內和國際市場等外部矛盾逐漸尖銳化，加上經濟危機衝擊等因素的作用，使上升波出現轉折，迫使其逐漸進入下降波。當技術改造和資本積累達到某點時，新一代的主要固定資本產品將產生。只有當新一代的主要固定資本產品進入普遍應用後，新的長週期的上升波就將再一次出現。整個經濟運行就這樣周而復始。

長波的出現是由基礎性革新所引起的，由此而產生的“例外的生產力”導致新的增長部門利潤率提高，因而發展迅速，帶動整個社會經濟的增長，但過了20—30年之後，這種效益潛力發揮到一定程度就會出現部門利潤率下降，資本貶值，因而國民經濟呈緩慢增長或下降趨勢。

2.3.2 創新理論之源起

奧地利經濟學家熊彼特認為，經濟發展的過程中，所以會出現各種長短不一的經濟週期，都是由於創新而引起的。按照熊彼特的解釋，所謂“創新”就是建立一種新的生產函數，也就是說，把一種從來沒有用過的生產要素和生產條件

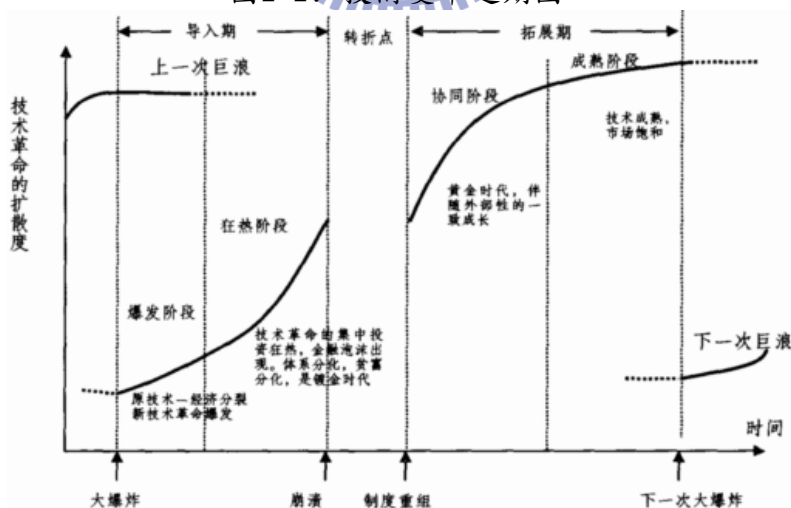
的新組合 引入生產體系之中。

熊彼特所說的“創新”、“新組合”，具體包括以下五種情況：一是引進新產品；二是引進新技術，即採用新的生產方法；三是開闢新的市場；四是控制原材料新的供應來源；五是實現新的企業組織。熊彼特認為“創新”的引進不是連續平穩地進行，而是時高時低，有時密集，有時稀疏，所以就產生了“商業迴圈”或“經濟週期”。同時，創新是多樣化的、千差萬別的，因而它們對經濟發展的影響也就有大有小之分，由此而形成的經濟週期也就會有長有短。而長波的出現，則往往與一些重大創新有關。（資料來源：<http://www.csscipaper.com>）

技術創新是一項新產品，新製程或新技術概念的產生。經過研究、開發、工程化、商品化生產到市場銷售全過程一系列活動的總稱，它是一種經濟技術活動，目的是為了創造並獲取新的、高額經濟價值，企業是技術創新的主體。研究開發是技術創新的主體內容之一，一項重大的技術創新，通常都是以強有力的研究開發作後盾的，在技術創新過程中，大都伴隨著技術發明。這些發明及由此形成的技術訣竅、專有技術以及專利技術是企業和產業的無形資產，也是使產業持續其生命週期的重要因素。

一次技術變革的生命週期大約是 50 年，與康得拉季耶夫長波週期基本一致。佩雷斯把每次技術變革的頭二三十年稱為導入期，後二三十年稱作拓展期。為了考察技術創新與金融資本之間的關係，佩雷斯進一步將導入期和拓展期一分為二，即整個技術變革週期由爆發、狂熱、協同和成熟四個階段構成。如圖 2-2 所示。

圖2-2: 技術變革週期圖



資料來源:朱瑞博 (2010),” 中國戰略性新興產業培育及其政策取向”

在爆發階段，舊的技術經濟範式已經衰敗，新核心技術的實驗室發明逐步產業化，新技術、新產品、新產業呈爆炸性增長特徵，新的技術經濟範式開始形成，金融資本也開始介入；在狂熱階段，新經濟部門的生產率大大提升，可觀的利潤率誘導各種金融資本強力介入，新技術體系、新產業和新基礎設施蓬勃發展。承

擔主要融資功能的資本市場被新經濟板塊所帶動，一路向上攀升，甚至常常出現脫離實體經濟而瘋狂飆升的現象。隨著泡沫破裂，狂熱階段也宣告結束。

在協同階段，技術開始緩慢增長，政府和社會通過重新設立專門監管機構，起草條文法令，積極干預和管制金融資本，使之適應需要向縱深拓展的技術生產體系，最終達到技術創新和金融資本的相對協同，經濟增長率和就業率都隨之上升，技術進步帶來的新範式在生產和社會結構中的充分展開，高速增長得以繼續，經濟發展的黃金時代到來。

在成熟階段，核心技術的創新潛力逐步耗盡，技術革命的動力逐漸衰竭。雖然仍有新產品和新產業誕生，甚至也會波及整個經濟社會系統，但這些創新的數量比較少，重要性大大降低，曾經作為增長引擎的核心產業的市場開始飽和，技術創新的收益遞減，利潤率下降，產業接近成熟，經濟增長出現停滯，甚至會走向持續的蕭條，失業率上升，金融資本開始退出並尋求新的機會。(朱瑞博, 2010)

2.4 生命週期

生命週期理論是最常用來預測產業演變軌跡的分析工具，其基本假設為產品均會歷經導入期、成長期、成熟期、衰退期四個階段。而造成產品成長或衰退的因素，即是來自於外在環境的變化，無法經由個別企業加以改變。在生命週期的各個階段中，產品均會呈現出不同的特性，因此個別企業最好的選擇便是調整策略以適應環境的改變。

2.4.1 生命週期與組織層級關係

研究生命週期理論的學者眾多，不同的週期意味著不同的工業組織水平(表2-2)；工業科技的演進對市場改變的影響，表現在其對產品的革新與衰退週期的影響上。在其定義的生命週期的現象有以下四種；產品、生產線、技術、Kondratieff 生命週期，而根據各自所受影響層級的不同有部門、公司、工業、國家層級。

表2-2: 週期現象與組織層級之關係

週期現象	受影響之組織層級
產品生命週期	部門層級
生命線生命週期	公司層級
技術生命週期	工業層級
Kondratieff 生命週期	國家層級

資料來源：Betz (1993), Strategic Technology Management, McGraw-Hill Inc.

2.4.2 生命週期與策略層級關係

產品生命週期是指一個產品在產業中的壽命，生產線生命週期則指原料在產

品生產過程中使用的壽命而言。因此；針對研究對象的不同，所研究的層級亦有不同。另外對於生命週期觀念之區隔與應用也可以表2-3所示；分別為：產品、產業、技術生命週期，且分析的對象也分別是企業單位、產業單位、企業與產業單位。

表2-3: 生命週期影響與策略層級之關係

理論模式	研究主題	分析單位	主要學術領域	學者
產品生命週期	在相同技術基礎上產品銷售額的變化過程	企業	行銷策略管理	Levitt (1965)
產品生命週期	技術改變對於產業中產品的生產量的影響	產業	產業經濟學策略管理	Porter (1980)
技術生命週期	技術的變化對企業策略的影響，技術績效隨時間之變化	產業企業	生產管理 策略管理 科技管理	Abemathy, Utterback (1975) Ford, Ryan (1981) Roussel, Little (1981) Forster, McKinsey (1986)

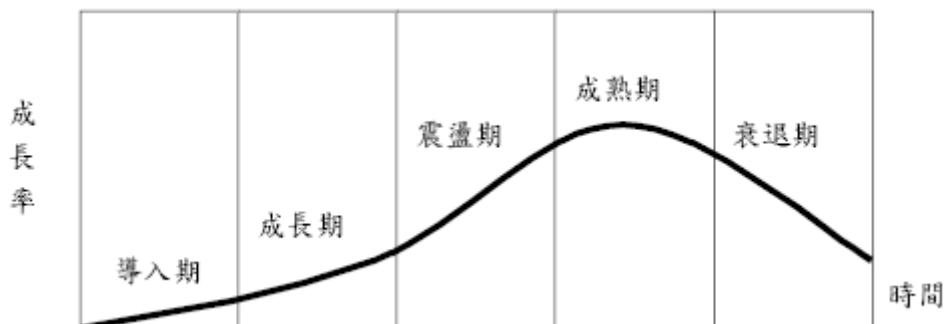
資料來源：本文整理

綜合上述學者的分類，可以清楚的發現到在技術生命週期中，在不同時期中有不同產品生命週期存在。對於企業而言，瞭解技術生命週期將對產品生命週期有更清楚的瞭解與認識。更重要的是這些模式都在探討技術變動過程之重要構面及其對經濟之衝擊效果。

2.4.3 產業生命週期

產業生命週期，其概念與產品生命週期相似，根據Hill & Jones(1998)的界定，產業生命週期包括導入期、成長期、震盪期、成熟期、衰退期等階段，此象徵整個產業演化之過程，如圖2-3 所示。

圖2-3: 產業生命週期



資料來源：Hill and Jones (1998)

(一) 導入期：導入期是指產業才剛起步，因此大眾對此產業尚感到陌生並且企業尚未能獲得規模經濟來降低成本，因而採取較高的定價，所以在此階段的產業其成長是較緩慢。在此階段中的進入是在於產業能否取得關鍵性因素。

(二) 成長期：當產業的產品開始產生需求時，產業便會步入成長階段。在此階段中會有許多新買者者的進入，致使需求快速擴張。

(三) 震盪期：由於需求不斷擴大，再加上新企業的加入，使得在此階段的競爭變得激烈。並且由於企業已習慣於成長階段的快速成長，因而會繼續以過去的成長速度比較來增加產能，但此階段的需求成長已不如成長階段，因而會產生過剩的產能。所以企業會紛紛採用降價策略，來解決產業消退與防止新企業加入的問題。

(四) 成熟期：產業經過震盪階段後，便會邁入成熟階段。在此階段中，市場已完全飽和，需求僅限於替換(replacement)需求。成長階段中其成長率是很低的，甚至於沒有成長。並且此時的進入障礙會提高，但其潛在競爭者的威脅會降低。

(五) 衰退期：最終，大部的產業會進入衰退階段，由於許多因素會使得成長率開始呈現負的成長，這些因素包括了技術的替代、人口統計的變化、社會的改變、國際化的競爭等等。在此階段中，其競爭程度仍然會增加，並且有嚴重的產能過剩問題，因此企業便會採取削價競爭而引發價格戰。

不同的產業會有不同的產業生命週期型態，因此每個產業在每一個生命週期階段便會顯現出不同之產業特性，主要的產業特徵如表2-4 所示。

表2-4: 產業生命週期與產業特徵之預測

生命週期階段	主要產業特徵
導入期	· 產品訂價較高 · 尚未發展良好的經銷通路 · 進入障礙主要來源為關鍵性因素之取得 · 競爭手段為教育消費者
成長期	· 獲得規模經濟效益使價格下降 · 經銷通路快速發展 · 潛在者的威脅度最高 · 競爭程度低 · 需求快速成長使企業增加營收
震盪期	· 競爭程度激烈 · 產生過多的產能 · 採用低價策略
成熟期	· 低市場成長率 · 進入障礙提高 · 潛在競爭威脅降低 · 產業及中度較高
衰退期	· 呈現負成長

	<ul style="list-style-type: none"> · 競爭程度繼續增加 · 產能過剩進而產生削價競爭
--	--

資料來源：本文整理

2.5 技術預測理論

2.5.1 技術預測定義

技術預測 (Technology Forecasting) 意指對「技術創新、科技改良以及可能的科技發明等所做的描述與預測」。而在企業競爭環境日益艱困與技術的型態也快速的變遷之下，更造就了許多以新科技為主的應用性產品的產生，在此同時也孕育出新的產業類型，甚至改變了企業經營的模式。所以，技術預測已經不是單純的尋找技術發展的軌跡、以及技術未來的發展性，而是必須配合企業經營、技術的轉換、評估對整個產業的發展與衝擊。「技術預測是以系統化、科學的方法，觀察科技、技術、產業、經濟與社會的長期發展，以找出能帶來經濟和社會利益的技術。技術預測可以幫助企業瞭解技術發展的趨勢與展望，分析新產品或新技術的市場佔有率與擴散情況，或新舊技術間的替換分析，評估技術發展對社會、經濟的衝擊。」(吳豐祥，2002)

技術預測的程序，可能以文字或數字的形式陳述機械、實體程序以及應用科學的潛能與運用。(Millett Honton, 1991)。Bright (1989) 對技術預測的定義則為：「是一種邏輯分析系統，透過技術相關屬性、變數及技術經濟屬性皆能導引出一些共通的計量結論。如此的預測不同於一般的計量關係及假設的組合，乃是可以產出相對一致性結果的邏輯而來。」Porter et al. (1991) 則認為，技術預測的活動是將研究的焦點放在描述技術的功能變遷上，因此技術預測者應將研究重點至於技術在該功能上的變遷，或者創新的顯著性及實現的時間點。至於預測內容則包括技術能力的成長、新舊技術的替代比率、技術的擴散情形、市場的滲透程度，以及重大技術突破的時間及可能性。

Prehopa (1979) 對「技術預測」的定義，乃是可預知技術創新的預測描述，它帶有特定科學或科技的發現。Cetron (1968) 則認為「技術預測」乃是在一定期間，某種信賴水準支持下的技術成就。Martino (1993) 認為「技術預測」著重於技術改變的預測活動，並解釋針對有用的機器、程序或是技巧的未來特徵進行預測。綜合上述學者所述，技術預測乃是針對技術的改變而進行的一種邏輯性與系統性的分析，透過這些分析提供決策者所需要的資訊以減少人為主觀的判斷誤差，提供高決策的品質，使得預測的結果盡量達到客觀、公正，同時更能經營正確的預測方法的使用，降低從事預測活動所花費的各項成本，並解釋技術未來發展的趨勢。因此；吾人對於技術預測為：指以系統化、科學化的方式，對技術的創新、改良以及可能的科學發展所做的描述與預測。

2.5.2 技術預測的重要性

預測在企業形成策略與規劃過程中是很重要的。如果能對環境中的機會、威

脅加以評估與預測，可以讓企業在面對產品或市場的變動時，能夠更迅速且適當的調整與回應。因為技術變動的前置時間往往很長，如果不能做適當的回應可能損失慘重。是以準確的技術預測對管理者才有實質的幫助。近年來，有許多的預測技術不斷的被發掘，這些技術預測的目的在於使管理者獲得最豐富的資訊，以期能做出最正確、適當的決策。技術預測最終的目的在於發現成為主流技術的機會 (Liang, Yuan and Chow, 1999)，讓高階管理者在決定企業技術策略、技術管理上能做出最適當的決策。

一般而言，企業如能有效的執行技術預測有以下的幫助 (賴士葆等人，1997)：

- (1) 能廣泛的監視企業內外環的環境，以確認出可能影響產業未來或公司產品/市場發展的趨勢。
- (2) 估計與公司決策、規劃有關之重要事件的時間性；並作為未來行動與否的指標。
- (3) 預測所得的資訊可以幫助對可見未來的機會與威脅有更多的了解。不短的監視趨勢的演變，也許不需要企業採取立即性的因應行動，確可協助企業再必要行動的時點迅速反應。
- (4) 調整公司的政策，已規避威脅並尋找新的機會：
 - i. 在新的技術競爭下，重新擬定公司目標。
 - ii. 修正公司策略。
 - iii. 修正研究發展策略。
- (5) 修正作業決策：
 - i. 研究發展組合。
 - ii. 研究發展計畫的選擇。
 - iii. 技術間資源的配合。
 - iv. 廠房與設備的投資。
 - v. 人員招募政策。



另外Martino (1993) 則認為對於預測的內容應包括下列幾項：

- (1) 技術能力的成長
- (2) 市場滲透的程度
- (3) 重大技術突破的時間及可行性
- (4) 新舊技術的替代比率
- (5) 技術擴散的情況

技術的變動往往為社會帶來莫大的衝擊，對高階管理者而言，技術的變動不僅會影響到企業的研究發展計畫，更直接影響企業經營的策略，甚至改變了市場或產業的範疇。然而，造成技術變動的因素很多，包括政治、社會、經濟及技術本身的因素，都可能影響技術的發展與進步。因此，技術預測本身及隱含高度的不確定性。預測雖然對管理者做決策很有幫助，但預測的結果只能協助管理者作判斷。因此，預測的結果並不能代表就是未來必然的趨勢。

2.5.3 技術預測類型

Gabor (1964) 首先將預測技術方法定義為探索性預測 (Exploratory Forecasting) 及規範性預測 (Normative Forecasting) 二大類；二者的差別在於探索性預測法是以過去及現在的情況為基礎來預測未來的情况，規範性預測法則是以未來的需求為基礎來預測所需達成的技術水準。Martino (1993) 則整理出11種方法：德菲法、因果模式法、類推法、機率模式、成長曲線法、環境監測法、趨勢外插法、合併預測法、技術量測法、相關法、規範性方法、相關樹、型態法、目標任務法，並且依據其應用的方式歸類為探索性方法及規範性方法規範性預測二大類如表2-5所示。

表 2-5: Martino 技術預測分類方法

技術預測方法的分類	適用的技術預測方法
探索性方法 (Exploratory Method)	1. 德菲法 2. 類推法 3. 成長曲線法 4. 趨勢外插法 5. 技術量測法 6. 規範性方法 7. 因果模式法 8. 機率模式 9. 環境監測法 10. 合併預測法 11. 相關法
規範性方法 (Normative Method)	相關樹、型態法、目標任務法

資料來源：Martino (1993), Technological Forecasting for Decision Making, McGraw-Hill, Inc.

Porter and Rossini (1987) 則將技術預測方法分類為五大類：監測法 (Monitoring)、專家意見法 (Expert opinion)、趨勢外推法 (Trend extrapolation)、模式法 (Modeling)、情境法 (Scenarios)；Porter (1991) 又提出以直接預測法 (Direct forecasting)、關聯預測法 (Correlative forecasting) 以及結構預測法 (Structural forecasting) 來輔助分類，整理如表 2-6。

表 2-6: Porter 技術預測分類方法

技術預測方法的分類	定義	適用的技術預測方法
直接預測 (DirectForecasting)	直接預測衡量 技術的參數	專家意見 德菲法 名目群體法 趨勢外插法

		成長曲線法
關聯預測 (Correlative Forecasting)	考慮該項技術 和其他技術 或背景因素間的關係	類推法、情境法
結構預測 (Structural Forecasting)	考慮因果關係對技 術成長的影響	回歸分析、相關樹、 因果分析、模擬分析

資料來源：Porter (1991), Forecasting and Management of Technology, John Wiley and Sons, Inc.

2.5.4 技術預測要點及方法選擇

Lecary and Han (1995) 條列了選擇各項技術預測方法的先決條件；而影響技術預測方法選用的因素則有以下六點：

1. 技術的研發成本：當一個新的技術發展的過程中，累積花費的金錢愈多，實現的機會就會增加，同時發展的時間就愈短，而這些金錢的花費通常與技術發展所帶來的可能利益、及其對社會潛在的影響有關。當技術發展可以帶來利益，則通常會被私人企業所支持；如果技術對社會發展將帶來廣泛的影響，則政府部門將會給予資助。
2. 資料的取得：不同預測方法的應用資料數量也會有差異。
3. 資料的有效性：資料的品質、深入程度也是技術預測方法上的考量因素。
4. 技術發展的不確定性也會影響方法的選擇；有些預測方法比較適合預測高度不確定性的技術。
5. 技術世代間隔：如果新技術發展與現存的技術愈相近，其成功的機會將會增加，同時其發展時間也會縮短。
6. 影響技術發展的變數多寡：如果影響技術發展的變數越多，則技術預測的活動就會變得複雜，有可能需要多種方法交互運用，或者會必須承擔較大的成本壓力。

Tarek (2002) 亦提出：為了發展一個好的預測，技術預測者必須對技術的生命週期和影響技術發展的可能影響技術發展的技術創新速率有良好的認知。因此；對技術管理者而言，了解每一個預測技術固有的優點和缺點是重要的。一個良好的預測必須具有：

1. 可信度與效用。
2. 正確的資訊基礎。
3. 清楚地描述方法和模式。
4. 清楚地定義和確認假設。
5. 以量化表達每一種可能。
6. 對預測的資訊有一定程度的信心。

如表2-7所示，Levary and Han (1995) 條列了選擇各項技術預測方法的先

決條件，做為不同情境之下選擇預測方式的依據。

表 2-7：技術預測方法選擇的條件

技術預測方法	選擇的先決條件
德菲法	所有的參與者必須都是該領域預測技術中的專家
名義群體法	1. 所有的參與者必須都是該領域預測技術中的專家 2. 需要一個群體領導者
個案研究法	只能研究極少數目的組織
成長曲線法	1. 需要涵蓋長時間的歷史資料，如果只有短時間的資料將會受到一些限制 2. 必須了解技術的生命週期
趨勢分析法	每一個模型必須有自己的假設，預測的正確性取決於假設的適切性
相關分析法	被預測的技術必須與已經存在的技術有若干的相似性
層級分析法	資料品質要夠好
動態系統法	在建立動態系統前，必須要釐清影響技術發展之變數間的關係
交叉分析法	與技術發展相關的事件都必須知道
關聯樹法	必須知道技術發展的曾級結構
情境分析法	情境的建立者必須是此領域的專家

資料來源：Levary and Han (1995) ” Choosing a technological Forecasting Method” ,Industrial Management

2.6 生命週期模型分析法

技術生命週期 (Technology Life Cycle, TLC) 乃是描述一項技術的使用。從基礎科學或應用科學而衍生出來，將其運用在產品研發到產品導入市場，甚至於直到該產品退出市場之此一時間稱之。Betz(1993)認為一個新技術的生產方式可以創造出一個新的產品空間，相反的生產技術的衰退可能導致整個工業產品消失或重整，這種概念被稱為技術的生命週期。

2.6.1 S 成長曲線

S曲線模型是由Verhulst在1983年所提出的（Stone，1980）。而Pearl and Reed首先利用此一曲線於人口成長之分析研究，而見知於世，因一項技術的出現和發展過程，有其規則軌跡可依循，其出現的狀況如同人類的生命週期現象，亦即會經歷萌芽期、成長期、成熟期、衰退期，故又有「成長曲線」之稱（Pearl-Reed Growth Curve）或生命週期曲線之稱，而其近似S形狀，故又有S曲線之稱（Foster，1986）。

「成長曲線」是指「技術效能的成長」與「人口的成長」間的鬆散類推比較關係，其原理是來自於技術的變化過程與人口的成長曲線很類似。此預測方法為利用所想預測之技術的過去效能資料，適配一線性迴歸模式，找出其成長曲線，並以外推法去推估未來。「成長曲線」的用途主要包括兩方面；一為預測單一技術解決問題的績效，另一方面則為預測此技術如何及何時達到上限。

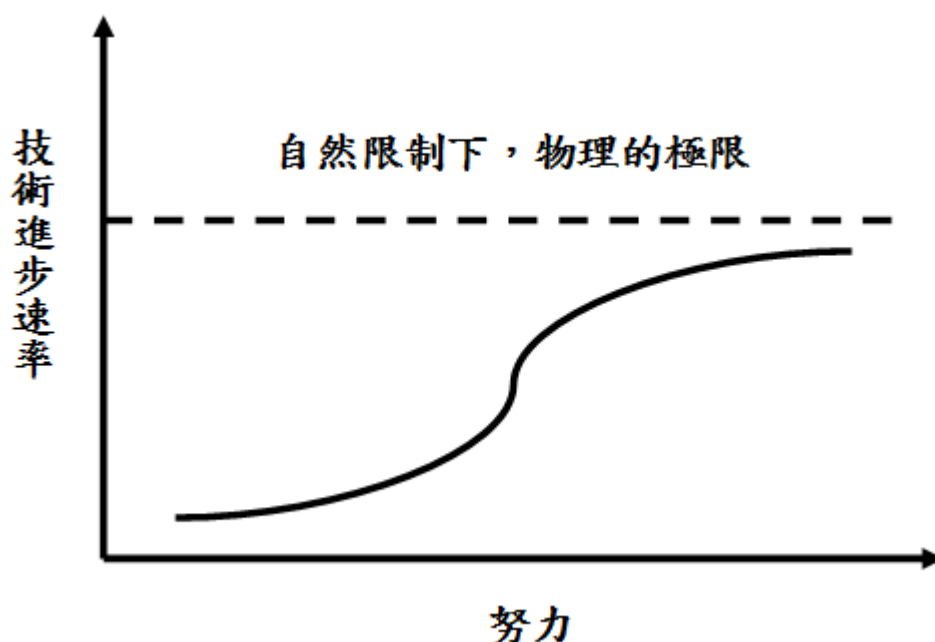
成長曲線的用途主要包括兩個方面（林治民，1998）；

1. 預測某一技術的處理方式在解決問題時的績效。任何一種單一的技術，其效能最終都受限於該相關的物理或化學極限，因此若一個產品中採用不同的操作過程，就表示其已經轉換到一段新的成長曲線了。
2. 預測某一特定技術的處理方式在何時，及如何達到它的上限。從過去的經驗來看，任何一項新技術在最初均呈現出成長緩慢現象，一旦突破某個界限之後，其效能的成長就變的非常的快速；而當其接近上限時（在自然限制條件之下，物理的極限），其效能的增進就變的非常的困難，成長也再度變得緩慢下來，而以圖形表現就如同S形狀一般，如圖2-4所示，其技術進步的速率會因為努力（或投入、時間）的程度，而呈現出開始的緩慢增加，到中間階段的快速成長，最後因為自然條件的限制之下而無法突破，其技術進步的速率又變的緩慢。

利用成長曲線做預測的過程包括：找出一條或一組技術效能數據相符的成長曲線（利用線性迴歸方程式），然後再利用外差法去估計未來的績效。但是此過程是建立在以下的前提假設上：

1. 成長曲線的上限已知。
2. 所選擇的成長曲線與過去的歷史資料變動情形相符。
3. 由歷史資料中所得的曲線方程式係數是正確的。

圖2-4: S 曲線



資料來源：Foster (1986), "Innovation: The Attackers Advantage"

上限的選擇與成長曲線的選擇並沒有直接的關聯，在技術的預測上，那些影響技術成長的因子似乎並不完全是固定不變的。當所選擇的曲線、估計的上限是正確的，那麼由早期的資料便可以去預測未來的發展

2.6.2 成長曲線的重要性

技術進步路徑並非是隨機的，而是有某些一定的軌跡可循，大多數的技術都類似S 型曲線，技術的S 曲線是一種常見的技術漸進進步的類型，用來描述主要的技術績效參數隨時間變動的過程，技術進步的S 曲線，和產品生命週期曲線類似。每一條技術S 曲線僅反映現行的一種實體狀況，當實體現象改變時，新技術和舊技術的S 曲線會呈現不連續的狀況，亦即漸進的技術改良反映在同一條S 曲線上，突破的技術進步則跳至不同的一條S 曲線上（賴士葆等人，1997）。要找出技術的S 曲線必須具備下列條件：

1. 辨識出關鍵技術績效參數。
2. 蒐集自創新開始迄今的技術歷史資料並繪圖。
3. 辨識現行實體程序中會限制進步的本質因素。
4. 估計技術績效參數的自然極限，並繪出漸進線。
5. 估計過去的資料到自然極限之間的兩個反曲點。
6. 請專家預測反曲點發生的時間。

技術的S 曲線是技術隨時間而改變之性能參數與利潤增加的頻率分析模式。其特性有（Betz, 1998）；

1. 技術S 曲線乃是以一般物理現象為基礎得到的。
2. 在技術S 曲線上，技術的自然限制提高，乃是受其所依據之物理基

礎的本質影響所致。

3. 技術於一演進過程中，有發展停滯的情形，在圖形上之表現為各自發展出不同的S 曲線。

2.7 專利分析與目的

2.7.1 專利的定義

依據『世界智慧財產權組織』(World Intellectual Property Organization: WIPO)對「專利」的說明：專利是對發明授予的一種專利權利，發明是指提供新的做事方式或對某問題提出新的技術解決方案的產品或方法。專利指標向來被視為最接近科技發明與創新產出的代理變數。另外，OECD (1996)提出的知識經濟衡量指標中，專利被視為智慧財產的指標，而智慧財產權掌握絕大部分的智慧資本，故專利最適合用來衡量知識經濟時代中知識競爭潛力以及技術與創新績效。

「專利」是由政府所發給的一紙文件，其上載明某種特定的發明，並創設出一種法律的狀態，使得該項發明僅能在文件上所指之發明人授權下，方得利用之。而專利的作用在於對專利權人的發明予以法律上的保護。因此，專利是一個國家與發明人之間的法律協定，國家授與發明人在一定時間內享有排他性之製造、利用、販賣該項發明的權利。(陳哲宏等人，1994)

專利權是財產權的一種，但本質上並非自然產生天賦之權利，而是國家為達成其產業政策之目的，使專利權在一定期間內，透過國家公權力的介入，而賦予專利權人專享排他之權利，因此專利權的第一層意義在於「壟斷」，然而此專利權之賦予，並未禁止專利權人將其擁有之權利技術為授權或其他方式將之擴散出去，反而在於鼓勵專利權人能將專利技術盡量公開擴散，以避免研發資源之浪費，並節省整體產業之研發成本，更藉此達成促進產業技術提升及資源共享的政策性目的，因此專利權之第二層意義即在於「公開」(蕭麗芬，2002)。

專利權是最具體也最有影響力的一種智慧財產，特別是在科技產業與電子商務興起後，美國專利申請案件與核准案不但大增，更開放了具有爭議性的商業方法專利。而專利的重要性，可分析成以下幾點(劉淑德，2001)：

1. 據世界智慧財產權組織(WIPO)的報導，在各種期刊、雜誌、百科全書等有關技術發展的資料中，唯一能夠全盤公開技術核心者僅有專利資訊。
2. 在專利說明中含有90~95%之研發成果，且其中80%並未紀載再其它的雜誌期刊中。
3. 根據WIPO 的調查，善加利用專利資訊，可縮短研發時間60%，節省研發經費40%。

4. 現有的發明卻因為缺乏資訊而被再發明，已經解決的問題因為缺乏資訊而再一次地被解決，已經上市的產品也因為缺乏資訊而再研發。

2.7.2 專利的特性

專利與發明活動之間的密切關係，更可從兩個方面來看：一是專利要通過申請，通常須符合三項準則，即新穎性(novelty)、非顯著性(non-obviousness)，與實用性(usefulness)，這表示了一項發明或技術在經過專利審查後，即代表了一定程度的創新意義；另一則是企業或發明者願為其技術申請專利，則代表認為該技術具有一定之經濟價值。專利統計指標對於分析創新及技術改變仍是獨一無二的資源，沒有任何其他的資訊能像專利資料一樣擁有大量且可利用的資料來供經濟分析(Griliches, 1990)。此外專利資訊還包括了技術資訊與權利資訊，所以與一般學術期刊、技術文獻不同。綜觀上述論點，專利一般而言具有下列特性：

1. 由於申請專利必須有新穎的特性，所以技術揭露的時間最早。
2. 技術內容記載實際且具體，亦附有圖式說明，重複操作可能性遠較學術文高。
3. 申請專利必須對該技術適當揭露，可以獲取較完整的資訊。
4. 專利撰寫牽涉相當多法律議題，詞彙定義教學術文獻嚴格。
5. 專利資料的取得容易，資料格式固定，因此可做技術分類，用以預測企業之技術開發方向。
6. 新穎性 (novelty)：專利發明必須是前所未有的，無法在現有出版品中找到，也沒有被公開使用或販賣。用意當然是在防止發明人抄襲他人的構想。
7. 實用性 (usefulness)：請求專利的發明必須是實用的。獲得專利權之發明必須具有產業可利用性，才能造福社會人群。實用性劃分了專利權和著作權的分際，實用性的發明屬專利領域，而非實用性的發明則屬於著作權的保護範圍，如文學、音樂和藝術等。
8. 非顯而易見的(nonobviousness)：專利發明必須明顯不同於習知技藝(prior art)。所以，獲得專利的發明必須是在既有之技術或知識上有顯著的進步，而不能只是已知技術或知識的顯而易見的改良。這樣的規定是要避免發明人只針對既有產品做小部份的修改就提出專利申請。
9. 適度揭露 (adequate disclosure)：為促進產業發展，國家賦予發明人獨佔的利益，而發明人則需充份描述其發明的結構與運用方式，以便利他人在取得發明人同意或專利到期之後，能夠實施此發明，或是透過專利授權實現發明或者再利用再發明。如此，一個有價值的發明始能對社會、國家發展有所貢獻。(1998，謝寶媛)

2.7.3 專利分析之目的

基本上專利分析就是將專利資料轉換成更為有用之專利資訊，是科技研發規劃與智慧財產權管理的有效工具，也可作為科技競爭分析、技術趨勢分析、以及權利範圍判斷的依據。專利分析是產業訂定科技策略時最有效且具體的工具之一。因此企業之科技策略規劃、研發或技術資源分配、技術成熟度研判與預測、以及專利侵權行為之鑑定和技術金之給付對象等，都可經由專利資訊得知。基本上專利分析可結論成下列之目的（李文傑，2004）：

(1) 技術競爭分析：

1. 不同公司之技術競爭態勢與策略；
2. 技術成長之強弱對比；
3. 可能技術獲得或合資對象；
4. 分辨有經濟效益之專利或專利組合；
5. 可能之技術銷售對象；
6. 研發計劃及項目之評估（有效之研發資源分配）；
7. 新專利內容之分析（技術突破之可能性），由新技術引至新產品。

(2) 技術趨勢分析：

1. 技術內容及項目之設定；
2. 技術開發之動向（技術須依時間之變化）；
3. 技術內容之互動（以矩陣表示，例如：材料與功能等）；
4. 技術發展階段（以發明、新型或新式樣區分）；
5. 技術演變態勢。
6. 技術相關性（專利分類中主分類及次分類之分佈說明；或專家之意見）。

(3) 專利權範圍分析：

1. 專利申請國別；
2. 權利構成之要件；
3. 權利範圍重點；
4. 權利範圍展開或細分。

另外由各學者所提出對專利分析之價值也可表 2-8 簡述之：

表 2-8: 專利分析價值相關研究比較表

學者	專利分析價值
Ernst (1997)	專利情報對企業營運的影響甚大，且技術之發展亦會循 S 型軌跡發展。而如何在最佳時機發展技術，也是企業在進行策略時，必須重視的。測技術中的專家

Mary Ellen Moguee (1991)	<p>專利分析具有下列應用價值：</p> <ol style="list-style-type: none"> 1. 競爭對手分析。 2. 技術追蹤及預測。 3. 掌握重要之技術發展。 4. 國際專利策略國際專利分析。
紹宇奇 (1995)	<p>系統化製作專利地圖的優點包括：</p> <ol style="list-style-type: none"> 1. 掌握產業（重點技術）動向。 2. 監視競爭企業的動向。 3. 釐清目前技術或產品之障礙或替代技術的可能性。 4. 發掘（次代）明星技術或產品之利基。 5. 提供計畫進行前、中必要之技術評估資訊以降低風險。
劉尚志 (1997)	<p>專利資訊可以給企業做競爭分析和技術趨勢分析，可以提供一些情報包括：</p> <ol style="list-style-type: none"> 1. 各企業的技术比較。 2. 擁有較多某類之技術專利權人，可能是未來技術合作或授權的對象。 3. 專利技術組合管理，由不同技術組成，可判斷專利權人之技術投資與資源分配情況。 4. 新專利之監視。
Ashton and Sen (1989)	<p>專利分析可以對技術競爭分析、新投資評估、專利管理、研發管理與市場監視等領域發揮作用。此外，專利資訊若與產品市場佔有率結合分析，更可以瞭解企業運用專利的獲利能力表現。</p>

資料來源：賴佳宏，2003

2.7.4 專利分析之應用時機

賴榮哲(2002)提出就專利分析應用時機如下：

1. 收集創意階段

摸索研發方向時，藉由研究先前專利之技術創新特徵，可以啟發創意靈感。

2. 研發規劃階段

透過先前專利之調查、分析，可以客觀、具體方式，評估技術可行性或預測未來技術，有效迴避他人專利，開發自主技術，提高取得專利權之可能性。

3. 研究開發階段

參酌先前專利，可以適時修正研發藍圖，並決定研發資源之最佳分配模式，進而部署最有利之專利網。

4. 申請專利階段

監控先前專利動態，以完全掌控整個研發過程之專利成果，有助於申請專利及設定權利範圍。

5. 成果應用階段

得以確保競爭優勢，排除仿冒，同時保障產品之製造、銷售或技術移轉之自由度，降低侵害他人專利之風險。

6. 技術合作階段

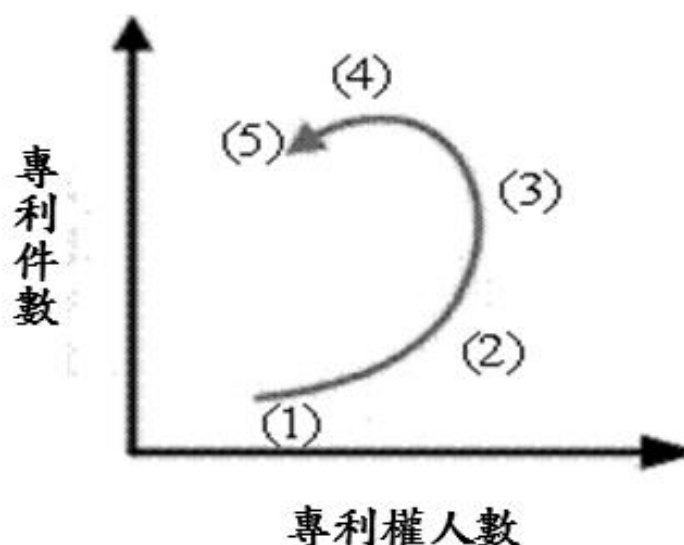
專利之調查及分析結果，有助於選定適合之技術來源者或合作者，並可針對合作對象，進行地毯式之專利檢索，以為談判授權契約之有利籌碼。

2.7.5 專利技術生命週期

Campell and Fendt (1983) 皆認為專利能夠提供技術變革中最豐富的價值情報。Campell (1983) 更指出在進行技術發展趨勢探索時，專利指標是非常重要的工具。像是進行專利分析時，獲得的專利資訊會顯示現階段技術發展的情況（萌芽、成長、成熟、衰退期）及有何種技術之發生，亦會指出哪一家公司何時涉入某一技術的開發及何時放棄，劉尚志（2000）亦認為專利管理策略必須配合技術生命週期時著重於發展或改良核心技術的應用，做好專利佈局；在技術成熟期時著重於避免侵害他人之專利，熟悉各種專利糾紛處理，積極進行專利資訊管理以及尋求專利授權，在技術衰退期時應著重周邊技術與替代技術之申請，並將已過時的技術授權出去。

技術發展週期可用專利統計資料變化來描述(劉尚志, 2001)其主要是透過專利件數與專利權人數隨時間之消長，來觀察產業技術所處之技術生命週期階段，其生命週期階段可分為五個部份：技術萌芽期、成長期、成熟期，瓶頸期，及衰退期等。圖2-5即為技術生命週期圖的型式，縱軸為專利件數；橫軸為專利權人數。

圖 2-5：專利發展與技術生命週期圖



資料來源：劉尚志，2001

表 2-9：專利發展與技術生命週期圖說明

階段	階段名稱	代表意義
第一階段	技術萌芽	廠商投入意願低，專利申請件數與專利權人數皆少
第二階段	技術成長	產業技術有突破或廠商對於市場價值有了認知，競相投入發展，專利申請量與專利權人數急遽上升。
第三階段	技術成熟	廠商投資於研發的資源不再擴張，只剩少數繼續發展此類技術，且其他廠商進入此市場意願低，專利申請量與專利權人數成長逐漸減緩。
第四、五階段	技術瓶頸及衰退期	產業技術研發遇瓶頸難以突破或此類產業已過於成熟，專利申請量與專利權人數呈現負成長。

資料來源：本文整理

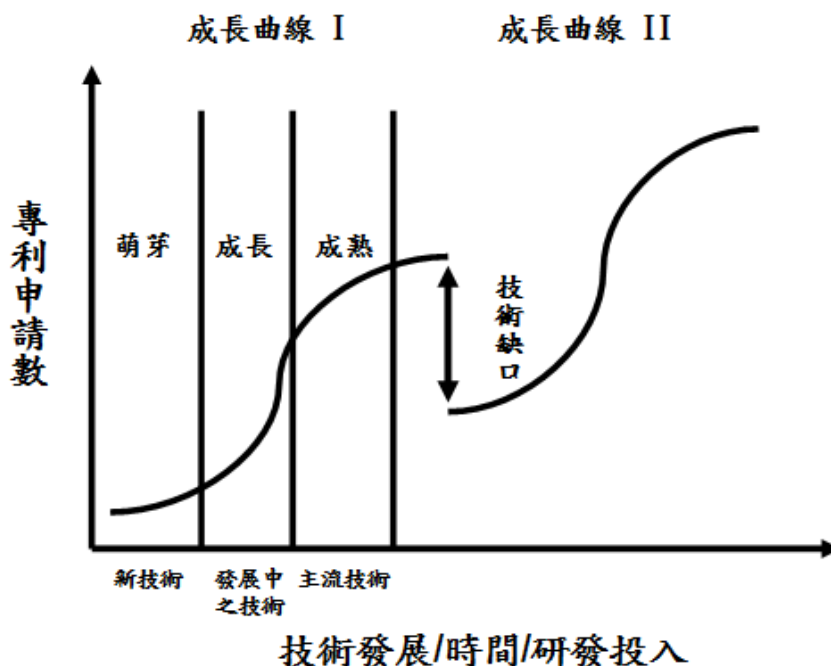
早期由學者 Scherer (1965) 證明企業在橫斷面的早期專利申請率和隨後的利潤、銷售成長差異有正相關，但在專利申請率或申請量上和隨後的生產力成長的關聯則沒有學者成功地證明出來(2001, 陳契盈)；William Comanor & Scherer (1969) 得到一個相當重要的發現，即專利申請數（而非核准數）和所有新產品（而不僅是新進入者的數量）間有相當緊密的關聯。在一個產業的初期或是一個產品的市場是由一家公司引進，初期新產品的產能小於市場需求，新產業成長所帶來的利潤機會變得吸引人，使新的企業加入此產業中，而在這發展的階段，有著很大的不確定性，實質上卻也存在著快速獲利的機會。此時先期進入者藉由專利的申請，排除未來可能競爭者的加入。但是如此吸引人的初期獲利階段，並不會一直持續下去，通常會吸引更多的廠商進入此產業之後，太多廠商的

加入，使得產能超出市場需求，每家廠商的獲利縮小，因此為能在市場上立足，廠商們必須決定是以低成本來領先對方，或是以品質來取勝，經過競爭淘汰的結果，使得適者生存，因此最後達到穩定的狀態。

2.7.6 專利與 S 曲線

S曲線的軌跡也可藉由專利申請數和技術發展，時間和研發投入來表達。如下圖所表示。一般稱為技術擴散或技術採用過程(Ernst, 1997)。技術發展可分為兩類，一為若某一技術沿著下圖之曲線I持續發展則稱為技術上的競爭。另一為若技術的發展由曲線I跳至曲線II時，因而產生不連續的技術缺口，我們則稱為競爭上的技術(楊丁元，陳慧玲, 1996)。在曲線I之不同生命週期階段，技術功效與研發投入金額之間的關係均可提供技術變革因素。讓企業在經營，技術管理及研發投資上之相關策略性議題一併考慮，以增加策略規劃之效能。

圖 2-6：技術進步軌跡圖



資料來源：Foster, 1986

一般來說，科技生命週期有許多可以落實研發政策的顯著特徵，包括：

1. 科學上主要的突破性發展，將連帶使得許多關鍵科技的創新，這將是促進長期經濟擴張的主要動力。
2. 從發明，創新到影響主要經濟的時間可能需要數十年。原因之一是市場需要國家創新系統多種元素的貢獻，才會轉換至新的科技生命曲線，但這些元素通常不會隨時齊備。
3. 由於需要配套各種相關的經濟資產，才能成功地發展並行銷新科技，致使前述週期轉換更顯得困難，這些資產可能無法使用，或是從一個生命週期轉換

至下個生命週期時發生顯著變化，以致難以取得或吸收。(袁建中，2006，科技管理)

綜合以上結論可歸納為以下幾點做為吾人選擇技術預測上的依據：首先是資料取得與品質，其是否具有代表性，在這樣的基礎下所得的資訊才有分析的價值，其次是必須確認影響技術變動的相關變數，做為選擇的因素，以增加預測的正確性，再來必須充分了解被預測技術的定義，以免預測的結論會有失真的情形。

本研究對技術預測模式之考量因素，除資料的取得與品質，能否正確確認影響技術變動的相關變數，以及充分了解預測技術的定義等等之外，本研究亦對研究的簡便與否與時間因素做為考量的因素，以便能以最少的資源投入做客觀的預測。



3.1 半導體發展簡史

半導體領域的研究並非一朝一夕的成果，而是經過超過一個世紀且經過相關科學家的努力才會有今日的蓬勃發展，而且改變了我們生活的方式。半導的研究可追溯到 19 世紀中，其剛開始的進展是十分緩慢的。初期的研究主要是記錄並描述一些現在所謂“半導體材料”的物理現象(如介於金屬和絕緣體的阻值)。而這些物理現象才被稍後由專門從事半導體研究的科學家們驗證並以學術文章的形式發表出來。到此，科學家們還尚未思考到該如將這些結果擴展於實際的應用上。

半導體的發展進程可參閱表 3-1。第一個有關於半導現象的正式記錄是由 M. Faraday 於 1833 年所記載的。Faraday 記錄了 silver sulphide 的低溫係數，稍後於 1839 年 E. Becquerel 描述了電壓可由半導體和電解質的接合面產生的現象，這也就是所謂的光伏特效應。1874 年德國科學家 Karl Ferdinand Braun 發現半導體於交直流電中有整流的效應；緊接著 E. H. Hall 於 1879 年發現了電壓可藉由不同的結晶體於磁場中產生，而這也就是所謂的 Hall 效應。Hall 效應不僅說明了電子載體的移動特性而且更可決定電導是由電子或是電洞產生的。而這個效應的發現也就是日後的 N 型和 P 型半導體發展的根據。

這些重要的發現對半導體的整體發展奠定了重要的基礎，然而 M. Plank 的量子理論對往後固態半導體的前景開拓了更重要一頁。M. Plank 的量子理論解釋了輻射為非連續性的，而是以分離的個體單位進行的，也就是我們所謂的光子。E. Einstein 將此理論更進一步的發展而發現了光電效應，也就是可藉由光子將電子由固態中激發出來。1909 年德國科學家 K. Baedeker 應用 Hall Effect 開始了一連串的二半導體實驗；J. Konigsberger 更於 1907 與 1914 年發表文章將 Silicon, Selenium, 以及 Tellurium 歸類於半導體元素。

在此之後的第一次世界大戰期間，半導體的發展並沒有如前的蓬勃發展下去。在大戰期中，唯一和半導體有關聯的發展是架構在固態放大器元件的開發上。這段期間半導體的發展不如以往的原因可歸究於可運用於半導體的材料技術發展過於緩慢以及缺乏更近一步的二半導體理論發展。之後隨著歐洲和亞洲緊繃的政治氛圍和軍事上的不安日益增加，固態電子的在軍事上的應用也逐漸的受到更大的重視。也是因為軍事的強勢發展而激發了半導體技術的重新發展。

美國於 1941 年加入二戰的戰場更加大了固態點接觸元件在微波技術應用上的需求力道。在 1934 年和 1940 年間，大部分的半導體材料的研究都是在 Bell Telephone Laboratories 進行的，而且都是與點接觸整流元件相關。由於二戰期間美國對雷達偵測的迫切需求，美國政府更發起了對固態物理領域及整流元件的大規模研究計劃。二戰無疑的是半導體產業的轉折點，由於美國在戰時對半導體技術發展的不遺餘力，以至於戰後半導體在美國已成為單一的產業。

表 3-1：半導體發展歷程表

Brief chronology of semiconductor	Year	Major Events
Origin and development of semiconductor (1833~1900)	1833	Semiconductor behavior found by Michael Faraday
	1839	Instance of the photovoltaic effect described by E. Becquerel
	1873	Effect of semiconductor rectification found by Karl Ferdinand Braun
	1879	Hall effect described by Edwin Herbert Hall
	1904	Non-linear rectifying properties of semiconductors to detect electromagnetic waves used by J.C Bose
Development of solid state physics and semiconductor (1900~1940)	1906	The contact-junction rectifier consisting of a thin wire and a crystal of semiconducting mineral made by G. W. Pickard
	1926	Quantum mechanics found by Erwin Schrödinger
	1926	Fermi-Dirac statistics applied in accordance with quantum mechanics
	1928	Bloch wave theory to describe electrons by Felix Bloch
	1938	The first solid state amplifier built by Robert Pohl
	1939	Rectifying theory by Walter Schottky
Age of transistor (1940~1960)	1941	P-N junction discovered by R.S. Ohl
	1947	First point contact transistor invented by John Bardeen and Walter Brattain
	1952	First Germanium Alloy junction transistor invented at the GE
	1954	Silicon-grown junction transistor entering production by
	1958	Process of planar transistor invented by Fairchild Semiconductor
Age of integrated circuit (1960~1970)	1958	Integrated circuit invented by Jack Kilby
	1968	Intel Corporation established
	1969	DRAM invented by R. H. Dennard
	1970	MOS invented
	1971	4004 microprocessor invented by Intel
Age of VLSI (1970~current (as of 2008))	1970~Current	Integrated circuits by combining thousands of transistor-based circuits into a single chip

資料來源：本文整理

美國不僅能生產高品質的點接觸元件外，也能生產接面型半導體元件。而且更全面性的半導體理論研究也得以開展，這些領域含蓋了物理，材料和化學。

在電晶體發明之前電器中的電壓放大功能都是藉著真空管來完成的. 1946年

美國軍方要求賓州大學 Dr. Mauchly 和他的學生 Eckert 設計以**真空管**取代繼電器的"電子化"電腦 ENIAC，目的是用來計算砲彈彈道。這部機器使用了 18800 個真空管，長 50 英尺，寬 30 英尺，佔地 1500 平方英尺，重達 30 噸（大約是一間半的教室大，六隻大象重）。它的計算速度快，大約一秒鐘可以做 300 多個乘法運算。然而，這部龐然大物所產生的熱量造成嚴重的冷卻問題，同時消耗大量電力。另外，真空管的損耗率相當高，幾乎每 15 分鐘就可能燒掉一支真空管，維修人員須花 15 分鐘以上的時間才能找出壞掉的管子，使用上極不方便。

William Shockley 對真空管相當瞭解，對真空管體積大、耗電量多、易損壞的缺點也知之甚詳。戰爭結束後，他亟想用當時正在發展中的半導體來取代真空管。Shockley, Bardeen 和 Brattain 針對真空管的特性於 1947 年在美國的貝爾實驗室製造出第一個具有放大電流效果的固態三極體，並首先啟用了『電晶體(transistor)』此一名稱。由於此三極體的結構特徵及電極的電流機制，因此取名為點接觸電晶體。隔年 Shockley 再設計出結構上由兩個 PN 接面緊緊相鄰在一起的半導體元件接面電晶體，此結構的電晶體特性穩定且不難，以當時的半導體技術來製作生產，旋即成為眾多電子元件中廣受矚目的焦點，其後來的發展更成為半導體元件的主流。

回顧 1950 年代初期，當時雖然已經發明可取代真空管的電晶體技術，但是由於缺乏與分離元件的整合能力，無法進行複雜的電路應用。為解決這個問題，1958 年加入德州儀器的 Jack Kilby，首先想到將這些分離元件整合在單一塊鍍或矽晶片上的構想，並著手進行研究。Jack Kilby 發明的第一塊可運作的 IC 是在鍍基板上，將一個電晶體、數個電阻、以及一個電容整合在一個，大小約有 0.5 英寸長。這個看似不起眼的小小發明卻掀起了半導體產業的全新變革。自此，IC 可以被大量生產，再加上製造技術進步推動了電路整合度的持續提升，更是帶動了整個科技產業的蓬勃發展。

半導體製造技術的轉型起始於 1957 年。Fairchild 半導體公司的 Jean Hoerni 和 Robert N. Noyce 發明了平面技術。這是一種利用 photomask，在 silicon wafer 內對金屬及化學物質進行層疊和刻蝕的系統。利用這種新技術，工程師們不僅能夠製造出品質穩定的、簡潔的積體電路，還能通過改變 photomask 的模式，製造出各種類型的電路。此後不久，工程師們就可以對前人所設計的簡單電路進行選擇組合，設計出更加複雜、應用範圍更廣的電路。

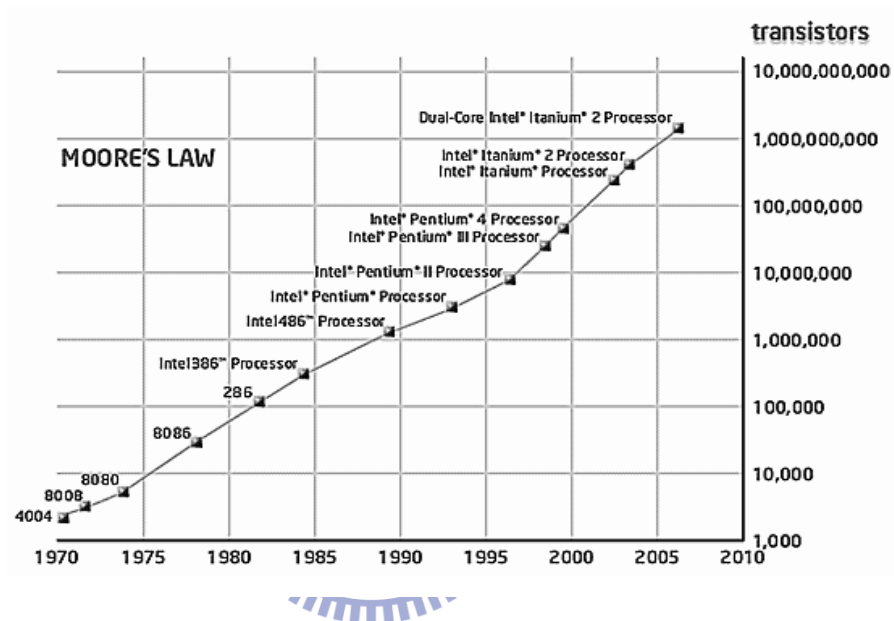
D. Kahng 及 M. Atala 更進一步的於 1960 年以金屬-氧化物-半導體（常以金氧半表示）的閘極結構，設計出以目前來看更為實用的場效電晶體。由於金氧半場效電晶體可大量縮小其體積、耗電量低、穩定性高、容易大量生產，因此在微電子的應用上，後來居上，不論在產量或是用途方面，都遠超過其他任何一種電子元件。電晶體體積不但小，耗電量低而且工作速度快，半導體的技術進入了另一個新的階段。

3.2 Moore 定律

1970 年後隨著積體電路的整合度應用範圍逐漸擴大，設計也日趨複雜而進入了超大型積體電路時代。這其中的代表公司當非 Intel 莫屬，Intel 由 Robert

Noyce 和 Gordon Moore 於 1968 年成立的。在 Intel 成立之前，創辦人之一的 Gordon Moore 早於 1965 年提出了半導體界至今都還有效的理論 Moore's Law (圖 3-1); 也就是積體電路 (IC) 上可容納的電晶體數目，約每隔 18 個月便會增加一倍，性能也將提升一倍，當價格不變時；或者說，每一美元所能買到的電腦性能，將每隔 18 個月翻兩倍以上。這一定律揭示了資訊科技進步的速度。Intel 製造半導體的能力在當時而言是相當突出的，而當時他們主要的產品是 SRAM 的晶片。Intel 在 70 年代時因為擴廠與升級製程的關係，能夠主導多種記憶體的生產，同時 Intel 在 1971 年製造出第一顆微處理器且於 1972 年製造出第一台微電腦。

圖 3-1: Moore 定律與電晶體數目示意圖

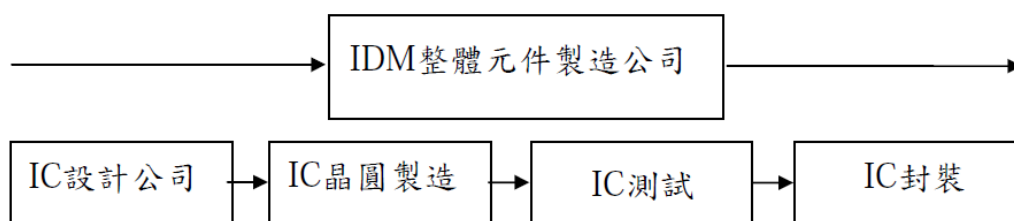


資料來源：本文整理

3.3 半導體產業鏈

本章將半導體的演進歷程作了概略的說明，從 1947 年發明電晶體到現在，已經超過了半個世紀。回顧國際經濟，在第二次世界大戰以前，一個國家的鋼鐵量幾乎等於國家的實力。但隨著半導體的發展電子工業已成為衡量國家技術及經濟的重要指標。圖 3-2 為半導體產業鏈示意圖。

圖 3-2: 半導體產業鏈示意圖



資料來源：本文整理

IC 設計公司

IC 設計流程包括了功能描述，邏輯設計，電路模擬分析，電路佈局等四大塊。要完成一個完整的積體電路，首先就要對這一個晶片做完整的功能規格描述。而邏輯設計之目的是用已有的基本邏輯單元，將描述電路功能的數學函數進一步的具體化，使所有的功能描述皆能以實際可執行的電路模組來完成。由這些基本單元構成功能完整的積體電路，再經過模擬軟體檢驗以確定所設技的邏輯沒有問題之後接著要轉化成實際的電路元件符號，再依這些元件符號轉化成電路分析模擬程式所需的格式。

常用的電路分析模擬程式為 SPICE, 其目的為檢查類比結果是否符合我們的要求。而電路佈局就是做電路分析及半導體製程的中間橋樑。其最主要的目的就是藉著其功能將製程上所需用到的光罩繪製出來。當做完電路佈局後，還要使用電腦輔助設計程式如 DRC, LVS, LPE 等以便檢查電路佈局是否有缺失。在確定完成後，會對電路佈局進行電路分析模擬，檢查是否和之前由 SPICE 所驗算的結果一致。若有不一致，則再由電路佈局開始流程進行確認。當結果正確後，便可將定案之電路佈局送去製做光罩，開始半導體製程。

IC 晶圓製造

IC 晶圓製造通常可分為四大部分，分別簡述如下：

光刻：

本工序的作用在於利用照相顯微縮小的技術，定義出每一層次所需要的電路圖，因為採用感光劑易曝光，得在黃色燈光照明區域內工作，所以也叫做「黃光」。微影成像(雕像術;lithography) 決定元件式樣(pattern)尺寸(dimension)以及電路接線(routing)

在黃光室內完成，對溫、濕度維持恆定的要求較其他製程高。一個現代的積體電路(IC)含有百萬個以上的獨立元件，而其尺寸通常在數微米，在此種尺寸上，並無一合適的機械加工機器可以使用，取而代之的是微電子中使用紫外光的圖案轉換(Patterning)，這個過程是使用光學的圖案以及光感應膜來將圖案轉上基板，此種過程稱為光刻微影(photolithography)。

蝕刻：

蝕刻製程是將電路佈局移轉到晶片上之關鍵步驟，包括蝕刻及蝕刻後清洗兩部份，現階段以多層導線所需之蝕刻及清洗技術為重點。目前之技術重點在於雙嵌入結構蝕刻技術及低介電常數材料蝕刻技術，以搭配銅導線製程達成低電阻、低電容之目標。蝕刻後清洗技術開發已建立基本之氧化層及金屬層蝕刻後清洗能力，目前之技術重點在雙嵌入結構蝕刻後清洗技術，銅導線相容之光阻去除技術、低介電常數材料相容之光阻去除技術、銅污染去除技術等。經過黃光定義出我們所需要的電路圖，把不要的部份去掉，此去除的步驟就稱之為蝕刻，因為它好像雕刻，一刀一刀的削去不必要不必要的木屑，完成作品，期間又利用酸

液來腐蝕的，所以叫做「蝕刻」。

擴散：

本工序的製造過程都在高溫中進行，又稱為「高溫區」，利用高溫給予物質能量而產生運動，因為本區的機台大都為一根根的爐管，所以也有人稱為「爐管區」，每一根爐管都有不同的作用。SiO₂ 良好的絕緣特性導至矽半導體及 MOS 結構能夠盛行的主要原因。第一個做出的是 Ge 半導體 Ge(鍺)無良好的氧化物所以分展矽化合物半導體 GaAs Inp 常用在光電因會發光，n 和 p 的濃度提高空乏區寬度變窄，因為技術愈來愈小由 0.35 到 0.07 要空乏區不碰到才行，所以要提高濃度。

薄膜：

薄膜技術旨在開發應用於 0.18 微米以下，ULSI 製程所需之成膜沈積技術，涵蓋金屬導線技術、介電層技術以及平坦化技術等三項子技術。以金屬導線技術而言，以銅導線沈積技術研發為主，依據半導體製程發展趨勢將開發高電漿密度物理性金屬沈積技術、電化學沈積技術以及化學氣相沈積技術。以介電層技術而言，主要分為先進介電值沈積技術及低介電常數薄膜成膜技術，先進介電質沈積技術為開發高密度電漿化學氣相沈積，介電質抗反射層氟摻雜玻璃蝕刻阻擋層等應用於 0.18 微米之介電層沈積技術；而低介電常數膜主要應用於高速元件傳遞延遲、功率消耗及幹擾，本計畫將針對此新材料之成膜應用加以研究。平坦化技術主要開發化學機械研磨相關技術，針對金屬及介電質進行研磨及研磨後清潔技術之研發，並針對研磨終點檢測技術平坦化模擬、研磨後腐蝕及氧化之防治進行研究。

本工序機器操作時，機器中都需要抽成真空，所以又稱之為真空區，真空區的機器多用來作沈積暨離子植入，也就是在 Wafer 上覆蓋一層薄薄的薄膜，所以稱之為「薄膜區」。在真空區中有一站稱為晶圓允收區，可接受晶片的測試，針對我們所製造的晶片，其過程是否有缺陷，電性的流通上是否有問題，由工程師根據其經驗與電子學上知識做一全程的檢測，由某一電性量測值的變異判斷某一道相關製程是否發生任何異常。此檢測不同於測試區 (Wafer Probe) 的檢測，前者是細部的電子特性測試與物理特性測試，後者所做的測試是針對產品的電性功能作檢測。

IC 測試

IC 測試為晶片測試 (CP, Circuit Probe)，其包括了晶圓針測和雷射修補。晶圓針測的主要目的是測試晶圓中每一顆晶粒的電器特性，線路的連接，檢查是否為不良品。若為不良品，則點上一點紅墨水做為識別之用。雷射修補的目的則是修補尚可被修復的不良品，以提高產品的良率。當晶圓針測完成後，有備份電路的產品會與其在晶圓針測時所產生的測試結果資料一同送往雷射修補機。這些資料包括不良品的位置，線路的配置等。雷射修補機的控制電腦可依這些資料嘗試將晶圓中的不良品修復。工序完成後會使用加溫烘烤將點在晶粒上的紅墨水烘

乾，再做晶圓表面請理。

IC封裝

IC封裝是將前段製程加工完成之晶圓經切割，黏晶，焊線等過程後的包覆工序。封裝的目的主要是保護IC元件以使其易於裝配於PCB模組板上。IC封裝有四項功能，其為(1)電力傳送，(2)訊號傳送，(3)熱去除，和(4)電路保護。電力傳送功能是将電源經由封裝後的IC內部線路重新分配後，穩定的驅動IC晶片使之運作。訊號傳送的目的是將IC所產生的訊號，或外界輸入的訊號透過封裝線路的傳送以达正确的位點。IC封裝藉由封裝材料之導熱功能將電子於線路間傳遞所產生的熱去除，以使IC晶片可在工作溫度下不致因過熱而失效。封裝的最後一項主要功能為電路保護，IC封裝除了對易脆的晶片提供了足够的機械強度及適當的保護外，亦可避免IC線路受到污染。大體說來，封裝流程有晶圓固定，晶圓切割，紫外线照射，黏晶，導線架焊接，焊線，封膠，電鍍，剪切/成型，檢測及印字等步驟。待完成這些流程後再將封裝好的IC進行最終測試 (FT, Final Test)。半導體產品介紹：

3.4 半導體產品之主要分類

用半導體材料製成的具有一定功能的器件，統稱半導體元件，也稱為分離器件。半導體元件主要有二端元件和三端元件兩大類。絕大部分二端器件（即二極管）的基本結構是一個PN接點。利用不同的半導體材料、採用不同的工藝和幾何結構，已研製出種類繁多、功能用途各異的多種二極管，可用來產生、控制、接收、變換、放大信號和進行能量轉換。二極管的頻率覆蓋範圍可從低頻、高頻、微波、毫米波、紅外直至光波。三端器件一般是有源器件，典型代表是各種電晶體（又稱三極管）。電晶體又可以分為雙極型電晶體和場效應電晶體兩類。根據用途的不同，電晶體可分為功率電晶體微波電晶體和低雜訊電晶體。

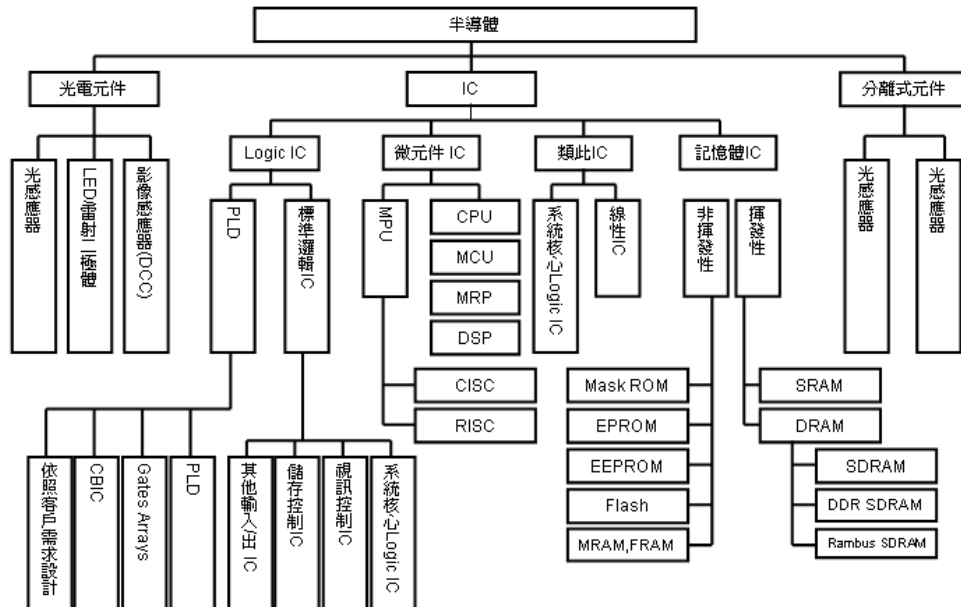
除了作為放大、振盪、開關用的一般電晶體外，還有一些特殊用途的電晶體，如光電晶體、磁敏電晶體，場效應感測器等。這些器件既能把一些環境因素的資訊轉換為電信號，又有一般電晶體的放大作用得到較大的輸出信號。此外，還有一些特殊器件，如單結晶體管可用於產生鋸齒波，可控矽可用於各種大電流的控制電路，電荷耦合器件可用作攝像器件或資訊存儲器件等。在通信和雷達等軍事裝備中，主要靠高靈敏度、低雜訊的半導體接收器件接收微弱信號。隨著微波通信技術的迅速發展，微波半導體低雜訊器件發展很快，工作頻率不斷提高，而雜訊係數不斷下降。微波半導體器件由於性能優異、體積小、重量輕和功耗低等特性，在軍用電子系統中已被廣泛的應用。

如圖 3-3 所示半導體元件大致可分為三大類，以下就各大類之半導體元件做簡略說明。

1. 光電元件：半導體光電元件是以光的基本粒子——光子，為主要運作的元件。近年來光電元件的長足進步，給許多系統的應用（如光纖通訊、光學儲存及軍事系統等）帶來很大的衝擊。由於應用上的需求，全世界

都加緊腳步對此一領域作深入的研究。半導體光電元件一般可分為三類：將電能轉換為光的放射，如發光二極體及雷射二極體；將光的訊號轉換為電的信號，如光檢測器；將光的輻射能轉換為電能，如太陽電池。

圖 3-3: 半導體產品分類圖



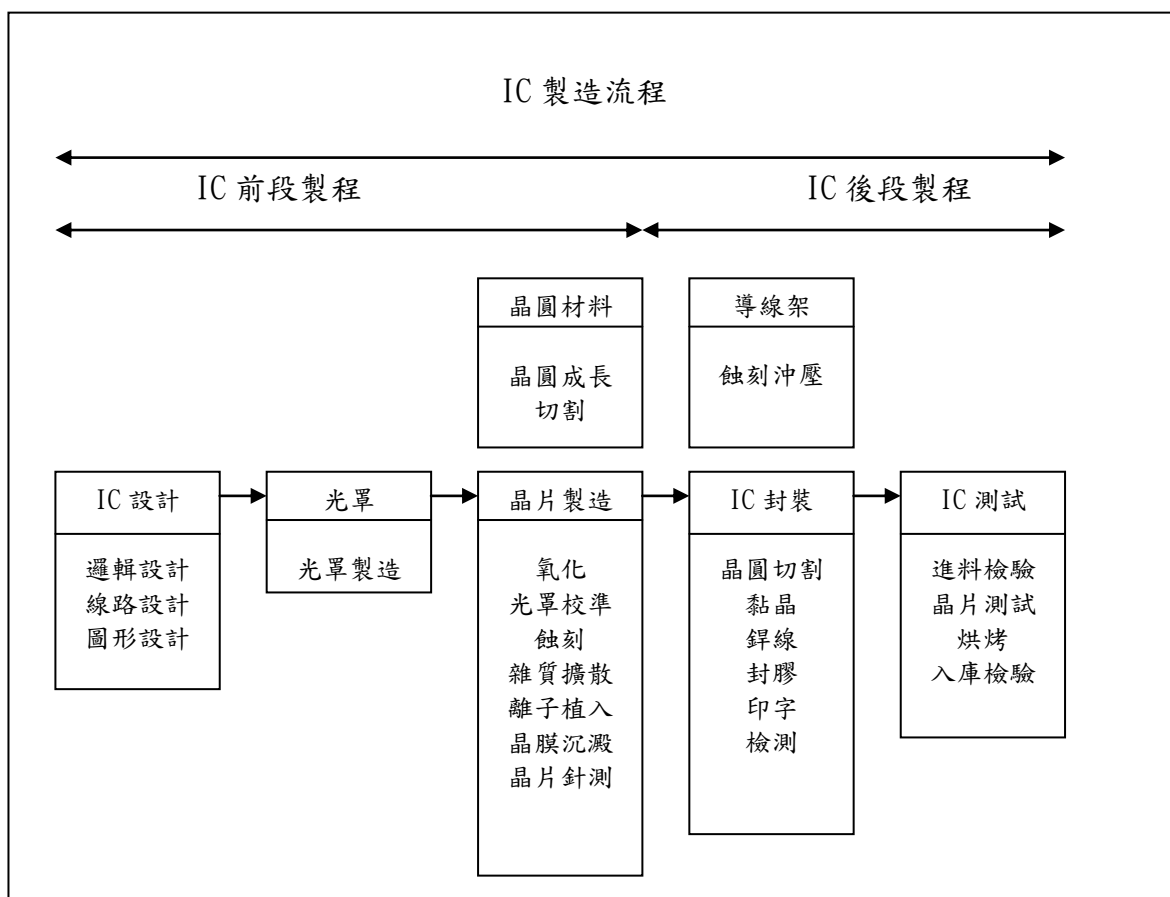
資料來源：拓璞產業研究所，2006

2. 積體電路(IC): 可以分為類比電路，數位元電路和混合信號積體電路(類比和數位元在一個晶片上)。數位電路可以包含任何東西，在幾平方毫米上有從幾千到百萬的邏輯門，正反器，多工器和其他電路。這些電路的小尺寸使得與板級集成相比，有更高速度，更低功耗並降低了製造成本。這些數位 IC，以微處理器，數位信號處理器 (DSP) 和微控制器為代表，工作中使用二進位制，處理 1 和 0 信號。類比電路，例如感測器，電源控制電路和運放，處理類比訊號。完成放大，濾波，解調，混頻的功能等。類比電路通過專業的類比電路設計而不是通過嘗試來設計困難的類比電路，減輕了電路設計師的重擔。IC 可以把類比和數位元電路集成在一個單晶片上創造功能，如類比數位轉換 (A/D converter) 和數位類比轉換 (D/A converter)。
3. 分離式元件：是半導體產業的最初產品。儘管集成電路的發明和集成電路的迅速發展使一些器件已集成進集成電路，但由於半導體分離式元件的特殊性：如使用靈活性，可在眾多線路中應用、低成本制作芯片的工藝，高成品率，不可替代性，如大功率、高反壓、高頻，特殊器件如肖特基以及特殊工藝的分立器件等，使分離式元件仍為半導體產品的基本支持。半導體分離式元件種類繁多，具有廣泛的應用範圍和不可替代性，並具有技術成熟、可靠性高、成本低且採購渠道和資源豐富等特點。特別是在不能集成的功能中，半導體分離元件起著關鍵的作用。

3.5 半導體奈米製程技術發展現況

半導體製產業鏈中，IC 之成型主要是以電晶體為基本架構之半導體元器件組合而成。這些元器件之主要是於矽晶圓上製造而成。因此半導體之製程技術對 IC 成品之影響扮研著重要角色。隨著終端電子產品的個人化需求，產品之設計及製造也朝向輕，薄，短，小的設計理念發展。這種趨勢驅動半導體的製造技術不斷的往極限挑戰。

圖 3-4: 半導體製造流程



資料來源：工研院電子所 ITIS 計劃

奈米製程技術代表了半導體產業一大成就。對積體電路而言，衡量其效能的指標主要有兩項指標，即運算速度與功率消耗。在矽晶圓上，電晶體的閘極寬度愈小，切換速度便可以愈快。而電晶體體積愈小，彼此間距離愈近，電子信號傳輸速度亦會愈快。因此隨著製程的持續演進，IC 的性能亦會不斷的往上提升。且由於電晶體不斷變小，同樣的 IC 晶粒便可擠進更多的電晶體，這也代表電路可以愈做愈複雜且功能愈來愈強大。

而另一個隨著製程技術不斷的微縮所帶來的現象就是電晶體愈做愈小，晶圓上的電晶體數目持續增加。無論電晶體數量多寡，在晶圓廠生產線上製造一片矽晶圓的成本大致相同。所以若在一片矽晶圓上做出愈多的電晶體，平均每個電晶體的成本就愈低，這使得 IC 產品也變得愈來愈便宜。

根據 SIA 製程技術藍圖顯示 (表 3-2)，半導體製程微小化進程將由 1999 年的 0.18 μm 製程進展到 2014 年的 35nm。由此藍圖中可以看出晶體間長將不斷的向下縮小。從 0.25 μm 到 0.18 μm 的技術世代，鋁金屬可說是唯一的金屬導線材料。然而隨著生產技術進步至 0.25 微米以下的水準，R (電阻) 與 C (電容) 延遲效應對鋁導線與氧化矽製程的影響越來越大。RC 乘積愈大速度就愈慢，反之因此半導體產業逐漸由銅來取代鋁，其中主要的原因即在於銅的電阻率只有 1.7 歐姆公分，比起鋁的 3 歐姆公分小了許多，而且由於銅導線的導電度良好，因此可以傳導更多的電流且晶片性能可提升 30~40% 之多。

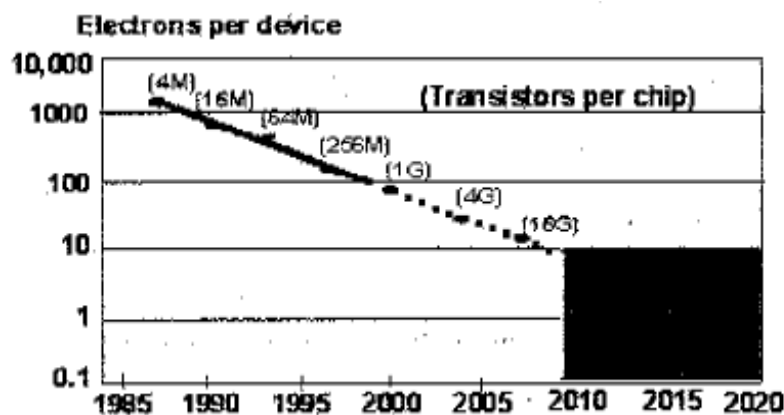
表 3-2: 半導體製程微小化進程

Year	1999	2002	2005	2008	2011	2014
Feature size (nm)	180	130	100	70	50	35
Logic trans/cm ²	6.2M	18M	39M	84M	180M	390M
Cost/trans (mc)	1.735	.580	.255	.110	.049	.022
#pads/chip	1867	2553	3492	4776	6532	8935
Clock (MHz)	1250	2100	3500	6000	10000	16900
Chip size (mm ²)	340	430	520	620	750	900
Wiring levels	6-7	7	7-8	8-9	9	10
Power supply (V)	1.8	1.5	1.2	0.9	0.6	0.5
High-perf pow (W)	90	130	160	170	175	183

資料來源：SIA 製程技術藍圖, 2008

1965年Gordon Moore所提出的Moore's Law, 主導了IC業的發展規律。然而時至今日，半導體微小化進程已進入到奈米級階段；材料的電子特性也由我們所熟悉的古典物理進入到量子物理。此外持續微小化對Moore's Law所造成的影響就是電晶體愈來愈小時，所儲存的電子也就愈來愈少。其結果就是每一位元上只能儲存一個電子，而這也是微電子工業的“磚牆屏障”(圖3-5)。伴隨而來的還有製造成本的增加，在20世紀末，一座晶圓廠的建造成本超過50億美元。若依此趨勢，到2035年時建造一座晶圓廠將高達全球的GDP總和。

圖 3-5: 磚牆屏障



資料來源：Henry Kressel, 2007

電子元件進入奈米等級後，不儘在材料方面開始遭遇到一些瓶頸，在半導體製程前後段整合的挑戰性也愈加困難。以下就針對在奈米製程技術上較為關鍵之前後段主要技術進行介紹

圖3-6: 臺積電製程技術地圖

Process Technology	90nm	65nm	45/40nm	32/28nm
Well	Super steep retrograde			
Isolation	Shallow trench			
Gate Material	Salicided-Poly-Si/SiO ₂ (nitrided)			SiON-Poly / HKMG
Lithography (critical layer)	193nm Dry		193nm Immersion	
Strain Engineering	Generation-1	Generation-2	Generation-3	Generation-4
Silicide	Cobalt Silicide	Nickel Silicide		
Metal layers/material	Copper / Damascene			Low-R
IMD	Low-k (k=2.9)		ELK (k=2.5)	

資料來源：技術在線, Feb. 26, 2010

3.5.1 高介電質閘極 (High K Metal Gate/HKMG)

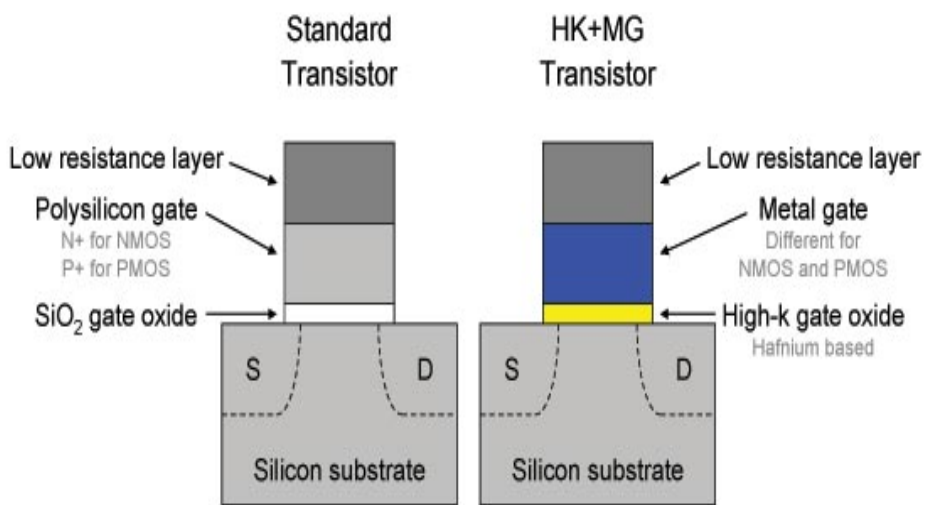
金屬氧化半導體(MOS)的三種基本材料為金屬層，氧化層和半導體層。而氧化層最主要的材質是 SiO₂。因為二氧化矽為絕緣體材料，遭電崩潰所需的電場高再加上很容易在矽晶片上藉高溫氧化來製作，因此一直是製作閘極絕緣體的主要材料。然而透過持續薄化的方式，一直延用到 90 nm 製程節點。但微縮製程發展到 65 nm 以下節點時，以二氧化矽為主體的膜厚將會降低到 1.2 nm 的極限厚度(相當於 5 層原子)。而二氧化矽的絕緣膜厚度在 4 nm 以下時，會發生量子力學中所謂的『穿隧效應』，當膜厚薄至 2 nm 以下時，當閘極不施加電壓的情況下，也會產生漏電流現象，導致元件無法正常運作。也因此以高介電材料來取代傳統的 SiO₂ 為主要的方向（介電常數愈高，介電層愈厚，愈絕緣）。

傳統的二氧化矽在次深微米的技術上會產生以下的問題 一、直接穿透漏電流的問題；薄氧化層已不是一個良好絕緣體，漏電流的機制將由F-N tunneling 轉變為Direct tunneling，使的漏電流的大小隨厚度減少呈現級數增加。二、通道電子漏失的問題；太大的漏電流使得電子無法在通道中累積，降低元件電流的驅動力。三、載子遷移率下降的問題；氧化層厚度的減少使得垂直於通道的電場快速增加，因此表面散射的效應增強，導致通道中的載子遷移率下降。

為了因應低消耗功率的應用，將會需要用到高介電薄膜。到時，等效氧化層厚度(EOT, equivalent oxide thickness)預期在 1.5 到 2 奈米，而閘極漏電流要低於 2.2mA/cm²。等效氧化層厚度為高介電薄膜一個重要的定量厚度特性。

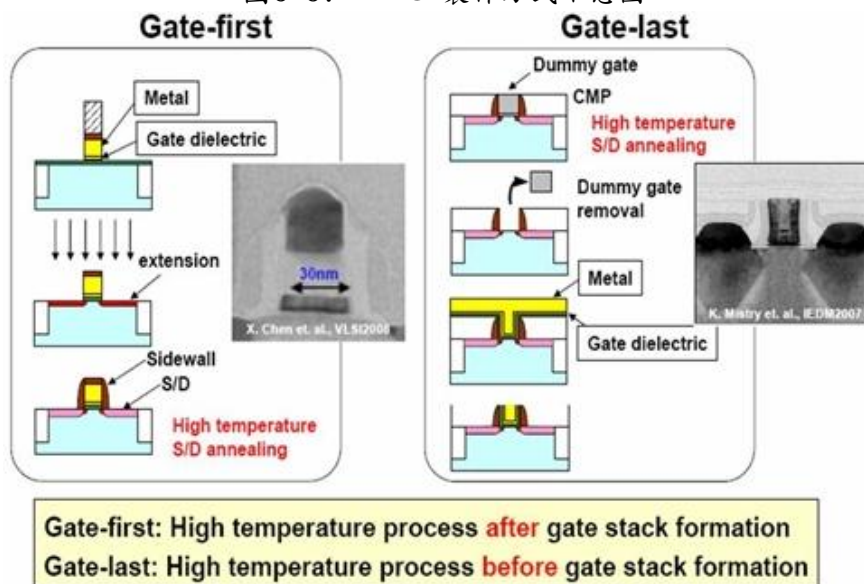
SiO₂ 的介電常數(k)為 3.9，在相同的等效氧化層厚度之下當 k 大於 3.9 時，其高介電閘極薄膜的物理厚度較 SiO₂ 厚因此可減少漏電流現象。為了讓晶片有更快的效能，因而提出了高介電質 (High-k) 技術。高介電值材料常以 High-K 稱呼之，主要功能是用來隔絕閘極的漏電流。High K 是用以衡量一種材料能儲存多少電荷，當 K 值越高，電晶體的電容值也越高，也就能降低電晶體溫度，控制漏電流，且 High-k 介電值厚度是二氧化矽之數倍，能夠有效降低漏電流達 100 倍，因為降低漏電就能減少功耗與發熱。此外高介電質材料主要是替換原有位在閘極金屬電極與矽基板間的 SiO₂ 絕緣材，如此可使電晶體的導通、關閉更加快速，推估可比傳統 SiO₂ 作法快上 60%。此外藉由改變元件材料所製做的金屬閘極也被採，用以解決短通道效應及截止電壓的問題。

圖3-7:傳統CMOS和HKMG比較圖



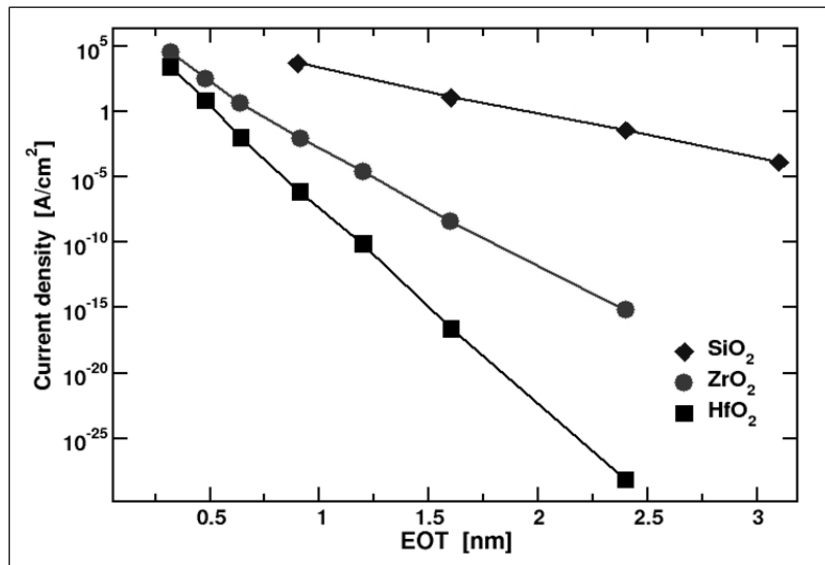
資料來源：ANANDTECH (<http://www.anandtech.com>)

圖3-8:HKMG 製作方式示意圖



資料來源：IEEE/AMAT Seminar, 2008

圖3-9: 等效氧化層厚度-SiO₂ v.s High K



資料來源：本文整理

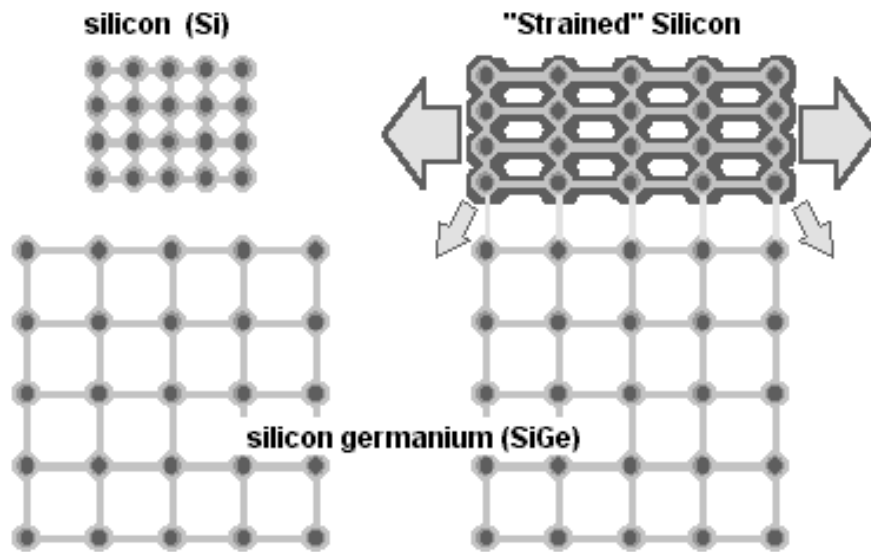
3.5.2 應變矽 (Strained Silicon)

矽基(Silicon-based)技術在電子元件微小化過程中，進到奈米尺寸後，由於受到製程能力，元件物理的限制，而需思考其它方法，以突破效能無法提升的困境。其中應變矽(Strained Silicon)技術利用矽鍺及矽異質介面其晶格不匹配的特性，以及易與主流技術CMOS製程技術相容的特點，已逐漸開啟新一代微電子技術潮流。其最大的特點就是利用矽鍺虛擬底材(Virture Substrate)的觀念，在其上形成應變矽層以提高傳導載子的移動速率，且在未改變CMOS的製作方法的前提下就可有效的提升元件特性及其電路的應用效能。

鍺元素與矽元素同屬IV族，但其晶格常數(Lattice Constant)及能帶間隔(Energy Bandgap)不同，造成矽鍺合金異於矽晶體。一般說來，矽鍺晶格常數依鍺含量增加而變大，而能帶間隔則隨鍺含量增加而遞減。由於晶格常數不匹配，在矽晶片上成長矽鍺薄膜，在水平方向將受矽底材的限制，矽鍺將以相同於矽底材的晶格常數磊晶成長，因而呈現一種(compressive)狀態，而在垂直方向則會以略大於矽鍺原有晶格常數伸張(Tensile)，來稍微鬆弛(Relaxation)部分水準方向的壓縮，但整體來說呈現一種形變(Strain)狀態。其成長的厚度有一定的限制稱之為臨界厚度(Critical Layer Thickness)，超過此厚度將會以產生差排(Dislocation)方式來鬆弛其形變。

圖 3-10：應變矽示意圖

From Computer Desktop Encyclopedia
© 2002 The Computer Language Co. Inc.



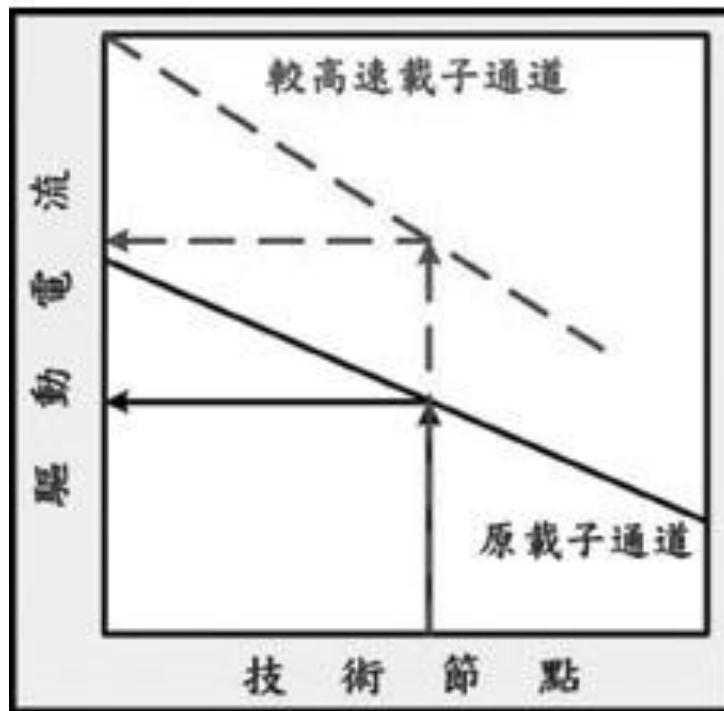
資料來源：Computer Desktop Encyclopedia, 2002

When the silicon is adhered to the silicon germanium, the silicon atoms are stretched.

當矽薄膜磊晶層成長於矽鍺虛擬底材上，由於矽與矽鍺之間的晶格常數不同，而形成所謂的伸展，張力。因此當矽磊晶成長於晶格常數較大的矽鍺虛擬底材上，只要其厚度未超過臨界厚度，將形成一層雙軸伸張(Bi-axial Tensile)應變矽薄磊晶層。當矽晶格受到應力產生應變，應變矽層因晶格常數變大，能帶間隙變小，因此可將傳輸載子之有效質量縮小，遷移率及飽和速度均增加，故可以提高傳導載子的移動速率。因此在同樣元件尺寸下，若使用應變矽技術作為載子傳輸通道(channel)，因其電子與電洞的載子遷移率增加，可達到增加元件速度與驅動電流的目標。

圖3-11為驅動電流(Ion)與技術節點關係圖，實線為傳統的金氧半電晶體隨技術節點的驅動電流，電晶體縮小的趨勢為由右向左，驅動電流漸增以符合國際半導體技術藍圖之需求，若載子在通道中的傳輸速度增加，如虛線，便可在相同技術節點下獲得更大的驅動電流，便可降低驅動電壓，換句話說，便可在維持相同的技術節點下，電晶體性能可以達到國際半導體技術藍圖下一世代的要求，可以大大降低微影與製程技術研發的成本。

圖3-11：為驅動電流(Ion)與技術節點關係圖



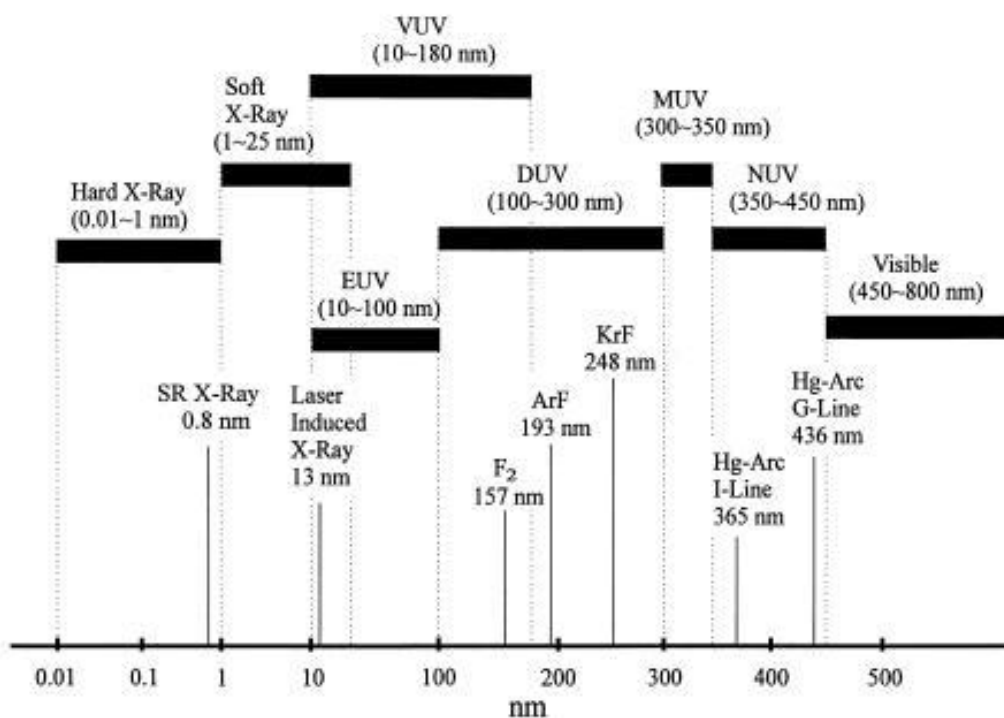
資料來源：半導體科技先進封裝測試“應變矽製程技術探討”，2005/4/15

3.5.3 奈米微影技術 (Nano-lithography)

微影(Lithography)在半導體製程上較狹義之定義，一般是指以光子束經由圖罩(Mask, Reticle)對晶圓(Wafer)上之阻劑照射；以電子束、離子束經由圖罩、圖規(Stencil)對阻劑照射；或不經由圖罩、圖規，對阻劑直接照射（直寫），使阻劑產生極性變化、主鏈斷鏈、主鏈交連等化學作用，經顯影後將圖罩、圖規或直寫之特定圖案轉移至晶圓。此特定之圖案可供後續製程，如離子佈植、金屬蒸鍍，電漿蝕刻之用。

積體電路製程技術之所以能持續發展下去的主因之一就是微影技術的進步，這使得我們可以製作出更小尺寸之元件，也使得電路密集度與複雜度可以提高，並同時降低製作成本。近年來，隨著元件尺寸縮小至奈米尺寸，傳統的光學微影技術將面臨物理極限上之障礙，因此，一些新的微影技術被提出來取代傳統的黃光微影技術；這些技術包含有：浸潤式微影技術(immersion lithography)、電子束微影技術(Electron beam lithography, EBL)、X光微影技術(X-ray lithography)、深紫外光微影技術(Deep UV lithography)、奈米壓印微影技術(Nanoimprint lithography)等等。

圖3-12：微影技術地圖



資料來源：正修科技大學機械工程學系

傳統半導體業界所使用之微影技術以光學微影技術為主，此技術可達小線寬可用Rayleigh Equation來表示：

$$W = k1 \cdot \lambda / NA \quad (\text{公式一})$$

其中為 $k1$ 解析因子， λ 為光波長， NA 為數值孔徑。由式1可知，如果要縮小最小線寬，則光波長(λ)必須隨之縮短。在0.8微米世代所用之光波長為365奈米(I-line)，在0.35微米世代所用之光波長為248奈米，而90奈米世代所用之光波長則為193奈米。原本當線寬進一步變小時，應該使用光波長為157奈米之氟準分子雷射(fluorine excimer laser)，然而由於微影機台之透鏡材料氟化鈣(CaF_2)對此波長之光易產生雙折射之現象，因而造成微影系統的解析度差。

另一個改善的解析度的方法是改善 $k1$ 與 NA 值。隨著微影設備之透鏡系統的進步，目前商用設備的透鏡之數值孔徑(NA)值已可提高至0.8以上(在真空環境下，數值孔徑之物理極限為1)；另一個影響最小線寬之因素則為解析因子($k1$)，此因子受到許多因素之影響，如：光阻品質、相移光罩(phase shift mask)之使用、偏軸照射(off-axis illumination)技術之使用等等，一般解析因子之值約在0.25以上。由此，我們可以初估，波長為193奈米之微影技術所能達到的最小線寬約為53奈米($\lambda = 193\text{nm}$ 、 $NA = 0.9$ 且 $k1 = 0.25$)，而目前的半導體製程技術已達45奈米以下，這表示著現今的奈米技已有一些突破。

若能改變曝光設備的 NA 值，便可以進一步縮小最小線寬之極限，圖2表示一般投影式曝光機的 NA 之值為：

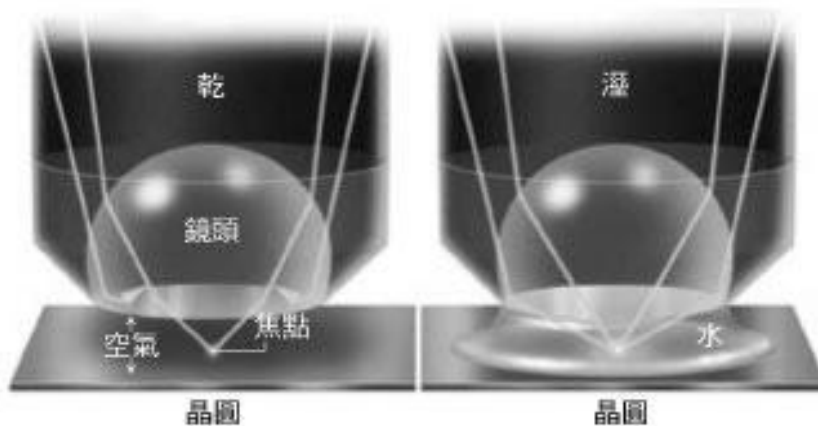
$$NA = n \cdot \sin \alpha = d/(2f) \quad (\text{公式二})$$

其中n為透鏡周圍物質之折射率， α 為有效最大聚焦半夾角，d為有效投影鏡直徑，f為透鏡焦距。

因此，由式2可清楚的看出以空氣為周圍物質的微影系統之物理極限；而只要能改變透鏡周圍的物質使n值大於1，即可進一步縮小最小線寬之極限。浸潤式微影技術即是基於此概念開發出來的。除了n需大於1以外，對於此物質的求還需對波長為193奈米的光有極低之吸收率、與透鏡材料和光阻相容以及不會有污染之疑慮等等，很幸運的，純水(n=1.47)符合了這些需求。因此可由上式可估計出若改用純水為透鏡周圍物質，則最小線寬可縮小至約35奈米，此已經能滿足45奈米技術節點之要求。

圖3-13為浸潤式微影之示意圖，在基材與投影透鏡間多了一層可以改變折射率的液體。在鏡頭與晶圓之間的空隙中填滿水，可提高晶片製造微影技術工具的解析度。雷射光為了要投射出最小的電路線寬，會以極斜的角度穿透鏡頭，如果遇到空隙中的空氣，很容易就會被反射回去（左圖）。反之，光線若以相同的角度遇到水就會發生偏折，因此可抵達焦點（右圖）。浸潤式微影技術也能改善焦深，也就是成像清晰的狀況下，從鏡頭到影像之間的距離。

圖3-13: 浸潤式微影技術示意圖



資料來源：台積電公司網站

由此概念，若能找出n值更大且滿足各項要求的液體，最小線寬的極限應可再推進一至二個世代，甚至有可能使得此技術延用至22奈米。

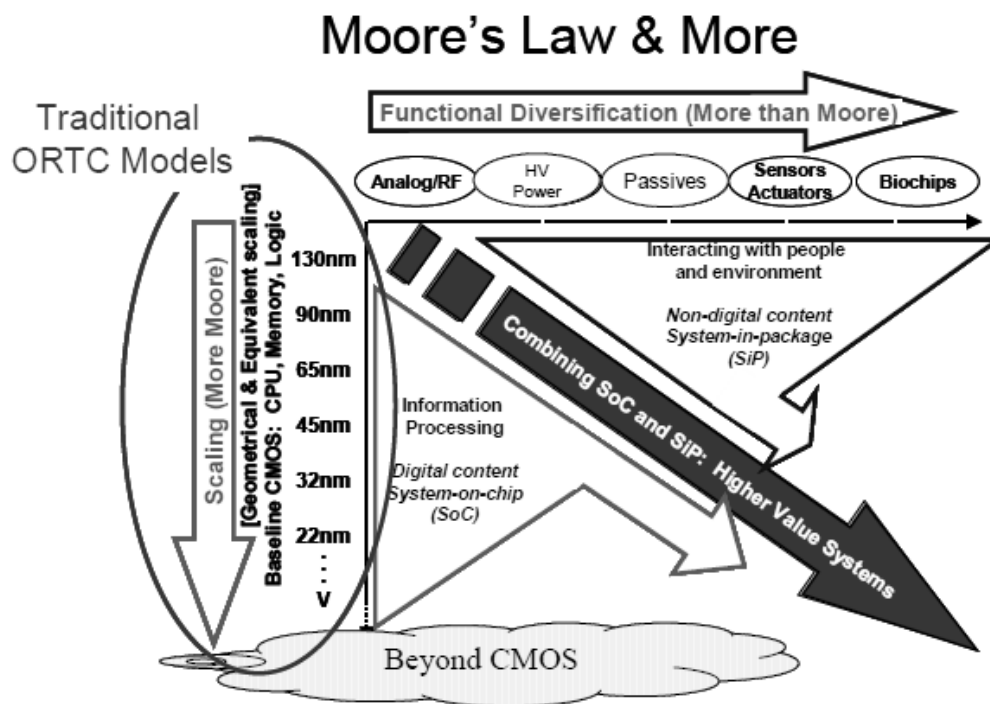
3.5.4 封装技術(Packaging Technology)

3.5.4.1 SOC (System-on-Chip)和 SIP (System-in-Package)

“More than Moore”的概念起始於2005年，其最主要的內涵可由圖3-6看出，也就是system-on-chip (SOC) 和system-in-package (SIP) 的高價值模組整合系統。在此我們會針對SOC以及SIP系統整合做一介紹。

SOC是一具備系統級整合 (System-Level Integration; SLI) 且可提供特定用途的單晶片IC，其內容必須包含運算功能 (如微處理器MPU core, 數位訊號處理器DSP core)、記憶體 (memory) 及邏輯電路 (Logic circuit) 於單一晶片。由於模組整合後，一些原置於外部的模組便被放置於晶片內部，而訊號轉變成晶片之內部訊號，不但縮短傳輸距離，亦可大幅增加訊號傳輸頻寬及速度，進而使產品效能大幅提升。系統產品所須之元件數大幅減少，面積及體積亦隨之縮小，可滿足輕薄短小的須求，亦可降低整體成本。原本消耗於各IC元件間之外部訊

圖 3-14: 後摩爾定律世代概念圖



資料來源：ITRS, 2009

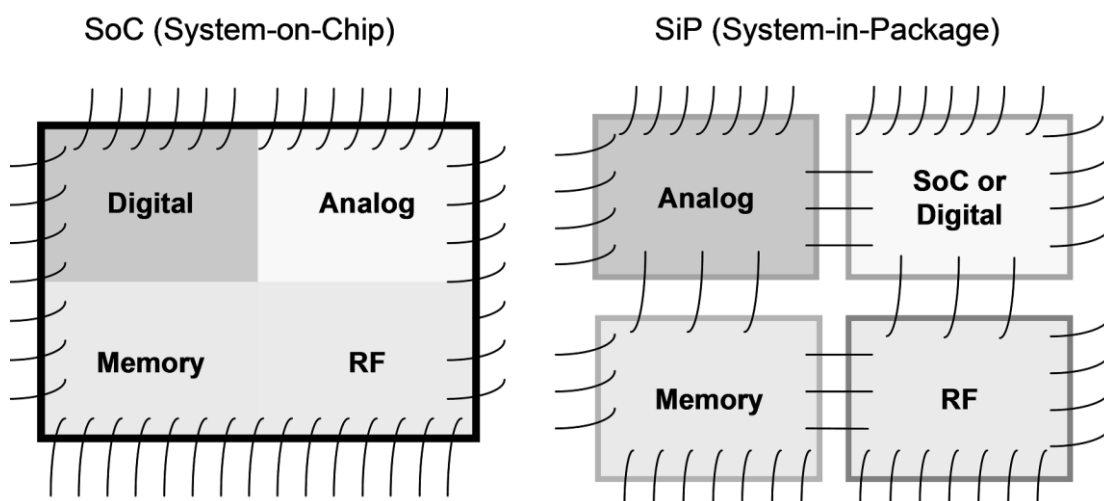
傳遞之電能將大幅減少，故可達省電的功效。但隨半導體製程進入 0.13um 後，卻對 SOC 產生負面作用。

相對於SOC著眼於從IC設計的觀點來進行系統單晶片的開發，SiP則是將原有透過不同封裝作業製作的晶片整合到相同的基板上。這是一種從實際作業面的角度來進行系統單晶片的量產製作工作。透過SiP進行封裝處理的晶片，由於其中各個元件間仍維持實際獨立的狀態，因此可避免遇到SOC設計上類比與數位電路整合後製程上可能的困難，並同時降低在前期設計工作上電路設計與縮短IC產品整體設計時程的複雜度，也可因此確保晶圓製造過程的良率水準。

就晶粒面積和包裝面積之比而言，SiP稍略遜色於SOC。但隨著近年來SiP的技術日趨成熟，性能不斷提升，拉近了和SOC的距離。基本上凡具潛在擴充的產品較適合採用SiP，而功能已趨固定的產品則較適合使用SOC。如計算機因只有單純的計算功能，沒有擴充功能的必要，故較適合採用SOC。而PC等具擴充性之產

品，功能隨作業系統及其應用軟體而提升則較適用於主機板上的配線方式也就是SIP的方式。圖3-15說明了SOC與SIP的比較例示。

圖3-15: SOC與SIP的比較圖



資料來源：本文整理

SOC崛起之後，建構半導體業的新食物鏈，如IP提供業者，並促成晶圓代工，IC設計業者等的夥伴關係。SIP則進一步延伸IC製造業者的總深度，並改造晶圓製造，封裝和電路板業者間的關係。初期此三者是共同合作的關係，隨著SIP技術層次的提高，晶圓製造的努力將會繼續延伸下去。

3.5.4.2 矽穿孔封裝技術 (Through Silicon Via Package)

另一項近期利用後段封裝技術打破Moore's Law的新興技術就是TSV (Through Silicon Via, 直通矽晶穿孔)，也可稱為“3D 封裝”。半導體產業目前所面臨的挑戰是，投資於新一代尖端製程的設計成本相當龐大，而設計也愈趨複雜。再者，現今市場是由消費性電子市場所主導，也就是說，消費者要求且期待的是便宜、小巧及功能複雜的產品。因此，半導體銷售業者尋求的是更獨特的設計或封裝方式。

後段技術發展的趨勢在於「厚度空間的研發」。3D堆疊式封裝技術已被視為能否以較小尺寸來製造高效能晶片的關鍵，而TSV技術是透過以垂直導通來整合晶圓堆疊的方式，以達到晶片間的電氣互連。此一技術能夠以更低的成本有效提高系統的整合度與效能並且提供了比線接合架構更短的路徑與更低的電阻及電感也因此更適合做訊號及電力的輸送。

以TSV (圖3-16)封裝連接的3D堆疊SiP所需的技術包含了晶圓薄化、鑽孔、導電物質填滿、圓連接以及散熱。TSV主要是由Bosch Process (利用蝕刻與高分子鈍化保護交替的製程)所形成，反覆氧化通道的矽晶圓牆面並乾蝕刻其通道底部。以製程先後順序，TSV技術又可分為先鑽孔(Via First)與後鑽孔(Via

Last)兩大類；其中 Via First 製程又可分為 CMOS 前(Before CMOS)與 CMOS 後(After CMOS)兩類(楊雅嵐, 2008)。

Via First 製程指在晶圓製造 CMOS 或 BEOL 步驟之前完成矽穿孔。Via-first 目前在微處理器等高性能器件領域研究較多，主要作為 SoC 的解決方案(許明哲、詹印豐、李景賢, 2009)。Via Last 製程指在封裝生產階段以雷射鑽孔方式進行 Via Forming 與後續的 Via Filling 步驟，優點是可以不改變現有集成電路之流程和設計，和 Via First 相較下，孔徑規格較蝕刻製程孔為大，造成晶片所能容納的腳數有限，故 Via Last 製程適用於如影像感測器或快閃記憶體(Flash)等低腳數的應用產品(游淑惠, 2008)。

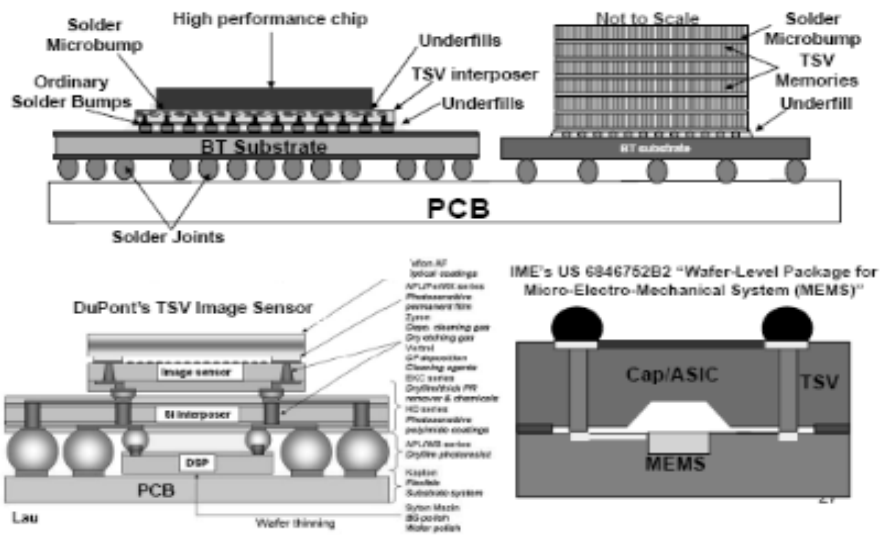
在先鑽孔製程中，通道完成於任何半導體製程前，因此也更有技術上的挑戰。其製程構造也是更多方面的 - 通道形成技術困難，不管從蝕刻鑽孔、加入適當絕體（以防止寄生），以及植入及電鍍金屬物質。這些困難會延遲先鑽孔相對於後鑽孔被應用的時間。但是先鑽孔的高傳輸（I/O）機會（同時也是在不耗損設備下能維持摩爾定律的機會） - 使得許多業者對先鑽孔有高度的期望。這是許多設計業者最感興趣3D 的 IC 應用，也是 IDM 業者最為主張的附加價值。因此，先鑽孔技術很有可能先被晶圓廠或 IDM 業者先使用，而不是一般封裝業者。然而，TSV 有一個組合上的重大挑戰。由於其3D 晶圓堆疊牽涉了既定的蝕刻、化學氣相沈積（CVD）及物理氣相沈積（PVD）技術來確實晶圓的連接，這些技術不能單獨進行因為每個技術的特性都會影響下個技術的進行。

一般來說，挑戰性較低的後鑽孔應該先被應用於市場上，其構造較大也較容易製成，對於市面上SiP或其他應用有較高度的連結性。因此是目前封裝業較為熱衷的研發領域。

由於採用 TSV 的構裝內部接合距離即為薄化後之晶圓或晶粒的厚度，相較於採 Wire Bonding 的傳統堆疊封裝，或過去強調效能優勢的 SoC 設計來說，3D IC 的內部連接路徑更短，相對可使晶片間的傳輸速度更快、雜訊更小、效能更佳，尤其在 CPU 與快取記憶體，以及記憶卡應用中的 Flash 與 controller 間資料的傳輸上，更能突顯 TSV 的短距離內部接合路徑所帶來的效能優勢；此外 3D IC 的構裝尺寸等同於晶粒尺寸，在強調多功能、小尺寸的可攜式電子產品領域，3D IC 的小型化特性更是市場導入的首要因素。

TSV的連結方法及配置必須非常精確，這關係到裸晶與TSV 的結構設計。而且關於TSV的製造技術上還有許多挑戰。但是，市場仍對TSV 充滿了期待。預估，2015 年前將有數以百萬計的3D-TSV 晶圓出貨，將佔有總晶圓數的6%。目前包括CMOS Sensor、記憶體等皆已在採用TSV 技術，未來基頻、射頻、處理器等應用趨勢會愈來愈明顯。

圖3-16: TSV封裝示意圖



資料來源：本文整理



第四章 成長模型與半導體奈米技術專利資訊分析

4.1 成長模型簡述

早期研究技術預測方法的學者，發現技術效能成長的許多現象和生理的生長曲線類似。由過去累積的經驗得知，一項新的技術變革，再出開始萌芽的階段，其成長速度都比較緩慢，一旦突破一個瓶頸後，技術效能就變的快速成長，但是，快要達到其上限時，技術效能的成長又變的緩慢下來。其圖形就像一 S 形狀的曲線，亦即和生理成長曲線很相似，例如，人的身高體重和年齡間的關係曲線。

最近數十年來，成長曲線廣泛地應用在各種領域的技術預測上，包含了模型的配適與預測。許多學者致力於這方面的研究，漸次的發展出許多模型，我們依照 Meade and Islam (1998) 的分類方式，將成長模型分成四種類型，如表 4-1 所示。

表 4-1: 成長模型類型

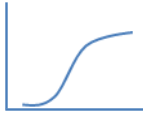
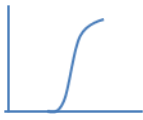
類型	主要代表模型	代表學者
曲線趨勢模型	邏輯斯模型 (Logistic 模型)	Verhulst (1838) Gompertz (1820)
線性趨勢模型	Mansfield 模型 線性甘柏滋模型 (Liner Gompertz model)	Mansfield (1961) Fisher and Pry (1971) Young (1991)
非線性自我迴歸模型	Logistic/ Mansfield 模型 Floyd 模型	Mahajan (1993) Floyd (1968)
混合模型	Extended Riocati 模型	Reuter (1976)

資料來源：張婷琇，2007

而其中又以邏吉斯模型成長模型和甘柏滋模型為最常用之成長模型。(表)為邏輯斯模型成長與甘柏滋模型之比較。選擇適當的模型對技術預測對其結果是有相當影響，在考量某一新技術的發展，當技術發展接進到它的成長極限時，進一步的成長將逐漸受到相當的限制。但如果存在有某一種“抵消因素”(offsetting factor)因而使得進一步的成長更為容易，那麼進一步的成長(斜率)的動力來源是和技術發展到目前的距離函數，以及發展至成長極限的距離函數有關，此時 Pearl model 是最適當的選擇。

“抵消因素”(offsetting factor)可以藉由過去進步的經驗，而使未來的進步更容易些，這通常是發生於某種過去強大的進步因素，至今尚未耗盡其發展潛力。如果此一發展潛能能夠產生更多效應，產生更大的影響，然後促成將來的進步更為容易。在這樣的情形下，Pearl model 恰好足以描述將來變化的發展動力。再者根據(表)之比較，Pearl model 適合具明顯、快速成長率之科技擴散期之預測。基於以上之特性，本研究採用 Pearl 模型來進行研究。

表 4-2: Pearl 模型與 Gompertz 模型之比較

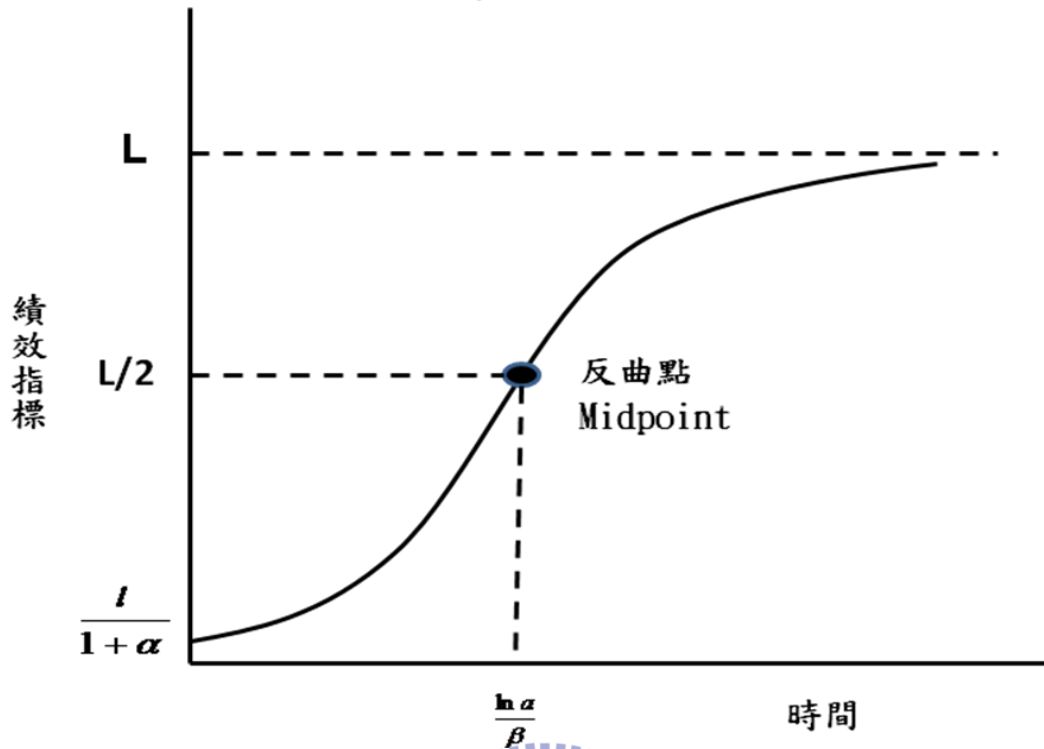
種類	Pearl(Logistic)模型	Gompertz 模型
數學模型	$Y = \frac{l}{1 + \alpha e^{-\beta T}}$	$Y = \frac{l}{e^{\alpha e^{-\beta T}}}$
圖形		
模型性質	$Y(0) = \frac{l}{1 + \alpha}$ $Y(\infty) = l$ $T_{\frac{1}{2}} = \frac{\ln \alpha}{\beta}$	$Y(0) = \frac{l}{e^{\alpha}}$ $Y(\infty) = l$ $T_{\frac{1}{2}} = \frac{\ln(\alpha / \ln 2)}{\beta}$
適用情境	適合具明顯、快速成長率之科技擴散期之預測	適合科技成熟老化之預測
<p>Y：預測變數（技術性能參數） T：變數（時間） l, α, β：模型參數 l：自然極限，單位與技術性能參數相同 β：與速率有關之參數，單位時間為1/時間 α：為無因參數</p>		

資料來源：黃俊傑, 2006 (奈米碳管專利地圖及分析(2002))

4.1.1 Logistic 模型應用與分析

Pearl 模型(Logistic Curve ; S Curve)係依據人口統計學家Raymond Pearl(約翰霍普金斯大學教授)之名而命名，此人成功運用成長曲線預測美國人口成長而得名。它也稱作「對數曲線(Logistic Curve)」，或者，另一種變化的形式稱之為「Fisher-Pry曲線」(數學形式的轉換)。珀爾曲線(Pearl Curve)與其他各種成長曲線相比較，其特殊之處即在於它能夠分開控制其斜率和起始位置。係數 α 可以控制曲線的位置；但不改變形狀。相反地，由係數 β 可以控制曲線形狀；但不會影響曲線所處位置。

圖4-1: Logistic曲線分析圖示



資料來源：黃俊傑, 2006

本研究利用 Jason Yung, Perrin S. Meyer 與 Jesse Ausubel (1998) 所開發出來的 Loglet Lab2 為工具，來進行 S 曲線的預測。其應用軟體乃是由美國 Rockefeller 大學人類環境研究團隊以 Logistic 模式發展的生命週期預測軟體。此軟體為學術研究用且為免費授權並以此軟體繪製出 S 曲線來做探討。

4.1.2 Logistic 模型公式說明

Logistic Model:

$$Y = \frac{l}{1 + \alpha e^{-\beta T}} \quad \text{Eq (4-1)}$$

方程式變數說明：

Y：用以衡量績效的變數。

L：變數 Y 的成長上限

e：自然對數

t：時間。

α 、 β ：將曲線與數據配合的係數（由迴歸方程式中求出）

除了用來做預測之外，此曲線也可用在許多數學的應用上。

此曲線的特性包括：

- (1) 曲線對稱，反曲點的位置發生在 $y = \ln a/b$ 時，而此時 $y = L/2$ 。
- (2) y 的最小值為 0，最大值為 L。
- (3) a 點只會影響曲線的落點，而不影響曲線的形狀。
- (4) b 點只會影響曲線的形狀，而不影響落點。

(5) 參數 L 表示成長之飽和水準(即最大飽和度)。基於實用性，乃定義：
[L*10%, L*90%] 為成長區間，亦即技術發展趨勢之成長期與成熟期所需的時間 t


而在曲線的選擇與使用上，則可略分為以下幾個程序：

- (1) 先將其轉換為直線方程式，可將原方程式兩邊同取對數即可。
- (2) 將過去的資料輸入，求出最適的直線方程式。
- (3) 由迴歸分析中求出係數a、b 之值。

這個轉換的過程所得到的優點是，可以得到以 $y/(L-y)$ 與 t 為兩軸的一條直線，方便我們了解與判斷

4.1.3 Fisher-Pry 模型應用與分析

本研另採用Loglet Lab2中之Fisher-Pry模型作為Logistic模型之比對參考。Fisher 和Pry(1971)所提出之純模仿擴散模型(Pure imitative diffusion model)的主要概念是說明一新產品或技術開始進入某一產業，取代原有產品和技術的過程。其模型的假設是t 時點的瞬間採用率與目前該產業中採用新技術和新產品的比率f 如Eq4-2與未採用新技術的廠商比例(1-f)有關，利用積分得到採用比率與時間的關係式此即為Logistic 曲線。在方程式中，f 表示採用新產品或新技術的比例，b 表示新產品或技術之擴散係數，代表著新產品或技術在產業中擴散的情況，b 值較大表示在產業中擴散的速度越快，新產品或技術的數目快速增加， t_0 為產業中採用新產品或新技術的使用率達到50%的時間點，亦即表示新產品或技術已切穿市場。


$$\frac{f}{1-f} = e^{b(t-t_0)} \quad \text{Eq (4-2)}$$

- f：新產品或技術的採用比率
- b：新產品或技術的擴展參數
- t：導入的時間
- t_0 ：新產品或技術的採用滲透率超過50%的時間點

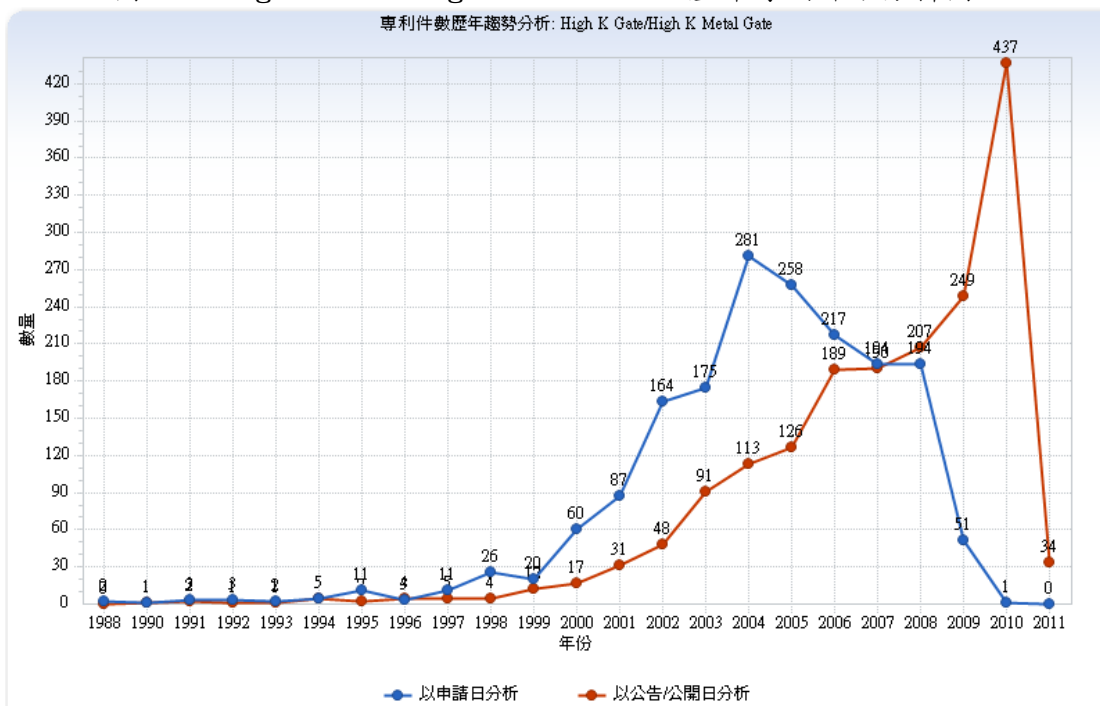
4.2 High K Metal Gate技術生命週期分析

4.2.1 Logistic 模型結果

本技術專利分析主要是以專利公開或公告日為基準來進行歷年專利件數分析。其專利計算截止日是以2011年12月31日為準。由PatentGudider專利分析軟體分析High K Metal Gate的專利看出其專利件數由1995年起開始有着顯著的成長。在2010年達到專利公告最大數量之437件，而於2011年有着顯著的專利衰退至34件。而於2011年底止以PatentGuider檢索透露出尚無HKMG專利申請案件，也因此可明白在之後的一年半至兩年中將不會較新的專利公告如圖4-2所示。再這其中之意含可能是HKMG技術並無任何突破性之發展。由此檢索訊息再藉由PatentGuider之專利技術生命週期圖來分析，可推論其以進入生命週期之第4和第5階段也就是技術研發遇瓶頸難以突破或此類技術已過於成熟，專利申請量與

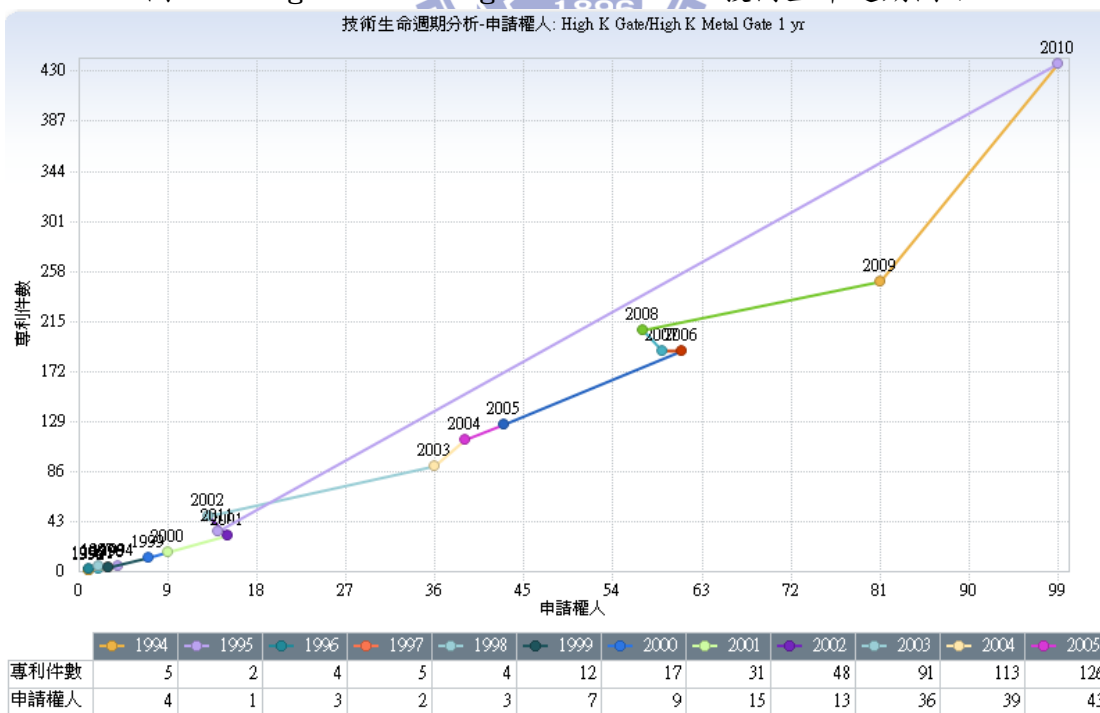
專利權人數呈現負成長的階段如圖4-3所示。

圖4-2: High K Gate/High K Metal Gate歷年專利件數分析圖示



資料來源: PatentGuider, 2011

圖4-3: High K Gate/High K Metal Gate技術生命週期圖示



資料來源: PatentGuider, 2011

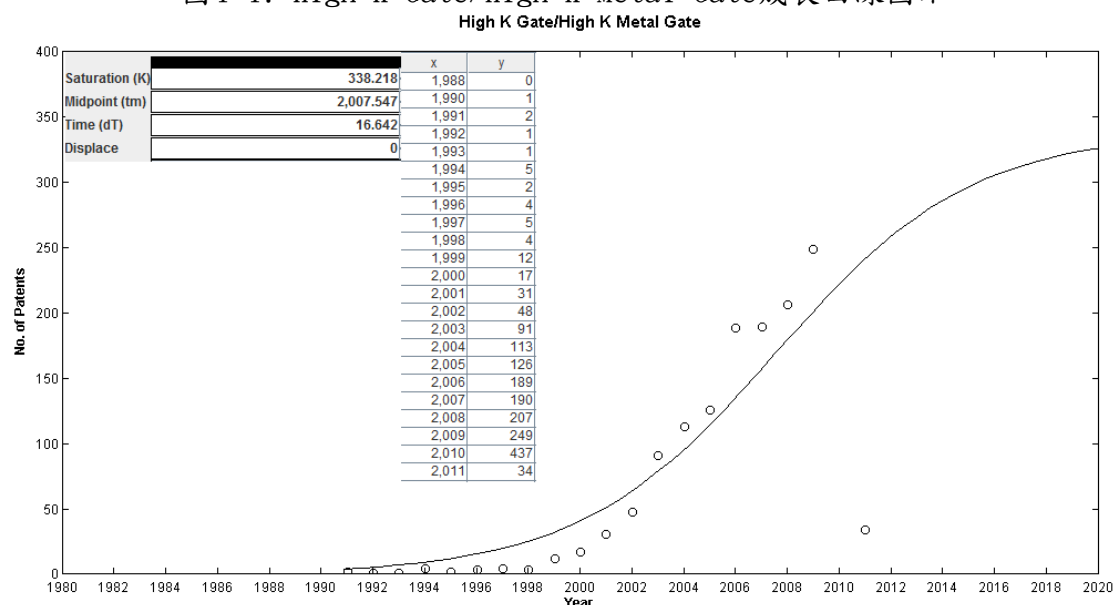
再將專利件數導入Loglet Lab2成長模型中，並指派專利件數為技術進步速率也就是Y軸，而X軸為時間時，我們可得出圖4-4之S成長曲線。根據Logistic模型我們可以得知在2011年12月31日以前專利累積數共1,769筆核准專利。由羅吉斯曲線圖形可觀察到技術飽和點Saturation (K) 為累積338個專利數。結合K值定義（最大效用值的10%）知所對應的時間點為1999年。由成長期轉為成熟期的轉折點Midpoint (tm) 為2007.547年。成長期與成熟期所需的時間time (dT) 為16.642年。相當於自1999年進入成長期，2007~2008年進入成熟期，並預估將於2015年時達到飽和點。將計算所得到的羅吉斯曲線加以歸納，可得出HKMG技術的生命週期，如表4-3所示。

表4-3: HKMG 技術生命週期各個階段

期別	萌芽期	成長期	成熟期	飽和期
開始時間	1990	1999	2007~2008	2015

資料來源: Loglet Lab2, Rockefeller University (本文整理)

圖4-4: High K Gate/High K Metal Gate成長曲線圖示

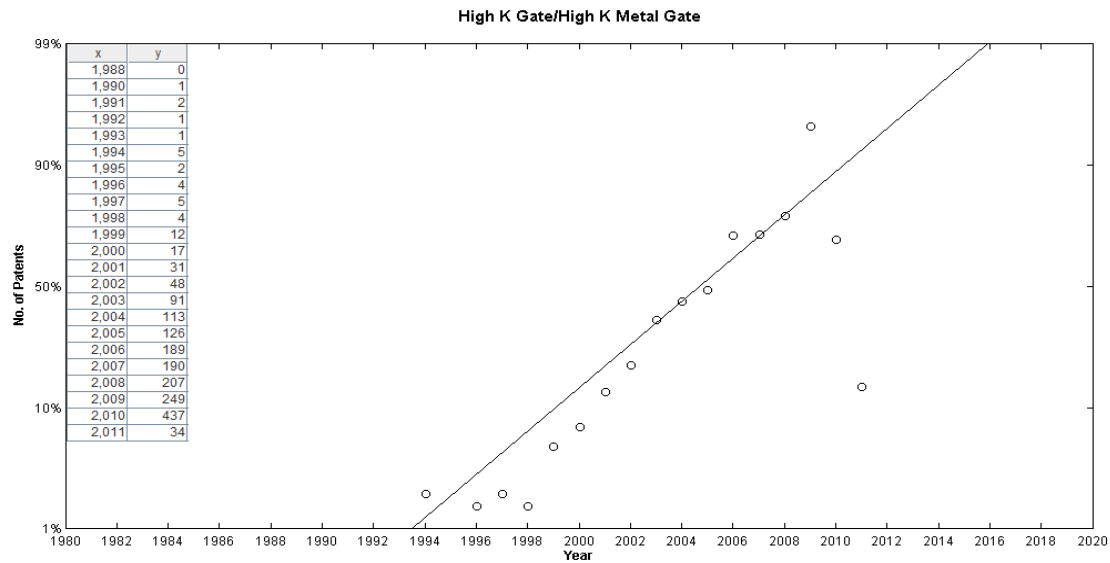


資料來源: Loglet Lab2, Rockefeller University

4.2.2 Fisher-Pry 模型結果

此外再以相同數據以Fisher-Pry模型導出圖4-5之圖示。以此兩模型做交互比對可以使我們了解到HKMG之技術週期及其在半導體奈米製程中之技術滲透情況。另由Fisher-Pry模型中藉由 f 也就是新技術取代舊技術的替代比率也可得知HKMG之技術滲透率可由2004年1比1的替代比率到達2010年的9比1的替代比率。這也代表著由其模型可推斷HKMG技術到2010年時將會在半導體奈米製程中完全被採用。

圖4-5: High K Gate/High K Metal Gate Fisher-Pry圖示



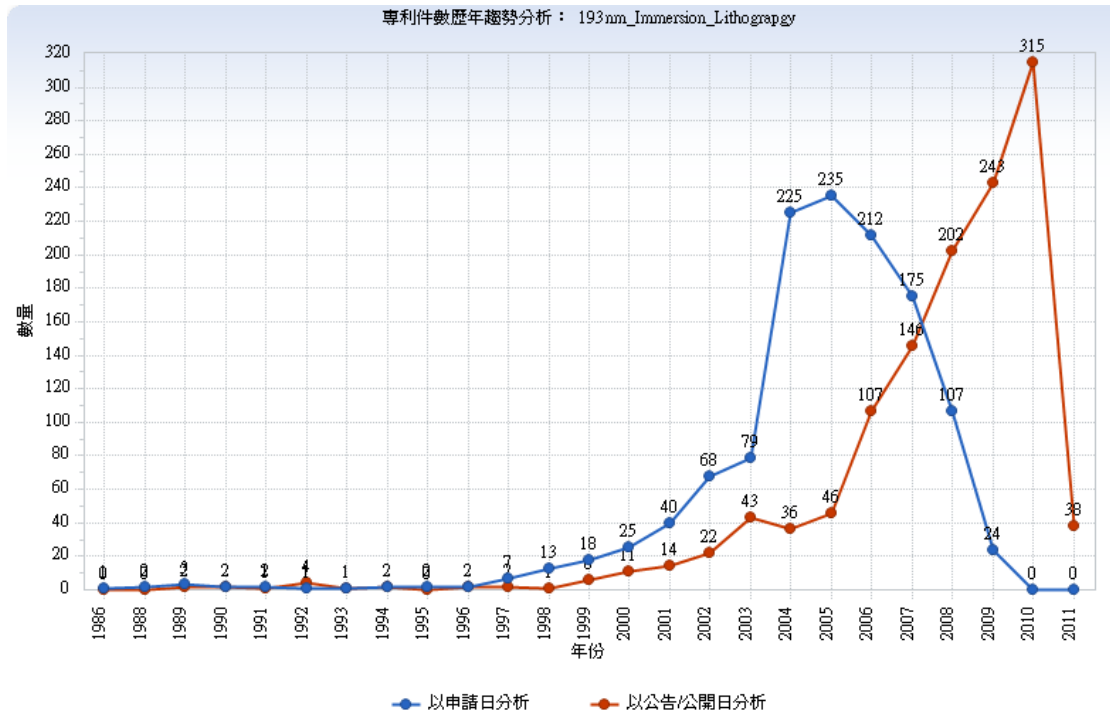
資料來源: Loglet Lab2, Rockefeller University

4.3 193nm Immersion 微影技術生命週期分析

4.3.1 Logistic 模型結果

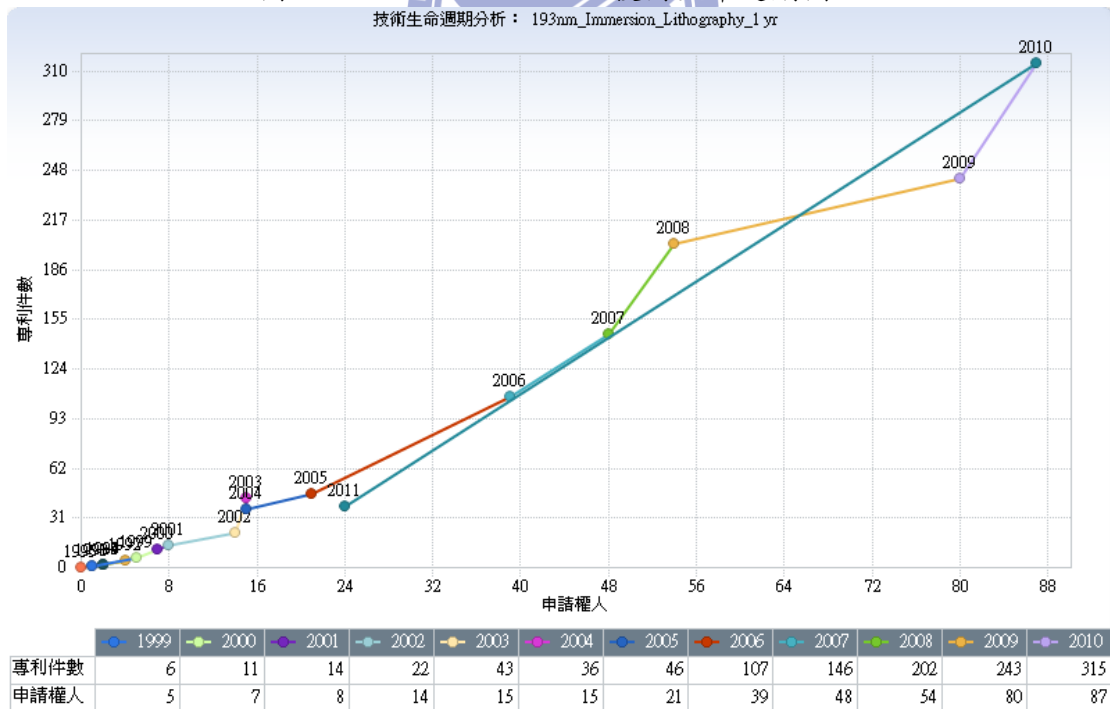
本技術專利分析主要是以專利公開或公告日為基準來進行歷年專利件數分析。其專利計算截止日是以2011年12月31日為準。由PatentGudider專利分析軟體分析193nm Immersion的專利看出其專利件數由1998年起開始有着顯著的成長。在2010年達到專利公告最大數量之315件，而於2011年有着顯著的專利衰退至38件。而於2011年底止以PatentGudider檢索透露出尚無193nm Immersion專利申請案件，也因此可明白在之後的一年半至兩年中將不會較新的專利公告如圖4-6所示。再這其中之意含可能是193nm Immersion技術並無任何突破性之發展。由此檢索訊息再藉由PatentGudider之專利技術生命週期圖來分析，可推論其以進入生命週期之第4和第5階段也就是技術研發遇瓶頸難以突破或此類技術已過於成熟，專利申請量與專利權人數呈現負成長的階段如圖4-7所示。

圖4-6: 193nm Immersion 歷年專利件數分析圖示



資料來源：PatentGuider, 2011

圖4-7: 193nm Immersion技術生命週期圖示



資料來源：PatentGuider, 2011

再將專利件數導入Loglet Lab2成長模型中，並指派專利件數為技術進步速率也就是Y軸，而X軸為時間時，我們可得出圖4-8之S成長曲線。根據Logistic模型我們可以得知在2011年12月31日以前專利累積數共1,255筆核准專利。由羅

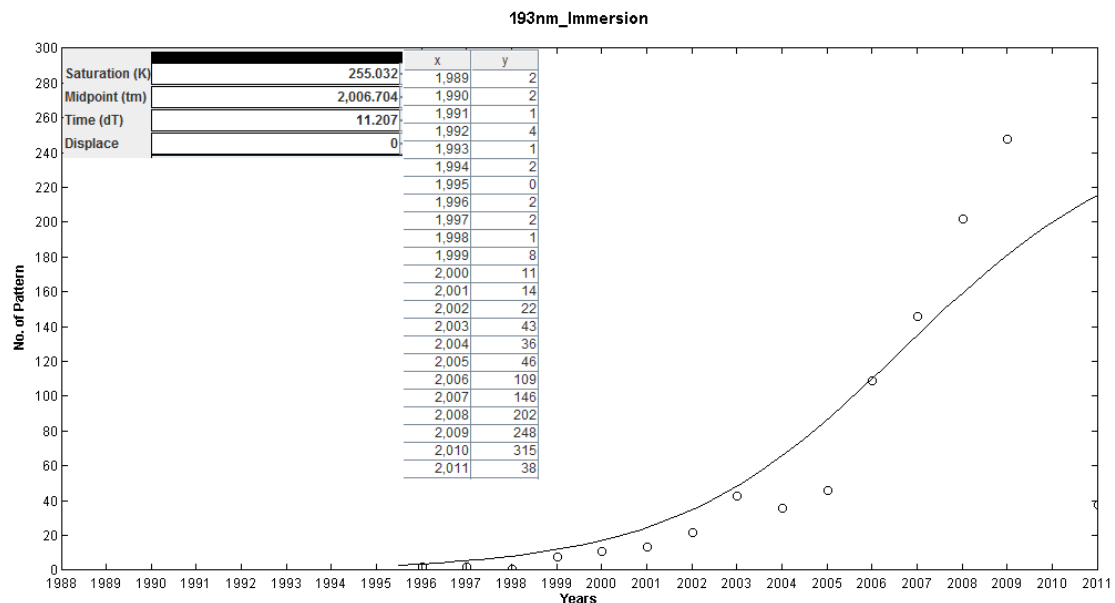
吉斯曲線圖形可觀察到技術飽和點Saturation (K) 為累積255個專利數。結合K值定義（最大效用值的10%）知所對應的時間點為2001~2002年中間。由成長期轉為成熟期的轉折點Midpoint (tm) 為2006.704年。成長期與成熟期所需的時間time (dT) 為11.207年。相當於自2001~2002年進入成長期，2006~2007年進入成熟期，並預估將於2012~2013年時達到飽和點。將計算所得到的羅吉斯曲線加以歸納，可得出193nm Immersion 微影技術的生命週期，如表4-4所示。

表4-4: 193nm Immersion 微影技術生命週期各個階段

期別	萌芽期	成長期	成熟期	飽和期
開始時間	1989	2001~2002	2006~2007	2013

資料來源: Loglet Lab2, Rockefeller University (本文整理)

圖4-8: 193nm Immersion成長曲線圖示

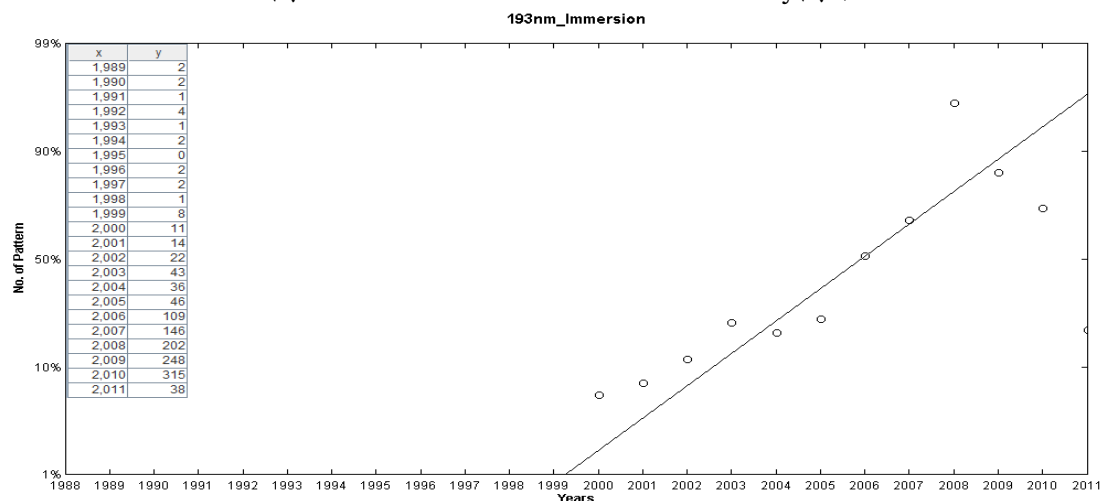


資料來源: Loglet Lab2, Rockefeller University

4.3.2 Fisher-Pry 模型結果

此外再以相同數據以Fisher-Pry模型導出圖4-9之圖示。以此兩模型做交互比對可以使我們了解到193nm Immersion 微影之技術週期及其在半導體奈米製程中之技術滲透情況。另由Fisher-Pry模型中藉由 f 也就是新技術取代舊技術的替代比率也可得知193nm Immersion 微影之技術滲透率可由2006年1比1的替代比率到達2009年的9比1的替代比率。這也代表著由其模型可推斷193nm Immersion 微影技術到2009年時將會在半導體奈米製程中完全被採用。

圖4-9: 193nm Immersion Fisher-Pry圖示



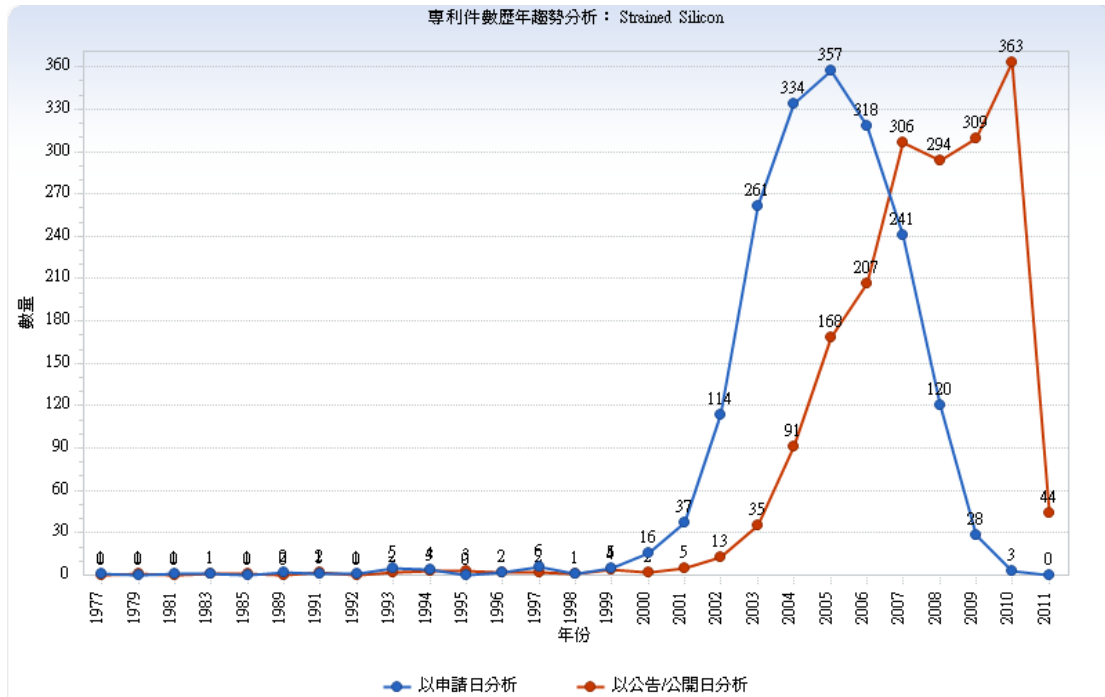
資料來源: Loglet Lab2, Rockefeller University

4.4 Strained Silicon技術生命週期分析

4.4.1 Logistic 模型結果

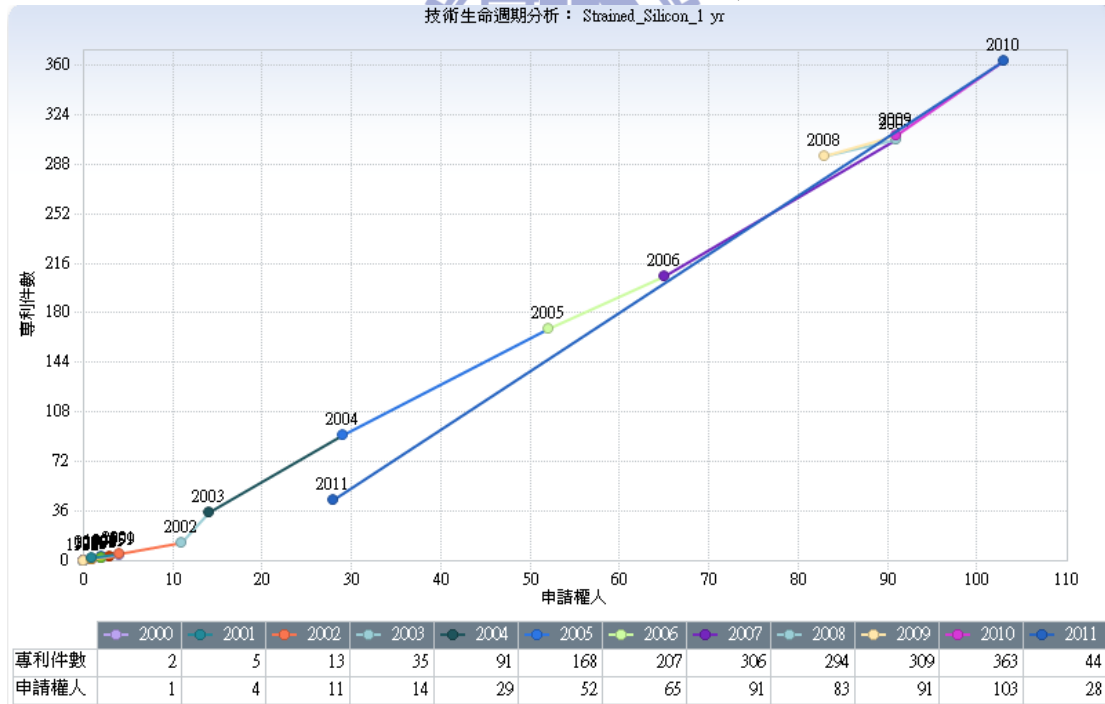
本技術專利分析主要是以專利公開或公告日為基準來進行歷年專利件數分析。其專利計算截止日是以2011年12月31日為準。由PatentGuilder專利分析軟體分析Strained Silicon的專利看出其專利件數由2002年起開始有着顯著的成長。在2010年達到專利公告最大數量之363件，而於2011年有着顯著的專利衰退至44件。而於2011年底止以PatentGuilder檢索透露出尚無Strained Silicon專利申請案件，也因此可明白在之後的一年半至兩年中將不會較新的專利公告如圖4-10所示。再這其中之意含可能是Strained Silicon技術並無任何突破性之發展。由此檢索訊息再藉由PatentGuilder之專利技術生命週期圖來分析，可推論其以進入生命週期之第4和第5階段也就是技術研發遇瓶頸難以突破或此類技術已過於成熟，專利申請量與專利權人數呈現負成長的階段如圖4-11所示。

圖4-10: Strained Silicon 歷年專利件數分析圖示



資料來源：PatentGuider, 2011

圖4-11: Strained Silicon技術生命週期圖示



資料來源：PatentGuider, 2011

再將專利件數導入Loglet Lab2成長模型中，並指派專利件數為技術進步速率也就是Y軸，而X軸為時間時，我們可得出圖4-12之S成長曲線。根據Logistic模型我們可以得知在2011年12月31日以前專利累積數共2,459筆核准專利。由羅吉斯曲線圖形可觀察到技術飽和點Saturation (K) 為累積215.88個專利數。結合K值定義（最大效用值的10%）知所對應的時間點為2003.5年。由成長期轉為成

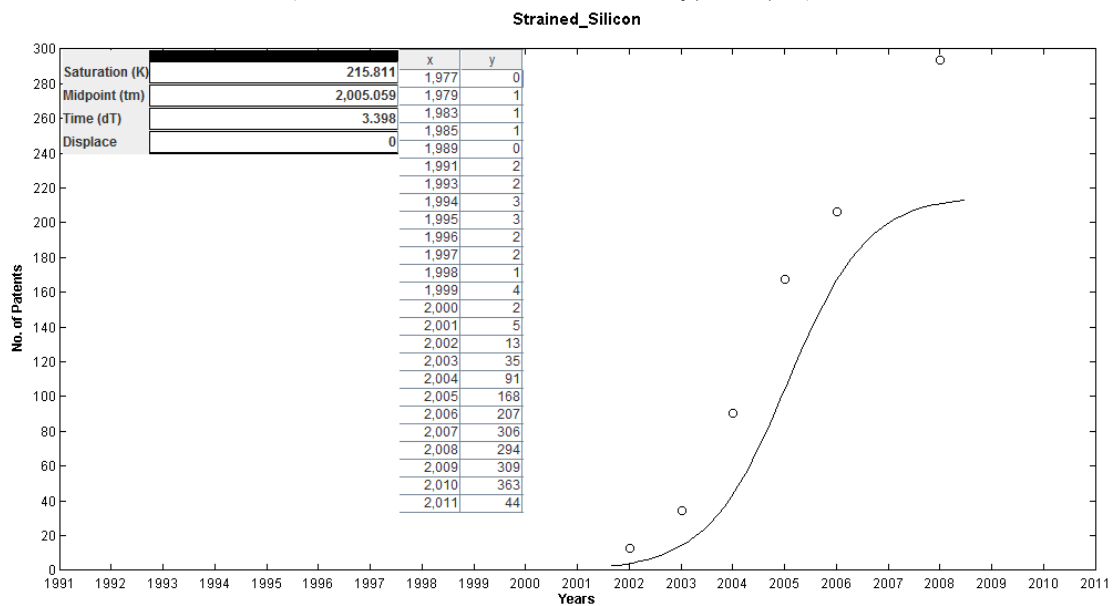
熟期的轉折點Midpoint (tm) 為2005.059年。成長期與成熟期所需的時間time (dT) 為3.398年。相當於自2001~2002年進入成長期，2006~2007年進入成熟期，並預估將於2012~2013年時達到飽和點。將計算所得到的羅吉斯曲線加以歸納，可得出Strained Silicon技術的生命週期，如表4-5所示。

表4-5: Strained Silicon 技術生命週期各個階段

期別	萌芽期	成長期	成熟期	飽和期
開始時間	1979	2003	2005	2007

資料來源: Loglet Lab2, Rockefeller University (本文整理)

圖4-12: Strained Silicon成長曲線圖示

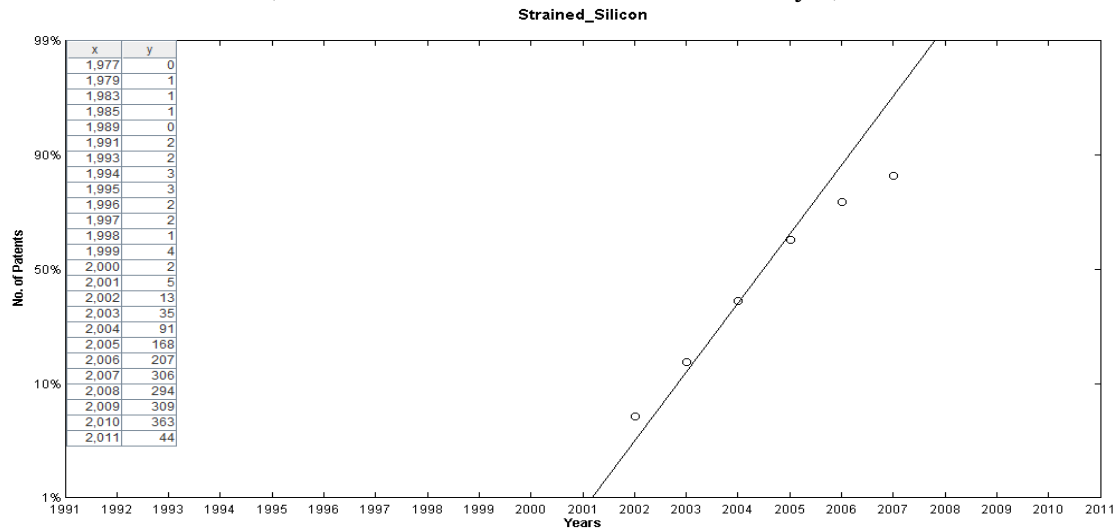


資料來源: Loglet Lab2, Rockefeller University

4.4.2 Fisher-Pry 模型結果

此外再以相同數據以Fisher-Pry模型導出圖4-13之圖示。以此兩模型做交互比對可以使我們了解到Strained Silicon之技術週期及其在半導體奈米製程中之技術滲透情況。另由Fisher-Pry模型中藉由 f 也就是新技術取代舊技術的替代比率也可得知Strained Silicon之技術滲透率可由2004年1比1的替代比率到達2006年的9比1的替代比率。這也代表著由其模型可推斷Strained Silicon技術到2006年時將會在半導體奈米製程中完全被採用。

圖4-13: Strained Silicon Fisher-Pry圖示



資料來源: Loglet Lab2, Rockefeller University

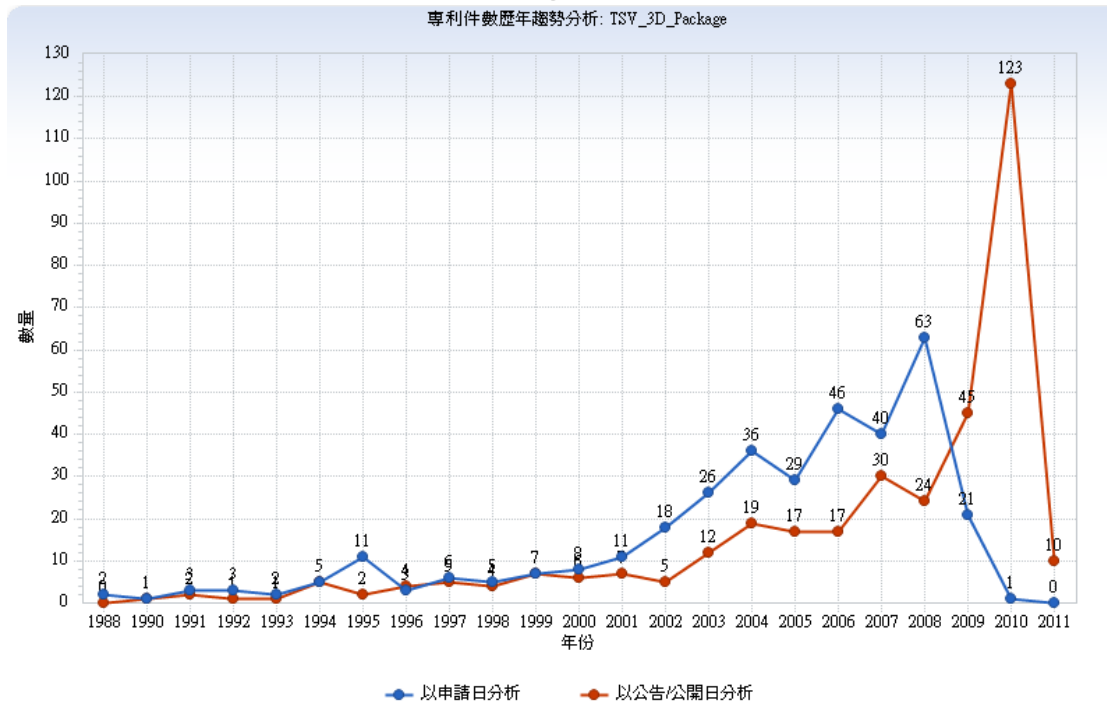
4.5 Through Silicon Via (TSV)技術生命週期分析

4.5.1 Logistic 模型結果

本技術專利分析主要是以專利公開或公告日為基準來進行歷年專利件數分析。其中與前技術專利檢索之不同處為本技術以TSV 3D Package, TSV 3D IC以及TSV為檢索關鍵字。其目的是為取得最大專利參考值，且分別以檢索資料繪製出個別之S成長曲線及Fisher-Pry成長曲線。因TSV 3D Package之檢索取得較多專利數且其與它檢索項所得之分析結果相近，所以以下之分析將以TSV 3D Package專利檢索為分析標的。

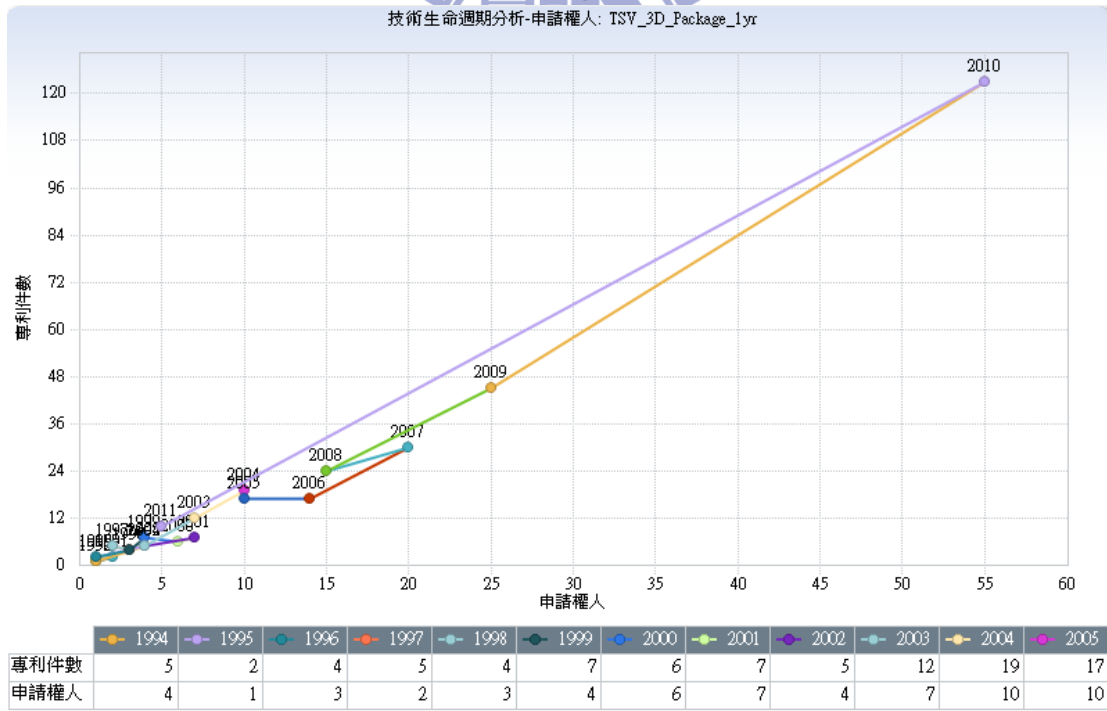
其專利計算截止日是以2011年12月31日為準。由PatentGudider專利分析軟體分析TSV 3D Package的專利看出其專利件數由2002年起開始有着顯著的成長。在2010年達到專利公告最大數量之123件，而於2011年有着顯著的專利衰退至10件。而於2011年底止以PatentGudider檢索透露出尚無TSV 3D Package專利申請案件，也因此可明白在之後的一年半至兩年中將不會較新的專利公告如圖4-14所示。再這其中之意含可能是TSV 3D Package技術並無任何突破性之發展。由此檢索訊息再藉由PatentGudider之專利技術生命週期圖來分析，可推論其以進入生命週期之第4和第5階段也就是技術研發遇瓶頸難以突破或此類技術已過於成熟，專利申請量與專利權人數呈現負成長的階段如圖4-15所示。

圖4-14: TSV 3D Package歷年專利件數分析圖示



資料來源: PatentGuider, 2011

圖4-15: TSV 3D Package技術生命週期圖示



資料來源: PatentGuider, 2011

再將專利件數導入Loglet Lab2成長模型中，並指派專利件數為技術進步速率也就是Y軸，而X軸為時間時，我們可得出圖4-16之S成長曲線。根據Logistic模型我們可以得知在2011年12月31日以前專利累積數共347筆核准專利。由羅吉斯曲線圖形可觀察到技術飽和點Saturation (K) 為累積68.55個專利數。結合K

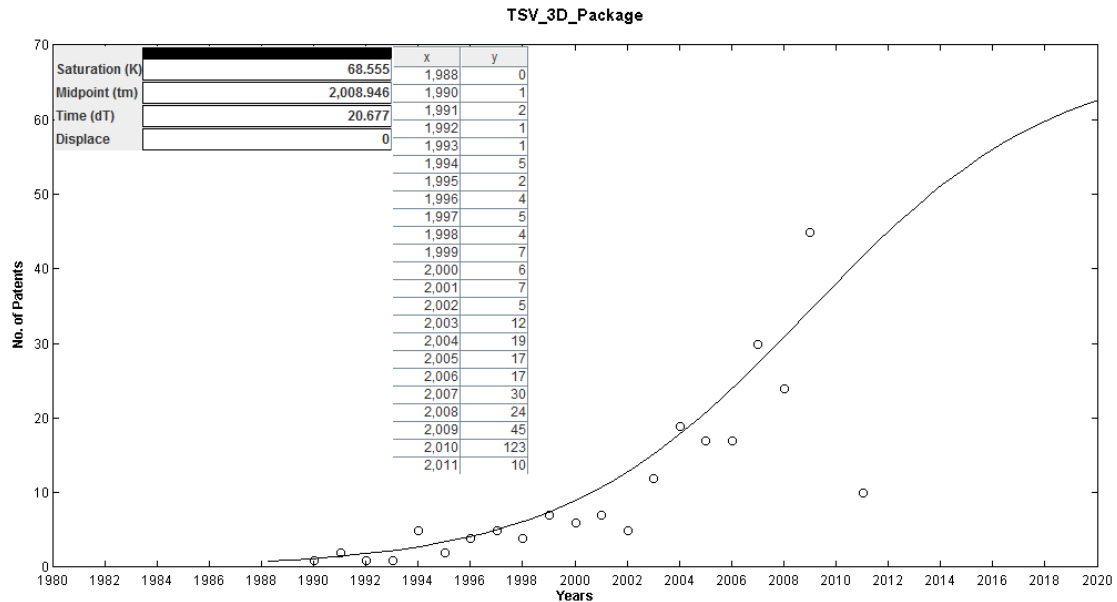
值定義（最大效用值的10%）知所對應的時間點為1998年。由成長期轉為成熟期的轉折點Midpoint (tm) 為2008.946年。成長期與成熟期所需的時間time (dT) 為20.677年。相當於自1998年進入成長期，2009年進入成熟期，並預估將於2018年時達到飽和點。將計算所得到的羅吉斯曲線加以歸納，可得出TSV 3D Package技術的生命週期，如表4-6所示。

表4-6: TSV 3D Package 技術生命週期各個階段

期別	萌芽期	成長期	成熟期	飽和期
開始時間	1990	1998	2009	2018

資料來源: Loglet Lab2, Rockefeller University (本文整理)

圖4-16: TSV 3D Package成長曲線圖示

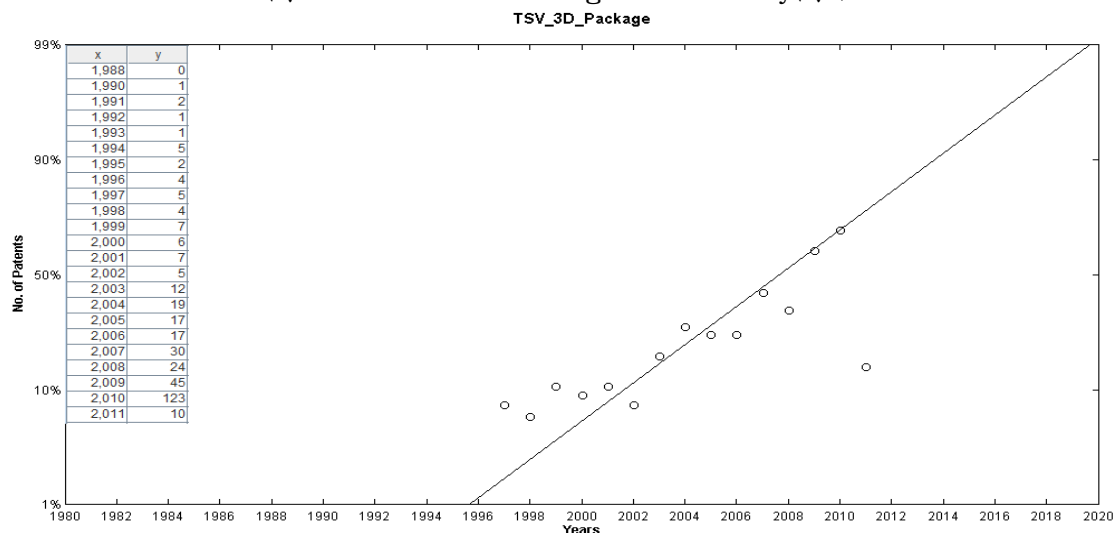


資料來源: Loglet Lab2, Rockefeller University

4.5.2 Fisher-Pry 模型結果

此外再以相同數據以Fisher-Pry模型導出圖4-17之圖示。以此兩模型做交互比對可以使我們了解到TSV 3D Package之技術週期及其在半導體奈米製程中之技術滲透情況。另由Fisher-Pry模型中藉由 f 也就是新技術取代舊技術的替代比率也可得知TSV 3D Package之技術滲透率可由2007年1比1的替代比率到達2014年的9比1的替代比率。這也代表著由其模型可推斷TSV 3D Package技術到2014年時將會在半導體奈米製程中完全被採用。

圖4-17: TSV 3D Package Fisher-Pry圖示



資料來源: Loglet Lab2, Rockefeller University

4.6 半導體奈米技術成長曲線分析

在本文中，使用專利檢索檢驗的四項半導體奈米製程之關鍵技術和Loglet Lab2 之成長曲線所得到的結果總結於表4-7中。並將於下一章節中針對研究結果和實際半導體奈米技術之發展現況做比對和探討。

表4-7: 半導體奈米技術成長曲線結果分析表

		HKMG	193nm Immersion	Strained Silicon	TSV 3D Pasckage
專利件數 (2011/12/31)		1769	1255	2459	347
技術生命週期描述		週期之第4和第5階段 技術研發過瓶頸	週期之第4和第5階段 技術研發過瓶頸	週期之第4和第5階段 技術研發過瓶頸	週期之第4和第5階段 技術研發過瓶頸
Logistic 成長曲線	Saturation (K)	338.218	255.032	215.811	68.555
	最大效用值(K*0.1)	34	26	22	7
	Midpoint	2007.547	2006.704	2005.059	2008.945
	Dt	16.642	11.207	3.398	20.677
	萌芽期	1990	1989	1979	1990
	成長期((K*0.1) 所對應時間)	1999	2001-2002	2003	1998
	成熟期 (Midpoint)	2007-2008	2006-2007	2005	2009
	飽和期(成長期+Dt)	2015	2013	2007	2018
Fisher-Pry 成長曲線 (f/1-f)	50%=1:1所對應時間	2004	2006	2004	2007
	90%=9:1所對應時間	2010	2009	2006	2014

資料來源: 本文整理

第五章 研究結果與半導體技術發展分析

5.1 關鍵奈米技術成長曲線結果分析

本章將根據上章節之研究結果與先進半導體奈米製程技術做結果分析與比對。在以Logistic成長曲線中學生是以技術成熟期做為判定之標準。而在Fisher-Pry成長模型中則是以新技術與舊技術之滲透率比為1:1(50%)為基準做為判定之標準。在所有關鍵技術中，微影技術又為其中為較重要的軸心限制條件。以現有之193nm浸潤式微影技術而言，其最大延伸之奈米製程為40nm。以其條件為分析基礎再藉由Logistic和Fisher-Pry模型所推論出之40nm進入技術成熟期大約分別為2006~2007年以及2006年。

而若以HKMG和Strained Silicon之結果單獨來做分析，我們又可得到另外的結論。以HKMG的觀點來看，其成熟期和技術之滲透率比為1:1(50%)的時間分別是在2007~2008年以及2004年。以Strained Silicon之分析結果來看，我們所得到的成熟期和技術之滲透率比為1:1(50%)的時間分別是在2005年和2004年。但半導體之製程需與其整合性來看其量產的可能性。以這些關鍵技術的整合性在配搭成長模型來分析我們可以看出Logistic的模型所推論出的技術成熟期約落在2005~2008年區間。而從Fisher-Pry模型中以新技術與舊技術之滲透率比為1:1(50%)為基準所推論出的滲透率會落在2004~2006年間。其結果明顯比Logistic模型的結果早了1~2年。

再以專利檢索件數來分析，我們可以知道從HKMG，193nm浸潤式微影和Strained Silicon的件數都以超過1000件以上。從專利和技術生命週期的角度來看都屬於生命週期中的第四和第五階段，也就是所謂的技術瓶頸期。在這階段若要再針對這些技術做出更大的突破和進展將有更大的難度。這些趨勢和半導體實際的發展關聯性和預測性是相當符合的。

以上所分析的要點都屬於晶圓製程範疇內的技術。而就半導體整體的概念性來說，為了解決除了稍早章節所論述的元器件本體問題外，晶圓封裝的技術在解決晶圓製程技術的瓶頸上也有重要的角色。TSV的封裝技術就是此一代表。從專利分析件數來看，TSV相關的專利到2011年所累積的件數儘達347件。但以技術生命週期來分析卻以達生命週期中的第四和第五階段。其最主要原因是於2011年只有10件專利公佈。但就實際技術發展現況而言，大多數之封裝廠還在盡力在TSV的技術上繼續研發。由於其和晶片之鑽孔精密度上尚有許多需待以解決之難題。因此Logistic和Fisher-Pry模型所預測之技術成熟點分別為2009和2007年尚需進一步觀察。雖然目前已有少量產品可以TSV進行封裝生產。然封裝產業對此項技術之完全成熟並適用於大量生產約略於2012和2015年間。以下將就先進半導體實際發展現況並總合以上的研究分析做出技術預測理論和實務上之契合度做交叉分析。

受到摩爾定律的帶動與促使，以及擁有更微細的奈米技術所能帶來的產能提升與效能提升等因素交相影響之下，莫不使得擁有晶圓製程之先進技術與高階產能的業者奮力追逐更高階的奈米技術，其可得效益如下：

第一、奈米技術可讓相同面積的晶圓材料製作出更多數量的晶片成本，使得每顆晶片的物料成本得已下降，增強廠商價格競爭力與市場接受度。

第二、相同功能的晶片經過微細化之後，使得體積與耗電性得以縮減，尤其對於消費性電子產品（如手機）和攜帶式資訊產品（如筆記型電腦），都足以為終端系統廠商帶來更多的設計優勢和日趨嚴格的省電要求。

第三、奈米級微縮技術除了讓晶圓製造廠商得以加強價格競爭力並藉由體積和耗電提升產品優勢之外，亦可為其構築競爭障礙、拉開差距，並使得晶圓製造產業發展越趨大者恆大之高市場集中度態勢。

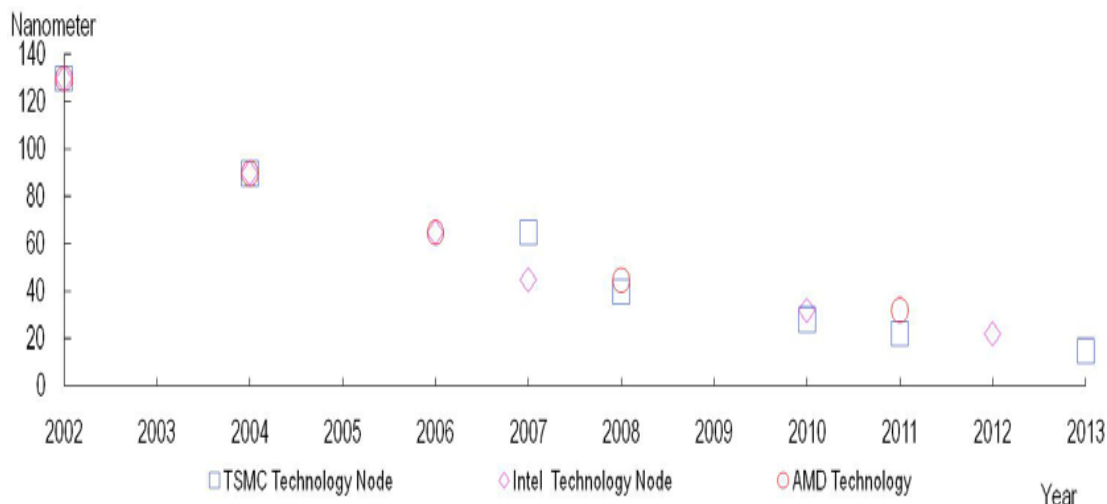
雖則晶圓製程奈米微縮技術具有上述優勢，然而其開發時所耗費的先期成本卻非中小型業者所能負擔，因此目前成功導入五十奈米以下晶圓製程的業者，無非是現有半導體產業之佼佼者，如台灣晶圓代工巨擘台積電、美國半導體龍頭英特爾、日本半導體大廠東芝以及韓國記憶體大廠三星。圖5-1說明了主要半導體大廠對於主要奈米製程之技術結點量產導入的時間。由於台積電在半導體奈米製程上有着前瞻性的領導地位。以下將會以台積電的製程技術發展做為比對之標的。

從圖5-1中可以明確瞭解到90nm技術是自2004年進入量產階段。65nm在圖上的預測是台積電將於於2007年開始導入量產，Intel和AMD則是計劃於2006年導入量產。而40nm製程台積電和AMD預測將於2008年導入量產階段。Intel則是直接進入28nm之研發，且預計於2010年導入量產。而台積電的28nm下則是預計於2010年進入量產階段。從此技術預測圖可以看出65nm到40nm的研發到量產的時間上差距只有兩年的時間。我們可以推論其技術相似性是相當大。因此從65nm進展到40nm的技術難度較無困難。從65nm到40nm的技術預測與本研究模型所做出的分析是相符合的。

5.2 奈米製程市場面與成長曲線結果分析

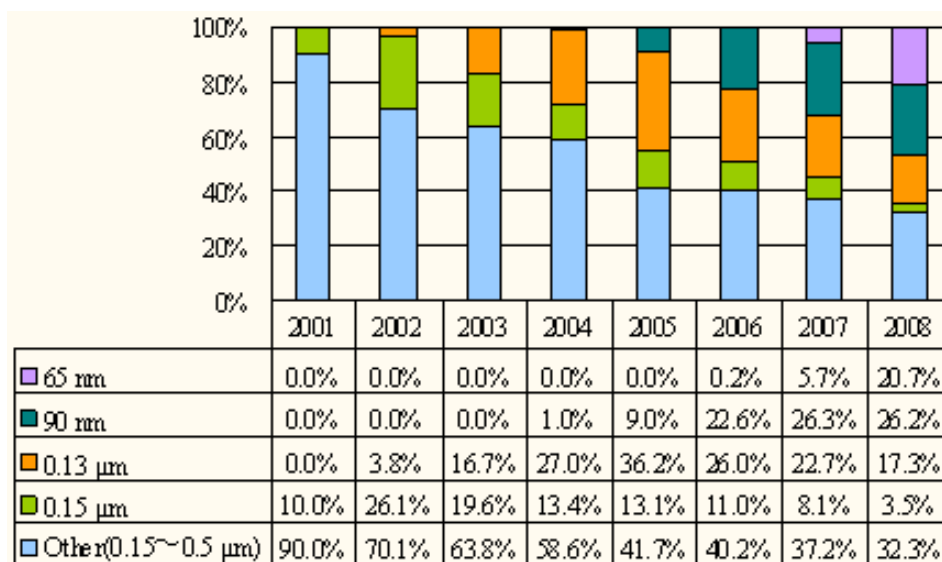
再就市場實際面分析，根據表5-1拓璞產業研究所標示出的統計，2008年第四季台積電來自先進製程(0.13 μ m以下)營收佔整體營收比重65%，其中90nm製程營收佔比重21%，65nm製程營收佔比重27%。台積電在2008年第四季40/45nm製程已經開始有營收進帳，2009年第二季貢獻超過1%，預計2009下半年開始會有大幅度的成長。

圖5-1:半導體大廠先進製程導入時程規劃



資料來源：AMD (2009)、Intel (2009)、野村證券 (2008)，資策會MIC整理，2009

表5-1:TSMC各製程佔營收比例



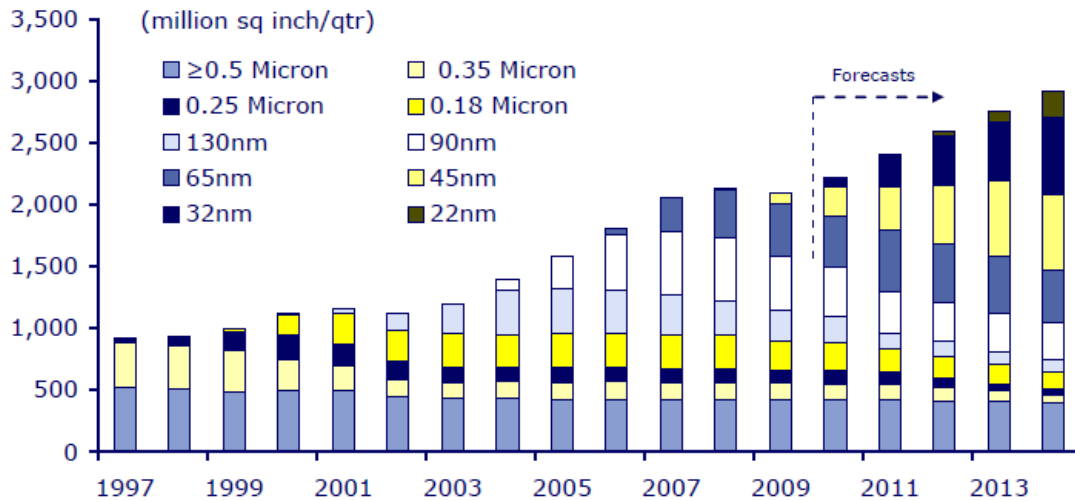
資料來源：拓璞產業研究所，2009/09

再根據CLSA所做的市場分析圖5-2也可以知道全球65奈米製程大約是在2006和2007年左右導入量產，而45奈米製程也預計於2009年開始導入量產。整體來說半導體產業在2006年開始對65奈米製程增加產能投資。並於2009年開始轉入32奈米，28奈米技22奈米之技術結點之研發。從CLSA, 拓璞產研產研之分析均可瞭解到65nm都是於2006~2007年開始對台積電的營收有所貢獻。這和本研究所使用的模型所推導出來的先進製程導入點2005~2008年是相當契合的。

另外從圖5-2中針對32nm以下之製程預測則是會從2011年開始有所成長。但根據實際之技術演進計劃。台積電將直接由28nm切入並跳越22nm直接進入20nm之研發。因此32nm將會是所謂的半世代製程(half-node)，半世代製程通常是客戶端因市場考量為增加芯片產出卻又要節省NRE費用所採取的一種折衷方式。但

若能在28nm的製程上有所突破時，32nm的製程也就不會有任何製程上的難度了。

圖5-2: 全球製程技術產能分佈趨勢圖



資料來源：CLSA Asia Pacific Market, Jan. 13, 2011

5.3 奈米製程營收額與成長曲線結果分析

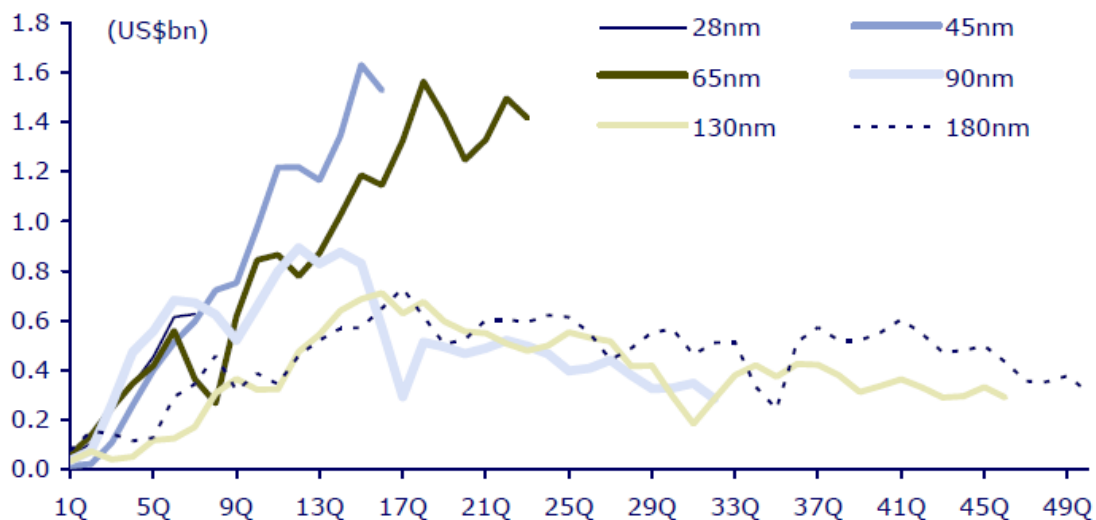
另外從TSMC先進奈米製程之技術結點之年銷售額的觀點來分析，如圖5-3所示。也可瞭解到90奈米以上結點年銷售額至2018年時都將呈現逐年下降的趨勢。而90奈米以下之技術含65奈米，45奈米以及28奈米之年銷售額到2018年時都將呈現逐年上升的趨勢。尤其65和45奈米之年銷售額之貢獻甚至超越90，130和180奈米技術三者之總銷售額。這種趨勢也說明了先進製程已進入技術成熟且為市場接受且大量採用。從圖5-3中也可看出另一個可能之說明，那就是28奈米以下之技術銷售額雖可看到有所貢獻，但其成長性將不如65奈米和45奈米之成長幅度。這多少都和製程技術上所遭遇到之瓶頸有所關聯。而其較有可能於2017~2018才能達到現今65奈米和45奈米之成長幅度。

台灣積體電路公司於2008年公佈其28奈米製程的技術時程，並指出將於2009第二季投入生產32奈米技術後，即在2010年第一季投入生產28奈米製程，技術領先對手聯華電子與新加坡特許半導體，直逼英特爾。台積電表示，自2008年九月發表28奈米技術以來，其技術的發展與進入量產的時程皆按預期計劃進行。就試產時程順序而言，低耗電氮氧化矽(簡稱28LP)製程預計於2010年第一季底進行試產，高效能高介電層/金屬閘(簡稱28HP)製程則預計於2010年第二季底開始試產，而低耗電高介電層/金屬閘(簡稱28HPL)製程的試產時程將繼前兩者之後推出，於2010年第三季進行試產。此外，20奈米製程預計於2012年下半年開始導入生產。

但若將台積電對28nm的量產時間點和圖5-1來做探討時，我們可以發現其量產時間將會較圖5-1所預測之20nm量產時間還稍晚了一年。這和CLSA對28nm以下技術對台積電之營收貢獻度有著共同點，那就是愈小的半導體製程技術節點在製程開發上將會遭遇到更大的技術障礙。而這也使得將該技術向市場推廣的時間也將往後延遲。CLSA對於28nm的營收貢獻較保留主要是因為其對技術突破性尚有保

留。也因此這些技術尚未完全突破前，對整體營收貢獻較無法做出有效之預測。

圖5-3: TSMC製程技術結點年銷售額趨勢圖(2010~2018)



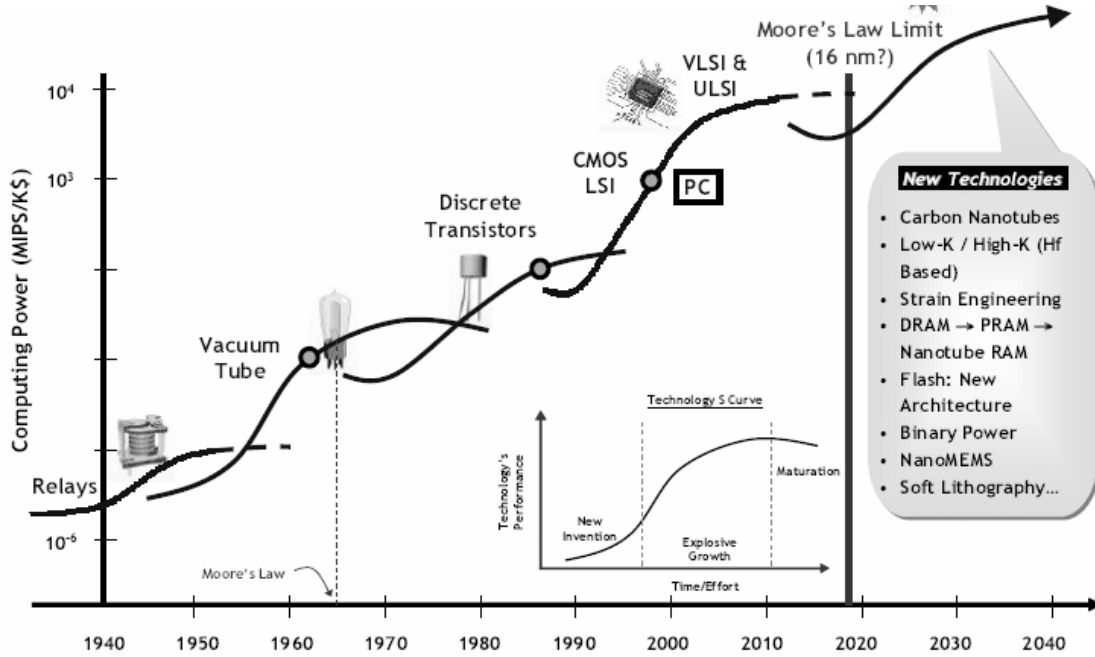
資料來源: CLSA Asia Pacific Market, Jan. 13, 2011

5.4 半導體技術未來發展之挑戰

圖5-4簡略了說明瞭半導體發展的趨勢，其演進過程就是一幅S成長曲線的實現。從真空管時代到電晶體，再由電晶中的摩爾定率一直不斷的扮演著半導體產業前進的推手。然而時至今日半導體技術已進乎其臨界點，在解決半導體元器件在尺寸愈來愈小的需求下所產生問題如低漏電，高傳速而所能使用的工程技術已到極限。從前段製程的微影技術，高介電材質避免漏電，到後段製程之低介電材質解決高傳速在40nm的製程上已完全使用。圖5-4中所標示在16nm以下的技術將於2019年會開始始用。但根據過去的經驗，實際的應用時間往往會比預測的應用時間來的早。但從台積電對20nm的量產時間(2012)首次較預測時間(2011)來的晚也正說明在技術微縮的進程上所遭遇的困難較以前大。各家領導大廠亦逐漸面對摩爾定律恐怕失靈的主要開發障礙，原因如下：

第一、原本廠商所採用的光罩微縮技術恐怕在32nm以下製程面臨物理限制，除非改採其他技術或設法強化現有光罩技術，否則將面臨微縮瓶頸。

圖5-4: 半導體技術發展之趨勢



資料來源: 陳國明 (2008)

第二、微縮技術雖然可成功讓晶片內部基本元件縮小，但相對應的也會讓原本已難克服的漏電問題更形嚴重，因此，如何提高晶片內部元件的電介質 (k值) 變成持續朝奈米微縮開發的主要障礙之一。

第三、隨著晶片內部基本元件的微縮，晶片內部連接元件之間的內部導線 (Interconnect) 如何微縮也顯得更形重要，甚至相反地，如何降低內部導線的電介質 (k值) 亦是即待解決的重要問題之一。

隨著上述三個主要微縮瓶頸，使得摩爾定律是否能於未來半導體產業依舊有效以及如何能讓半導體技術得以持續進展皆為關鍵所在。

以下將針對半導體製程技術未來的發展的兩項主要關鍵點做討論。一為微影技術，二為未來電晶體的發展。

5.4.1 未來半導體微影技術之發展趨勢

目前40nm以下製程世代的微影候選技術包括有:193nm浸潤式微影搭配雙重曝光(Double Patterning)技術、極紫外光(Extreme UltraViolet, EUV)技術、無光罩微影(Maskless Lithography, ML2)技術，以及奈米轉印(Nanoimprint)技術等，而每種技術所適用的製程節點不盡相同，各自也都面臨工具、光罩與光阻等相關技術的挑戰，須待整體基礎建設完備後，方能進入商用化量產階段。

1. 193nm 浸潤式微影搭配雙重曝光技術

新世代技術都有其面臨的權衡挑戰，而更高的疊對精確度與成本則是雙重曝

光技術成形的重要關鍵。疊對精確度與成本高低取決於業者所使用的實作架構，目前產業界有許多不同的選擇，但一般而言，又以隔離層雙重曝光(Spacer Double Patterning)、雙重曝光，以及雙重顯影(Double Exposure)3種最受矚目。

表5-2: 45奈米以下微影技術一覽表

微影候選技術	技術瓶頸	相關發展廠商
193nm 浸潤式微影搭配 雙重曝光(Double Patterning)	雙重曝光技術最大的挑戰，即在於疊對的精確度；因為在 45nm 以下製程，光罩層數大增，不僅每層曝光要精確，當層層疊起時，層與層間的誤差也要非常小，目前產業界對雙重曝光的疊對誤差精確度要求是在 3nm 以內	台積電、聯電、特許、Intel、IBM
極紫外光 (ExtremeUltraViolet， EUV)	目前最大的難題是如何能找到完全無缺陷(Defect-Free)的及平坦度相當好的光罩基底(Mask Blank)，並發展出可檢測及修補光罩的方法及設備	台積電、Intel、IBM
無光罩微影 (MasklessLithography， ML2)	無光罩存在的特殊問題有：電子束電流與產出率的折衷和可延展性；電子束穩定性/可靠性，以及源穩定性/腐蝕劑精確度/射入雜訊	台積電
奈米轉印 (Nanoimprint)	奈米壓印微影在 2002 年首次被提出，被視為可取代傳統光學微影、一統世界；目前該技術仍在大學實驗室階段，證實 LED 的生產上有助益，不過卻因為麻煩的校準與生產力問題。目前看來發展空間非常小	學術討論議題

資料來源：拓璞產業研究所整理，2009/09

雙重曝光技術對曝光機台最大的挑戰，即在於疊對的精確度；因為在 45nm 以下製程，光罩層數大增，不僅每層曝光要精確，當層層疊起時，層與層間的誤差也要非常小，目前產業界對雙重曝光的疊對誤差精確度要求是在 3 奈米以內。

2. 極紫外光(Extreme UltraViolet，EUV)技術

極紫外光微影是利用離子化的氣體或電漿所產生的光線，在離子化過程中激發光的波長非常的短，只有 13.5nm，遠遠短過肉眼可看見的光譜。利用這激發的光線，透過一連串的反射光學鏡，將光罩上的圖案投射到晶圓上。

極紫外光微影技術可把 13nm 波長的光波投射到一連串的多層膜面鏡上，以縮小晶圓上的成像。在這個波長之下，透鏡無法作用，因為物質並無法透光，它是利用雷射通入 Xe 氣體來產生電漿所放出的光，波長大約是 13nm，比現有深紫外光 KrF 248nm 和 ArF 193nm 更先進波長還短，它整個曝光要在真空中進行，所有的鏡片都是反射式的鏡片，而光罩和傳統的光學並不相同，其基底是由沈積多層 Mo 和 Si 所形成並且其缺陷的大小至少是 30nm 等級，且其表面要非常平坦。光

阻目前還未發展可利用表面成像(TSI)進行圖形曝光驗證。目前最大的難題是如何能找到完全無缺陷(Defect-Free)的及平坦度相當好的光罩基底(Mask Blank)，並發展出可檢測及修補光罩的方法及設備

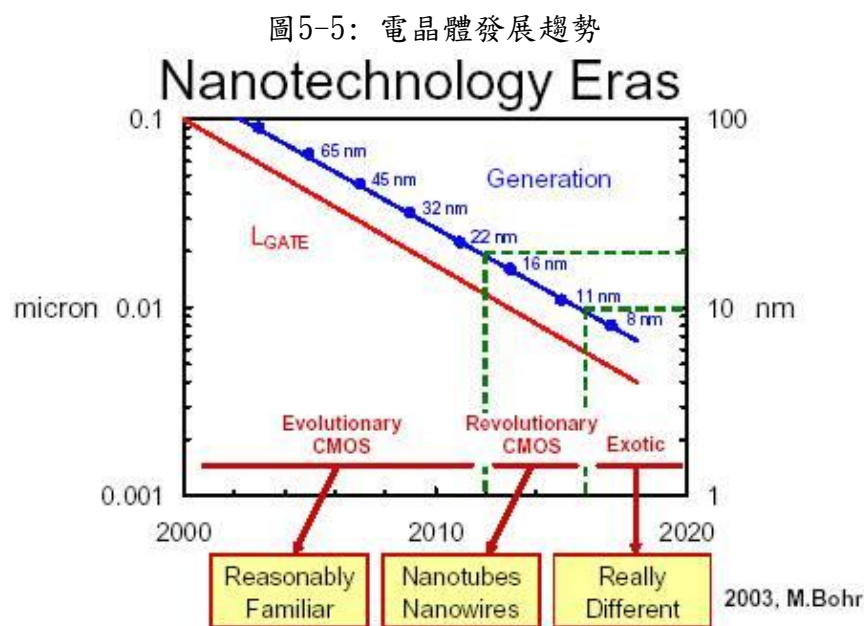
3. 無光罩微影技術

電子束微影技術不需要用光罩，可以直接把在電腦上設計好的圖案送到曝光的系統去寫(稱作直寫, Direct Write)，所以其可大幅縮短從設計到製作的時間，也因此特別適合研究室或非量產型元件使用。事實上前面所述及的光學微影技術所用的光罩，大多是用電子束微影技術作出來的。如果說紫外線是平面光源，電子束可以說是一種點光源，所以比起光學微影技術，電子束曝光系統的產能要低很多，生產的成本太高而不適合工業用。無光罩存在的特殊問題有：電子束電流與產出率的折衷和可延展性；電子束穩定性/可靠性，以及源穩定性/腐蝕劑精確度/射入雜訊。

4. 奈米轉印技術

雷射輔助直接壓印技術則是奈米壓印技術在近年來的重大突破。在雷射輔助直接壓印技術裡，使用 KrF 準分子脈衝雷射(雷射波長 248nm，而脈衝時間為 30 奈秒)當作輔助材料加熱融化的熱源，並使用以做好微米或奈米等級圖案的高透光率石英當作母模，將石英母模跟欲壓印材料接觸並且預加壓力，而後從石英正上方施加準分子雷射，當基材產生融化現象時，預施壓力在基材上的石英母模會因為融化的矽在短時間內填滿模具上的圖案，並且重新成形。奈米壓印微影在 2002 年首次被提出，目前該技術證實在 LED 的生產上有助益，不過卻因為麻煩的校準與生產力問題，其發展空間非常小。(陳宏毅，2009/09)

5.4.2 未來半導體電晶體之發展趨勢



資料來源: ITRS, 2003

從 2000 年開始，摩耳定律有減緩的跡象，為突破此一瓶頸而採取了所謂的“等效縮小”時代，同時以縮小電晶體的體積、及引進新科技等兩種方式來提升晶片的功效。矽基電晶體的淘汰已不是選擇性的問題、而僅是時程上的問題。2010 年將會有更明確、能取代 CMOS 電晶體(互補式金屬氧化半導體)的構想出現。預計在 2014 年，晶片的電晶體結構將由奈米碳管或奈米矽導線構成。到 2020 年，電晶體結構將有更徹底的轉變。

45 奈米製程製作的晶片，是將電晶體的閘極將由金屬材料取代目前的矽材，而“閘極氧化層”一用於控制電晶體內部電子流的絕緣層，亦將以他種材料取代傳統所採用的二氧化矽薄層。此一新的“閘極氧化層”其厚度雖然增加一倍，但功能卻如同更薄的二氧化矽薄層一般，能提昇電晶體的功能；且此一尚未宣佈材料的絕緣層，能更進一步地降低電子的滲漏。這些變革將使製程技術精進至 22 奈米製程。

到了 2015 年晶片設計將進入“技術整合”年代，屆時晶片製造商將以碳奈米管或碳奈米線來製作電晶體的閘極。矽底材仍將是構築這些電晶體的底材，這些具有 CMOS 電晶體外觀的電晶體，其構成元件及製程均將極為不同。



第六章 研究結論與建議

6.1 研究結論

自從摩爾定律在1965年被提出以來到現在的40年中，半導體產業一直跟在其基礎上演進，也就是每18個月積體電路上的電晶體數量將會以倍數成長。由於此一線性關係經過長期觀察和檢視是有效的。也因此半導體不論在設計和製造上都和其定律有著密切的關聯性。也因為半導體產業具有此一線性的特性，技術預測中的成長曲線就可較適切的應用在半導體的技術發展預測上。

本研究以成長曲線為基礎並以HKMG, 193nm Immersion, Strained Silicon和TSV等半導體先進製程關鍵技術做為元素再配合實際之技發展現況可以得到以下幾項結論。

1. 從過去的經驗來看，每一個新的半導體技術結點均可符合最終都受限於該相關的物理或化學極限，因此若一個產品中採用不同的操作過程，就表示其已經轉換到一段新的成長曲線了技術在最初均呈現出成長緩慢現象，一旦突破某個界限之後，其效能的成長就變的非常的快速；而當其接近上限時（在自然限制條件之下，物理的極限），其效能的增進就變的非常的困難，成長也再度變得緩慢下來。其技術進步的速率會因為努力（或投入、時間）的程度，而呈現出開始的緩慢增加，到中間階段的快速成長，最後因為自然條件的限制之下而無法突破，其技術進步的速率又變的緩慢。
2. 從專利生命週期圖型也可瞭解到專利對於某特殊技術之使用及應用程度。本研究中的四項主要關鍵技術從專利技術生命週期上看來都已趨成熟期。這也代表著這些技術已廣為市場接受並已廣泛使用。
3. 從Logistic Model的預測結論也可看出65nm到40nm的技術導成熟期預計為2005~2008年間。而根據2008年第四季台積電來自先進製程65nm製程營收佔比重27%。台積電在2008年第四季40/45nm製程已經開始有營收進帳，2009年第二季貢獻超過1%，預計2009下半年開始會有大幅度的成長。由實際的技術運用和預測的結果來看，此模型是有相當程度的準確性。因此半導體的特性是相當符合使用此模型來進行技術預測。
4. 最後再由實際的市場分析也可以知道全球65奈米製程大約是在2006和2007年左右導入量產，而45奈米製程也預計於2009年開始導入量產。整體來說半導體產業在2006年開始對65奈米製程增加產能投資。並於2009年開始轉入32奈米，28奈米技22奈米之技術結點之研發。這和本研究所使用的模型所推導出來的先進製程導入點2005~2008年是相當契合的。

6.2 研究限制與建議

本研究之專利檢索主要以美國專利資料庫為主，未來欲進行相關研究者，可

選擇使用需付費但資料更加詳盡之專利資料庫，以獲得更多專利資訊，並運用相關專利分析軟體，以直接獲得專利與技術相關資訊。雖然美國專利資料庫已經在全世界具有舉足輕重的影響力，但還不足以涵蓋所有的技術市場，因此未來再次進行相關研究時，也應再針對其他資料庫作專利的搜尋與分析。再者由於專利申請和專利核准有時間的落差，因此導致在利用專利資料做預測最新技術發展時也會產生偏誤。

此外以下是對後續研究者在專利檢索上可以思考的檢索方向及策略，以更詳盡的對相關研究做探討：

步驟一：利用起始資料，掌握數篇相關專利(珍珠)，決定其關鍵字及分類號

步驟二：擴大檢索範圍，找尋相關專利

步驟三：相關判斷，修正檢索技巧，更新檢索策略

步驟四：確認並儲存新的檢索策略，以利下回檢索

除了使用免費專利資料庫如中華民國專利資訊檢索系統，USPO，歐洲專利資料庫，日本電子圖書館，中華人民共和國國家知識產權局專利檢索系統，世界智慧財產權組織智慧財產權數位圖書館等免費檢索庫外，也建議擴大使用如中國專利信息網，全球專利檢索分析系統，Patent Pilot, Delphion 以及 WIPS 等付費檢索系統來進行更完備的相關專利檢索。

另外專利引證資訊提供進行專利分析工作者一個瞭解技術發展脈絡，或是評估專利重要的初步判斷工具，因此相關對應所衍生的數學分析方法，包括引證分析(citation analysis)、共引證分析(co-citation analysis)與群聚分析(cluster analysis)等成為一瞭解或是探討專利重要性的重要工具。然而本研究並未以專利引證進行更細部分析，因此未來進行相似研究時可導入引證分析再配合成長曲線進行探討。

6.3 未來研究方向

如本研究所論述，半導體製程技術在進入28nm以下技術時將進入後摩爾時代。先前之傳統摩爾定律隨著材料和成長曲線所定義之物理極限使此定律將無法繼續延續。台積電董事長張忠謀也於2011年全球科技高峰論壇演講時指出半導體的「摩爾定律」在未來6至8年就會到極限，等於縱向的發展跑完，但新應用如iPad、iPhone的推陳出新，也驅使台積電未來將朝橫向發展，包括低耗電、微積電、影像感測等領域發展(聯合晚報，2011.4.25)。也因此在此能夠突破此困境的研究領域上如新世代微影和新電晶體元件的開發以取代現行之電晶體是值得再做深入的探討。其後的研究方向也可針對這些技術領域結合後摩爾定律再搭配成長曲線來探討半導體技術未來的成長走向。

參考文獻

一、 英文文獻：

1. P.R. Morris, 1990, A HISTORY OF THE WORLD SEMICONDUCTOR INDUSTRY, IEE, pp. 9-39, 135-146, Appendix C.
2. Al Servati and Anthony Simon, 2005, Introduction to Semiconductor Marketing, Safety Harbor, FL: Simon Publications
3. Jules E. Kadish, 1993, Global High-Tech Marketing An Introduction for Technical Managers and Engineers, Artech House
4. Jakki Mohr, Sanjit Sengupta, and Stanley Slater, 2005, Marketing of High-Technology Products and Innovations, Pearson Prentice Hall
5. Henry Kressel, 2007, Competing for the future—How digital innovations are changing the world, Cambridge University Press
6. Michael Wilson, 2002, NANOTECHNOLOGY, Basic Science and Emerging Technologies, Chapman & Hall/CRC
7. V.S. Muralidharan, 2009, Nanoscience and Technology, Taylor & Francis Group
8. William A. Goddard III, 2007, Hankbook of NANOSCIENCE, ENGINEERING, and TECHNOLOGY, Taylor & Francis Group
9. Hill,C.W and G.R. Jones , 2010, Theory of Strategic Management, South-Western CENGAGE Learning p.57-61
10. Gregory Tassej, 2009, The Technology Imperative and the Future of R&D Policy, National Institute of Standards and Technology, <http://www.nist.gov/director/planning/strategicplanning.htm>
11. World Intellectual Property Organization, 2009 Edition, World Intellectual Property Indicator, World Intellectual Property Organization
12. Jan Cobbenhagen, 2000, Successful Innovation, Edward Elgar Publishing Limited
13. Frederick Betz, 1998, Managing Technological Innovation, John Wiley & Sons, Inc.
14. F.M. Scherer, 1992, International High Technology Competition, Harvard University Press
15. CLSA, 2011, Semicon Foundries Sector Outlook, Asia Pacific Markets

二、 中文文獻：

1. 李雅明, "半導體的故事", 新新聞文化事業股份有限公司, 1999年12月, pp. 218-236.
2. 謝友嵐 (2005), "晶圓代工製程發展模型之研究", 交通大學科技管理研究所碩士論文
3. 游易青 (2004), "high-k材料應用於閘極氧化層對奈米晶記憶體電性之影響", 清華大學材料科學工程學系碩士論文
4. 賴佳宏 (2003), "薄膜電晶體液晶顯示器(TFT-LCD)產業之技術發展趨勢研究—以專利分析與生命週期觀點", 中原大學企業管理研究所碩士論文
5. 林鴻志 (1998), "深次微米閘極技術之發展與未來趨勢", 奈米通訊第五卷第二期
6. 電子時報 (2000), "半導體趨勢圖示", 大橡股份有限公司
7. 陳國明 (2008), "半導體技術發展之趨勢", 陳國明

8. TRI (2006), “2006 年穩健成長的半導體產業”, 拓璞產業研究所
9. TRI (2006), “2006 年穩健成長的半導體產業”, 拓璞產業研究所
10. TRI 研究專論 (2002), ” 半導體產業動態觀察 “, 拓璞產業研究所
11. TRI 研究專論 (2002), ” 半導體市場動態解析 “, 拓璞產業研究所
12. 游淑惠 (2008), “臺灣半導體發展新紀元—3D IC”, 系統晶片(SoC Technical Journal) 009 期
13. Ingrid Lee and Esther Lam, “矽穿孔(TSV)封裝為下一個兵家必爭之地”, 國際半導體設備材料產業協會
14. 張嘉華, 唐經洲 (2010), ” 躋身盟主寶座 IDM 主導 3D IC 產業 “, 新通訊元件雜誌, 3 月號 109 《期趨勢眺望》
15. 王智弘, 蕭如涵, 2008/.08, ” 半導體上中下游推波助瀾—3D IC 發展邁入新里程”, 新電子雜誌
16. 游李興 (2002), “全球奈米半導體技術發展及主要國家發展策略研究”, 工業技術研究院 產業經濟與資訊服務中心
17. 鄔義鈞, 邱鈞 (1996), ” 產業經濟學 “, 中國統計出版社
16. 邢以群, 周建华 (2000), ” 高技術企業經營管理論”, 浙江大學出版社
17. 劉鐵民 (1988), ” 高技術: 世界與中國”, 春秋出版社
18. 朱瑞博 (2010), ” 中國戰略性新興產業培育及其政策取向”, <改革>, 2010 年第 3 期
19. 朱延智 (2010), ” 高科技產業分析”, 五南圖書出版股份有限公司
20. 張順教 (2003), ” 高科技產業經濟分析”, 雙葉書廊有限公司
21. 熊彼德著, 何畏, 易家詳等譯 (2009), ” 經濟發展理論”, 左岸文化出版
22. 林鐘雄 (1997), ” 熊彼德經濟社會思想新定位”, 三民書局
23. 袁建中 (2006), ” 科技管理”, 雙葉書廊有限公司
24. 徐作聖, 黃啟祐, 游煥中 (2007), ” 科技服務業發展策略與應用-以 RFID 為例”, 國立交通大學出版社
25. 金誠等著, 應小端譯, (2002), ” 創新-哈佛商業評論”, 天下遠見出版股份有限公司
26. 劉志尉 (2010), ” 通訊與電腦”, 科學發展, 2010, 7 月, 451 期
27. 資訊市場情報中心 (2008), ” 贏在未來-產業分析的 12 堂課”, 財團法人資訊工業策進會
28. 楊丁元, 陳慧玲 (1996), ” 業競天擇: 高科技產業生態”, 工商時報
29. 劉致為, 游李興 (2002), ” 競逐元子世界—奈米技術與產業發展系列”, 經濟部工業局
30. 袁建中, 謝志宏, 彭弼聲 (2005), ” 產業分析之技術預測方法與實例”, 美商麥格羅希爾國際股份有限公司
31. 陳達仁, 黃慕萱 (2009), ” 專利資訊檢索, 分析與策略”, 華泰文化事業股份有限公司
32. 張婷琇 (2007), ” RFID 技術發展趨勢研究-一生命週期為觀點”, 國立台南科技大學科技管理研究所
33. 黃俊傑 (2006), ” 奈米碳管發射顯示器技術生命週期與創新策略之研究”, 國立台南科技大學科技管理研究所
34. 朱昭銘 (2009), ” 以技術生命週期分析薄膜太陽能產業趨勢之研究”, 國立

中央大學企業管理學系

35. TRI (2009), “晶圓代工在先進製程面臨的挑戰及發展趨勢”，拓墾產業研究所
36. 張安華等著 (2005), ”實用奈米技術-Practical Nanotechnology”，新文京開發出版股份有限公司

三、 網站資料：

1. 力世管理顧問股份有限公司：Web Site: http://www.pwcm.com.tw/reports01_1.htm
2. 半導體發展史—50年：Web Site: <http://www.esmchina.com>
3. 半導體發展年表：Web Site: <http://www.go-gddq.com>
4. Moore' s Law：Web Site: <http://web.sfc.keio.ac.jp>
5. 經濟合作與發展組織關於高技術產業的定義與界定：<http://www.sninfo.org>
6. Web Site: <http://www.csscipaper.com>
7. Web Site: <http://www.autoo.net>
8. 電子產品世界：<http://www.eepw.com.cn>
9. Loglet Lab Logistic Groth Model
<http://phe.rockefeller.edu/LogletLab/GetLogletLab1.html>

