

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

高壓半導體元件淺溝槽隔離製程之差排改善及良率提昇研究

Dislocation Improvement and Yield Enhancement for the
Process of the Shallow Trench Isolation of High Voltage
Semiconductor Devices

研究生：嚴永民

指導教授：潘扶民 教授

中華民國一百零一年一月

高壓半導體元件淺溝槽隔離製程之差排改善及良率提昇研究
Dislocation Improvement and Yield Enhancement for the Process
of the Shallow Trench Isolation of High Voltage Semiconductor
Devices

研究生：嚴永民 Student：Yung-Ming Yen

指導教授：潘扶民 Advisor：Fu-Ming Pan

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

A Thesis

Submitted to Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in Semiconductor Material and Process Equipment

January 2012

Hsinchu, Taiwan, Republic of China

中華民國一百零一年一月

高壓半導體元件淺溝槽隔離製程之差排改善及良率提昇研究

學生：嚴永民 指導教授：潘扶民博士

國立交通大學工學院半導體材料與製程設備學程

摘要

隨著半導體製程技術進步，元件越做越小，互補式金氧半高壓 (High Voltage Complementary Metal Oxide Semiconductor, HV CMOS) 元件製程技術要求也更加精確，在小線寬及高積極度的要求下，元件間干擾越來越明顯，被用來作為元件之間絕緣的淺溝槽隔離製程 (Shallow Trench Isolation, STI) 也就變得愈來愈重要。

然而，淺溝槽隔離技術有許多問題尚需解決，應力之問題是一個重要研究方向。應力會造成如差排 (Dislocation) 這類的缺陷，會影響元件之基本電子特性降低可靠度。一般產生較大應力的來源可能有幾種：一種為平坦化製程產生之應力，即化學機械研磨淺溝槽回填二氧化矽時所產生。或是銅製程之鑲嵌技術 (Damascene)，使用化學機械研磨 (Chemical Mechanical Polishing, CMP) 之技術，所造成之機械應力。第二種即熱製程所產生之應力，就是由於矽底材和所回填的二氧化矽的熱膨脹係數不同所引起之應力。這應力會造成晶格位置的差排，而產生有不正常之漏電流行為。尤其在 ULSI 的世代以後，元件之主動區 (Active Area) 面積更加為縮小，淺溝槽隔離技術下應力所產生問題更為嚴重，更增加元件微縮的挑戰。本研究即主要探討熱製程 (Thermal Cycling) 所產生的應力成因，並優化內墊氧化矽層 (Liner Oxide) 與內墊氮化矽層 (Liner Nitride) 之溫度及厚度，以減少差排的產生。

A Study on Dislocation Improvement of Semiconductor STI Process and Yield Enhancement

Student : Yung- Ming Yen Advisor : Dr. Fu-Ming Pan
Degree Program of Semiconductor Material and Process Equipment
National Chiao Tung University

Abstract

Shallow Trench Isolation (STI) techniques are essential for semiconductor device for reducing electrical interferences between devices of sub-micro and sub 100-nm High Voltage Complementary Metal-Oxide-Semiconductor. By separating active regions with oxide isolation structures, it is possible to reduce the cross-talk between elements. STI has become more and more important as the dimension of devices continuously scales down.

However, the mismatch in thermal and mechanical properties between the oxide and the silicon substrate create, enormous stress and results in current leakage due to the generation of dislocations in active zones. As a result, it is important to carefully design the isolation structures. In the STI structure, a significant stress is built up in the silicon mesa during the thermal cycling process after the STI formation. The thermal cycling lead to tensile stress as a result of the difference in the thermal expansion coefficient between the silicon substrate and the trench fill oxide. As the active area pitch decreases, an increase both in the stress and the leakage current density is observed. The stress causes a large amount of defects, which results in a large leakage current density. This study explores the cause of the stress build-up during thermal cycling process. We optimize the thickness of the liner oxide layer and the liner nitride layer and the thermal cycling temperature to eliminate the production of the dislocation.

誌謝

回顧這二年多來的碩士班生活，學到相當多東西，也認識了一些好同學、好老師，讓我這段日子更加精彩，相信在我人生中也留下相當刻苦銘心的一頁。

首先要感謝我的恩師 指導教授 潘扶民博士，在論文上不厭其煩的指導，付出的心力難以言喻。同時也要感謝吳耀銓教授、陳智教授擔任學生的論文口試委員，給予學生很多寶貴的意見，才能完成論文寫作，使得本論文能更加完善。

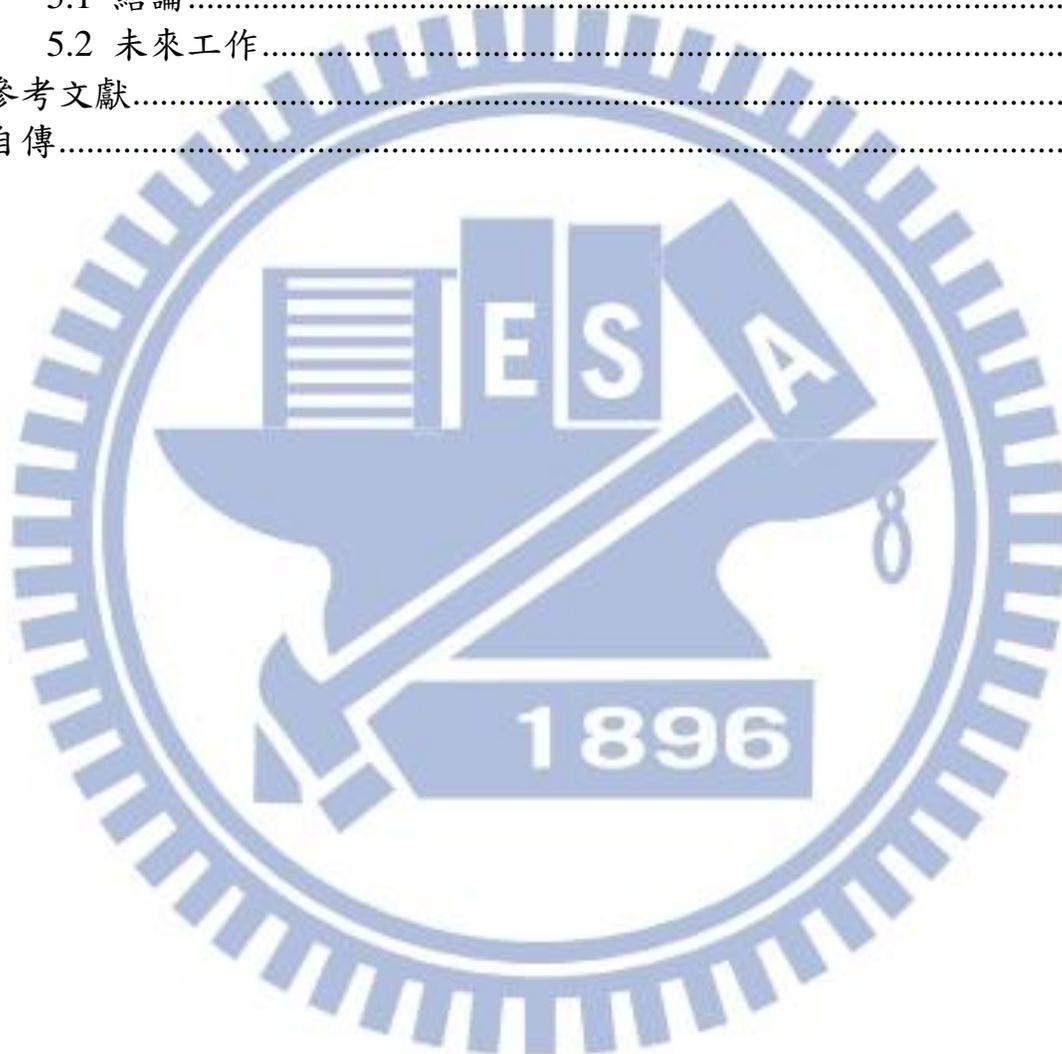
另外要謝謝諸多同學們，尤其是稚安、嘉祥、子弘等，這段期間相互關心與激勵，一起度過這共同學習的時光，讓我在交大這段期間增添許多難忘的回憶。當然也感謝公司部門 欣昌經理、宗緯經理及多位長官、同事，提供寶貴經驗與相關實驗支援，使此研究得順利完成。

最後我要謝謝我的家人，母親 邱春妹女士、岳父、岳母、哥哥、姐姐、佳瑾、玉龍、暘平、宗佑等，你們在這段期間對我的包容與支持，給予我最大的原動力，讓我能順利完成我的論文與學業，在此致上最誠摯的祝福與感恩。並將此成果獻給我親愛的老婆 佳璇，在我進修這段時間有妳的全力支持，幫忙照顧寶貝兒子 喆安，讓我可以無後顧之憂在課業上衝刺。在此向我的家人及所有關心我的親友們致上我真誠的感謝。也希望兒子 喆安能認真念書將來也是交大人。

目錄

中文摘要.....	I
英文摘要.....	II
誌謝.....	III
目錄.....	IV
表目錄.....	VI
圖目錄.....	VII
第一章 導論.....	1
1.1 前言.....	1
1.2 研究動機.....	3
1.3 論文架構.....	7
第二章 原理與文獻回顧.....	8
2.1 淺溝槽隔離製程及其相關介紹.....	8
2.1.1 淺溝槽隔離製程流程.....	8
2.1.2 淺溝槽隔離製程所需注意之問題探討：.....	12
2.2 加熱製程介紹：.....	18
2.3 微影製程介紹：.....	22
2.4 乾式蝕刻製程介紹：.....	27
2.5 高密度電漿製程介紹：.....	31
2.6 濕式清洗製程介紹：.....	33
2.7 化學機械研磨平坦化製程介紹：.....	37
2.8 差排：.....	40
第三章 實驗設計與方法.....	43
3.1 實驗設計與方法.....	43
3.2 主要實驗機台簡介.....	45
3.2.1 垂直式爐管.....	45
3.2.2 穿透式電子顯微鏡：.....	53
3.2.3 晶圓量測機台.....	55
第四章 實驗結果與討論.....	57
4.1 實驗結果.....	57
4.1.1 內墊氧化矽層溫度實驗結果.....	57
4.1.2 內墊氧化矽層厚度實驗結果.....	64

4.1.3 內墊氮化矽層厚度實驗結果.....	68
4.2 討論.....	74
4.2.1 內墊氧化矽層溫度實驗結果討論	74
4.2.2 內墊氧化矽層厚度實驗結果討論	75
4.2.3 內墊氮化矽層厚度實驗結果討論	76
第五章 結論與未來工作	79
5.1 結論.....	57
5.2 未來工作.....	74
參考文獻.....	81
自傳.....	89



表目錄

表 2.1 清洗液種類與其使用目的	33
表 3.1 內墊氧化矽層溫度、厚度、內墊氮化矽層厚度分配表	45
表 3.2 爐管操作步驟流程表[50].....	48
表 3.3 爐管相關氣體、溫度、時間步驟表[50].....	49
表 4.1 內墊氧化矽層溫度、差排、良率之關係表	74
表 4.2 內墊氧化矽層溫度、差排、良率之關係表	76
表 4.3 內墊氧化矽層溫度、差排、良率之關係表	77



圖目錄

圖 1.1 互補式金氧半高壓技術應用之產品圖	5
圖 1.2 良率趨勢圖	6
圖 1.3 淺溝槽隔離差排缺陷 TEM Plan-View 圖.....	6
圖 2.1 HV CMOS 之淺溝槽隔離相關示意圖	8
圖 2.2 步驟一淺溝槽隔離墊氧化層、氮化矽層相關示意圖	9
圖 2.3 步驟二淺溝槽隔離蝕刻相關示意圖	9
圖 2.4 步驟二淺溝槽隔離蝕刻相關 TEM 圖.....	10
圖 2.5 步驟三淺溝槽隔離內墊氧化矽層、內墊氮化矽層相關示意圖 ..	10
圖 2.6 步驟四淺溝槽隔離氧化層充填相關示意圖	11
圖 2.7 步驟四淺溝槽隔離化學機械研磨平坦化相關示意圖	11
圖 2.8 淺溝槽隔離上圓角相關示意圖	12
圖 2.9 淺溝槽隔離下圓角相關示意圖	13
圖 2.10 淺溝槽隔離 Step High 相關示意圖	14
圖 2.11 淺溝槽隔離蝕刻輪廓相關示意圖	14
圖 2.12 淺溝槽隔離之 CMP Loading Effect.....	15
圖 2.13 碟形下陷(Dishing).....	15
圖 2.14 淺溝槽隔離差排缺陷圖，其中箭頭所指的暗線部份是差排。16	
圖 2.15 係為步進機之曝光單元示意圖。資料來源：Nikon.....	23
圖 2.16 反應性離子蝕刻系統示意圖〔50〕	29
圖 2.17 清洗程序〔56〕	34
圖 2.18 Applied Materials Mirra CMP system〔57〕	37
圖 2.19 刃差排示意圖〔18〕	41
圖 2.20 螺旋差排示意圖〔18〕	42
圖 2.21 混合差排示意圖〔18〕	42
圖 3.1 良率趨勢圖依刻號及依晶舟(Boat)排序	44
圖 3.2 淺溝槽隔離之內墊氧化矽層、內墊氮化矽層相關示意圖	47
圖 3.3 圓裝/卸載步驟圖，資料來源：KE 爐管.....	44
圖 3.4 爐管內傳輸晶圓之前後擺放位置示意圖	46
圖 3.5 爐管溫度控制、氣體流動方向示意圖，資料來源：KE 爐管 ...	47
圖 3.6 爐管步驟程序圖〔50〕	48
圖 3.7 內墊氧化矽層升降溫曲線圖	51

圖 3.8 內墊氮化矽層升降溫曲線圖	52
圖 3.9 穿透式電子顯微鏡示意圖	54
圖 3.10 安捷倫(Agilent)良率量測機台	55
圖 3.11 一般良率量測分類之流程	56
圖 4.1 內墊氧化矽層溫度與良率關係圖	58
圖 4.2 實驗條件 1 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	59
圖 4.3 實驗條件 2 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	60
圖 4.4 實驗條件 3 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	61
圖 4.5 實驗條件 4 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	62
圖 4.6 實驗條件 5 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	63
圖 4.7 內墊氧化矽層厚度與良率關係圖	65
圖 4.8 實驗條件 6 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	66
圖 4.9 實驗條件 7 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	67
圖 4.10 內墊氮化矽層厚度與良率關係圖	69
圖 4.11 實驗條件 8 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	70
圖 4.12 實驗條件 9 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	71
圖 4.13 實驗條件 10 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	72
圖 4.14 實驗條件 11 淺溝槽隔離 substrate 之 TEM Plan View 圖.....	73
圖 4.15 TSUPREM 模擬淺溝槽隔離結構之二維應力分佈圖 [3]	78

第一章 導論

1.1 前言

半導體的發展趨勢因晶片設計、晶片製造等之相關技術不斷改進更新需求，使得新式機器與製程不斷的開發，以便滿足客戶需求。因客戶需要輕薄短小、速度快、可靠、便宜且省電的晶片產品。故半導體業界致力於元件之三維結構的微縮化，除了平面的長、寬外，還包括剖面之閘極氧化層厚度與源極、汲極之接面深度。其主要著眼點在於元件積成密度提昇，同時通道長度減少也能增進驅動能力，獲得最大的經濟效益。因為縮小之元件能改善切換速度及元件消耗功率。電路之元件積成密度與功能性，也就加強了很多。故增加了晶片特性、可靠度、並降低晶片價錢。然而在尺寸微縮化過程中，所遇到之問題與瓶頸，製程上之考量與新技術發展。因此在被用來作為元件之間絕緣之淺溝槽隔離結構(Shallow Trench Isolation, STI)就變得更具有挑戰性。

自從1998年之N型通道金氧半導體(N Channel Metal Oxide Semiconductor, NMOS)技術〔1〕以來，可以發現閘極氧化層與通道長度的縮小化最顯著，其次是接面深度。而元件隔離方面，淺溝槽隔離製程很明顯已取代傳統之局部氧化(Local Oxidation of Silicon, LOCOS)方

式，以滿足高積成密度之要求。不過製程方面容易發生之損害效應，如基板側壁之缺陷(defect)產生，隔離邊緣之尖角引發漏電流增加，以及應力問題、差排問題等，都是防範要點。

傳統常用之LOCOS隔離法由於鳥嘴(bird's beak)效應與表面不平坦之限制，在250 nm以下之電路製作都以被淺溝槽隔離製程所取代。淺溝槽隔離製程雖能提高元件之積成度，但製程中所衍生許多問題必須加以克服解決，以免造成元件之電性與隔離效果惡化。

近年來已有許多技術被提出來解決此淺溝槽隔離製程問題。然而每個時代的製程能力會隨著技術之演進而所不同，在新製程開發階段，必須針對電性、製程能力、機台極限及客戶需求，對每個環節做驗證，建立不同製程之平台，以便提供給不同客戶之需求。一旦電性之規格及製程平台建立好，後續任一之製程變更，都會影響電性之效能，尤其對淺溝槽隔離部分之應力問題、差排問題對電性之影響佔很大比重，是不可忽視。

1.2 研究動機

淺溝槽隔離製程是做為半導體中隔離電晶體間絕緣的功能，但是若在製造過程中有一些缺陷產生便會影響產品的穩定性及品質。因淺溝槽隔離製程的過程容易造成源極、汲極之接面漏電流增加，是元件製作主要挑戰之一，特別是強調低漏電流要求互補式金氧半高壓的產品。漏電流增加之機制除了來自蝕刻或高密度電漿化學氣相沉積(High Density Plasma Chemical Vapor Deposition, HDPCVD)步驟時對溝槽側壁造成之損害外，結構中存在之機械應力可能更加重要。通道中之應力將使電晶體特性飄移，當應力過大甚至會引發差排缺陷產生，造成接面漏電流急遽上升。

另外對高溫製程之控制也是防範應力、差排缺陷重點。一個縮小化時出現的問題，在於鄰近元件之間運作時產生相互之干擾。這是由於隔離區間距縮小之後，電場將會輕易穿透隔離區之充填層而影響到鄰近元件通道內載子分佈，會因此造成該元件操作電壓及電流特性改變。

尤其像互補式金氧半高壓元件之製程技術，除了傳統液晶顯示器(Liquid Crystal Display, LCD)面板驅動晶片領域的應用外，還可用於近年來產值大幅成長的可攜式電子產品，如個人數位助理(Personal Digital Assistant, PDA)、手機、數位相機、電源管理晶片及以高壓製程導入嵌

入式可程式非揮發性記憶體等產品，如圖 1.1 所示。因操作電壓比較大，更應要避免過多可能發生差排、漏電問題，故將是製程良率的關鍵。不然耗電過大會造成手持裝置之產品續航力不足，可靠度降低，嚴重的話則可能造成報廢。

依據文獻實驗與理論之分析〔2〕，元件區縮小化之趨勢不利於應力之疏緩，為了加強對應力之控制，一般作法包括減少溝槽側壁和水平線之斜角，減少溝槽之深度，還有底部轉角圓滑化。不過斜角如果太小，將限制隔離溝槽之深度，會影響隔離之效果。

承如相關文獻TSUPREM模擬淺溝槽隔離結構2維應力分佈圖〔3〕所模擬出來最大之應力在淺溝槽隔離角落之地方。應力主要集中在淺溝槽隔離溝槽之上、下圓角，淺溝槽隔離結構上之應力分佈，故由此可以發現差排產生方式以便分析研究。在淺溝槽隔離製程條件若做的不好時是會產生差排缺陷，故需特別注意溫度、材料熱膨脹係數、體積大小改變等不匹配的變異。

因此這些半導體產業技術需解決的課題，淺溝槽隔離製程之差排缺陷改善，如圖 1.3 所示。故引起吾人之研究動機。此論文主要研究目的就是即對淺溝槽隔離之差排進行分析探討熱製程所產生的應力，用不同內墊氧化矽層(Liner Oxide)與內墊氮化矽層(Liner Nitride)之溫度高低

及厚薄度變化實驗，來分析差排變化。進而避免半導體產業良率不佳之現象，如圖 1.2 所示。



圖 1.1 互補式金氧半高壓技術應用之產品圖

資料來源：Apple

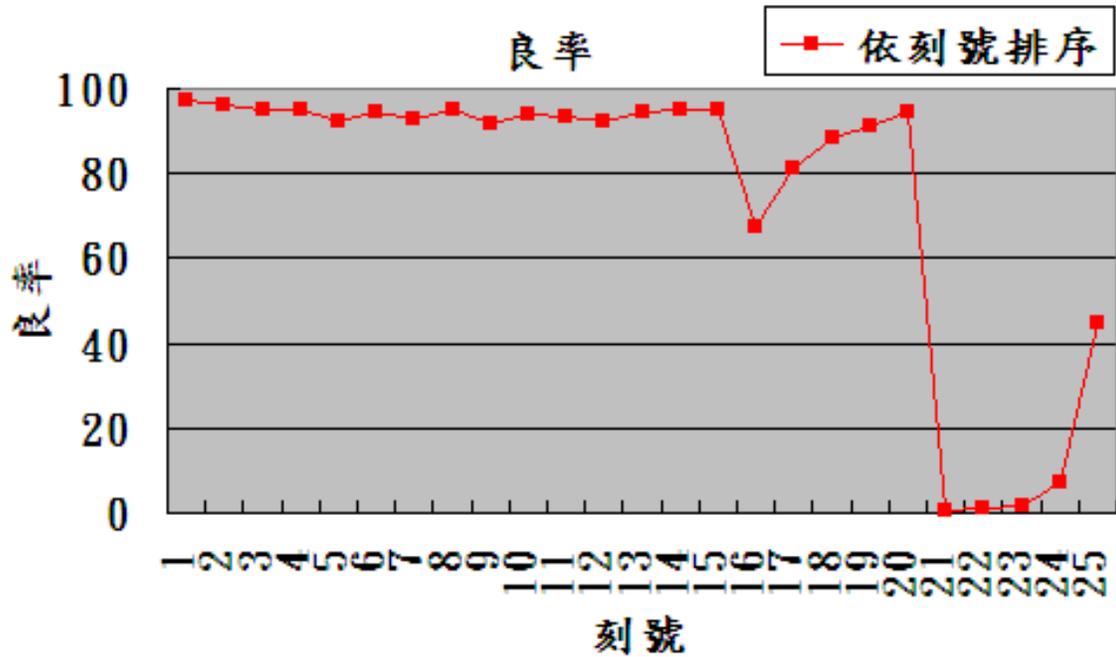


圖 1.2 良率趨勢圖

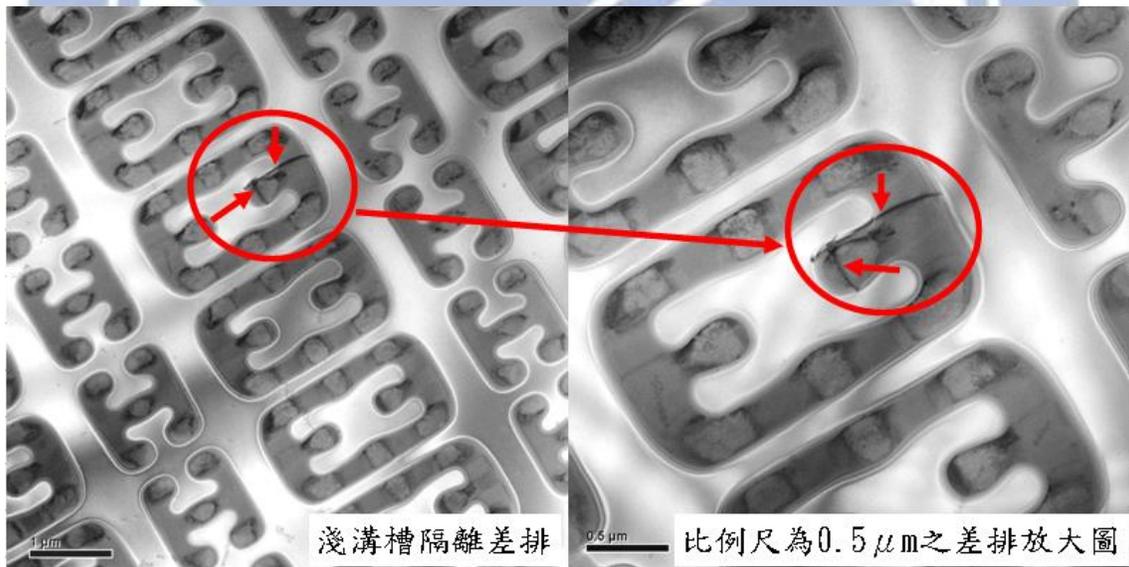


圖 1.3 淺溝槽隔離差排缺陷 TEM Plan-View 圖

(箭頭所指的暗線部份即差排位置如箭頭所示)

1.3 論文架構

本論文第一章導論:分為前言、研究動機、論文架構，主要將半導體的發展趨勢做一簡述，也說明做為元件間絕緣之淺溝槽隔離製程之挑戰性。並將互補式金氧半高壓元件之製程技術用於相關產品做一介紹，然後將半導體產業技術需解決的課題，以淺溝槽隔離之製程因應力問題導致差排這類缺陷，做為研究動機。

第二章原理與文獻回顧:一開始先將淺溝槽隔離之製程做一說明及所需注意之問題做一探討。並對加熱製程、微影製程、乾式蝕刻製程、高密度電漿化學氣相沉積製程、濕式清洗製程、化學機械研磨平坦化製程、差排理論敘述介紹。

第三章實驗方法與設計:對實驗方法與設計做一說明，用不同內墊氧化矽層溫度、內墊氧化矽層厚度與內墊氮化矽層厚度等之條件來做實驗及相關使用到之主要實驗機台做一簡介。

第四章實驗結果與討論:針對實驗結果做一解析說明、分析與評論，並做相關討論。

第五章結論與未來工作:將此研究做結論，減少差排產生，提昇良率，展望未來工作。最後是參考文獻。

護主動區。在化學機械平坦化步驟中，氮化矽可作為終止研磨之材料。並以正光阻經微影程序定義隔離區之後，在塗佈機、顯影機等機台，於晶圓表面塗佈光阻、烘烤、對準、曝光及顯影。

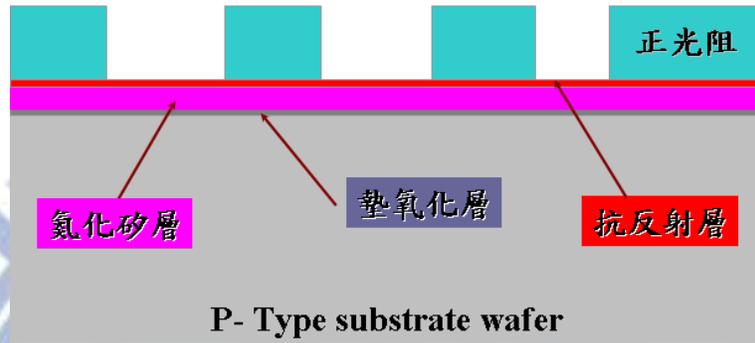


圖 2.2 步驟一 淺溝槽隔離墊氧化層、氮化矽層相關示意圖

步驟二如圖 2.3、2.4 所示:依序進行墊氧化層和氮化矽層的淺溝槽蝕刻步驟，蝕刻完再將光阻去除。

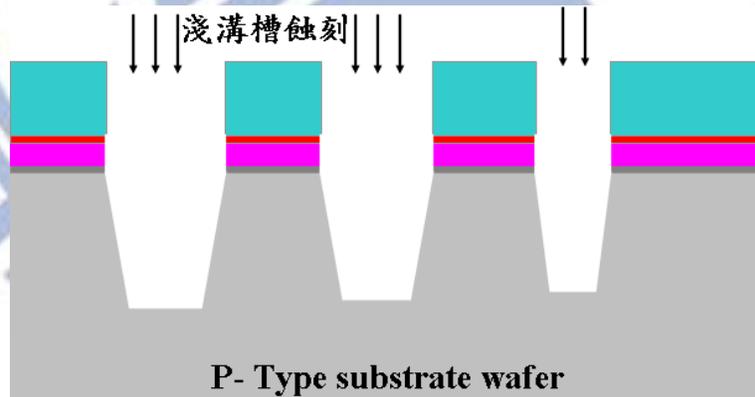


圖 2.3 步驟二 淺溝槽隔離蝕刻相關示意圖

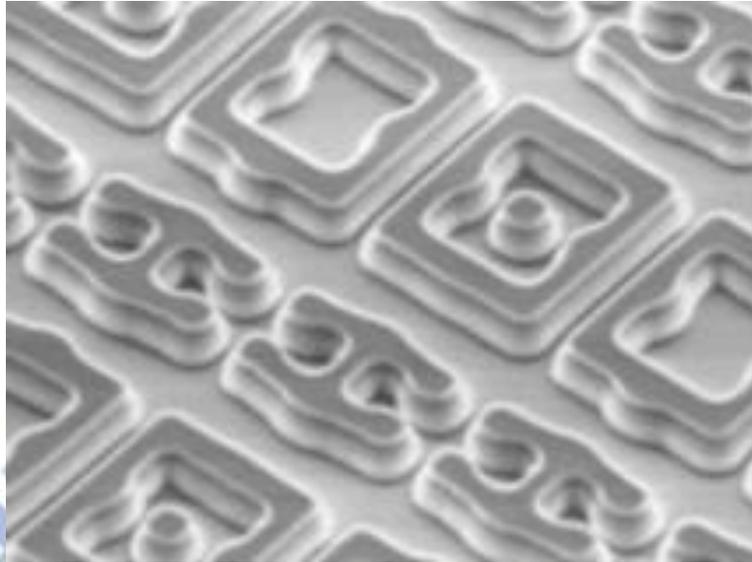


圖 2.4 步驟二 淺溝槽隔離蝕刻相關 TEM 圖

步驟三如圖 2.5 所示:之後在淺溝槽的內墊上以熱氧法成長一內墊氧化矽層，以消除蝕刻所造成的損害，接著以低壓化學氣相沉積(Low Pressure Chemical Vapor Deposition, LPCVD)方式沉積一內墊氮化矽層，其作用為避免後續高密度電漿化學氣相沉積氧化層充填的射頻偏壓(Radio frequency Bias)對主動區溝槽側墊的傷害，可避免影響到窄通道的寬度。

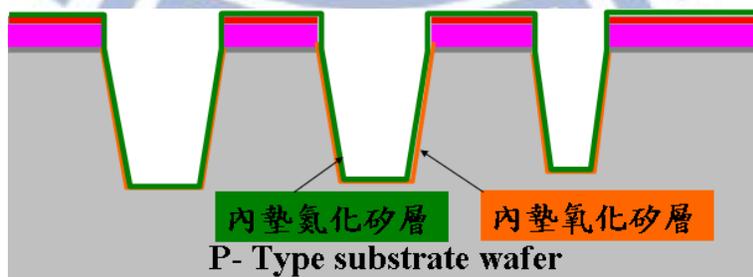


圖 2.5 步驟三 淺溝槽隔離內墊氧化矽層、內墊氮化矽層相關示意圖

步驟四如圖 2.6 所示:再以高密度電漿化學氣相沉積方式沉積氧化層充填於溝槽內，氧化層充填也是一項重點。當隔離尺寸變小後，溝槽內之高寬比(Aspect Ratio)明顯增加，對氧化層充填在製程上要求達到無細縫(Seamless)與無孔洞(Void Free)的形成。

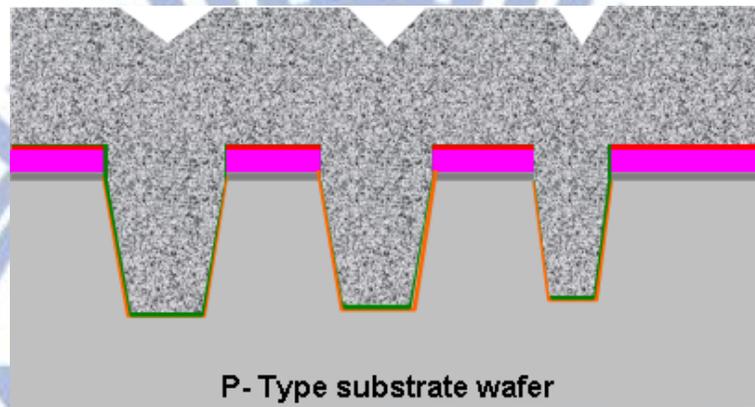


圖 2.6 步驟四 淺溝槽隔離氧化層充填相關示意圖

步驟五如圖 2.7 所示: 接著以化學機械研磨平坦化去除表面多出之材料，並以氮化矽層作為研磨終止層(Polish Stop)，留下一平坦表面。最後再將氮化矽層薄膜去除，以進行後續元件之製作。

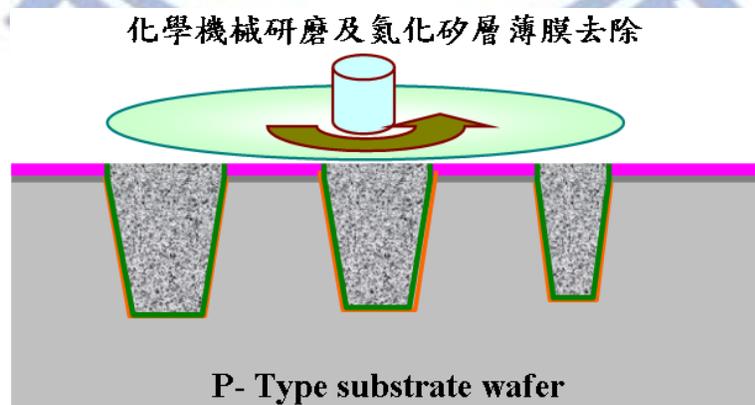


圖 2.7 步驟四 淺溝槽隔離化學機械研磨平坦化相關示意圖

2.1.2 淺溝槽隔離製程所需注意之問題探討：

淺溝槽隔離之淺溝槽蝕刻完後需確認淺溝槽隔離上圓角(Top Rounding)，如圖 2.8 所示，若做不好。易影響元件之電性行為。且乾蝕刻之後的清洗，氫氟酸會蝕刻氧化矽，造成墊氧化層會往後退，而形成氮化矽層比墊氧化矽層突出一些，主動區會稍小，但這並不是缺點。有時一些製程會故意做收縮(Pull Back)，因內墊氧化矽層沉積時，這地方之圓弧角會長的較好，但也會讓原來之臨界尺寸(Critical Dimension, CD)會變稍小些。

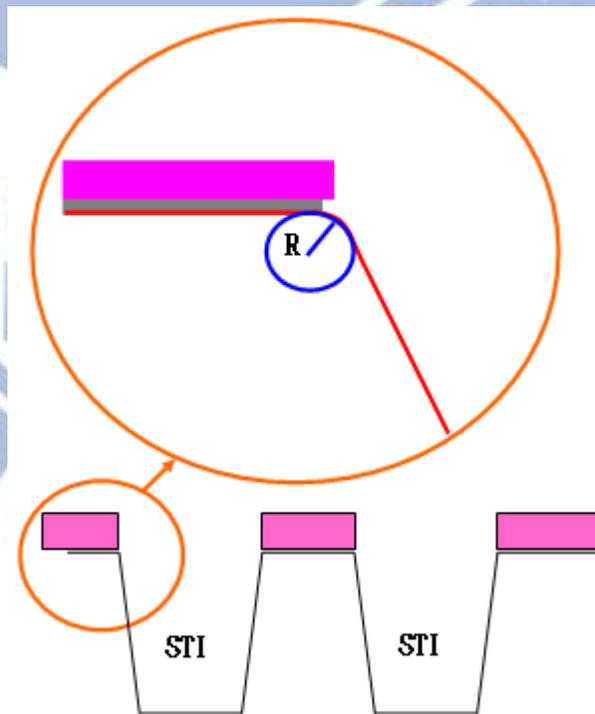


圖 2.8 淺溝槽隔離上圓角相關示意圖

另外要注意的是隔離邊緣效應。在去除氮化矽與墊氧化矽，及其它濕式處理程序時，可能由於局部應力的集中之故，容易過度蝕刻接近隔離邊緣的充填氧化層而形成一凹陷區，一般稱為Divot。當閘極跨過隔離邊緣時，如果元件區的角落上圓角太尖銳，或閘極導體在隔離區邊緣陷在Divot中，則會因局部電場增強的緣故，使得元件區邊際的電晶體特性提早引發，造成的 $\log I_d-V_g$ 曲線的次臨界區(Sub Threshold Region)出現一腫起(Hump)現象。當通道寬度變小時，此現象更為明顯，使得元件的操作電壓下降。稱逆窄通道效應(Reverse Narrow Width Effect) [5]。圓化角落（使具有一定的半徑R）或使其角度變小，可避免Divot的形成，這都能降低隔離邊緣的通道內的電場強度 [6] ~ [17]。另淺溝槽隔離下圓角如圖 2.9 所示要成圓角夠平滑避免應力集中，不漏電為原則。

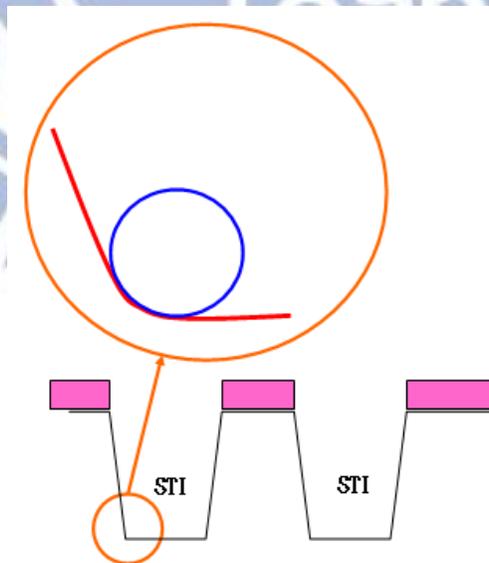


圖 2.9 淺溝槽隔離下圓角相關示意圖

淺溝槽隔離下面到主動區之Step High，如圖 2.10 所示，隨不同臨界尺寸(critical dimension, CD)而稍不同，一般約控制在0~500 Å。

$$\text{Step height} = (A) + (B) - (C) - (D)$$

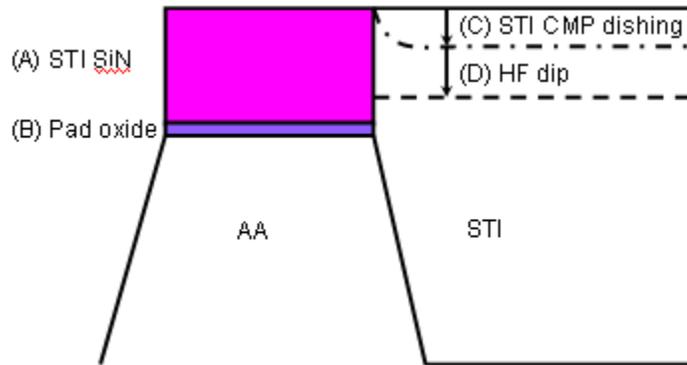


圖 2.10 淺溝槽隔離 Step High 相關示意圖

另斜線之蝕刻輪廓如圖 2.11 所示也是很重。溝槽蝕刻輪廓一般為80~88度，會依照不同製程稍做調整。

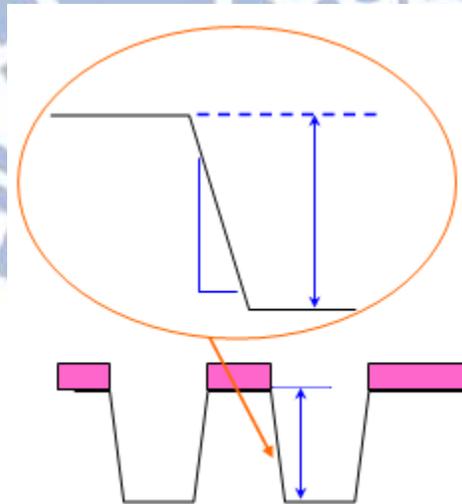


圖 2.11 淺溝槽隔離蝕刻輪廓相關示意圖

氧化層充填沉積後，一般會加上一高溫退火的密化(Densify)步驟使氧化層較緻密，避免後續的化學機械研磨平坦化時研磨速率的變異，造成負載效應(Loading Effect)如圖 2.12 所示而且改善充填氧化層的品質。

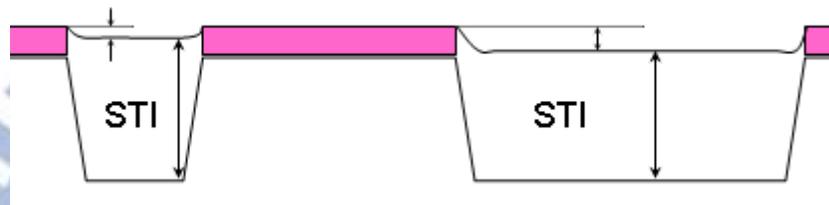


圖 2.12 淺溝槽隔離之 CMP Loading Effect

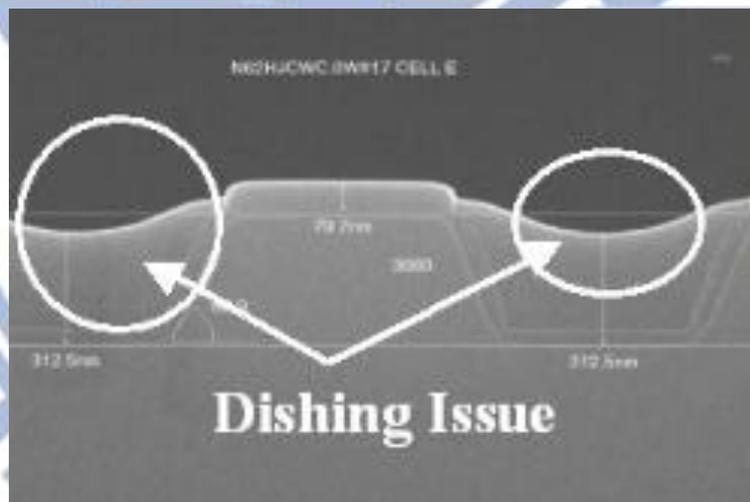


圖 2.13 碟形下陷(Dishing)

化學機械研磨平坦化由於研磨圖案密度的不同，造成圖案密度低區域會有過度拋光所造成的碟形下陷(Dishing)如圖 2.13 之情形，圖案密度低(Iso)的區域凹槽越深，圖案密度高(Dense)的區域則較淺。

化學機械研磨平坦化淺溝槽隔離時，磨氧化矽、氮化矽時，若是高密度電漿化學氣相沉積之薄膜氧化矽、氮化矽選擇比大於3，常壓四乙氧基矽烷(Atmospheric Pressure Tetraethoxysilane, AP TEOS)會更大，故以氮化矽當停止層，以免對氧化矽有比較多之過研磨。高密度電漿化學氣相沉積之薄膜相對可以增加比較多之製程空間，通常碟形下陷規格要小於300 Å，但還是要視不同製程需求為主。

另外在淺溝槽隔離差排之問題上也是我們所必須注意的課題，如圖 2.14 所示，利用穿透式電子顯微鏡(Transmission Electron Microscope, TEM)可直接觀察到溝槽隔離結構中的差排，其中箭頭所指的暗線部份是差排。

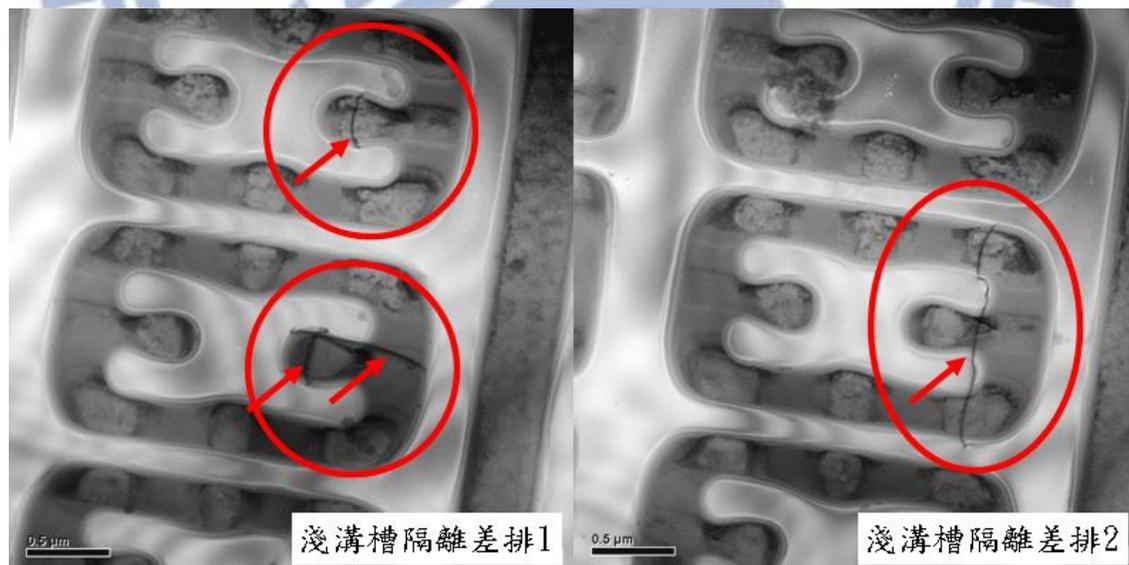


圖 2.14 淺溝槽隔離差排缺陷圖，其中箭頭所指的暗線部份是差排。

由於在先進製程技術的尺寸微縮化過程中。淺溝槽隔離製程容易產

生差排缺陷。易造成源極、汲極接面漏電流的增加，是未來元件製作的挑戰之一，特別是強調低漏電流要求的產品。而漏電流增加的機制，除了來自於蝕刻〔19〕或高密度電漿化學氣相沉積〔20〕步驟時對溝槽側壁造成的損害，結構中存在的機械應力更為重要。通道中之應力將使電晶體特性飄移〔21〕~〔23〕，當應力過大時，甚至會引發差排缺陷產生，造成接面漏電流急速上升。依實驗與理論的分析，元件區縮小化趨勢不利於應力的疏緩〔21〕，為了加強對應力之控制。一般的作法包括減少溝槽側壁和水平線之斜角，減少溝槽之深度，還有底部轉角須圓化。不過斜角如果太小，將限制隔離溝槽之深度，會影響隔離之效果。此外在高溫加熱製程的控制也是淺溝槽製程隔離防範應力之重點。

2.2 加熱製程介紹：

加熱製程是一種高溫製程，會在晶圓表面形成一層薄膜(氧化、沉積以及摻雜)，或是改變晶圓材質的化學狀態(合金)或物理狀態(退火、擴散和再流動)。其中氧化、沉積和退火是三種重要的加熱製程。

在氧化製程中，氧氣或水蒸氣會和矽起反應而形成二氧化矽。氧化製程前的矽晶圓表面清洗是十分重要的，因為受到污染的表面會提供成核位置而形成二氧化矽多晶體層。濕氧化比乾氧化具有較高的氧化層成長速率。較厚的氧化層通常使用濕氧化製程，如整面全區氧化層成長。較薄的氧化層通常使用乾氧化製程，它能成長品質較好的氧化層薄膜。

氧化層常作為介電層材料、元件隔離、離子植入之氧化物遮幕，緩和應力氧化物，以及有利光阻附著及降低應力之多晶矽表面再氧化等。

氧化物是以沉積或成長的方式形成，成長氧化層是將矽晶圓暴露於高溫且含有高純度的氧環境中，使氧氣和矽基板產生反應。而沉積氧化層是以外加的矽源和氧在反應室裡相互反應在矽晶圓表面上形成一氧化層薄膜。

氧化層薄膜之應用：

1. 元件保護(Passivation)與隔離(Isolation):在晶圓表面上成長之二氧化矽可隔離及保護矽晶圓中之元件，作為有效的阻障層。二氧化矽可保護元件是由於它是非常緻密的介電質材料。可有效隔離矽晶圓表面之主動元件。場區氧化層(Field oxide)及淺溝槽隔離層。

2. 表面保護(Surface Passivation):屏蔽氧化層(Screen Oxide)，墊氧化層(Pad oxide)，阻障氧化層(Barrier Oxide)。

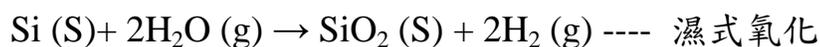
3. 閘極氧化物介電質(Gate Oxide)。

4. 摻雜阻障層(Masking Layer)。

5. 金屬層間之介電質(Inter Metal Dielectric, IMD)氧化機制等。

熱氧化法是只當矽晶片曝露在含氧的環境中(如 O_2 、 H_2O)，由於矽表面對 O_2 、 H_2O 具高親和性，所以很快便會發生氧化反應。

其中濕式氧化的氧化速率快，常用於場氧化層或LOCOS。相對乾式氧化的氧化速率慢，但電性品質佳，因此適用於厚度不厚但電性品質要求較高場合，如閘極氧化層(Gate Oxide)。



而影響矽氧化的因素：包括氧化製程的種類是乾式或濕式、氧化腔體、晶圓面的晶格方向、管內的氣體壓力、管內的溫度、或管內的氣

相添加物。

若以爐管製程分類:

常壓(Atmospheric Pressure, AP)爐管：又稱常壓化學氣相沉積爐管，又稱氧化爐管，為常壓狀態下通入 O_2 、 N_2O 、 H_2 等氣體遂行所需之製程。內墊氧化矽層即是由此製程技術完成，其作用是圓滑化主動區上下角區域。

上角圓滑非常重要，經由圓滑過程後之溝槽角落頂部，對於最佳化電晶體特性是關鍵的，元件區域附近之溝槽頂部尖銳角落〔24〕，會造成電場聚集產生寄生角落電晶體〔25-26〕，而導致電晶體其在I-V曲線上出現不想要的鈕結(Kink)。頂部角落經由圓滑後，也有助於減少起始電壓之偏移，並可以避免過早之閘極介電質崩潰擊穿〔27-29〕。

而底部角落圓滑過程，則可以減少因應力所產生之矽晶缺陷，這些矽晶缺陷會在後續熱處理與離子佈植製程中所引起接面漏電流。且對於減少因應力〔30-32〕所產生的差排缺陷、與後續元件良率改善，都會有重要的關鍵。如果沒有處理好此項製程步驟，則有可能讓元件效能嚴重地受到影響。

低壓化學氣相沉積(Low Pressure Chemical Vapor Deposition, LPCVD)爐管，又稱沉積爐管，為一種或多種氣體在高溫低壓下反應，

形成固態膜沉積於晶片上。沉積是在晶圓上放置薄膜層，主要製程運用在介電層薄膜如二氧化矽、氮化矽和多晶矽的沉積等。

低壓化學氣相沉積由於具有低成本高產能及優異的薄膜品質。

LPCVD是在中真空(約0.1至5 Torr)及300°C至900°C之溫度下操作。爐管及多重反應室機台都可用於LPCVD製程。

內墊氮化矽層即是此製程完成，其作用為避免後續高密度電漿化學氣相沉積氧化層充填的射頻偏壓對主動區溝槽側墊的傷害，可避免影響到窄通道的寬度及利用內墊氮化矽層薄膜來控制或抵銷淺溝槽隔離的壓力，以減少差排現象之產生。

氮化矽(Si_3H_4)也常用作為最後的晶圓保護層及介電薄膜的蝕刻終止層等，因其具有好的抗雜質及水氣擴散的能力，LPCVD沉積具有優越的階梯覆蓋性。需注意影響LPCVD氮化矽品質的變數有壓力、反應濃度、沉積溫度和溫度梯度。

2.3 微影製程介紹：

微影製程〔33〕的流程大致可以分為：表面清洗、去水烘烤、塗底、光阻覆蓋、軟烤、曝光、顯影、硬烤等以上程序。其目的如下：

表面清洗、去水烘烤：由於晶圓表面通常都含有氧化物、雜質、油脂和水分子，因此在進行光阻覆蓋之前，必須將它先利用化學溶劑，像甲醇或丙酮，可去除雜質和油脂，再以氫氟酸蝕刻晶圓表面的氧化物，經過去離子純水沖洗後，置於加溫的環境下數分鐘，以便將這些水分子從晶圓表面蒸發，而此步驟則稱為去水烘烤，一般去水烘烤的溫度是設定在攝氏 100°C ~ 200°C 之間進行。

塗底：用來增加光阻與晶圓表面的附着力，它是在經表面清洗後的晶圓表面上塗上一層化合物，六甲基二矽氮烷(Hexamethyldisilazane, HMDS)。HMDS塗布的方式主要有兩種，一是以旋轉塗蓋，一是以氣相塗蓋。前者是將HMDS以液態的型式，滴灑在高速旋轉的晶圓表面，利用旋轉時的離心力，促使HMDS均勻塗滿整個晶圓表面；至於後者則是將HMDS以氣態的型式，輸入放有晶圓的容器中，然後噴灑在晶圓表面完成HMDS的塗布。

光阻〔34-38〕覆蓋：光阻塗布也是以旋轉塗蓋或氣相塗蓋兩種的方式來進行，亦即將光阻滴灑在高速旋轉的晶圓表面，利用旋轉時的離

心作用，促使光阻往晶圓外圍移動，最後形成一層厚度均勻的光阻層；
或者是以氣相的形式均勻地噴灑在晶圓的表面。

軟烤：軟烤也稱為曝光前預烤，在曝光之前晶圓上的光阻必須先經過烘烤，以便將光阻層中的溶劑去除，使光阻由原先的液態轉變為固態的薄膜，並使光阻層對晶圓表面的附著增強。

曝光：利用光源〔39-42〕透過光罩圖案照射在光阻上，以執行圖案的轉移。曝光機所提供的終極解析度(Ultimate Resolution)〔43〕，將取決於所使用之光源的波長。在微影之曝光技術上，曝光機所提供之解析度與光源波長成正比關係，而與曝光機鏡片系統(如圖 2.15)之數值孔隙(Numerical Aperture, NA)數值成反比關係。

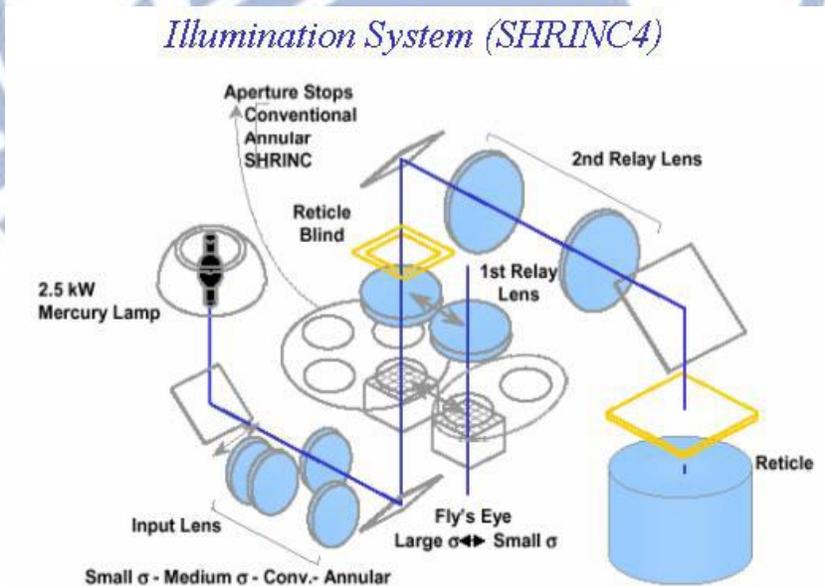


圖 2.15 係為步進機之曝光單元示意圖。資料來源：Nikon

如此我們可以清楚了解到，當曝光機所使用之光源的波長越短，整個曝光機所能提供之最低解析能力也就越小。不過因為微影製程是把光罩上之圖形轉移到覆蓋在晶片上之光阻。

因為光阻具備一定之厚度，為了使圖形的轉移能夠完全且精確，曝光機投射在光阻上之圖形，應該具備一定之聚焦深度(Depth of Focus, DOF) [44-45] 才行，以便於整個光阻分子，不論是在接近光阻之表面端或是接近晶片端，都有相同之焦距(Focus)，所以我們通常以聚焦深度來表示曝光機能提供之聚焦深度，也成為評估曝光機能力之另一項重要指標。

聚焦深度之大小與光源波長成正比關係，而與數值孔隙之平方成反比關係。很明顯的為了使曝光機之聚焦深度增加，光源之波長應該越長越好，而數值孔隙則越小越佳。

曝光機的解析能力希望越小越好，而聚焦深度則希望越大越好，兩者不論是在光源波長或是數值孔隙上之要求卻正好相反，使得我們在調整製程條件最佳化時，必須面對解析度之好壞及距焦深度之大小做取捨(Trade off) [46-48]。

顯影：將曝光後之光阻層以顯影劑將光阻層所轉移之圖案顯示出來。顯影之機制在傳統i-line光阻與化學增強式深紫外光(Deep Ultra

Violet, DUV)光阻有所不同。傳統i-line光阻之正光阻顯影原理，i-line正光阻在紫外光照射其間會產生酸，當氫氧化四甲基銨 (Tetramethylammonium Hydroxide, TMAH)顯影劑施加於已曝光光阻時，將會產生化學中和反應，亦既酸會被強鹼性之TMAH顯影劑所中和。曝光後光阻經過酸鹼中和後便能迅速之溶入溶液中，而未經曝光之光阻因未能與顯影液起作用而仍完整地停留在晶片表面上。

化學增強式DUV光阻顯影原理，化學增強式DUV光阻通常包含有聚氫氣苯乙烯(Polyhydroxystyrene, PHS)形式之合成樹脂，PHS具有一防護層使得其不溶於鹼性顯影液，但在曝光期間，化學增強式DUV光阻中之光酸產生劑(Photo-Acid Generator, PAG)將被活化而產生酸。在曝光後烘烤(Post Exposure Bake, PEB)過程中，該酸既可將曝光後的PHS合成樹脂區域中之防護層移除，此時之PHS合成樹脂便可溶於鹼性顯影液中。

在顯影操作過程，顯影液並不會真正與PHS合成樹脂起反應，這是因為沿著高分子鏈之螺旋狀構體存在有氫氧鍵群，而這些氫氧鍵群能提供有效之擴散路徑並帶給鹼性顯影液中之PHS極高溶解速率。顯影之目的，是要將晶片表面部份經過曝光之光阻層，藉著中和反應加以清除。所以顯影之條件必須嚴格的控制，以免未經曝光之光阻層也被顯影液所侵蝕，而影響所轉移圖形之精確性〔46-48〕。

硬烤：光阻經過顯影，在完成微影的流程而送往下一個製程之前，必須再經過一次最後的烘烤，以進一步將光阻內所殘留之溶劑含量，藉著蒸發而降到低。其目的也是為了加強光阻的附著，以便利後續的製程〔49〕。

硬烤步驟之目的，都是為了要強化光阻對晶片表面之附著能力而設計。尤其是硬烤，藉著降低光阻內之溶劑含量，除了可以加強光阻之附著性以外，還可以幫助光阻對後續製程，如蝕刻及離子植入的阻擋能力。通常硬烤的溫度都比前面的軟烤與曝光後烘烤還來的高。



2.4 乾式蝕刻(Dry Etching)製程介紹：

乾式蝕刻法是利用氣體分子或其產生的離子及自由基，對晶圓上的材質進行物理式撞擊濺蝕及化學反應，來移除蝕刻部份。被蝕刻的物質變成揮發性的氣體，經抽氣系統抽離。

乾蝕刻是一種非等向性蝕刻(Anisotropic Etching)，具有很好的方向性(Directional Properties)但比濕蝕刻較差的選擇性(Selectivity)。

乾蝕刻通常是一種電漿蝕刻(Plasma Etching)，由於蝕刻作用的不同，電漿中離子的物理性轟擊(Physical Bombardment)，活性自由基(Active Radical)與晶片表面原子內的化學反應，或是兩者的複合作用，可分為三大類：

物理性蝕刻：濺擊蝕刻(Sputter Etching)，離子束蝕刻(Ion Beam Etching)。濺擊蝕刻將惰性的氣體分子如氬氣施以電壓，利用衍生的二次電子將氣體分子解離或激發成各種不同的粒子，包括分子、原子團，電子、正離子等，正離子被電極板間的電場加速，即濺擊被蝕刻物，具有非常好的垂直方向性，較差的選擇性，因光阻亦被蝕刻，被擊出之物質為非揮發性，又沈積在表面，因此在VLSI中很少被使用。

化學性蝕刻：電漿蝕刻利用電漿將蝕刻氣體解離產生帶電離子、分子、電子以及反應性很強之高活性的原子團，此原子團與薄膜表面反

應形成揮發性產物，被真空幫浦抽走。電漿蝕刻類似濕蝕刻，利用化學反應，具有等向性和覆蓋層下薄膜的底切現象，由於電漿離子和晶片表面的有效接觸面積比濕蝕刻溶液分子還大，因此蝕刻效率較佳。

電漿離子的濃度和能量是決定蝕刻速率的兩大要素，為了增加離子的濃度，在乾式蝕刻系統設計了兩種輔助設備：(1)電子迴轉加速器 (Electron Cyclotron)，(2)磁圈 (Magnet Coil)。前者是利用 2.54 GHz 的微波來增加電子與氣體分子的碰撞機率；而後者則是在真空腔旁加入一個與二次電子運動方向垂直的磁場，使得電子以螺旋狀的行徑來增加與氣體分子的碰撞機率。

物理、化學複合蝕刻：反應性離子蝕刻 (Reactive Ion Etching, RIE) 圖 2.16 所示，最為各種反應器廣泛使用的方法，便是結合物理性的離子轟擊與化學反應的蝕刻。此種方式兼具非等向性與高蝕刻選擇比等雙重優點，蝕刻的進行主要靠化學反應來達成，以獲得高選擇比。

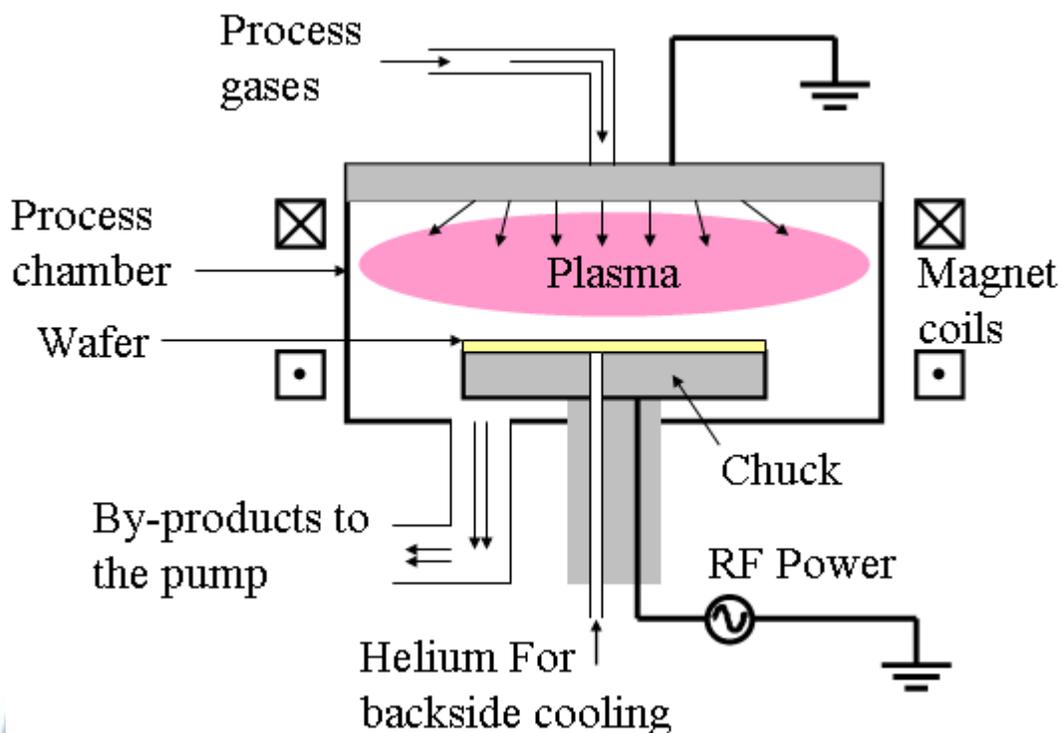


圖 2.16 反應性離子蝕刻系統示意圖 [50]

加入離子轟擊的作用有二：一是將被蝕刻材質表面的原子鍵結破壞，以加速反應速率。二是將再沈積於被蝕刻表面的產物或聚合物 (Polymer) 打掉，以使被蝕刻表面能再與蝕刻氣體接觸。而非等向性蝕刻的達成，則是靠再沈積的產物或聚合物，沈積在蝕刻圖形上，在表面的沈積物可為離子打掉，故蝕刻可繼續進行，而在側壁上的沈積物，因未受離子轟擊而保留下來，阻隔了蝕刻表面與反應氣體的接觸，使得側壁不受蝕刻，而獲得非等向性蝕刻。

應用乾式蝕刻主要須注意蝕刻速率，均勻度、選擇比、及蝕刻輪廓等。蝕刻速率越快，則設備產能越快，有助於降低成本及提升競爭力。

蝕刻速率通常可藉由氣體種類、流量、電漿源及偏壓功率所控制，在其他因素尚可接受的條件下，越快越好。

均勻度是晶片上不同位置的蝕刻率差異的一個指標，較佳的均勻度意謂著晶圓將有較佳的良率，尤其當晶圓從3吋、4吋、一直到12吋，面積越大，均勻度的控制就顯的更加重要。

選擇比是蝕刻材料的蝕刻速率對遮罩或底層蝕刻速率的比值，控制選擇比通常與氣體種類與比例、電漿或偏壓功率、甚至反應溫度均有關係。

至於蝕刻輪廓一般而言愈接近九十度越佳，除了少數特例，如接觸窗或介層引洞(Contact Window and Via Hole)，為了使後續金屬濺鍍能有較佳的階梯覆蓋能(Step Coverage)，而故意使其蝕刻輪廓小於九十度。通常控制蝕刻輪廓可從氣體種類、比例、及偏壓功率來進行。

2.5 高密度電漿化學氣相沉積製程介紹：

早期多以常壓(Atmospheric Pressure Chemical Vapor Deposition, AP CVD)或標準氣壓式化學氣相沉積法(Standard Atmosphere Chemical Vapor Deposition, SA CVD)的 O_3 /TEOS反應沉積的氧化層來進行，近來高密度電漿化學氣相沉積〔17〕，因具有良好的填洞能力、低的熱預算、低的氫氟酸(Hydrogen Fluoride, HF)蝕刻率和高產出率，而被廣泛使用在溝槽填洞材料上〔51-54〕。

高密度電漿化學氣相沉積中的電漿於低壓下為高密度的混合氣體，直接朝向晶圓表面。它的主要優點是可於 300°C 至 400°C 之溫度範圍內所沉積的薄膜，可充填高深寬比間隙。由於具有更好的充填能力與薄膜品質，並減少沉積時金屬物的污染率〔55〕。高密度電漿化學氣相沉積開始是用於層間介電質，也用於淺溝槽隔離層的沉積。

高密度電漿化學氣相沉積形成是以射頻或微波功率2.45 GHz激發氣體混合物，而使電漿進入晶圓表面上之稠密區域。有各種不同的高密度電漿源，例如電子迴旋共振(Electron Cyclotron Resonator, ECR)、感應耦合電漿(Inductively Coupled Plasma-Mass Spectrometry, ICP)及螺線管等。產生一高電漿密度反應源，並在晶圓上施加一個獨立的射頻偏壓電源，沉積時電漿中的正離子撞擊沉積薄膜表面，且具有消除空洞或細縫

的效果〔56〕，並能使氧化層緻密化。但射頻偏壓潛在地對溝槽側墊的矽基板有傷害的疑慮，須特別小心防範。氧化層充填沉積後，一般會加一高溫退火的密化步驟使氧化層較緻密，避免後續的化學機械研磨平坦化(Cheical Mechanical Polishing, CMP)時研磨速率的變異，而且改善充填氧化層品質。

在高密度電漿化學氣相沉積中，由氧氣和氫氣之混合氣體所形成的定向性電漿，可同時沉積及蝕刻，這是它的優點。對於二氧化矽的沉積，氧氣和矽甲烷反應生成二氧化矽，而氫氣將濺鍍沉積的材質移出，以達到高深寬比的間隙填充。會影響沉積與蝕刻比例的因素有氧氣和氫氣的比例、反應室壓力、離子能量及晶圓上射頻偏壓。低壓會降低平均自由徑，使撞擊降低且使電漿有好的定向性。為使得在高密度電漿化學氣相沉積中有好的沉積速率及晶圓產率，需要有高氣體流速。晶圓通常放置於高速渦輪幫浦的頸部區域。

2.6 濕式清洗製程介紹：

在晶圓廠前段製程中要成長二氧化矽之前先經過清洗步驟，氧化層崩潰電壓不佳代表著氧化層的品質不良，造成氧化層的品質不良的原因很多。如金屬雜質、微粒子、自生氧化層(Native Oxide)、表面微粗糙的程度以及有機物等。

因此通常晶片在生長氧化層之前都會先經過濕式清洗以去除污染物如表 2.1。

表 2.1 清洗液種類與其使用目的

清洗液名稱	目的
1. APM: $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$	去除微粒、金屬離子與輕有機物。
2. HPM: $\text{HCL}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$	去除重金屬離子、鹼金屬離子與金屬的氫氧化物。
3. DHF: HF/DI	去除自然的二氧化矽層、矽玻璃(PSG, BPSG)以及銅以外的金屬離子使裸露矽層提供其它化學液作用。
4. SPM: $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$	去除重有機物與氧化物。
5. FPM: $\text{HF}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$	去除自然的二氧化矽層。
6. BHF: $\text{HF}/\text{NH}_4\text{F}$	去除氧化薄膜。
7. Hot H_3PO_4	氮化矽層之圖案製作或去除。

資料來源：工研院機械所；工研院IEK(2003/12)

常用的清洗步驟包括(Radio Corporation of America, RCA)清洗的標準清洗法1(Standard Clean 1, SC1)、標準清洗法2(Standard Clean 2, SC2)與氫氟酸。清洗的順序會依據不同製程的需求而有所不同，如圖 2.15 所示，例如氫氟酸可以是在最後一個步驟也可能放在RCA清洗之前，不過

一般而言，SC2會在SC1之後〔56〕。

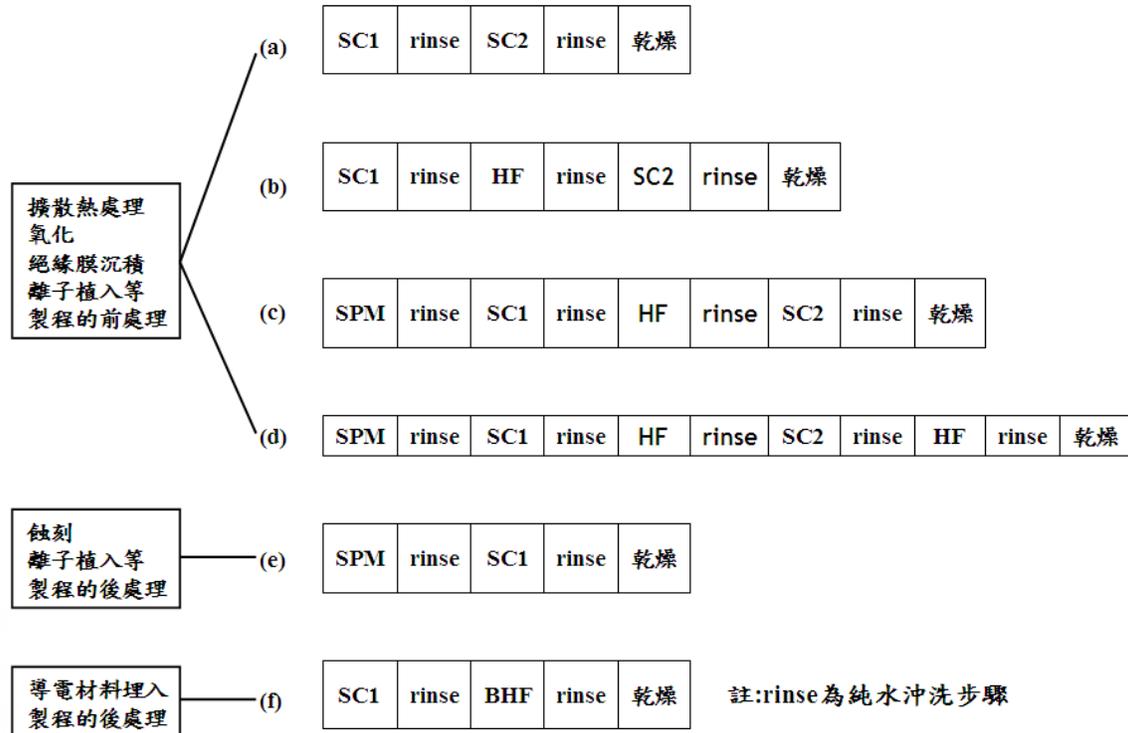


圖 2.17 清洗程序〔56〕

在每一道晶圓製程步驟都有潛在性的污染源，可能導致缺陷的生成以及元件特性失效。因每一道製程步驟之後以及每一道製程操作之前都必須做晶圓清洗動作，使其成為晶片製程中重複使用頻率最高的步驟。

而表面處理包括蝕刻、氧化、成膜、光阻去除以及經過化學機械研磨殘留物去除之前和之後的清洗。晶圓表面可能存有不同種類的污染：微粒子(Particle)、有機殘留物(Organic)、以及金屬離子(Metal-Ions)殘留物。

晶圓清洗的目的是在移除這些污染物並控制表面之化學性生成超薄氧化物。1965年發展出之RCA清洗法仍是目前最先進清洗技術的基礎。其典型流程從硫酸(Sulfuric Acid /Hydrogen Peroxide /Mixed, SPM)去除有機重污染開始，接著以稀釋氫氟酸(Diluted Hydrogen Fluoride, DHF)浸泡些許時間。

標準化的第一步清洗SC1使用(Ammonium Hydroxide /Hydrogen Peroxide /Mixed Water, APM)以移除微粒子，而標準化的第二步清洗SC2則採用(Hydrochloric Acid /Hydrogen Peroxide /Mixed Water, HPM)以移除金屬物。高超音波(Megasonic)能量可加強去除微粒子的效能，使得APM成為室溫下微粒子有效的去除溶劑而不致產生任何明顯蝕刻。

溶劑的組成比例及步驟的先後順序均可進行改變，但所有晶圓經過每一道化學品浸泡過後都需以超純水潤洗。近幾年來有許多新的變化，特別是在稀釋化學品的使用上，但絕大部份晶圓廠基本的清洗概念仍然根源於原始的RCA清洗法。

一般典型濕式的清洗RCA流程會包含以下步驟：

Piranha Clean(SPM:H₂SO₄+H₂O₂於120°C -140°C)，硫酸+過氧化氫混合物，SPM是典型使用於去除有機污染物。

氫氟酸或是稀釋氫氟酸:對特定區域進行氧化物、二氧化矽及氧化

矽蝕刻去除並減少表面金屬含量。

SC1又稱APM: $\text{NH}_4\text{OH}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$ 於 $65^\circ\text{C}-80^\circ\text{C}$ ，氫氧化氨+過氧化氫+去離子水混合物，APM使氧化並輕微蝕刻而從表面移除微粒子，其亦可移除有機及部份金屬污染物，同時進行之氧化以及矽蝕刻將增加表面粗糙度。

SC2又稱HPM: $\text{HCl}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$ 於 $65^\circ\text{C}-85^\circ\text{C}$ ，氯化氫、過氧化氫、去離子水混合，HPM如同氧化劑，可從矽基板移除金屬污染物。

超純水通常又稱作去離子水。超純水可稀釋化學品，可用做含臭氧化成份水溶液，以及使用化學品清洗後的潤洗劑。



2.7 化學機械研磨平坦化製程介紹：

化學機械研磨平坦化屬於一種全面性表面平坦技術其於存在有研漿，並施加有壓力的同時藉由晶圓與研磨墊間相對運動而平坦晶圓表面。有助於晶片製程平坦化的改善〔56-57〕

化學機械研磨平坦化系統通常包括一個旋轉的晶圓載具、一個在旋轉平台上的研磨墊、一個墊片調整器以及一個研磨漿輸送系統。如圖

2.18 所示

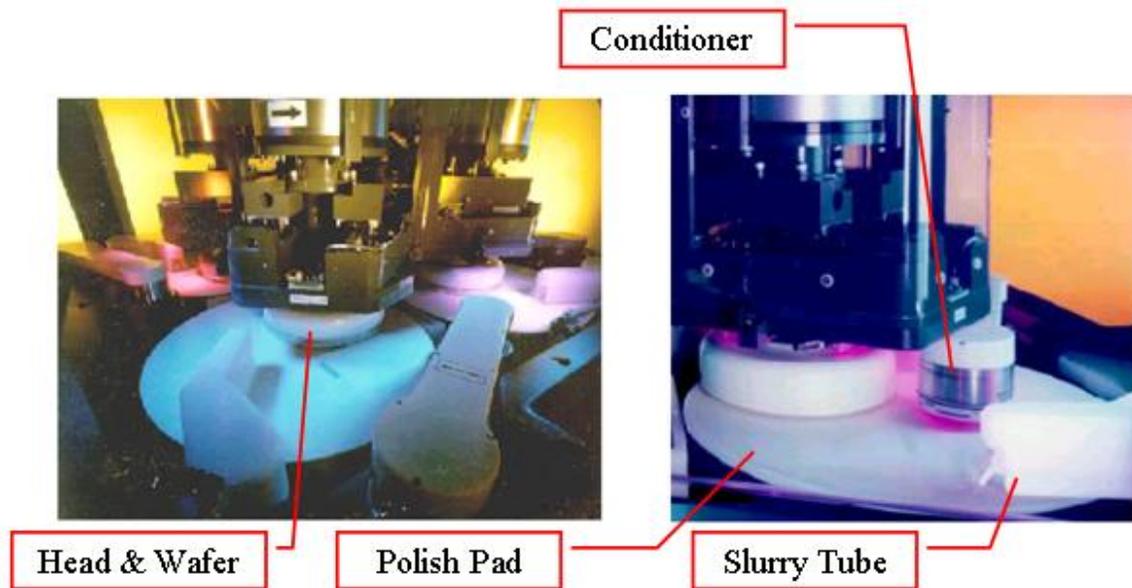


圖 2. 18 Applied Materials Mirra CMP system〔57〕

資料來源：Applied Materials

被研磨之晶圓係被安置於晶圓支撐座或載器，並與研磨墊平台進行相對研磨動作。晶圓與研磨墊間運動視工具製造商的不同而有不同的

控制。大部分研磨機不是利用旋轉式，即為軌道式的運動，在某些平台係被供以動力且移動，而在其他研磨機裡則是載器被供以動力，而平台旋轉則僅藉載器運動而被驅動。

化學機械研磨製程的重要因素是研磨速率、平坦化能力、選擇性、均勻性、缺陷以及污染物的控制。與研磨速率主要相關的有向下施力的壓力、襯墊的硬度、襯墊的表面狀況、襯墊與晶圓間的相對速度以及研磨漿的類型。化學機械研磨平坦化均勻性主要是由向下施力的壓力分布、襯墊的硬度以及襯墊的表面狀況來決定。移除的選擇性主要是由研磨漿的化學性質來決定。化學機械研磨平坦化係藉由在表面上以相對於移除低面貌，有更快的速率來移除高面貌而完成晶圓平坦度，其已成為用於準確地及均勻地研磨一晶圓到所需厚度與平坦度。

化學機械研磨平坦化機制:1.藉由研磨化學劑的化學反應以形成一相當容易移除的晶圓表面。2.該已反應的晶圓表層藉由研漿的研磨性組成與施加於研磨墊的壓力及相對速度而被予以機械式移除。

在氧化物的化學機械研磨製程中，二氧化矽粒子會與表面原子形成化學鍵而將材料從表面上刮除掉。高酸鹼值的研磨漿會溶解二氧化矽並將其從晶圓的表面移除。

故淺溝槽隔離中的氧化物充填層係藉由化學機械研磨平坦化移除

氮化物層上所有的氧化物而被平坦化，否則熱磷酸剝除法將不能在淺溝槽隔離研磨後的操作中移除氮化矽，研磨過程中以氮化矽作為一研磨停止層而以終點偵測在氧化物過渡到氮化物時中止該研磨製程。氮化物的厚度同時也定義了主動區研磨而被暴露及破壞前，化學機械研磨平坦化過研磨所能准許的量。

淺溝槽隔離研磨之難題為如何在溝渠中避免氧化物的過度薄化或碟形引起這種情形的原因在研磨墊過度彎曲變形以致歪斜底部壓力進入了寬溝渠，當氮化矽單幕層在化學機械研磨平坦化期間被暴露出時墊便彎入溝渠開口並形成導致碟形的向上凹表面。碟形的多寡受如墊硬度溝渠寬度及過研磨時間等因素影響。

2.8 差排：

差排在材料科學中是指晶體材料的一種內部微觀缺陷，即原子的局部不規則排列之晶體學缺陷。從幾何角度看，差排屬於一種線缺陷，可視為晶體中已滑移部分與未滑移部分的分界線，其存在對材料的物理性能，尤其是力學性能，具有極大的影響。

差排這一概念最早由義大利數學家和物理學家維托·伏爾特拉 (Vito Volterra) 於1905年提出 [59]。理想差排主要有3種形式：刃差排 (Edge Dislocations) 圖 2.19 和螺旋差排 (Screw Dislocations) 圖 2.20 及混合差排 (Mixed Dislocations) 圖 2.21 兼有前面兩者的特徵。

差排屬於一種拓撲缺陷，這一理論可以解釋實際晶體中差排的行為，可以在晶體中移動位置，但自身的種類和特徵在移動中保持不變，方向為伯格斯向量相反的兩個差排移動到同一點，則會雙雙消失，若沒有與其他差排發生作用或移到晶體表面，那麼任何單個差排都不會自行消失，即伯格斯向量始終保持守恆。

刃差排和螺旋差排是主要的兩種差排類型。如果原子產生差排的方向與差排線相垂直，這種差排稱之為刃差排。如果原子產生差排的方向與差排線相平行，這種差排稱之為螺旋差排。然而實際晶體中存在的

差排往往是混合型差排，即兼具刃差排和螺旋差排的特徵。

利用穿透式電子顯微鏡(Transmission Electron Microscope, TEM)可直接觀察到材料微結構中的差排。TEM觀察的第一步是將金屬樣品加工成電子束可以穿過的薄膜。在沒有差排存在的區域，電子通過等間距規則排列的各晶面時將可能發生繞射，其繞射角、晶面間距及電子波長之間滿足布拉格定律(Bragg's law)。

而在差排存在的區域附近，晶格發生了畸變，因此繞射強度亦將隨之變化，於是差排附近區域所成的像便會與周圍區域形成明暗對比反差，這就是用TEM觀察差排的基本原理。

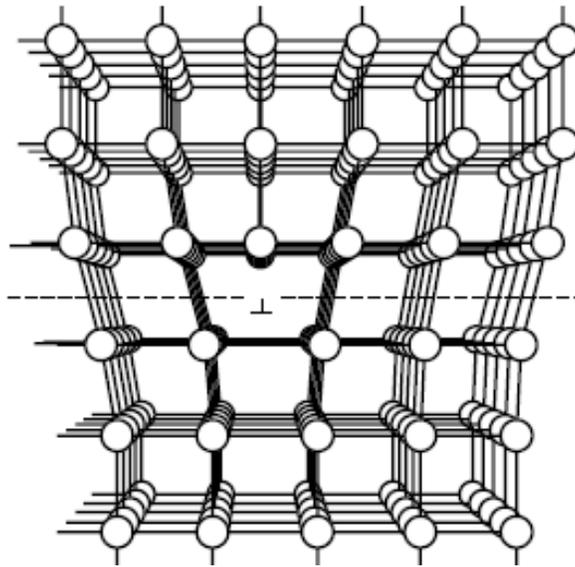


圖 2.19 刃差排示意圖 [18]

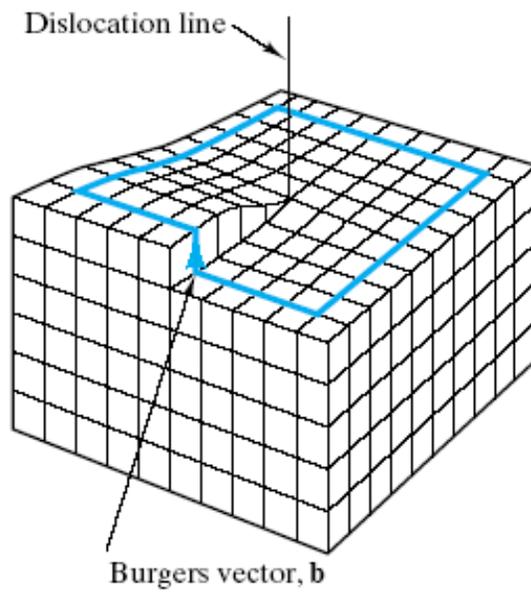


圖 2.20 螺旋差排示意圖 [18]

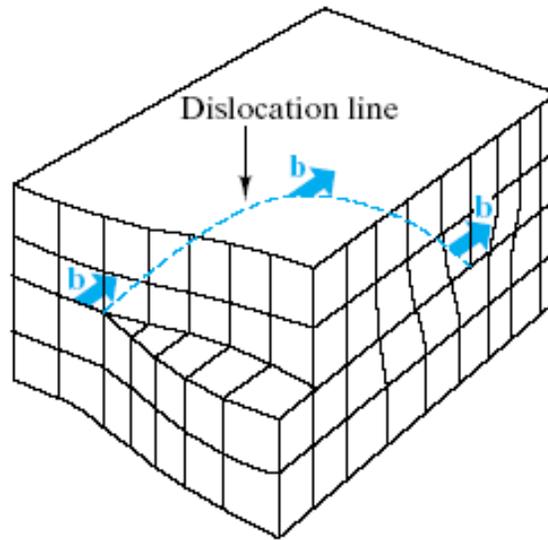


圖 2.21 混合差排示意圖 [18]

第三章 實驗設計與方法

3.1 實驗設計與方法

由於生產品圓中常會有差排之缺陷產生，特別是在淺溝槽隔離製程步驟中，一直是半導體產業技術需解決的課題。尤其是爐管加熱製程之內墊氧化矽層與內墊氮化矽層所造成。矽底材和所回填的二氧化矽的熱膨脹係數不同所引起之應力。這應力會造成晶格位置的差排，在元件之主動區面積更加為縮小，淺溝槽隔離技術下應力所產生問題更為嚴重，故需特別注意溫度、材料熱膨脹係數、體積大小改變等不匹配的變異。

如圖 3.1 良率趨勢圖所示，這是半導體產業不願意看到的現象。故設計以下實驗方法，探討熱製程所產生的應力成因，研究差排問題，做更深層解析，分別用不同內墊氧化矽層溫度、內墊氧化矽層厚度與內墊氮化矽層厚度做相關實驗條件，如圖 3.2 及表 3.1 所示。並用穿透式顯微鏡來探討淺溝槽隔離差排產生現象做一研究。以便優化內墊氧化矽層與內墊氮化矽層之溫度及厚度，以減少差排的產生。

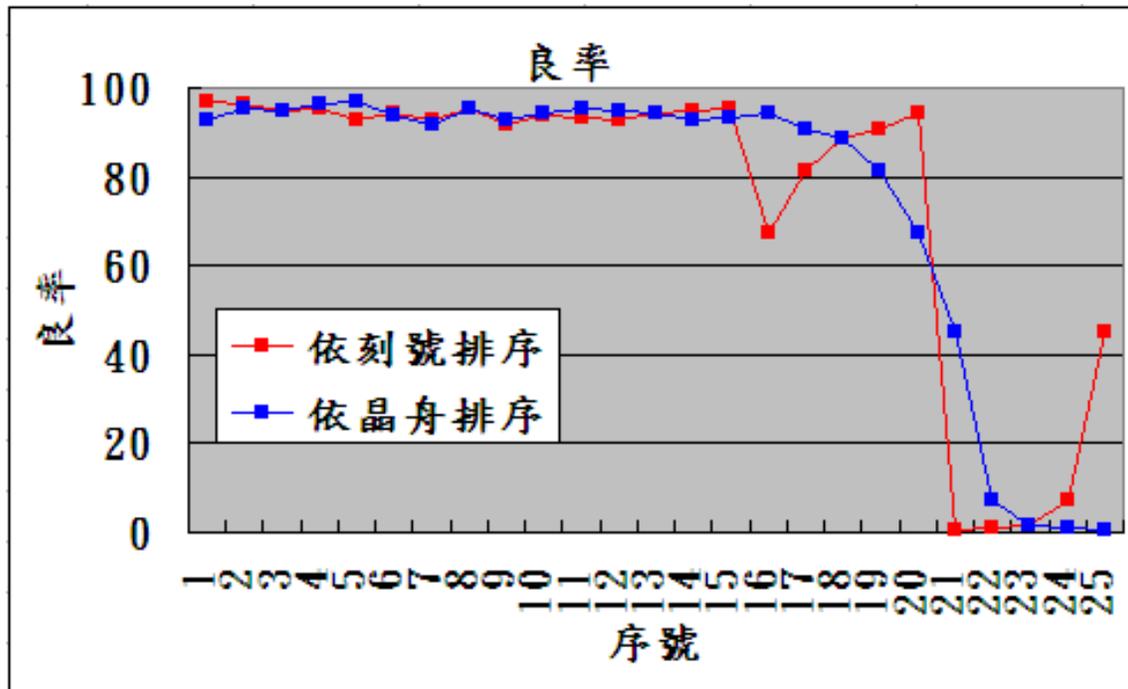


圖 3.1 良率趨勢圖依刻號及依晶舟(Boat)排序

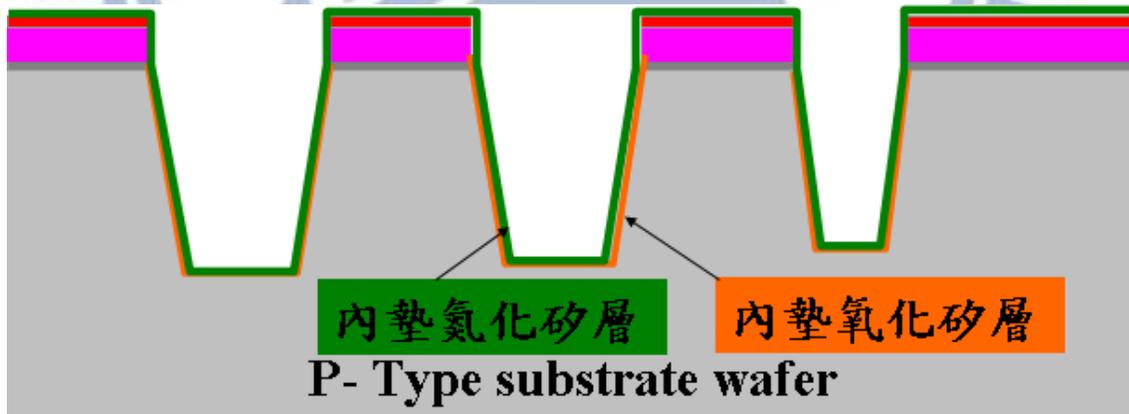


圖 3.2 淺溝槽隔離之內墊氧化矽層、內墊氮化矽層相關示意圖

表 3.1 內墊氧化矽層溫度、厚度、內墊氮化矽層厚度分配表

實驗條件	內墊氧化矽層厚度	內墊氧化矽層溫度	內墊氮化矽層
1	150埃(Å)	900°C	60埃(Å)
2	150埃(Å)	895°C	60埃(Å)
3	150埃(Å)	905°C	60埃(Å)
4	150埃(Å)	925°C	60埃(Å)
5	150埃(Å)	950°C	60埃(Å)
6	300埃(Å)	900°C	60埃(Å)
7	200埃(Å)	900°C	60埃(Å)
8	150埃(Å)	900°C	50埃(Å)
9	150埃(Å)	900°C	55埃(Å)
10	150埃(Å)	900°C	65埃(Å)
11	150埃(Å)	900°C	70埃(Å)

3.2 主要實驗機台簡介

3.2.1 垂直式爐管:

爐管機台傳輸系統如下圖 3.3-3.5 所示，爐管機台藉由控制系統程序如表 3.2、如圖 3.6 所示，主要步驟:

- 1.程式開始後，機械手臂傳送檔片(Dummy Wafer)、控片(Monitor Wafer)、產品等晶片傳入到晶舟(Boat)位置，再將晶舟送入爐管內，通入N₂。
- 2.升溫，溫度升到製程溫度，升溫速率為每分鐘升溫5°C。
- 3.待溫度穩定。
- 4.進行氧化反應，通入氧氣5000 (Standard Cubic Centimeters Per Minute,

sccm)，反應的溫度 900°C ，反應的時間22分鐘。

5. 氧氣關閉，通入氮氣清理，溫度降溫，每分鐘降溫 2°C 。

6. 晶舟下降退出爐管，待晶片冷卻後送出品片。

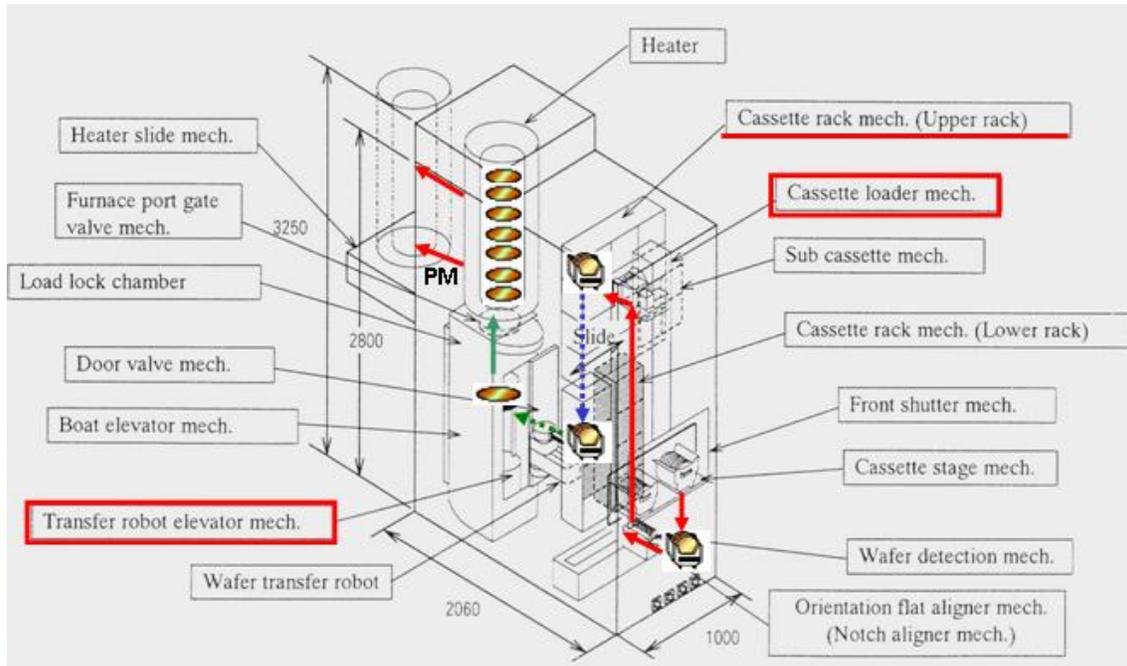


圖 3.3 晶圓裝/卸載步驟圖，資料來源：KE 爐管

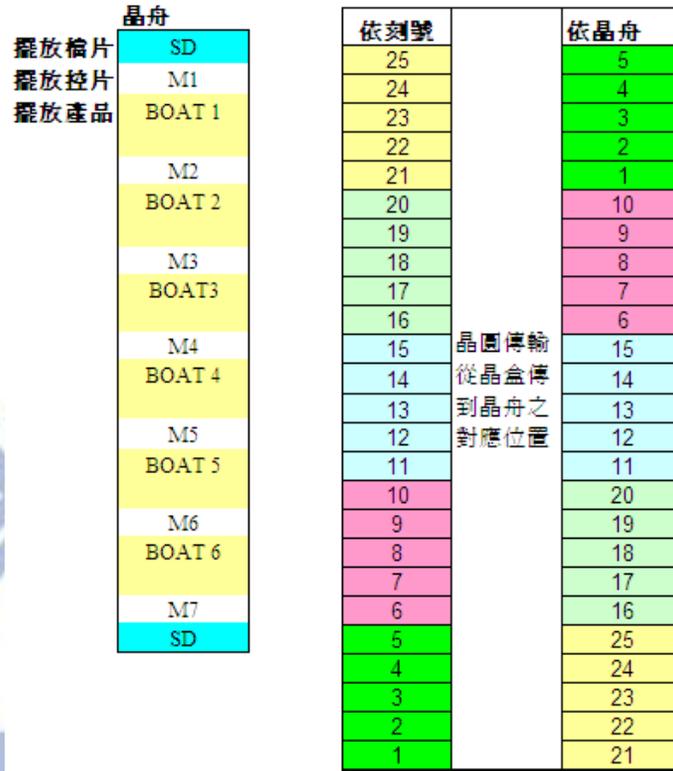


圖 3.4 爐管內傳輸晶圓之前後擺放位置示意圖

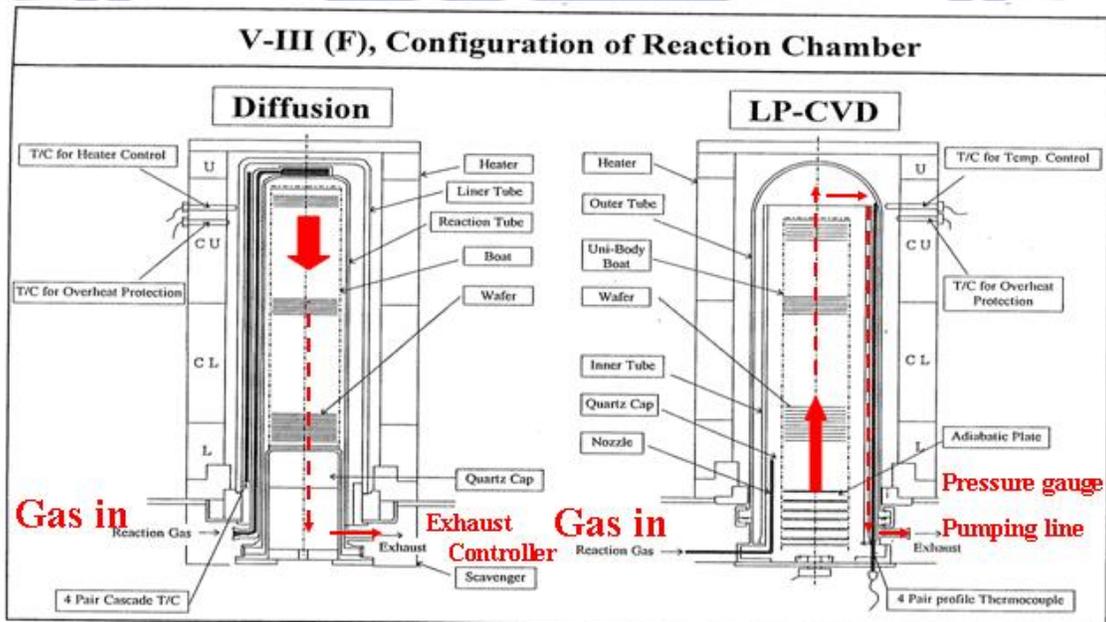


圖 3.5 爐管溫度控制、氣體流動方向示意圖，資料來源：KE 爐管

表 3.2 爐管操作步驟流程表 [50]

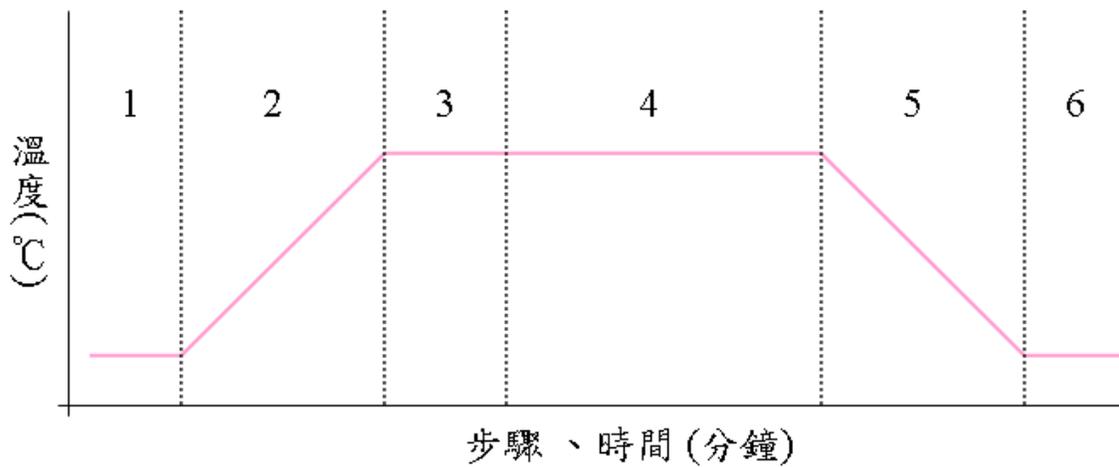
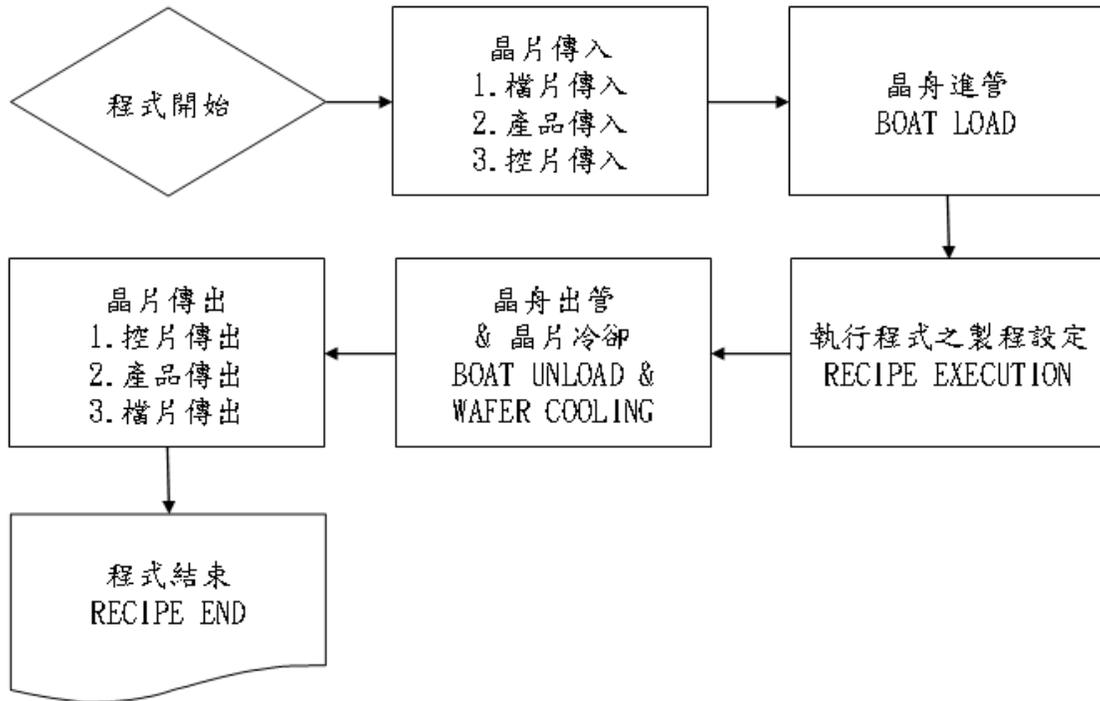


圖 3.6 爐管步驟程序圖 [50]

為了防止晶片送入高溫爐管時，晶片產生扭曲變形的現象，所以晶舟搭載矽晶圓的石英治具，移入與移出爐管的速度，必須控制在一個

適當的範圍內。且晶片進出爐管的溫度也比熱氧化製程低，還需加入升溫(Ramp Up)及降溫(Ramp Down)兩個步驟，其他還有製程時間、溫度控制、製程步驟、氣體形式、氣體流速、溫度升降溫速率及晶圓裝卸載等設定。如表 3.3 所示，方能使爐管正常操作。

表 3.3 爐管相關氣體、溫度、時間步驟表 [50]

Step	Time (min)	Temp (°C)	N ₂ Purge Gas (slm)	Process Gas			Comments
				N ₂ (slm)	O ₂ (slm)	HCl (sccm)	
0		850	8.0	0	0	0	Idle condition
1	5	850		8.0	0	0	Load furnace tube
2	7.5	Ramp 20°C/min		8.0	0	0	Ramp temperature up
3	5	1000		8.0	0	0	Temperature stabilization
4	30	1000		0	2.5	67	Dry oxidation
5	30	1000		8.0	0	0	Anneal
6	30	Ramp -5°C/min		8.0	0	0	Ramp temperature down
7	5	850		8.0	0	0	Unload furnace tube
8		850	8.0	0	0	0	Idle

Note: gas flow units are slm (standard liters per minute) and sccm (standard cubic centimeters per minute)

爐管內部包含了一垂直石英鐘罩式爐管，圍繞著晶圓而進入熱製程，而加熱區每一石英製程管由加熱線圈所圍繞且形成多個加熱區，加熱區數是重要的，因它可控制爐管中間受熱部分近於等溫區。等溫區每一側的加熱區，可提供晶圓快速上升或降溫至製程溫度。

加熱線圈是一種金屬電阻包於爐管的外側，使得加熱區受熱均勻。溫度控制要能精確地控制溫度的重要部份，稱之為熱電偶的感應

器，可偵測溫度及提供一相關毫伏特信號至爐管控制器。

製程管的每一區域有很多個熱電偶，輪廓熱電偶位於反應室內非常靠近晶圓堆疊的地方，每一溫度區都有一隻熱電偶量測晶圓表面溫度。

另有控制熱電偶位於製程管外部，非常靠近加熱線圈纏繞的地方，在每一控制區皆有一隻，可測量加熱線圈的溫度。此外在接近控制熱電偶的地方，有過高溫熱電偶，用以監控最大的加熱溫度，以避免爐管溫度過高超過其限制。

而氣體分配系統是藉由傳送正確的氣體流至製程管，以維持氣體進入爐管中。不同的製程有不同的主要和特別氣體經由氣體分配系統傳送至爐管中，並且適當地移除氣體及其副產物是重要的。

內墊氧化矽層程式之主要內容包括:使用之氣體氧氣5000 sccm，反應的溫度900°C，反應的時間22分鐘。升溫條件為每分鐘升溫5°C，降溫條件為每分鐘降溫2°C，升降溫曲線圖如圖 3.7 所示。

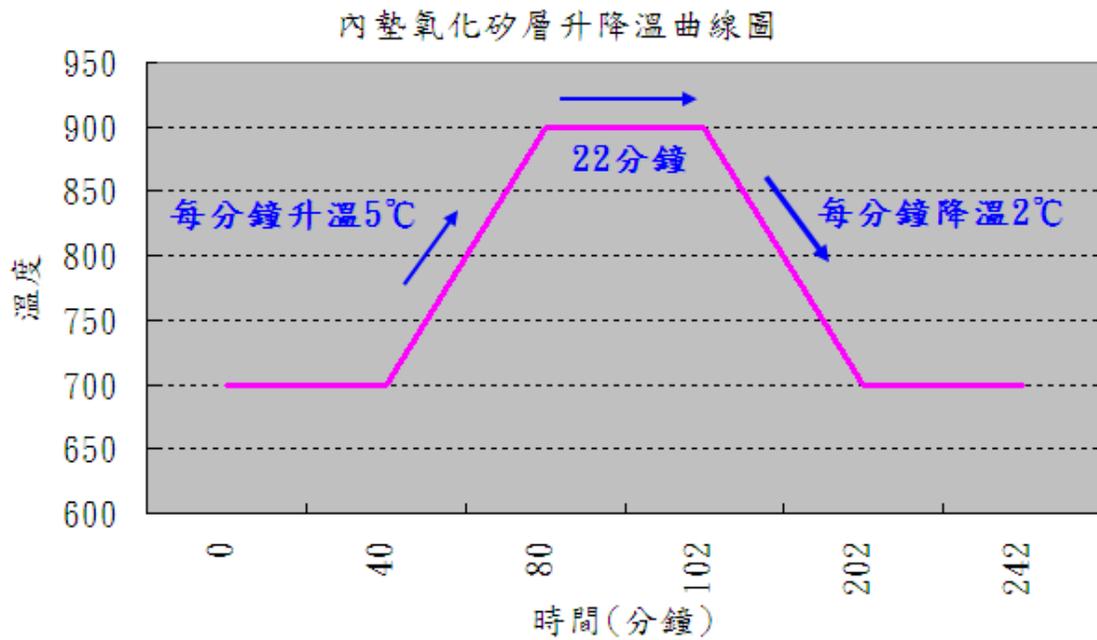


圖 3.7 內墊氧化矽層升降溫曲線圖

內墊氮化矽層程式主要內容包括:使用之氣體 $\text{NH}_3=200$ /
 $\text{SiH}_2\text{Cl}_2=40$ sccm，反應的溫度 640°C ，反應的時間47分鐘，製程壓力0.3
Torr，升溫條件為每分鐘升溫 5°C ，降溫條件為每分鐘降溫 2°C ，升降溫
曲線圖如圖 3.8 所示。

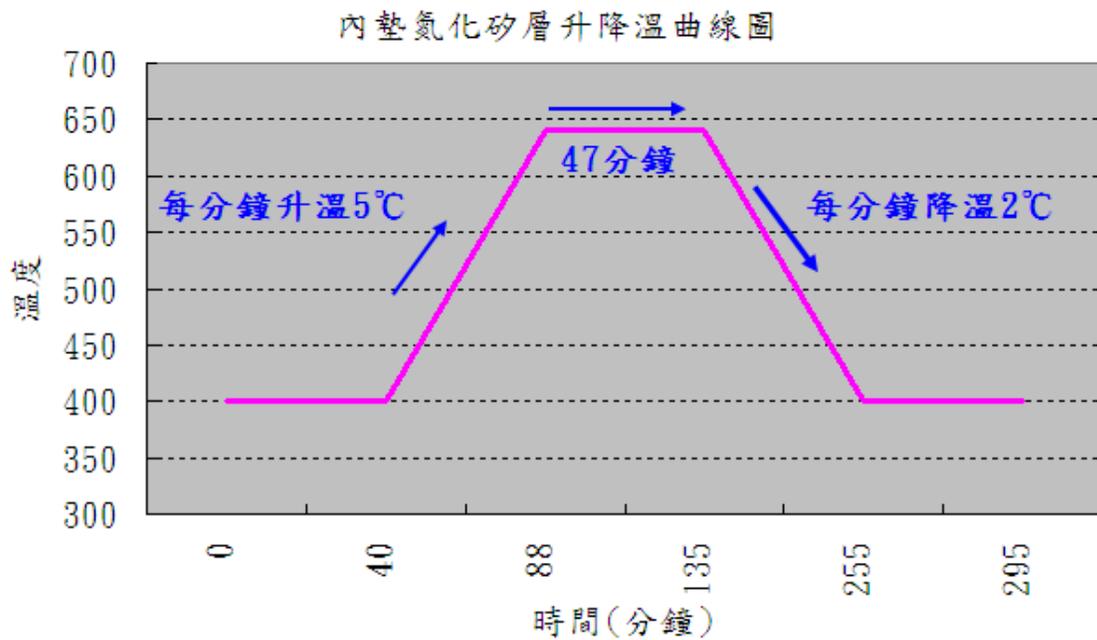


圖 3.8 內墊氮化矽層升降溫曲線圖

3.2.2 穿透式電子顯微鏡：

利用穿透式電子顯微鏡(圖 3.9)的影像來分析是否有差排的存
在，由於晶體中差排缺陷交互作用的複雜性結構以及分佈都可藉穿透式
電子顯微鏡觀察到，不僅解決了許多困難，而且也引導了差排理論的進
一步發展。

穿透式電子顯微鏡係利用高能電子束（一般約在100 keV~1 meV）
穿透厚度低於100 nm以下之薄樣品，和薄樣品內的各種組織產生不同程
度之散射。散射後的電子以不同的行徑通過後續的透鏡組合和透鏡光
圈，形成明暗對比之影像，而這些明暗對比之微結構影像是藉由螢光板
來呈現。因此穿透式電子顯微鏡分析即擷取穿透薄樣品之直射電子
(Transmitted Electron)或是彈性散射電子(Elastic Scattered Electron)最後
便形成影像或作成繞射圖案(Diffraction Pattern, DP)進而解析薄樣品微
結構組織與晶體結構。

穿透式電子顯微鏡分析時，通常是利用電子成像的繞射對比
(Diffraction Contrast)，作成明視野 (Bright Field, BF) 或暗視野 (Dark
Field, DF) 影像，並配合繞射圖樣來進行觀察。

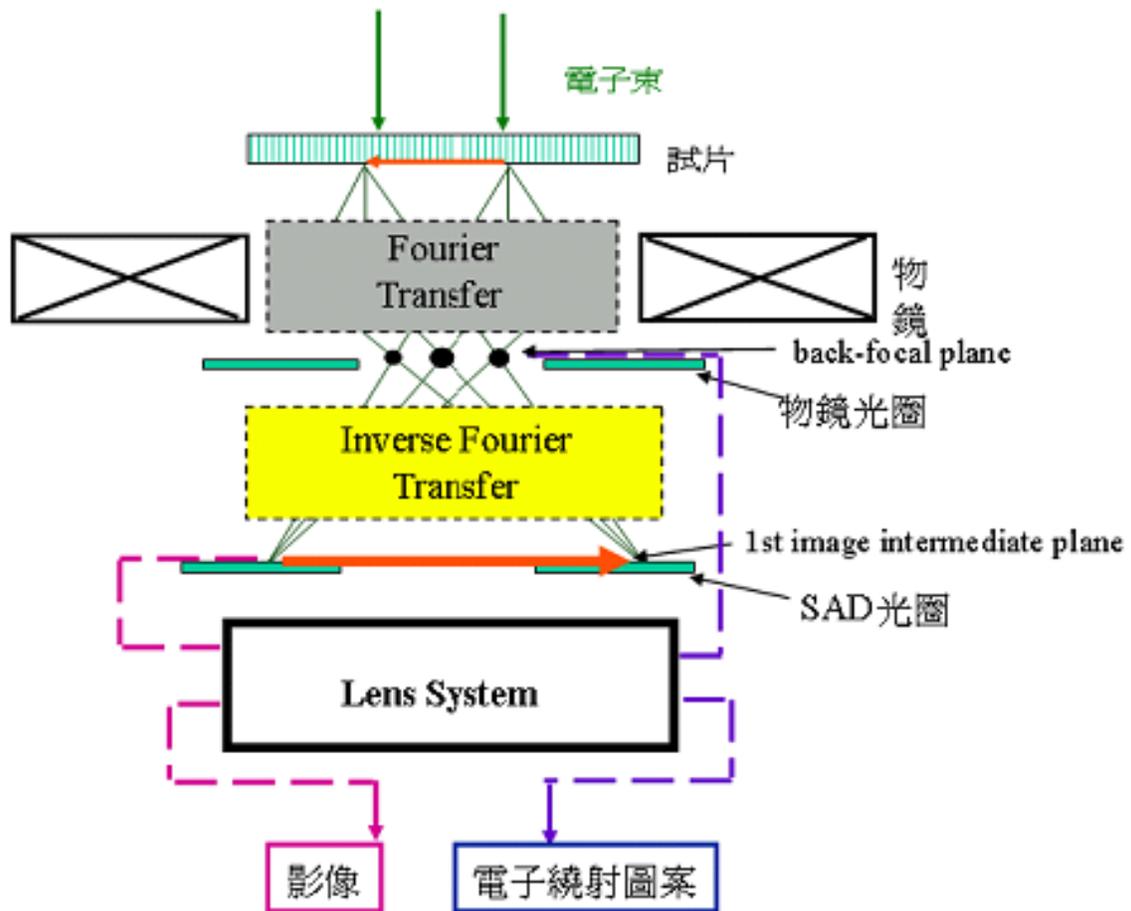


圖 3.9 穿透式電子顯微鏡示意圖

3.2.3 晶圓量測機台

安捷倫(Agilent) 93000型是此驗證實驗良率結果的儀器，如圖 3.10 所示，其主要晶圓將進行100%每一晶粒之晶圓分類測試，如圖 3.11 所示，又稱為晶圓針測(Wafer Probe)或電性分類 [60-68]。晶圓分類的目的在確認晶圓上有那些元件可以正確的執行功能。此一測試為晶片製作的主要階段。

晶圓上每一晶粒均要針對包括DC參數、AC參數及一些功能(Function)的所有產品功能規格來予以進行測試。

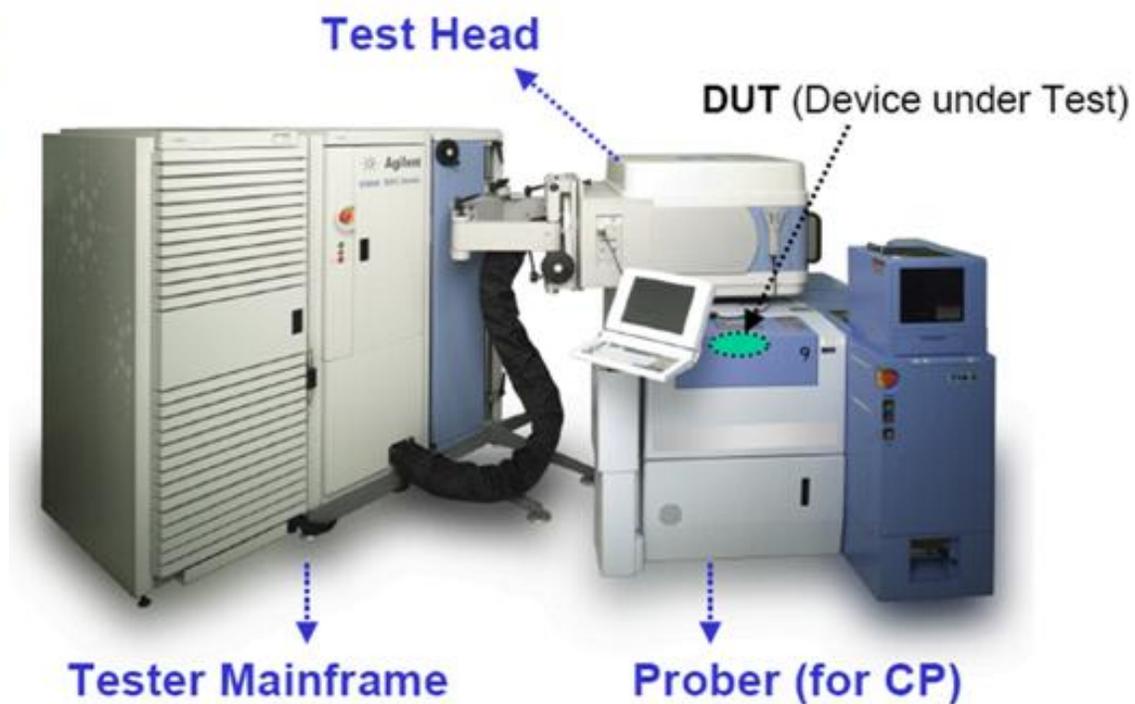


圖 3.10 安捷倫(Agilent)良率量測機台

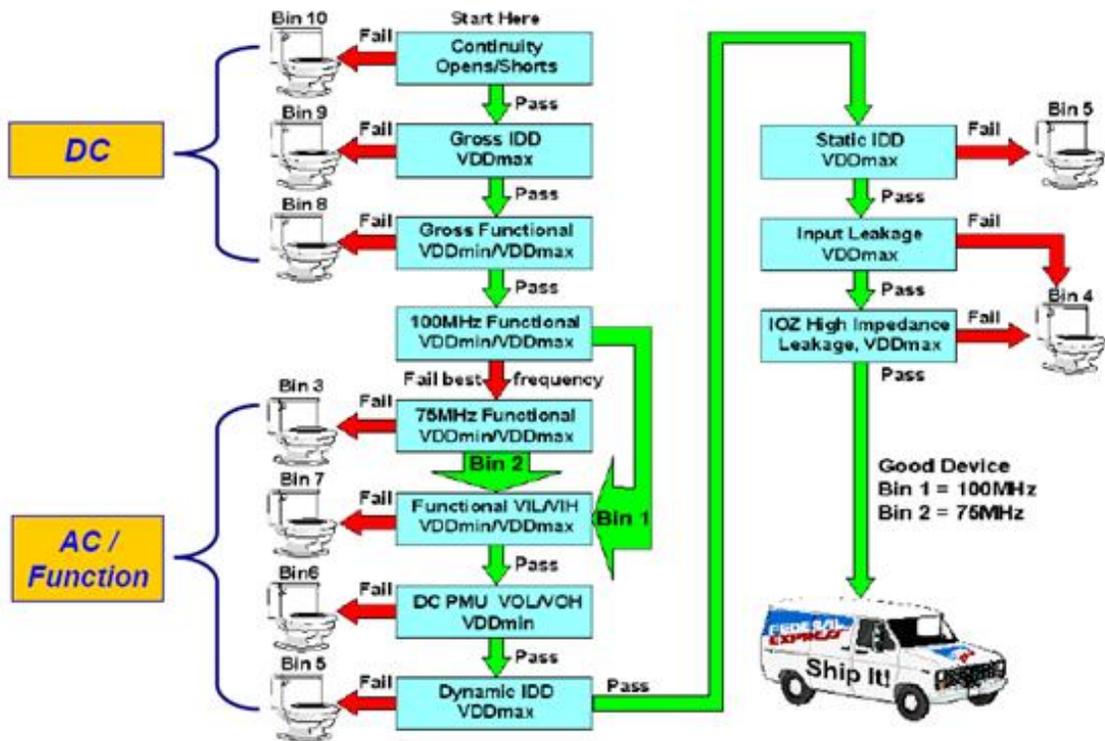


圖 3.11 一般良率量測分類之流程

第四章 實驗結果與討論

4.1 實驗結果

本研究利用良率結果來分析，並用穿透式電子顯微鏡來觀察晶圓良率電性測試異常區域，確認在不同實驗條件下之內墊氧化矽層溫度、內墊氧化矽層厚度、內墊氮化矽層厚度之STI Substrate是否有差排缺陷產生，包括8吋晶圓中間區域、晶圓邊緣區域。得到之良率結果及其淺溝槽隔離Substrate TEM Plan-View圖，如下面各節所述：

4.1.1 內墊氧化矽層溫度實驗結果

此實驗目的主要是改變內墊氧化矽層之熱製程溫度，來探討薄膜是否會因溫度變化而形成大小不同的熱應力、造成差排產生及良率降低。從內墊氧化矽層溫度實驗結果，可發現內墊氧化矽層溫度從895°C到950°C的良率與差排變化，如圖 4.1 所示。當溫度於895°C時，從TEM沒有觀察到差排現象產生，此試片良率為96.96。當溫度於900°C時，從TEM也沒有觀察到差排現象產生，此試片良率為98.47比溫度於895°C時稍高。當溫度於905°C時開始有輕微差排局部分佈現象產生，在位於8吋晶圓中間區域及邊緣區域約有0.2 μm 之差排產生。隨著溫度越來越高，差排表現有越來越明顯的趨勢。當溫度增加到950°C時則淺溝槽隔離區

域分佈有嚴重的差排現象，良率已降到0。在位於晶圓中間區域約有1.1 μm 之差排產生、晶圓邊緣區域約有1.3 μm 之差排產生。

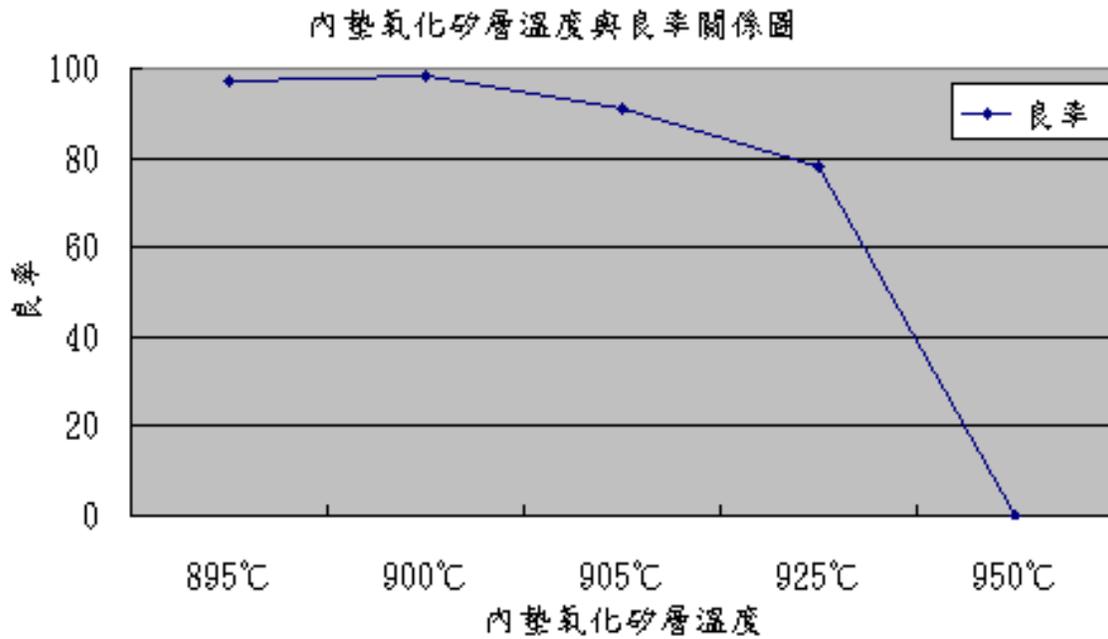


圖 4.1 內墊氧化矽層溫度與良率關係圖

其他個別詳細實驗條件的淺溝槽隔離Substrate TEM Plan-View圖於後面之圖 4.2-4.6 所示。而實驗結果之相關討論於4.2.1該節有詳細之討論敘述。

實驗條件1為內墊氧化矽層厚度為 150 \AA 、溫度 900°C 、內墊氮化矽層厚度為 60 \AA 之試片，從TEM沒有觀察到差排現象產生，如圖 4.2 TEM Plan-View所示，此試片良率為98.47%。(差排現象在TEM的表徵，如圖 2.22 所示，其中箭頭所指的暗線部份是差排。)

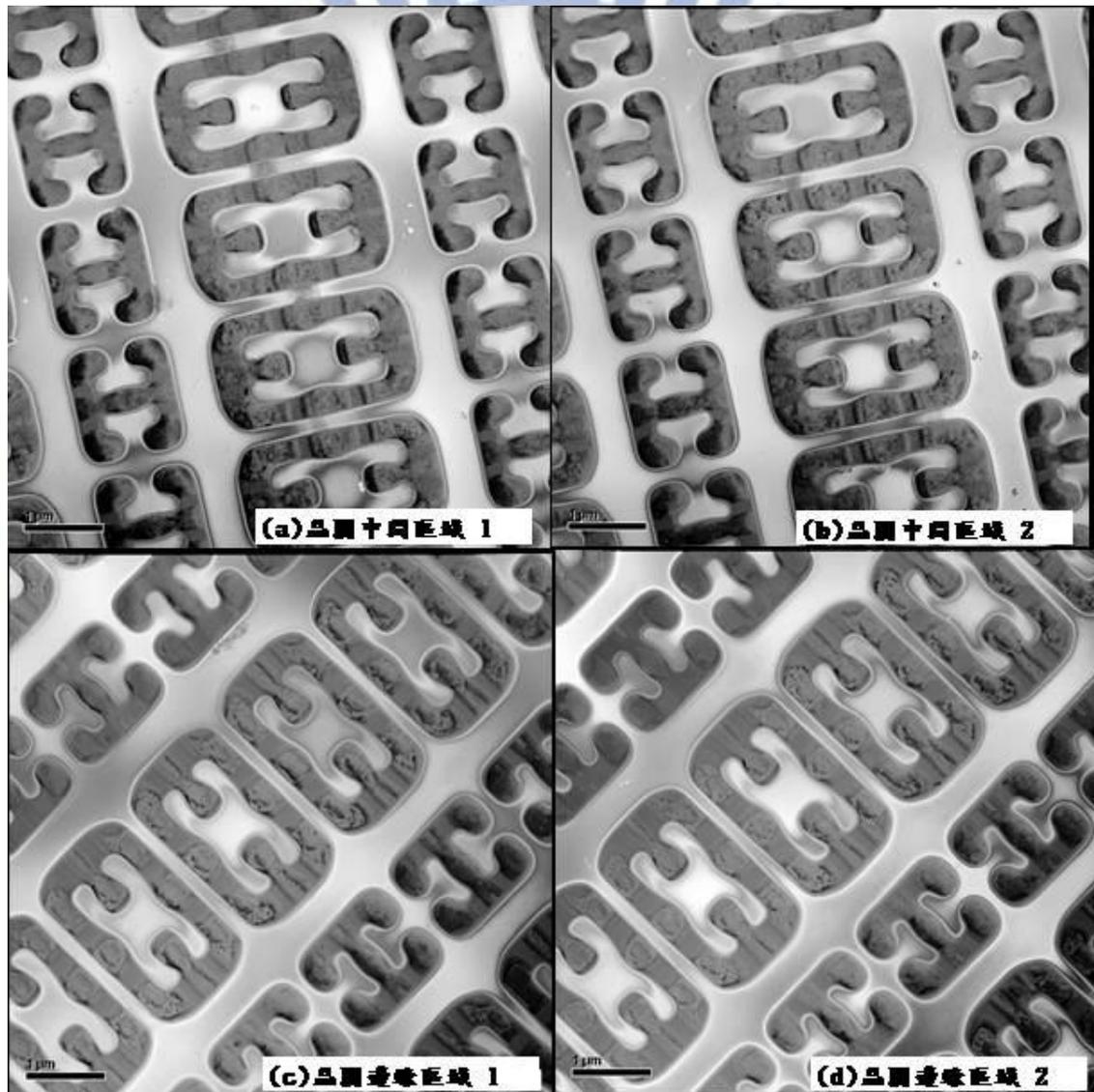


圖 4.2 實驗條件 1 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件2為內墊氧化矽層厚度為 150 \AA 、溫度 895°C 、內墊氮化矽層厚度為 60 \AA 之試片，從TEM沒有觀察到差排現象產生，如圖 4.3 TEM Plan-View所示，此試片良率為96.96。

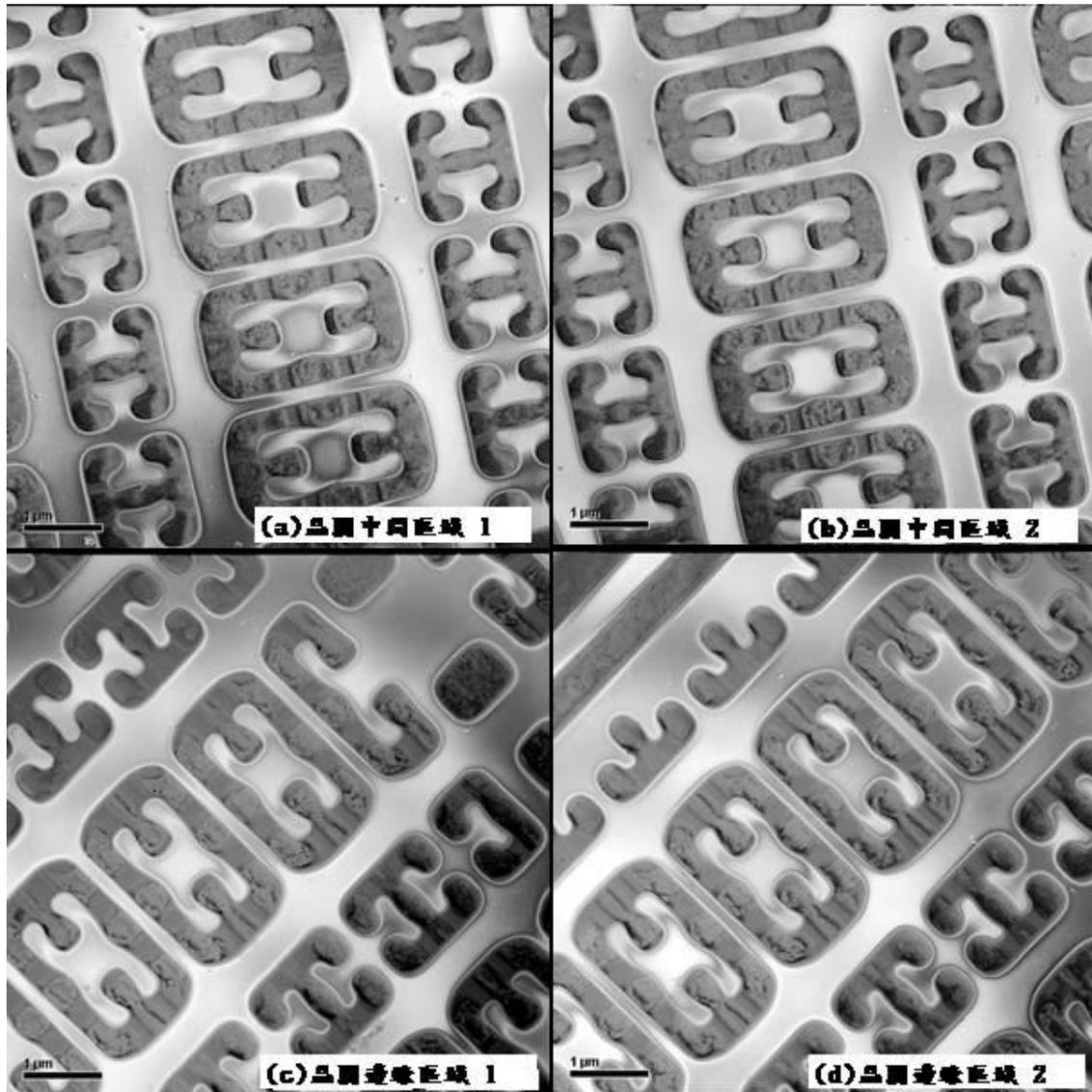


圖 4.3 實驗條件 2 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件3為內墊氧化矽層厚度為 150 \AA 、溫度 905°C 、內墊氮化矽層厚度為 60 \AA 之試片，從TEM觀察到8吋晶圓中間和邊緣區域都有約 $0.2 \mu\text{m}$ 的差排產生，如圖 4.4 TEM Plan-View所示，良率為91.19。

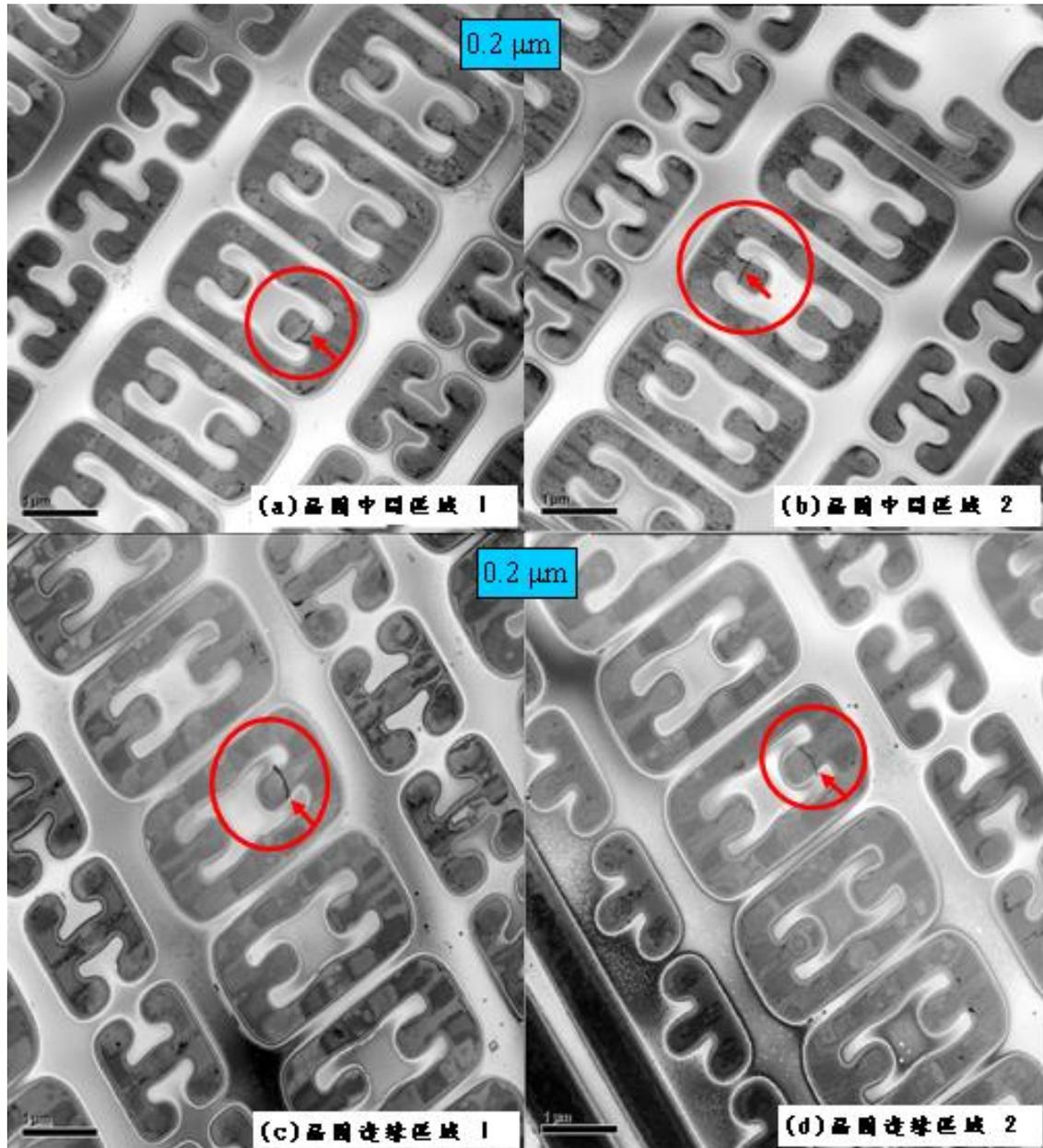


圖 4.4 實驗條件 3 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件4為內墊氧化矽層厚度為 150 \AA 、溫度 925°C 、內墊氮化矽層厚度為 60 \AA 之試片，從TEM觀察到8吋晶圓中間和邊緣區域都有約 $0.3 \mu\text{m}$ 的差排產生，如圖 4.5 TEM Plan-View所示，良率為78.04。

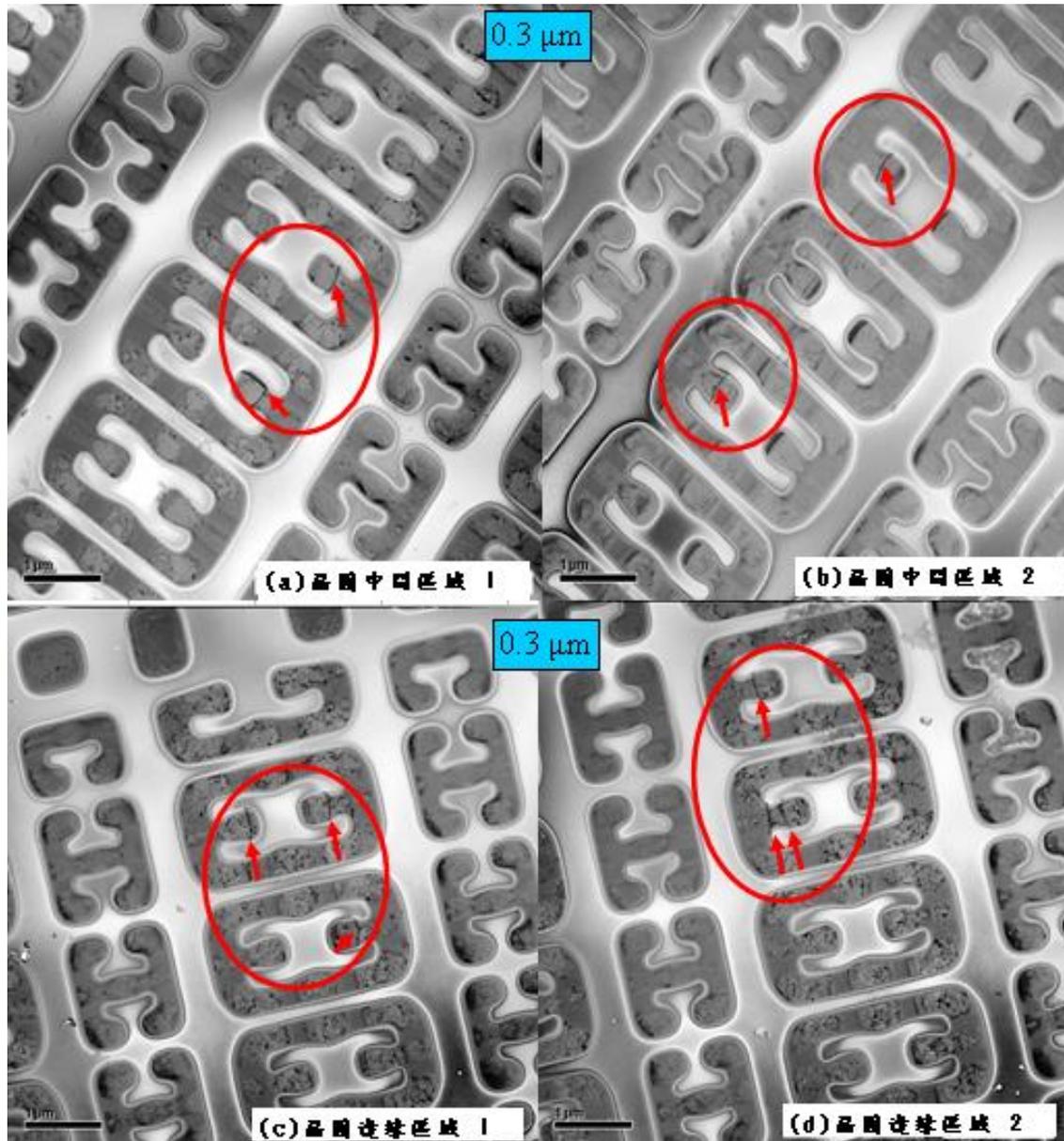


圖 4.5 實驗條件 4 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件5為內墊氧化矽層厚度為 150 \AA 、溫度 950°C 、內墊氮化矽層厚度為 60 \AA 之試片，從TEM觀察到8吋晶圓中間區域約 $1.1 \mu\text{m}$ ，晶圓邊緣區域約 $1.3 \mu\text{m}$ 的差排產生，如圖 4.6 TEM Plan-View所示，良率為0。

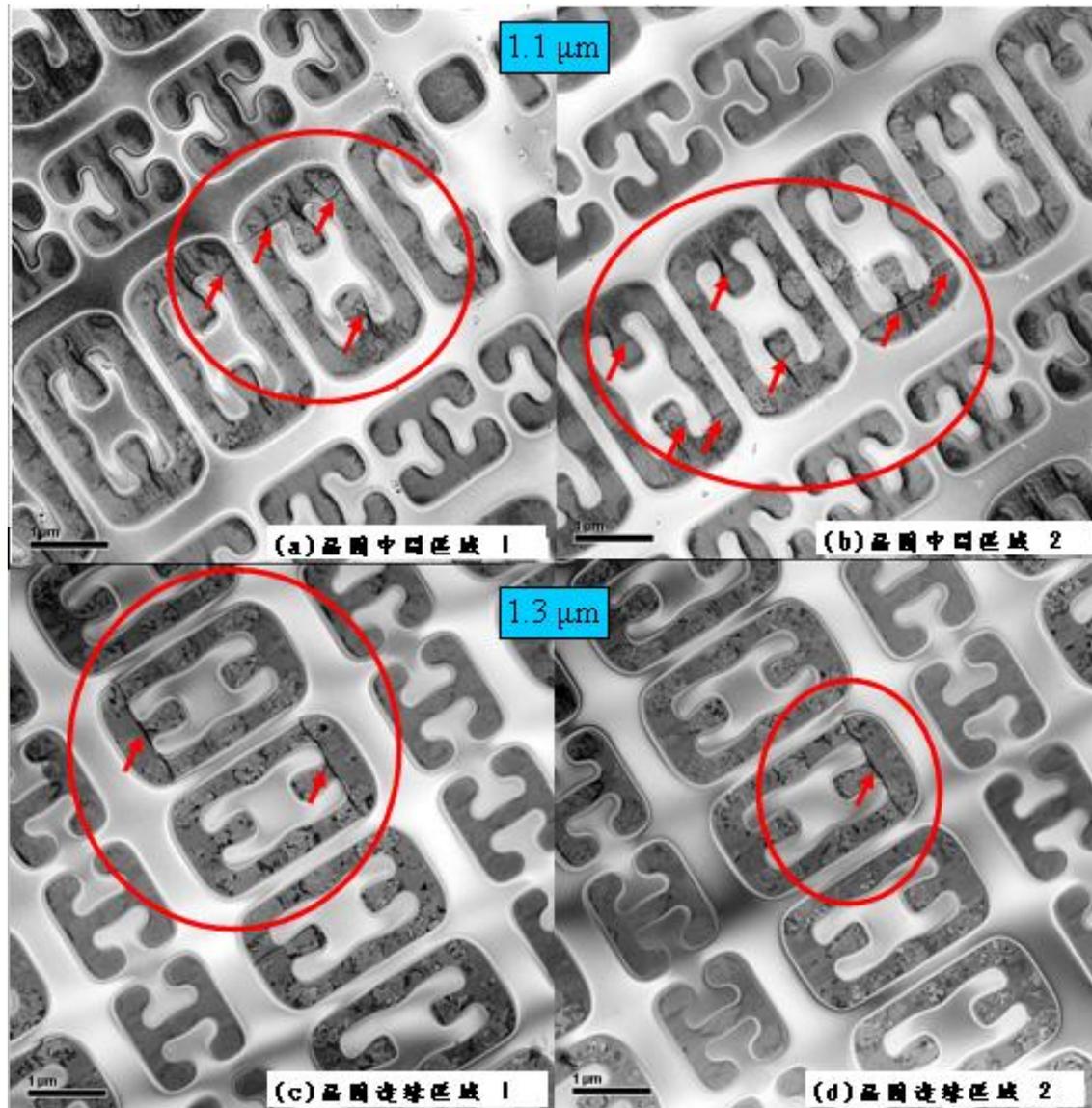


圖 4.6 實驗條件 5 淺溝槽隔離 substrate 之 TEM Plan View 圖

4.1.2 內墊氧化矽層厚度實驗結果

此實驗目的主要是改變內墊氧化矽層厚度，來探討是否會因此造成淺溝槽隔離角落之氧化層體積大小變化，而影響角落及側壁應力增加造成差排缺陷產生、良率降低。從這實驗結果發現內墊氧化矽層厚度從150 Å 到300 Å 變化，內墊氧化矽層厚度在150 Å 時，從TEM沒有觀察到差排現象產生，此試片良率為98.47。當內墊氧化矽層厚度在200 Å 時，從TEM也沒有觀察到差排現象產生，此試片良率為95.25比厚度在150 Å 時稍低。厚度在300 Å 時，有發現8吋晶圓中間區域及邊緣區域約有0.3 μm 差排產生，此試片良率降到79.68。另可由圖 4.7 觀察到內墊氧化矽層厚度與良率之變化關係。

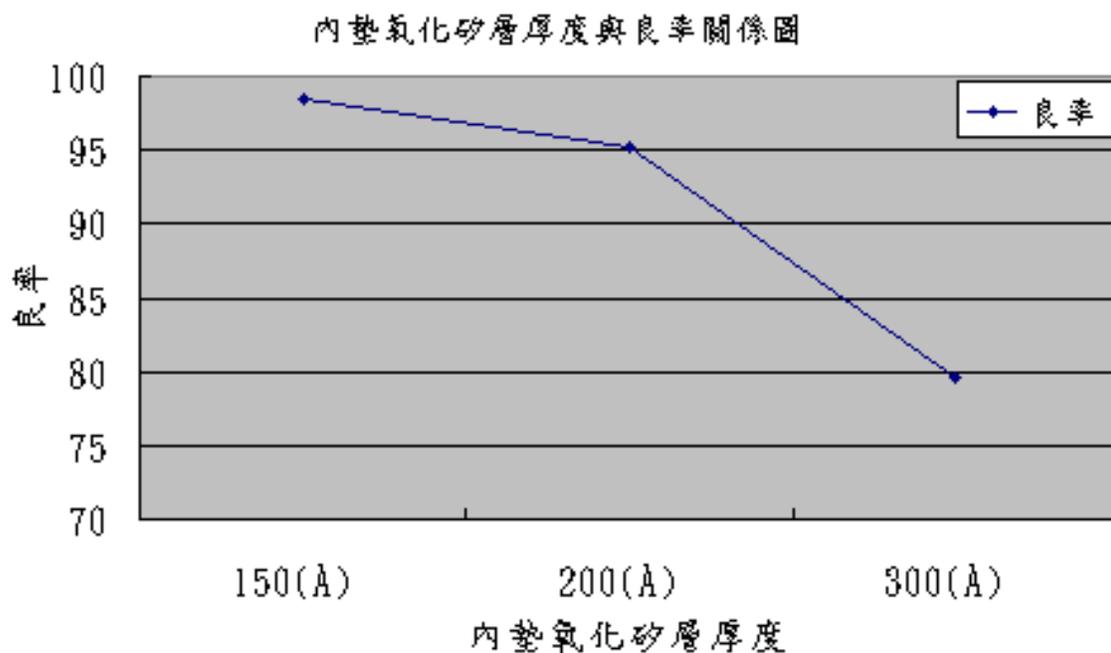


圖 4.7 內墊氧化矽層厚度與良率關係圖

另外其他個別詳細實驗條件6、7的淺溝槽隔離Substrate TEM Plan-View圖於後面之圖 4.8-4.9 所示。而實驗結果之相關討論於4.2.2 該節有詳細之討論敘述。

實驗條件6為內墊氧化矽層厚度為 300 \AA 、溫度 900°C 、內墊氮化矽層厚度為 60 \AA 之試片，從TEM觀察到8吋晶圓中間和邊緣區域都有約 $0.3 \mu\text{m}$ 的差排產生，如圖 4.8 TEM Plan-View所示，良率79.68。

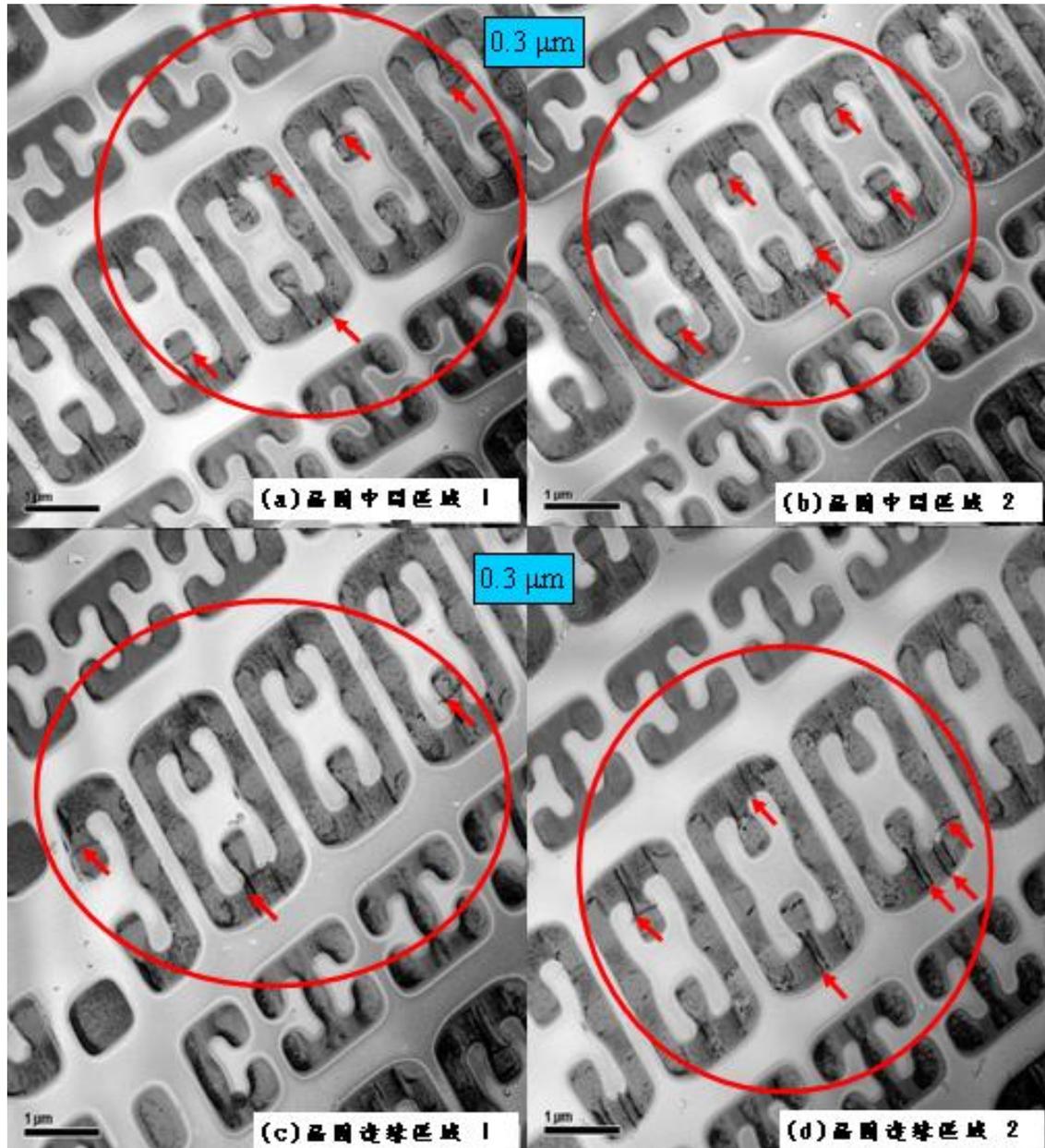


圖 4.8 實驗條件 6 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件7為內墊氧化矽層厚度為 200 \AA 、溫度 900°C 、內墊氮化矽層厚度為 60 \AA 之試片，從TEM沒有觀察到差排現象產生，如圖 4.9 TEM Plan-View所示，良率95.25。

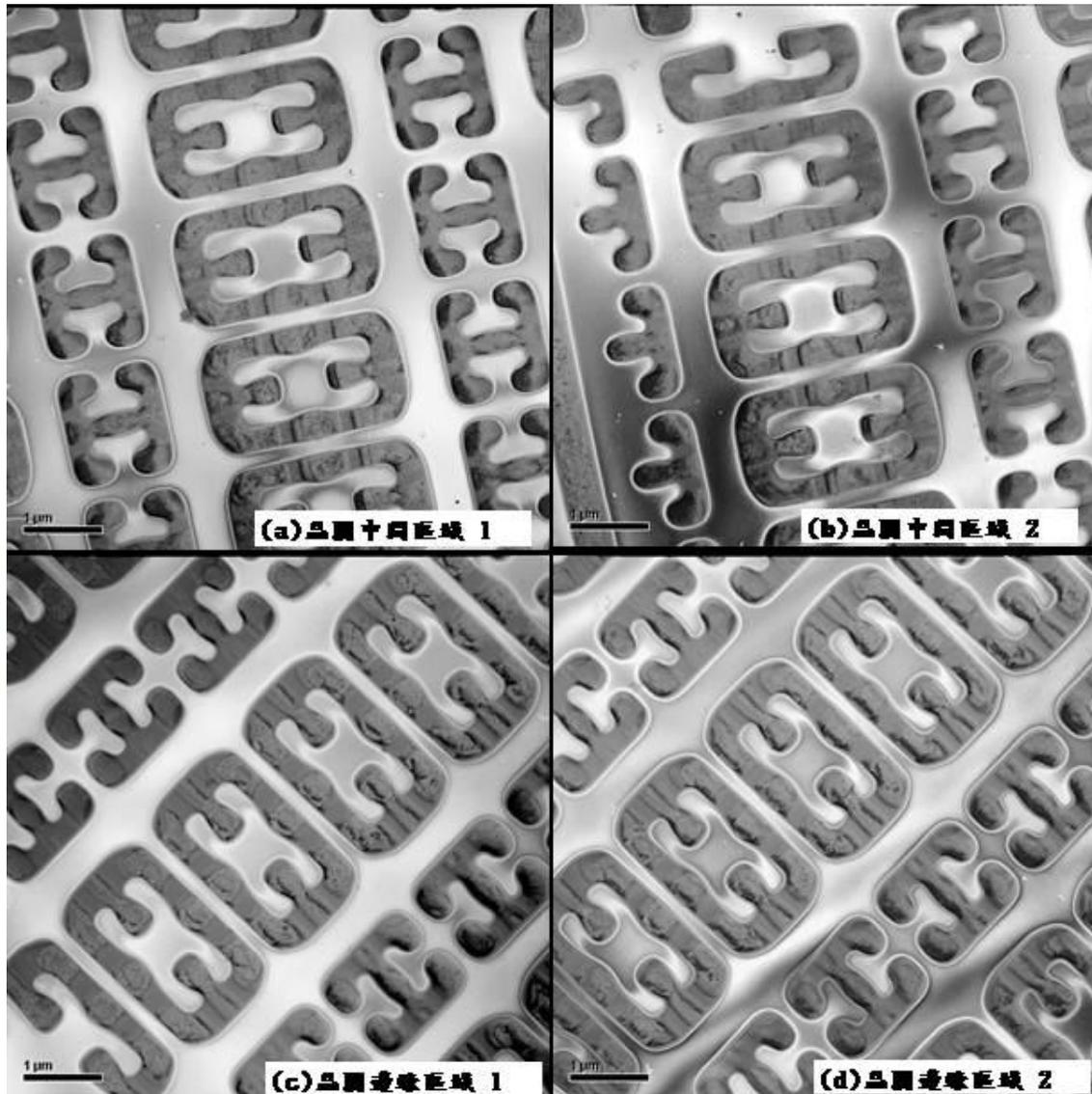


圖 4.9 實驗條件 7 淺溝槽隔離 substrate 之 TEM Plan View 圖

4.1.3 內墊氮化矽層厚度實驗結果

此實驗目的主要改變內墊氮化矽層厚度，來探討內墊氮化矽層是否會因厚度變化而形成不同的應力、造成差排產生及良率降低。並找出優化條件以便控制或抵銷淺溝槽隔離的壓力，減少差排產生，提昇良率。

從這實驗結果發現內墊氮化矽層厚度從 70 Å 到 50 Å 變化，內墊氮化矽層厚度在 70 Å 時有發現 8 吋晶圓中間區域及邊緣區域約有 0.2 μm 差排產生，良率為 90.11。內墊氮化矽層厚度約在 65 Å、60 Å 時從 TEM 沒有觀察到差排現象產生，良率比較高分別為 94.35、98.47。內墊氮化矽層厚度在 55 Å 時從 TEM 觀察到晶圓中間區域及晶圓邊緣區域約 2 μm 差排產生，良率降到 2.4。內墊氮化矽層厚度在 50 Å 時從 TEM 觀察到晶圓中間區域約有 1.8 μm 差排產生，晶圓邊緣區域約 2 μm 差排產生，良率降到 0。另可由圖 4.10 觀察到內墊氮化矽層厚度與良率之變化關係。

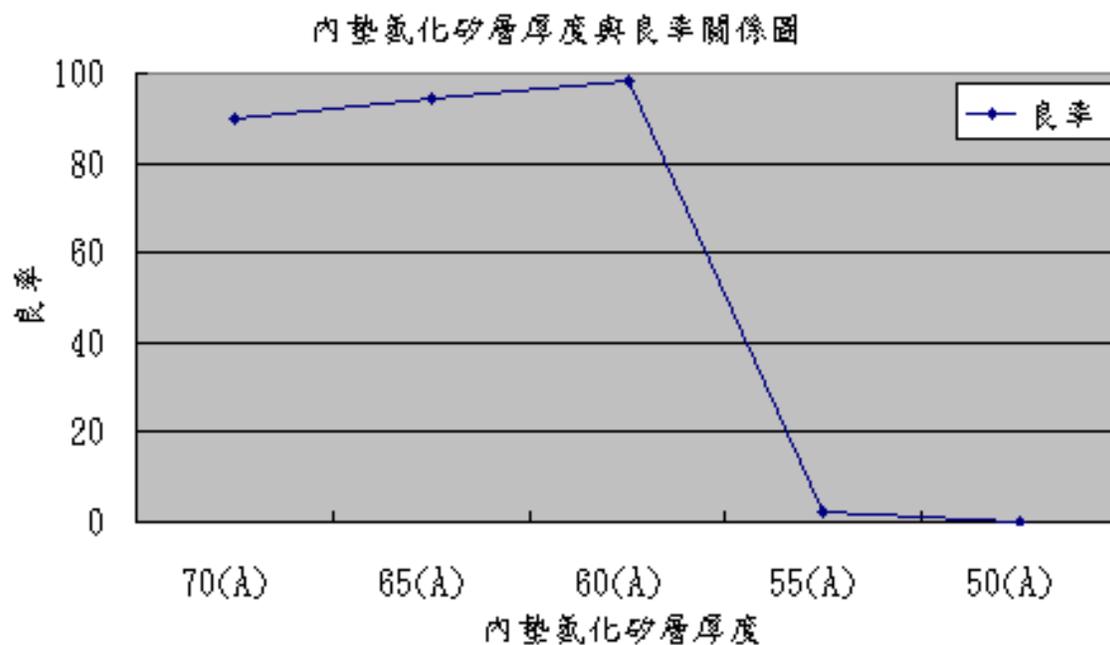


圖 4.10 內墊氮化矽層厚度與良率關係圖

其他個別詳細實驗條件 8-11 的淺溝槽隔離 Substrate TEM Plan-View 圖於後面之圖 4.11-4.14 所示。而實驗結果之相關討論於 4.2.3 該節有詳細之討論敘述。

實驗條件8為內墊氧化矽層厚度為 150 \AA 、溫度 900°C 、內墊氮化矽層厚度為 50 \AA 之試片，從TEM觀察到8吋晶圓中間區域約有 $1.8 \mu\text{m}$ 差排產生，晶圓邊緣區域約 $2 \mu\text{m}$ 差排產生，如圖 4.11 TEM Plan-View所示，良率0。

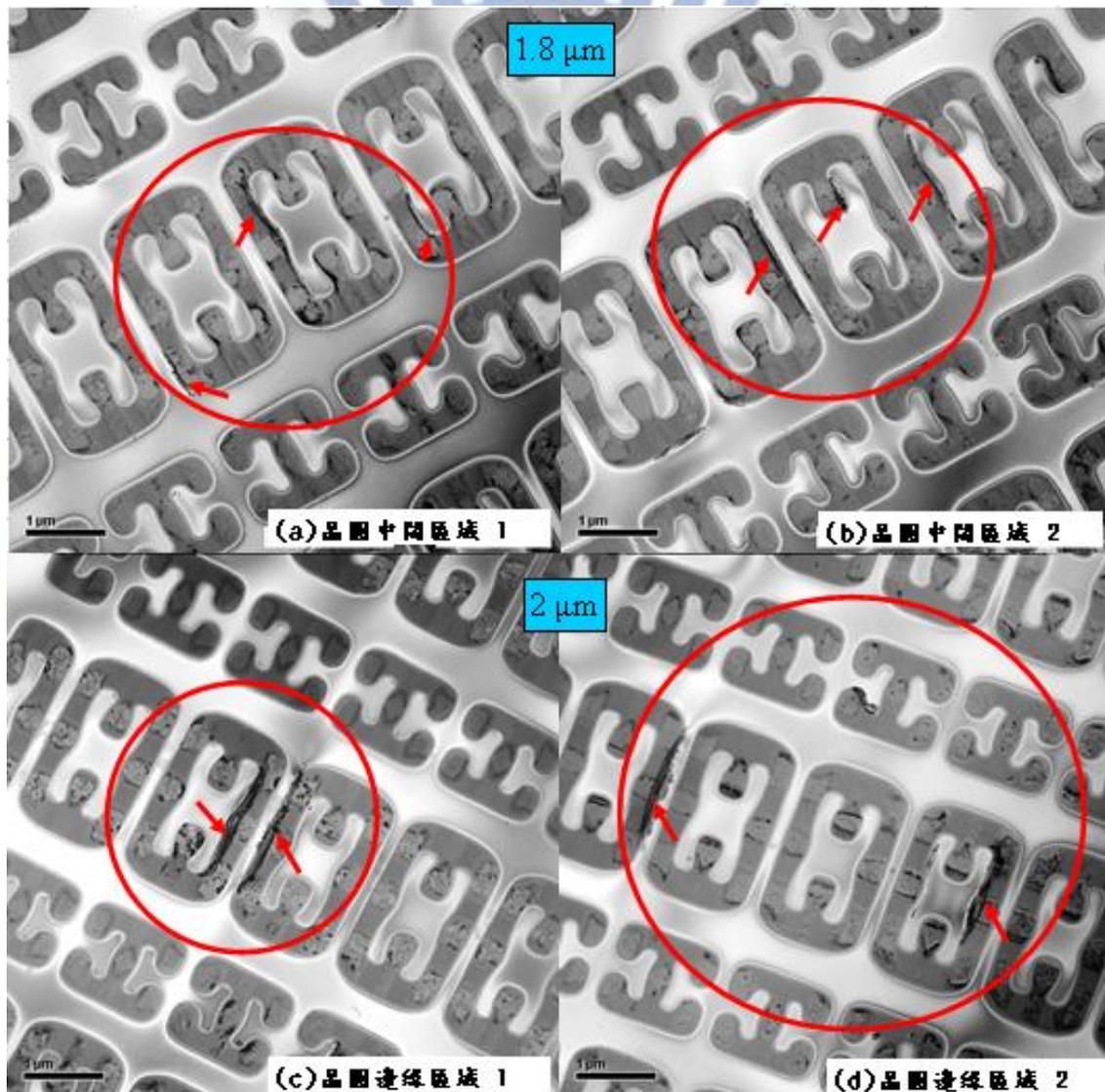


圖 4.11 實驗條件 8 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件9為內墊氧化矽層厚度為 150 \AA 、溫度 900°C 、內墊氮化矽層厚度為 55 \AA 之試片，從TEM觀察到8吋晶圓中間區域及晶圓邊緣區域約 $2 \mu\text{m}$ 差排產生，如圖 4.12 TEM Plan-View所示，良率2.4。

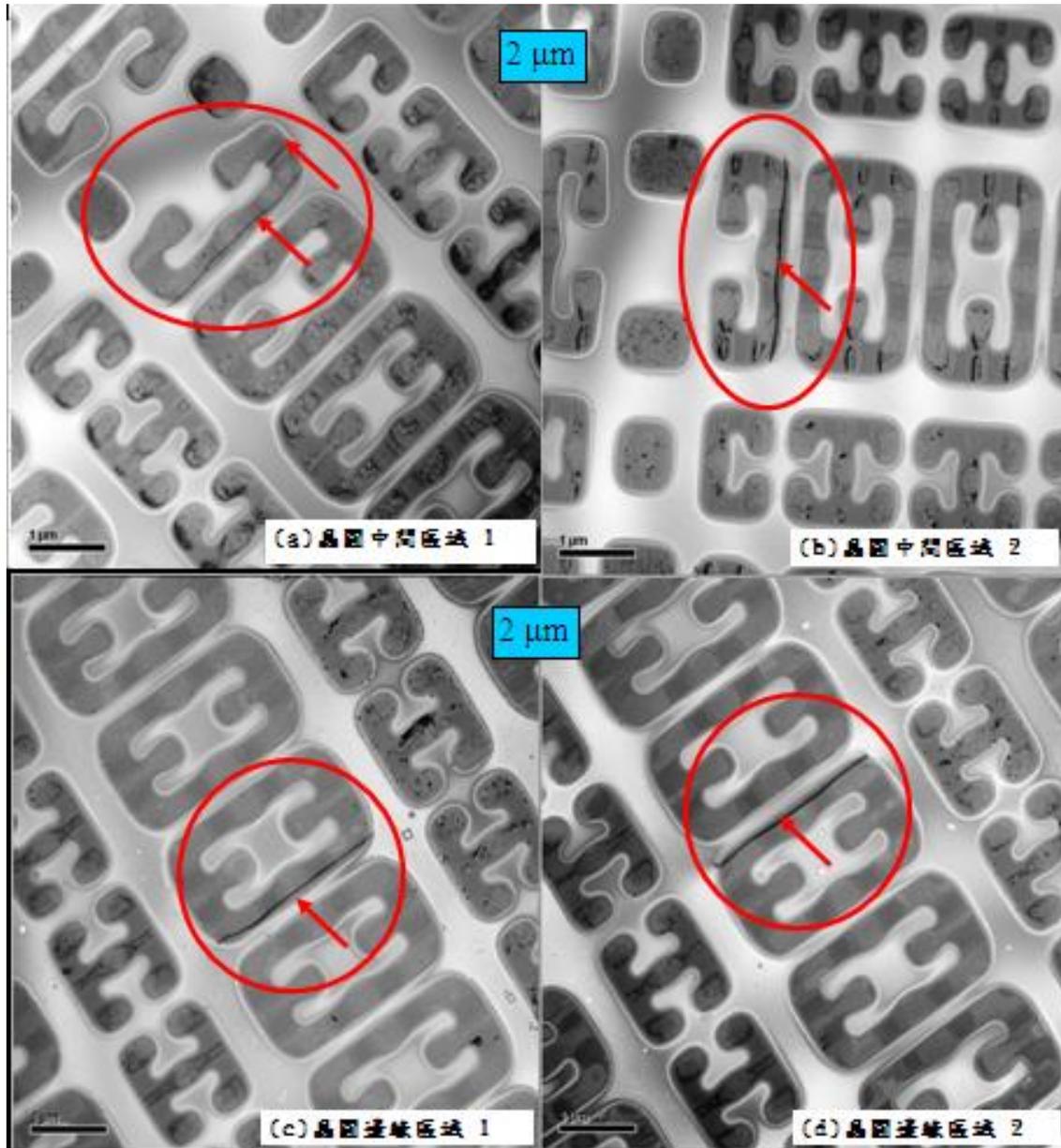


圖 4.12 實驗條件 9 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件10為內墊氧化矽層厚度為 150 \AA 、溫度 900°C 、內墊氮化矽層厚度為 65 \AA 之試片，從TEM沒有觀察到差排現象產生，如圖 4.13 TEM Plan-View所示，良率94.35。

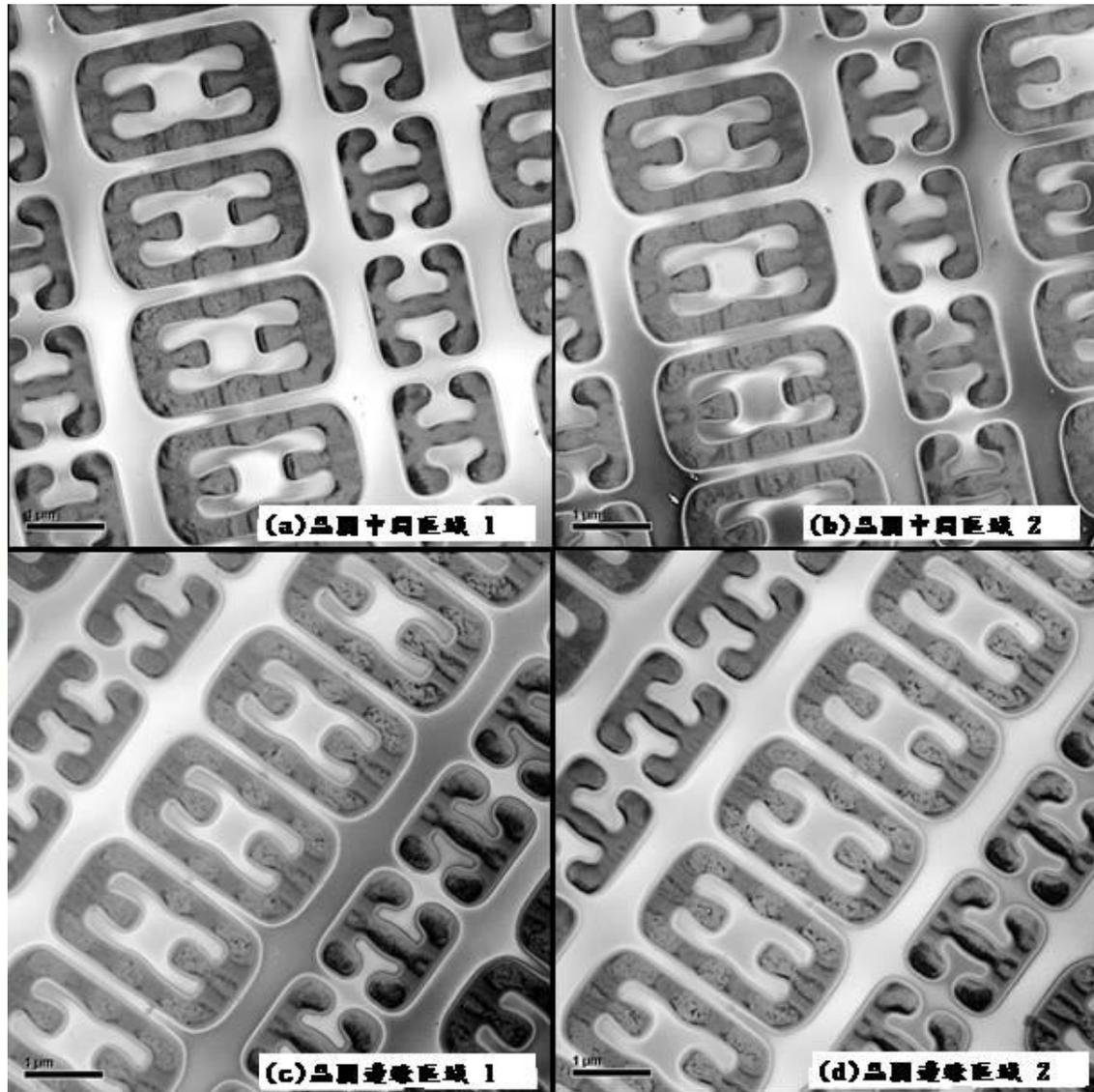


圖 4.13 實驗條件 10 淺溝槽隔離 substrate 之 TEM Plan View 圖

實驗條件11為內墊氧化矽層厚度為 150 \AA 、溫度 900°C 、內墊氮化矽層厚度為 70 \AA 之試片，從TEM觀察到8吋晶圓中間區域及晶圓邊緣區域約 $0.3 \mu\text{m}$ 差排產生，如圖 4.14 TEM Plan-View所示，良率90.11。

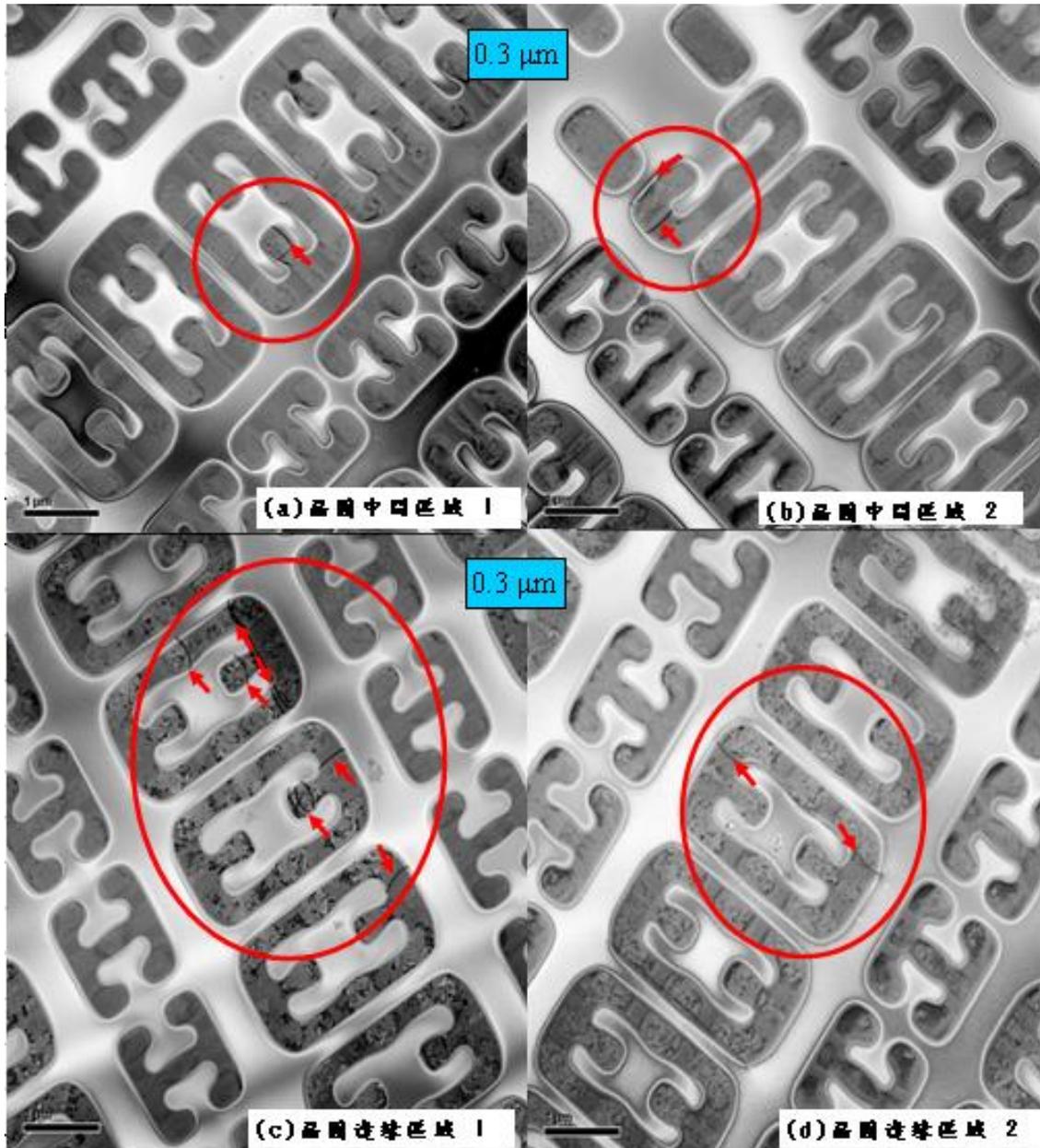


圖 4.14 實驗條件 11 淺溝槽隔離 substrate 之 TEM Plan View 圖

4.2 討論

4.2.1 內墊氧化矽層溫度實驗結果討論

內墊氧化矽層溫度實驗結果從表 4.1 可得知內墊氧化矽層的溫度、差排、良率之關係:

表 4.2 內墊氧化矽層溫度、差排、良率之關係表

實驗條件	內墊氧化矽層厚度	內墊氧化矽層溫度	內墊氮化矽層厚度	差排確認 C:晶圓中間區域 E:晶圓邊緣區域	良率
1	150Å	900°C	60Å	無差排	98.47
2	150Å	895°C	60Å	無差排	96.96
3	150Å	905°C	60Å	C,E:0.2 μm	91.19
4	150Å	925°C	60Å	C,E:0.3 μm	78.04
5	150Å	950°C	60Å	C:1.1 μm,E:1.3 μm	0

內墊氧化矽層溫度越高、差排越明顯、良率變低。實驗條件1:內墊氧化矽層溫度為900°C，厚度為150 Å，內墊氮化矽層厚度為60 Å之試片搭配起來是最佳之條件，從TEM沒有觀察到差排現象產生、且良率最高為98.47。當溫度於905°C時開始有輕微差排局部分佈現象產生，在位於8吋晶圓中間區域及邊緣區域約有0.2 μm之差排產生。隨著溫度越來越高，差排表現有越來越明顯的趨勢。當溫度增加到950°C時則淺溝槽隔離區域分佈有嚴重的差排現象，良率已降到0。在位於晶圓中間區域約有1.1 μm之差排產生、晶圓邊緣區域約有1.3 μm之差排產生。

因為內墊氧化矽層溫度升高，會導致淺溝槽隔離角落和側壁再次進行氧化反應，造成氧化層體積變大，在溝槽角落形成較大應力，而產生差排。另一原因為內墊氧化矽層溫度升高，因不同薄膜材料有著不同的熱膨脹係數〔69-70〕，薄膜間容易形成較大的熱應力，這薄膜熱應力會造成晶格位置的差排。由內墊氧化矽層的氧化爐管可知，當矽基板在未氧化前已經因為管內的高溫表面積膨脹了許多，在薄膜內墊氧化矽層長上去之後，兩者的表面積相同，但是當製程結束後溫度降下來，不同的熱膨脹係數會造成不同收縮程度。由於矽基材的熱膨脹係數為 $2.60 \times 10^{-6} / ^\circ\text{C}$ ，氧化矽薄膜的熱膨脹係數為 $5.0 \times 10^{-7} / ^\circ\text{C}$ ，氮化矽薄膜的熱膨脹係數為 $4.0 \times 10^{-6} / ^\circ\text{C}$ ，所以當溫度下降之後，矽基材收縮的程度會比二氧化矽薄膜來的大。因此薄膜間形成較大應力、造成差排產生、良率降低，故此內墊氧化矽層溫度高低需控制得宜。

4.2.2 內墊氧化矽層厚度實驗結果討論

內墊氧化矽層厚度實驗結果從表 4.2 可得知內墊氧化矽層的厚度、差排、良率之關係：

表 4.3 內墊氧化矽層厚度、差排、良率之關係表

實驗條件	內墊氧化矽層厚度	內墊氧化矽層溫度	內墊氮化矽層厚度	差排確認 C:晶圓中間區域 E:晶圓邊緣區域	良率
1	150Å	900°C	60Å	無差排	98.47
6	300Å	900°C	60Å	C,E:0.3 μm	79.68
7	200Å	900°C	60Å	無差排	95.25

由實驗結果得知內墊氧化矽層厚度越厚則差排越明顯，良率變低。當內墊氧化矽層厚度在300 Å時，有發現晶圓中間區域及邊緣區域約有0.3 μm差排產生，此試片良率降到79.68。當內墊氧化矽層厚度在200 Å時，從TEM也沒有觀察到差排現象產生，此試片良率為95.25比內墊氧化矽層厚度在150 Å時稍低。而當內墊氧化矽層厚度為150 Å之試片搭配起來是最佳之條件，從TEM沒有觀察到差排現象產生、良率最高為98.47。故從內墊氧化矽層厚度實驗結果，了解到內墊氧化矽層厚度較厚時會造成淺溝槽隔離角落之氧化層體積變大，而影響到淺溝槽隔離角落之圓滑化，所以在淺溝槽隔離角落會形成較大應力造成差排缺陷產生、良率降低。故優化此內墊氧化矽層厚度也是可避免差排缺陷產生。

4.2.3 內墊氮化矽層厚度實驗結果討論

內墊氮化矽層厚度實驗結果從表 4.3 可得知內墊氮化矽層的厚度、差排、良率之關係:

表 4.4 內墊氮化矽層厚度、差排、良率之關係表

實驗條件	內墊氧化矽層厚度	內墊氧化矽層溫度	內墊氮化矽層厚度	差排確認 C:晶圓中間區域 E:晶圓邊緣區域	良率
1	150Å	900°C	60Å	無差排	98.47
8	150Å	900°C	50Å	C:1.8 μm,E:2 μm	0
9	150Å	900°C	55Å	C,E:2 μm	2.4
10	150Å	900°C	65Å	無差排	94.35
11	150Å	900°C	70Å	C,E:0.3 μm	90.11

從實驗結果得知內墊氮化矽層厚度越薄則漸失去其減緩壓力功能造成應力增加、差排產生、良率變低。也可從這實驗發現到內墊氮化矽層厚度從 50 Å 到 70 Å 之間的差排、良率變化。當內墊氮化矽層厚度在 50 Å 時從 TEM 觀察到晶圓中間區域約有 1.8 μm 差排產生，晶圓邊緣區域約 2 μm 差排產生，良率為 0。當內墊氮化矽層厚度在 55 Å 時從 TEM 觀察到晶圓中間區域及晶圓邊緣區域約 2 μm 差排產生，良率 2.4。當內墊氮化矽層厚度約在 65 Å、60 Å 時從 TEM 沒有觀察到差排現象產生，良率比較高分別為 94.35、98.47。當內墊氮化矽層厚度在 70 Å 時有發現晶圓中間區域及邊緣區域約有 0.2 μm 差排產生，良率為 90.11。

因內墊氮化矽層介於內墊氧化矽層與矽槽氧化層充填層間，主要作用是利用內墊氮化矽層薄膜來控制或抵銷淺溝槽隔離的壓力，內墊氮化矽層厚度過薄此效益降低而產生差排、另一原因當內墊氮化矽層厚度過薄時，在後續高密度電漿化學氣相沉積氧化層充填的射頻偏壓對溝槽

側墊傷害，造成側壁應力的增加而產生差排缺陷。

所以應力過大會引發差排缺陷產生因此造成低良率，如相關文獻用 TSUPREM 模擬淺溝槽隔離結構之二維應力分佈圖，如圖 4.16 所示。所模擬出來淺溝槽隔離結構之應力主要集中在淺溝槽隔離溝槽之上圓角、下圓角的地方。上圓角有較大之拉應力，下圓角有較大之壓應力。因此就可以了解到淺溝槽隔離結構之製程條件若做得不好時是會產生差排缺陷，故需特別注意溫度、材料熱膨脹係數、體積大小改變等匹配的問題以優化製程條件。

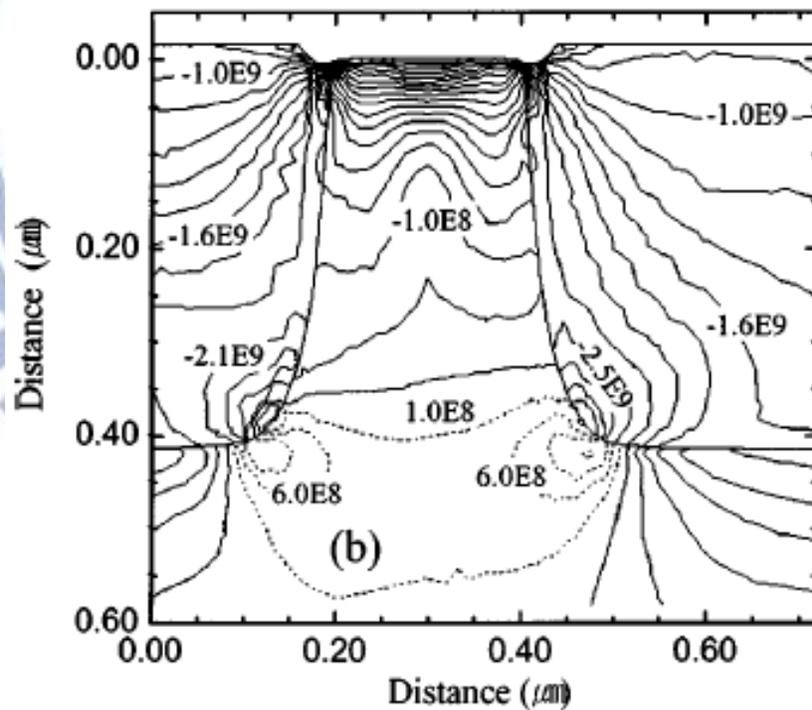


圖 4.15 TSUPREM 模擬淺溝槽隔離結構之二維應力分佈圖 [3]

第五章 結論與未來工作

5.1 結論

半導體的發展趨勢因製程技術進步，在高積極度及小線寬的要求下，元件越做越小。進而發展輕薄短小、速度快、可靠、便宜且省電的晶片產品。因此做為半導體中隔離電晶體間絕緣功能的淺溝槽隔離製程，是元件製作主要挑戰及製程良率的關鍵。因若在製造過程中有一些缺陷產生便會影響產品的穩定性及品質。特別是強調低漏電流要求的互補式金氧半高壓產品。在元件區縮小化之趨勢是不利於應力之疏緩，若通道中有應力將使電晶體特性飄移，當應力過大會引發差排缺陷產生，造成接面漏電流急遽上升。進而影響整體元件之基本電子特性，降低可靠度，甚至造成低良率。

本論文針對淺溝槽隔離製程提出關於內墊氧化矽層溫度、內墊氧化矽層厚度及內墊氮化矽層厚度之實驗條件及實驗方法，來探討熱製程對淺溝槽隔離所產生的應力成因、差排產生之表徵進行研究、討論、分析。以便來優化內墊氧化矽層溫度、內墊氧化矽層厚度及內墊氮化矽層厚度，進而降低應力、減少差排產生，以便達成提昇相關製程產品良率之研究目標。

5.2 未來工作

因半導體產業發展迅速，國內外廠商皆相爭投入大量的資金與一流的人材，要在國際半導體產業取得領先地位。故先進技術的研究創新與穩定的產品品質，這兩項指標是在國際競爭市場上生存的必備條件。如何強化製程能力並提昇產品良率是為當務之急，以便保有競爭優勢。在晶片製程線寬愈來愈小的需求下，對於線寬微縮化與淺溝槽隔離製程品質以及良率上的要求也更加的嚴苛。所以淺溝槽隔離製程的穩定與否及製程條件是否最佳化是影響良率的主要原因，因此未來工作方向如下所述：

- 1.將實驗求得之內墊氧化矽層溫度、內墊氧化矽層厚度及內墊氮化矽層厚度條件運用於其他製程上，經三階段驗證展開確認效果，以提昇其他製程良率。

- 2.藉由實驗求得之內墊氧化矽層溫度、內墊氧化矽層厚度及內墊氮化矽層厚度實驗經驗，運用於新製程、新產品之開發。

參考文獻

- [1] H. Iwai, in the Short Course Program of the Sixth Symposium on Nano Device Technology (SNDT), 1999.
- [2] T. Kuroi et al., IEDM Tech. Digest, pp.141-144, 1998.
- [3] Jeong Hwan Park, et al., Journal of The Electrochemical Society, 150 (7) pp.359-364,2003.
- [4] 林鴻志，奈米金氧半電晶體元件技術發展趨勢(I)，奈米通訊，第七卷，第一期。
- [5] S. Wolf, "Silicon Processing for the VLSI Era", Vol-2, pp.340, 1990.
- [6] M. Nandakumar, et al., IEDM Tech. Digest, pp.133-136,1998.
- [7] B. H. Roh, et al., Jpn. J. Appl. Phys. 35, pp.4618,1996.
- [8] T. Ogura, et al., Symp. VLSI Technolo. pp.210-211,1998.
- [9] T. Sato, et al., Symp. VLSI Technolo. pp.206-207,1998.
- [10] S. Matsuda, et al., IEDM Tech. Digest, pp.137-140 ,1998.
- [11] C. P. Chang, et al., IEDM Tech. Digest, pp.661-664,1997.
- [12] C. P. Chang, et al., Symp. VLSI Technolo. pp.161-162,1998.
- [13] T. Park, et al., Symp. VLSI Technolo. pp.159-160,1999.

- [14] T. Ukeda, et al., Ext. Abs. Solid State Device and Materials (SSDM).
pp.260-262 ,1996.
- [15] C. Chen, et al., IEDM Tech. Digest, pp.837-840 ,1996.
- [16] U. Schwalke, et al., Symp. VLSI Technolo. pp.71-72 ,1998.
- [17] C. T. Liu, et al., Symp. VLSI Technol., pp.75-76,1999.
- [18] William D. Callister, Jr. "Materials Science and Engineering
an Introduction", Wiley, 7th ed., pp.88-92 ,2007.
- [19] J. H. Lee, et al., J. Vac. Sci. Technol. A15, pp.573 (1997).
- [20] M. Nandakumar, et al., IEDM Tech. Digest, pp.133-136 (1998).
- [21] T. Kuroi, et al., IEDM Tech. Digest, pp.141-144 (1998).
- [22] T. K. Kim, et al., IEDM Tech. Digest, pp.145-148 (1998).
- [23] K. Saino, et al., IEDM Tech. Digest, pp.149-152 (1998).
- [24] Y.B. Park, et al., J. Electrochem. Soc. , pp.148 , 2001.
- [25] H. Park, et al., Appl. Phys. , pp. 37, 1998.
- [26] J.K. Lan, et al., Sci. Technol. , pp.5, 2003.
- [27] P. Ferreira, et al. ,"Elimination of Stress Induced Silicon Defects in
Very High-Density SRAM Structures", European Solid-State Device
Research Conference , pp. 13-25, France , September 2001.

- [28] M. Nandakumar, et al. , "Shallow Trench Isolation for Advanced ULSI CMOS Technologies", IEEE International Electron Devices Meeting, pp. 133-136, 1998.
- [29] T. Speranza, et al., "Manufacturing Optimization of Shallow Trench Isolation for Advanced CMOS Logic Technology," 12th Annual IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 2001.
- [30] C. Stuer, et al., J. Electrochem. Soc., pp.148, 2001.
- [31] T.K. Kim, et al., IEDM Tech. Digest, pp.145-148, 1998.
- [32] K.F. Dombrowski, et al., "Determination of Stress in Shallow Trench Isolation for Deep Submicron MOS Devices by UV Raman Spectroscopy", IEDM IEEE, pp.357-360, 1999.
- [33] Donald Arugu, et al., "0.35 excimer DUV um photolithography process", Proc. SPIE 1927, pp. 287-297, 1993.
- [34] O. Nalamasu. A.G. Timko, et al., " Positive Chemically Amplified Resist For Deep-UV Lithography", Proc. SPIE 1925, pp.155-166, 1993.
- [35] Makoto Murata, et al., "An aqueous base developable novel Deep-UV resist for KrF excimer laser lithography", Proc. SPIE

1262,pp.8-15,1990.

- [36] Will Conley, "Considerations in the Development of Deep UV Photoresist Materials & Process. ", Proc. SPIE 2438, pp.40~52,1995.
- [37] Omkaram Nalamasu, et al., "Development of a chemically amplifical Positive material for sibgle-layer deep-UV lithography. ", Proc. SPIE 1262,pp.32-48,1990.
- [38] Tohru Ogawa, et al., "Practical resolution enhancement effect by new complete anti-reflective layer in KrF excimer laser lithography", Proc. SPIE 1927, p p.263-274,1993.
- [39] Uday Sengupta, Toshihiko Ishihara and Richard Sandstrom, "Parametric studies and the operating latitude of spectrally narrowed KrF excimer laser for the deep UV stepper", Proc. SPIE 1927, p p.252-262,1993.
- [40] Masahiko Kowaka, et al., "Stability of Krypton Fluoride Laser in Real Stepper Mode Operation", Proc. SPIE 1927, p p.241-251,1993.
- [41] Igor V. Fomenkov and Richard L. Sandstrom , "High resolution spectral studies and the absolute wavelength calibration of a KrF excimer laser for microlithography", Proc. SPIE 1927, p p.744-751,1993.

- [42] Rainer Pätzelt, Hermann Bucher, Ulrich Rebhan, "KrF excimer lasers for DUV-lithography", Proc. SPIE 1927, p p.736-743,1993.
- [43] Setha G. Olson and Christopher Sparkes, "Advances in deep UV lithography", Proc. SPIE 1264, p p.486-493,1990.
- [44] David P. Paul, Maurice A. Hamel, Kenneth A. Lavallee, "Characterization of 5X Stepper Lenses to Improve Depth of Focus. ", Proc. SPIE 2440,pp.668-677,1995.
- [45] Hideki Ina and Koichi Sentoku, "Focus and Dose Control for High Volume Manufacturing", Proc. SPIE 7140 , 71400Q-1~71400Q-8,2008.
- [46] 莊達人，VLSI 製造技術，高立出版社，五版，台北，著者發行，民國94年8月15日。
- [47] 施敏，半導體元件物理與製作技術，國立交通大學出版社，2002年9月初版。
- [48] Michael Quirk, Julian Serda, "Semiconductor Manufacturing Technology", Tsang Hai Book Publishing Co., 2006
- [49] N. Andersson, et al., Emission spectra of TiH and TiD near 938 nm, The Journal of Chemical Physics, vol. 118, pp. 3543, 2003.
- [50] Michael Quirk.Julian Serda 著，半導體製造技術，羅文雄、蔡榮

輝、鄭佑盈譯，滄海書局，初版，台北，著者發行，民國94年8月。

- [51] Nag S., et al. , "Comparative evaluation of gap-fill dielectrics in shallow trench isolation for sub-0.25 μm technologies." IEEE International Electron Devices Meeting, IEDM Technical Digest, pp. 841-845 , December 1996.
- [52] M. Nandakumar, et al., IEDM Tech. Dig. , pp. 657-660, 1997.
- [53] S. Lee, et al., SSDM Dig. , pp. 524, 1997.
- [54] K. Saino, et al., IEDM Tech. Dig. , pp. 149-152, 1998.
- [55] L. Peter, Semiconductor International, Vol-22, pp.69-75 , April 1999.
- [56] E. Korczynski, Solid-State Technol., 38, pp.63-73 (1996).
- [57] G. Badenes, R. Rooyackers, E. Augendre, J. Electrochem. Soc. , pp.147 , 2000.
- [58] G. Badenes, et al., J. Electrochem. Soc. , pp.157 , 2000.
- [59] V. Volterra , "Sur l'equilibre des carps elastiques multiplement connexes", Annales Scientifiques de l'Ecole Normale Superieure, pp. 401-517, 1907.
- [60] J. Lin, et al., Microwave Wireless Power Transmission—A System Perspective, State of the Art Program on Compound Semiconductors 45 (SOTAPOCS 45) and Wide Bandgap Semiconductor Materials and

- Devices 7, p p. 127, 2006.
- [61] Y. Iwasaki and T. Hiramatsu, Capacitance measurement system, US Patents, US4093915, 2003.
- [62] I. Kerssens-van Drongelen and A. Cooke, Design principles for the development of measurement systems for research and development processes, R&D Management, vol. 27, p p. 345, 1997.
- [63] N. Izumi, et al.,Evaluation of transistor property variations within chips on 300-mm wafers using a new MOSFET array test structure, IEEE Transactions on Semiconductor Manufacturing, vol. 17, 2004.
- [64] W. Chen and P. Molian, Dual-beam laser welding of ultra-thin AA 5052-H19 aluminum, The International Journal of Advanced Manufacturing Technology, vol. 39, pp. 889, 2008.
- [65] S. Tester, Adapting Agilent 4070 series to Open/Short Measurement of “Yield Test Chip” for Quick Yield Ramp up, Agilent Technologies Inc. 5988-9870EN Printed in U.S.A, September 5 2003.
- [66] L. Yi, W. Zhang, and D. Mao, Comparison of metal organic chemical vapor deposition TiN thin films with different process cycle, Semiconductor Science and Technology, vol. 21,pp. 250,2006.
- [67] G. Sugar, K. Miller , and J. Back, System and method for real-time

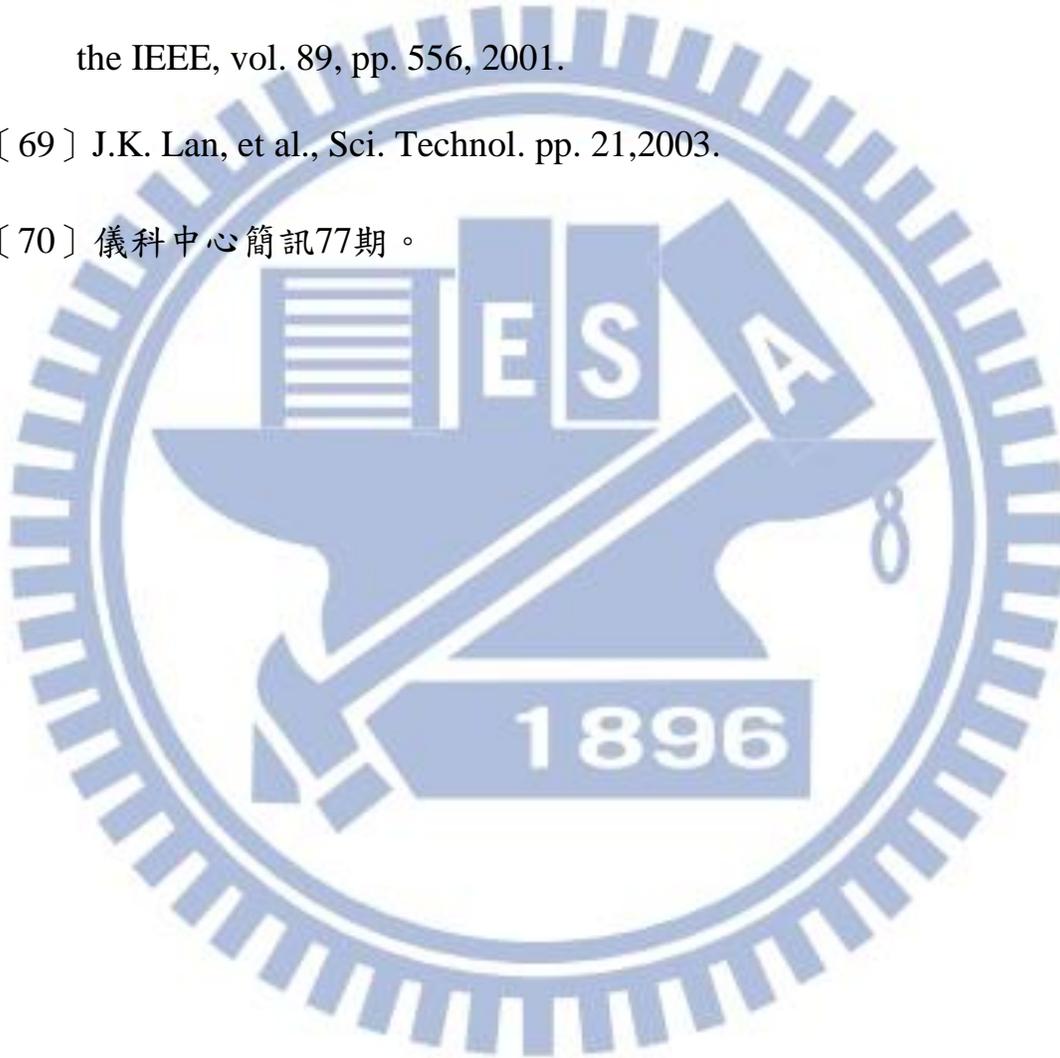
spectrum analysis in a communication device, US

Patents ,US0198304 A1 2002.

[68] F Caignet, S. Delmas-Bendhia and E. Sicard, The challenge of signal integrity in deep-sub micrometer CMOS technology, Proceedings of the IEEE, vol. 89, pp. 556, 2001.

[69] J.K. Lan, et al., Sci. Technol. pp. 21,2003.

[70] 儀科中心簡訊77期。



自傳

學生出生在新竹，各有1位哥哥及姐姐，排行老么。早年父親因心臟病去世，母親為家管辛苦了大半輩子。現我也為人父，讓我更加知道母親的偉大。現今兄姐皆已成家分居各處，故會很珍惜每次的家庭聚會，家庭很融洽，長大後自外地求學後，居住外面居多。故個性較獨立、做事認真負責、為人誠懇、有正義感、較勇於挑戰新鮮事物。

就學時就多方面參與學校活動，並一直以來都保持一份學習的熱忱，與同學相互切磋學習課業，因家庭經濟情況故退伍後即投入社會工作，很高興在交通大學有再次充電機會。

學生在聯華電子在擴散模組從事製程工程師工作，後來轉任晶圓測試工程師，負責晶圓製作完成後的最後一道把關。這份工作讓我了解到晶圓測試重要的性，稍一個誤測都會讓公司受到不少的損失，故需增加小心工作上的細節。

對未來的生涯規劃方面，希望一直秉持著再次進修的精神「活到老，學到老」，以便獲得更多元化的實務經驗。因此本人相信不斷地充實、不斷地學習，一定會帶給自己更多機會，並期許在工作上能有所作為，並對公司、對學校有些貢獻。