


國立交通大學

工學院半導體材料與製程設備學程

碩士論文

溫度變化對覆晶錫銀銲錫接點之電遷移破壞模式研究

Effect of stressing temperature on the electromigration
degradation mechanisms of flip-chip Sn-2.5Ag
solder joints with 5- μm Cu Metallization

The logo of National Central University (NCU) is a circular emblem. It features a central shield with a book and a torch, symbolizing knowledge and enlightenment. The year '1896' is inscribed at the bottom of the shield. The entire emblem is surrounded by a decorative border.

研究生：楊子弘

指導教授：陳智 博士

中華民國一百零一年十月

溫度變化對覆晶錫銀鉛錫接點之電遷移破壞模式研究

Effect of stressing temperature on the electromigration
degradation mechanisms of flip-chip Sn-2.5Ag solder joints
with 5- μm Cu Metallization

研究生：楊子弘

Student : Tzu Hung Yang

指導教授：陳 智 博士

Advisor : Dr. Chih Chen

國立交通大學

工學院半導體材料與製程設備學程



A Thesis

Submitted to Degree Program of Semiconductor Material and Process
Equipment
College of Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of Master of Science
in
Semiconductor Material and Process Equipment

Oct 2012

Hsinchu, Taiwan, Republic of China

中華民國一百零一年十月

溫度變化對覆晶錫銀鉛錫接點之電遷移破壞模式研究

研究生：楊子弘

指導教授：陳智 博士

國立交通大學 工學院半導體材料與製程設備學程

摘要

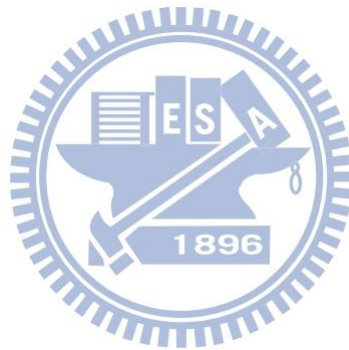
「摩爾定律」是科技文明的奇蹟，它促使積體電路技術不斷的精進，電腦、智慧型手機...等個人行動裝置的普及，使人類的知識迅速爆增。

1964年Intel 的共同創始人Gordon Moore 預言積體電路(Integrated Circuitry 或IC)上的電晶體(電路開關)數目每年(後修正為每18 個月)會增加一倍，為著名的「摩爾定律」(Moore's Law)。現在電腦中央處理器(CPU)的晶片上已有數億個電晶體，而每個矽晶圓上會佈滿數百億個電晶體。這個數量遠超過世界的人口的總數。

隨積體電路的微縮化,覆晶鉛錫具有高接腳密度、縮減封裝體積等優勢在電子產品走向輕、薄、短、小的趨勢中,成為進階元件的主流封裝型式。然而隨積體電路高電流、小尺寸的設計變化，覆晶鉛錫接點內的電遷移現象成為元件可靠度的影響關鍵。在覆晶鉛錫電遷移研究中，實驗發現電子流由導線進入鉛錫時，因電子流流通面積劇變，造成電流集中效應,使銅金屬墊層溶解並消耗,導線與鉛錫凸塊界面處常有孔洞生成。研究發現，受電遷移影響,鉛錫結構的破壞,主要分成兩

種型態其一為 Pancake-void；另一種型態為銅金屬墊層消耗溶解。然而形成這兩種破壞型態的主因,過去的文獻並沒有明確的定義這個部份。

在本文研究中，將利用凱文結構作為覆晶鉍錫凸塊電性的量測，以高度 50- μm 、Cu UBM 5- μm 接合之鉍錫凸塊的覆晶共晶錫銀鉍錫，觀察覆晶鉍錫結構在電遷移效應的影響,溫度的差異其所扮演的角色為何，在高溫、低溫的環境下,覆晶鉍錫結構的破壞機制又為何。同時觀察在不同電阻上升率下,討論覆晶鉍錫結構所對應的破壞機制。



Effect of stressing temperature on the electromigration degradation
mechanisms of flip-chip Sn-2.5Ag solder joints with 5- μm Cu
Metallization

Student: Tzu Hung Yang

Advisor: Dr. Chih Chen

Submitted to Degree Program of Semiconductor Material and
Process Equipment College of Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of Master of Science

Abstract

Moore's Law "is the miracle of the scientific and technological civilization, it makes popularly use of computers and become a part of public life.

1964, Intel founder Gordon Moore predicted that the number of transistors on integrated circuits will be doubled per year , that is the famous "Moore's Law". Hundreds of millions of transistors in a CPU chip, and each silicon wafer with tens of billions of transistors. This number is over than the total number of the world's population.

In advanced electronic packaging because of its capability of higher I/O density and smaller package size. With higher current and smaller size trends, electromigration in flip-chip solder has become an critical of reliability concern. Flip-chip technology has become a mainstream trend

From Flip chip solder electromigration study found that the electron current will be changed from the Cu trace into the solder joint, due to electronic current flow area cross-section difference , will lead to current crowding effect caused by current density inconsistent, the study found that affected by electro-migration, the

the solder joint failure mode divided into two types, one is the Pancake-void; another type is UBM consume . However, the main cause of the formation of the two failure patterns, from past literature does not explicitly verify this part.

In this study, we will using the Kevin structure to measure the resistance change of solder bumps in the electromigration effect and observe impact of the flip chip the solder joint under the electromigration effect , in the environment of high temperature and low temperature. the solder joint failure mechanism will be which type. While observing the rate of rise of the different resistance to discuss the solder joint failure degradation mechanisms .



誌謝

在此我要感謝我的父母,老婆家人謝謝你們在我背後默默的支持,陪我走過這些年的歲月.

承蒙 陳 智 老師在論文研究的指導謝謝您對我的包容與支持, Proposal、論文口試階段時的引導與建議;也感謝吳耀銓 老師、潘扶民 老師等口試委員的指導,特別感謝 宗寬 學長&實驗室的 學長、學姊謝謝你們在實驗的指導 & SEM上的幫忙,讓我在人生中的旅程中,完成我的夢想,也要感謝我的老闆 舜子,一經 經理 ,我的工作夥伴謝謝你們從推薦函的幫忙及工作上給予我的支持與鼓勵,感謝我在交大歲月的同學,學長,我永遠會記得我們一同求學的歷程,讓我能夠完成我的人生夢想.

謝謝大家。



目錄	
摘要	i
Abstract	iii
誌謝	v
目錄	vi
表目錄	viii
圖目錄	ix
第一章、緒論	1
1-1 電子封裝簡介	1
1-2 無鉛需求之沿革	4
1-3 凱文結構(Kelvin Structure)	6
第二章、文獻回顧	13
2-1 電遷移	14
2-2 覆晶銲錫接點的電遷移現象	17
2-3 覆晶銲錫接點的電流聚集效應	18
2-4 焦耳熱效應	18
2-5 研究動機	18
第三章、實驗方法、步驟與結果	24
3-1 試片結構	25

3-2 實驗方法	26
3-2-1 實驗電路設計及凸塊電性觀測.....	26
3-2-2 銲錫凸塊破壞模式的觀測	28
3-3 實驗結果	28
第四章、結果與討論	37
4-1 電性觀測	38
4-2 各階段孔洞生成觀察	44
4-3 孔洞生成討論	50
第五章、結論	51
第六章、參考文獻	53



表目錄

表 3-1 覆晶共晶錫銀鉛錫錒錫凸塊電阻變化與通電時間.....55

表 4-1 材料電阻率.....60



圖目錄

圖 1-1 電子構裝的層級 ^[1]	8
圖 1-2 貝爾實驗室製造的第一個鍺電晶體 ^[2]	9
圖 1-3 INTEL CPU 電晶體成長數量與摩爾定律趨勢圖 ^[3]	9
圖 1-4 打線接合(Wire bonding)圖示 ^[4]	10
圖 1-5 覆晶接合示意圖 ^[4]	10
圖 1-6 晶圓鍍錫凸塊製程示意圖 ^[5]	11
圖 1-7 覆晶封裝與 FR4 基版(左圖)及 IBM C4 結構剖面示意圖(右圖) ^[6]	11
圖 1-8 Daisy chain 結構示意圖	11
圖 1-9 Kelvin Resistor Structure (a)with two diffusion arms and two metal arms(b)with four diffusion arms and four metal arms ^[7]	12
圖 2-1 Blech 結構研究鋁導線的電遷移現象 ^[9]	20
圖 2-2 不同長度的鋁導線通電後電遷移現象 ^[9]	20
圖 2-3 鋁離子在晶格位能井承受電子(Fel)和電子風力(Fwd)示意圖；符號 V 表鋁離子離開後的空位 ^[11]	21
圖 2-4 鍍錫凸塊內電流分佈二維模擬 (b) 鍍錫凸塊剖面(x-y 面)電流密度分佈(z 軸) 模擬示意圖 ^[8]	21
圖 2-5 (a)-(d)覆晶鍍錫電子顯微鏡電遷移破壞剖面圖，加熱環境 125°C，電流密度 2.25×10^4 A/cm ² (a) UBM 溶解消耗(b)IMC (c)Pancake-void (d)Open (e)孔洞生成與成長，通電時間 (a) 37H (b) 38H (c) 40H (d) 43H ^[8]	22
圖 2-6 焦耳熱效應 (a)未通電前溫度分佈(b)通電 0.59A 溫度分佈 (c) (b)圖中所示白線溫度曲線。及其溫度模擬分佈 ^[10]	23
圖 3-1 試片鍍錫凸塊結構示意圖	30
圖 3-2 試片迴路設計圖	30
圖 3-3 凱文結構俯視示意圖	31
圖 3-4 凱文結構剖面示意圖	31
圖 3-5 實驗電路示意圖	31
圖 3-6 試片研磨方向示意圖	32
圖 3-7 試片研磨鍍錫凸塊剖面圖	32
圖 3-8-1 (0.3A 180°C, R=1.2R ₀)試片電阻變化率與通電時間關係曲線	33
圖 3-8-2 (0.3A 180°C, R=1.5R ₀)試片電阻變化率與通電時間關係曲線	43
圖 3-8-3 (1.0A 70°C, R=1.2R ₀)試片電阻變化率與通電時間關係曲線	34
圖 3-8-4 (1.0A 70°C, R=1.5R ₀)試片電阻變化率與通電時間關係曲線	34
圖 3-9 錫銀鍍錫光學顯微鏡(OM)剖面圖子流向上(1A /70°C，電流密度 3.3×10^4 A/cm ²)	35
圖 3-10 錫銀鍍錫光學顯微鏡(OM)剖面圖電子流向上(1A /180°C，電流密度 1.1×10^4 A/cm ²)	35

圖 3-11 錫銀鋅錫光學顯微鏡(OM)剖面圖電子流向下(1A /70°C, 電流密度 3.3x10 ⁴ A/cm ²)	36
圖 3-12 錫銀鋅錫光學顯微鏡(OM)剖面圖電子流向下(1A /180°C, 電流密度 1.1x10 ⁴ A/cm ²)	36
圖 4-1 未受電遷移破壞的鋅凸塊剖面影像圖	40
圖 4-2 通電 487 小時電阻變化率 1.2, 電子流向下之錫鉛鋅錫剖面 SEM 影像圖	41
圖 4-3 通電 932 小時電阻變化率 1.5, 電子流向下之錫鉛鋅錫剖面 SEM 影像圖	41
圖 4-4 通電 1184 小時電阻變化率 2.0, 電子流向下之錫鉛鋅錫剖面 SEM 影像 圖	42
圖 4-5 通電 1683 小時電阻變化率 3.0, 電子流向下之錫鉛鋅錫剖面 SEM 影像 圖	42
圖 4-6 1A 70°C 電子流向上(a)通電時間 487 小時(b)通電時間 932 小時(c)通電 時間 1184 小時(d)通電時間 1683 小時 EM 影像圖	43
圖 4-7 通電 92 小時電阻變化率 1.2, 電子流向下之錫鉛鋅錫剖面 SEM 影像 圖	46
圖 4-8 通電 190 小時電阻變化率 1.5, 電子流向下之錫鉛鋅錫剖面 SEM 影像 圖	46
圖 4-9 通電 337 小時電阻變化率 2.0, 電子流向下之錫鉛鋅錫剖面 SEM 影像 圖	47
圖 4-10 通電 593 小時電阻變化率 3.0, 電子流向下之錫鉛鋅錫剖面 SEM 影像 圖	47
圖 4-11-1 通電 190 小時電阻變化率 1.5 電子流向下之錫鉛鋅錫 FIB 影像 圖	48
圖 4-11-2 通電 337 小時電阻變化率 2.0 電子流向下之錫鉛鋅錫 FIB 影像 圖	48
圖 4-11-3 通電 593 小時電阻變化率 3.0 電子流向下之錫鉛鋅錫 FIB 影像圖	48
圖 4-12 0.3A 180°C 電子流向上(a)通電時間 92 小時(b)通電時間 190 小時 (c)通電時間 337 小時(d)通電時間 593 小時 EM 影像圖	49
圖 5-1 高溫低溫下覆晶錫銀鋅錫受電遷移破壞模式	52