

## 第一章、緒論

### 1-1 電子封裝簡介

隨著微電子技術日新月異之發展，諸如 iphone,ipad...等個人行動裝置的出現,輕薄短小的設計趨勢,成為市場的主流,電子零組件之尺寸不斷縮小，零組件之間必須透過高效能、高可靠性、高密度及低成本之互連(Interconnection)，才能建構一個具有廣泛性功能及實用價值之電子產品；而建構此互連技術之相關工程技藝，被統合稱為電子構裝技術。電子構裝之主要功能：有效供應電源、提供信號傳輸、協助排除耗熱、保護電子組件、建構人機介面。

電子構裝之分層架構：

一般而言電子構裝細分成四種不同的層級如圖 1-1<sup>[1]</sup>所示，

Level 0 IC 晶片上的連線製程也被稱為第零層次的構裝。

Level 1 係指將 IC 晶片黏結於一構裝殼體中並完成其中的電路連線與密封保護之製程，又常稱為模組(Module)或晶片層次構裝。

Level 2 係指將第一層次構裝完成的元件組合於一電路卡上的製程。

Level 3 係指將數個電路板組合於一主機板上成為一次系統的製程。

Level 4 係指數個次系統組合成為一完整的電子產品(Gate)的製程。

其中在 Level 1 封裝的部份,所面臨的挑戰,隨電子產品小尺寸的設計,產品世代轉變的快速發展,積體電路技術不斷微縮並朝高頻、高腳位數

發展，覆晶銲錫所承載的電流密度相對提高，電遷移的現象將更為顯著，加上電流集中效應的影響，及元件通電後產生的熱能，所引發的焦耳熱效應，在銲錫接點的破壞模式當中，這些因素皆是影響元件可靠度的關鍵。再者加上環保意識抬頭，無鉛化的要求，使得電子封裝的可靠度，面臨更多的衝擊與挑戰，本篇論文所要研究的議題，主要也是要討論在 Level 1 封裝的部份。

### 覆晶接合技術(Flip Chip)

1947 年末，由 AT&T 貝爾實驗室的科學家 John Bardeen 和 Walter Brattain 所展示的第一個鍺電晶體(圖 1-2)<sup>[2]</sup>，開啟了半導體的時代。1964 年 Intel 的共同創始人 Gordon Moore 預言積體電路上的電晶體數目每年(後修正為每 18 個月)會增加一倍(圖 1-3)<sup>[3]</sup>，他的一語成讖，成為著名的「摩爾定律」(Moore's Law)。現在電腦中央處理器(CPU)的晶片上已有數億個電晶體，而每個矽晶圓上，會佈滿數百億個電晶體。積體電路技術不斷微縮並朝高頻、高密度接腳 I/O 發展，傳統封裝技術，如打線接合(Wire Bonding)封裝已無法滿足尺寸、電性上的要求。傳統打線接合(Wire Bonding) (圖 1-4)<sup>[4]</sup>，若以 50- $\mu\text{m}$  線寬及 50- $\mu\text{m}$  的間距推算，僅可容下 400 腳位/ $\text{cm}^2$ ；然而相同的條件下，以覆晶接合方式，則有高達 25 倍，10,000 腳位/ $\text{cm}^2$  的高密度腳位優勢。覆晶接合 (Flip Chip) 圖 1-5<sup>[4]</sup>是採用銲錫凸塊 (Solder Bump) 作為

晶片與基板連接的接合技術，將晶面朝下藉由錐錫凸塊與基板接合，達到晶片與基板接合的方式。其優點除了具有提高晶片腳位的密度之外，更可以降低雜訊的干擾、強化電性的效能、提高散熱能力、及縮減封裝體積等。圖 1-6<sup>[5]</sup>為覆晶封裝的晶圓凸塊(Wafer Bumping)製程流程。由錫鉛構成的凸塊(Bump)或錫球排列於晶圓表面後，再植入晶片的焊墊(Bonding Pad)上方。

覆晶封裝的目的主要連接晶片與中介層(包括導線架、硬質機版、軟質基板..等)，覆晶封裝的製程概念,係由 1960 年代早期 IBM 的

System/360 C4(Controlled collapse Chip Connection)製程概念所發展出來,所謂的 C4 製程技術,如圖 1-7<sup>[6]</sup>為覆晶封裝與 FR4 基板及 IBM C4 結構剖面示意圖。係將錐錫凸塊錐在晶片 I/O 金屬墊上，翻覆晶片並對準於陶瓷基材上。藉由迴焊(Reflow)方式以熔融錐錫凸塊，由其表面張力，使得已熔融錐錫凸塊在晶片與陶瓷基材產生自我對準的反應，並在二者之間同時生成錐錫接合。該技術更因日本 IBM 率先採用塑膠基板取代以往的陶瓷基板，此一材料上的重大突破，使得覆晶封裝技術往前邁向一大步。

覆晶封裝以由其高密度 I/O 腳位的優勢，成為現今半導體產業先進製程中被廣泛使用的封裝技術。但因電子產品的輕薄短小設計趨勢,操作速度提升的考量，晶片面積向微縮化的發展，使得覆晶錐錫凸塊也須面

臨尺寸持續微縮，伴隨而來的問題，如負載電流密度提升，覆晶錒錫 defect 不易檢測，生產成本增加...等也是仍須面對的挑戰。

## 1-2 無鉛需求之沿革

錒鉛合金是焊錒材料及電子元件中，最廣泛採用的金屬材料之一。錒鉛合金焊錒具有優異的沾附性、延展性、機械強度...等，鉛可降低錒錒的表面能及介面能，錒鉛合金的熔點為(183°C)，相對於純鉛(232°C)，純錒(327°C) 有較低的熔點，在 PCB 板的製造流程，使用熔點較低的錒鉛合金，可減少高溫製程對元件所造成的傷害，並可節省能源，降低成本，另外鉛是地球上存量最豐富的金屬材料，因此取得成本低廉，使用在電子產品上已有 50 年以上的歷史，雖然在電子產品中，使用的錒鉛焊錒量不多，卻是電子元件與基板間最重要的界面接合材料，對電子產品系統之可靠性有決定性的影響。

然而鉛為重金屬之一，具有毒性，會阻止人體對蛋白質的吸收，當人體血液中含鉛量達 25µg/dl 時，即會出現反應遲緩等症狀。尤其對幼兒影響腦部發育，影響甚鉅，因此過去使用於塗料、水管、電池內的鉛相繼被禁用或被要求回收，而近年以環保為訴求的構裝技術議題中，一般電子產品內所使用的鉛所造成的污染逐漸被重視。

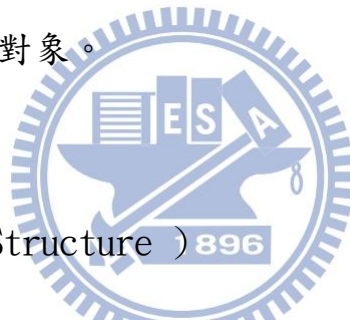
電子產品所使用之錒材，鉛的用量雖然僅佔全球 5%，但據相關研究，其造成之水體污染卻佔總體環境污染之 40%。

為此，歐洲及日本皆已分別制定「WEEE 指令」、「RoHS 指令」以及「特定家庭用機器再生商品化法」。而美國許多州也已有相關回收法令要求回收廢電機、電子產品，以避免鉛元素流入環境中。日本方面，雖然目前並無未決之聯邦法規特別要求禁用鉛元素。無論如何，日本貿易部於 1998 年五月即已提出回收立法。日本 EPA 及政府建議減少使用鉛元素以利持續增加中的回收。目前歐洲有三個相關立法牽涉電機、電子產業之無鉛化問題：WEEE 指令是唯一載明要求減少/去除 PCBs 中鉛元素之立法。主要與產品廢棄物有關，如減廢及增加回收。RoHS 指令於電子、電機方面之特定有害物質之限用 WEEE 指令著重於電子產品之設計及生產，以減少對環境的衝擊。

在這三個相關立法中以 RoHS 與 WEEE 二指令對電機、電子產業影響最大，在 RoHS 指令中已要求於 2006/7 年起，其規範內之設備需禁用鉛、汞、鎘及六價鉻等重金屬。為此電子產品無鉛製程所牽涉的產業及相關技術層面，顯得相當廣泛、複雜歐盟 RoHS 指令規定電子產品中禁用(鉛、鎘、汞、六價鉻、溴化物耐燃劑)等 6 種物質，其中亦以「鉛」的管制最受重視，

因鉛廣泛地使用於電機電子產品中，無鉛化所需克服的問題較多，如材料轉換、製程改變等。台灣各廠為因應世界潮流之發展，無不極力尋求各種無鉛化之方法，以符合國際環保標準。無鉛錒錫的選擇必須

考慮到:一.熔點需低於  $260^{\circ}\text{C}$ ,由於工業界目前使用的高分子 PCB 基板,在迴錫(reflow)步驟無法承受高溫製程,故錫材的熔點不能太高.二.具有優良的機械應力性質,無鉛化之後新錫材,必須維持一定的機械強度、延展性也是元件可靠度重要的課題,三.合理的價格與原料來源是否易於取得,四.對人體無毒性與對環境無污染之慮.五.易於生產製造.目前許多先進國家包括 美國、日本、歐洲 針對無鉛化趨勢提出一些不同組成的合金錫料,例如 Sn-Cu、Sn-Ag、Sn-Zn、Sn-Ag-Cu、Sn-Ag-Bi 等,其中以 Sn-Ag 無鉛錫料最被注目,本篇論文研究也將以 Sn-Ag 合金錫為主要對象。



1-3 凱文結構(Kelvin Structure)

利用雛菊花環結構(Daisy chain structure, 圖 1-8)作為覆晶錫接點電遷移研究中的電性觀測,其錫接點的破壞係以電路開路時作為定義,亦即其承受電遷移破壞的能力。其試片設計與製作過程較為簡易,然而確會因錫與電路間阻抗的特性而有所限制。錫接點本身的電阻(約為  $1\sim 10\text{ m}\Omega$ )僅佔總迴路(約為  $1\sim 10\Omega$ )的極小部份,因此無法利用此一結構對於錫接點的變化做較為敏感、精確的觀測;另外電路開路的狀況亦可能來自於鋁導線的破壞,如此即可能造成對於覆晶錫接點電遷移破壞分析上的錯誤。

凱文結構 (Kelvin structure) 很早即被運用在積體電路中的電性量測方面，如圖 1-9<sup>[7]</sup>，該法為四點探針方式量測，針對欲量測的範圍做電性的觀測時，可避除接點電阻對電性量測的影響，其可用於較低範圍電阻 ( $10\mu\Omega\sim 1\Omega$ ) 的精確量測。因而利用凱文結構的製備，得以精確量測單一鐳錫凸塊細微電性變化。

上述對於覆晶鐳錫接點電遷移研究中的電性觀測，大多都是直接定義電路開路時為鐳錫接點破壞的時間，亦即鐳錫接點承受電遷移破壞的能力。

二者相較之下，以凱文結構對電性的觀測，不因鐳錫接點本身的電阻僅佔總迴路的極為小部份，而無法對鐳錫接點變化做精確的觀測；同時，其可以直接觀測覆晶鐳錫接點電遷移破壞情形，而不因晶片內製作的鋁導線差異受影響。

凱文結構，能針對鐳錫接點本身的變化作精確敏感的量測，在本文中，將針對共晶錫鉛鐳錫搭配  $5\text{-}\mu\text{m}$  銅金屬墊層

UBM(under-bump-metallization)的覆晶鐳錫，利用凱文結構方式，用以研究其在高溫通電下的不同時期電遷移破壞模式，即以鐳錫接點本身的電阻變化作為鐳錫接點本身不同階段時期的破壞模式定義。

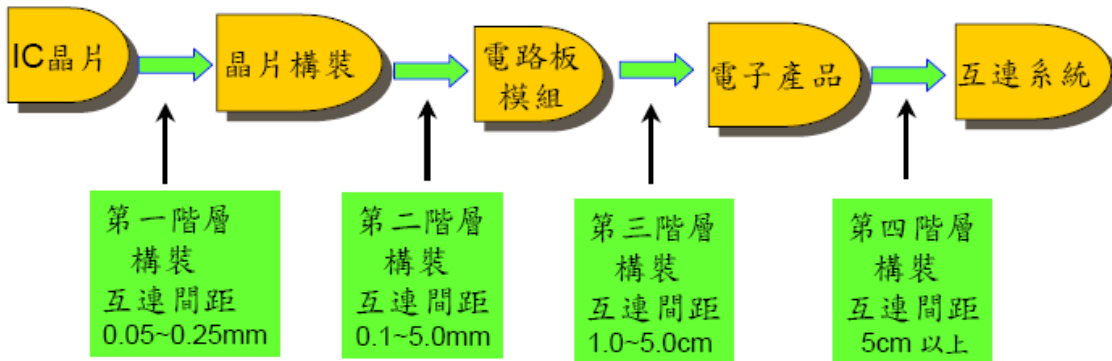
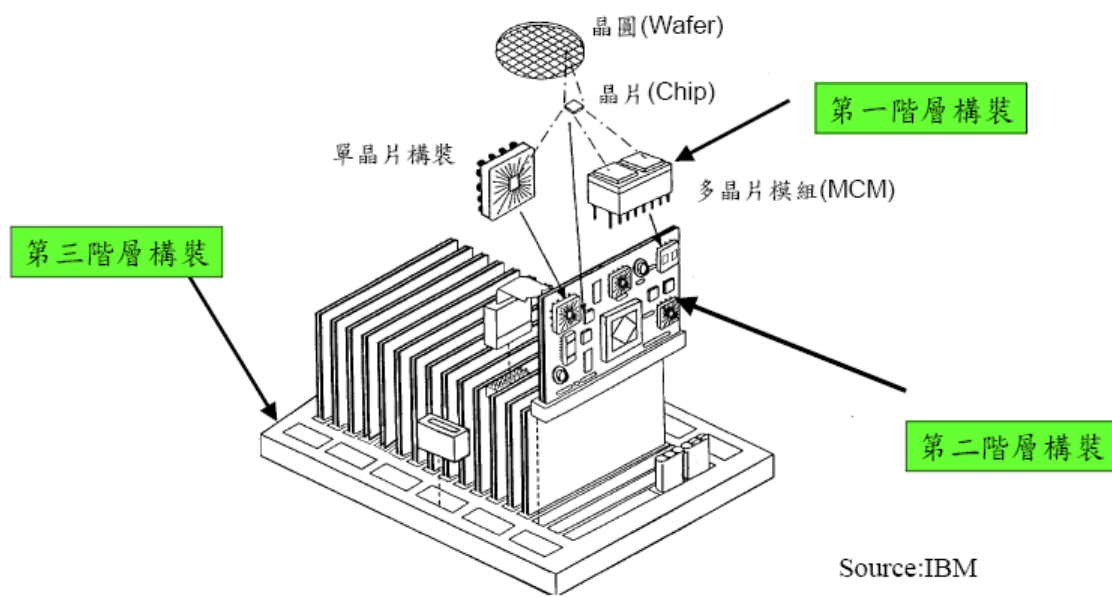


圖 1-1 電子構裝的層級<sup>[1]</sup>



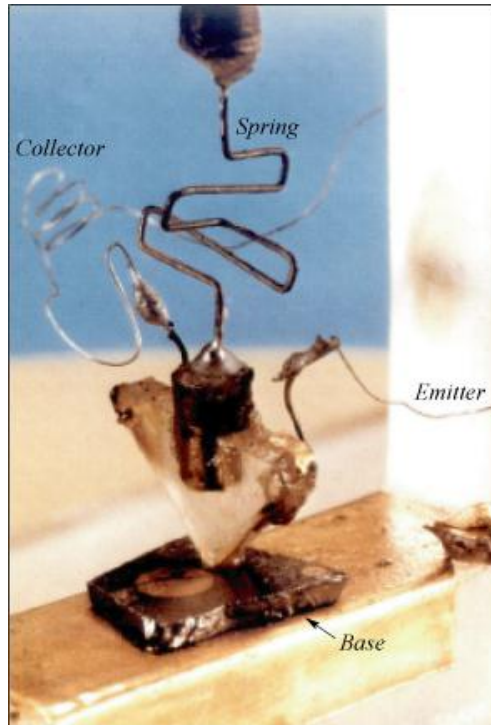


圖 1-2 貝爾實驗室製造的第一個鍺電晶體<sup>[2]</sup>

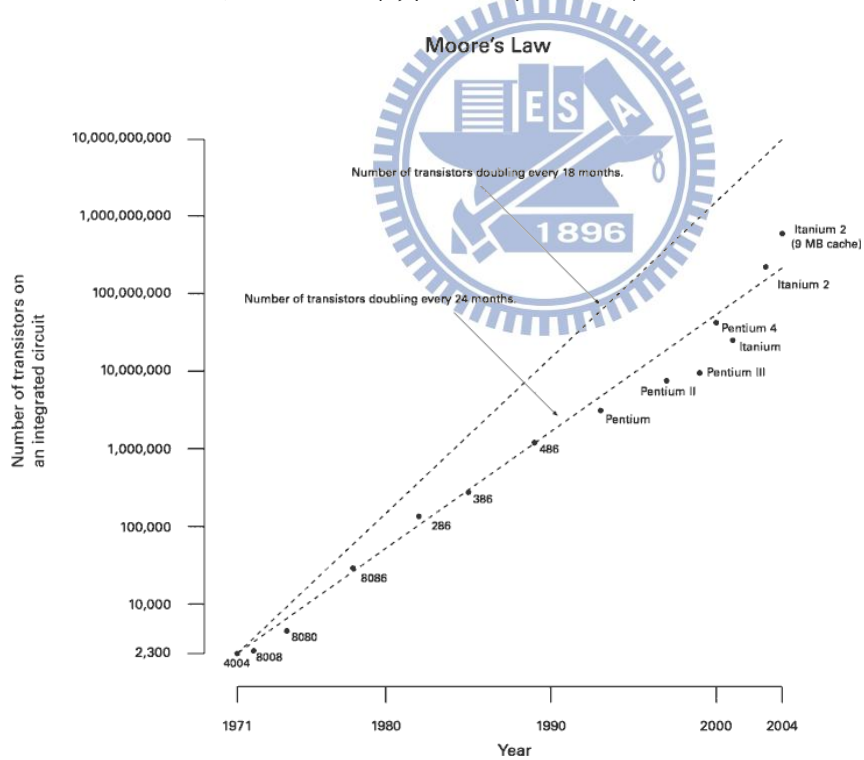


圖 1-3 INTEL CPU 電晶體成長數量與摩爾定律趨勢圖<sup>[3]</sup>

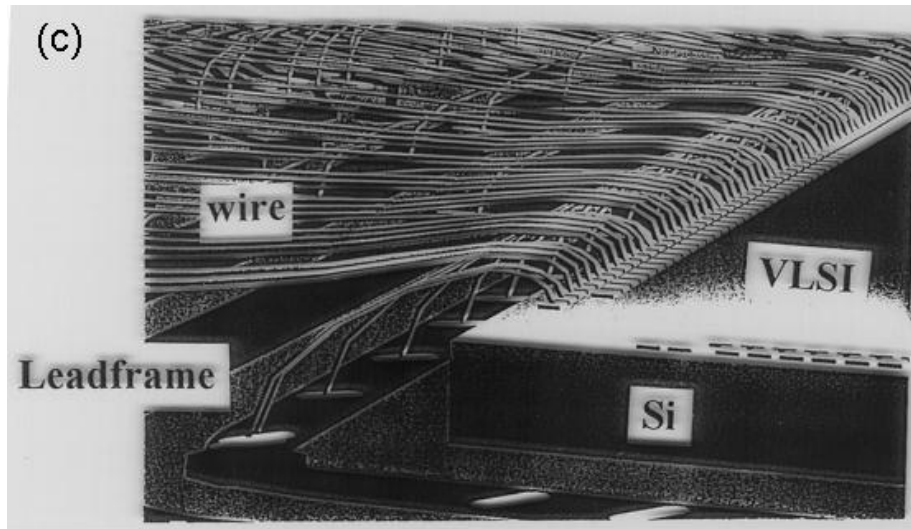


圖 1-4 打線接合(Wire bonding)圖示<sup>[4]</sup>

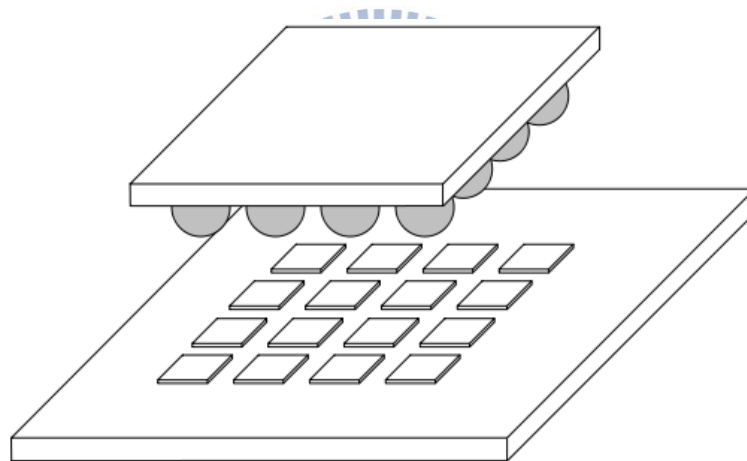


圖 1-5 覆晶接合示意圖<sup>[4]</sup>

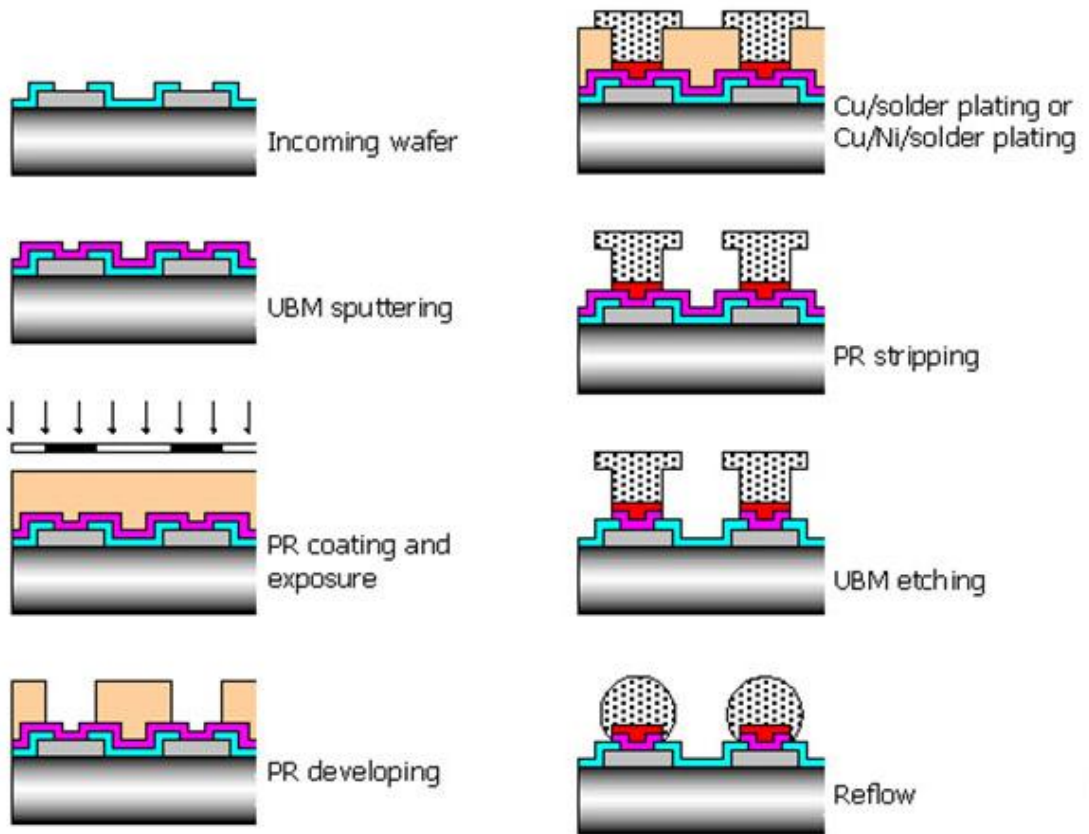


圖 1-6 晶圓鐳錫凸塊製程示意圖 [5]

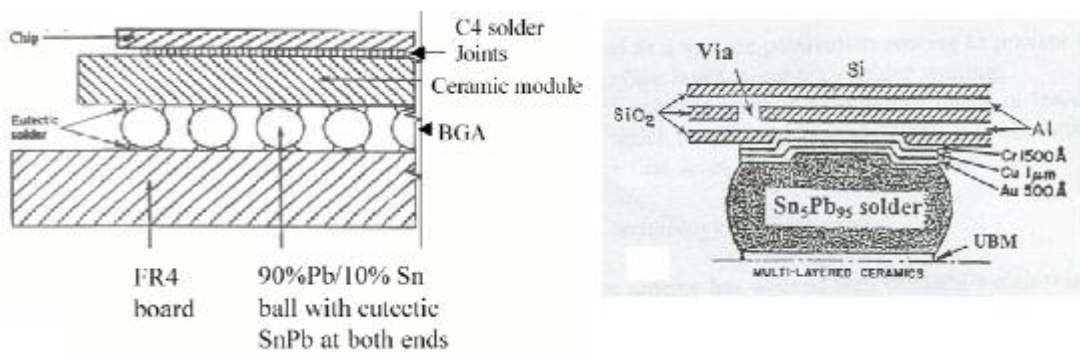


圖 1-7 覆晶封裝與 FR4 基版(左圖)及 IBM C4 結構剖面示意圖(右圖) [6]

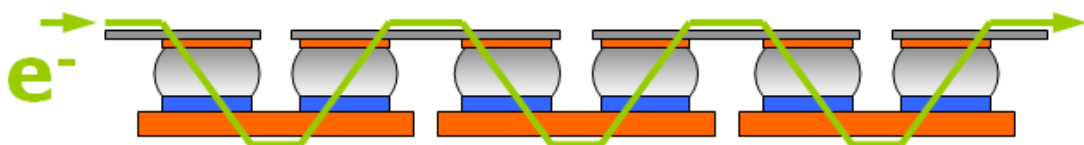


圖 1-8 Daisy chain 結構示意圖

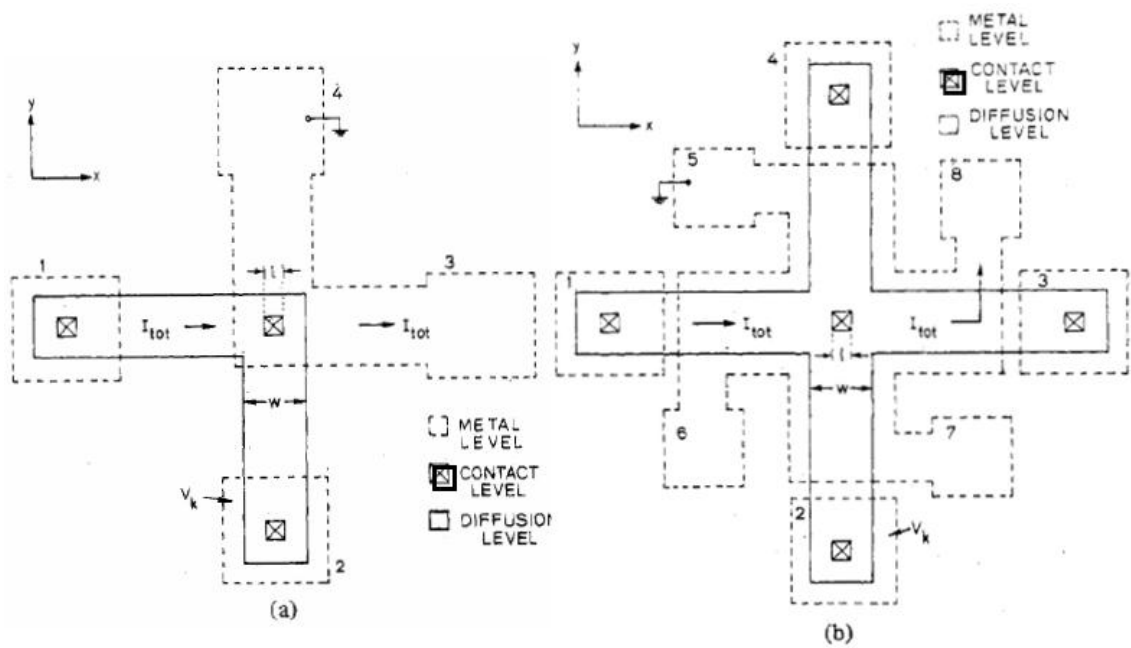
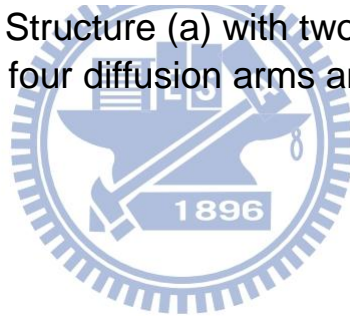


圖 1-9 Kelvin Resistor Structure (a) with two diffusion arms and two metal arms (b) with four diffusion arms and four metal arms <sup>[7]</sup>



## 第二章、文獻回顧

### 文獻回顧

覆晶封裝以其高密度 I/O 腳位的優勢，成為現今半導體產業進階製程中被廣泛使用的封裝技術。然而其仍因電子產品的生產成本及元件操作速度的考量，邁向微縮化的發展，伴隨而來的問題，使得覆晶鉍錫凸塊面臨尺寸持續微縮及負載電流密度提升的挑戰。

在高電流密度下，電子流由陰極流向陽極之際，可能同時也撞擊著原子，使得原子同電子流方向移動。當原子持續由陰極流出，空孔(Void)將逐步地形成，最終造成電路失效。陽極則因原子的擠壓，生成 hillocks 或 whisker 現象，而導致電路短路的情形。

1988 年，Brandenburg 和 Yeh 的報告中，觀察到共晶錫鉛的覆晶封裝，在  $150\text{ }^{\circ}\text{C}$ 、 $8 \times 10^4\text{ A/cm}^2$  的電流密度下，經過數百小時的失效情形中發現到，陰極有空孔(Void)的形成，在凸塊陽極則發現了鉛的堆聚。<sup>[9]</sup>

## 2-1 電遷移理論

電遷移(electromigration)是一種以電場為驅動力，所造成的質量轉移現象，電遷移的驅動力由電子風 (electron wind) 和靜電力場 (electrostatic field force)組成,質量轉移的方向與電子流方向相同。具代表性研究電遷移現象的即為Blech結構<sup>[8]</sup>，圖2-1為利用Blech結構研究鋁導線的電遷移現象，陰極方向產生孔洞，而陽極方向凸起發生。圖2-2<sup>[8]</sup>為利用不同長度的鋁導線通電後受到電遷移破壞的情況，研究發現愈長的鋁導線，在陰極這端，受到電遷移現象影響的鋁消耗程度愈明顯。在臨界長度下的鋁導線，沒有明顯的鋁消耗現象，鋁導線消耗現象被解釋為背向應力的作用。對鋁導線而言，不發生電遷移的臨界長度約為10~20  $\mu\text{m}$ 。

圖2-3<sup>[11]</sup>為Skaupy在1914年提出電子風 (electron wind) 的觀念，用來量化電遷移所造成的質量轉移。原子在電流作用下，會受到二種力量的影響。第一是電子風 (electron wind) 第二是靜電場力 (electrostatic field force),電遷移模型中，高溫下部份之鋁離子會有機率躍遷至位能井之頂端，此活化的鋁離子，基本上不受限於晶格，處於平衡狀態，即其不會離開也不會掉回位能井內。當施加電場時，其將會承受二個外加作用力，一者為電力  $F_{el}$ ，此一作用力是因鋁離子受外加電場作用的庫倫力，稱為靜電力；其二為電子風力(electron wind

force) $F_{wd}$ ，此作用力來自於鋁離子和高電流密度下電子碰撞造成動量轉移所致。

Huntington 及 Grone將電遷移力以下式表示：<sup>[8]</sup>

$$F_{em} = Z^* eE = (Z_{el}^* + Z_{wd}^*) eE \quad (2-1)$$

其中  $Z^*$  表示有效電荷(effective charge)，其指當受到電遷移效應時，能夠遷移的程度  $e$  表示電子電荷

$E$  表示電場( $E=\rho j$ ， $\rho$ 為電阻率， $j$ 為電流密度)

$Z_{el}^*$ 表示受擴散影響的離子常數

$Z_{wd}^*$ 表示受電子風力影響的有效價電數

電場所造成原子流動的驅動力可以分為兩部份，電場直接對擴散原子作用力，是為靜電力；而電子與擴散原子之間的動量轉換，又可稱為電子風力。

靜電力式以下式表示

$$F_{el} = Z_{el}^* eE \quad (2-2)$$

而電子風力可改寫成(2-3)式

$$F_{wd} = Z_{wd}^* eE \quad (2-3)$$

由於 $F_{wd}$ 與電子流同一方向，而 $F_{el}$ 和電子流呈反方向，且 $F_{wd}$ 遠大於 $F_{el}$ ，是以鋁離子受電子風推擠而沿電子流方向移動，而空位(vacancy)則由電子流反方向移動。空位和遷移的鋁離子在電遷移過程中是同時

產生的。電遷移因空位的產生，而有另一個快速移動的路徑—離子和空位交互躍遷(ion-vacancy jump process)。多晶狀金屬薄膜中，在晶界(grain boundary)以及金屬薄膜與介電層間的界面中，提供大量的空位所致。因此得以解釋多晶狀金屬薄膜的電遷移活化能(0.5~0.6 eV，鋁)遠低於金屬塊體(1.48 eV，鋁)。

上述電遷移的驅動力皆存在固體原子的擴散行為，而固體裡原子的擴散通量可以寫成如下式：

$$J = -D \frac{\partial C}{\partial X} + \sum_i CM_i F_i \quad (2-4)$$

其中 D 表示擴散係數

C 表示原子濃度

M 表示原子遷移率

F 表示驅動力



首項為化學式能梯度，第二項為外在力場梯度的總和。對於純金屬而言，原子間沒有化學式能梯度的存在，所以首項為零。而

$\sum_i F_i = F_{el} + F_{wd}$ ，而  $F_{wd}$  遠大於  $F_{el}$ ，(2-4)式可改寫為(2-5)

$$J = \sum_i CM_i F_i = CMF_{wd} = Z_{el}^* eE \quad (2-5)$$

引入Nernst-Einstein 方程式，電子遷移率改寫成：



$$M = \frac{D}{kT} \quad (2-6)$$

將(2-6)式代入(2-5)式，可得到電遷移的通量方程式：

$$J = CMF_{wd} = C \frac{D}{kT} F_{wd} = C \frac{D}{kT} F_{wd} = C \frac{D}{kT} Z_{el}^* eE \quad (2-7)$$

其中

C 表示原子濃度

D 表示擴散係數

K 表示波茲曼常數

T 表示絕對溫度

$Z_{wd}^*$  表示受電子風力影響的有效價電數

e 表示電子電荷

E 表示電場( $E = \rho j$ ， $\rho$ 為電阻率， $j$ 為電流密度)



## 2-2 覆晶鉚錫接點的電流聚集效應

電子的行進路線，會選擇最短與最小阻礙的路徑行走，所以當電子通過不同幾何形狀的導線時，會有電流密度不均勻的情況出現，在覆晶鉚錫封裝中，由於鉚錫接點獨特外形，導線與鉚錫凸塊的截面大小會相差數百倍，當電子流由導線進入鉚錫凸塊，從圖2-4覆晶封裝的鉚錫凸塊內的電流分佈與凸塊內電流分佈二維模擬，從圖中可明顯發現鉚錫凸塊電流分佈並不平均，電子為了行走對短的路徑，在右上角焊錫凸塊與金屬墊層的介面，會出現最大的電流密度，這巨大的電流密度改變，形成電

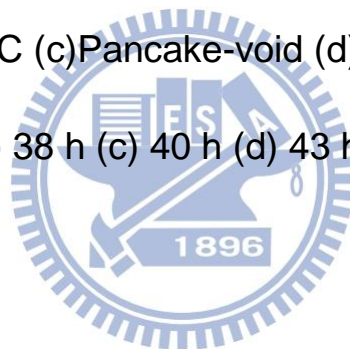
流聚集效應,也是電遷移最容易發生的地方。

### 2-3 覆晶鉍錫接點的電遷移現象

圖2-5為覆晶鉍錫共晶錫鉛,UBM為 Cu/Ni(V)/Al,在125°C的環境下,施加 $2.25 \times 10^4 \text{ A/cm}^2$ 的電流密度,其電遷移破壞孔洞生成與成長的連續過程,可以發現電遷移破壞孔洞生成發生在界面處。主因是在於二者界面處因電流聚集效應的影響,造成較大的電流密度聚集在此。

初期通電37小時SEM照片看到UBM逐漸溶解消耗,持續通電下銅原子擴散到鉍錫內部形成介金屬化合物(IMC),

UBM溶解消耗(b)IMC (c)Pancake-void (d)Open (e) 孔洞生成與成長,通電時間(a) 37 h (b) 38 h (c) 40 h (d) 43 h



### 2-4 焦耳熱效應

鉍錫凸塊在通電作用下產生焦耳熱,將導致凸塊的溫度變化。圖2-6為利用紅外線顯像技術,量測置於70°C熱板、通電中的覆晶鉍錫結構,其因焦耳熱效應造成的溫升分佈及其模擬情形,其中發現主要發熱源存在於鋁導線進入鉍錫處。<sup>[21]</sup>。

金屬原子,在除了在絕對零度中,其原子會於晶格平衡位置上不斷地來回振動,當溫度愈高時,其振幅愈大,因此當電子通過金屬導體時,其所面臨的阻抗也愈大,其阻抗將直接反應於金屬的電阻特性,稱為

TCR 效應(Temperature Coefficient of Resistance Effect)。

因此鉍錫凸塊在通電作用下，所產生的焦耳熱，除了造成溫度效應外，也會因TCR 效應而造成電路阻值的改變。

$$TCR = \left( \frac{R_1 - R_0}{R_0} \right) \left( \frac{1}{T_1 - T_0} \right) \dots\dots\dots (2-9)$$

其中

$T_0$  表示參考溫度

$T_1$  表示為真實溫度

$R_0$  表示在 $T_0$ 下的電阻

$R_1$  表示在 $T_1$ 下的電阻

如此即可利用電路阻值的變化，來校正鉍錫凸塊在通電作用下所受焦耳熱造成的溫升變化。



## 2-5 研究動機

在以往文獻討論,覆晶鉍錫電遷移破壞的研究中，電子流從鋁導線進入覆晶鉍錫,鉍錫內部將會承受很高的電流密度(>10<sup>4</sup> A/cm<sup>2</sup>),並形成相當大的動能,提供給電子流，同時撞擊著原子，使得原子同電子流方向移動。當原子持續由陰極流出，金屬墊層受到極度的損耗,空孔(Void)將逐步地形成，最終造成電路失效。覆晶鉍錫電遷移破壞的研究中,最常見的破壞型態分為兩種,其一為 Pancake-void；另一種型態為銅金

屬墊層消耗溶解。然而形成這兩種破壞型態的主因,過去的文獻並沒有明確的定義這個部份。在本文研究中,將利用凱文結構作為覆晶鉅錫凸塊電性的量測,以高度 50- $\mu\text{m}$ 、Cu UBM 5- $\mu\text{m}$  接合之鉅錫凸塊的覆晶共晶錫銀鉅錫,觀察覆晶鉅錫結構在電遷移效應的影響,溫度的差異其所扮演的角色為何,在高溫、低溫的環境下,覆晶鉅錫結構的破壞機制又為何。同時觀察在不同電阻上升率下,討論覆晶鉅錫結構所對應的破壞機制。

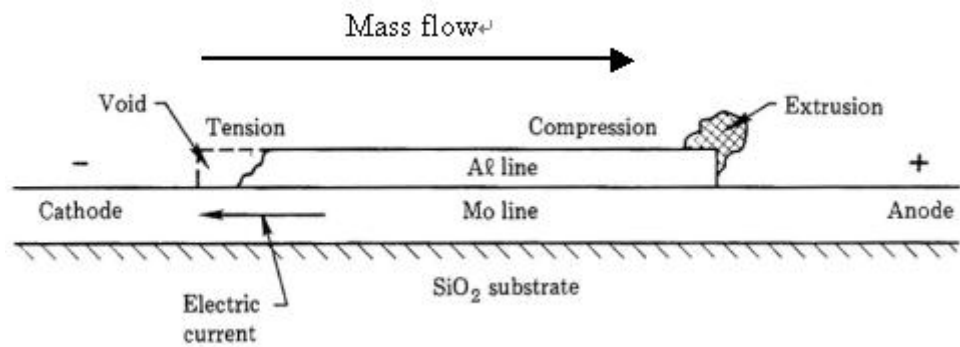


圖2-1 Blech結構研究鋁導線的電遷移現象<sup>[8]</sup>

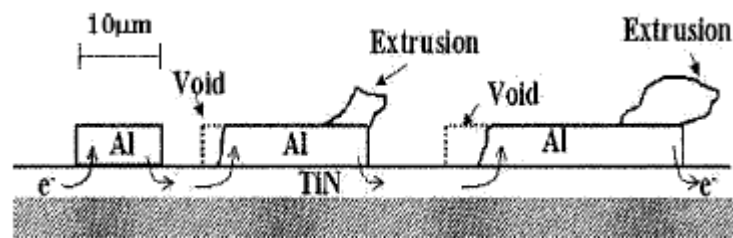


圖2-2不同長度的鋁導線通電後電遷移現象<sup>[8]</sup>

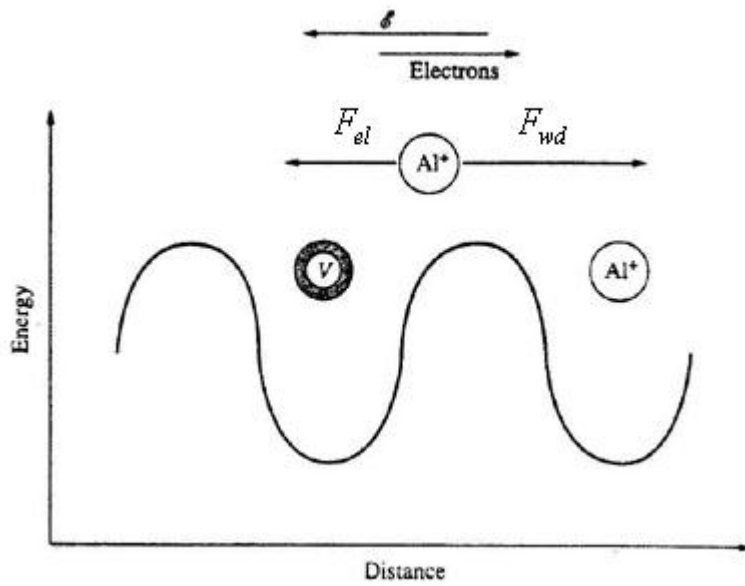


圖2-3 鋁離子在晶格位能井承受電子(Fel)和電子風力(Fwd)示意

圖；符號V表鋁離子離開後的空位 [11]

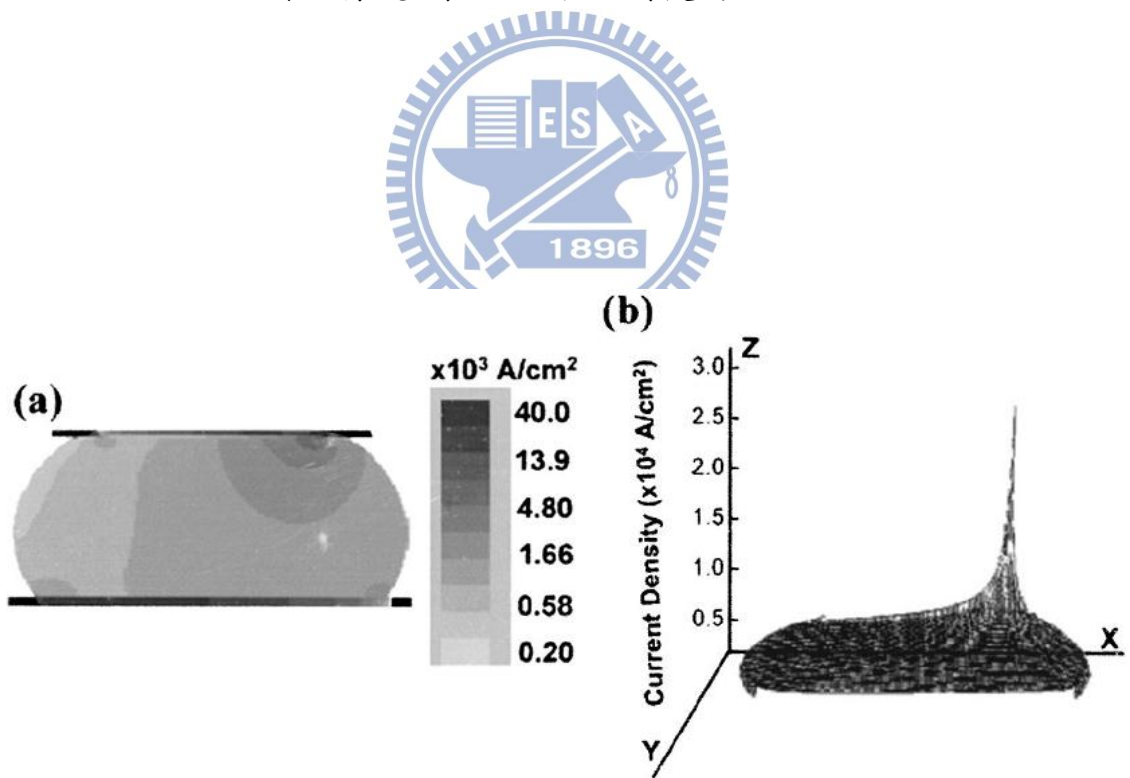


圖2-4 (a) 錐錫凸塊內電流分佈二維模擬 (b) 錐錫凸塊剖面(x-y面)

電流密度分佈(z 軸) 模擬示意圖 [9]

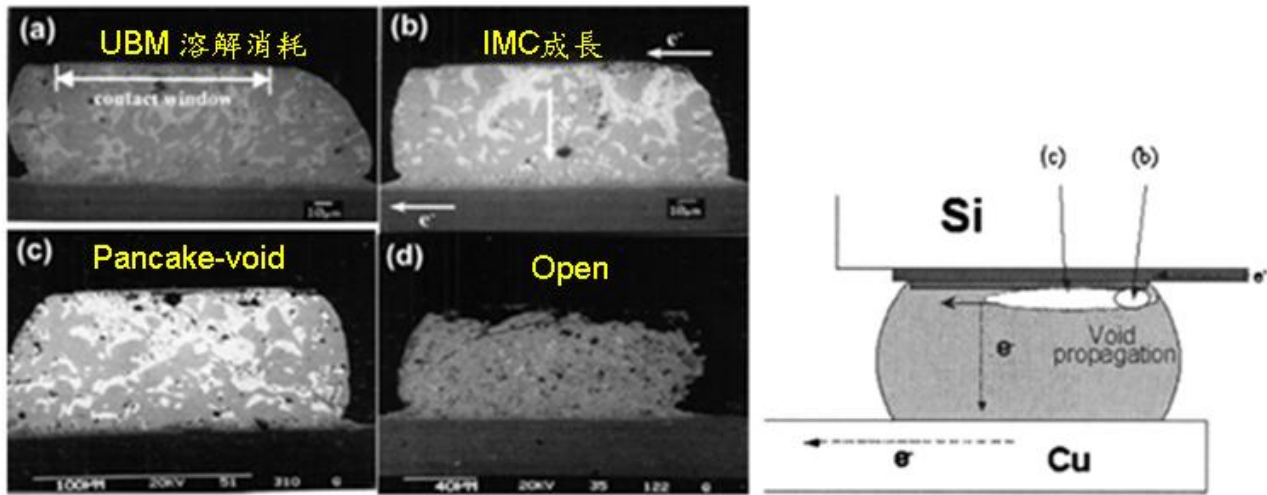
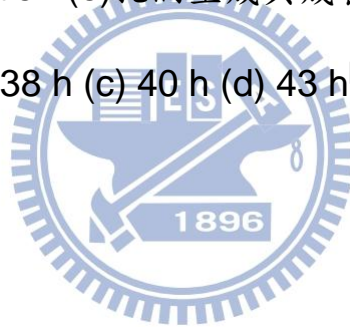


圖2-5 (a)-(d) (覆晶鋅錫電子顯微鏡電遷移破壞剖面圖)

加熱環境 $125^{\circ}\text{C}$ ，電流密度 $2.25 \times 10^4 \text{ A/cm}^2$  (a) UBM溶解消耗(b)IMC

(c)Pancake-void (d)Open (e)孔洞生成與成長,通電時間 (a) 37 h (b)

38 h (c) 40 h (d) 43 h<sup>[9]</sup>



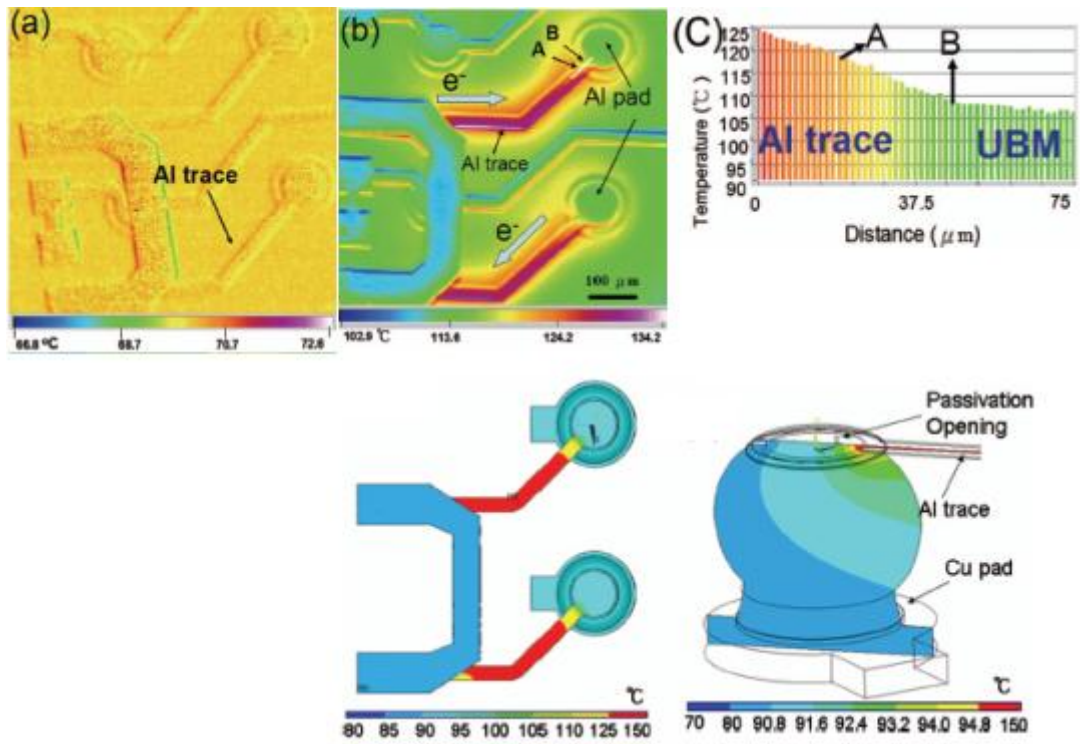


圖2-6 焦耳熱效應 (a)未通電前溫度分佈(b)通電0.59A 溫度分佈 (c)

(b)圖中所示白線溫度曲線。及其溫度模擬分佈<sup>[10]</sup>

### 第三章、實驗方法、步驟與結果

本實驗將利用敏感、精確量測的凱文結構的覆晶共晶錫銀鉛錫試片，試片係為一覆晶共晶錫銀鉛錫，其鉛錫凸塊高度為50- $\mu\text{m}$ 、銅金屬墊層(under-bump-metallization)為5- $\mu\text{m}$ 厚,用來觀測其電遷移破壞變化情形。

實驗測試方法為在一定加熱溫度、通電電流的條件下，作為加速破壞實驗，實驗電路設計所使用的電源供應器與量測儀器分別為電流源 Agilent E3642A <sup>[<http://www.home.agilent.com>]</sup>與搭配有二十個獨立頻道 Agilent E34901A 模組的資料交換器 (Data switch) Agilent <sup>[<http://www.home.agilent.com>]</sup> E34970A。藉由上述二組儀器對序列阜與 GPIB 控制介面通訊協定的支援，以美國國家儀器公司 <sup>[<http://www.ni.com>]</sup>開發的圖形化儀器控制軟體 Lab view，作為實驗過程中的資料擷取及儀器控制的工具。

實驗監測通電中的鉛錫凸塊電阻值變化，作為研究該試片電遷移破壞情形不同階段的指標。本實驗的兩組條件

1. 加熱溫度條件為70°C,通電電流條件為1.0 A電流。
2. 加熱溫度條件為180°C,通電電流條件為0.3 A電流。

實驗流程如下：

1. 電遷移破壞測試：利用凱文結構於電遷移破壞測試期間，量測並



紀錄錒錫隨測試時間變化的電阻值，當電阻值上升到20%, 50%, 100%,200%時，即停止測試。

2. 試片觀察：利用研磨設備依一定方向將其所需的觀察的剖面研磨、拋光後，利用光學顯微鏡及掃描式電子顯微鏡觀察、紀錄試片的剖面狀態。

### 3-1 試片結構

實驗的試片製備，係由米輯科技提供的共晶錒銀覆晶封裝試片，其錒錫凸塊結構如圖3-1—晶片端的鋁導線為100- $\mu\text{m}$ 寬、1.5- $\mu\text{m}$ 厚、錒錫UBM (Under Bump Metallization)種類為Cu，厚度為5- $\mu\text{m}$ ，UBM opening 為90- $\mu\text{m}$ ，錒錫凸塊為直徑145- $\mu\text{m}$ ，高度50- $\mu\text{m}$ 的共晶錒銀錒錫，凸塊間間距為1-mm。

錒錫錒料係以共晶錒銀錒錫，晶片端部份，利用電鍍將錒錫固定於UBM所在，再於加熱爐中加熱到220 $^{\circ}\text{C}$ 約一分鐘；基板部份，則採用FR5基板，銅墊層直徑為2805- $\mu\text{m}$ ，上一層為5- $\mu\text{m}$ 無電鍍鎳。

試片迴路設計依凱文結構方式佈局，如圖3-2，本研究中，將僅測試第六排(最下一排，圖3-3)的四顆錒錫凸塊結構作為研究，剖面示意圖如圖3-4。

## 3-2 實驗方法

實驗測試方法為利用凱文結構設計，將試片置於一加熱板上，施加一定通電電流於電路，同時量測、紀錄銲錫凸塊及鋁導線的電阻值變化，當電阻值變化達一定程度時，即停止加熱、通電等測試條件。

之後再依一定方向(圖3-6)將所需觀察的剖面研磨、拋光後，利用光學顯微鏡及掃描式電子顯微鏡作為試片的剖面狀態影像的觀察、紀錄，了解其電遷移在不同階段時期的破壞模式。

### 3-2-1 實驗電路設計及凸塊電性觀測

圖3-3 為本文所指之凱文結構俯視圖，係僅圖3-2 中的最後一排，利用此結構觀測銲錫受到電遷移影響時的及時電性變化。

結構中含有四顆銲錫凸塊，此四顆銲錫凸塊，如圖3-3 所示b1、b2、b3 及b4，由一鋁導線連接四個墊層。其中鋁導線長3150- $\mu\text{m}$ 、厚1.5- $\mu\text{m}$ 、寬100- $\mu\text{m}$ ，銲錫凸塊間間距為1mm。此外，圖示之六條導線，係FR5基板與四顆銲錫凸塊連接的銅導線，分別標示為n1、n2、n3、n4、n5 及n6，銅導線厚30- $\mu\text{m}$ 、寬100- $\mu\text{m}$ ，其中銲錫凸塊b1 到b4 依序分別連接1、2、2及1 條的銅導線，導線分佈如圖3-3。

實驗電路設計，利用此六條銅導線不同的連接方式，可分別量測到b2、b3 的單顆銲錫凸塊電阻與晶片內的鋁導線電位差與電阻，如圖3-4 標註箭頭方向所示。在本研究中，由n3 及n4 通入一定電流，電

子流在b2 鐳錫凸塊中從基板端流向晶片端，在b3 鐳錫凸塊中則呈相反方向。分別由n1 及n2 量測b2 鐳錫凸塊電子流向上的電位差(定義晶片端方向為向上)，b3 鐳錫凸塊則由n5 及n6 量測其電子流向下的電位差，如此量測方式即可在電遷移發生的同時量測到兩個電子流不同方向的鐳錫凸塊電阻表現。同時以n1 及n6 來量測鋁導線的電阻變化。

由於電流集中效應的影響，以往的研究中發現孔洞的生成大多顯示在電子流流入鐳錫凸塊的晶片端，所以本實驗電遷移現象著重在b3 鐳錫凸塊電性的量測，當其電阻值變化達到設定為初始值的一定倍數時，即停止加熱、通電等條件，以此分別觀察其不同時期的電遷移破壞模式。

實驗步驟，首先將第一組條件試片置於一加熱板上，將晶片面緊貼加熱板上，並用耐熱膠帶固定，靜置試片直到試片溫度到達70°C平衡後,才開始如上述方式通電量測。電路迴路與量測的位置如圖3-5 所示，於圖3-4 中的n3 及n4 通入一定電流 1.0A，其所對應電流密度為 $3.3 \times 10^4 \text{ A/cm}^2$ ，量測b3 鐳錫凸塊的電阻值變化，當其電阻值上升20%,50%,100%,200%時，停止通電及加熱並取下試片。第二組條件以一樣的試片，將晶片面緊貼加熱板上，並用耐熱膠帶固定，靜置試片直到試片溫度到達180°C平衡才開始如上述方式通電量測。電路迴路與

量測的位置如圖3-5 所示，於圖3-4 中的n3 及n4 通入一定電流0.3A，其所對應電流密度為 $1.02 \times 10^4 \text{ A/cm}^2$ ，量測b3 鐳錫凸塊的電阻值變化，當其電阻值上升20%,50%,100%,200%時，停止通電及加熱並取下試片。

### 3-2-2 鐳錫凸塊破壞模式的觀測

將實驗通電破壞後的試片依序沿圖3-6 所示方向，以不同號數的SiC 砂紙(60、400、1200、2500、4000等SiC 砂紙) 依序研磨試片，將試片研磨至鐳錫凸塊中心，同時顯現鐳錫凸塊之半剖面及鋁導線，再以 $1\text{-}\mu\text{m}$ 、 $0.3\text{-}\mu\text{m}$ 、 $0.05\text{-}\mu\text{m}$  大小顆粒的 $\text{Al}_2\text{O}_3$ 作研磨拋光，剖面圖如圖3-7。

之後再利用光學顯微鏡 (OM) 及掃描式電子顯微鏡 (SEM) 觀察、紀錄試片破壞後的剖面狀態影像。

### 3-3 實驗結果

表3-1 為覆晶共晶錫銀鐳錫，其鐳錫凸塊高度為 $50\text{-}\mu\text{m}$ 、UBM為 $5\text{-}\mu\text{m}$  厚的Cu。分別在 $70^\circ\text{C}$  加熱環境-電流密度 $3.3 \times 10^4 \text{ A/cm}^2$ ，與 $180^\circ\text{C}$  加熱環境-電流密度 $1.1 \times 10^4 \text{ A/cm}^2$  通電條件下的電子流向之錫銀鐳錫凸塊在各階段的電阻變化率與通電時間。

電阻變化率  $R_{ratio}$  定義為  $R/R_0$ ，其中  $R$  為錐錫凸塊 b3 的即時量測電阻， $R_0$  為錐錫凸塊 b3 的初始量測電阻，錐錫凸塊 b3 為電子流向下之標示錐錫凸塊。用此一指標定義可以修正各試片間因初始電阻值的差異，造成結果判讀上的困難。

圖 3-8-1~圖 3-8-4 為錐銀錐錫電阻變化率對時間所作曲線圖；圖 3-9~圖 3-10 為錐銀錐錫凸塊在各階段電阻變化率的光學顯微鏡 (OM) 影像圖。

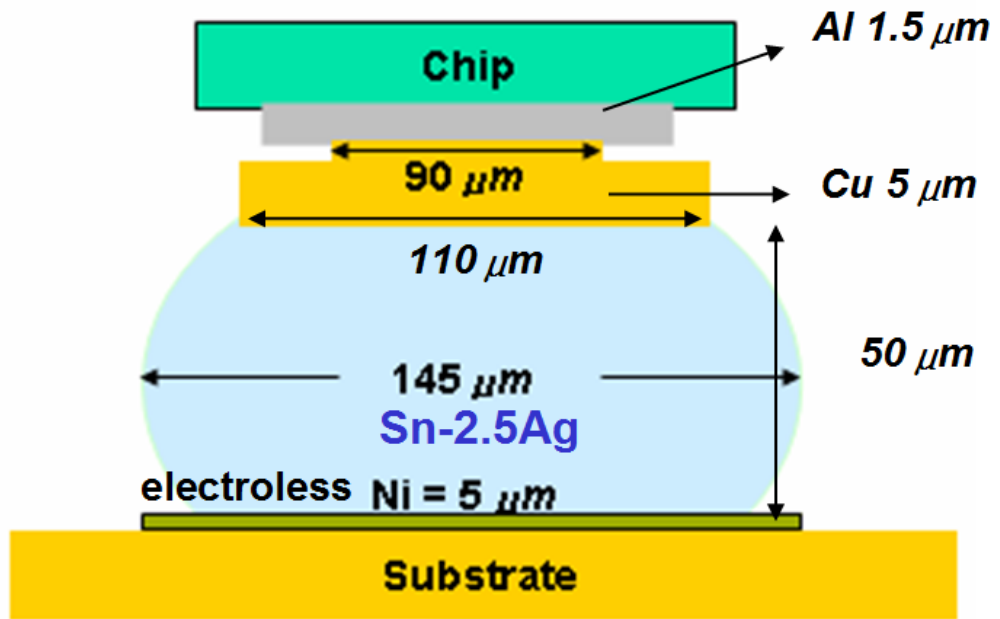
EM Step	電阻變化 $R/R_0$	實驗條件時間(小時)	SEM
0	1.00	0	
1	1.20	487	V
2	1.50	932	V
3	2.00	1184	V
4	3.00	1683	V

1A/70°C, 電流密度  $3.3 \times 10^4$  A/cm<sup>2</sup>

EM Step	電阻變化 $R/R_0$	實驗條件時間(小時)	SEM
0	1.00	0	
1	1.20	92	V
2	1.50	190	V
3	2.00	337	V
4	3.00	593	V

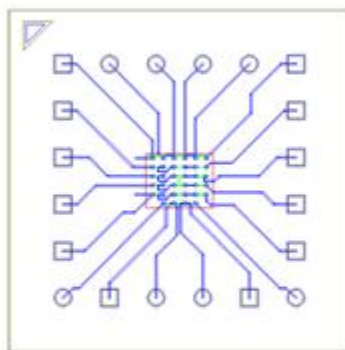
0.3A/180°C, 電流密度  $1.1 \times 10^4$  A/cm<sup>2</sup>

表 3-1 覆晶共晶錐銀錐錫錐錫凸塊電阻變化與通電時間

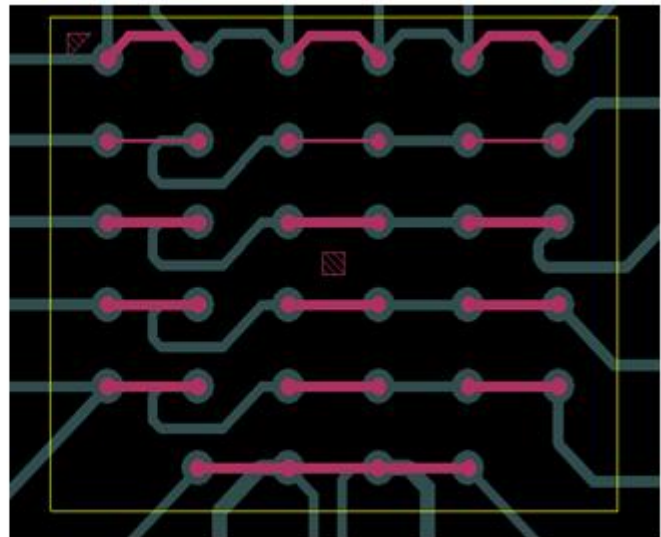


### Sn-2.5Ag 錫錫結構

圖3-1 試片錫錫凸塊結構示意圖



(a)



(b)

圖3-2 試片迴路設計圖

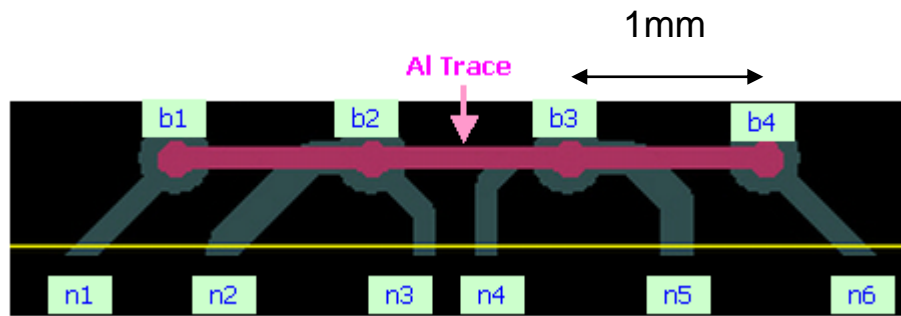


圖3-3 凱文結構俯視示意圖

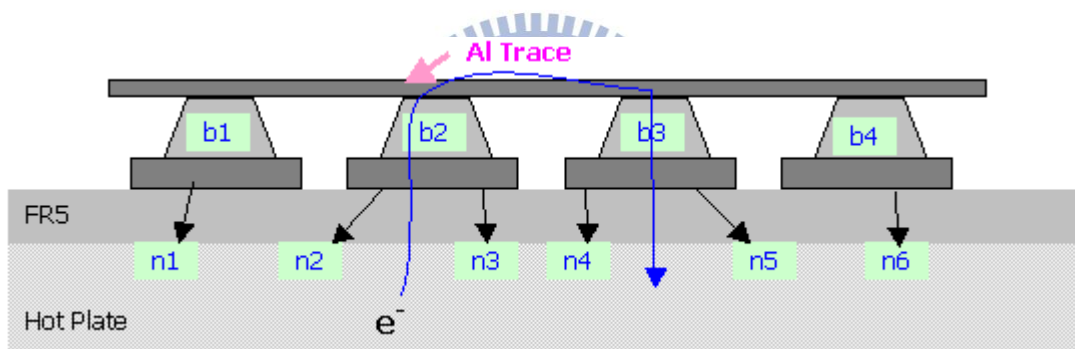


圖3-4 凱文結構剖面示意圖

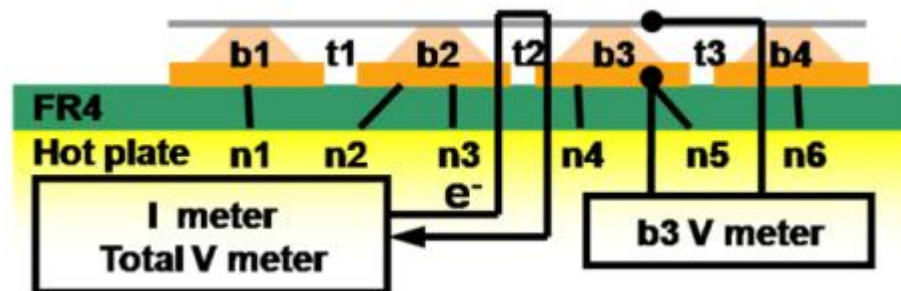


圖3-5 實驗電路示意圖

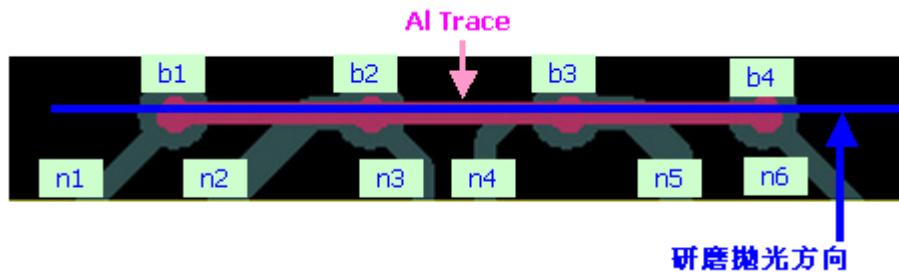


圖3-6 試片研磨方向示意圖

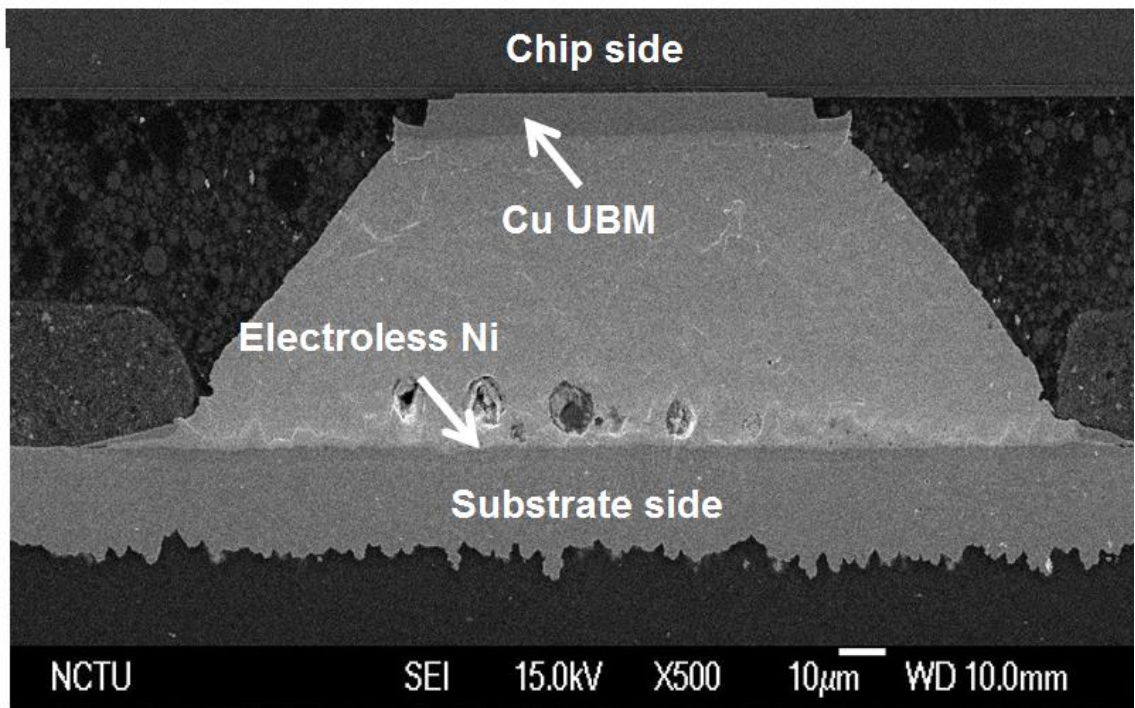


圖3-7 試片研磨鍍錫凸塊剖面圖



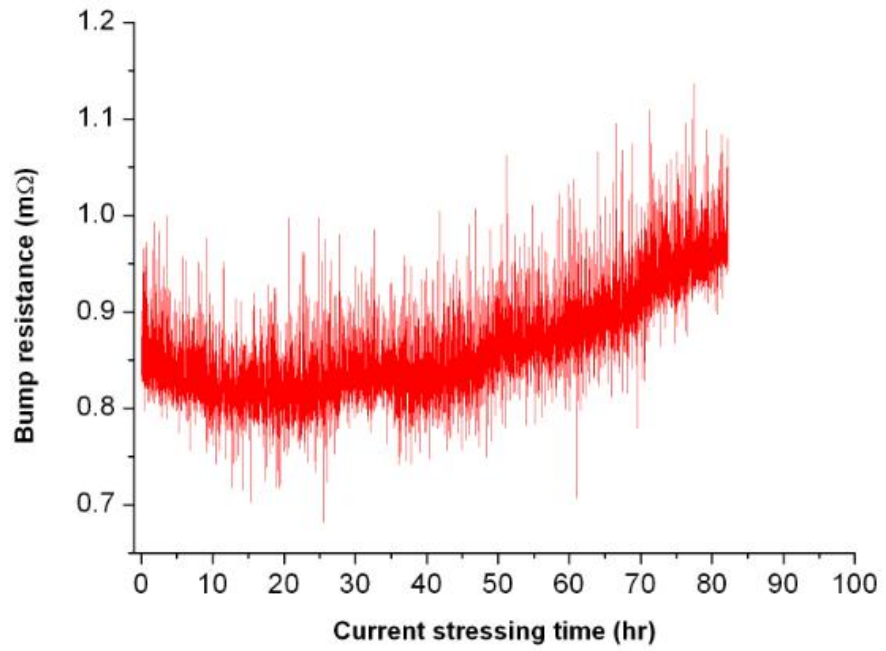


圖3-8-1 (0.3A 180°C,  $R=1.2R_0$ ) 試片電阻變化率與通電時間關係曲線

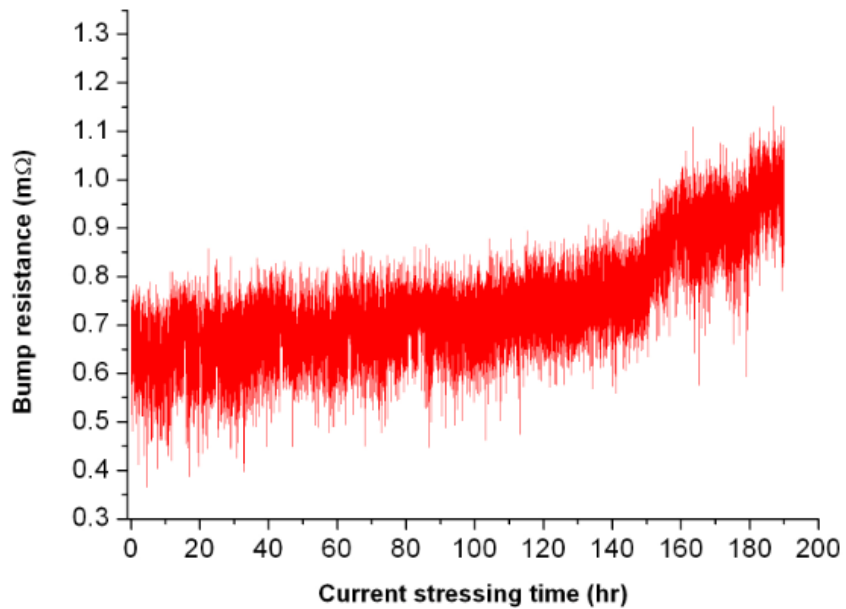


圖3-8-2 (0.3A 180°C,  $R=1.5R_0$ ) 試片電阻變化率與通電時間關係曲線

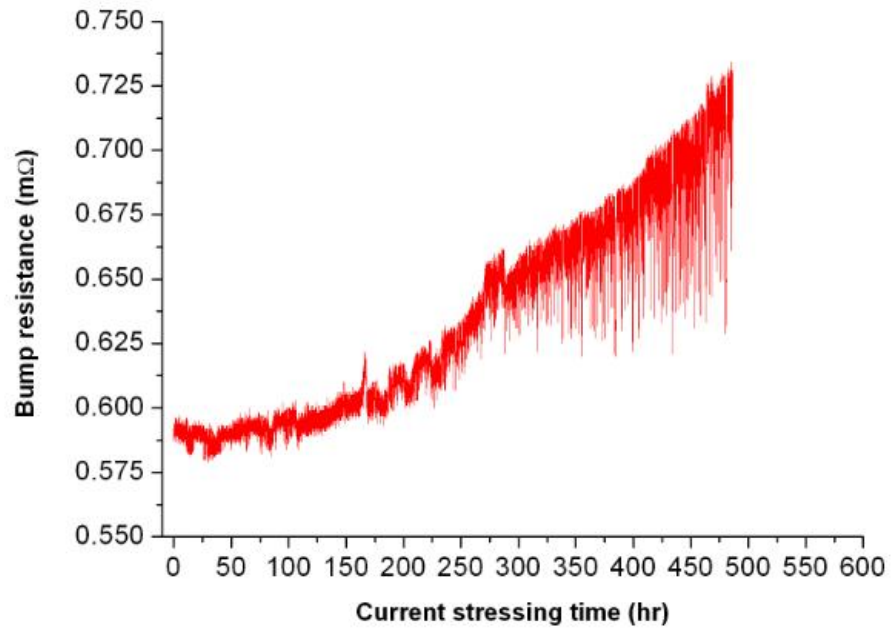


圖3-8-3 (1.0A 70°C, R=1.2R<sub>0</sub>) 試片電阻變化率與通電時間關係曲圖

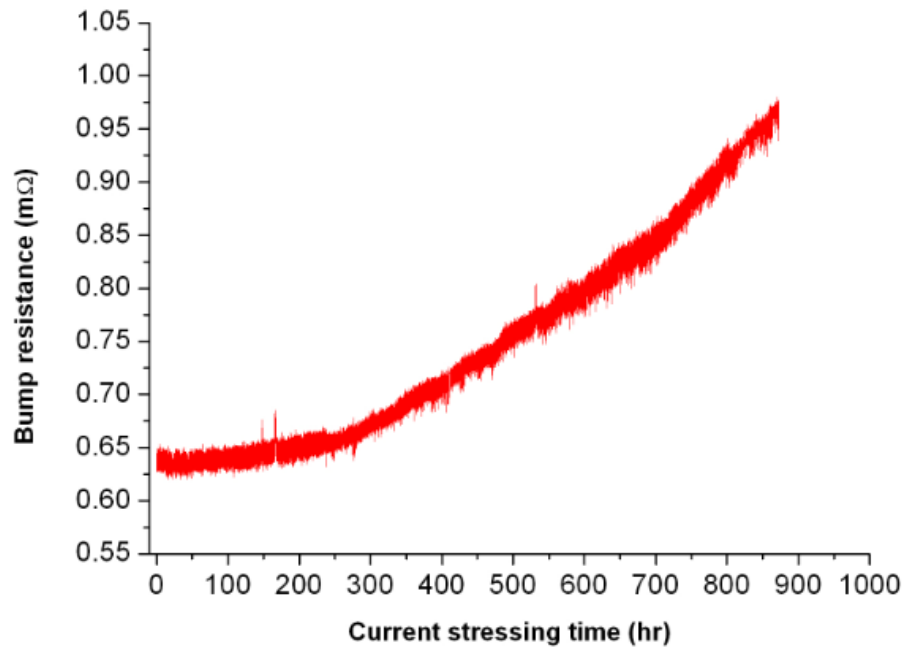


圖3-8-4 (1A 70°C, R=1.5R<sub>0</sub>) 試片電阻變化率與通電時間關係曲線圖

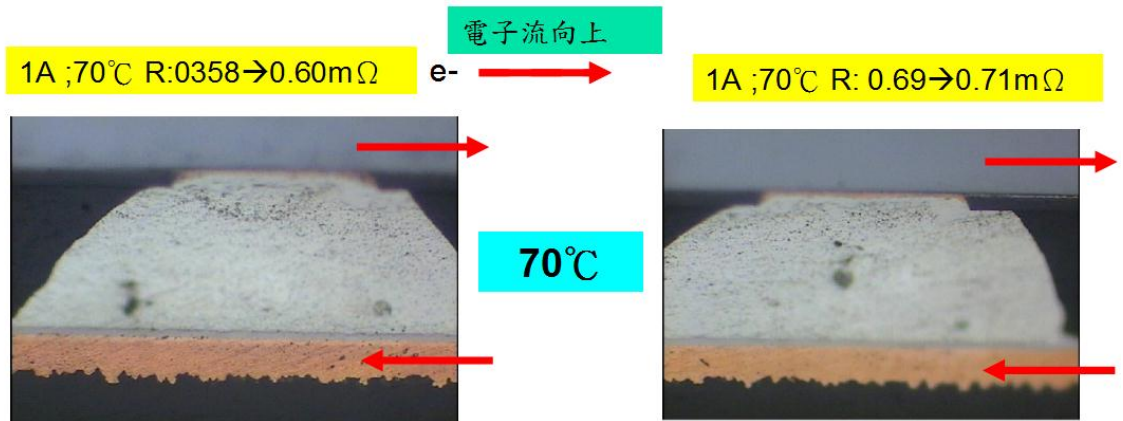


圖 3-9 光學顯微鏡剖面圖,電子流向上(1A/70°C,電流密度  $3.3 \times 10^4$  A/cm<sup>2</sup>)

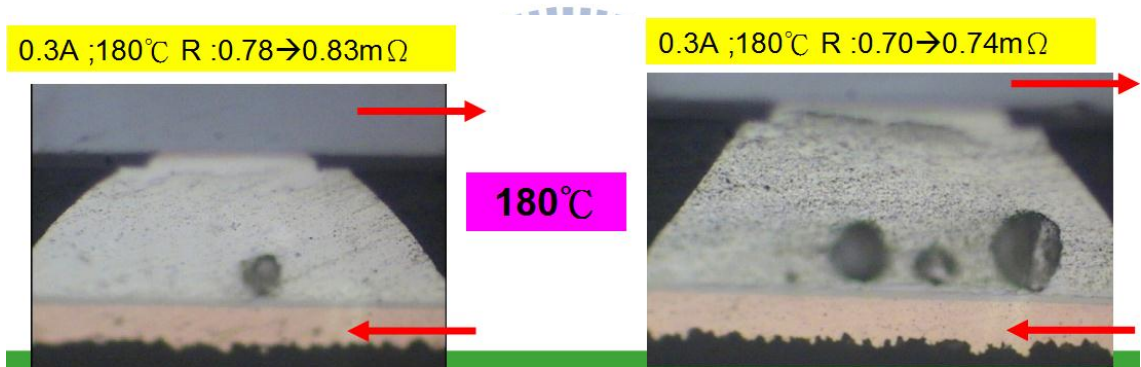


圖3-10光學顯微鏡剖面圖,電子流向上(1A/180°C,電流密度  $1.1 \times 10^4$  A/cm<sup>2</sup>)

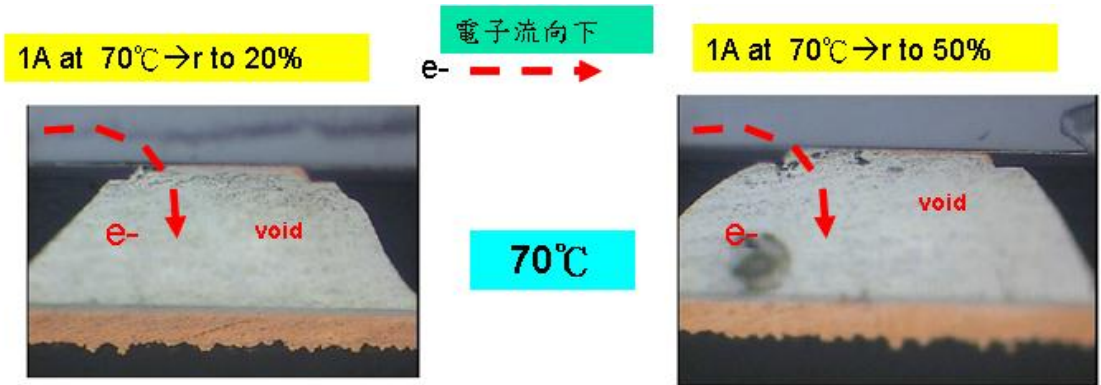


圖3-11光學顯微鏡剖面圖,電子流向下(1A /70°C,電流密度 $3.3 \times 10^4 \text{ A/cm}^2$ )

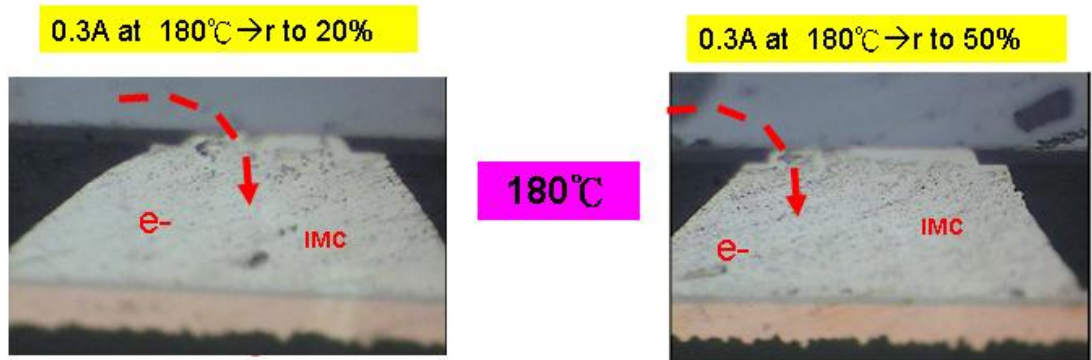


圖3-12光學顯微鏡剖面圖,電子流向下(1A /180°C,電流密度 $1.1 \times 10^4 \text{ A/cm}^2$ )

## 第四章、結果與討論

本實驗利用凱文結構的電性觀測方式，配合金屬墊層Cu-5 $\mu$ m之共晶錫銀鉛錫，再加熱板70 $^{\circ}$ C與180 $^{\circ}$ C的環境，分別施加1安培、0.3安培的電流，研究電阻變化率於20%,50%,100%,200%各階段的電遷移破壞情形。由實驗試片中各階段的鉛錫凸塊剖面影像，與圖4-1為未受電遷移破壞的鉛錫凸塊剖面影像比較，其中鉛錫凸塊Bump2與Bump3為電子流所通過之鉛錫凸塊，本研究重點在電子流向下的Bump3，在不同溫度環境下，觀察各階段電阻的變化時的焊錫微結構，同時一起觀察電子流向上的Bump2，鉛錫凸塊的Cu UBM 消耗溶解、IMC成長、電遷移孔洞生成破壞的現象。

首先觀察低溫環境70 $^{\circ}$ C(電流密度:  $3.3 \times 10^4$  A/cm $^2$ )Bump2電子流向上、Bump3電子流向下鉛錫凸塊，觀察其變化Cu UBM消耗溶解、IMC成長、電遷移破壞孔洞生成的情形，再觀察高溫環境180 $^{\circ}$ C(電流密度:  $1.1 \times 10^4$  A/cm $^2$ ) Bump2電子流向上、Bump3電子流向下鉛錫凸塊，觀察其變化Cu UBM消耗溶解、IMC成長、電遷移破壞孔洞生成的情形。

藉以討論高低溫下鉛錫凸塊的鉛錫凸塊UBM 消耗溶解、IMC成長、電遷移孔洞生成破壞的現象。

#### 4-1 破壞模式分析,低溫 70°C (電流密度: $3.3 \times 10^4$ A/cm<sup>2</sup>)

##### A. 電子流向下的破壞模式(電子流由晶片端流進錫錫)

圖 4-2 為 Cu-5 $\mu$ m 金屬墊層的錫錫接點在加熱板 70°C 的環境下通以 1.0 安培的電流,經過 487 小時之後,錫錫電阻上升至 1.2 倍  $R_0$  時的電子顯微鏡影像圖,與圖 4-1 比較,可以明顯的觀察到,錫錫左上角,也就是電子流由晶片端進入錫錫的地方有微小孔洞生成,並沿著介金屬化合物與共晶錫銀錫的介面向右側擴展,孔洞最初生成的地方,應是受電流聚集效應的影響,故初期孔洞生成的位置,也是電流集中最嚴重的地方,也是熱點發生的位置,受電流聚集效應與焦耳熱的影響,銅原子在電子流的驅動下擴散進入錫錫內部與錫反應,形成介金屬化合物,觀察其他地方則沒有明顯的為結構改變,右半部也還是完好的銅金屬墊層。

隨著通電時間的增加到 932 小時之後,錫錫電阻上升至 1.5 倍  $R_0$ ,如圖 4-3 之電子顯微鏡影像,可以發現孔洞生成的區域沿著金屬化合物與共晶錫銀的介面,向右擴展,由錫錫凸塊電阻曲線變化推論,初期孔洞生成之後,錫錫凸塊的幾何形狀改變,電子流行進方向受阻,行走路徑被迫向右轉移,此時電流聚集效應與熱點位置也逐漸向右擴展,孔洞也隨之成長,錫錫與金屬墊層的接觸面積縮小,電流密度變大,電阻曲線斜率急遽上升,同時晶片端更多的金屬墊層原子,受電子流的驅動,逐漸進入錫錫內部,使基板端的介金屬化合物明顯變厚,而錫錫的錫原子也擴散

進入到金屬墊層形成金屬化合物(經 EDX 分析為  $\text{Cu}_6\text{Sn}_5$ )。

當通電時間的增加到 1153 小時之後,銲錫電阻上升至 2 倍  $R_0$ ,如圖 4-4 之電子顯微鏡影像,可以看到孔洞沿著金屬化合物與共晶錫銀的介面,向右繼續長出更多的孔洞,且已超過銲錫的中心部分,此時晶片端的金屬墊層被大量消耗,形成更多的介金屬化合物,銲錫與金屬墊層的接觸面積更小了,電流密度變大,電阻增加,伴隨的焦耳熱效應更嚴重,後端孔洞的破壞情況也更明顯,金屬墊銅原子,持續受電子流的驅動,進入銲錫內部,形成更多的介金屬化合物,並移動到銲錫內部與基板端,更多的錫原子也擴散進入到金屬墊層形成金屬化合物,並佔據整個金屬墊層部分(經 EDX 分析為  $\text{Cu}_6\text{Sn}_5$ )。

通電時間的增加到 1683 小時之後,銲錫電阻上升至 3 倍  $R_0$ ,如圖 4-5 之電子顯微鏡影像,經過長時間的電遷移破壞,金屬墊層銅原子不斷的流出,幾乎完全消耗,形成的金屬化合物,佔據整個金屬墊層,孔洞生成已橫跨整個金屬化合物與共晶錫銀的介面,電阻上升,銲錫接點瀕臨斷路極限。

#### B. 電子流向上的破壞模式(電子流由基板端流進銲錫)

圖4-6為Cu-5 $\mu\text{m}$ 金屬墊層的銲錫接點在加熱板70 $^{\circ}\text{C}$ 的環境下通以1.0安培的電流,電流方向如箭頭指示,從基板端流進銲錫,圖

4-6(a)(b)(c)(d) 分別為通電487,932,1184,1683小時之後,各階段的電子顯微鏡影像圖,與圖4-1比較,可以觀察到Cu UBM消耗溶解、IMC成長、錫銀相重新分佈並發生相分離等現象。

在晶片端可以觀察到,隨通電時間的增加,金屬墊層逐漸消耗並形成介金屬化合物 $\text{Cu}_6\text{Sn}_5$ ,受電遷移的作用下,介金屬化合物不規則的擴散到錐錫內部,但其電遷移破壞孔洞生成的情況,相較於電子流向下錐錫凸塊,並無明顯的孔洞成長現象。電子流向上受電遷移的破壞情況,沒有比電子的向下來的嚴重,主要是因為電子流向上金屬墊層Cu/Ni,電子流向上金屬墊層Cu,其中金屬墊層Cu/Ni,鎳原子的擴散慢,可以減緩電流集中效應,故其所能容忍的電遷移破壞時間,相對較長。

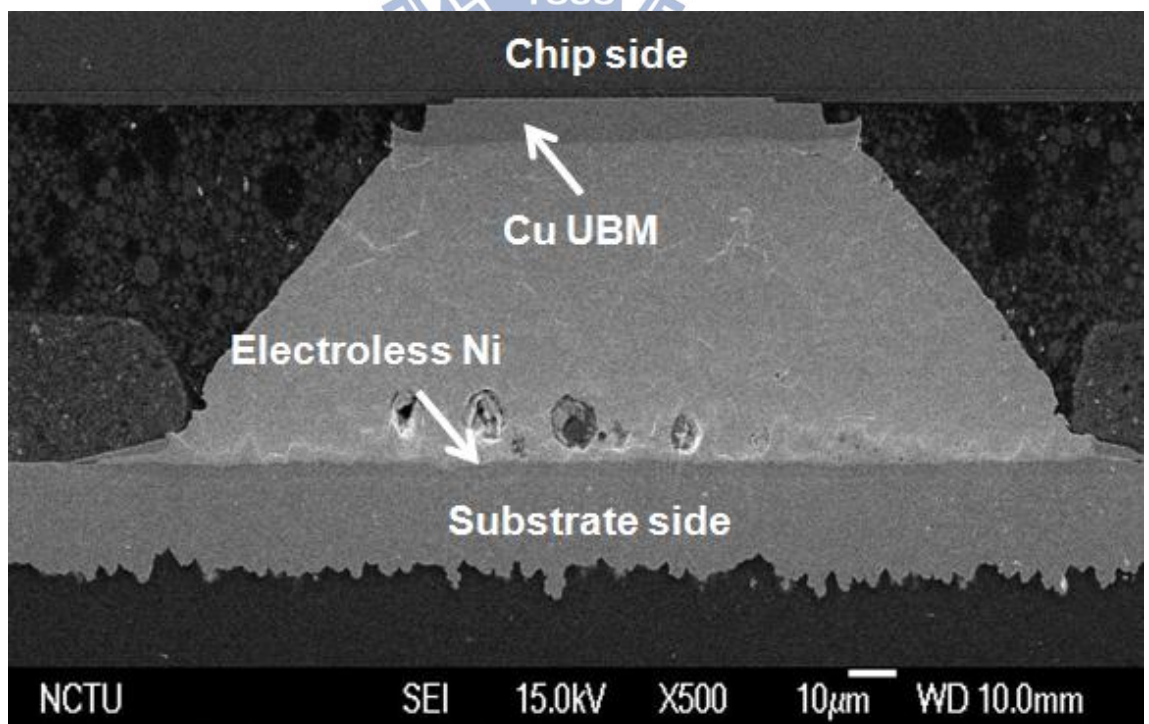


圖 4-1 未受電遷移破壞的錐錫凸塊剖面影像



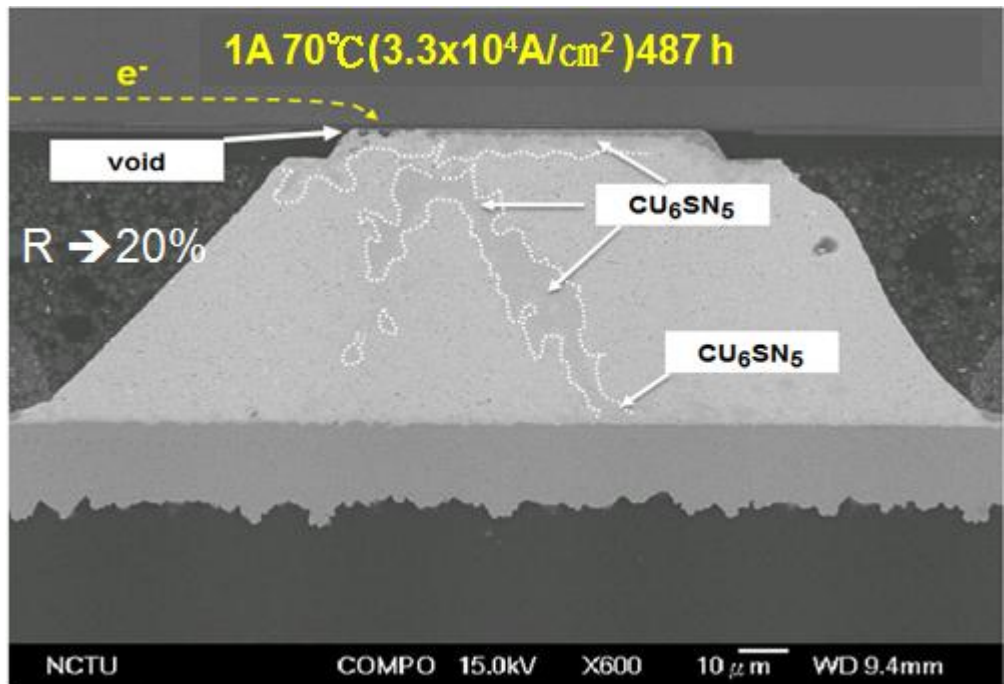


圖 4-2 1A 70°C  $R=1.2R_0$  通電時間 487 小時

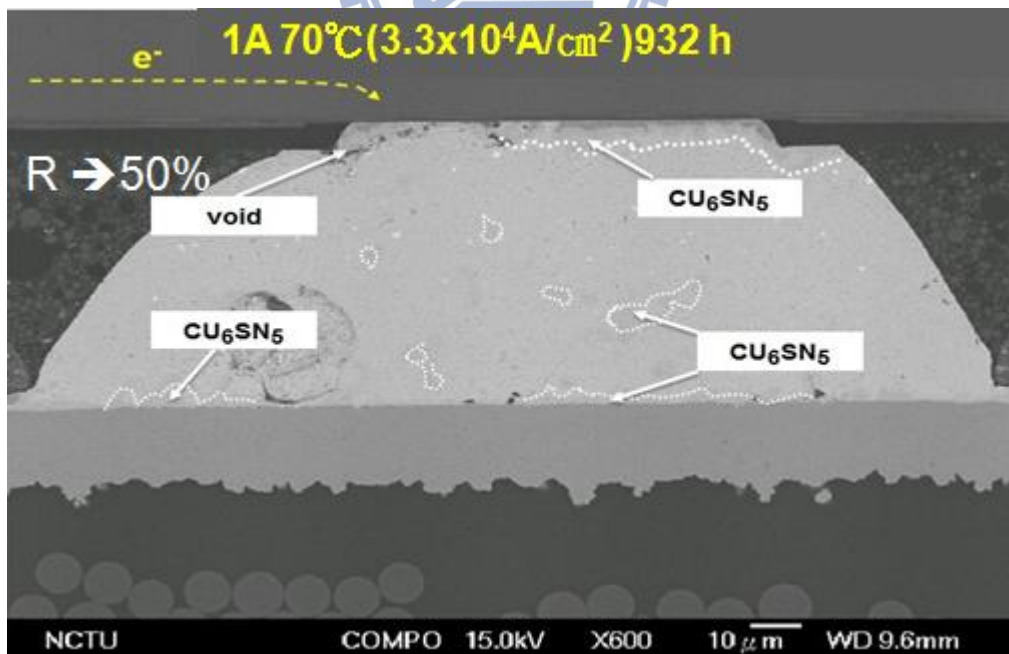


圖 4-3 1A 70°C  $R=1.5R_0$  通電時間 932 小時

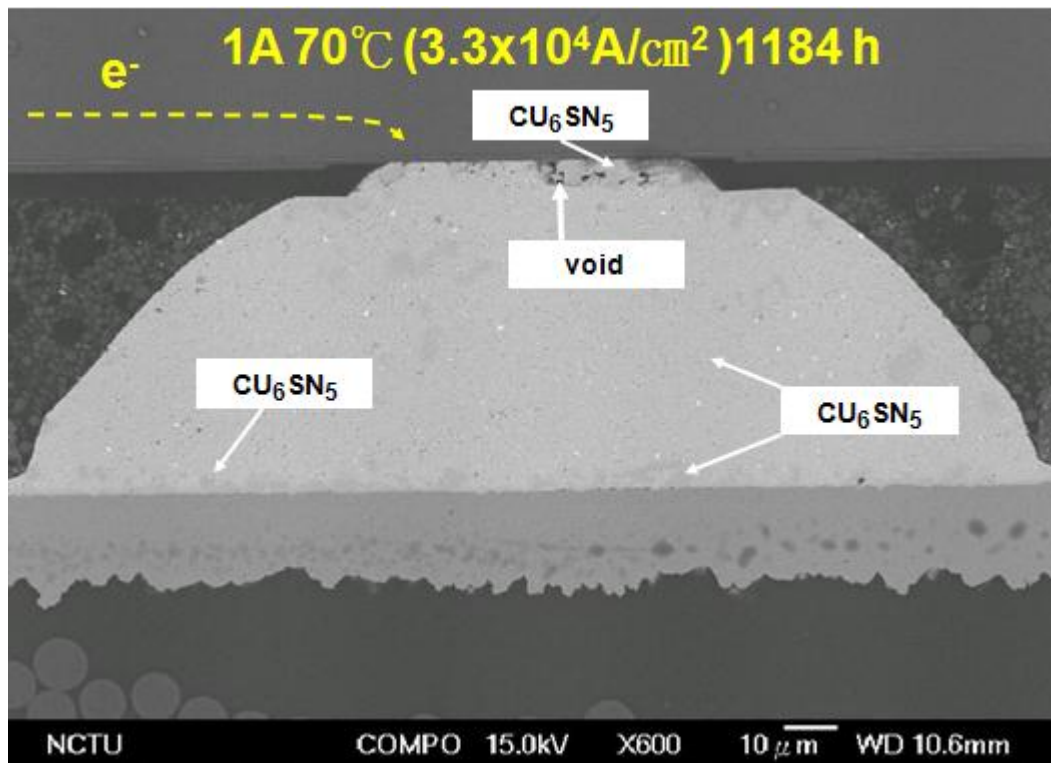


圖 4-4 1A 70°C  $R=2.0R_0$  通電時間 1184 小時

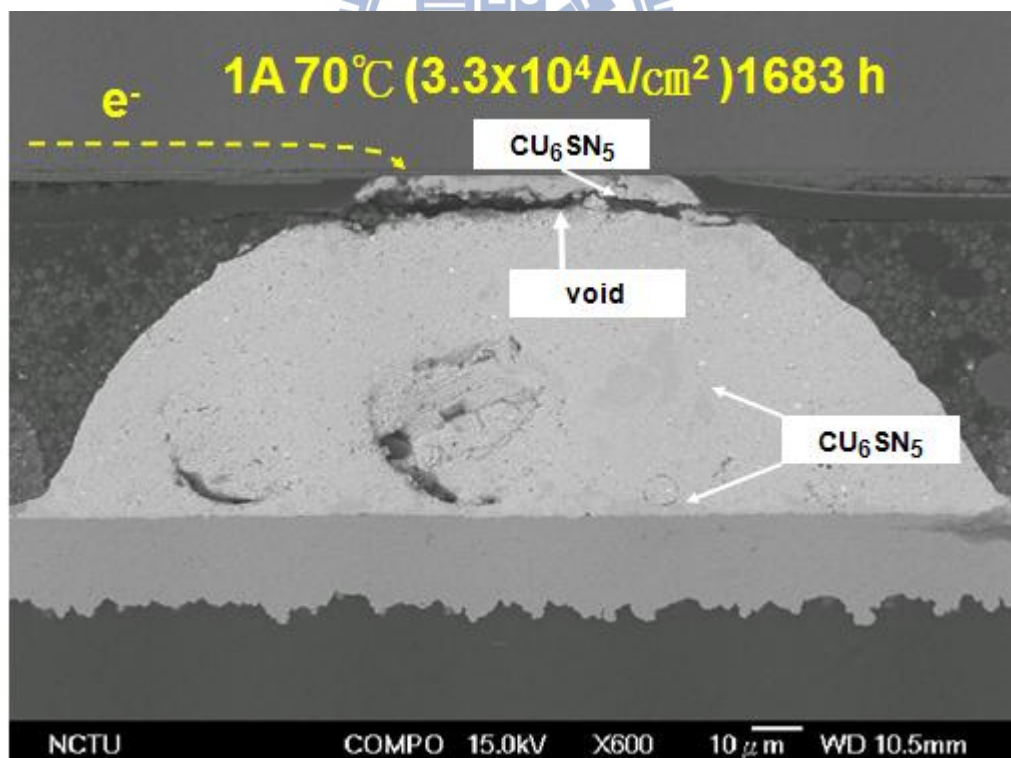


圖 4-5 1A 70°C  $R=3.0R_0$  通電時間 1683 小時

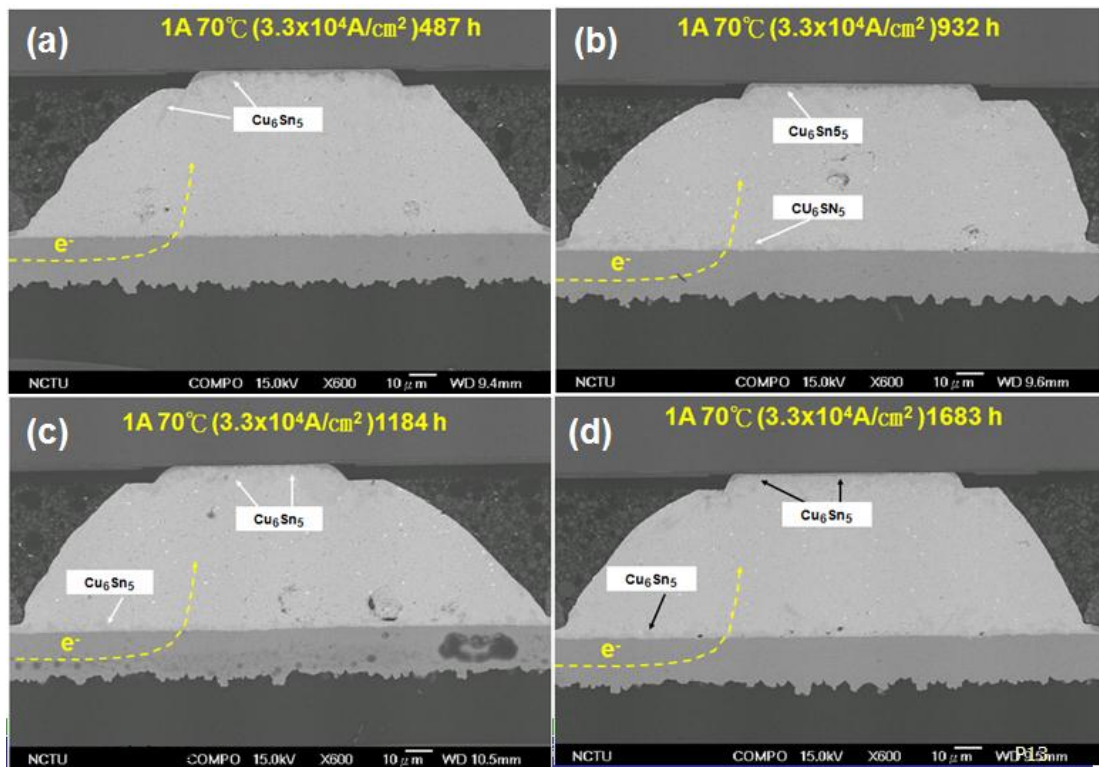


圖 4-6 1A 70°C 電子流向上(a)通電時間 487 小時(b)通電時間 932 小時  
(c)通電時間 1184 小時(d)通電時間 1683 小時



4-2 破壞模式分析, 高溫 180°C (電流密度:  $1.1 \times 10^4$  A/cm<sup>2</sup>)

A. 電子流向下的破壞模式(電子流由晶片端流進鉅錫)

圖 4-7 為 Cu-5 $\mu$ m 金屬墊層的鉅錫接點在加熱板 180°C 的環境下通以 0.3 安培的電流, 經過 92 小時之後, 鉅錫電阻上升至 1.2 倍  $R_0$  時的電子顯微鏡影像圖, 與圖 4-1 比較, 在電流集中效應的影響, 可以觀察到, 鉅錫左上角, 僅有零星的孔洞生成, 銅金屬墊層逐漸消耗, 形成的介金屬化合物, 其成分組成經 EDX 分析為  $Cu_6Sn_5$ 。

圖 4-8 為通電時間 190 小時電阻上升至 1.5 倍  $R_0$  時的電子顯微鏡影像圖, 在電遷移的持續作用下, 經 FIB 分析可以觀察到, 鉅錫左上角, 有許多微孔洞出現(圖 4-11-1), 金屬墊層形成的介金屬化合物受電子流的推移, 逐漸剝離進入鉅錫內部, 堆積於基板端方向, 其成分組成經 EDX 分析為  $Cu_6Sn_5$ 。

圖 4-9 當鉅錫電阻上升到 2.0 倍  $R_0$  時, 通電時間 337 小時, 可以看到晶片端的金屬墊層幾乎完全消耗, 大量的介金屬化合物形成, 佔據 UBM 位置, 並剝離擴散進入鉅錫內部, 試片經 FIB 分析一樣可以觀察到, 鉅錫左上角, 有許多微孔洞出現(圖 4-11-2), 而在基板端累積更多的介金屬化合物。

圖 4-10 為通電時間 593 小時電阻上升至 3.0 倍  $R_0$  時的電子顯微鏡影像圖, 在電遷移的持續作用下, 金屬墊層幾乎完全消耗, 在電流集中效

應的持續影響下, 錐錫左上角, 有微孔洞生成(圖 4-11-3), 電子流進入錐錫內部的接觸面積變小, 電流密度大幅增加, 電流集中產生嚴重的焦耳熱, 使錐錫電阻急劇上升。

#### B. 電子流向上的破壞模式(電子流由基板端流進錐錫)

圖 4-12 為金屬墊層 Cu-5 $\mu$ m 的錐錫接點在加熱板 180°C 的環境下通以 0.3 安培的電流, Bump2 電子流流向為基板端網晶片端, 圖(a)(b)(c)(d) 分別為通電 92, 190, 337, 593 小時之後, 各階段的電子顯微鏡影像, 在晶片端, 可以觀察到, 隨時間的增加 Cu UBM 逐漸消耗溶解、IMC 成長、形成介金屬化合物 Cu<sub>6</sub>Sn<sub>5</sub>, 在基板端電流進入錐錫的端點, 沒有發現孔洞成長, 錐錫內部有一些自 UBM 金屬墊層擴散出來的介金屬化合物, 電遷移的破壞情形大致上與 70°C 的環境下相同, 通電時間越長, 介金屬化合物的生成越多, Bump2 電子流向上受電遷移的破壞情況, 沒有比 Bump3 電子的向下來的嚴重, 主要也是因為電子流向上金屬墊層 Cu/Ni, 電子流向上金屬墊層 Cu, 其中金屬墊層 Cu/Ni, 鎳原子的擴散慢, 鎳原子層再一次的分散電流密度, 減緩電流集中效應, 故其所能容忍的電遷移破壞時間, 相對較長。

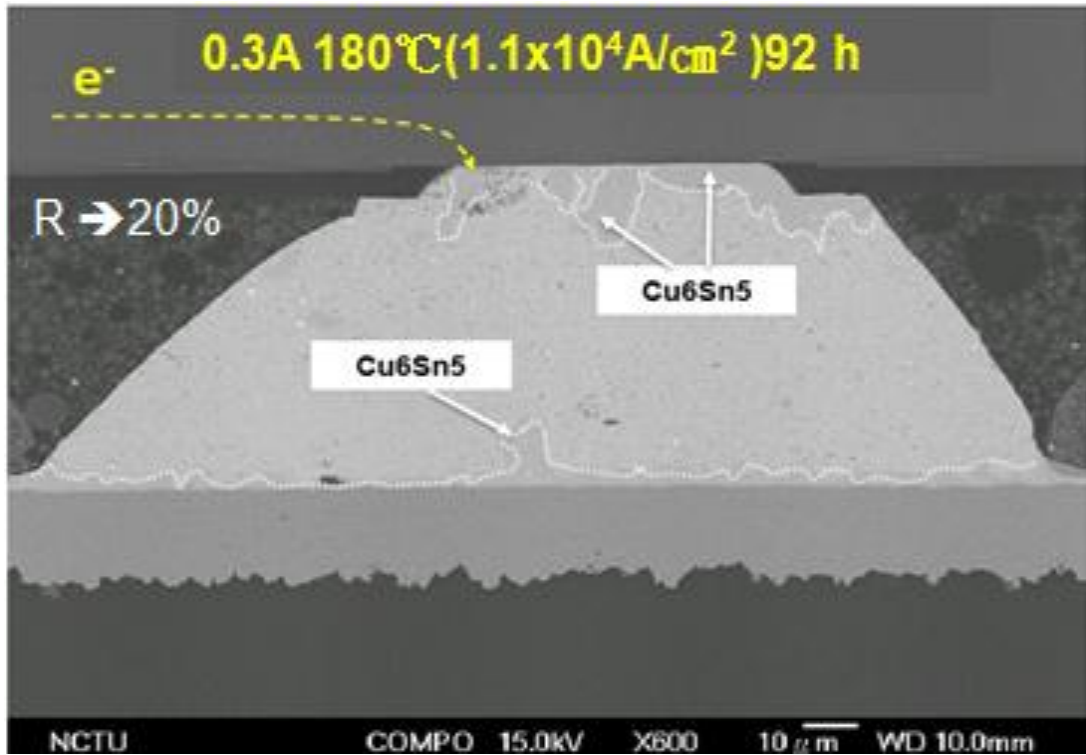


圖 4-7 0.3A 180°C  $R=1.2 R_0$  通電時間 92 小時

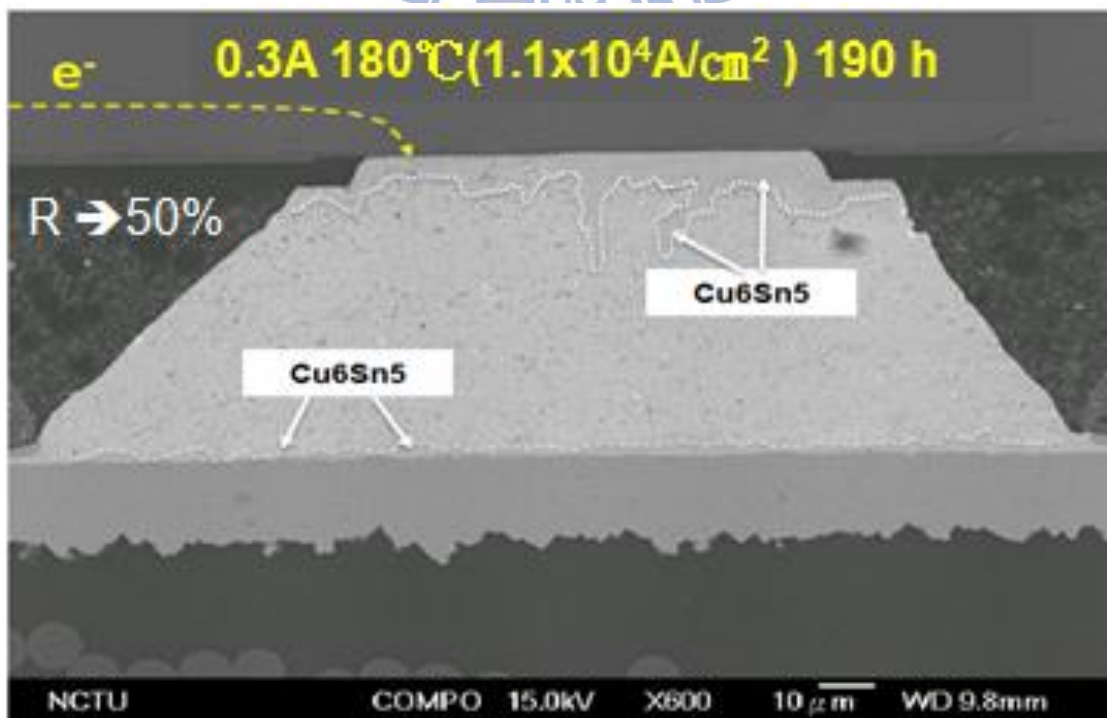


圖 4-8 0.3A 180°C  $R=1.5 R_0$  通電時間 190 小時

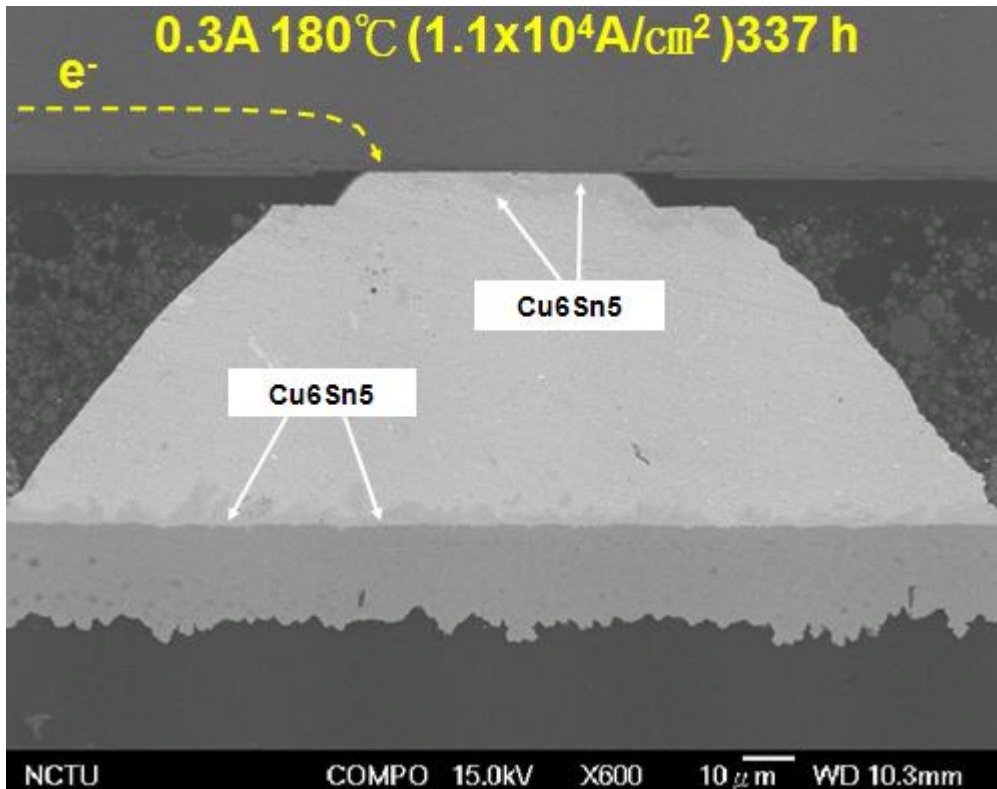


圖 4-9 0.3A 180°C R=2.0 R<sub>0</sub> 通電時間 337 小時

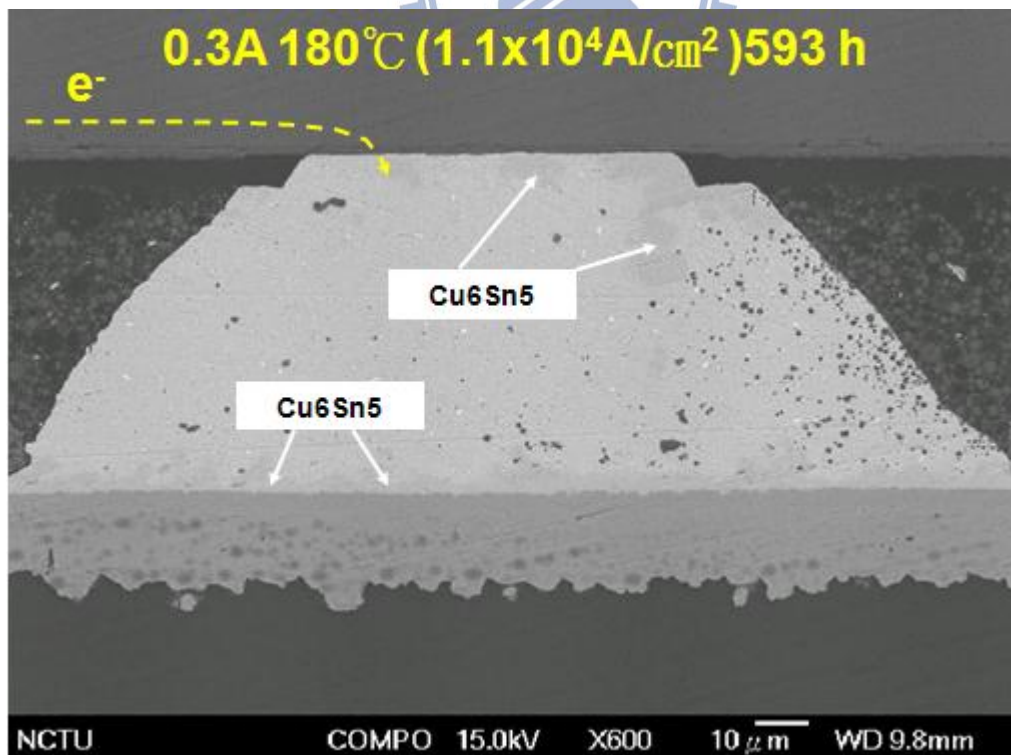


圖 4-10 0.3A 180°C R=3.0 R<sub>0</sub> 通電時間 593 小時

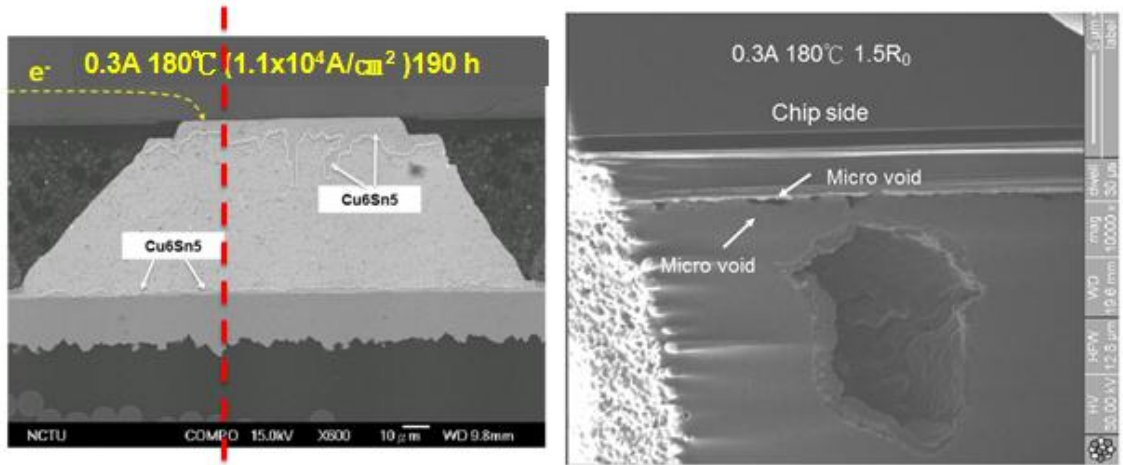


圖 4-11-1 0.3A 180°C R=1.5 R<sub>0</sub>, FIB 發現 micro void

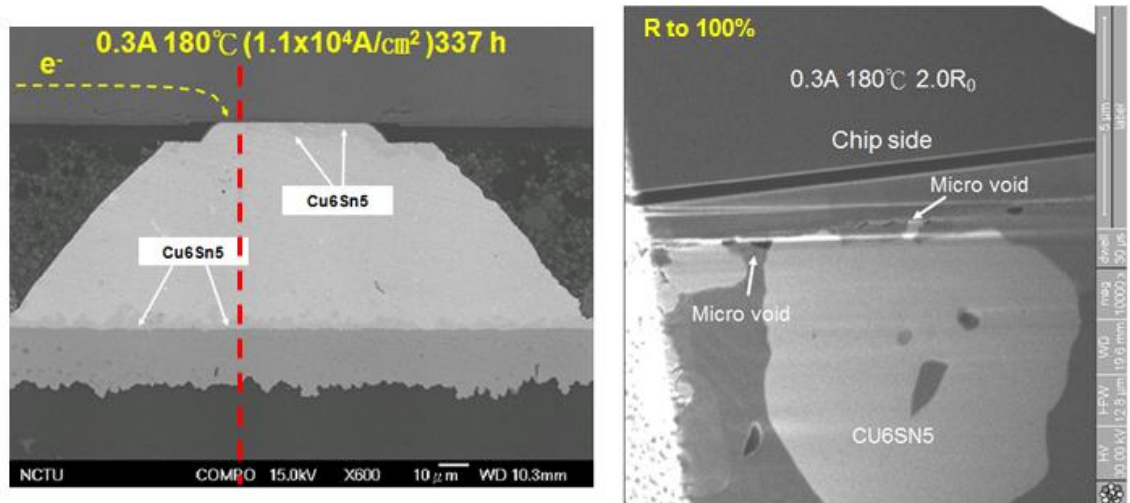


圖 4-11-2 0.3A 180°C R=2.0 R<sub>0</sub>, FIB 發現 micro void

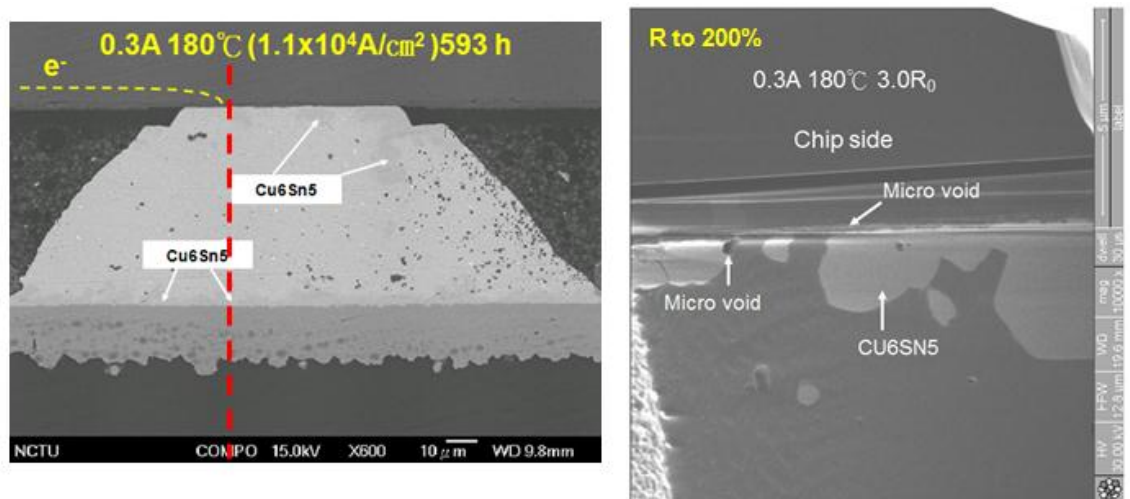


圖 4-11-3 0.3A 180°C R=3.0 R<sub>0</sub>, FIB 發現 micro void



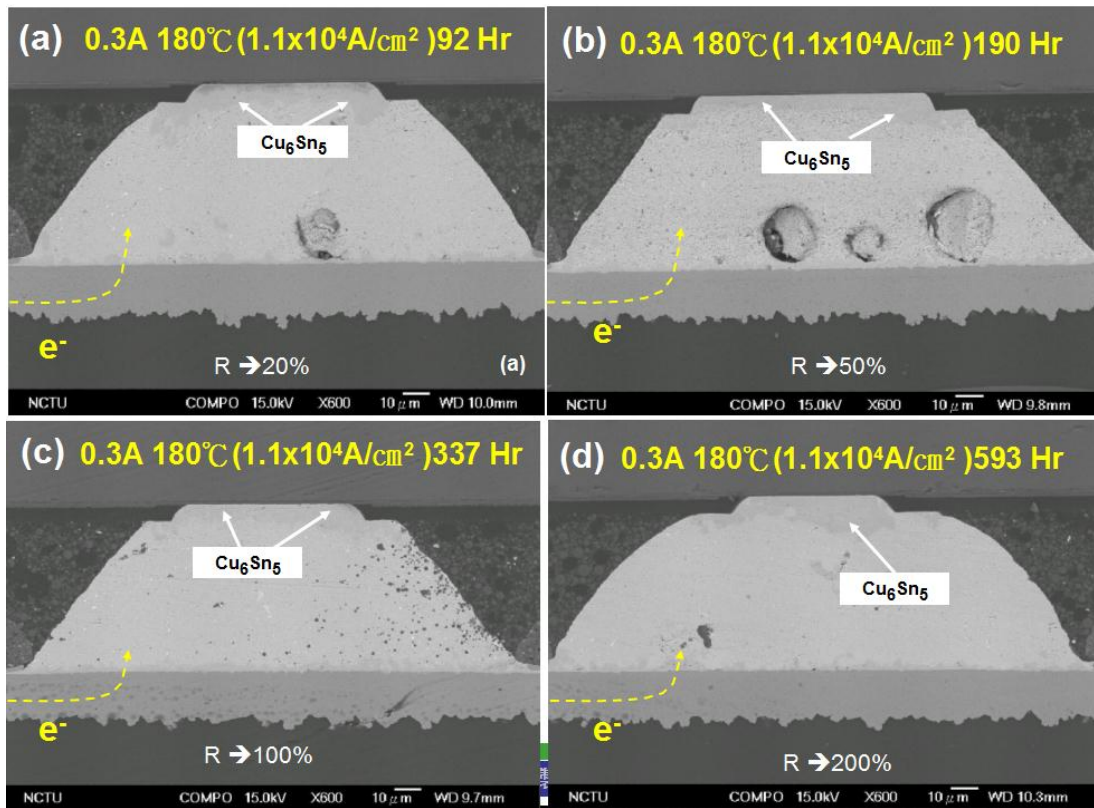


圖 4-12 0.3A 180°C 電子流向上(a)通電時間 92 小時(b)通電時間 190 小時(c)通電時間 337 小時(d)通電時間 593 小時



### 4-3 孔洞生成討論

經由錐錫凸塊剖面觀察，孔洞的發生，主要發生於電子流向下的錐錫凸塊，其開始生成的位置為電子流流入的鋁導線與錐錫凸塊的界面處，此一現象係因電流聚集效應(Current crowding effect)，該處為覆晶錐錫凸塊的最大電流密度處，其中在 70°C 的溫度下所形成的孔洞較大，一般達到幾十微米的寬度，且隨電子流路徑的改變，長沿著 IMC 與錐錫凸塊的界面向右陸續成長，直到整體錐錫凸塊幾乎完全破壞。在 180°C 的溫度下所形成的孔洞，相對較小，當孔洞沿著 IMC 與錐錫凸塊的界面持續成長時，其電子流可流經面積亦隨之減少，造成電阻曲線上升的原因來自於微孔洞的生成。



The resistivities of the materials

Materials	Resistivity $\mu \Omega \text{cm}$
Al	4.3
Ni(V)	63.2
Cu <sub>6</sub> Sn <sub>5</sub> IMC	17.5
Sn <sub>63</sub> Pb <sub>37</sub>	14.6
Ni <sub>3</sub> Sn <sub>4</sub> IMC	28.5
Ni	6.8
Cu	1.7

表 4-1 材料電阻率

## 第五章、結論

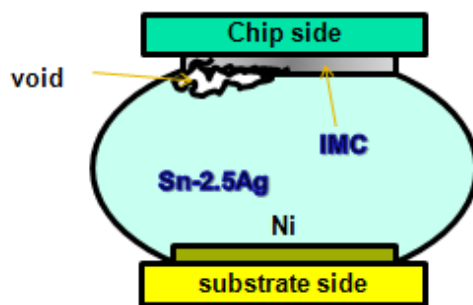
本研究在討論不同溫度下鉛錫受電遷移的破壞情形。利用上述凱文構共晶錫銀試片。實驗發現在不同的溫度下，鉛錫受電遷移的破壞模式為，低溫環境下，由試片剖面觀察到主要的破壞模式為Pancake-void；高溫環境下，主要的破壞模式為銅金屬墊層消耗溶解，伴隨微孔洞的成長，探討其形成的機制，覆晶鉛錫中銅原子的擴散速率快於錫原子，在環境溫度達180°C時，因為銅原子與錫原子相互擴散，形成介金屬化合物，此時銅原子與錫原子的擴散速率差異縮小，擴散速率增加，且高溫條件如圖5-1(a)低電流密度焦耳熱效應不明顯，使鉛錫兩端溫度梯度差異不大，熱遷移現象不明顯，UBM中的銅原子與錫快速反應形成IMC，並佔據整個UBM位置，電流聚集效應包覆在IMC中，電遷移效應不明顯，micro void 形成在barrier 與IMC介面(FIB分析)，造成電阻上升。

低溫條件如圖5-1(b)高電流密度下所產生的焦耳熱效應，在鉛錫上下兩端形成較大的溫度梯度，造成明顯的熱遷移現象，UBM中銅原子快速往冷端移動，IMC不易在此形成，銅原子不斷的流失下，在IMC與錫的介面逐漸形成void，造成電阻上升。本實驗證實覆晶錫銀鉛錫受電遷移破壞模式，低溫環境下主要破壞模式為Pancake-void，高溫環境下主要破壞模式為銅金屬墊層消耗溶解，伴隨微孔洞的成長。孔洞成長的機制會受電流密度大小不同，產生的焦耳熱效應在鉛錫兩端，形成不同梯度的

溫度差,所引發的熱遷移效應,電流聚集效應發生的位置,將影響孔洞生成的大小及位置.

低溫: Pancake-void

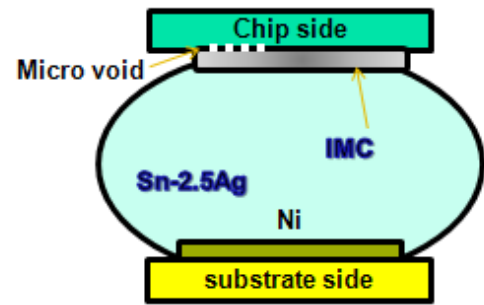
形成在IMC與Sn的介面



(a)

高溫: micro void

形成在IMC與barrier 介面



(b)

圖5-1 高溫低溫下覆晶錫銀鉛錫受電遷移破壞模式

圖5-1 (a)高電流密度下所產生的焦耳熱效應,在鉛錫上下兩端形成較大的溫度梯度,造成明顯的熱遷移現象,UBM中銅原子快速往冷端移動,IMC不易在此形成,銅原子不斷的流失下,在IMC與錫的介面逐漸形成void,造成電阻上升.

圖5-1(b)低電流密度焦耳熱效應較不明顯,鉛錫兩端溫度梯度差較小,熱遷移現象不明顯,UBM中的銅原子與錫快速反應形成IMC,並佔據整個UBM位置,電流聚集效應包覆在IMC中,電遷移效應不明顯, micro void 形成在barrier 與IMC介面,造成電阻上升.

## 第六章、參考文獻

1. Intel Technology journal, Vol.9,issue 4(2005)
2. Hong Xiao, Introduction to Semiconductor Manufacturing Technology, 2001.
3. Simon M Sze, Semiconductor Devices Physics and Technology, 2nd ed. 2002.
4. R.J. Wassink, Soldering in Electronics, Electrochemical Pub. Ltd., p.99, (1984).
5. <http://www.chipbond.com.tw>
6. V. B. Fiks, Soviet Physics – Solid State, Vol. 1, pp. 14-28, 1959
7. W. M. Loh, K. Saraswat, and R. W. Dutton, IEEE Electron Device Lett. EDL-6, 105 (1985).
8. H. B. Huntington and A.R. Grone, “Current-Induced Masker Motion in Gold Wires,” J. Phy. & Chem. Solids, 20, 76 (1961)
9. E. C. C. Yeh, W. J. Choi, and K. N. Tu, P. Elenius, and H. Balkan, Appl. Phys. Lett. 80, 580 (2002).
10. S. H. Chiu, T. L. Shao, and Chih Chen, Infrared microscopy of hot spots induced by Joule heating in Flip-chip SnAg solder joints under accelerated electromigration, APL 88, 022110, 2006.
11. C. Y. Chang, S. M. Sze, ULSI Technology, the McGRAW-HILL, P. 663, 1996.
12. Electro migration and Thermo migration in Pb-Free Flip-Chip Solder Joints-Chih Chen,
13. Analysis and experimental verification of the competing degradation mechanisms for solder joints under electron current stressing - J.H. Ke a, T.L. Yang a, Y.S. Lai b, C.R. Kao
14. Study of void formation due to electro migration in flip-chip solder joints using Kelvin bump probes-Y. W. Chang, S. W. Liang, and Chih Chena
15. Electromigration Study in Flip-Chip SnPb Solder Joints with 5- $\mu\text{m}$  Cu Under-bump-metallization- Student : Chun-chih Chunang Dr. Chih Chen
16. A.A. Liu, H.K. Kim, K.N. Tu, and P.A. Totta, Spalling of  $\text{Cu}_6\text{Sn}_5$  spheroids in the soldering reaction of eutectic SnPb on Cr/Cu/Au
17. K. N. Tu, J. Appl. Phys., Vol. 94, No. 9, P.5456 (2003)
18. K. N. Tu, J. W. Mayer and L.C. Feldman, “Electronic Thin Film Science,”Macmillan, New York 1992.
19. S. Brandenburg and S. Yeh, in Proceedings of the Surface Mount International Conference and Exhibition, SMI98, San Jose, CA, August (1998),pp. 337–344.
20. C. Y. Liu, C. Chen, C. N. Liao, and K. N. Tu, Appl. Phys. Lett. 75, 58 (1999).

21. C. Y. Liu, C. Chen, and K. N. Tu, J. Appl. Phys. 88, 5703 (2000).
22. K. N. Tu, J. Appl. Phys. Vol. 94, Issue 9, pp. 5451-5473 (2003).
23. T. Y. Lee, and K. N. Tu, Electromigration of eutectic SnPb and SnAg<sub>3.8</sub>Cu<sub>0.7</sub> flip chip solder bumps and under-bump metallization, JAP, Vol. 90, N. 9, 2001.

