

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

0.5 微米高壓元件靜電防護能力改善

Improved the ESD capability of 0.5 μ m high voltage device



研究生：潘嘉祥

指導教授：吳耀銓教授

中華民國一〇一年二月

0.5 微米高壓元件靜電防護能力改善

Improved the ESD capability of 0.5 μ m high voltage device

研究生：潘嘉祥

Student : Chia-Hsiang Pan

指導教授：吳耀銓

Advisor : Dr. Yew-Chuang Sermon Wu

國立交通大學
工學院半導體材料與製程設備學程
碩士論文

A Thesis

Submitted to Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Semiconductor Material and Process Equipment

February 2012

Hsinchu, Taiwan, Republic of China

中華民國 一〇一 年 二 月

0.5 微米高壓元件靜電防護能力改善

研究生：潘嘉祥

指導教授：吳耀銓 博士

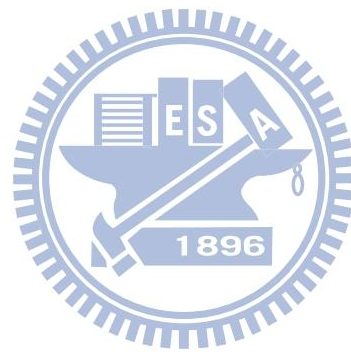
國立交通大學工學院半導體材料與製程設備學程



在真實世界中，當電子產品遭遇靜電放電現象時可能會故障或是損壞，所以靜電放電現象對於電子產品而言是一個很重要的問題。所有的電子產品在量產前都必須通過靜電放電測試，因此我們需要為每個製程設計靜電放電防護元件或是電路去避免靜電放電測試失效。本論文是討論高壓製程的靜電放電防護元件，這個靜電放電防護元件被驗證在 0.5 微米高壓製程。在這個高壓製程中高壓對稱 NMOS 結構(with NBL)與高壓非對稱 NMOS 結構(without NBL)可以藉由較大的面積通過靜電放電測試，但是這兩個標準高壓元件具有較高的元件崩潰電壓與導通電壓，其導通電壓分別為 80.1V 與 109.7V，當負的靜電放電電流施加在輸出與輸入級 PAD 時(ND mode)，因為高壓 PMOS 的崩潰電壓只有 62V，將會導致輸出輸入級防護電路受損。

在這個靜電防護案例中，我們不更改製程參數、製程流程與布林運算式，我們修改 N-type 掩埋的光罩去改善靜電放電能防護力，將 N-type 掩埋層植入在高壓非對稱 NMOS 結構下方，結果是，高壓非對稱 NMOS 結構(with NBL)的崩潰電壓與導通電壓將降低到 60V，因此有 N-type 掩埋層的高壓非對稱 NMOS 結構的靜電防護元件能夠更有效的保護內部電路，此外，在靜電放電現象發生時寄生縱向電晶體可以快速導通去旁通靜電

放電電流，一旦縱向電晶體導通，靜電放電電流會遠離元件表面，所以可以在小的佈局面積獲得足夠高的靜電防護能力。



Improved the ESD capability of 0.5 μ m high voltage device

Student : Chia-Hsiang Pan

Advisors : Dr. Yew-Chuang Sermon Wu

Degree Program of Semiconductor Material and Process Equipment

College of Engineering

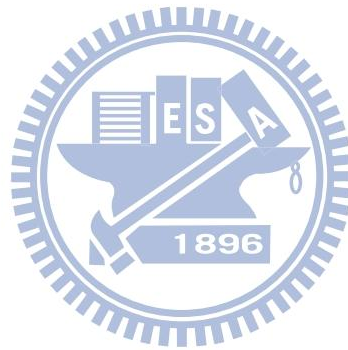
National Chiao Tung University

ABSTRACT

In the real world, electronic product or could malfunction or be damaged when the electronic product to be subjected to Electrostatic Discharge (ESD) event. So the ESD event is an important issue of electronic product. All product must be pass ESD test before mass production. Therefore, we need to design the ESD protection device or circuit to avoid ESD failure for all process. This paper is describe ESD device in high voltage process, This ESD protection device has been verified in 0.5 μ m high voltage process. In this high voltage process, the standard high voltage symmetric NMOS structure (without NBL) and standard high voltage asymmetric NMOS structure (without NBL) need to depend on large area to bypass ESD current, but both of two standard high voltage devices have higher MOS breakdown voltage and trigger voltage. The trigger voltage of symmetric NMOS structure and asymmetric NMOS structure are 80.1V and 109.7V, respectively. When the I/O PAD is stressed negative current (ND mode), because the breakdown voltage of high voltage PMOS only have 62V, it will cause damage in the I/O cell.

In this ESD case, we do not change process parameter, process flow and Boolean operation, we modify the NBL MASK to improved ESD ability, an extra highly dope buried layer implant under the asymmetric NMOS structure, as a result, the breakdown voltage and trigger voltage of asymmetric NMOS will be reduce to 60V, therefore, the asymmetric NMOS with

NBL structure can protect internal circuit more effectively. Furthermore, the parasitic VNPN transistor can turn on quickly to bypass ESD current on the ESD event, Once the VNPN transistor turn on, the ESD current can leave the surface of device. So, we can obtain high enough ESD ability in small layout area.



誌 謝

進入交通大學半導體專班兩年多的時間裡，非常感謝指導教授吳耀銓教授的教導，同時感謝口試委員潘扶民教授與許鈺宗教授在報告與論文上給予的建議與指導讓這篇論文更加完善，我相信這些時間所學到的專業知識與觀念在未來的工作上會有非常大的幫助。

特別感謝公司的長官們鼓勵嘉祥報考國立交通大學，尤其是製程整合部門的陳銘逸部經理、趙芳玫經理與所有製程整合部門的同仁給予嘉祥支持與鼓勵並教導嘉祥許多的專業知識與儀器操作讓我能夠順利完成這篇論文。

感謝各位學長與同學們的幫忙，尤其是惇元學長，因為您的鼓勵才讓我提起勇氣參加入學考試，在課業上也提供我許多幫助，非常感謝您。嚴永民、黃稚銜、楊子弘、莊樹璋，這一路走來多虧了你們，互相扶持與鼓勵，謝謝你們。

最後，感謝我的家人與朋友，這些日子陪你們的時間變少了，感謝你們的體諒與支持，在此與各位分享這份喜悅。



潘 嘉 祥

誌於新竹交大

目 錄

中文提要	i
英文提要	iii
誌謝	v
目錄	vi
表目錄	viii
圖目錄	ix
第一章、	緒論.....	1
1.1	研究動機與目的.....	1
第二章、	第二章 靜電防護元件與測試方法.....	3
2.1	靜電防護元件.....	3
2.1.1	二極體.....	4
2.1.2	閘極接地電晶體.....	5
2.1.3	場氧化層電晶體.....	7
2.1.4	寄生電晶體.....	8
2.1.5	矽控整流器.....	8
2.1.6	電壓鉗制電路.....	9
2.1.7	其他防護設計.....	11
2.2	靜電放電測試方式.....	12
第三章、	實驗步驟與製程流程.....	25
3.1	實驗步驟.....	25
3.2	製程流程.....	26
3.3	標準元件結構.....	30
第四章、	靜電放電防護元件佈局與單顆靜電放電防護元件能力測試結果.....	32
4.1	靜電防護元件結構與參數.....	32
4.2	靜電放電測試結果.....	39
4.2.1	晶圓層級靜電放電量測.....	39
4.2.2	零件層級靜電放電測試.....	44
4.3	分析與討論.....	45

第五章、	靜電放電輸出輸入級電路.....	46
5.1	靜電放電輸出輸入級電路.....	46
5.1.1	常見的靜電放電輸出輸入級電路.....	46
5.1.2	Open drain 電路.....	49
5.2	靜電放電輸出輸入級電路人體放電模式與機器放電模式測試結果...	53
5.3	分析與討論.....	54
5.4	失效原因分析.....	56
第六章	結論.....	59
參考文獻	60
自傳	64



表 目 錄

第四章	
表 4.1	高壓對稱結構 NMOS(without NBL)與高壓非對稱結構 NMOS(without NBL)利用 HANWA TLPG 所量測到的電性參數.....	40
表 4.2	高壓非對稱結構 NMOS(with NBL)利用 HANWA TLPG 所量測到的電性參數.....	41
表 4.3	高壓非對稱結構 NMOS (partial NBL) 利用 HANWA TLPG 所量測到的電性參數.....	42
表 4.4	高壓非對稱結構 NMOS (partial butting contact) 利用 HANWA TLPG 所量測到的電性參數.....	43
表 4.5	高壓對稱結構 NMOS(without NBL)靜電放電測試結果.....	44
表 4.6	高壓對稱結構 NMOS(without NBL)靜電放電測試結果.....	44
第五章	
表 5.1	使用高壓非對稱結構 NMOS(without NBL)為拉降元件與電壓鉗制元件的人體放電模式與機器放電模式測試結果.....	54
表 5.2	使用高壓非對稱結構 NMOS(with NBL)為拉降元件與電壓鉗制元件的人體放電模式與機器放電模式測試結果.....	54

圖 目 錄

第一章	
圖 1.1	積體電路發生失效原因的分佈圖.....	2
第二章	
圖 2.1	輸出輸入級拉升拉降元件.....	5
圖 2.2	寄生 NPN 電晶體的結構與電流流向.....	6
圖 2.3	GGNMOS 與 GDPMOS 的電壓-電流特性曲線.....	7
圖 2.4	場氧化層電晶體結構.....	7
圖 2.5	縱向與橫寄生電晶體結構.....	8
圖 2.6	矽控整流器結構與元件佈局參數.....	9
圖 2.7	RC-inverter NMOS 電路設計.....	10
圖 2.8	CR-NMOS 電路設計.....	10
圖 2.9	Substrate trigger power clamp 電路設計.....	11
圖 2.10	人體放電模式的等效電路示意圖.....	13
圖 2.11	機器放電模式的等效電路示意圖.....	14
圖 2.12	元件充電模式靜電放電的等效電路示意圖.....	15
圖 2.13	人體放電模式、機器放電模式與元件充電模式的靜電放電電流波形與 傳輸線觸波產生器所產生的方波波形比較.....	15
圖 2.14	傳輸線觸波產生器架構示意圖.....	16
圖 2.15	傳輸線觸波產生器等效電路示意圖.....	17
圖 2.16	不同充電電壓下得到的電流電壓曲線.....	18
圖 2.17	靜電防護元件的觸發電壓需要避免高於標準元件崩潰電壓同時不能 低於操作電壓.....	20
圖 2.18	二極體、N-type 電晶體、場氧化層電晶體與矽空整流器在傳輸線觸波 產生器量測下所得到的結果.....	20
圖 2.19	I/O 接腳對 VDD/VSS 接腳的測試示意圖.....	22
圖 2.20	I/O 接腳與 I/O 接腳的測試示意圖.....	23
圖 2.21	VDD 接腳-VSS 接腳的測試示意圖.....	23

圖 2.22	使用 KeyTek Zap master MK2 測試後得到的電流電壓曲線.....	24
第三章	
圖 3.1	靜電放電實驗流程圖.....	26
圖 3.2	高壓非對稱 NMOS 元件結構.....	30
圖 3.3	高壓對稱 NMOS 元件結構.....	31
圖 3.4	高壓非對稱 PMOS 元件結構.....	31
圖 3.5	高壓對稱 PMOS 元件結構.....	31
第四章	
圖 4.1	高壓對稱結構 NMOS(without NBL)	34
圖 4.2	高壓對稱結構 NMOS(without NBL) layout.....	35
圖 4.3	高壓非對稱結構 NMOS(without NBL)	35
圖 4.4	高壓非對稱結構 NMOS(without NBL) layout.....	36
圖 4.5	高壓非對稱結構 NMOS(with NBL)	36
圖 4.6	高壓非對稱結構 NMOS(with NBL) layout.....	37
圖 4.7	高壓非對稱結構 NMOS (partial NBL)	37
圖 4.8	高壓非對稱結構 NMOS (partial NBL) layout.....	38
圖 4.9	高壓非對稱結構 NMOS (partial butting contact)	38
圖 4.10	Partial butting contact 佈局方式.....	39
圖 4.11	高壓對稱結構 NMOS(without NBL) TLP 量測結果.....	40
圖 4.12	高壓非對稱結構 NMOS(without NBL) TLP 量測結果.....	40
圖 4.13	高壓非對稱結構 NMOS(with NBL) TLP 量測結果.....	41
圖 4.14	高壓非對稱結構 NMOS (partial NBL) TLP 量測結果.....	42
圖 4.15	高壓非對稱結構 NMOS (partial butting contact) TLP 量測結果.....	43
第五章	
圖 5.1	靜電防護元件放置在輸出輸入級與電源線與接地線之間.....	47
圖 5.2	PS mode 與 NS mode 的理想電流路徑.....	49
圖 5.3	PD mode 與 ND mode 的理想電流路徑.....	49
圖 5.4	PS mode 與 NS mode 的理想電流路徑.....	51
圖 5.5	PD mode 與 ND mode 的理想電流路徑.....	52

圖 5.6	靜電放電全晶片防護設計.....	54
圖 5.7	高壓非對稱結構 PMOS 的崩潰電壓.....	56
圖 5.8	I/O-VSS mode 的失效分析結果.....	57
圖 5.9	I/O-VDD mode 的失效分析結果.....	58



第一章 緒論

1.1 研究動機與目的

電子產品在現代的日常生活中已經成為不可或缺的必需品，包含手機、電腦、電視、汽車...等，而這些產品都需要使用到不同功能的積體電路(Integrated Circuits, ICs)與這些積體電路所組合的系統，為了避免積體電路本身失效造成電子產品故障失去其功能，製造積體電路的公司會進行各種的可靠度測試，可靠度測試包含過電壓測試、升溫測試、濕度測試與靜電放電測試...等，若積體電路通過功能驗證但是卻未能通過可靠度測試，這將會影響產品壽命，尤其電子產品發生故障後的失效分析相當複雜與困難，需要使用許多的分析儀器並花費大量的時間與金錢，這不只對使用者帶來困擾，同時也會影響製造公司的聲譽，因此對電子產品而言靜電放電的驗證是相當重要的，若是積體電路的用途是使用在軍事醫療或是高價位產品上對於可靠度與產品壽命的標準必須更嚴謹。

電子元件或系統在製造、生產、組裝、測試、存放、搬運等的過程中，靜電會累積在人體、儀器與儲放設備之中，甚至在電子元件本身也會累積靜電，如果電子元件與這些物體相互接觸形成放電路徑，使得電子元件或系統遭到靜電放電(Electrostatic Discharge, ESD)的破壞，形成可靠度的問題。靜電放電現象會導致電子元件或電子系統受到過度電性應力(Electrical Overstress, EOS)破壞，而電子產品失效的原因如圖 1.1 所示[1]。靜電放電現象的產生是因為靜電電荷存在自然環境之中，若兩個不同材質的物體接觸後再分離，就可能產生靜電，此時若沒有放電路徑，靜電電荷會累積在物體上直到與導電物體接觸後發生電荷轉移的現象，這就是所謂的靜電放電現象。日常生活中靜電通常來自於摩擦生電，材料的絕緣性越好，越容易經由摩擦產生靜電，而我們的日常生活中常使用塑料製品與絕緣材料，所以很容易產生靜電，尤其我們的鞋底通常使用絕緣材料，日常生活中許多行為產生的靜電電荷將很容易的累積在我們身上，當我們使用電

子產品時靜電放電電流可能縮短電子產品的壽命或是使其完全不能工作，這是因為靜電放電的大電流通過元件時會產生熱效應，當熱效應所產生的熱能超過材料所能承受的極限時可能會發生材料融化，氧化層受損漏電或是金屬導線或是 Contact 因電流密度過高產生的熱能導致融化或蒸發，形成永久性的毀壞，因而影響積體電路的電路功能。

針對靜電放電的部份，IC 設計公司都會要求代晶圓代工工廠提供基本的靜電放電指導方針(ESD guideline)，這份文件會提供基礎的防護元件佈局與相關電性參數給 IC 設計公司參考，因此晶圓代工工廠會針對廠內所有製程進行靜電放電的相關實驗，包含單一元件以及輸入級/輸出級電路的靜電放電能力驗證。由於目前的工作就是針對公司內各個製程的元件層級與輸入級/輸出級電路的靜電放電能力改善，因此將學校所學的元件物理與半導體製程觀念結合工作上實際所遇到的案例寫成這篇論文。

為了避免靜電放電現象對積體電路造成傷害，一般會使用增加元件面積、特殊元件結構與靜電放電偵測電路...等各種方式去將靜電放電電流旁通，而本篇論文使用更改元件結構的方式去改善單一元件旁通靜電放電的效果同時進一步改善輸入級/輸出級元件可能受到靜電放電破壞的問題。

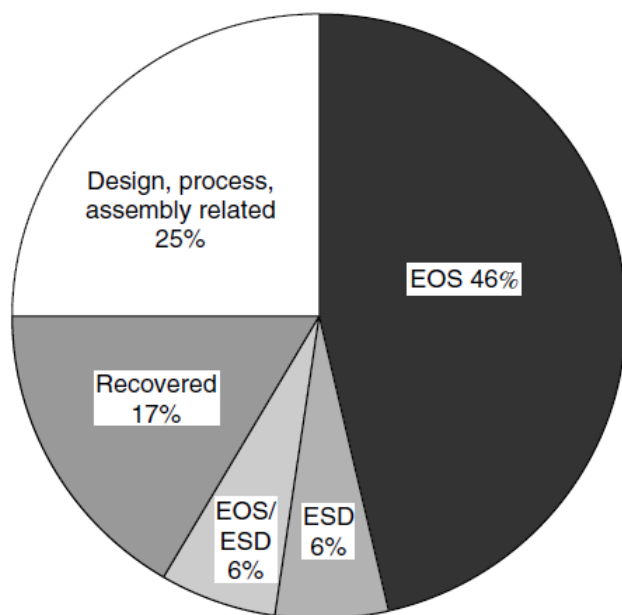


圖 1.1 積體電路發生失效原因的分佈圖[1]。

第二章 靜電防護元件與測試方法

一般製程所生產的元件為了獲得高積集度因此在合乎操作需求的電性條件下會盡量縮小面積，這些元件對於靜電電流是非常敏感的。晶圓製造業者與積體電路設計業者為了避免靜電放電現象影響產品可靠度會進行許多工程實驗開發各種製程適合使用的元件或是結構。而不同的電子產業協會也分別制定出標準測試規範去定義產品對靜電放電的忍受能力，其中美軍先提出美國軍規標準 MIL-STD-883C method 3015.7，之後美國靜電放電防護工程學會 (ESDA)、電子工業聯盟/電子元件工程聯合諮詢會 (EIA/JEDEC)、固體技術協會(JEDEC)與日本電子工程協會(EIAJ)分別對人體放電模式與機器放電模式訂出測試規範，由規範中定義的測試方式所得到的結果可以了解積體電路的靜電防護水準[2]。

本章節會介紹常使用的靜電放電防護元件同時也會介紹晶圓層級的傳輸線觸波產生器量測方式(Transmission Line Pulsing Generator, TLP)與業界標準零件層級(封裝層級)的測試方式(Zap master MK2)，利用這些量測可以幫助我們了解靜電放電電流在元件內部或是電路中的行為。

2.1 靜電防護元件

由於製程中標準規格的元件因為考量電路積集度的關係佈局時都以最小規範 (Minimum rule)進行元件與電路的佈局，這樣的元件在正常操作下不會發生問題，然而在靜電放電發生時由於瞬間的大電流可能造成元件的損壞，因此，我們會設計靜電放電防護元件與輸出輸入級電路，在靜電放電發生時由靜電放電防護元件先導通排放電流並將電位鉗制在低於內部元件崩潰電壓以下的電壓準位以保護內部電路不受到靜電放電電流的傷害。下面的小節會介紹一般靜電防護常用到的元件。

2.1.1 二極體(diode)

早期靜電防護常使用二極體作為防護元件，主要用在輸出輸入接腳作為旁通電流的元件，也有使用指叉狀二極體(multi-finger diode)作為電壓鉗制元件的設計，以二極體作為防護元件的設計主要是利用大面積的接面分流靜電電流，由於電壓鉗制元件主要的功能避免靜電放電電流進入積體電路後拉升內部 PN 接面的電位導致內部電路元件因過電流而受損，因此電壓鉗制元件在設計時會將其崩潰電壓設計為小於內部電路的元件崩潰電壓以確保當靜電放電發生時提供有效的防護，雖然二極體可以將電位鉗制在二極體本身的崩潰電壓附近但是不具備負電阻效應 (snapback) 的特性，無法將電壓拉降至較低的準位，所以在高電流條件下需要承受大功率，這樣的元件需要相當大的面積去分流靜電電流，也因為面積太大所以目前較少使用二極體作為靜電放電防護元件[1][3]。

高速電路中為了降低輸出輸入級路徑的寄生電容會使用小面積的 N-type 二極體與 P-type 二極體，如圖 2.1，這樣的 N-type 二極體與 P-type 二極體是操作在順向偏壓條件，而在順向偏壓條件下很小的面積足以承受數安培的電流，但是電壓鉗制元件仍會使用寄生電晶體或是電壓鉗制電路[4]。

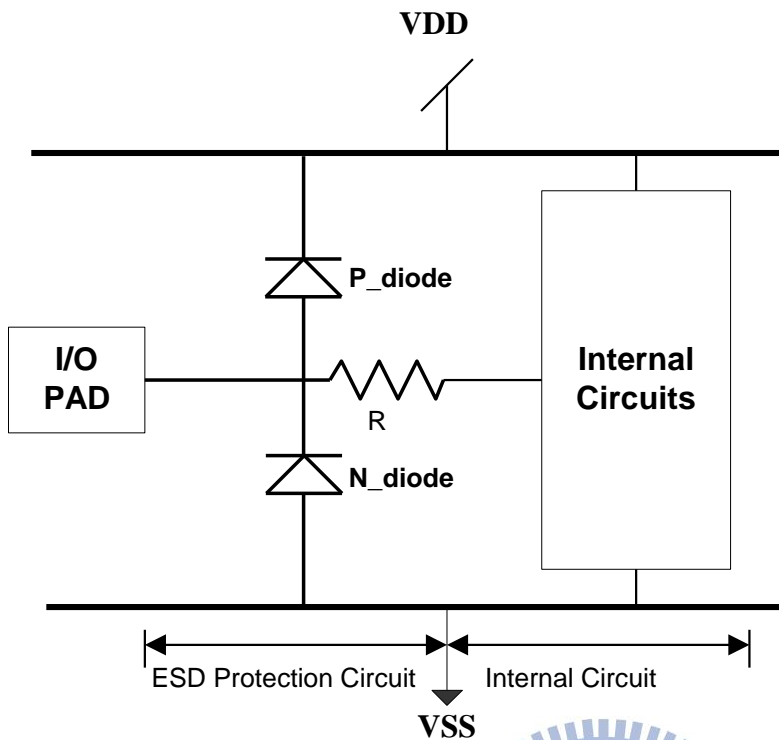


圖 2.1 輸出輸入級拉升拉降元件。

2.1.2 閘極接地電晶體(Gate Ground NMOS, GGNMOS)

目前業界最常使用的靜電放電防護元件為閘極接地電晶體(GGNMOS)，將閘極接地不以閘極電位控制通道的開關，而是利用寄生於閘極接地電晶體內的寄生 NPN 電晶體去旁通靜電電流，由於寄生電晶體導通後會產生負電阻效應將兩端點之電壓鉗制在一個較低的準位，稱之為鉗制電壓或是維持電壓(holding voltage)，以功率的觀點($P=I*V$)，較小的功率損耗所產生的熱也較小，因此可以得到較佳的靜電防護能力，寄生電晶體結構如圖 2.2 所示[1][3]。此外由於寄生電晶體的電流增益可以在較小的面積下得到較好的防護能力，比起二極體更適合做為靜電放電防護元件。對積體電路設計公司的佈局工程師來說，這樣的防護結構因為跟標準的元件差異較小因此在佈局與光罩的布林運算相對簡單也不容易出錯，對積體電路設計公司是較方便的選擇。PMOS 之中同樣存在寄生的 PNP 電晶體，但是通常 PNP 電晶體的電流增益小於 NPN 電晶體，且 PNP 電晶體有很高的保持電壓[5]，從圖 2.3 可以看出 NPN 電晶體的保持電壓明顯低於 PNP 電晶體的保持

電壓，因此有較差的靜電放電防護能力，另外由於電洞的遷移率約只有電子的二分之一，而對於排放靜電放電這樣的暫態電流可能會有較慢的反應時間而導致防護效果較差，除非有特殊設計與考量不然幾乎不會使用 PMOS 作為電壓鉗制元件，例如 RC-PMOS 電路設計或是高壓製程中對於閉鎖效應(latch-up)考量的高維持電壓的需求。

寄生於 MOS 中的電晶體會因製程的不同而產生防護能力上的差異，包含雜質植入的劑量、元素、能量，熱驅入的溫度與時間、元件佈局的方式...等等，另外，這些差異也可能來自於結構上的不同，如典型的互補式電晶體 ((Complementary Metal Oxide Semiconductor, CMOS) 結構與側向擴散電晶體(Lateral Diffuse Metal Oxide Semiconductor, LDMOS)，這些結構的差異都會影響到元件的電性，即使是類似的結構在不同的製程條件中都需要重新驗證。

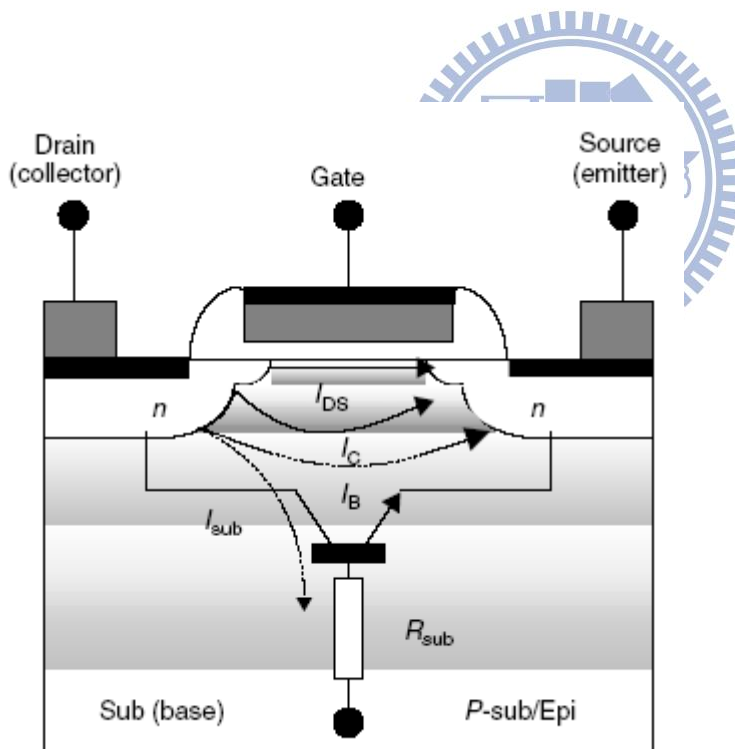


圖 2.2 寄生 NPN 電晶體的結構與電流流向[1]。

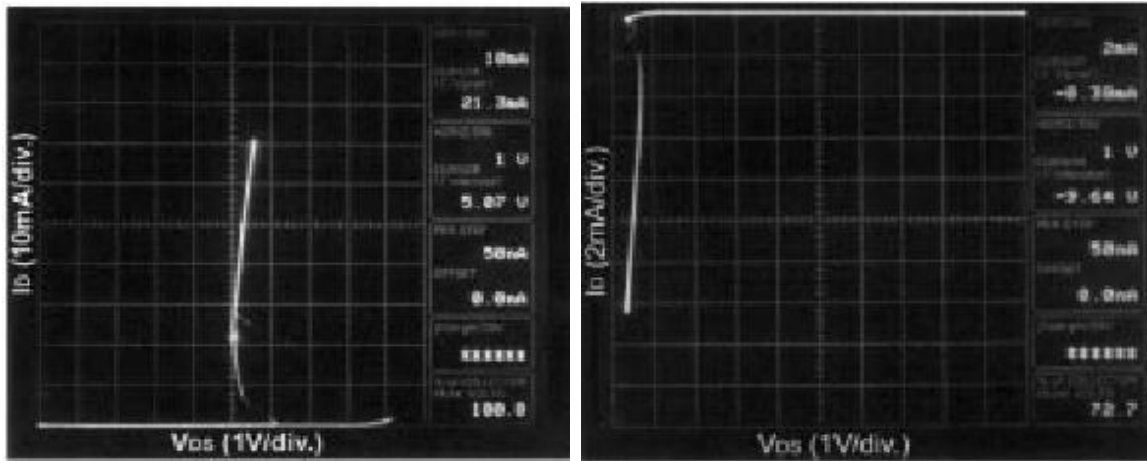


圖 2.3 GGNMOS 與 GDPMOS 的電壓-電流特性曲[5]。

2.1.3 場氧化層電晶體(Field oxide device, FOD)

場氧化層電晶體是製程中的寄生結構如圖 2.4 所示，一般場氧化層電晶體產生的原因是隔離製程做的不好導致距離很近的兩顆元件的汲極(drain)以及源極(source)形成寄生的電晶體，在正常操作時可能因為金屬導線跨在兩個元件上方由於下方濃度太淡而發生弱反轉並產生漏電，這是正常操作下所不希望發生的，因此在 Local 隔離製程中常有通道阻絕(channel stop/field implant)植入的步驟，去避免場氧化層電晶體導通。但是由於場氧化層電晶體具有很厚的閘極氧化層(~5.8K atom)因此流經表面的靜電放電電流較不易破壞閘極氧化層，所以一般來說場氧化層電晶體比起一般的電晶體(Thin Oxide Device)有較高的靜電放電承受能力，但是場氧化層電晶體本身並不屬於正常操作下所使用的元件若，所以在晶圓代工廠所提供的電性設計規範(Electric Design Rule)文件中並不會列出場氧化層電晶體的相關電性參數，因此若要使用場氧化層電晶體當靜電防護元件則必須做額外的電性實驗以獲取所需的電性參數[1]。

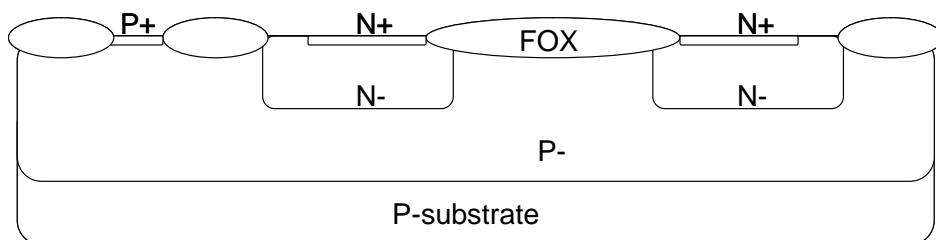


圖 2.4 場氧化層電晶體結構。

2.1.4 寄生電晶體(Parasitic bipolar)

寄生電晶體不是以 MOS 結構為主體的元件，而是寄生於製程之中，利用製程中現有的光罩與植入條件，在不增加光罩也不變動製程的條件下做出寄生於製程中的靜電放電防護元件，這樣針對靜電放電所做出的寄生元件所有的佈局都是以靜電放電防護能力為考量因此有機會以更小的面積得到更高的靜電放電防護能力，圖 2.5 為針對靜電防護元件設計的縱向與橫寄生電晶體結構。但是也因為不改變既有的製程條件導致設計上的困難，需要為不同的製程去設計不同的結構，通過電性測試後也需要針對寄生結構修改布林運算式，避免使用者在產品 tape-out 時在光罩公司運算錯誤導致光罩報廢。

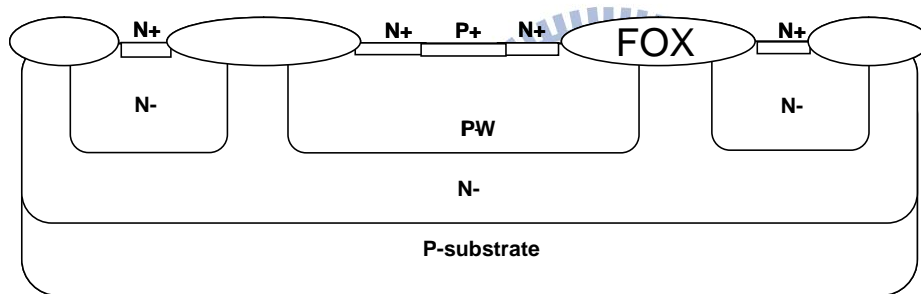


圖 2.5 縱向與橫寄生電晶體結構。

2.1.5 矽控整流器 SCR(Silicon-Controlled Rectifier, SCR)

矽控整流器與寄生電晶體同樣是以製程中現有的光罩與植入條件做出來的靜電放電防護元件，以 PNPN 結構組合成的 NPN 與 PNP 彼此共用集極，導通後以正迴受的機制放大電流，具有非常低的維持電壓與優秀的靜電放電防護能力，但是這樣的寄生電晶體需要更多的測試鍵驗證，如圖 2.6 所示可藉由”D5””D6”的調變找到適合的元件崩潰電壓，但在高壓製程中可能會遇到 N-well 與 P-well 濃度太淡容易發生 N+/N-well 或是 P+/P-well 在高壓操作時先發生貫穿現象(punch through), ”D1””D3”分別調整射極(emitter)與基極(base)面積, ”D2”的距離可以調整 R_pwell 與 R_nwell, ”D4”的寬度會影響元件外

側崩潰電壓，另外，製程中 N-well 與 P-well 濃度也會影響縱向的貫穿電壓，因此不是所有製程都適合使用矽控整流器元件，因此每一個製程都必須重新驗證，此外矽控整流器的維持電壓非常低(約 1~2V)在正常操作條件與靜電放電測試並不會有問題，但是對於控鎖(latch-up)測試時可能因為維持電壓低於操作電壓而導致控鎖現象發生在用於靜電放電防護的電壓鉗制元件，因此實際上使用者對於矽控整流器的使用是有些疑慮的 [1][6][7]。

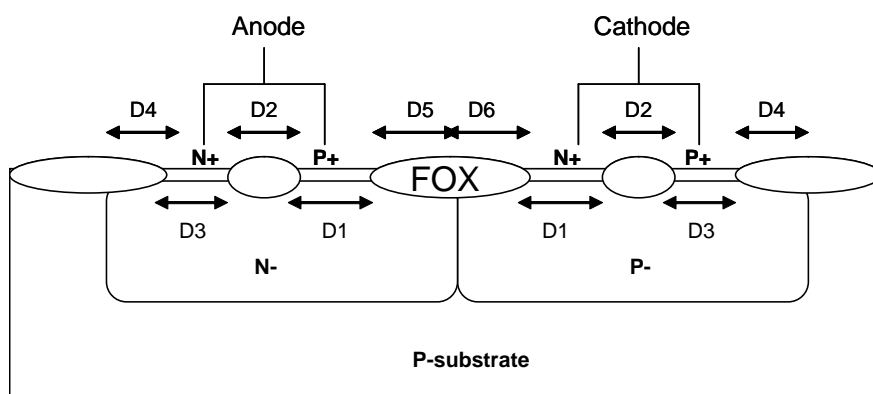


圖 2.6 矽控整流器結構與元件佈局參數。

2.1.6 電壓鉗制電路(Power clamp circuit)

電壓鉗制電路的設計是為了更快速的導通與獲得更好的靜電放電防護能力，主要是 RC-inverter NMOS[8][9]與 CR-NMOS[10][11]的電路設計，電路圖分別為圖 2.7 與圖 2.8，這樣的設計是利用電阻與電容的 RC delay time 在暫態的靜電放電電流由 PAD 進入積體電路時在極短的時間內在大面積的 NMOS(Big-FET)或是 PMOS 的閘極與基極產生壓差並在元件表面形成反轉層，由導通的元件排放靜電放電電流，一般會將 RC delay time 設機在約 1m Sec，適合用在 GGNMOS multi-finger 無法均勻導通又有高靜電放電防護需求的製程或是產品上使用。優點是快速導通不需要等寄生元件動作即可排放靜電放電電流，缺點是除了電阻與電容的面積考量外還需要足以承受大電流的大面積的 NMOS 或是 PMOS 元件。

另外還有針對降低觸發電壓與元件均勻導通而的基底觸發(substrate trigger)設計[5]

[12][13][14]，同樣使用電阻電容組成的靜電偵測電路，如圖 2.9 所示，在靜電放電發生時提供一個基板電流給靜電放電防護元件幫助寄生電晶體導通缺點是仍然需要使用靜電偵測電路，但是對於高靜電放電免疫需求的產品仍是值得參考的防護設計。

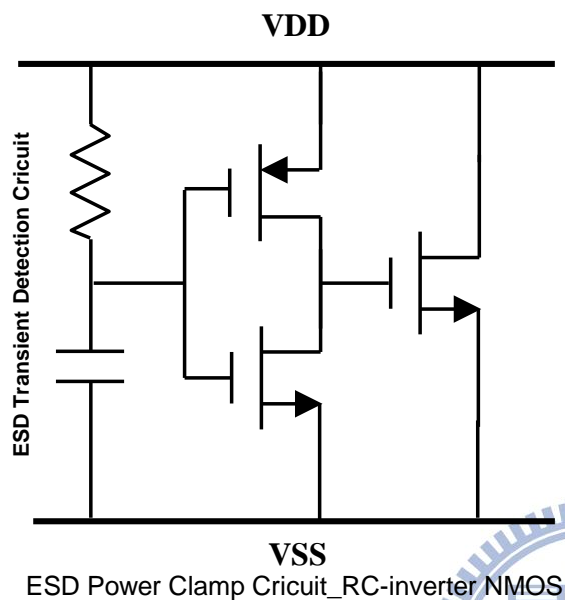


圖 2.7 RC-inverter NMOS 電路設計。

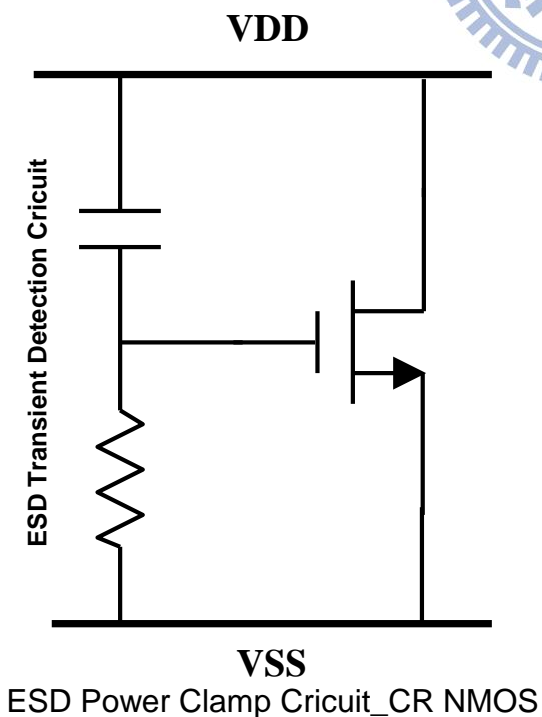


圖 2.8 CR-NMOS 電路設計。

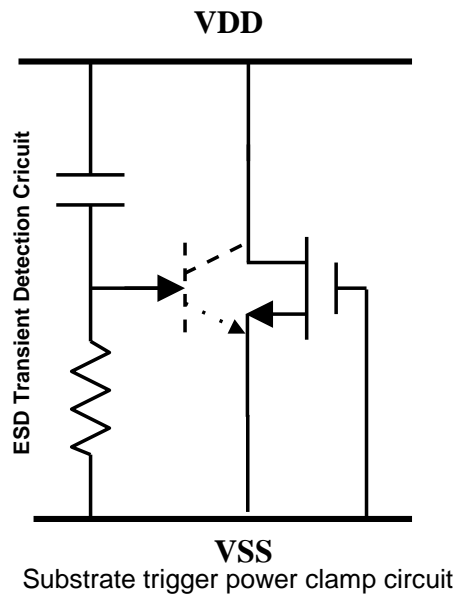


圖 2.9 Substrate trigger power clamp 電路設計。

2.1.7 其他靜電放電防護設計

除了上述的幾種防護元件或是電路以外，針對積體電路設計公司不同的需求也會有不同的設計，例如在 GGNMOS 汲極下方做 P-type 植入的 PESD 設計[15]，利用植入的雜質增加原本 N+汲極下方 P-well 濃度將壘增崩潰現象由較表面的接面轉移到下方較深的區域，同時降低崩潰電壓確保 ESD 元件能先導通，這樣可以避免輕微摻雜汲極(LDD)所造成的尖端放電現象使 ESD 能力變差。

靜電防護元件的防護設計除了元件結構之外金屬導線的佈局方式也有重大的影響，有時可能因為金屬導線太細導致靜電放電測試時金屬導線因電流密度太大而融化，這會被測試機台判定為失效，然而將此一判定失效之積體電路做故障分析時卻可以發現元件本身並無受損，此時只需要增加金屬導線寬度即可，由 PAD 進入靜電防護元件與內部電路的金屬導線的佈局方式也會影響測試結果，總言之，不管是元件結構或是金屬

導線佈局方式都會影響靜電放電防護能力，在設計上或分析時都需要特別考量[3]。

2.2 靜電放電測試方式

靜電放電的測試主要是模擬環境中的靜電源與元件接觸後流過待測物的電流對積體電路產生的損害，靜電放電的待測物(device under test, DUT)可分類為下面三個種類：

晶圓層級(wafer level)靜電放電測試：

待測物為在晶圓上未經封裝的單一元件，例如二極體(diode)，閘極接地電晶體(GGNMOS)，寄生電晶體(Parasitic BJT)，寄生場氧化層電晶體(Parasitic field device)...等，也可以用輸出輸入級的拉升與拉降元件與電壓鉗制元件(power clamp device)組合成的簡單電路進行測試，以上的元件或是電路可利用傳輸線觸波產生器去模擬靜電放電現象發生在積體電路上的情形。



零件層級(Component level or IC level)靜電放電測試：

標準的零件層級靜電放電測試是以單顆積體電路為單位的待測物利用合乎規範的測試儀器進行靜電放電測試(如: KeyTek Zap master)，測試方式是由積體電路接腳注入電流，驗證整個電路中所有的接腳在注入電流時靜電放電防護元件是否都能即時旁通電流以保護內部電路。

系統層級(System level)靜電放電測試：

指積體電路本身或是與機版上所有積體電路組成的系統或是產品一起接受靜電放電的測試，由於這樣的測試已經加上電源，這樣的測試條件下有可能引起閉鎖現象(latch-up)或是寄生結構導通的電性過應力現象(Electrical Overstress, EOS) [16]，因此系

統層級的可靠度測試超出本論文討論的範圍，故不多做討論。

自然界的靜電電荷會累積在不同材質的物體上，因此在釋放電荷的時候會因帶電荷物體的不同而產生不同的放電行為，一般業界對靜電放電現象主要考慮下面三種放電模式：

人體放電模式(Human Body Model, HBM)

機器放電模式(Machine Model, MM)

元件充電模式(Charged Device Model, CDM)

人體放電模式(Human Body Model, HBM)：

人體靜電模式是模擬當人體因摩擦或是其他因素累積靜電，由於鞋底絕緣性能好，累積在人體中的電荷無法排放，一旦人體接觸到導體或是待測物的接腳時人體的放電現象，目前對於人體放電模式的測試大多是以規範 MIL-STD-883C method 3015.7、ESDA STM5.1-1999 為標準，規範中將人體等效電容定義為 100pF，人體等效電阻定義為 1.5KΩ，當開關由節點 A 到節點 B 時，電容放電在毫微秒(ns)的時間釋放數安培(A)的電流，對待測物放電，其等效電路如圖 2.10。

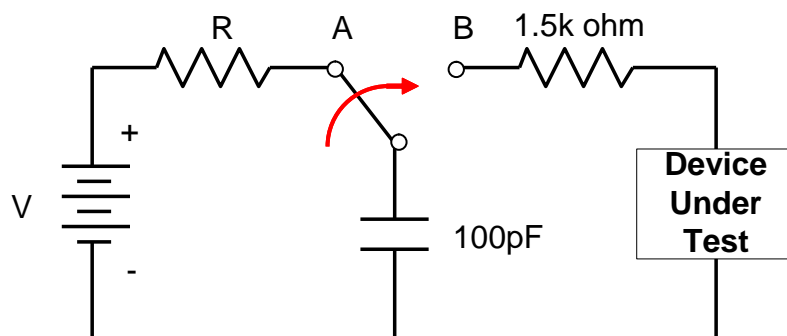


圖 2.10 人體放電模式的等效電路示意圖。

機器放電模式(Machine Model, MM):

機器放電模式是指機器本身累積的電荷接觸到積體電路接腳後放電的行為，一般對於機器放電模式是以日本電子工程協會提出的 EIAJ-IC-121 method20 為測試規範，由於機器本身大多以金屬製造因此機器放電模式的等效電阻為 0Ω ，其等效電容定為 200pF 。因為機器放電模式的等效電阻為 0 ，故其放電的過程更短，在幾毫微秒到幾十毫微秒之內會有數安培的瞬間放電電流產生，對於積體電路的危害更大，其等效電路如圖 2.11。

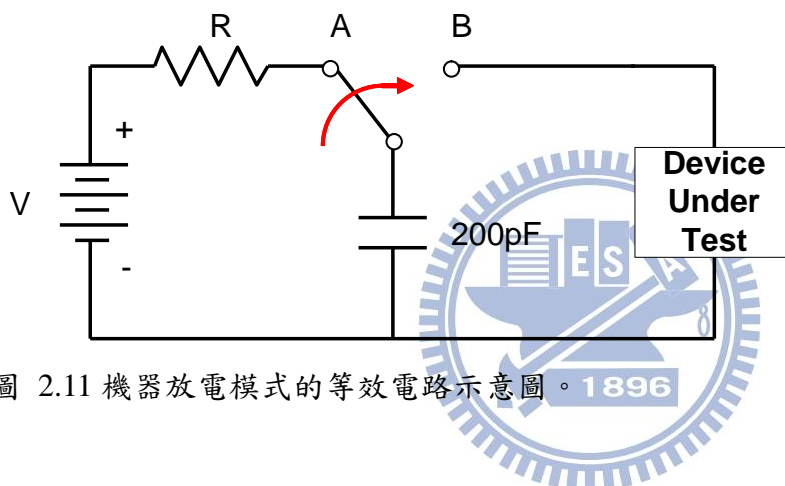


圖 2.11 機器放電模式的等效電路示意圖。

元件充電模式(Charged Device Model, CDM):

在元件充電放電模式中由於積體電路本身經過磨擦或是其他因素累積電荷於元件內部，但是在沒有對外放電路徑的條件下並不會對積體電路造成損害(例如積體電路被放置在膠管內)，一旦積體電路離開膠管接觸到低電位形成放電路徑時靜電將會從積體電路內部流出，造成積體電路受損，此種放電模式的放電時間很短，約幾毫微秒之內，高達數安培的峰值電流將導致積體電路受損，其等效電路如圖 2.12。因積體電路擺放角度不同與積體電路封裝形式的不同對於等效電容都會有差異，因此不易模擬，正式的國際標準規範目前仍在協議中，目前 non-socketed CDM 主要的國際工業標準規範是依照 ESD STM5.3.1-1999。

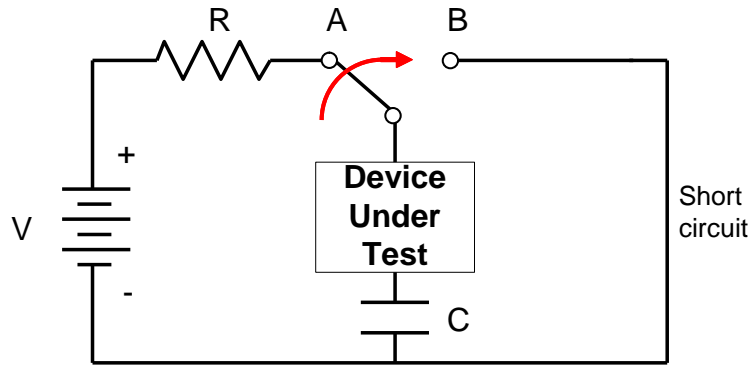


圖 2.12 元件充電模式靜電放電的等效電路示意圖。

圖 2.13 為人體放電模式、機器放電模式、元件充電模式與傳輸線觸波產生器的放電電流波形比較圖，圖中傳輸線觸波產生器所產生的方波類似於人體放電模式的坡型因此可以用來模擬人體放電模式的能力，而機器放電模式的波形因為測試機台導線的雜散電感與電容互相耦合產生上下震盪的情形，元件充電模式是時間最短能量最大的靜電放電置放模式。

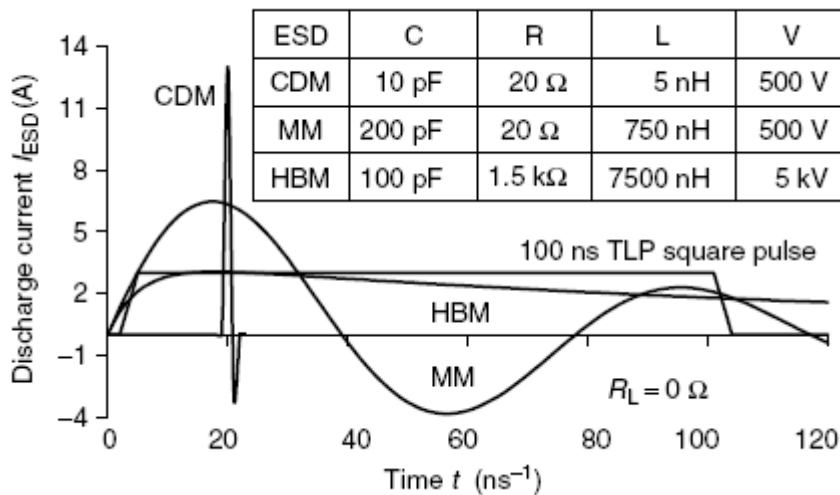


圖 2.13 人體放電模式、機器放電模式與元件充電模式的靜電放電電流波形與傳輸線觸波產生器所產生的方波波形比較[1]。

一般商用積體電路要求人體放電模式能力為 2KV 以上，相當於 1.33A 的電流，然

而隨組裝積體電路環境的不同對於人體放電模式能力也可能有更高的需求，但是這可以藉由操作人員裝備接地環、防靜電鞋或是組裝工廠配備防靜電台墊、防靜電地板...等設備將排放靜電降低積體電路受損的風險。

2.2.1 晶圓層級靜電放電測試

傳輸線觸波產生器(TLPG， Transmission Line Pulsing Generator)用於量測元件的二次崩潰電流特性，適合模擬晶圓層級的靜電放電特性，其架構與等效電路分別如圖 2.14 與圖 2.15 如圖所示，傳輸線觸波產生器的原理是以充電電源對電容充電，此時電流不會流向待測物，等開關轉向待測物時，儲存於電容內的電荷釋放並對待測物進行放電 [17][18]。

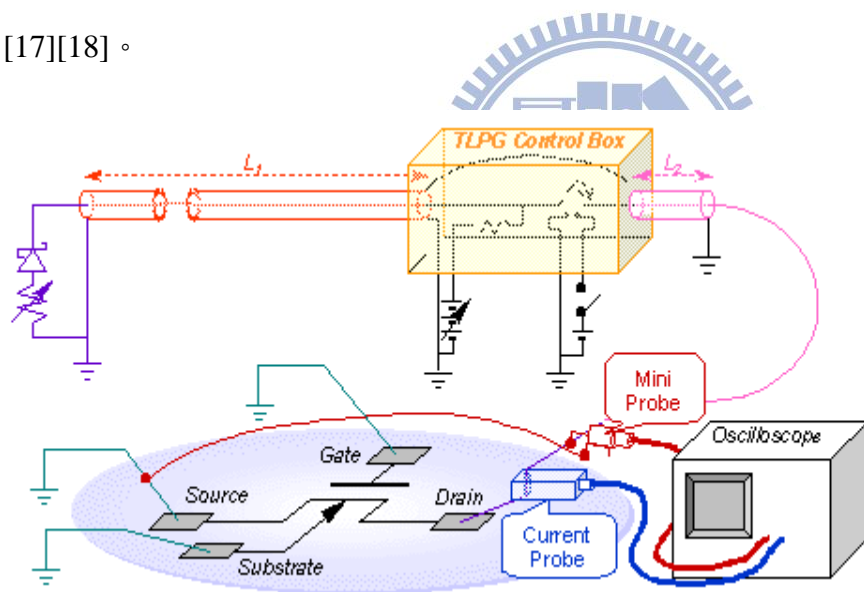


圖 2.14 傳輸線觸波產生器架構示意圖[18]。

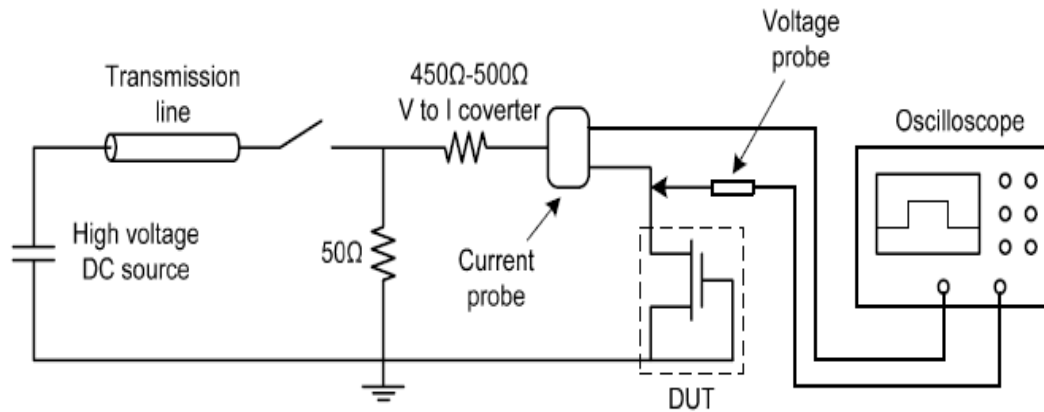


圖 2.15 傳輸線觸波產生器等效電路示意圖[3]。

隨著充電電壓增加，電容釋放出來的電流也越大，圖 2.16 表示隨著充電電壓的增加由待測物上所量測到的電壓電流曲線，傳輸線觸波產生器就是以這樣的方式驗證晶圓層級的靜電放電能力，由傳輸線觸波產生器所量測得到的電壓電流曲線可以獲得許多靜電放電相關參數，由這些參數去判斷元件的防護效果。

積體電路設計公司最後是以封裝好的積體電路使用 KeyTek Zap master MK2 機台並依照規範 MIL-STD-883C method 3015.7 的測試方式驗證靜電防護能力，但是這樣的測試下只能得到通過或是失效的結果，無法清楚了解元件導通行為，利用傳輸線觸波產生器不但可以清楚反應出待測物接受靜電放電時的元件特性更可以在封裝前淘汰一些能力很差或是特性不適合的防護元件，對於了解靜電放電行為與節省成本有很大的幫助。

前一節有提到傳輸線觸波產生器的方波是模擬人體放電模式的靜電電流，機器放電模式目前沒有晶圓層級的量測機制，而元件充電模式的放電速度在幾毫秒(ns)之內需要使用快速的脈衝(very fast rising square pulse，VF-TLP)驗證。

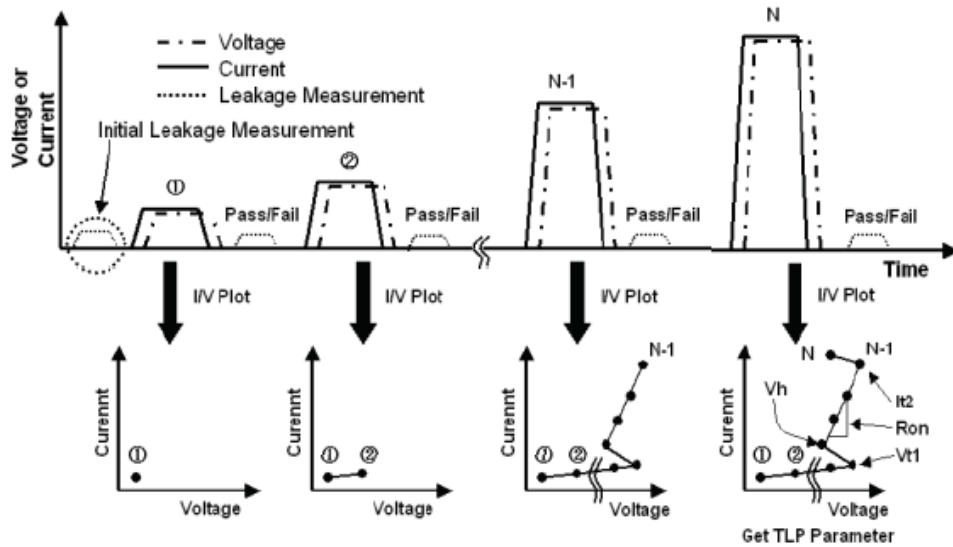


圖 2.16 不同充電電壓下得到的電流電壓曲線[1]。

在晶圓層級可以利用傳輸線觸波產生器所得到下列的電性參數：

Vt1: 觸發電壓(Trigger Voltage, Vt1)(snapback Voltage)，當靜電放電電流將寄生電晶體的集極端(MOS 元件的汲極端)與寄生電晶體的基極端(MOS 元件的基極端)壓差提升至接近界面崩潰電壓時(或是元件崩潰電壓)，產生的崩潰電流經由元件下方的 WELL 吸收並導致寄生電晶體的射極端(MOS 元件的源極端)與寄生電晶體的基極端(MOS 元件的基極端)達到約 0.7V 壓差使寄生電晶體導通，而寄生電晶體導通時的電壓稱為觸發電壓，常利用寄生 NPN 電晶體觸發電壓的高低來判斷靜電放電測試元件是否能夠即時導通達到防護的功效。

It1: 觸發電流(Trigger Current, It1)，由觸發電流的大小可以得知需要多大的崩潰電流才能讓射極與基極界面達到順向偏壓使寄生電晶體導通，觸發電流的大小可以利用元件結構與 N-WELL/P-WELL 濃度或是基板濃度調整，但是在不改變製程參數的條件下常以改變元件佈局方式達到調整觸發電流與觸發電壓的目的。

Vh: 保持電壓(Holding Voltage, Vh)，寄生電晶體導通後進入負電阻區，由於阻抗變

小因此兩端點的壓差也會變小，有效寄生電晶體元件的內阻將會影響保持電壓的大小，對靜電防護的觀點希望能夠得到較小的保持電壓，但是若保持電壓低於操作電壓將可能影起閉鎖(latch-up)現象的發生。

It2：二次崩潰電流(Second Breakdown Current, It2)代表靜電放電電流達到元件連接面或是寄生電晶體所能承受的最大電流值，二次崩潰由熱能所引發，對元件造成永久性，不可回復的損壞，以人體放電模式通過 2KV 換算，二次崩潰電流約等於 1.33 安培。

圖 2.17 表示靜電防護元件的考量，在靜電防護元件的設計上需要考量靜電防護元件的崩潰電壓(breakdown voltage)必須大於積體電路最大操作電壓以避免靜電放電防護元件影響積體電路的正常操作，此外當靜電放電現象發生時，防護元件必須比內部電路的元件先動作，以確保靜電放電防護元件能有效達到保護積體電路的目的，所以靜電放電防護元件的導通電壓必須低於內部電路的崩潰電壓，而保持電壓越低則可降低功率損耗 ($P=I * V$)，低保持電壓的結構能夠承受較大的電流，靜電放電防護元件中矽控整流器的保持電壓最低相對能承受的二次崩潰電流也最大，矽控整流器這樣具有 PNP 路徑的元件雖然在靜電放電測試下具有最好的靜電放電防護能力，但是在同為可靠度測試的拴鎖(latch-up)測試中則容易引起拴鎖現象，一旦拴鎖發生，矽控整流器中的寄生 NPN 電晶體與 PNP 電晶體將會形成正回授機制，這樣的低電阻大電流的特性將導致積體電路損壞[7]。

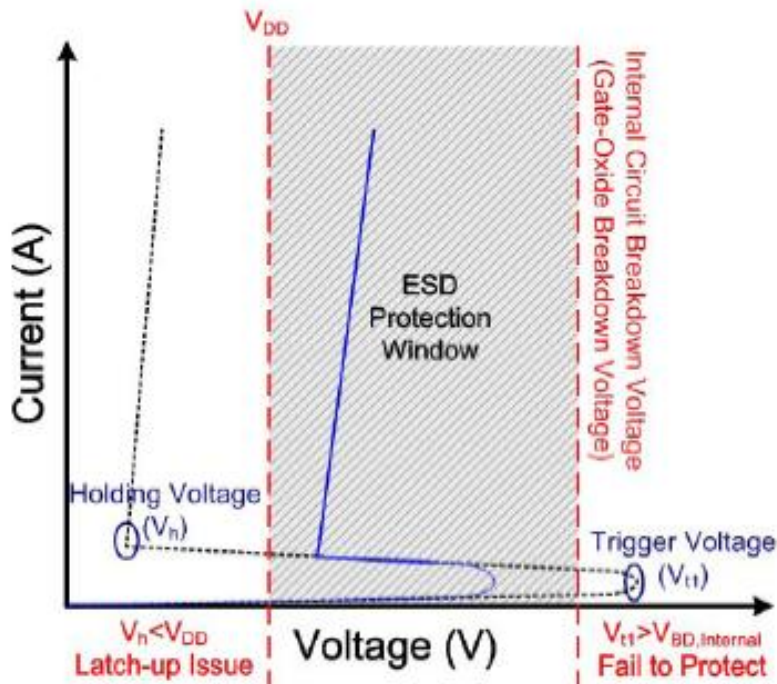


圖 2.17 靜電防護元件的觸發電壓需要避免高於標準元件崩潰電壓同時不能低於操作電壓[7]。

比較不同的靜電防護元件在傳輸線觸波產生器量測下所得到的結果，如圖 2.18 中二極體結構沒有寄生電晶體，所以在正電荷或負電荷的放電行為下只有單純的 P-N 接面的順向偏壓與逆向偏壓特性，而閘極接地電晶體與場氧化層電晶體同樣具有寄生電晶體因此會有負電阻特性，矽控整流器元件導通後具有極低的導通電阻與維持電壓(通常約 1.5V)，比較圖 2.18 矽控整流器的維持電壓明顯較低。

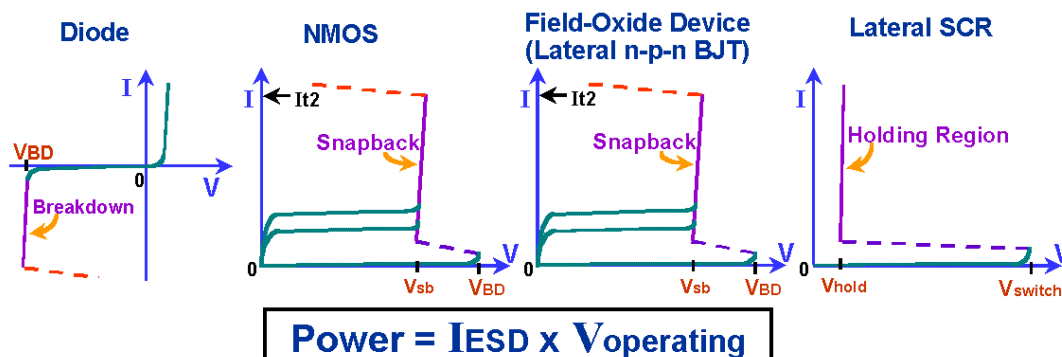


圖 2.18 二極體、N-type 電晶體、場氧化層電晶體與矽控整流器在傳輸線觸波產生器量測下所得到的結果[18]。

2.2.2 零件層級靜電放電測試

實際的靜電放電防護能力測試都是以封裝形式的積體電路根據規範分別測試人體放電模式與機器放電模式[19]，業界目前是以 KeyTek Zap master MK2 測試機台為主流進行高壓靜電放電測試，由於高壓測試機台的售價相當昂貴，對於一般的積體電路設計公司來說負擔太大，因此業界對於高壓產品的靜電放電防護能力測試大多交給宜特科技，弘康科技，蔚華科技...等專業的測試公司作測試，積體電路設計公司必須提供測試的方法，如測試前電壓電流曲線的量測方式，充電電壓增加的方式，判定失效的方式一般是根據規範中的定義去判定，少部分特殊產品則是以積體電路設計公司自己的測試條件去做判定。

積體電路中的所有接腳都必須經過測試，而靜電放電的測試組合如下所示[16]:

1. I/O 接腳對 VDD 或 VSS 接腳的測試

- a. PS mode - Positive pulse 由 I/O 接腳對 VSS 接腳測試。
- b. NS mode - Negative pulse 由 I/O 接腳對 VSS 接腳測試。
- c. PD mode - Positive pulse 由 I/O 接腳對 VDD 接腳測試。
- d. ND mode - Negative pulse 由 I/O 接腳對 VDD 接腳測試。

I/O 接腳與 VDD/VSS 接腳的測試是表示每一個輸出/輸入接腳都需要分別對電源端與接地端經過正電荷與負電荷的放電測試，而未測試的接腳則浮接，如圖 2.19 所示:

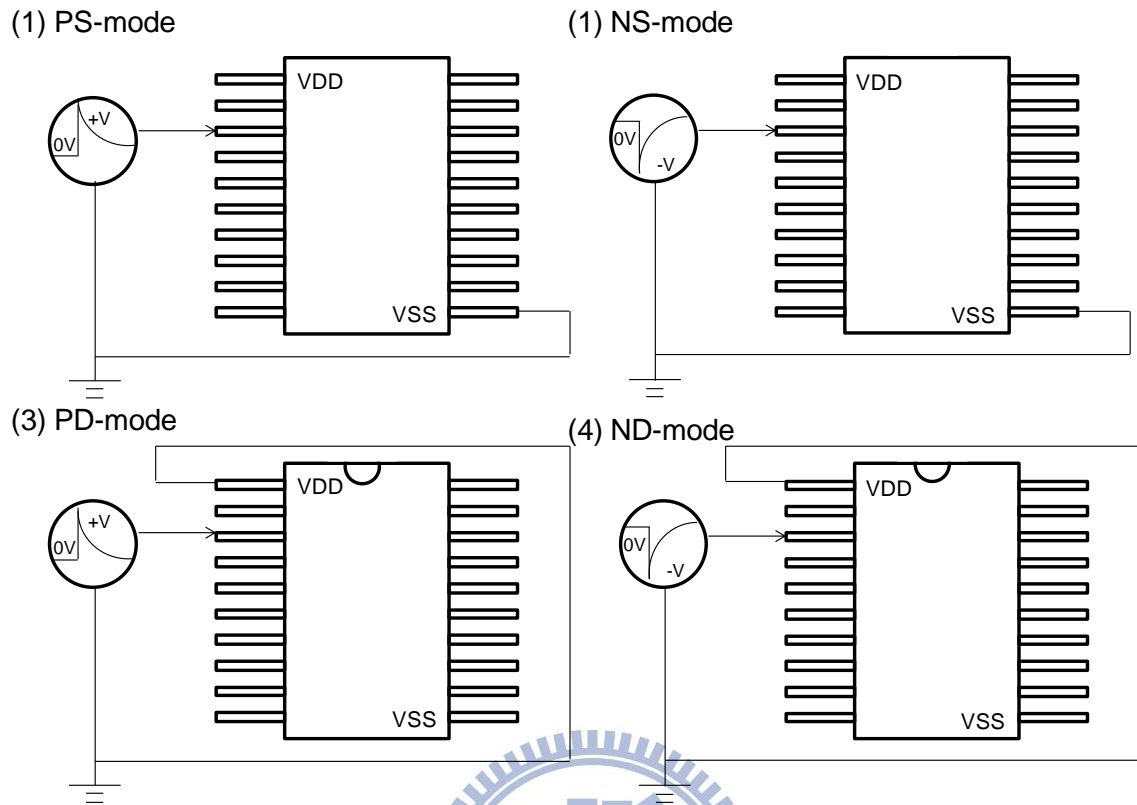


圖 2.19 I/O 接腳對 VDD/VSS 接腳的測試示意圖。

2. I/O 接腳與 I/O 接腳的測試

- a. Positive mode - Positive pulse 由單一 I/O 接腳對所有 I/O 接腳測試。
- b. Negative mode - Negative pulse 由單一 I/O 接腳對所有 I/O 接腳測試。

I/O 接腳與 I/O 接腳的測試是指每一個待測試的輸出/輸入接腳都需要與所有非待測的輸出/輸入接腳進行正電荷與負電荷的放電測試，而 VDD 與 VSS 則保持浮接狀態，如

圖 2.20 所示：

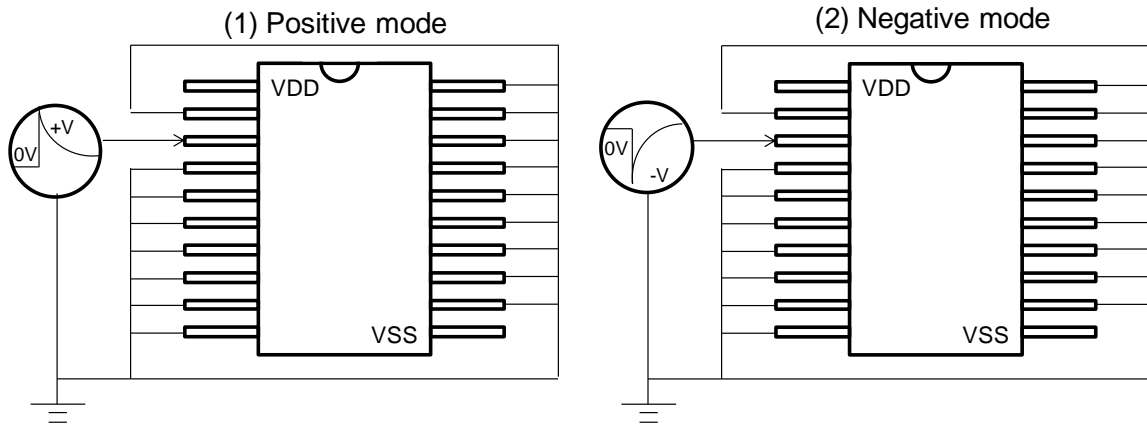


圖 2.20 I/O 接腳與 I/O 接腳的測試示意圖。

3. VDD 接腳-VSS 接腳的測試

- a. Positive mode - Positive pulse 由 VDD 接腳對 VSS 接腳測試。
- b. Negative mode - Negative pulse 由 VDD 接腳對 VSS 接腳測試。

4. VDD 接腳-VSS 接腳間的測試主要是驗證電壓鉗制元件(power clamp device)否能夠及時導通保護內部電路與電壓鉗制元件對大電流的容忍度，由電源端進行正電荷與負電荷的靜電測試，而未測試的接腳則浮接，如圖 2.21 所示：

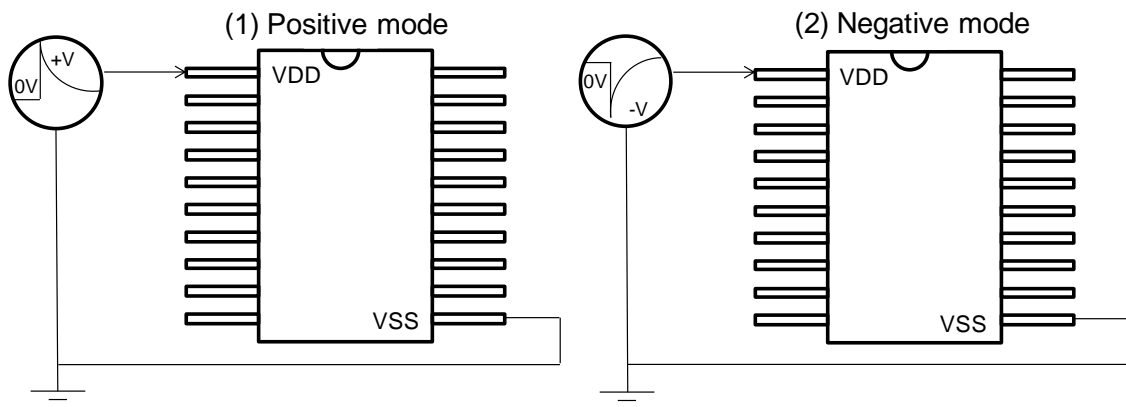


圖 2.21 VDD 接腳-VSS 接腳的測試示意圖。

根據 MIL-STD-883C method 3015.7 規範，每個等級的充電電壓施加在待測物三次後以直流電源量測待測物的電流-電壓曲線，若在正常操作電壓下積體電路的漏電流沒有增加則繼續增充電壓，隨充電電壓的增加釋放的電流也隨之增加，直到直流電壓量測的漏電流大小超過判定標準即可判定積體電路失效，判定方式，如下：

1. 以電流-電壓曲線偏移 30% 判定積體電路受到靜電放電破壞並停止量測，如圖 2.22 所示。
2. 以最大操作電壓(VDD)量測所得到的元件漏電電流大於 $1\mu\text{A}$ 時判定積體電路受到靜電放電破壞並停止量測。

接受測試的積體電路的電性若達到以上三個條件則靜電放電測試報告會將前一級的充電電壓標示於報告上註明通過測試的電壓值。若經過放電測試後電流-電壓曲線與積體電路漏電電流皆未超出判定值但積體電路功能驗證失效仍可判定積體電路失效。

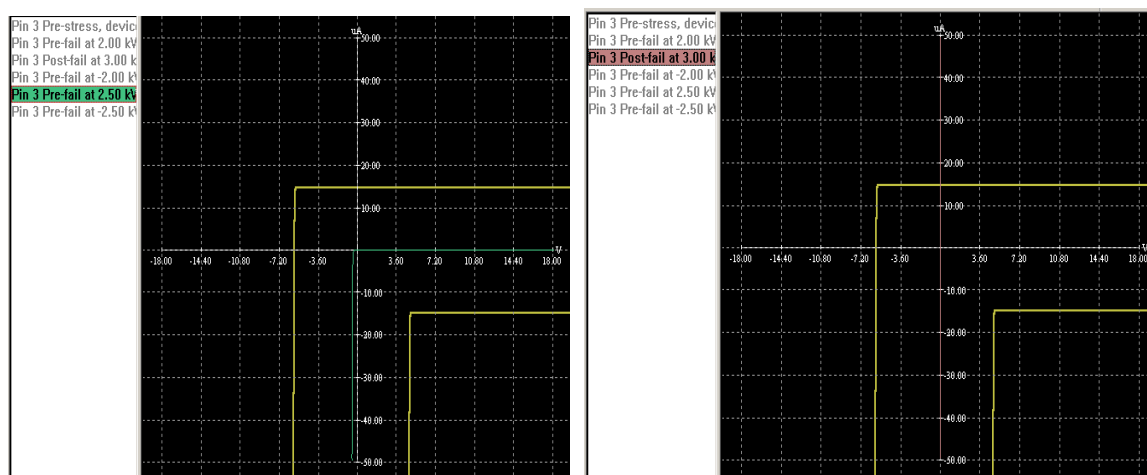


圖 2.22 使用 KeyTek Zap master MK2 測試後得到的電流電壓曲線。

第三章 實驗步驟與製程流程

3.1 實驗步驟

本節將說明靜電防護實驗的實驗步驟，在實驗開始前必須先了解該製程的製程流程、元件結構與電性參數，實驗流程如圖 3.1 所示，首先了解製程特性再開始測試鍵的設計，設計完成後進行佈局與製作光罩，此時需要特別注意佈局的正確性，若佈局或是光罩發生錯誤，後續的分析與除錯會花費非常大的時間與金錢，須特別小心。晶圓製作出來後首先以 HP-4156 量測元件的 DC 崩潰電壓，在驗證製程穩定度的同時也進行第一階段的測試鍵篩選，藉由 DC 量測排除一些崩潰電壓偏高、低於操作電壓或是發生 punch through 的元件。接下來使用傳輸線觸波產生器進行晶圓層級的靜電放電特性量測，得到的電壓-電流特性曲線包含觸發電壓、觸發電流、保持電壓與二次崩潰電流...等參數，此時進行第二階段的測試鍵篩選，將觸發電壓過高、觸發電流過大與二次崩潰電流偏低的測試鍵排除，這樣可以減少後續測試、封裝與分析的時間與成本。將篩選過後的測試鍵進行切割封裝成為積體電路形式的測試鍵進行零件層級的靜電放電測試，此時會分別進行人體放電模式與機器放電模式，從同時通過人體放電模式與機器放電模式的測試鍵再進行篩選，選擇面積小具有競爭力的元件作為該製程的靜電放電防護元件，沒有通過測試的測試鍵可以利用故障分析技術分析原因，可以利用紅外光阻值變化偵測儀 (Infrared Optical Beam Induced Resistance Change, IR-OBIRCH) 找到電流變化異常的位置，定位後 De-layer 確認受損方式(金屬線斷、元件發生 CONTACT spiking 或是 punch through)，若所有的測試鍵都沒有通過測試則利用故障分析得到的結過設計新的測試鍵。

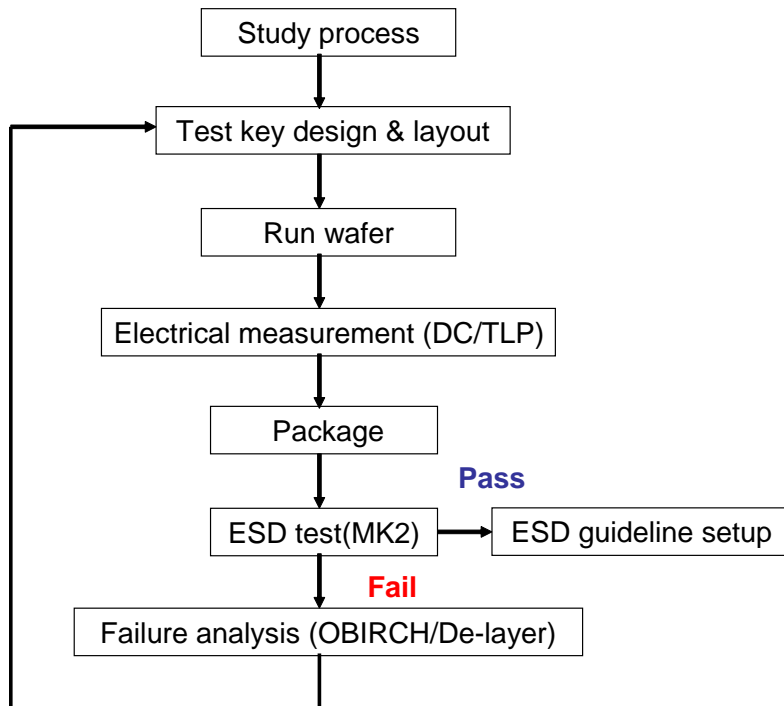


圖 3.1 靜電放電實驗流程圖。

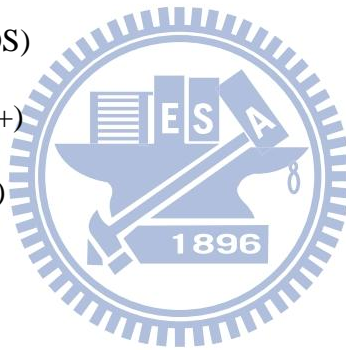
3.2 製程流程



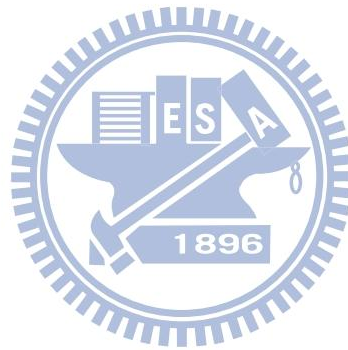
本節將簡單介紹 $0.5\mu\text{m}$ 50V HV EPI process 的製程流程與元件結構，此一製程提供 5V 隔離與分隔(isolate/non-isolate) N/PMOS，50V HV N/PMOS 元件，其中高壓元件提供對稱與非對稱(symmetric/asymmetric)結構供積體電路設計公司選擇，此外高壓元件具有約 1300 \AA 的閘極氧化層(Gate oxide)因此閘極(Gate)與汲極(Drain)耐壓超過 50 V，由於製程並非本論文討論的重點且製程流程是公司機密因此只簡略的介紹前段製程，並將其部分內容做修改，製程流程與元件結構如下：

1. PAD(1)- 150 \AA
2. ZERO 對準
3. ZERO 蝕刻
4. 光阻移除

5. N+BURIED 對準
6. N+BURIED 植入(element : Sb)
7. 光阻移除
8. LP-oxide-1.3K Å
9. N+BURIED 驅入
10. SUB 植入(element : B11)
11. 氧化層去除
12. Epitaxy 磊晶
13. RCA 清洗
14. PAD(1)-120 Å
15. N-WELL 對準(For LV PMOS)
16. N-WELL 植入(element : P++)
17. N-FIELD 植入(element : As)
18. 光阻移除
19. HVNW 對準
20. HVNW 植入(element : P++)
21. 光阻移除
22. P-WELL 對準
23. P-WELL 植入(element : B11)
24. 光阻移除
25. HVPW 對準
26. HVPW 植入(element : B11)
27. 光阻移除
28. RCA 清洗



29. SIN-1.8K(沉積氮化矽 1800 Å)
30. SIN 對準
31. 氮化矽蝕刻
32. 光阻移除
33. WELL 驅入
34. P-FILD 對準
35. P-FIELD 植入(element : B11)
36. 光阻移除
37. FIELD 植入(blanket implant, element : B11)
38. 場氧 6K(濕式氧化隔離製程)
39. 氮化矽去除
40. RCA 清洗
41. GOX(1)-200 Å
42. RCA 清洗
43. GOX(2)1500 Å
44. RCA 清洗
45. POLY1-沉積 2K
46. 電阻植入(element : P31)(定義 HR 電阻阻值)
47. 電容對準
48. 電容複晶植入(element : P31) (定義電容下電極版電阻)
49. 光阻移除
50. 複晶回火
51. POLY-1 對準
52. POLY-1 蝕刻(定義 HR 電阻與電容下電極版電阻位置)



53. 光阻移除
54. HVTP 對準(調整啟始電壓)
55. HVTP 植入(element : B11)
56. 光阻移除
57. HVTN 對準(調整啟始電壓)
58. HVTN 植入(element : P31)
59. 光阻移除
60. N-APT 對準
61. N-APT 植入(element : B11)
62. 光阻移除
63. LV 對準
64. LV 植入(element : B11)
65. LV20:1 蝕刻(濕式蝕刻)
66. GOX(3)-180 Å (LV 閘極氧化層)
67. POLY2-2K Å
68. N+預置 (降低閘極電阻)
69. WSIX 沉積-1.6K Å
70. POLY2 對準
71. POLY2 蝕刻(定義 POLY2 閘極區域)
72. 光阻移除
73. HV 對準(減少需要植入 N+/P+區域上方的氧化層厚度)
74. HV 蝕刻
75. 光阻移除
76. NLDD 植入(blanket implant, element : P31)(spacer 沉積前植入 NLDD)



77. P-S/D 對準

78. PLDD 植入(element : BF2)(spacer 沉積前植入 PLDD)

79. AP 沉積 2K Å

80. SPACER 蝕刻

81. N+S/D 對準

82. N+S/D 植入(element : As)(NMOS Source/Drain implant)

83. P+S/D 對準

84. P+S/D 植入(element : BF2)(PMOS Source/Drain implant)

前段製程結束

3.3 標準元件結構

由前一小節的製程流程製造出的高壓元件結構為圖 3.2 至圖 3.5 的標準元件，分別為高壓非對稱結構 NMOS、高壓對稱結構 NMOS、高壓非對稱結構 PMOS 與高壓對稱結構 PMOS，其中高壓 PMOS 下方有植入 N+ buried layer(NBL)隔離高壓 PMOS 的汲極與 P-type 的基板。

3.3.1 Asymmetric. NMOS without NBL structure

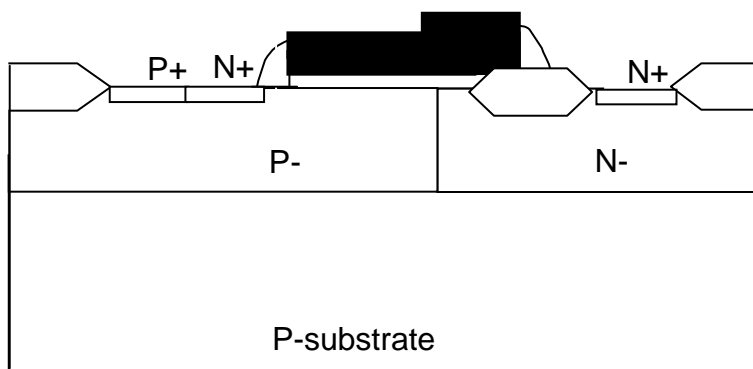


圖 3.2 高壓非對稱 NMOS 元件結構。

3.3.2 Symmetric NMOS without NBL structure

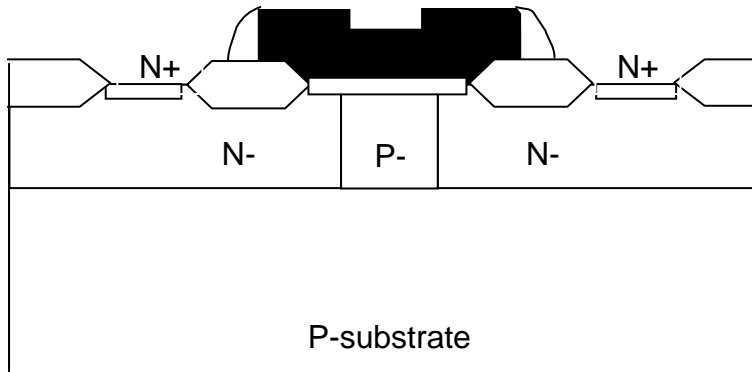


圖 3.3 高壓對稱 NMOS 元件結構。

3.3.3 Asymmetric PMOS with NBL structure

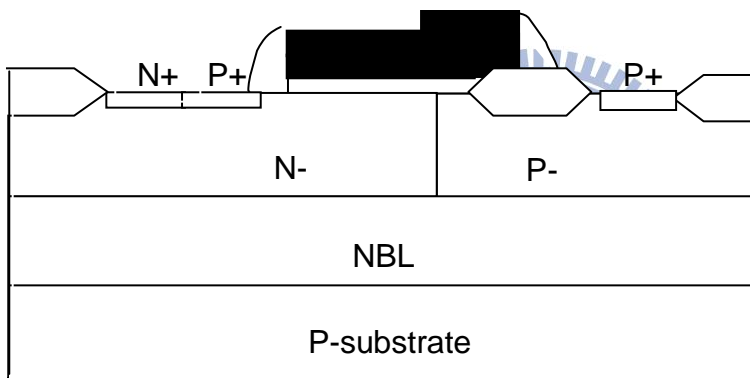


圖 3.4 高壓非對稱 PMOS 元件結構。

3.3.4 Symmetric PMOS with NBL structure

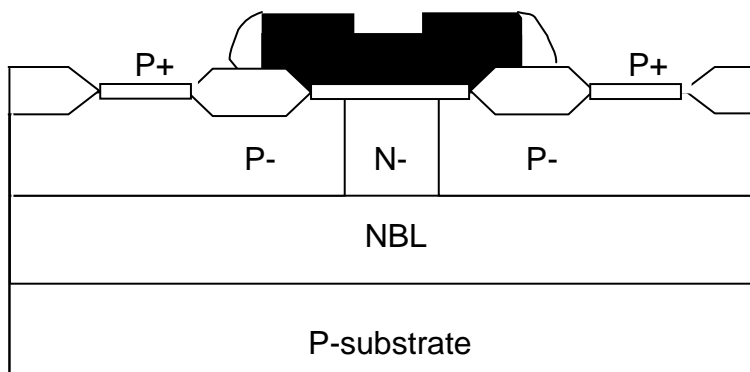


圖 3.5 高壓對稱 PMOS 元件結構。

第四章 靜電放電防護元件佈局與單顆靜電放電防護元件能力測試結果

本次實驗在 0.5 微米 50V 高壓 EPI 製程，由台灣光罩公司製作光罩，並以工程實驗批的方式將實驗的測試鍵製造出來，所有測試結構放置於擁有 16 個接腳的測試鍵上，委託超豐電子公司切割與封裝，封裝形式為 DIP 40 Pin，元件直流崩潰電壓由 HP-4156 半導體參數量測儀器量側，晶圓層級測試儀器使用 HANWA TLPG 量側，封裝層級測試儀器使用 Thermo-KeyTek MK2 機台根據 MIL-STD-883C method 3015.7 規範進行測試。

4.1 靜電防護元件結構與參數

理想上靜電防護元件希望可以在不改變製程與增加光罩的條件下被製造，因此元件的佈局方式對於靜電防護工程是非常重要的[20]，一般常用的佈局參數如下：

汲極 CONTACT 到閘極的距離

大電流發生時伴隨而來的熱效應是導致元件界面受損的主因，由於熱源產生於 P-N 界面或是最大電場的位置，因此增加汲極 CONTACT 到閘極的距離可以使汲極 CONTACT 遠離熱源避免發生 CONTACT spiking 以獲得更好的靜電防護能力，但是相對增加元件面積。

場氧化層的長度：

靜電防護元件透過寄生電晶體的導通排放靜電電流，可利用場氧化層的長度的調變去控制元件的崩潰電壓使其低於標準元件的崩潰電壓，而元件崩潰後所產生的大電流將提供足夠的基板電流幫助寄生電晶體導通。

通道長度:

NMOS 元件的通道區域是 P-type，對於寄生電晶體而言如同於電晶體的基極，減小基極寬度有利於電晶體的導通，但是過短的通道長度也會導致 punch through 現象發生。

指叉狀結構:

靜電電放電元件需要足夠的面積排放電流，為了節省佈局面積在元件佈局時會使用指叉狀結構的佈局方式，然而有些製程的元件結構會發生不均勻導通的現象，此時過多的指叉狀結構也無法提升靜電防護能力。

本次實驗使用高壓對稱結構 NMOS(without NBL)、高壓非對稱結構 NMOS(without NBL)與高壓非對稱結構 NMOS(with NBL)三種元件結構，元件結構與實際佈局圖分別列在圖 4.1 至圖 4.10，本次實驗主要的佈局參數如下:



N+ Buried layer (NBL):

NBL 主要的功能是隔離 HV-PMOS 的汲極與基底，HV-NMOS 本身並不需要使用 N-type 掩埋層，若在高壓對稱 NMOS 元件下方植入 N-type 掩埋層則會讓汲極與源極直接導通使閘極失去開關的功能，而在高壓非對稱 NMOS 元件下方植入 N-type 掩埋層有機會形成縱向 NPN 電晶體(vertical NPN structure)(VNPN)幫助排放 ESD 電流，但是有可能因 NBL 的高濃度使元件崩潰電壓大幅下降或是縱向 punch through 的發生，有時甚至低於操作電壓，因此使用上有一定的風險。

Partial NBL 結構:

高濃度的 N-type 掩埋層可能使高壓元件的崩潰電壓大幅下降，但是若要調整 N-type 掩埋層濃度則要增加光罩，製程上還需要上光阻、曝光、顯影、植入與去光阻...

等製程步驟，為了不增加成本與生產時程(circle time)，本次實驗以 partial NBL 佈局方式嘗試以不改變製程流程的方式降低 N-type 掩埋濃度[21][22]。

Partial butting contact: 結構

在論文的第二章提到基板電阻將會影響寄生電晶體導通所需要的電壓與電流，本次實驗以 Partial butting contact 的方式增加機版串聯電阻，希望以更小的基板電流達到射極與基極接面就可以形成順向偏壓，若元件崩潰機制剛開始發生就能導通寄生電晶體將更有效的防護內部電路。

4.1.1 High voltage symmetric NMOS structure (without NBL)

元件結構：

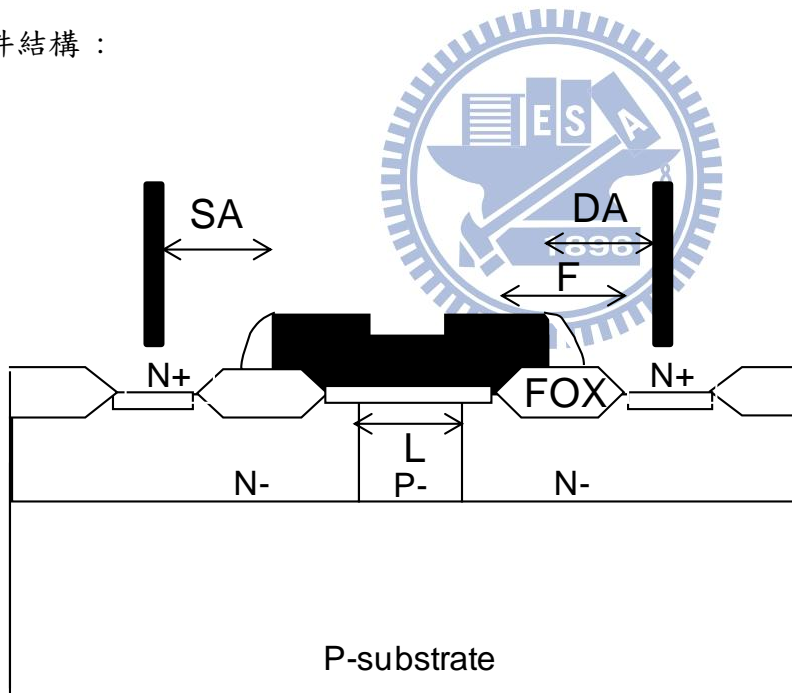


圖 4.1 高壓對稱結構 NMOS(without NBL)。

實際佈局：

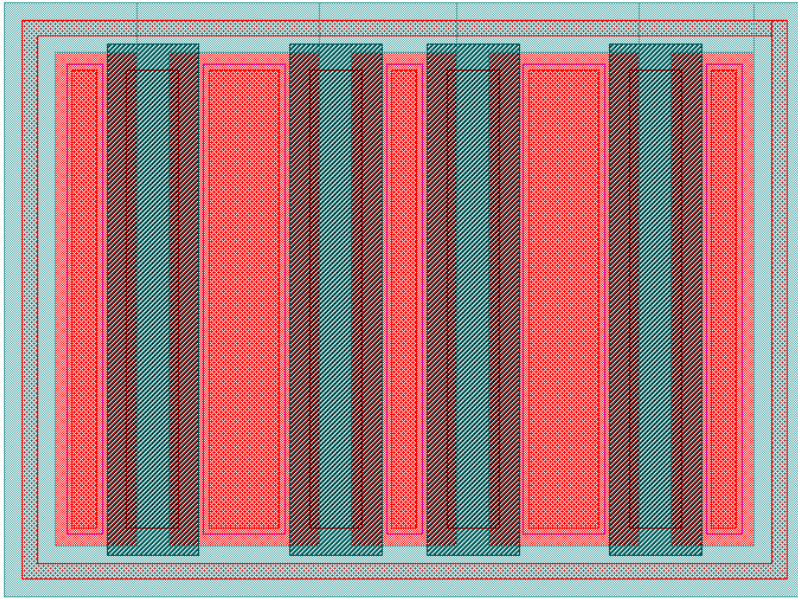


圖 4.2 高壓對稱結構 NMOS(without NBL)。

4.1.2 High voltage asymmetric NMOS structure (without NBL)

元件結構：

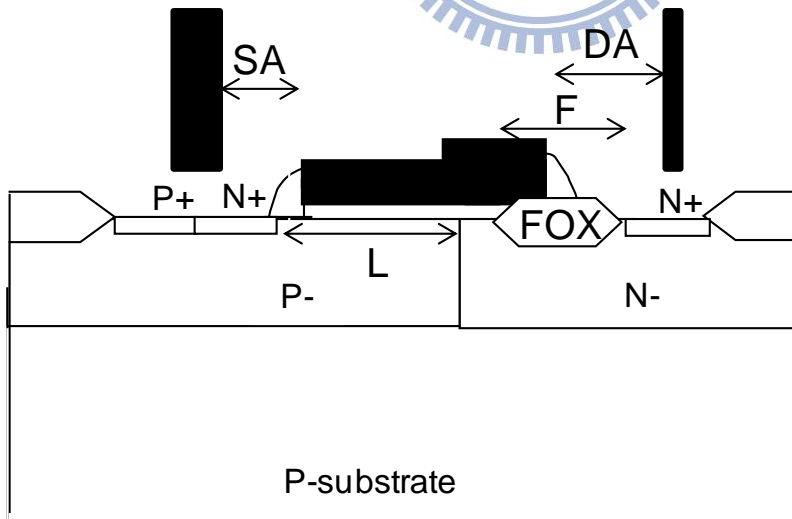


圖 4.3 高壓非對稱結構 NMOS(without NBL)。

實際佈局：

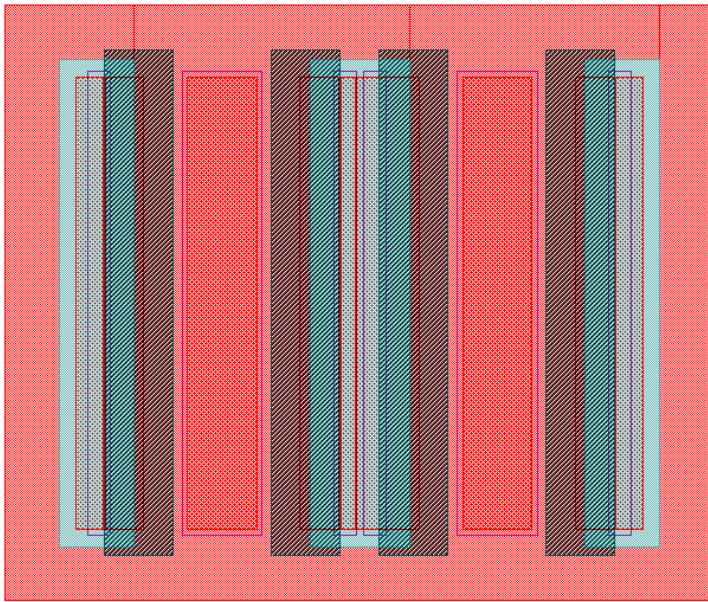


圖 4.4 高壓非對稱結構 NMOS(without NBL)。

4.1.3 High voltage asymmetric NMOS structure (with NBL)

元件結構：

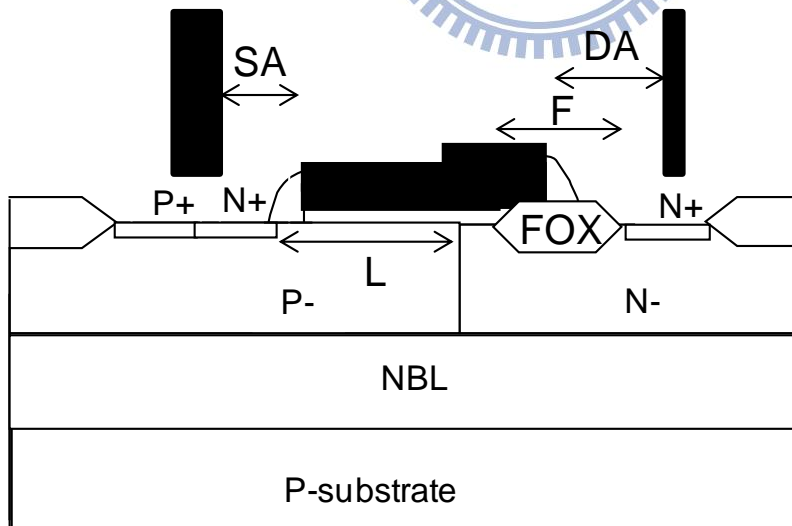


圖 4.5 高壓非對稱結構 NMOS(with NBL)。

實際佈局：

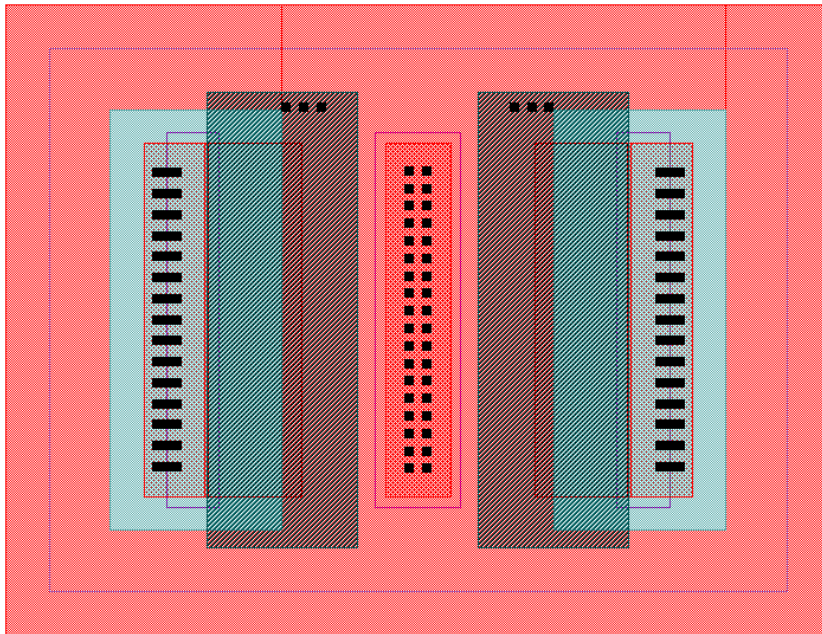


圖 4.6 高壓非對稱結構 NMOS(with NBL)。

4.1.4 High voltage asymmetric NMOS structure (partial NBL)

元件結構：

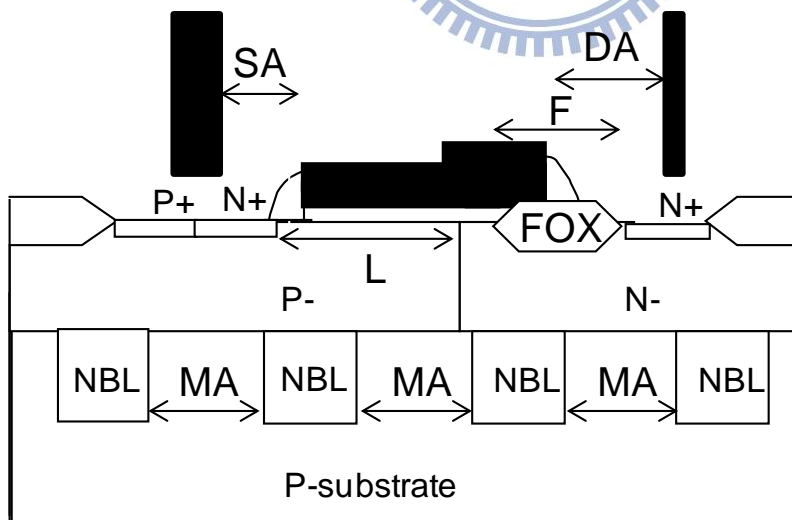


圖 4.7 高壓非對稱結構 NMOS (partial NBL)。

實際佈局：

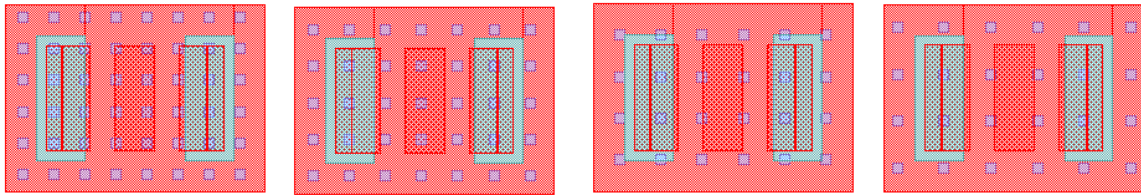


圖 4.8 高壓非對稱結構 NMOS (partial NBL)。

4.1.5 High voltage asymmetric NMOS structure (partial butting contact)

元件結構：

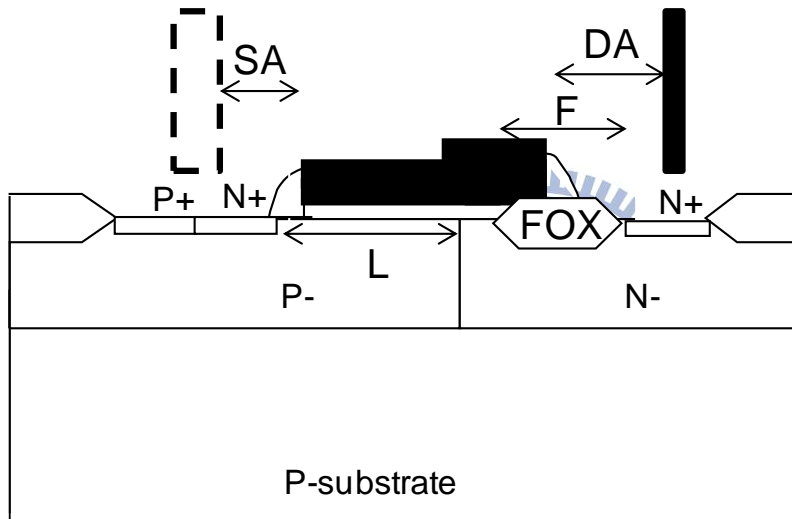


圖 4.9 高壓非對稱結構 NMOS (partial butting contact)。

佈局示意圖：

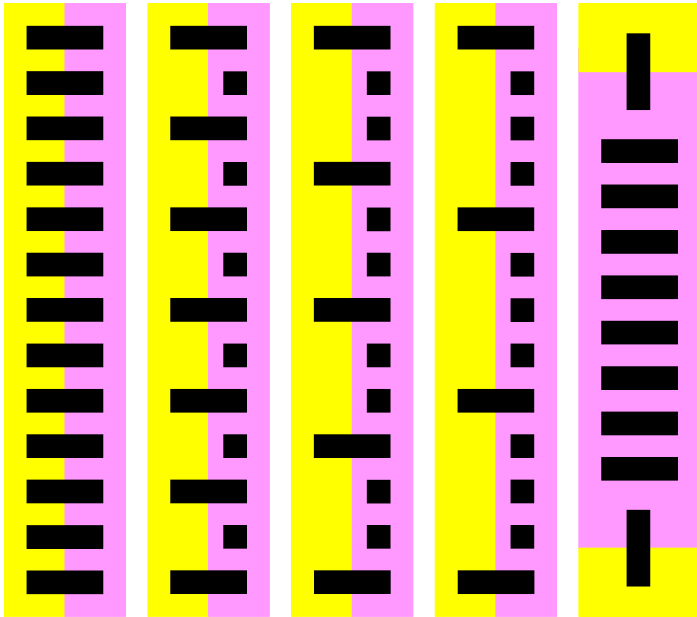


圖 4.10 Partial butting contact 佈局方式。

4.2 靜電放電測試結果



4.2.1 晶圓層級靜電放電量測

本次實驗使用 HANWA TLPG 對測試鍵量測，將量測所得到的參數整理為表 4.1，其中可以注意到高壓對稱結構 NMOS 與高壓非對稱結構 NMOS 的元件崩潰電壓分別為 78V 與 84V，而透過 HANWA TLPG 所量測到的寄生電晶體導通電壓分別為 80V 與 109V，兩者能夠承受的二次崩潰電流分別為 1.29 安培與 2.58 安培，這樣的結果顯示高壓對稱結構 NMOS 導通速度較快，但是能承受的電流較小，不適合做為靜電放電防護元件。而高壓非對稱結構 NMOS 雖然能夠承受 2.5 安培的測試電流，但是內部的寄生電晶體在靜電放電現象發生時不易導通，可能在高壓 NMOS 非對稱結構的寄生電晶體導通前靜電放電電流可能已經傷害到內部電路，高壓對稱結構 NMOS(without NBL)與高壓非對稱結構 NMOS(without NBL)在傳輸線觸波產生器量測得到的電流電壓曲線如圖

4.11 與圖 4.12 所示。

表 4.1 高壓對稱結構 NMOS(without NBL)與高壓非對稱結構 NMOS(without NBL)利用 HANWA TPLG 所量測到的電性參數

TEST KEY	split(μm)	4156 BV(V)	TLPG				V predict
			Vsb(V)	It1(A)	Vh(V)	It2(A)	It2*1500
X50NS1#4	DA=3	78	80.1	-2.7E-03	15.7	1.29	1935
X50NA1#4	DA=3	84	109.7	3.8E-03	14.9	2.58	3872

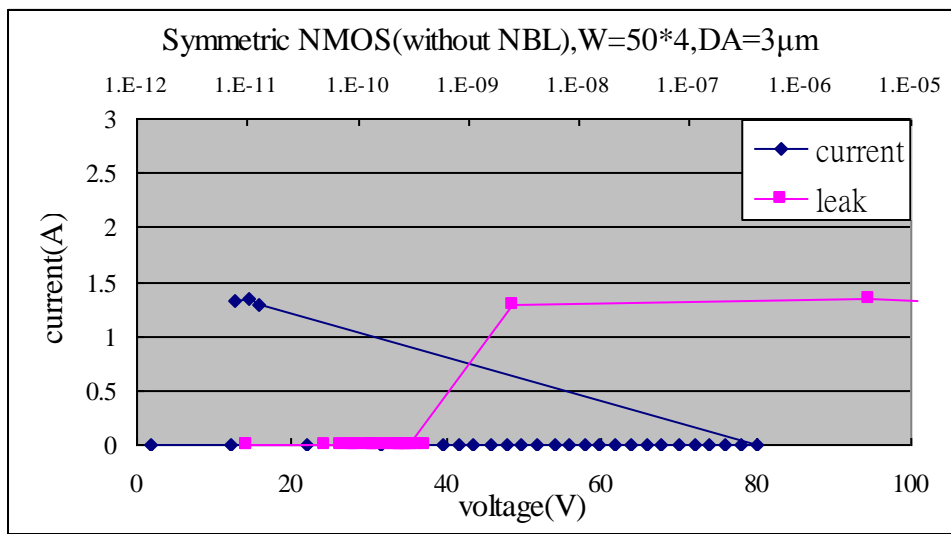


圖 4.11 高壓對稱結構 NMOS(without NBL) TLP 量測結果。

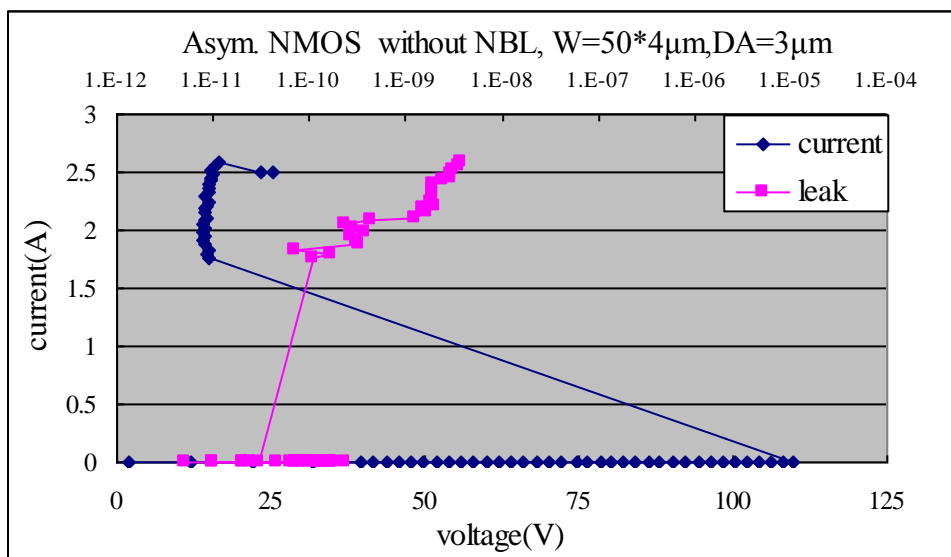


圖 4.12 高壓非對稱結構 NMOS(without NBL) TLP 量測結果。

表 4.2 顯示的是高壓非對稱結構 NMOS(with NBL)的 TLPG 量測結果，首先透過 HP-4156 半導體參數量測儀可以發現加入高濃度的 N-type 掩埋層(N+ buried layer, NBL)後元件的崩潰電壓由原先的 78V 大幅下降到 60V，雖然元件的崩潰電壓下降但是仍高於這個製程的 50V 最大工作電壓，同時也大於 55V (1.1 倍 VDD)避免暫態電壓變化可能帶來的風險，因此使用較高濃度 N-type 掩埋層的元件不會影響電路操作。而透過 HANWA TLPG 量測此一結構的電性參數明顯發現觸發電壓幾乎等於元件崩潰電壓，這代表高壓非對稱結構 NMOS 加入高濃度 N-type 掩埋層後寄生電晶體在元件崩潰發生後寄生電晶體可以快速導通，同時擁有高達 2 安培以上的二次崩潰電流，此一結構的電流-電壓曲線如圖 4.13。

表 4.2 高壓非對稱結構 NMOS(with NBL)利用 HANWA TLPG 所量測到的電性參數。

TEST KEY	split(μm)	4156 BV(V)	TLPG				V predict
			Vsb(V)	It1(A)	Vh(V)	It2(A)	It2*1500
X50NA6#4	DA=3	60	60.6	1.5E-02	22.4	2.28	3423

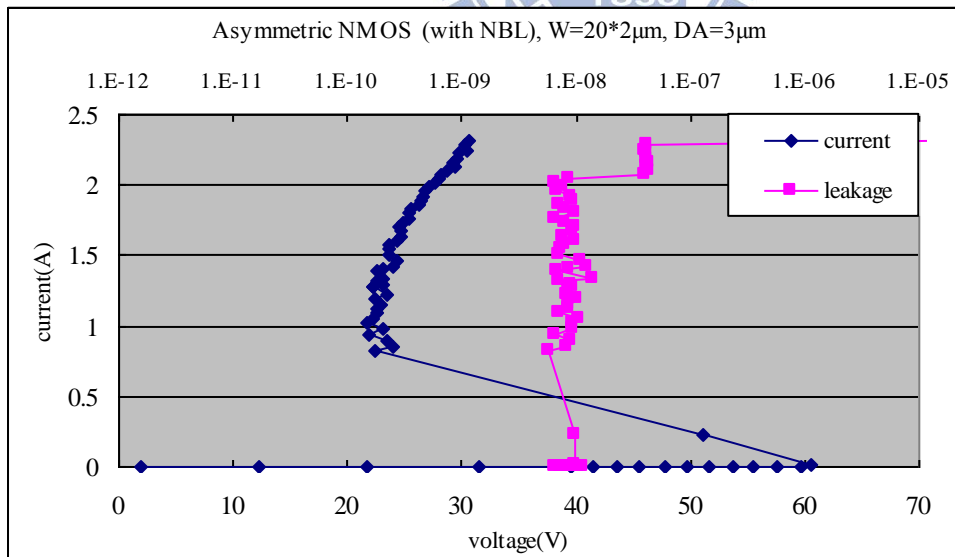


圖 4.13 高壓非對稱結構 NMOS(with NBL) TLP 量測結果。

表 4.3 顯示的是高壓非對稱結構 NMOS (partial NBL)的 TLP 量測結果，此一結構主

要的目的為避免高濃度的 N-type 掩埋層降低元件崩潰電壓到操作電壓以下，因此在不增加光罩的條件下利用 N-type 掩埋層的佈局方式改變 N-type 掩埋層的有效濃度，但是減少 NBL 面積的作法似乎無法大幅改變元件崩潰電壓，崩潰電壓只有增加 2V，一旦元件下方有 N-type 掩埋層，元件的崩潰電壓就下降至約 60V，唯一有明顯差異的是隨著 N-type 掩埋層的面積減少寄生電晶體的導通電壓也隨之大幅度增加，一般來說我們希望電晶體導通電壓高於操作電壓但是低於內部電路的崩潰電壓，因此這樣的結果是沒有幫助的，此一結構的電流-電壓曲線如圖 4.14。

表 4.3 高壓非對稱結構 NMOS (partial NBL) 利用 HANWA TLPG 所量測到的電性參數。

TEST KE	split(μm)	4156 BV	TLP G				V pred
			Vsb (V)	It1 (A)	Vh (V)	It2 (A)	
X50NA11#1	TYPE-IV, MA=4	60	68.1	2.9E-02	20.4	1.93	2892
X50NA11#2	TYPE-IV, MA=5	62	84.4	3.5E-02	14.2	2.10	3150
X50NA11#3	TYPE-IV, MA=6	62	83.1	9.9E-03	16.2	2.14	3210

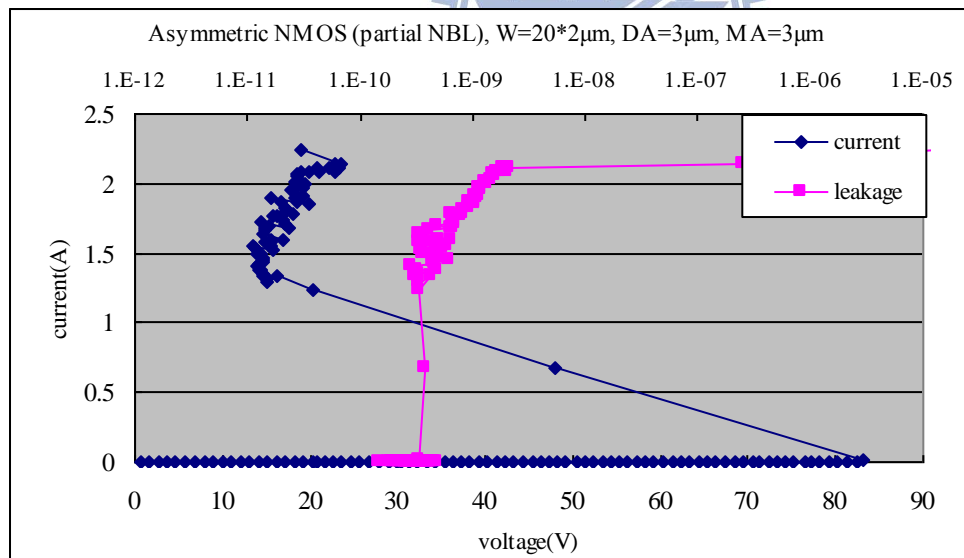


圖 4.14 高壓非對稱結構 NMOS (partial NBL) TLP 量測結果。

表 4.4 顯示的是高壓非對稱結構 NMOS (partial butting contact) 的 TLP 量測結果，以圖 36 的佈局方式減少源極與基板 butting contact 的數目去增加基板電阻，由測試結果推論單純減少 butting contact 數目並無法有效降低電晶體的導通電壓，但是若 butting

contact 擺放至特定位置增加電流由集極與基極接面至基極 contact 的路徑長度使串聯電阻增加，這樣一來將使得電晶體的導通電壓由 109V 降低到 87V，同時也降低導通電流，，此一結構的電流-電壓曲線如圖 4.15。

表 4.4 高壓非對稱結構 NMOS (partial butting contact) 利用 HANWA TLPG 所量測到的電性參數。

TEST KEY	split	4156 BV(V)	TLPG				V predict
			Vsb(V)	It1(A)	Vh(V)	It2(A)	It2*1500
X50NA1#4	normal butting	84	109.7	3.8E-03	14.9	2.58	3872
X50NA4#3	1/8 butting	87	107.7	7.1E-04	16.2	2.58	3866
X50NA4#4	partial butting	87	72.0	-2.2E-03	16.1	2.41	3615

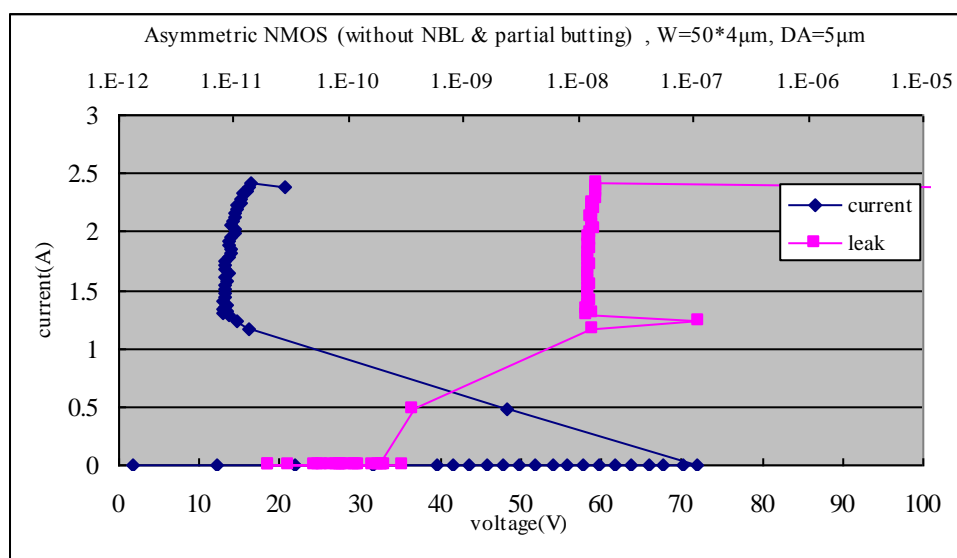


圖 4.15 高壓非對稱結構 NMOS (partial butting contact) TLP 量測結果。

由傳輸線觸波產生器量測的電性參數可以讓我們排除一些不適合的元件，例如同樣是高壓非對稱 NMOS 元件，有植入 NBL 的元件觸發電壓遠低於沒有植入 NBL 的元件，即使 partial butting contact 結構可以降低觸發電壓到 72V。在測試鍵中有植入 NBL 的元件可以在小面積下得到相同的二崩潰電流適合作為靜電防護元件，但是 partial NBL 結構會使元件觸發電壓增加，這在實際的電路中可能帶來風險，獲得這些電性參數後可以排除部分結構不進行後續測試，同時降低封裝成本與測試分析時間。

4.2.2 零件層級靜電放電測試

本次實驗使用 Thermo-KeyTek MK2 機台對封裝後的測試鍵進行測試，以高壓對稱結構 NMOS(without NBL)元件與高壓非對稱結構 NMOS(with NBL)元件做比較，測試結果如表 4.5 以及表 4.6。

由表 4.5 的測試結果顯示高壓對稱結構 NMOS(without NBL)可以藉由增加汲極 CONTACT 到閘極的距離(DA)增加人體放電模式能力，DA 由 0.7 微米增加到 5 微米，HBM 能力從 1200V 增加到 400V，若繼續增加 DA 則 HBM 能力會下降，另外隨著 DA 的增加無法有效改善機器放電模式能力。

表 4.5 高壓對稱結構 NMOS(without NBL)靜電放電測試結果。

X50NS1	total width(μm)	HBM test result				MM test result			
		sample1	sample2	sample3	sample4	sample1	sample2	sample3	sample4
DA=0.7 μm	W=50*4	1400V	1200V	1400V	1600V	-50V	-50V	-50V	-50V
DA=1.0 μm	W=50*4	1800V	1800V	1200V	1600V	-50V	-50V	-50V	-50V
DA=2.0 μm	W=50*4	1800V	1400V	1400V	1400V	-50V	-50V	-50V	-50V
DA=3.0 μm	W=50*4	3000V	3500V	1400V	1800V	-50V	-50V	-50V	-50V
DA=4.0 μm	W=50*4	3500V	3000V	3000V	4000V	-50V	-50V	-50V	-50V
DA=5.0 μm	W=50*4	4500V	4000V	4000V	4000V	-50V	-50V	-50V	-50V
DA=6.0 μm	W=50*4	5000V	3000V	2500V	3500V	-50V	-50V	-50V	-50V
DA=7.0 μm	W=50*4	5500V	4500V	3500V	3500V	-50V	-50V	-50V	-50V

由表 4.6 的測試結果顯示高壓非對稱結構 NMOS(with NBL)不需要增加汲極 CONTACT 到閘極的距離(DA)即可獲得高於業界標準的靜電防護能力，人體放電模式通過 2KV 且機器放電模式通過 200V 防護能力，更重要的是元件通道寬度只有未加入高濃度 N-type 掩埋層前的 20%。

表 4.6 高壓對稱結構 NMOS(without NBL)靜電放電測試結果。

X50NA6	total width(μm)	HBM test result				MM test result			
		sample1	sample2	sample3	sample4	sample1	sample2	sample3	sample4
DA=0.7 μm	W=20*2	-3000V	-3000V	-3000V	-3000V	250V	-200V	300V	250V
DA=1.0 μm	W=20*2	-3500V	3500V	-3500V	4000V	700V	-250V	300V	300V
DA=2.0 μm	W=20*2	3000V	3000V	3500V	3500V	-350V	350V	350V	-400V
DA=3.0 μm	W=20*2	4000V	4500V	3500V	3500V	400V	-350V	-350V	400V
DA=4.0 μm	W=20*2	3500V	4000V	4000V	3500V	400V	400V	-350V	400V
DA=5.0 μm	W=20*2	3000V	3000V	3000V	3000V	400V	-350V	-350V	400V
DA=6.0 μm	W=20*2	3000V	3000V	3000V	3000V	-350V	400V	-350V	400V
DA=7.0 μm	W=20*2	2500V	2500V	3500V	2500V	-350V	-350V	-350V	-350V

4.3 分析與討論

本製程使用的高壓防護元件使用高壓非對稱結構 NMOS(with NBL)結構，由於代工工廠沒有高能量離子植入機台，若需要深度約 3~5 μm 同時具有高濃度的 N-type 區域是不可能的，因此只有 EPI 製程中才能製造出這樣的元件結構，在長 EPI 前先植入的 N-type 掩埋層可以與非對稱結構 NMOS 的源極形成縱向寄生 NPN 電晶體，由於 P-層是透過長時間高溫驅入，所以底部的濃度最淡，在這樣的條件下縱向寄生 NPN 電晶體可以得到更好的 β gain，此外高壓非對稱結構 NMOS(with NBL)結構具有更多的有效電晶體面積因此能夠承受更大的靜電電流，一旦縱向寄生 NPN 電晶體導通使電流遠離元件表面，靜電放電電流所產生的熱能將不易傳導至表面，也因為電流路徑的改變，我們不需要增加汲極端 CONTACT 到閘極的距離(DA)，此時元件不易發生 CONTACT spiking 與 punch through，所以在很小的面積下能得到很好的防護能力。



第五章 靜電放電輸出輸入級電路

靜電放電會由電源接腳與接地接腳進入積體電路之外還會從輸出輸入級接腳進入積體電路內部造成電路受損，因此除了需要上一章節所提到的電壓鉗制元件之外更重要的是如何在靜電放電現象發生時將靜電放電電流導通到電壓鉗制元件避免靜電放電電流因通過內部電路排放而造成危害，所以輸出輸入級部分的電路防護設計相當重要，本章節將介紹一般常見的輸出輸入級電路防護設計並說明正電荷與負電荷經由輸出輸入級接腳進入積體電路時可能的電流路徑。

5.1 靜電放電輸出輸入級電路

靜電放電輸出輸入級電路是在各個輸出輸入級接腳周圍放置拉降(pull down)元件以及拉升(pull up)元件，正負極性的脈衝電流在對輸出輸入級接腳放電時可以經由拉降與拉升元件旁通電流至電源線或是接地線的路徑，或是經由寄生於電壓鉗制元件內的寄生 NPN 電晶體導通分別將正負極性的脈衝電流旁通到接地線與電源線。

5.1.1 常見的靜電放電輸出輸入級電路

一般常見的靜電放電輸出輸入級電路如圖 5.1 所示，輸入級與輸出級的 PAD 連接拉降與拉升元件，通常直接使用寄生於靜電放電輸出輸入級 NMOS 與 PMOS 中的 N-type 二極體與 P-type 二極體，也可以直接使用二極體，電壓鉗制元件則擺放在電源線與接地線之間，正負極性的脈衝電流進入積體電路後的理想電流路徑如下：

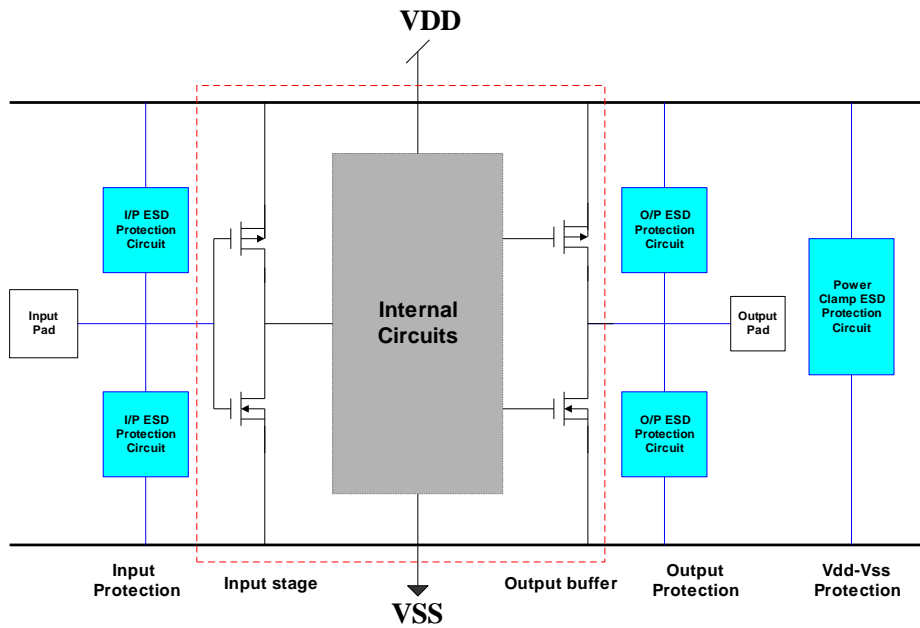


圖 5.1 靜電防護元件放置在輸出輸入級與電源線與接地線之間。

a. PS mode - 正極性脈衝電流由輸出輸入接腳對接地接腳測試

正極性的脈衝電流經由輸入或輸出端接腳進入積體電路後以順向偏壓的方式通過拉升元件(寄生 P-type 二極體)將電流導到電源線，而電壓鉗制元件跨接於電源線與接地線之間，此電流會拉升電壓鉗制元件的汲極與基極的電位差，當此一電位差到達電壓鉗制元件內寄生電晶體的啟始電壓時(元件崩潰電壓或是熱電子效應產生足夠的基板電流)寄生電晶體導通將電流排放至接地線，可避免電流經由內部電路的閘極或是經由電源線進入內部電路造成損害，電流路徑如圖 5.2 虛線所示(箭頭方向為電洞流方向)。

b. NS mode - 負極性脈衝電流由輸出輸入接腳對接地接腳測試

負極性的脈衝電流經由輸入或輸出端接腳進入積體電路後以順向偏壓的方式通過拉降元件(寄生 N-type 二極體)將電流導到接地線，電流路徑如圖 5.2 實線所示(箭頭方向為電子流方向)。

c. PD mode - 正極性脈衝電流由輸出輸入接腳對電源接腳測試

正極性的脈衝電流經由輸入或輸出端 PAD 進入積體電路後以順向偏壓的方式通過拉升元件(寄生 P-type 二極體)將電流導到電源線，電流路徑如圖 5.3 實線所示（箭頭方向為電洞流方向）。

d. ND mode - 負極性脈衝電流由輸出輸入接腳對電源接腳測試

負極性的脈衝電流經由輸入或輸出端 PAD 進入積體電路後以順向偏壓的方式通過拉降元件(寄生 N-type 二極體)將電流導到接地線，電壓鉗制元件跨接於電源線與接地線之間，電流拉降接地線電位使壓鉗制元件的基極與汲極的電位差增加，當此一電位差到達電壓鉗制元件內寄生電晶體的啟始電壓時(元件崩潰電壓或是熱電子效應產生足夠的基板電流)寄生電晶體導通將電流排放至電源線，可避免電流經由內部電路的閘極或是經由接地線進入內部電路造成損害，電流路徑如圖 5.3 虛線所示（箭頭方向為電子流方向）。

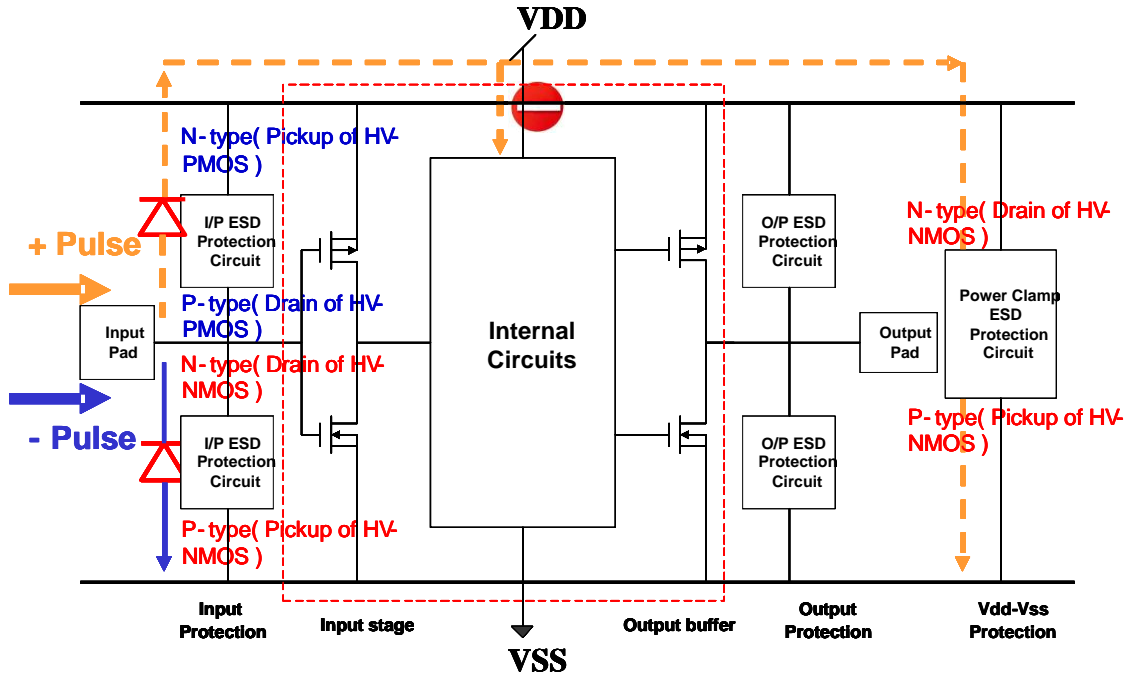


圖 5.2 PS mode 與 NS mode 的理想電流路徑。

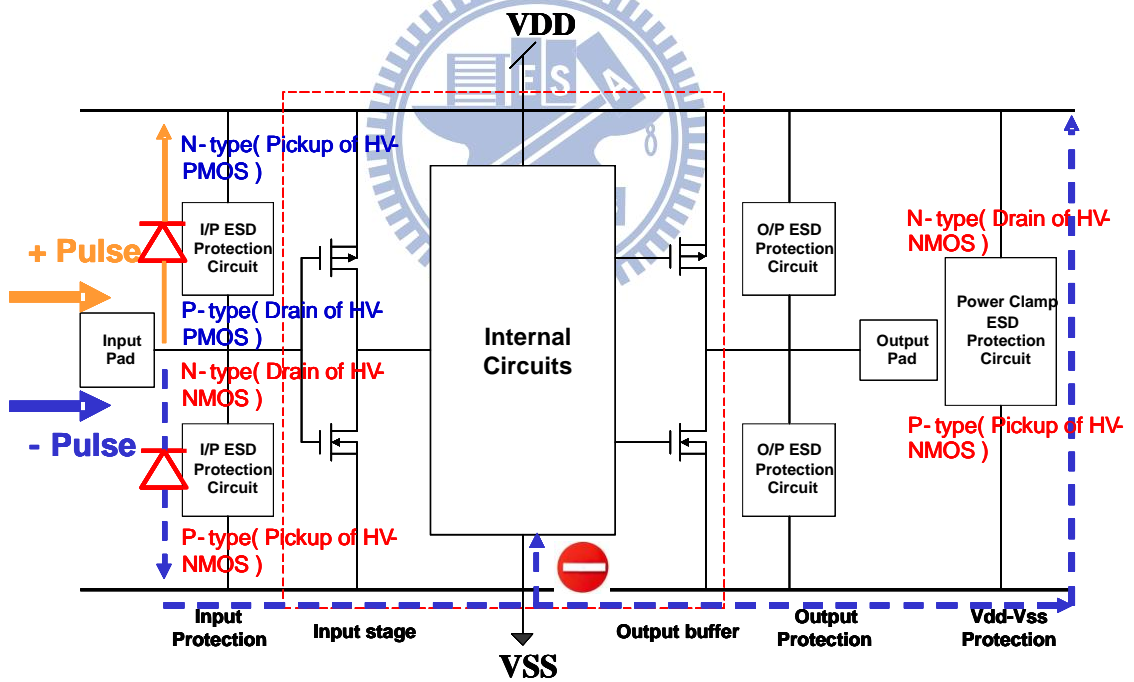


圖 5.3 PD mode 與 ND mode 的理想電流路徑。

5.1.2 Open drain 電路

若高低壓混合電路中電源為較低電壓時，輸出端可能改用 open drain 保護電路，高

壓輸出元件(output drive device)通常並聯一顆靜電防護元件保護，因為高壓輸出元件通常需要輸出大電流因此具有相當大的面積(依積體電路設計公司電路設計之電流需求)，總通道寬度甚至高達幾萬微米，積體電路設計公司可能採取自我保護(self-protection)的方式以大面積的接面承受靜電放電電流，這樣的結構通常只能剛好通過人體放電模式 2KV 與機器放電模式 200V 的測試，一般還是建議使用並聯的方式以靜電防護元件並聯輸出元件，以靜電防護元件內的寄生電晶體做防護(即使需要較大的面積)，而正負極性的脈衝電流進入 open drain 電路後的理想電流路徑如下：

a. PS mode - 正極性脈衝電流由輸出輸入接腳對接地接腳測試

正極性的脈衝電流經由輸出端 PAD 進入積體電路後沒有前一小節所提到的順向接面(寄生 P-type 二極體)，所以電流會同時拉升高壓輸出元件與並聯的靜電防護元件的汲極與基極的電位差，當此一電位差到達靜電防護元件內寄生電晶體的啟始電壓時(元件崩潰電壓或是熱電子效應產生足夠的基板電流)寄生電晶體導通將電流排放至接地線，可避免電流破壞高壓輸出元件，電流路徑如圖 5.4 虛線所示(箭頭方向為電洞流方向)。

b. NS mode - 負極性脈衝電流由輸出輸入接腳對接地接腳測試

負極性的脈衝電流經由輸出端 PAD 進入積體電路後以順向偏壓的方式通過寄生於靜電防護元件中的 N-type 二極體將電流導到接地線，電流路徑如圖 5.4 實線所示(箭頭方向為電子流方向)。

c. PD mode - 正極性脈衝電流由輸出輸入接腳對電源接腳測試

正極性的脈衝電流經由輸出端 PAD 進入積體電路後沒有順向接面所以會同時拉升高壓輸出元件與並聯的靜電防護元件的汲極與基極的電位差，當此一電位差到達靜電防護元件內寄生電晶體的啟始電壓時(元件崩潰電壓或是熱電子效應產生足夠的基板電流)寄生電晶體導通將電流排放至接地線，透過寄生於電壓鉗制元件內的 P-type 二極體以順向偏壓的方式將電流旁通到電源線，去避免靜電放電電流破壞高壓輸出元件，電流路徑如圖 5.5 虛線所示（箭頭方向為電洞流方向）。

d. ND mode - 負極性脈衝電流由輸出輸入接腳對電源接腳測試

負極性的脈衝電流經由輸出端 PAD 進入積體電路後以順向偏壓的方式通過寄生於靜電防護元件中的 N-type 二極體將電流導到接地線，此時帶負電荷的電子流將會拉降接地線的電位，同樣的，當此一電位差到達靜電防護元件內寄生電晶體的啟始電壓時(元件崩潰電壓或是熱電子效應產生足夠的基板電流)寄生電晶體導通將電流排放至電源線，電流路徑如圖 5.5 實線所示（箭頭方向為電子流方向）。

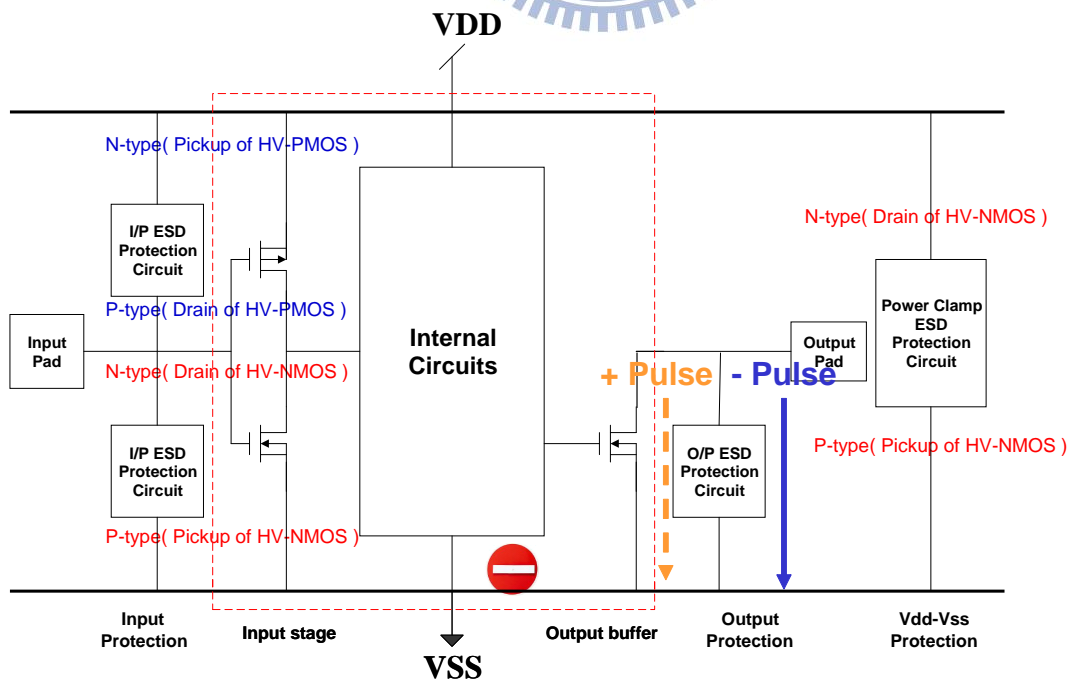


圖 5.4 PS mode 與 NS mode 的理想電流路徑。

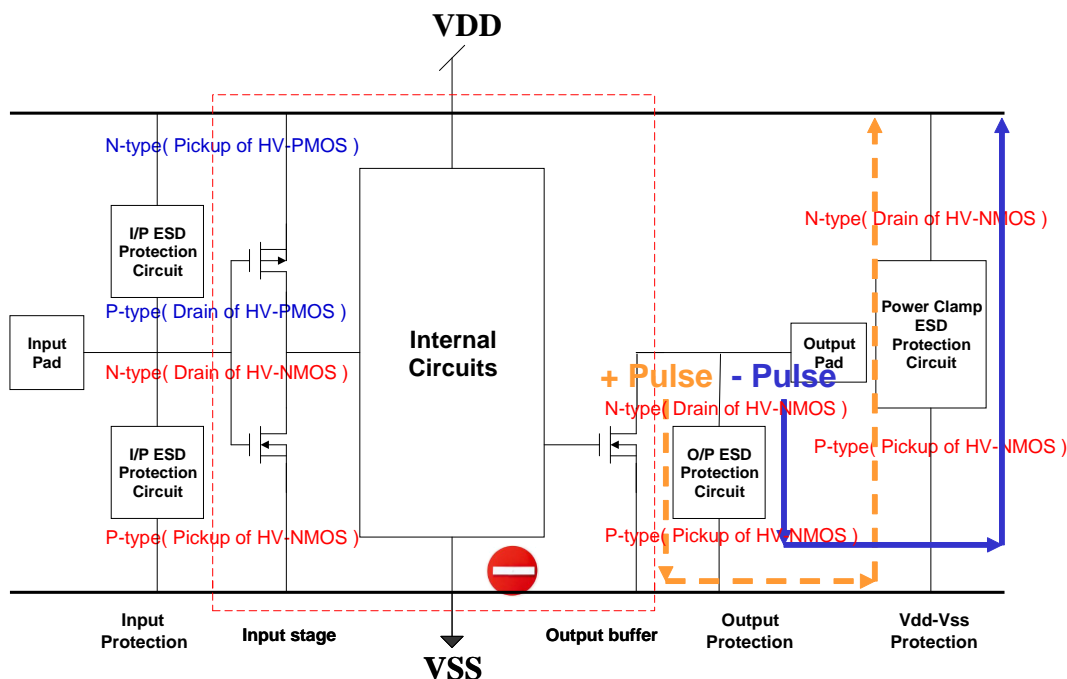


圖 5.5 PD mode 與 ND mode 的理想電流路徑。

從電流路徑可知理想上正負極性的脈衝電流對 PAD 的放電都可以經由拉升與拉降元件直接旁通到電源線與接地線或是經由寄生於電壓鉗制元件內的電晶體排放，若電壓鉗制元件本身可以通過測試理論上可以保護內部電路不受損傷。

靜電放電防護工程就是以上述的方法在所有輸出輸入級 PAD 擺放拉升與拉降元件，利用拉升與拉降元件將電流傳遞到電源線或是接地線最後經過電壓鉗制元件將靜電放電電流排放。若電路面積很大時輸出與輸入級 PAD 分散於各處，每一組拉升與拉降元件搭配獨立的電壓鉗制元件可以得到最佳的防護效果，但是這樣的設計會浪費相當大的面積，若是所有的拉升與拉降元件共用一組電壓鉗制元件則可能因為過大的路徑電阻導致電壓鉗制元件來不及導通，因此距離電壓鉗制元件較遠的輸出輸入級可能無法通過測試，建議使用如圖 5.6 的配置，相近的輸出輸入級 PAD 共用一顆電壓鉗制元件即可達到全晶片防護的效果卻有不會浪費太多面積[1][18][23]。

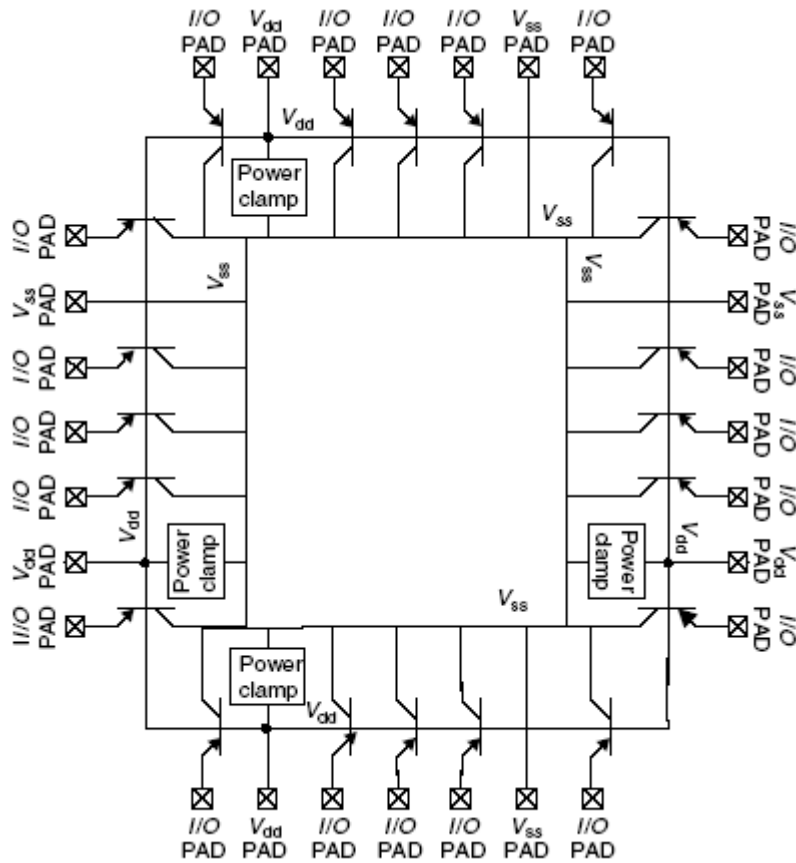
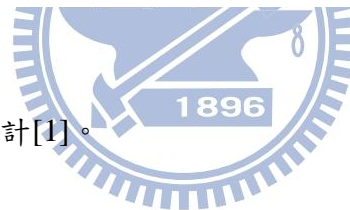


圖 5.6 靜電放電全晶片防護設計[1]。



5.2 靜電放電輸出輸入級電路人體放電模式與機器放電模式測試結果

即使單顆元件已經通過測試，仍然不能保證此一靜電防護元件擺放至積體電路設計公司的電路內能有效的防護外部靜電電流，因為實際電路的佈局上還須需考量閘極氧化層與元件外側的崩潰電壓、金屬導線的佈局方式甚至是電壓鉗制元件與輸出輸入級 PAD 的雜散電容與雜散電阻的影響。因此靜電防護元件本身通過測試不代表能夠有效保護整個電路，實際的靜電放電防護能力需要搭配電路一起驗證，實際內部電路的設計超過本論文討論的範圍，所以本次實驗只以輸入輸出級電路加上電壓鉗制元件一起驗證。

輸出輸入級的測試鍵由拉降元件、拉升元件與電壓鉗制元件所組成，其中測試鍵

X50MS1 是以高壓非對稱結構 NMOS(without NBL)為拉降元件與電壓鉗制元件，若設計正確高壓非對稱結構 PMOS 將只需要面對順向偏壓的電流，因此高壓非對稱結構 PMOS 沒有特殊設計，表 5.1 列出 3 個輸出輸入級測試鍵的測試模式，分別為 I/O-VDD mode、I/O-VSS mode 與 VDD-VSS mode，其中只有 I/O-VSS mode 可以通過人體放電模式(2KV)與機器放電模式通過(200V)測試，而 I/O-VDD mode 與 VDD-VSS mode 則沒有達到一般業界標準的防護水準。X50MS8 是以高壓非對稱結構 NMOS(with NBL)為拉降元件與電壓鉗制元件，從表八的測試結果顯示 I/O-VDD mode、I/O-VSS mode、VDD-VSS mode 全部通過人體放電模式通過 2KV 與機器放電模式通過 200V 的測試。

表 5.1 使用高壓非對稱結構 NMOS(without NBL)為拉降元件與電壓鉗制元件的人體放電模式與機器放電模式測試結果。

X50MS1	HBM test result				MM test result			
	Mode	sample1	sample2	sample3	Mode	sample1	sample2	sample3
	I/O-VDD	1400V	1600V	1600V	I/O-VDD	150V	150V	100V
	I/O-VSS	3500V	5500V	5500V	I/O-VSS	250V	300V	350V
	VDD-VSS	1600V	3500V	1400V	VDD-VSS	150V	250V	350V

表 5.2 使用高壓非對稱結構 NMOS(with NBL)為拉降元件與電壓鉗制元件的人體放電模式與機器放電模式測試結果。

X50MS8	HBM test result				MM test result			
	Mode	sample1	sample2	sample3	Mode	sample1	sample2	sample3
	I/O-VDD	3500V	3000V	4000V	I/O-VDD	400V	400V	400V
	I/O-VSS	5000V	5000V	4500V	I/O-VSS	500V	500V	400V
	VDD-VSS	3500V	3500V	4000V	VDD-VSS	350V	400V	400V

5.3 分析與討論

針對表 5.1 的測試結果明顯發現使用高壓非對稱結構 NMOS(without NBL)的比對組只有在 I/O-VSS mode 才能通過測試，從圖 5.2 的 PS mode 與 NS mode 電流路徑分析中可以發現對 I/O-VSS mode 若是正的脈衝電流從輸出輸入級 PAD 進入測試鍵時高壓非對

稱結構 PMOS 可以提供順向偏壓路徑將電流倒流到電源線經由電壓鉗制元件旁通電留，若是負的脈衝電流從輸出輸入級 PAD 進入測試鍵則有高壓非對稱結構

NMOS(without NBL)元件可以提供順向偏壓路徑將電流旁通到接地線，因此可以通過測試。

而 I/O-VDD mode 若是 PD mode 電流可以以順向電流的方式通過高壓非對稱結構 PMOS 到達電源線不會造成危害，但是在 ND mode 雖然靜電放電電流同樣可以以順向電流的方式通過高壓對稱結構 NMOS(without NBL)到連接地線，但是在等待電壓鉗制元件內的寄生電晶體導通時對高壓非對稱結構 PMOS 來說脈衝電流將會拉降及極的電位，若電壓鉗制元件無法即時導通高壓非對稱結構 PMOS 將會崩潰，伴隨而來的崩潰電流將會傷害高壓非對稱結構 PMOS 使電路失效，同樣的，VDD-VSS mode 的測試下負的脈衝電流可以以順向電流的方式通過電壓鉗制元件到連接地線不會對電路造成傷害，但是正的脈衝電流在電壓鉗制元件導通前會拉升電源線的電位，當電源線的電位超過高壓非對稱結構 PMOS 外側接面所能承受的電壓，電流將會通過高壓非對稱結構 PMOS 外側接面到連接接地線的基板，這個電流同樣會使電路失效。

分析測試結果後發現測試鍵 X50MS1 不能通過測試的 I/O-VDD mode 與 VDD-VSS mode 同樣都存在高壓非對稱結構 PMOS 出現逆向偏壓的條件，加上寄生於高壓非對稱結構 NMOS(with NBL)內的寄生電晶體導通電壓高達 80V，這可能對直流崩潰電壓只有約 62V 的高壓非對稱結構 PMOS 帶來危害，使用 HP-4156 半導體參數分析儀量測的直流崩潰電壓如圖 5.7。

反觀表 5.2 的測試結果，使用高壓非對稱結構 NMOS(with NBL)的比對組使用了與高壓非對稱結構 PMOS 相同植入條件的高濃度 N-type 掩埋層使元件崩潰電壓與高壓非對稱結構 PMOS 相同都是 60V，此外，參考表二的 TLPG 測試結果可以發現電位超過 60V 後元件將會崩潰，隨之產生的基板電流(或是熱載子效應產生的基板電流)將迅速導通寄生電晶體，也因此即使高壓非對稱結構 PMOS 可能在短暫的時間內面對逆向偏壓卻

沒有發生失效。

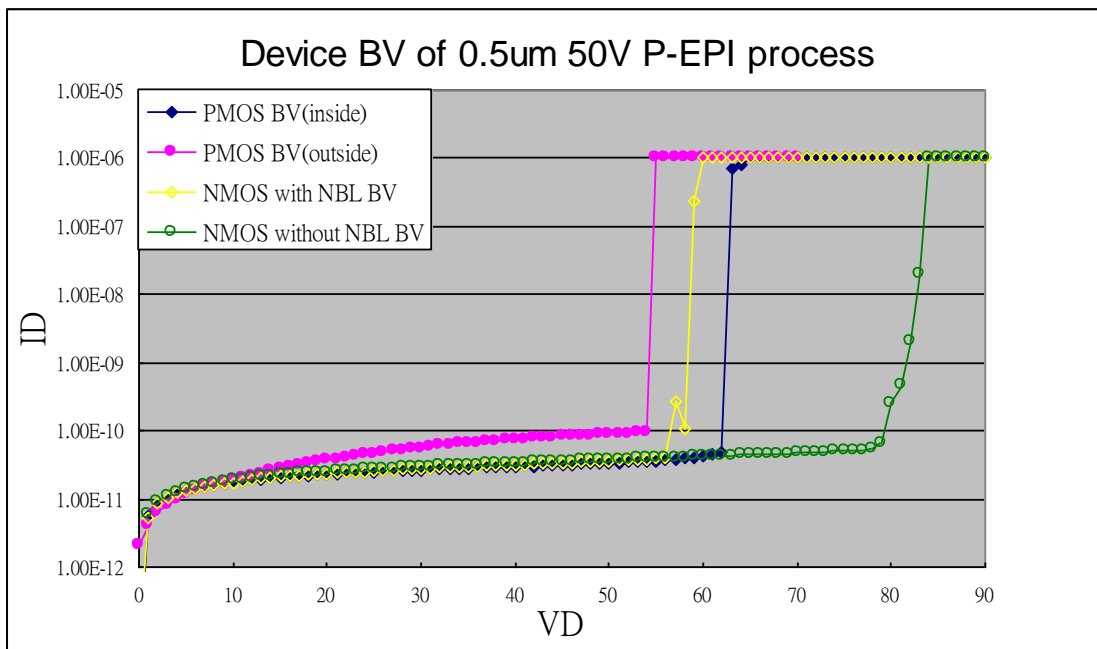


圖 5.7 高壓非對稱結構 PMOS 的崩潰電壓。

5.4 失效原因分析

為了確認測試鍵 X50MS8 不會發生如同 X50MS1 發生高壓非對稱結構 PMOS 被破壞的狀況，將測試過 I/O-VSS mode 與 I/O-VDD mode 的測試鍵做故障分析，將測試鍵 de-layer 到基板看靜電放電電流造成輸出輸入級電路受損的情形。首先，受過 I/O-VSS mode 測試的測試鍵在 de-layer 後得到如圖 48 的 SEM 照片，照片顯示受損的位置發生在輸出輸入級的拉降元件與電壓鉗制元件的汲極，比較表八的測試結果，I/O-VSS mode 相較於 I/O-VDD mode 與 VDD-VSS mode 有較高的靜電防護能力，這是因為同時有兩個寄生電晶體導通因此可以得到更好的防護能力，從圖 48 的 SEM 照片中也確認只有經過逆向偏壓電流的元件才會有受損的狀況，其中輸出輸入級的拉降元件受損明顯比電壓鉗制元件受損更嚴重，這是因為拉降元件距離靜電放電圓的輸出輸入級 PAD 最近，所以

會接受較多的分流電流。

受過 I/O-VDD mode 測試的測試鍵在 de-layer 後得到如圖 5.8 的 SEM 照片，照片顯示放置於電源線與接地線之間的高壓非對稱結構 NMOS(with NBL)與高壓非對稱結構 PMOS 同時發生 contact spiking 與 punch through 的現象，這符合先前的推論，只有經過逆向偏壓電流的元件才會受損，但是在測試鍵 X50MS8 中所使用的電壓鉗制元件在兩端點電壓差到達約 60V 會導通，因此直流崩潰電壓約 62V 的高壓非對稱結構 PMOS 雖然仍有受損的跡象卻沒有發生漏電因此通過 Thermo-KeyTek MK2 的 ESD 測試，理論上我們希望寄生電晶體的導通電壓低於路徑中所有接面的崩潰電壓以確保所有的接面都受到保護，若是寄生電晶體的導通電壓與某個接面的崩潰電壓太相近甚至低於接面的崩潰電壓則無法通過靜電放電測試，然而由實驗結果顯示有部份電流流向高壓非對稱結構 PMOS，但是在高壓非對稱結構 PMOS 尚未漏電前電壓鉗制元件即時導通並將電位鉗制在保持電壓(約 22V)，因此電流轉由高壓非對稱結構 NMOS(with NBL)內的寄生電晶體旁通至電源線。

SEM Image-I/O to VDD mode

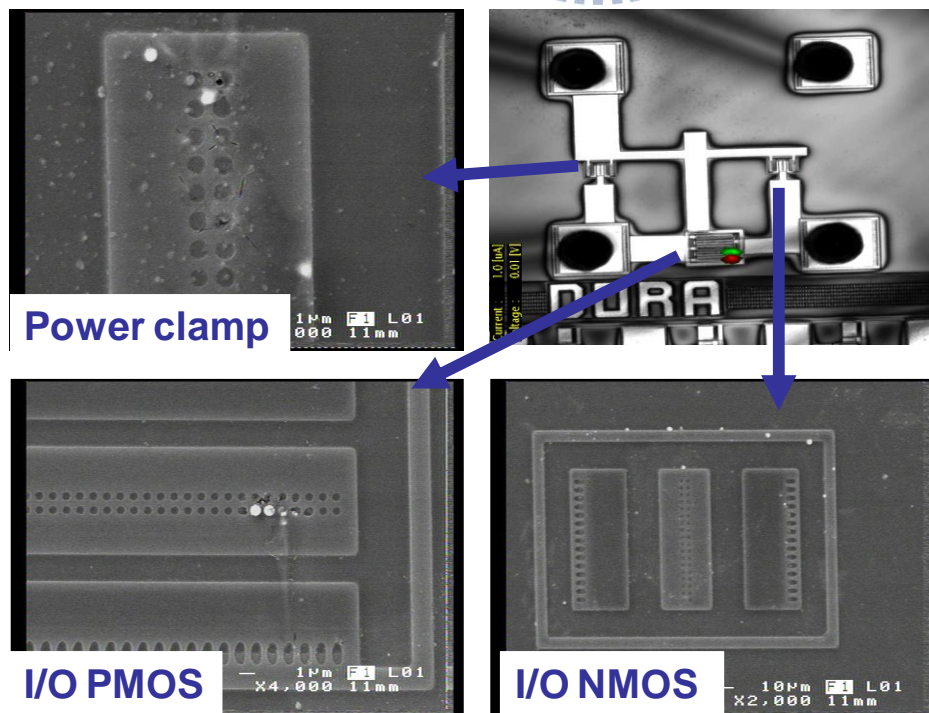


圖 5.8 I/O-VSS mode 的失效分析結果。

SEM Image-I/O to VSS mode

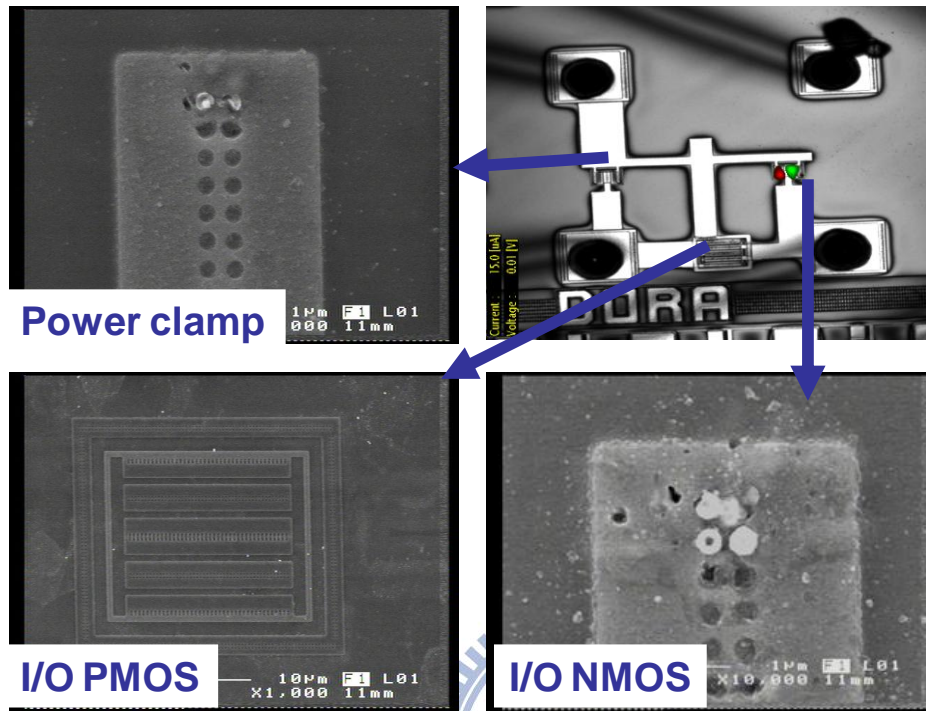


圖 5.9 I/O-VDD mode 的失效分析結果。

第六章 結論

本次實驗使用的高壓對稱結構NMOS(without NBL)與高壓非對稱結構NMOS(without NBL)經由傳輸線觸波產生器量測所得到的參數與Thermo-KeyTek MK2的靜電放電測試結果證明這兩個結構無法有效保護內部電路，主要的原因在於過高的導通電壓將來不及在外部靜電電流流入積體電路時即時導通，因此內部電路甚至輸出與輸入級的元件都可能受到破壞。

將N-type掩埋層植入在高壓非對稱結構NMOS的下方，在縱向punch through電壓仍高於製程操作電壓的條件下降低元件崩潰電壓，這樣一來靜電防護元件就能夠即時導通形成防護路徑。更重要的是增加N-type掩埋層後可以將原本橫向電晶體電體靠近表面的流路徑轉移到更深層的縱向電晶體電體，因此高壓非對稱結構NMOS(with NBL)不需要增加汲極端CONTACT到閘極的距離(DA)即可通過靜電放電測試，此外由於縱向電晶體電體的效果優於橫向電晶體電體，即使靜電防護元件縮小五分之四的總通道長度仍然可以得到足夠的防護能力。

本次實驗得到的靜電防護元件在不更改製程參數與製程流程且不增加光罩數量的前提下完成，除了單顆元件通過靜電放電測試外，輸出輸入級的測試鍵也通過Thermo-KeyTek MK2 人體靜電放電模式 2000V 與機械靜電放電模式 200V 的測試，這樣的防護電路將可以提供基礎的靜電放電測試結果給積體電路設計公司參考。雖然實驗中仍然有部分實驗結構仍需要持續改善，例如高壓非對稱結構 NMOS((partial butting contact)調變寄生電晶體起始電壓的能力仍不足，仍需要搭配場氧化層縮短來降低元件崩潰電壓，未來需要進一步透過實驗在不同製程驗證，N-type 掩埋層在更高操作電壓下可能遇到縱向 punch through 的問題也需要在其他高壓製程驗證。

參考文獻

1. A. Amerasekera and C. Duvvury, "ESD in Silicon Integrated Circuits", 2nd Edition, John Wiley & Sons, pp. 8 - 224 , 2002.
2. M. D. Ker, J. J Peng, and H.-C Jiang, "ESD test methods on integrated circuits: An overview", Proc. of 2001 IEEE International Conference Electronics Circuits and Systems, vol. 2, pp.1011 - 1014, 2001.
3. O. Semenov, H. Sarbishaei, M. Sachdev, "ESD Protection Device and Circuit Design for Advanced CMOS Technologies", 1nd Edition, Baker & Taylor Books , pp. 21 - 144 , 2008.
4. Y. W. Hsiao, M. D. Ker, P. Y. Chiu, C. Huang and Y. K. Tseng, "ESD protection design for giga-Hz high-speed I/O interfaces in a 130-nm CMOS process", Proc. of 2007 IEEE International SOC Conference, pp. 277-280, 2007.
5. T. Y. Chen, M. D. Ker, "Investigation of the gate-driven effect and substrate-triggered effect on ESD robustness of CMOS devices", Device and Materials Reliability, IEEE Transactions on, pp.190 - 203, vol. 1, 2001.
6. Z. Liu , J. J. Liou and J. Vinson, "Novel silicon-controlled rectifier (SCR) for high-voltage electrostatic discharge (ESD) applications", IEEE Electron Device Letters, vol. 29, p.753 , 2008.

7. W. Y. Chen, M. D. Ker, Y. J. Huang, Y. N. Jou, and G. L. Lin, "Measurement on snapback holding voltage of high-voltage LDMOS for latch-up consideration", Proc. of 2008 IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS), pp. 61-64, 2008.
8. M. D. Ker and S. C. Liu, "Whole-chip ESD protection design for submicron CMOS VLSI", Proc. of 1997 IEEE International Symposium on Circuits and Systems, vol. 3, pp. 1920-1923, 1997.
9. S.-H. Chen and Ming-Dou Ker, "Design of on-chip power-rail ESD clamp circuit with ultra-small capacitance to detect ESD transition", Proc. of 2009 IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT), pp. 327-330, 2009.
10. D. J. Kim, J. Ho. Park, S. G. Park, "Area-efficient power clamp circuit using gate-coupled structure for Smart Power ICs", SoC Design Conference, 2008, ISOCC '08, International, pp. I-429 - I-430, vol.1, 2008.
11. 陳穩義、柯明道，"避免閘極過度耦合效應的靜電放電防護電路設計"，電子月刊，第 106 期，pp.161-170，2004.
12. M. D. Ker and J. H. Chen, "Self-substrate-triggered technique to enhance turn-on uniformity of multi-finger ESD protection devices", IEEE Journal of Solid-State Circuits, vol. 41, pp. 2601-2609, 2006.
13. M. D. Ker, "Area-efficient VDD-to-VSS ESD clamp circuit by using substrate-triggering

field-oxide device (STFFOD) for whole-chip ESD protection”, VLSI Technology, pp.69-73, 1997.

14. 陳東暘、柯明道、蘇金練、唐天浩、陳正剛、簡山傑，“基體觸發技術與閘極驅動技術之比較及其在積體電路靜電放電防護上之應用”，電子月刊，第 93 期，pp.188-202，2003.

15. 黃致遠、陳孝賢、唐天浩、陳正剛、簡山傑，“利用離子佈植方式增強深次微米電晶體元件對靜電放電防護能力之研究”，電子月刊，第 93 期，pp.233-238，2003.

16. M. D. Ker, C.-S. Liao, and C.-C. Yen, “Transient detection circuit for system-level ESD protection and its on-board behavior with EMI/EMC filters”, Proc. of 2008 IEEE International Symposium on Electromagnetic Compatibility (EMC), 18-22, 2008.

17. T. Y. Chen, M. D. Ker, and C. Y. Wu, "The application of transmission-line-pulsing technique on electrostatic discharge protection devices ", Proc. of 1999 Taiwan EMC Conference, pp.260-265, 1999.

18.柯明道，“互補式金氧半積體電路之靜電放電防護”，國立交通大學，
(<http://www.ics.ee.nctu.edu.tw/~mdker/ESD/>).

19. 侯春麟、蔡耀城、陳子平、江志強、黃彩賢，“靜電放電之測試與防制”，電子月刊，第 93 期，pp162-174，2003.

20. 陳東暘、柯明道、唐天浩、黃致遠，“深次微米金氧半電晶體之佈局參數對元件靜電放電耐受度的影響”，電子月刊，第 106 期，pp.120-132，2004.

21. H. Gofiner et al., “Wide range control of the sustaining voltage of ESD protection elements realized in a smart power technology”, Proc. 1999 EOS/ESD Symposium, pp. 19-27, 1999.

22. J. H. Lee, S. H. Chen, Y. T. Tsai, D. B. Lee, F. H. Chen, W. C. Liu, C. M. Chung, S. L. Hsu, J. R. Shih, A. Y. Liang and K. Wu, “The influence of NBL layout and LOCOS space on component ESD and system level ESD for HV-LDMOS”, Proc. 2007 International Symposium Power Semiconductor Devices ICs, p.173, 2007.

23. M. D. Ker, H. C. Jiang, and J. J. Peng, "ESD protection design and verification in a 0.35- μm CMOS ASIC library ", Proc. 1999 IEEE International ASIC/SOC Conference, pp. 262-266, 1999.

