

國立交通大學

工學院

半導體材料與製程設備學程

碩士論文

利用特性要因分析法改善
場擴散金氧半場效電晶體製程

**Improvement of the Fabrication Process of Field Diffusion
Metal-Oxide-Semiconductor Field-Effect Transistor using
Cause-Effect Diagram**

研究生：黃稚鉸

指導教授：吳耀銓 教授

中華民國 一 百 年 十 二 月

利用特性要因分析法改善
場擴散金氧半場效電晶體製程


**Improvement of the Fabrication Process of Field Diffusion
Metal-Oxide-Semiconductor Field-Effect Transistor using
Cause-Effect Diagram**

研究生：黃稚鉸

Student : Chih-An Huang

指導教授：吳耀銓 教授

Advisor : YewChung Sermon Wu

The logo of National Chiao Tung University is a large, light blue circular emblem. It features a gear-like outer border. Inside the circle, there is a stylized representation of a building or structure with the letters 'C' and 'A' prominently displayed. Below this, there is a horizontal line with the year '1396' underneath it. The text '國立交通大學' (National Chiao Tung University) is written in Chinese characters above the emblem, and '工學院' (College of Engineering) is written below it. The text '半導體材料與製程設備學程' (Semiconductor Material and Process Equipment Program) and '碩士論文' (Master's Thesis) are also present within the emblem area.

國立交通大學
工學院
半導體材料與製程設備學程
碩士論文

A Thesis

Submitted to Degree Program of Semiconductor Material and Process

Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Semiconductor Material and Process Equipment

December 2011

Hsinchu, Taiwan, Republic of China

中華民國 一 百 年 十 二 月

利用特性要因分析法改善 場擴散金氧半場效電晶體製程

學生：黃稚鉸

指導教授：吳耀銓 教授

國立交通大學 工學院半導體材料與製程設備學程

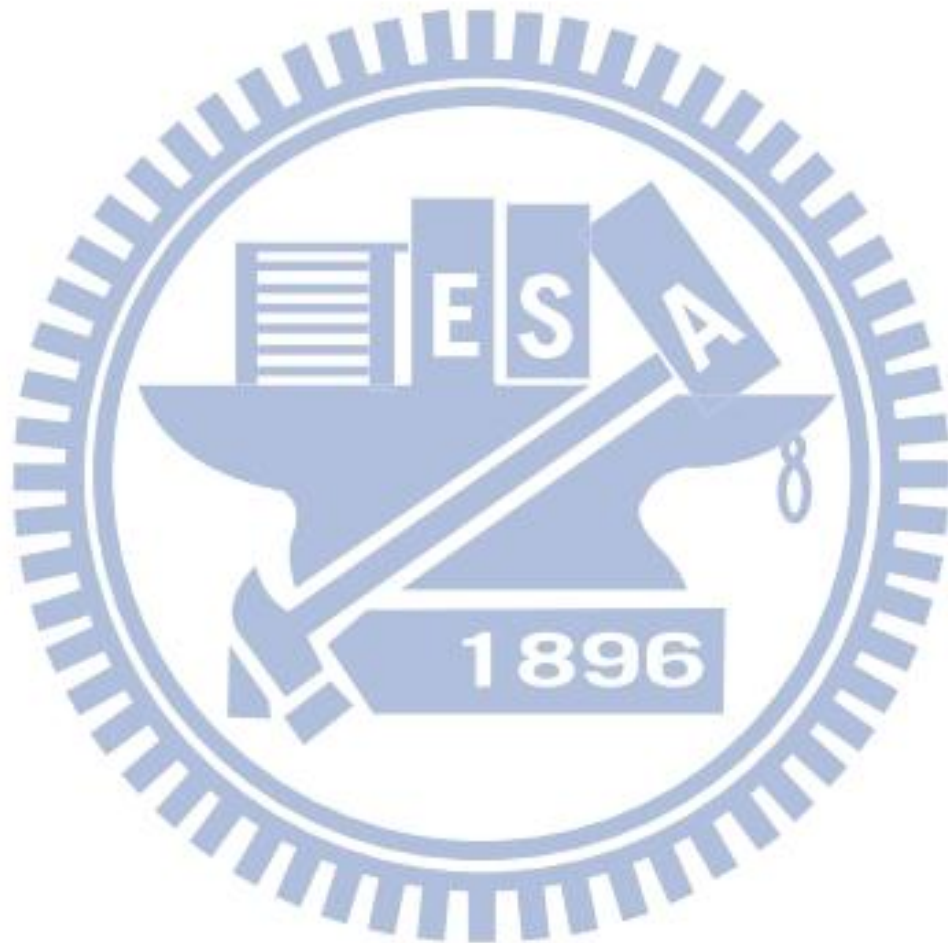
摘 要

二十一世紀的科技發展將環繞在資訊處理與能源節約上，隨著半導體製程技術的蓬勃發展，如何有效節省能源，又能快速進行資訊處理，需要依賴有省能效果且大容量的電力電子切換元件。因此，功率半導體元件技術的發展，將扮演舉足輕重的角色。

本研究係探討在半導體製程實務面上所遭遇到的問題，針對研究對象「非對稱性高壓 FD-MOSFET 元件(Asymmetric High Voltage Field Diffusion Metal-Oxide-Semiconductor Field-Effect Transistor)」，其在實務上量產晶片(On silicon)的「臨界電壓(V_t)」(Threshold voltage)，表現出的趨勢(Roll off)行為與 SPICE model 的表現不一致。然而，On silicon 與 SPICE model 兩者的匹配，一直是半導體業界極為重要且必須解決的課題。如此才能提供高效能的功率半導體元件，以符合並滿足 IC 設計者設計電路及元件的需求。

故本論文之研究重點在於利用特性要因分析方法(Cause-Effect

Diagram)進行要因分析，找出造成非對稱性 FD-MOS 元件之臨界電壓於 SPICE model 與 on-silicon 不匹配的真因，並經由適當的實驗設計得出兩者不匹配的原因，進而提出有效的解決方案。實驗結果顯示，藉由本研究所提出的解決方案能使得非對稱性 FD-MOS 元件之臨界電壓於 SPICE model 與 on-silicon 達成匹配的結果。



Improvement of the Fabrication Process of Field Diffusion Metal-Oxide-Semiconductor Field-Effect Transistor using Cause-Effect Diagram

Student : Chih-An Huang

Advisor : YewChung Sermon Wu

Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

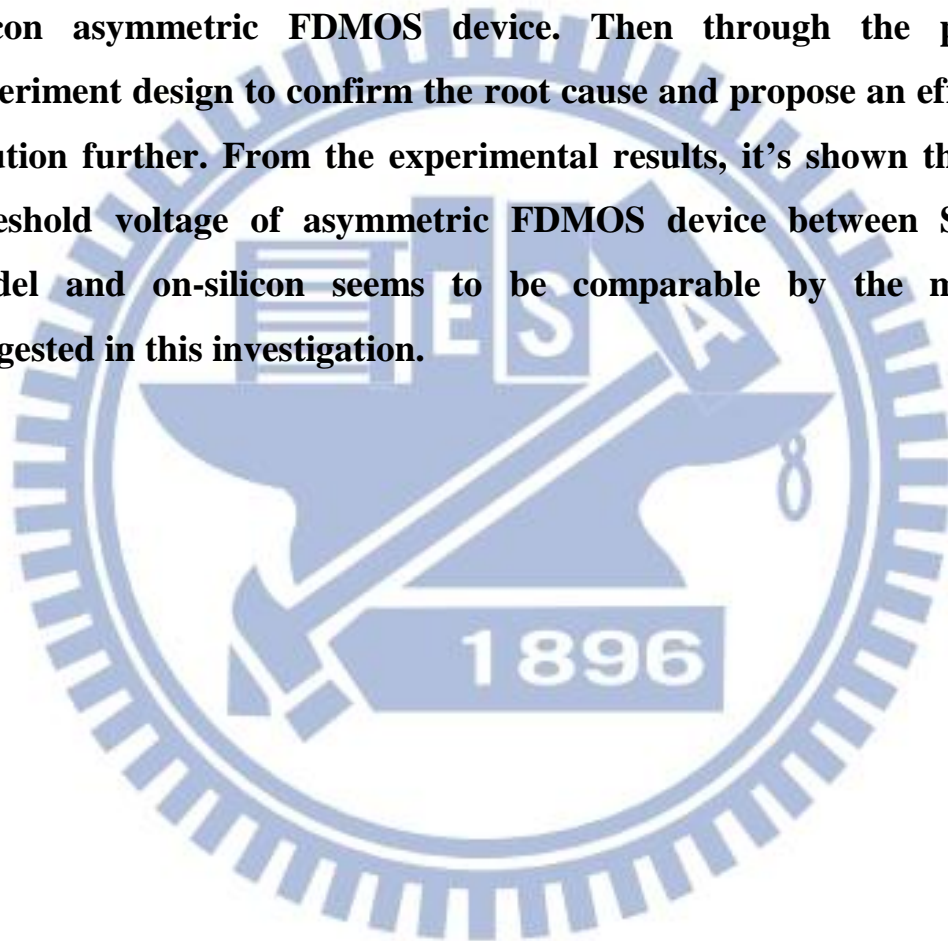
Abstract

Technology development in the twenty-first century will be surrounded with information processing and power saving. As the technology of semiconductor manufacture grows vigorously, how to save the power efficiently and to process with information quickly, a power-saving and high-capacity electric power-switching device is needed. Therefore, power semiconductor device technology will play a decisive role in the future.

It will be discussed about the issue suffered from the semiconductor manufacture in this research, i.e. the mismatch of threshold voltage roll off behavior between on-silicon and SPICE model in “Asymmetric High Voltage Field Diffused MOSFET” device. However, the matching results between on-silicon and SPICE

model is always a very important task and need to be solved in semiconductor industry. In this way, high-efficiency power semiconductor device can be provided to fit and meet the demand of IC designers in circuit and device design.

Therefore, the analysis of root cause by cause-effect diagram will be emphasized in this thesis, in order to find out the true reason of the mismatch in threshold voltage between SPICE model and on-silicon asymmetric FDMOS device. Then through the proper experiment design to confirm the root cause and propose an effective solution further. From the experimental results, it's shown that the threshold voltage of asymmetric FDMOS device between SPICE model and on-silicon seems to be comparable by the method suggested in this investigation.



誌 謝

本論文能夠順利完成，首先必須感謝指導教授吳耀銓教授的悉心指導與支持，師恩浩瀚，永銘於心。此外，論文口試期間，承蒙口試委員潘扶民教授及陳智教授於百忙中撥冗審閱、指正、提供寶貴之建議和經驗，深表無限感激與謝意。

尤其特別感謝聯華電子平台技術開發處吳欣昌經理在本人當初報考交大研究所在職專班時的推薦與支持。Mark 經理、依蒔主任及逸凱主任對論文初稿提供的寶貴意見與文獻資料，及公司同仁們給予我最大的包容與體諒，讓我得以無後顧之憂完成學業及論文，特此一併致謝。

感謝本屆在職專班永民，嘉祥，子弘等同學在這兩年多學程中彼此關心及打氣，共同渡過無數夜晚艱苦的在職求學生涯，回首這些日子點滴在心頭，謝謝你們。

最後，我要感謝我的太太怡君、父母，長期對我的鼓勵和關懷，使我可以完成學業及論文，衷心感謝所有關懷我的人，我將與您們一起分享這個努力的成果與喜悅。

目 錄

中文摘要	i
英文摘要	iii
誌謝	v
目錄	vi
表目錄	viii
圖目錄	ix
第一章 緒論.....	1
1.1 功率元件簡介.....	1
1.2 功率元件應用.....	2
1.3 研究動機.....	4
第二章 原理.....	11
2.1 元件種類及結構.....	11
2.2 元件操作機制.....	12
2.3 SPICE Model 簡介.....	14
2.4 SIMS 原理簡介.....	15
第三章 實驗方向規劃.....	22
3.1 魚骨圖簡介.....	22
3.2 魚骨圖分析.....	23
第四章 實驗設計.....	29
4.1 元件製造流程.....	29
4.2 實驗方法(機台因子).....	30

4.3	實驗方法(製程條件因子).....	31
第五章	結果與討論.....	41
5.1	實驗結果(機台因子).....	41
5.2	實驗結果(製程條件因子).....	42
5.3	真因分析.....	44
5.4	解決方案.....	45
5.5	結論.....	45
參考文獻	63

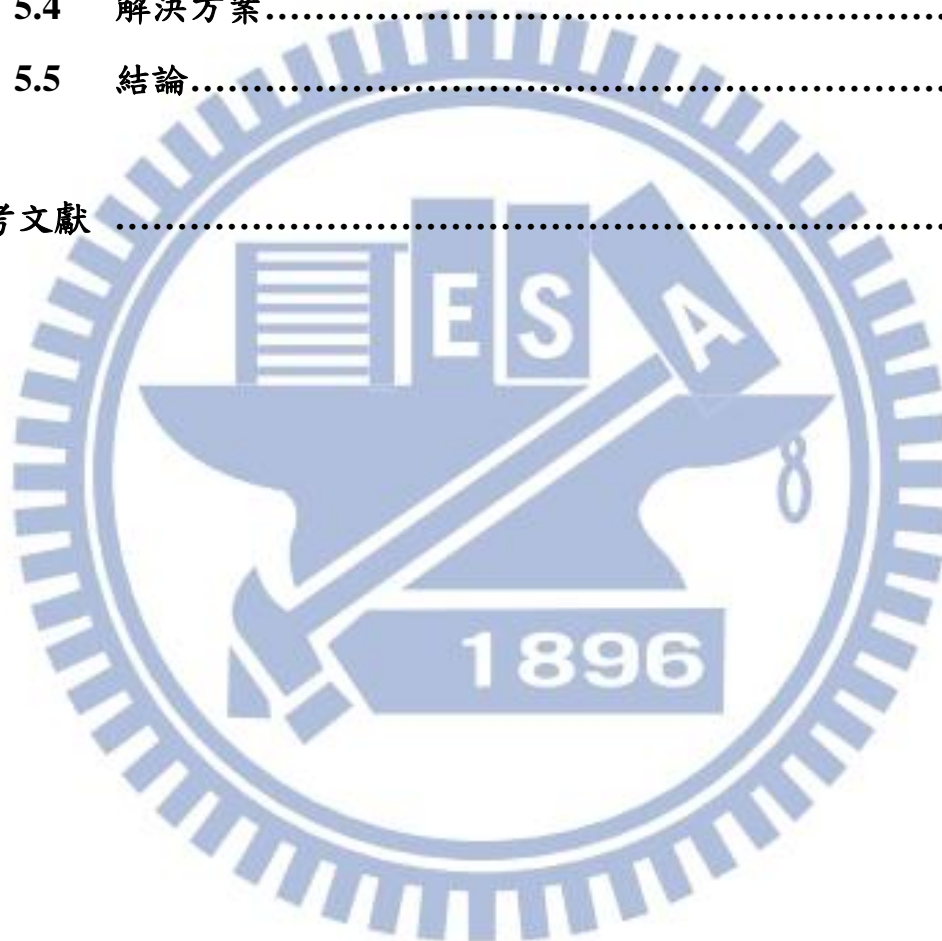


表 目 錄

第四章 實驗設計

表 4-1	黃光微影光阻烘烤機台實驗設計表.....	31
表 4-2	閘極通道長度量測實驗設計表.....	32
表 4-3	通道臨界電壓之離子植入實驗設計表.....	32
表 4-4	漂移區之離子植入實驗設計表.....	32
表 4-5	源極/汲極之離子植入實驗設計表.....	33
表 4-6	輕摻雜汲極之離子植入實驗設計表.....	33



圖 目 錄

第一章 緒論

圖 1-1	TFT-LCD 驅動 IC 元件在產品上的應用.....	5
圖 1-2	電源管理 IC 元件在產品上的應用.....	6
圖 1-3	LED 驅動 IC 元件在產品上的應用.....	7
圖 1-4	功率半導體元件主要應用的範圍.....	8
圖 1-5	未來功率元件使用範圍預測.....	9
圖 1-6(a)	FD-NMOS 臨界電壓曲線.....	10
圖 1-6(b)	FD-PMOS 臨界電壓曲線.....	10

第二章 原理

圖 2-1(a)	側向雙擴散金氧半場效電晶體結構圖.....	18
圖 2-1(b)	側向雙擴散金氧半場效電晶體摻雜濃度分布圖.....	18
圖 2-2	垂直式雙擴散金氧半場效電晶體結構圖.....	19
圖 2-3(a)	對稱型場擴散金氧半場效電晶體結構圖.....	20
圖 2-3(b)	非對稱型場擴散金氧半場效電晶體結構圖.....	20
圖 2-4(a)	FDMOS SPICE MODEL 示意圖.....	21
圖 2-4(b)	FDMOS SPICE MODEL 參數對應關係圖.....	21

第三章 實驗方向規劃

圖 3-1	本研究引用 4M 問題分析法之魚骨圖.....	25
圖 3-2(a)	人(man)要因之魚骨圖.....	26
圖 3-2(b)	料(material)要因之魚骨圖.....	26
圖 3-2(c)	機(machine)要因之魚骨圖.....	27
圖 3-2(d)	法(method)要因之魚骨圖.....	27

圖 3-3	分析影響因子後之魚骨圖.....	28
第四章	實驗設計	
圖 4-1	製造流程圖.....	34
圖 4-2(a)	FDMOS 元件截面圖(Cross-section).....	38
圖 4-2(b)	FDMOS 元件佈局圖(Layout view).....	38
圖 4-3(a)	原先方向 FDMOS 測試鍵結構俯視圖(Top view).....	39
圖 4-3(b)	反向 FDMOS 測試鍵結構俯視圖(Top view).....	39
圖 4-4	離子植入機台轉盤示意圖.....	40
第五章	結果與討論	
圖 5-1(a)	原先方向與反向 N 型 FDMOS 臨界電壓電性結果.....	46
圖 5-1(b)	原先方向與反向 P 型 FDMOS 臨界電壓電性結果.....	46
圖 5-2(a)	離子植入機之晶片承載轉盤 3D 示意圖.....	47
圖 5-2(b)	離子植入入射角度與轉盤關係示意圖.....	47
圖 5-3(a)	小尺寸元件黃光微影光阻之 SEM 截面圖.....	48
圖 5-3(b)	大尺寸元件黃光微影光阻之 SEM 截面圖.....	48
圖 5-4	閘極氧化層於爐管的升降溫曲線.....	49
圖 5-5	閘極氧化層之電容-電壓(C-V)量測曲線.....	50
圖 5-6	閘極氧化層之崩潰電荷(QBD)量測曲線.....	51
圖 5-7(a)	閘極之 SEM 剖面圖.....	52
圖 5-7(b)	閘極通道長度之 TEM 截面圖.....	52
圖 5-8(a)	通道臨界電壓之離子植入實驗—N 型 FDMOS 元件 V_t 量測結果.....	53
圖 5-8(b)	通道臨界電壓之離子植入實驗—P 型 FDMOS 元件 V_t	

量測結果.....	53
圖 5-9(a) 漂移區之離子植入實驗—N 型 FDMOS 元件 V_t 量測結果.....	54
圖 5-9(b) 漂移區之離子植入實驗—P 型 FDMOS 元件 V_t 量測結果.....	54
圖 5-10(a) 源極/汲極之離子植入實驗—N 型 FDMOS 元件 V_t 量測結果.....	55
圖 5-10(b) 源極/汲極之離子植入實驗—P 型 FDMOS 元件 V_t 量測結果.....	55
圖 5-11(a) 輕摻雜汲極之離子植入實驗—N 型 FDMOS 元件 V_t 量測結果.....	56
圖 5-11(b) 輕摻雜汲極之離子植入實驗—P 型 FDMOS 元件 V_t 量測結果.....	56
圖 5-12 On-silicon 與 SPICE model 之光阻截面差異圖.....	57
圖 5-13(a) SPICE model 之原先方向元件光阻遮蔽效應示意圖.....	58
圖 5-13(b) On-silicon 之原先方向元件光阻遮蔽效應示意圖.....	58
圖 5-14(a) SPICE model 之原先方向元件與反向元件光阻遮蔽效應示意圖.....	59
圖 5-14(b) On-silicon 之原先方向元件與反向元件光阻遮蔽效應示意圖.....	59
圖 5-15 FDMOS 元件離子植入分布 SCM 圖.....	60
圖 5-16 光阻膜厚與遮蔽效應示意圖.....	61
圖 5-17(a) 改善後之 FD-NMOS 臨界電壓曲線.....	62
圖 5-17(b) 改善後之 FD-PMOS 臨界電壓曲線.....	62

第一章

緒論

1.1 功率元件簡介

隨著半導體製程技術的蓬勃發展，要有效的使用較少的能源，來達到更大的效益，如此具有省能效果且大容量的電力電子切換元件，勢必將廣泛使用於各種領域上。為了要建構這樣的時代，功率電子技術的發展，將扮演舉足輕重的角色。功率電子不僅範圍廣泛，且具有技術整合的特質，由於功率電子技術將主導一些未來科技的發展，故世界上之先進國家均將其列為主要發展的目標之一。目前我國電力電子相關產業所需功率半導體元件大都依賴進口，其主要來源包括了美國、日本、歐洲各大廠牌。而隨著下游的馬達、電源供應器等等產業逐漸躍居世界前五大的舞台，以及未來因應節約能源及機電整合的發展趨勢，台灣要發展科技島的競爭優勢，功率元件的生根是到了要考量的時候。

另外於國科會「微電子學門」對於功率元件研究計畫中，包括(1)新製程技術之研究發展：與 Complementary metal oxide semiconductor (CMOS) 及 Bipolar-complementary metal oxide semiconductor (BiCMOS) 製程相容之高壓功率元件製程開發。(2)功率元件之研製與技術開發：應用於高壓 CMOS 相容製程之功率元件研製，例如：Lateral double-diffused field-effect transistors (LDMOS)、Lateral insulated-gate bipolar transistors (LIGBT)、Vertical double-diffused field-effect transistors (VDMOS)、Insulated-gate bipolar transistors (IGBT)、溫度感測元件、電流感

測元件、及磁場感測元件之研究開發，與內含溫度或電流感測結構之智慧型功率元件研究及開發。均對於功率元件的發展，提出相關的研究計畫，由此得知功率元件的重要性。

1.2 功率元件應用

功率半導體元件可被使用在與我們生活息息相關的產品上，如電源供應器、電動汽車、電動機車、馬達控制、顯示器驅動電路、電子變壓器、變頻器及高電壓電力傳輸系統等。而這些產品分別都需要很多核心的驅動元件如下：

(一)薄膜電晶體液晶顯示器驅動 IC (TFT-LCD Driver Integrated Circuit)：即控制大尺寸面板(Large panel)或小尺寸面板(Small panel)畫面訊號顯示所需要的驅動元件，透過 TFT (Thin Film Transistor)來對液晶(Liquid Crystal)提供施加電壓，以控制顏色信號的輸出，通常產品要求解析度(Resolution)或畫素(Pixel)愈高，則需要使用愈多數目的驅動 IC 來控制，才能達到高畫質的效果，其產品應用如圖 1-1 所示[1]。

(二)電源管理 IC (Power Management Integrated Circuit)：許多人或許沒有親眼看過電源管理 IC，但提到它的應用產品可就耳熟能詳，幾乎伴隨著我們的日常生活，一些主要的電子產品幾乎都看得到電源管理 IC 的影子，甚至連汽車電子都需要用到電源管理 IC，所以說電源管理 IC 是小兵立大功一點都不為過。為因應未來可攜式產品日益輕薄短小，需要具省電、高效率、小體積、散熱佳等特色的電源供應，故電源管理 IC 設計趨向高度整合、高轉換效率、省電、智慧型等發展方向，產品應用如圖 1-2 所示[1]。

(三)發光二極體驅動 IC (LED Driver Integrated Circuit)：

LED(Light Emitting Diode)具備低消耗電力、長使用壽命、高起動反應性，被認為是次世代主要照明光源。LED 從過去指示燈、遙控器等，擴大應用到大型戶外看板、交通號誌、手機螢幕、NB、LCD TV、車燈與路燈等，如圖 1-3 所示[1]。由於 LED 的發光效率與輸出功率每年不斷在創新，一般認為不久的未來 LED 照明燈具可望成為日常生活中不可或缺的一部份，而控制這些照明設備的核心元件正是 LED 驅動 IC。

若談到功率半導體元件主要應用的範圍則如圖 1-4 所示[2]。由此圖可看出功率元件應用之電壓從數十伏特到接近萬伏特，而電流也從數毫安培到上千安培，如此了解到功率半導體元件的應用範圍非常的廣泛。近期有一篇功率元件發展的研究報告，文中對於未來功率元件使用範圍預測如圖 1-5 所示[2]。圖中可清楚發現傳統的功率 BJT (Bipolar power transistors, BPT) 已被其他功率元件所取代了，另外由操作頻率可看出 IGBT 主要是操作於中低頻率的功率元件，而功率金氧半場效電晶體(Power MOSFET)，則主要是操作於高頻率的功率元件。

由於近年來射頻(Radio frequency, RF)電路的發展迅速，功率元件在手機與基地台的收發機發展上扮演著極重要的角色，為追求高品質的通訊，功率元件的改善是必要的。而 RF CMOS 電路的操作頻率也越來越高，發展能與之製程相容的功率元件已是刻不容緩。功率金氧半場效電晶體在 1970 年代被發展出來，因其結構的不同可分為兩種：垂直結構(vertical)及側向結構(lateral)。垂直結構的元件因為其較難和現行的積體電路整合，故大多做成單顆元件。而側向結構元件可以和 CMOS 製程整合在一起，故在功率積體電路上扮演很重要的角色。

1.3 研究動機

上述內容已大致將功率半導體元件的發展與應用做了簡單的介紹，接下來將聚焦在半導體製程實務面所遭遇到的問題。一般而言，半導體元件之 SPICE model 與實務上 on silicon 表現上的差異性，一直是半導體業界極為重要且必須解決的課題。若能使 on silicon 表現與 SPICE model 匹配，才得以符合並滿足 IC 設計者設計電路及元件的需求。

由於研究對象「非對稱性高壓 FD-MOS 元件(Asymmetric High Voltage Field Diffused MOSFET)」，在實務上 on silicon 的表現不如預期，其中反映 MOS 元件特性的重要指標「臨界電壓(V_t)」(Threshold voltage)，所表現出的 roll off 行為與 SPICE model 不一致，如圖 1-6 所示。

故本論文之研究重點在於如何找出不匹配的原因，並且提出有效的解決方案。因此藉由設計不同方向的元件測試結構佈局 (Testkey layout)，試圖找出其中差異點，並進而藉由半導體製程參數及步驟的調整來解決此問題。此外本研究亦針對半導體製程之黃光光阻塗佈、曝光顯影後所產生的光阻遮蔽效應(Photo resist shadowing effect)對元件 V_t 的影響，做一深入的探討與解析。

Large Panel Application



Small Panel Application



圖 1-1 TFT-LCD 驅動 IC 元件在產品上的應用[1]



筆記型電腦電源方案示意圖



數位相機相關類比 IC 及電源方案示意圖



主機板電源方案示意圖



手機相關類比 IC 及電源方案示意圖

圖 1-2 電源管理 IC 元件在產品上的應用[1]



展示 LED 室內照明



展示 LED 路燈



車用 LED 產品



HB LED 發展六大產品方向



展示 15.4吋 LED NB 背光源

圖 1-3 LED 驅動 IC 元件在產品上的應用[1]

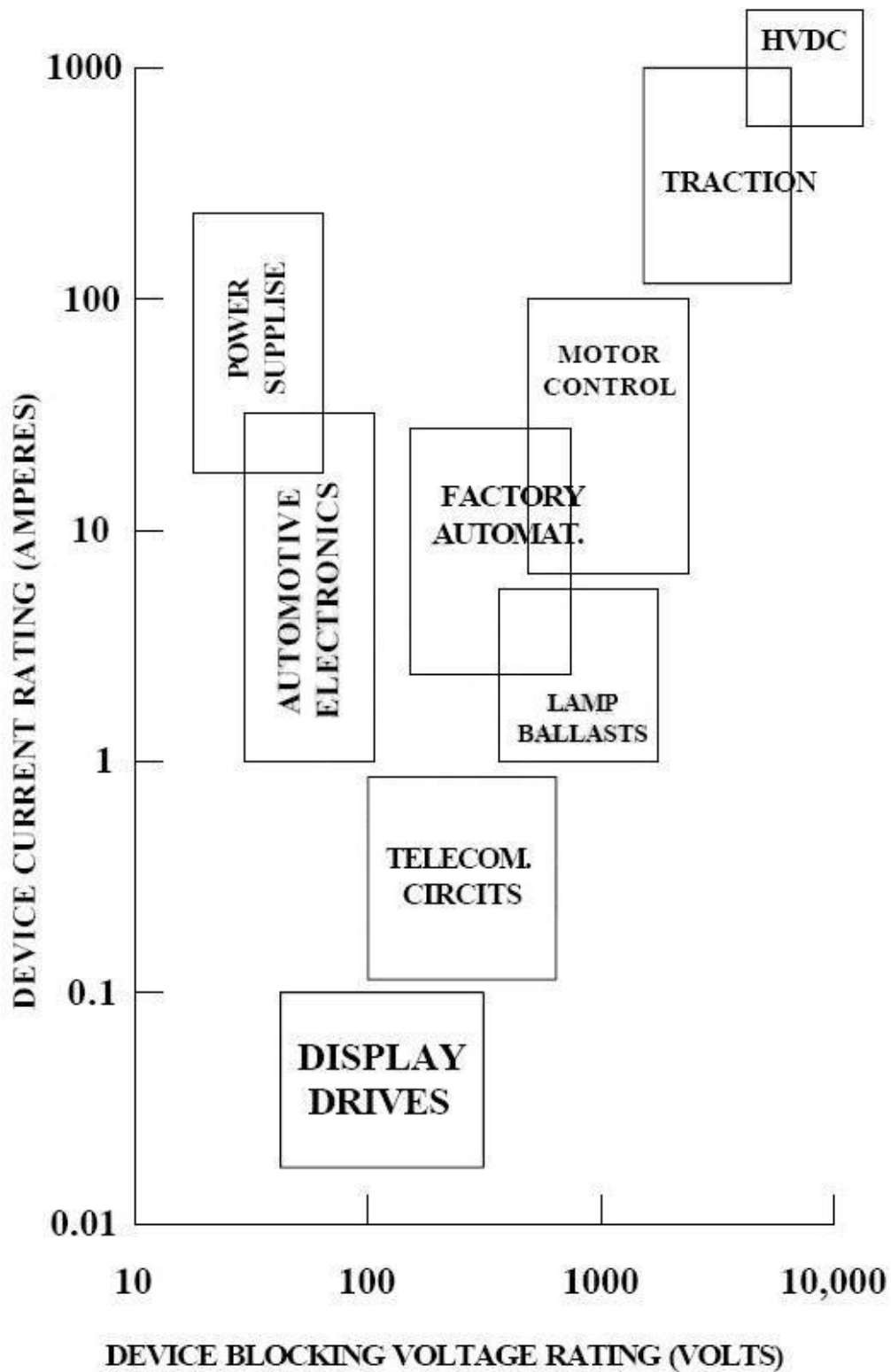


圖 1-4 功率半導體元件主要應用的範圍[2]

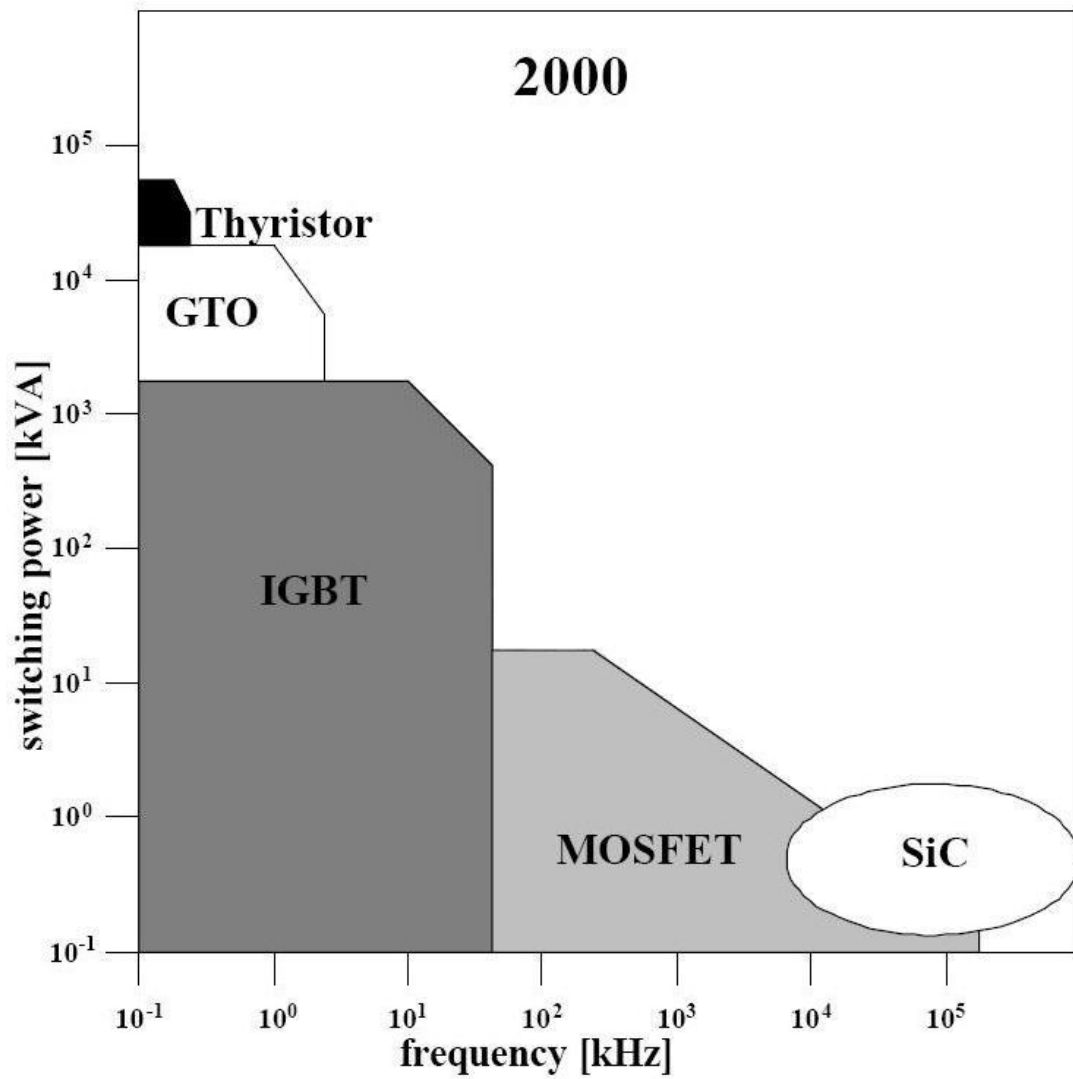
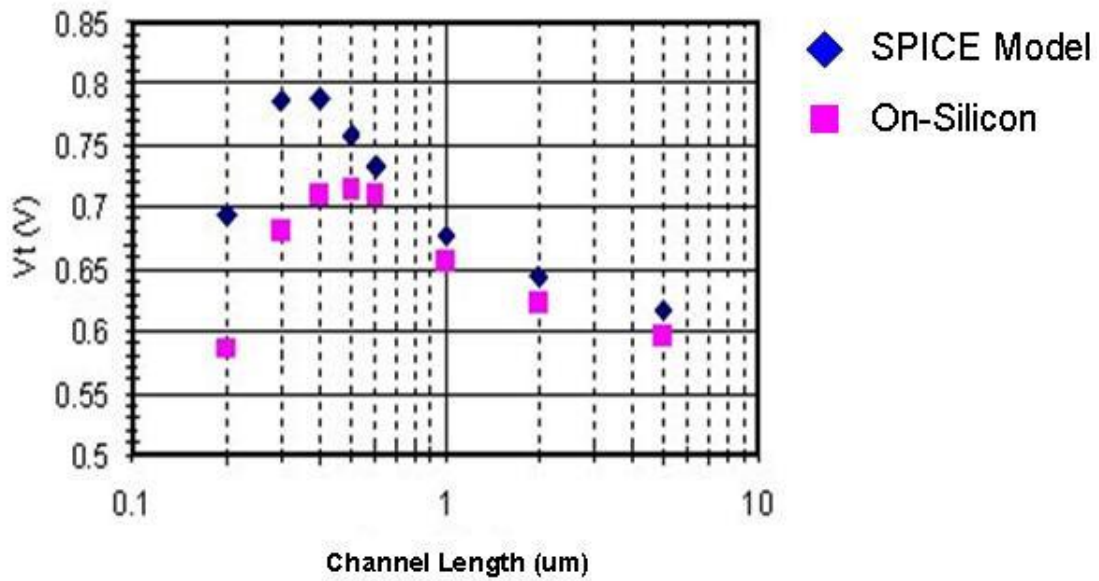


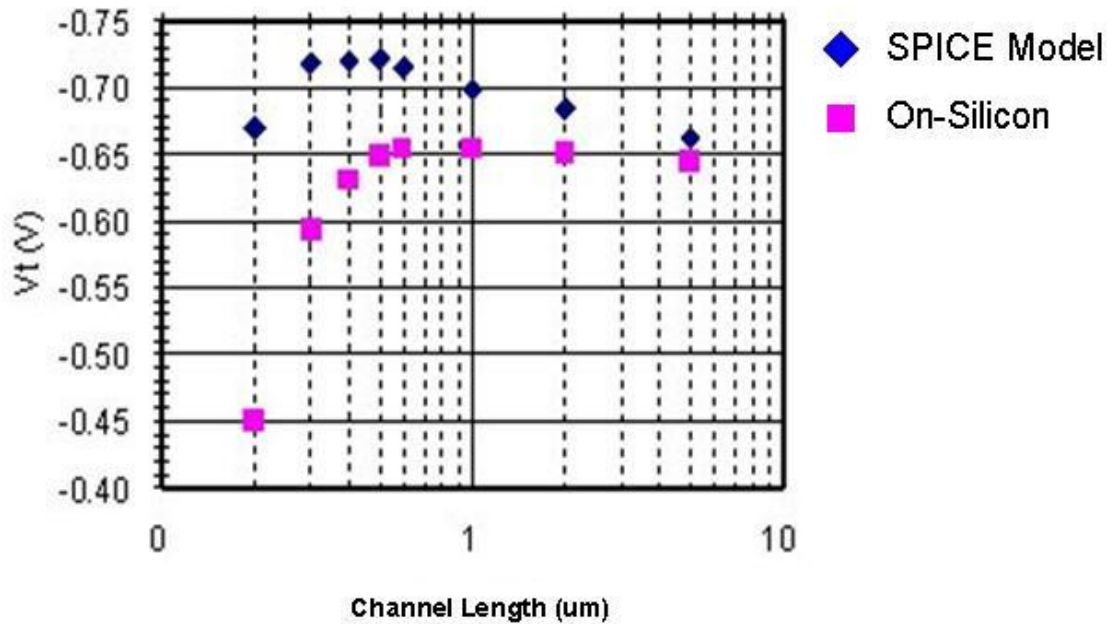
圖 1-5 未來功率元件使用範圍預測[2]

NMOS



(a)

PMOS



(b)

圖 1-6 (a)、(b) FD-NMOS 與 FD-PMOS 的臨界電壓曲線

第二章

原理

2.1 元件種類及結構

隨著積體電路技術的進步，MOS 製程亦被用來製作高功率元件，以取代切換速度較慢且高驅動損耗的功率雙極性電晶體。矽材質的金氧半場效電晶體因為以下原因所以能成為功率積體電路上最常使用的元件：(1) 漂移區(drift region)的低導通電阻。(2) 高輸出阻抗。(3) 由於是單載子元件，所以免除了關閉時少數載子的再結合(recombination)效應，大幅提高了切換速度，於是有側向雙擴散金氧半電晶體的發明。同時，也有人提出將金氧半場效電晶體的汲極拿到晶片底部，如此便可用晶片的厚度來提高耐壓能力，因而發展成垂直式雙擴散金氧半電晶體的結構。

功率金氧半場效電晶體在操作上主要是在半導體表面上存在著一層傳導層(conductive layer)，漂移區則是為了提供順向耐壓的能力。先前提到功率金氧半場效電晶體在結構上可分為兩種，一為側向雙擴散金氧半場效電晶體，即 LDMOS (Lateral double-diffused MOSFET)，元件結構如圖 2-1 所示[2]；另一為垂直式雙擴散金氧半場效電晶體，即 VDMOS (Vertical double-diffused MOSFET)，元件結構如圖 2-2 所示[2]。

側向功率元件的優點是容易製造且易於和現行的半導體技術作整合，然而側向功率元件增加耐壓的方式即是增加漂移區的長度，因此會浪費許多面積，而且無法達到較高的功率。所以側向功率元件努力的方向是不斷的降低導通電阻，同時還要能達到所要求的耐

壓能力。而垂直式功率元件的優點則是源極可利用的面積增加，和在閘極聚積的電場被減低，因此可達到較高的功率，但卻無法與現今的半導體技術整合。

現階段功率元件電路的設計大多以雙擴散金氧半電晶體(Double diffused MOSFET, DMOS)來當作高壓電路主要元件，至於雙載子接面電晶體(BJT)及互補式金氧半電晶體(CMOS)，則被拿來應用在一般類比或數位電路的設計。其中 DMOS 元件為了配合產品端的需求限制，必須要針對不同產品應用而將元件特性做區隔，也因為各產品所要求的耐壓程度、尺寸大小及功率損耗皆不同等考量，而衍生出其它種類的 DMOS 元件結構，除了上述所提到的 LDMOS、VDMOS 外，尚有「場擴散金氧半電晶體」(Field diffused MOSFET, FDMOS)，即本論文所要研究探討的對象。FDMOS 操作特性與 LDMOS 相近，同樣都是以橫向擴散的方式來做電流傳導，差別在於 FDMOS 有設計 STI (Shallow Trench Isolation) 的結構來增加元件耐壓的能力，故 FDMOS 可算是 LDMOS 元件的延伸。若以結構來區分，FDMOS 大致上又可分成對稱性(Symmetric)及非對稱性(Asymmetric)兩種，如圖 2-3 所示。

2.2 元件操作機制

側向雙擴散金氧半電晶體即 LDMOS，其工作原理與一般金氧半場效電晶體並無不同，一樣是三端元件：汲極(drain)、閘極(gate)與源極(source)，如圖 2-1 所示[2]。為了使汲極的電流流至源極，要在閘極施加一電壓，使之吸引 P-body 中的電子，而在 P-body 和氧化層間形成一強反轉層(inversion layer)，這反轉層便形成汲極與源極之間的通道。當加於閘極的電壓愈高，吸引的電子也愈多，導致

形成的通道也愈寬，流通的電流也愈大。由於流通的載子只有源極的多數載子，所以為單載子元件，切換速度也較功率雙載子電晶體快，這也是功率金氧半電晶體取代功率雙載子電晶體的原因之一。

前面提過，垂直式功率元件以增加厚度來提高耐壓；而側向功率元件則靠增加漂移區的長度來提高耐壓。為了瞭解功率金氧半電晶體可耐高壓的原因，我們以側向雙擴散金氧半電晶體的結構來解釋。當元件處於順向耐壓時，P-body 和 N+ 漂移區間會形成空乏區，當汲極持續加一正電壓時，由於 P-body 摻雜濃度較 N+ 漂移區來的高很多，所以空乏區的邊界會往 N+ 漂移區那邊延伸，甚至把 N+ 漂移區完全空乏，如此 P-body 內的有效通道長度便不受影響。由此可知，如果 N+ 漂移區摻雜濃度愈低，空乏區愈往汲極的方向延伸，則此元件的耐壓也會提高。

操作面上來看，我們以側向雙擴散金氧半電晶體為例，當源極接地，閘極與汲極施加一正電壓時，元件處於順向導通的狀態，此時閘極吸引 P-body 中的電子，進而產生強反轉層，這便提供汲極到源極的導通路徑。當閘極與源極接地，汲極施加一高電壓時，元件處於順向耐壓的狀態，此時高電壓跨於 P-body 與 N+ 漂移區接面上，如前述 P-body 摻雜濃度比漂移區高很多，空乏區邊界會往汲極方向延伸，若汲極電壓繼續增加，則 P-body 與 N+ 漂移區接面的電場也會持續上升，最後產生雪崩崩潰(avalanche breakdown)，造成大電流從汲極流往源極。一般而言，側向功率元件發生崩潰的地方，大都集中於表面，而表面電場的分佈會在位於閘極邊緣下方和汲極的邊緣出現較大的峰值。

總結一般功率電晶體在設計上有兩個主要的考量，一個是使元件本身的導通電阻達到最小，另一個則是使元件的崩潰電壓提升至

最大。很不幸的是，導通電阻最小化與崩潰電壓最大化這兩個因素在設計元件結構上是彼此衝突的。我們由上述的側向雙擴散金氧半電晶體為例，當元件處於順向導通的狀態時，此時的導通電阻由通道與漂移區間的電阻決定，若要減少導通電阻，必須增加漂移區的摻雜濃度，並且要縮短漂移區的長度，但是此舉必然使得元件耐壓能力大幅下降；當元件處於順向耐壓時，為了不使 P+ 遮蔽區與源極和汲極間的 N+ 漂移區接面的電場過大，進而產生雪崩崩潰，必須降低漂移區的摻雜濃度，漂移區的長度也要加長。如此雖然可使耐壓能力提高，但是導通電阻卻增加了，這正是設計者最常遇見的取捨問題(trade-off)，端視產品端需求來決定並取得一個平衡點。

2.3 SPICE Model 簡介

SPICE (Simulation Program with Integrated Circuit Emphasis) 電路分析軟體，已經成為微電子領域中電腦輔助電路分析的標準。IC 設計人員可以利用 SPICE 來建立基本半導體元件的模型到各式電子電路的設計，接著透過軟體來進行電路模擬並分析結果，進而協助提供設計者在產品電路設計時的重要參考依據。以下將針對 MOS 元件電路模型及其重要的電性參數作一簡單的闡述。

金氧半場效電晶體(MOSFET)所使用的 SPICE 描述語法主要有兩個部份，一個是描述 MOSFET 元件的尺寸(通道長度 L 和通道寬度 W)和它在網路上的連接節點(node)，另一個則是描述上述 MOSFET 元件的型式(NMOS 或 PMOS)和內建的參數值，若以 LDMOS 元件模型為例，可參考圖 2-4 所示。

在 SPICE 輸入檔中 MOSFET 使用 M 為元件字首，腳位依序是汲極節點(drain)、閘極節點(gate)、源極節點(source)、與基板節點

(substrate)或基體節點(body)，而 MOSFET 的重要元件參數則包括臨界電壓 V_t (threshold voltage)、飽和電流 I_d (saturation current)、崩潰電壓 V_{bd} (breakdown voltage)、互導 G_m (transconductance)、導通電阻 R_{on} (on resistance)、通道長度調變係數 λ (channel length modulation coefficient)、基體效應係數 γ (body effect factor)、元件 turn OFF 時漏電流 I_{off} (off current)、次臨界擺盪 S_t (sub-threshold swing)、等效通道長度 L_{eff} (effective channel length)、及功率消耗 P_d (power dissipation)等。至於電阻方面參數則有片電阻 R_s (sheet resistance)、接觸電阻 R_c (contact resistance)等。以上各參數皆為電路輸出時影響元件電性表現的重要因子，也是 IC 設計者在設計電路時必須要考量到的地方。

在 SPICE model 模擬分析完成後，還需要透過驗證晶圓(wafer)的步驟，以確認 model function 的可行性，即晶圓測試結果(silicon data)是否符合預期，或是依照產品需求再作一些修正與調整，才算完成整個 model 的建置。如此一來，後續的量產(production)產品才有一個可以遵循的依據與標準。

2.4 SIMS 原理簡介

一般固體或薄膜表面的分析儀器，若以其功能加以區分，可分為下列三大類：(1) 表面形態分析儀器：觀察材料的表面形態為主，如光學顯微鏡 (OM)、掃描電子顯微鏡 (SEM) 等，可以觀察表面的平坦度、均勻性及表面各種缺陷、晶粒界面、加工缺陷等顯微組織。(2) 晶體結構分析儀器：如 X 光射線繞射儀、低能電子繞射儀等，可用以分析粉末或固體之結晶構造、瞭解其晶格常數及用以觀察晶體成長中之單結晶基板及薄膜表面的原子排列。(3)

元素（或組成）分析儀器：主要應用於分析表面定性及定量的組成，歐傑電子分析儀（AES）、二次離子質譜儀（SIMS）等。其特點係可鑑定存在於固體表面，亦可獲得表面縱深方向。

二次離子質譜儀(SIMS)若以激發入射源來分類，係以不同離子源入射試片表面，在離子束之照射下產生不同的二次粒子輸出。離子束之輸入與電子束之輸入最大不同點在於前者具有較大的動態，因此撞擊至表面時將造成相當的濺射（sputtering），同時造成表面的改變或破壞。二次離子質譜儀具有高靈敏度的雜質偵測能力，幾乎對所有元素的偵測極限可達百萬分之一原子密度(ppma)，對於部份元素的偵測極限甚至可達十億分之一原子密度(ppba)的優越分析能力，而被廣泛的應用於材料分析上，在微電子元件的發展上更扮演了不可或缺的角色。

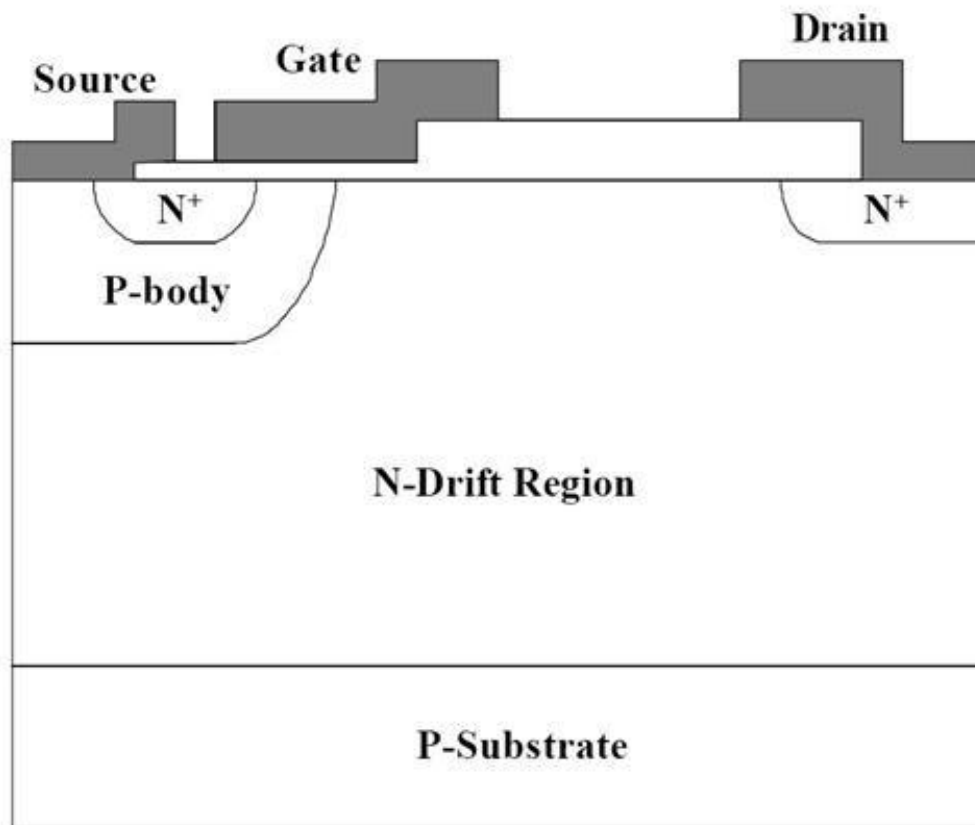
二次離子質譜儀係將具有足夠能量的一次離子（primary ions）撞擊到試樣的表面，經與固體作用後，然後將表面的原子或分子撞擊出來，呈離子狀態的二次離子（secondary ions），收集至質譜儀（mass spectrometer），經質譜之分析，而達到試品表面成份元素之定性及定量分析之研究。另外，由於一次入射離子可以適當的聚焦至微小點，並且可掃描試片表面，因此方可利用 SIMS 作顯微影像分析之觀察。二次離子質譜儀主要用來分析固體表面及表面以下 30 微米(mm)深度內的區域和部份液體樣品的表面。此技術乃以一帶能量 (0.5-20 kV) 的離子束撞擊試片表面，產生離子化的二次粒子，再用質量分析儀加以偵測。

SIMS 儀器視其應用之不同而有各種不同的型式，其基本構造可分為下列四大部份：（1）照射激發用的一次離子束的離子槍；（2）以能量選擇由試品產生的二次離子能量過濾器；（3）進行質

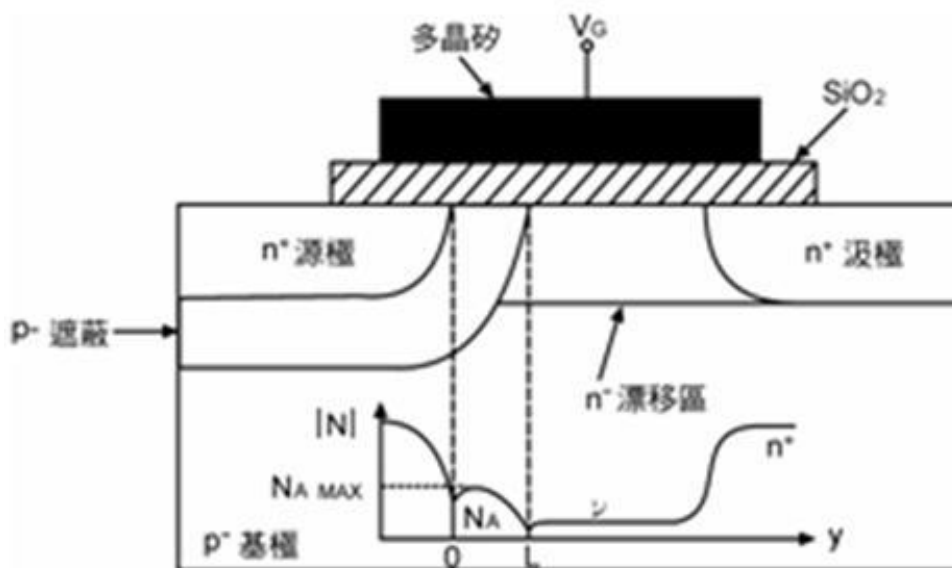
量選擇的質譜儀；及（4）放大、檢測經質量選擇後的二次離子檢測輸出信號。

二次離子質譜儀分析的優點如下：（1）偵測極限可達 ppm，甚至到 ppb 等級；（2）週期表上所有元素均可偵測；（3）可以區分同位素；（4）可分析不導電試片；（5）縱深解析度一般為 10 ~ 20 nm，最佳達 2 ~ 5 nm；（6）由分子離子的相對含量可得到化學狀態的訊息；（7）側向解析度受一次離子束大小和二次離子束聚焦系統影響，在 20 nm ~ 1mm；（8）可用標準品及 RSF 值作定量等。二次離子質譜儀分析的主要缺點如下：（1）亦受質量因素干擾；（2）離子產率受基質影響；（3）離子產率變化大，可達 106 的差異；（4）需要各種標準品來作定量；（5）需要平坦的表面進行分析；及（6）屬破壞性分析技術等。

SIMS 之應用很廣，例如偵測表面污染、氧化、還原、吸附、腐蝕、觸媒效應、表面處理等動態分析之表面研究工作，尤其可作微量元素分佈，因此在材料、化學、物理、冶金及電子方面之發展，使用者很多。SIMS 不但可作表面及整體之分析，又可直接作影像觀察，其靈敏度及解析能力甚高，由最小的氫至原子量很大的元素均可偵測，尤其對於同位素的分析更是有效。常見的研究應用領域包括：（1）表面研究：利用 SIMS 影像可以觀察試片表面所含之元素，由適當的縱面元素之分析，可以瞭解污染之深度。（2）縱深元素分佈：SIMS 之縱深解析力 $< 50\text{\AA}$ ，而靈敏度 $< 10^{17}\text{atoms/cm}^3$ ，可利用 SIMS 研究經擴散及離子佈植後之不純物或同位素之縱深分佈情形。（3）結合離子佈植技術在 IC 或其他半導體元件之應用。



(a)



(b)

圖 2-1 側向雙擴散金氧半場效電晶體(LDMOS)

(a)結構圖 (b)摻雜濃度分布圖[2]

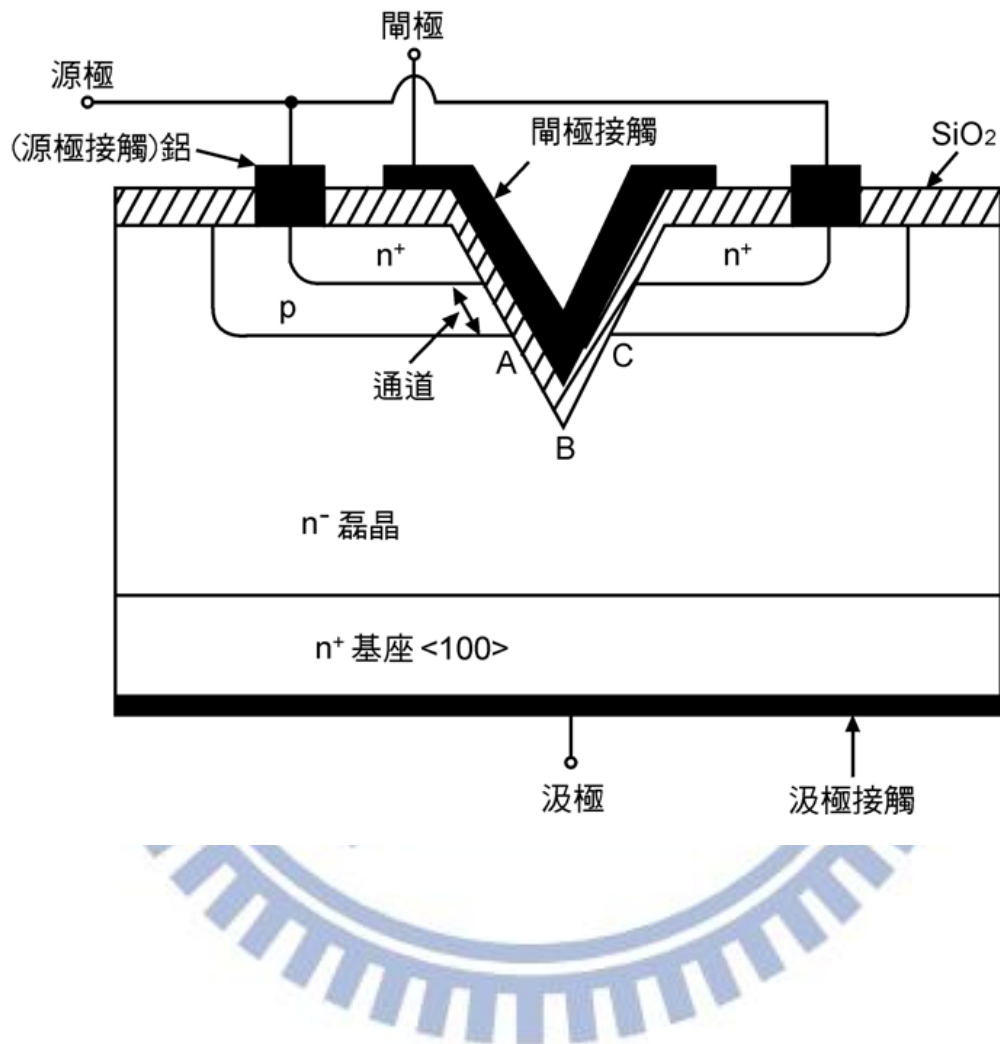
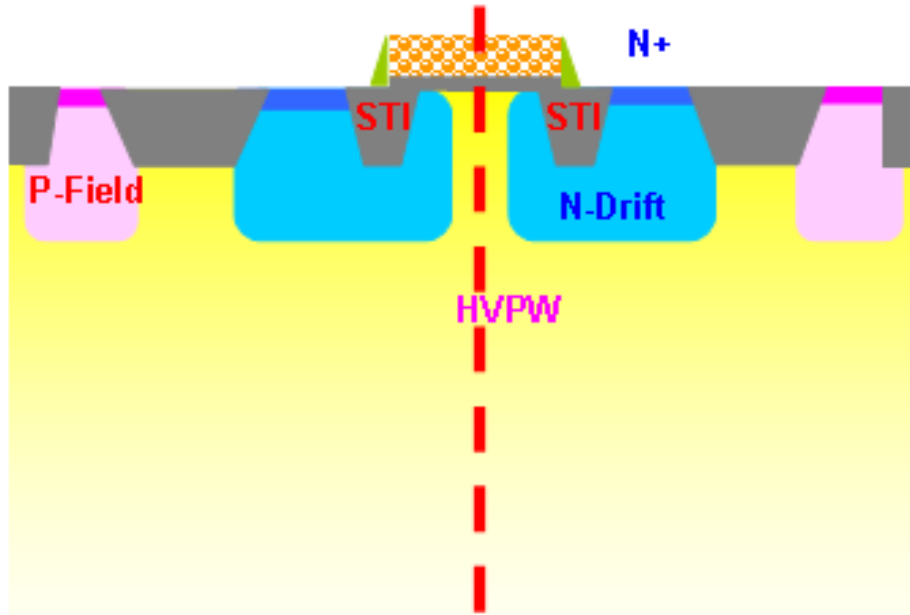
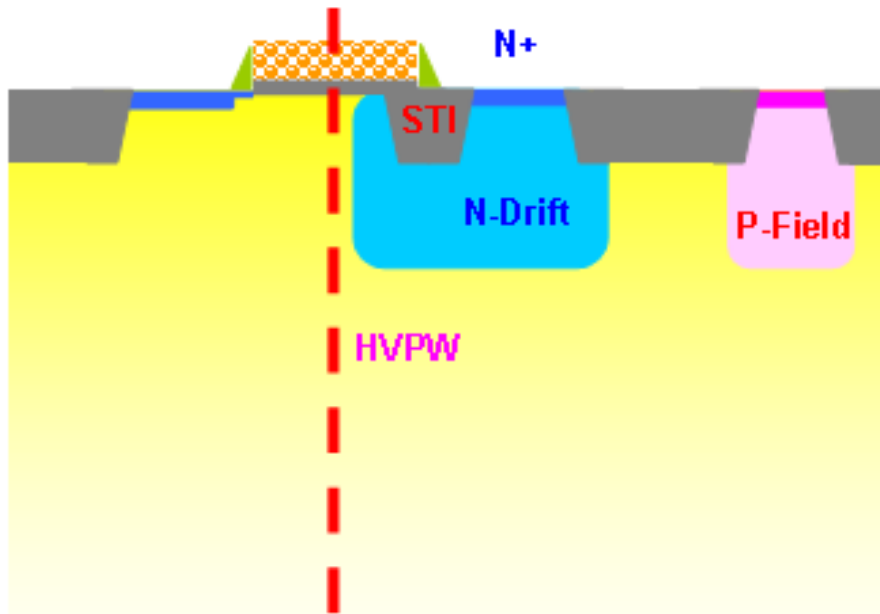


圖 2-2 垂直式雙擴散金氧半場效電晶體(VDMOS)結構圖[2]



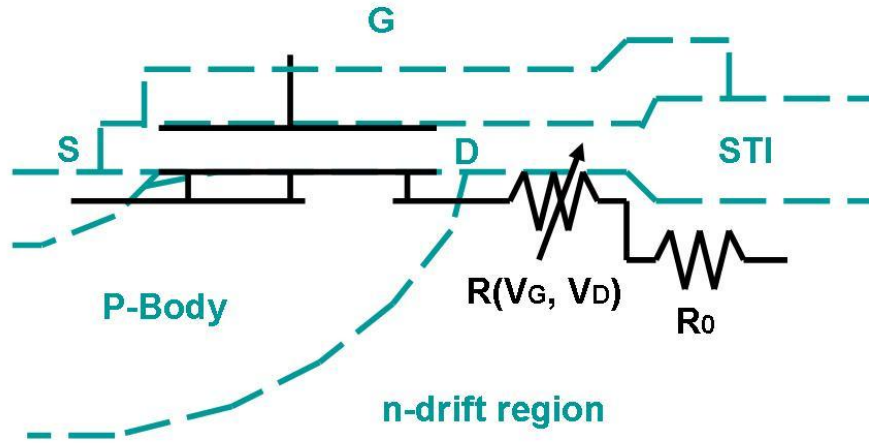
(a) Symmetric Device



(b) Asymmetric Device

圖 2-3 場擴散金氧半場效電晶體(FDMOS)結構圖

(a)對稱型 (b)非對稱型



(a)

	V_{BD} (on-state)	V_{BD} (off-state)	R_{on}
drift region concentration ↑	↓	↓	↓
drift region length ↑	↑	X (for drift region length longer maximum depletion width)	↑
channel length (L_g) ↑	X	X	↓
P-Body concentration ↑	X	X (for avalanche breakdown) ↑ (for punch-through breakdown)	↓
gate extension length ↑	↑	↓	X

(b)

圖 2-4 FD MOS SPICE MODEL (a)示意圖 (b)參數對應關係圖

第三章

實驗方向規劃

3.1 魚骨圖簡介

本研究欲找出非對稱性高壓 FD-MOS 元件(Asymmetric High Voltage Field Diffused MOSFET)之臨界電壓 V_t 在不同通道長度(channel length)的表現，於 on-silicon 與 SPICE model 不匹配的原因，進而克服問題，使實務上元件的行為得以與設計者的 SPICE model 一致。為此，引入實驗規劃方法「魚骨圖(fishbone diagram)」，又稱特性要因圖，作為本研究的原因分析。藉此可幫助自己將所有可能變因作一有系統的整理與分類，如此方能確認接下來的實驗方向及作法。

首先在魚頭的位置寫下待解決的問題，接著運用針對工程問題規劃與解決的 4M 問題分析法進行解析。所謂 4M 即「人(man)」、「料(material)」、「機(machine)」及「法(method)」。舉例來說：針對產品良率太低(low yield)的問題，簡單分析與歸納後可得到以下原因：人員素質低落(人)、材料品質不確實(料)、設備可靠度低(機)、或製程方法老舊(法)等，都是可能造成產品低良率的因子，接著再透過實驗分析來找到真因。

故本章節的重點在根據魚骨圖的方法分析，針對目前遭遇到的問題找出可能影響的因子。作法上首先將問題點：「FDMOS 之臨界電壓 V_t 在 on-silicon 與 SPICE model 不一致」，寫在魚頭的位置，並將可能影響因子列出如下：

一、人(man)：是否有異常操作，操作人員對機台是否熟悉。

- 二、料(material)：相關製程的材料，兩者的配置是否相同。
- 三、機(machine)：相關製程的機台，兩者的環境是否相同。
- 四、法(method)：製造流程(process flow)，製程條件(process condition)，兩者是否相同。

透過上述分析，畫出魚骨圖結構，請參照圖 3-1 所示。

3.2 魚骨圖分析

接下來由圖 3-1 的魚骨圖，進一步展開每一項要因的解析，並經過檢驗進行初步排除或保留的動作，保留下來的部份代表此要因還需要藉由後續的實驗設計，確認實驗結果，才能判定其關聯性，至於實驗設計的細節則將會在下一章做說明。

- 一、人：從機台端的資料記錄(data log)顯示並無異常，故排除人為異常操作的因素，並將魚骨圖重畫如圖 3-2(a)所示。
- 二、料：針對相關製程的材料去比對 SPICE model 與 on-silicon 的差異，展開後列出相關的製程材料影響因子如下：

- (1) 爐管反應氣體
- (2) 薄膜沈積材料
- (3) 離子植入靶材
- (4) 微影光阻材料
- (5) 蝕刻反應氣體

藉由製程材料的仔細比對，發現兩者之間並沒有差異。故將此因素排除，如圖 3-2(b)所示。

- 三、機：針對相關製程的機台去比對 SPICE model 與 on-silicon 的差異，展開後列出相關的製程機台影響因子如下：

- (1) 爐管設備

- (2) 薄膜沈積設備
- (3) 離子植入設備
- (4) 黃光微影設備
- (5) 蝕刻設備
- (6) 電性測試設備

機台部份，經由機台廠商、機台型號比對，皆為相同廠商與相同機型，唯在進行 Vt 離子植入製程步驟的離子植入機台型號及黃光微影光阻烘烤機台型號不同，還需透過實驗設計方能確認兩者在操作環境上的差異，故將此兩項影響因子保留，其餘機台則予以排除，如圖 3-2(c)所示。

四、法：由於 SPICE model 與實際 on silicon 的元件，針對法的要因影響因子有二：製造流程與製程條件。首先，製造流程經過比對後發現，製程步驟是相同的，故將此因素排除。其次，製程條件是否是造成兩者差異的主因，則需藉由實驗設計來確認，故先將製程條件影響因子保留，如圖 3-2(d)所示。以下茲列出相關的製程條件影響因子：

- (1) 閘極氧化層(Gate oxide)
- (2) 通道臨界電壓之離子植入(Channel Vt implant)
- (3) 漂移區之離子植入(Drift implant)
- (4) 源極/汲極之離子植入(Source/ Drain implant)
- (5) 輕摻雜汲極之離子植入(LDD implant)

總結以上魚骨圖的分析後，確立本研究的實驗方向，分析後的魚骨圖結構如圖 3-3 所示。接下來將會針對上述各項保留下來的可能影響因子，包括相關製程機台及製程條件等影響因子，於下一章作一完整的實驗設計來剖析並加以驗證。

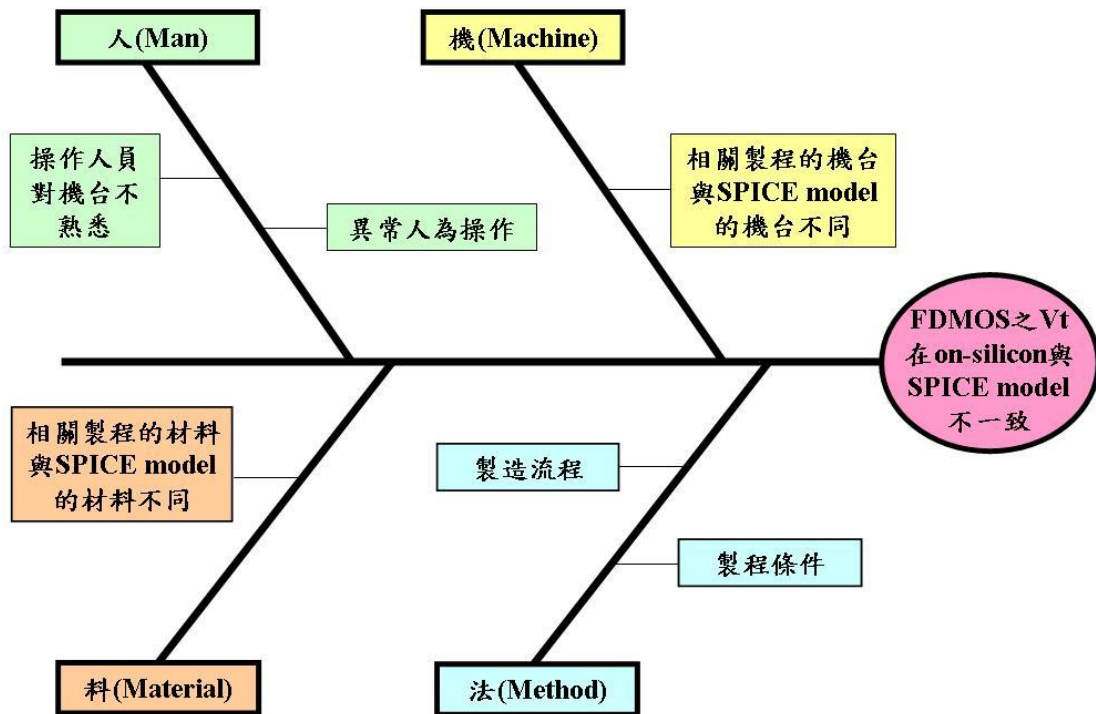


圖 3-1 本研究引用 4M 問題分析法之魚骨圖

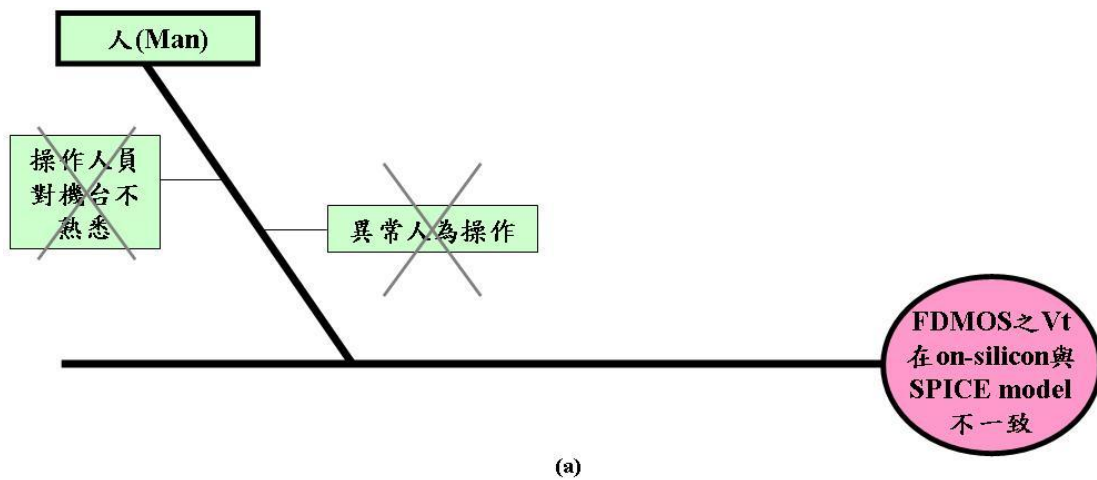


圖 3-2 (a) 人(man)要因之魚骨圖

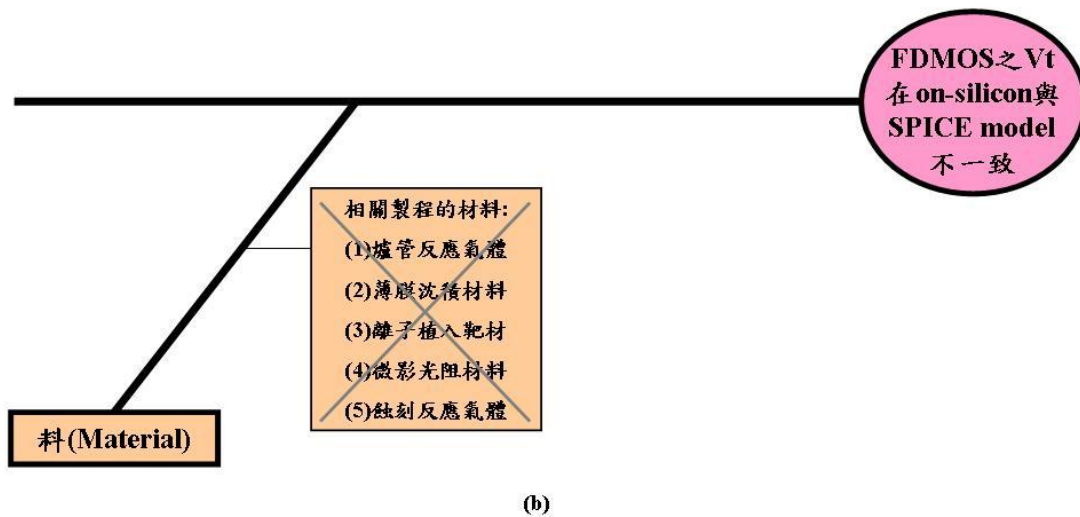


圖 3-2 (b) 料(material)要因之魚骨圖

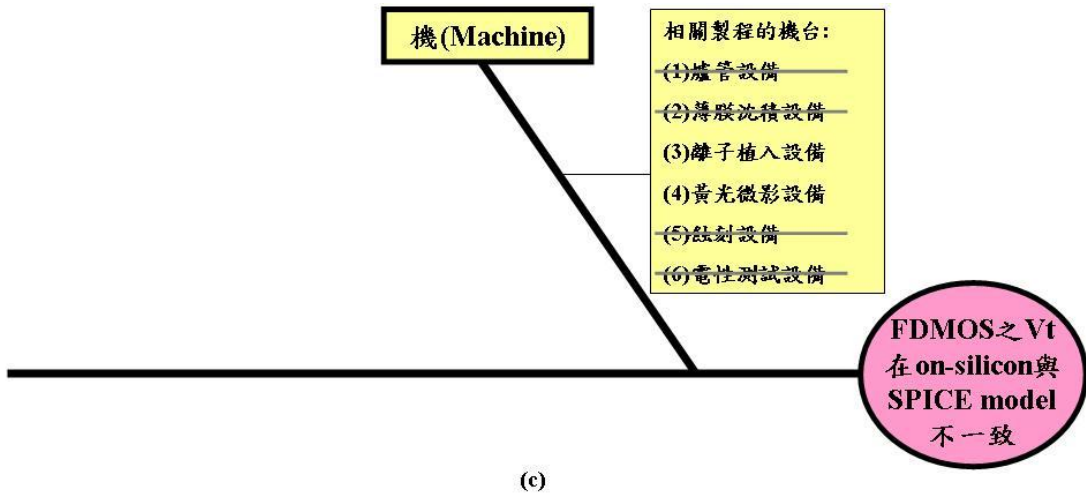


圖 3-2 (c) 機(machine)要因之魚骨圖

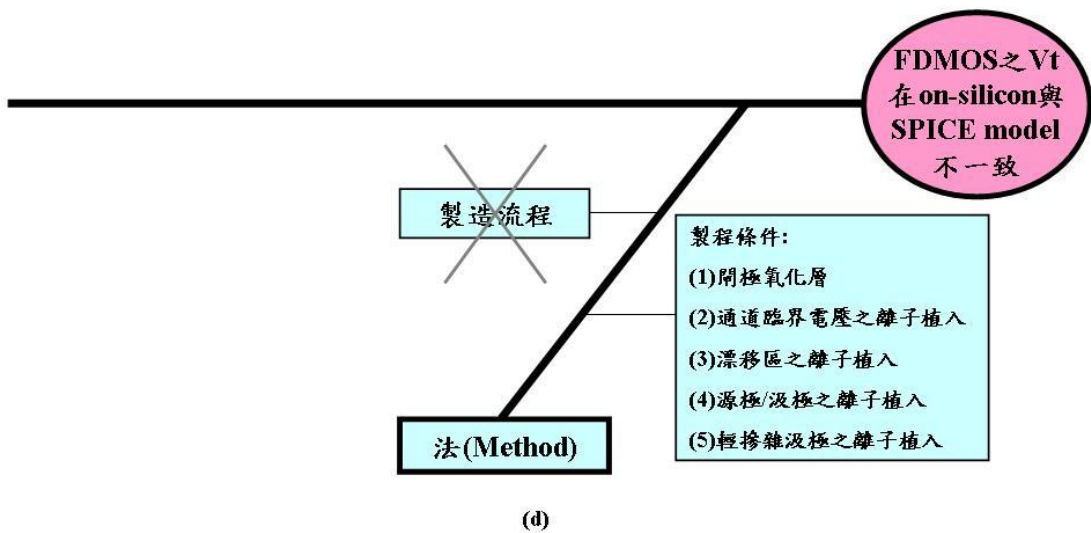


圖 3-2 (d) 法(method)要因之魚骨圖

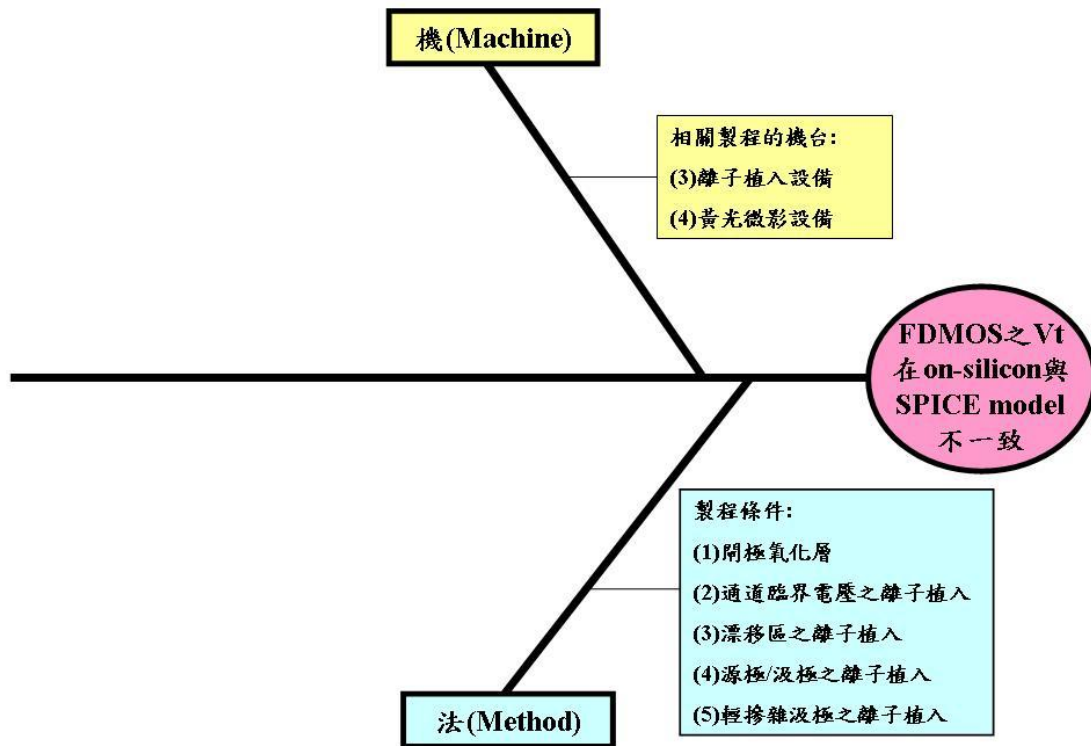


圖 3-3 分析影響因子後之魚骨圖

第四章

實驗設計

在前面的章節中已介紹了本研究之目的、原理及確立了實驗方向，接下來即要設計實驗加以驗證特性要因分析的影響因子，以期達到目標。本章將對此實驗設計規劃做一完整的說明。

4.1 元件製造流程

由第三章特性要因分析方法得知，元件製造流程中的製程機台與製程參數條件是本研究最主要的影響因子，以下以 NMOS 元件的製造流程為例作說明。

製程步驟：

- (1)製作元件間的淺溝槽絕緣 STI (Shallow Trench Isolation)結構，如圖 4-1(a)所示。
- (2)藉由光罩將 PMOS 遮住，僅打開 NMOS 區域，而後曝光與顯影，如圖 4-1(b)所示。
- (3)進行 P-Well / Vth / N-drift 之離子植入，如圖 4-1(c)所示。
- (4)再做 P-Well / Vth / N-drift 之微影光阻去除，如圖 4-1(d)所示。
- (5)成長閘極氧化層(Gate Oxide)及金屬閘極(Poly Gate)，如圖 4-1(e)所示。
- (6)利用光罩製作金屬閘極，接著曝光與顯影，如圖 4-1(f)所示。
- (7)再藉由蝕刻(Etch)方式製作金屬閘極，如圖 4-1(g)所示。
- (8)為防止穿隧效應(Punch through effect)產生，而做輕摻雜汲極(LDD, Lightly Doped Drain)微影曝光與顯影，接著做 N-LDD 之離

子植入，如圖 4-1(h)所示。

(9)將 N-LDD 之微影光阻去除，如圖 4-1(i)所示。

(10)做源極及汲極的 N+微影曝光與顯影，再做源極及汲極的 N+之離子植入，如圖 4-1(j)所示。

(11)最後將 N+之微影光阻去除，如圖 4-1(k)所示。

上述即完成與元件 V_t 相關的製造流程。

4.2 實驗方法(機台因子)

由上一章製程機台影響因子分析得知，離子植入機台與黃光微影光阻烘烤機台，做 SPICE model 與實際 on-silicon 的機台型號不同，於是分別設計實驗如下：

實驗對象(一) — 離子植入機台

實驗設計：

(1)首先針對 FDMOS 元件的結構及操作電流的方向，利用截面圖 (Cross-section)及元件佈局圖(Layout view)做一說明，FDMOS 元件電流方向即是由 A 至 B，如圖 4-2 所示。由於是非對稱性 FDMOS 元件，故藉由原先的元件結構，根據電流的方向，設計另一反向的元件測試鍵(Testkey)結構，以確認方向性對本研究的影響效應，如圖 4-3 所示。

(2)詳細比對離子植入機台內各項硬體規格，包括轉盤轉速、尺寸、材質、離子植入角度、轉盤旋轉角度(twist angle)及傾斜角度(tilt angle)等，發現轉盤傾斜角度是兩者間最大的差異，將於結果討論中說明，示意圖如圖 4-4 所示。

實驗對象(二) — 黃光微影光阻烘烤機台

實驗設計：

規劃兩片晶圓(wafer)，分別針對不同機型處理後，送切掃描式電子顯微鏡(SEM，Scanning Electron Microscope)分析，其分析結果將於下一章說明，實驗設計表格(Split table)則如表 4-1 所示。

表 4-1 黃光微影光阻烘烤機台實驗設計表

條件	描述	晶片片號																								
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
微影光阻烘烤機 A	SPICE Model 使用機型	X																								
微影光阻烘烤機 B	On Silicon 使用機型		X																							

4.3 實驗方法(製程條件因子)

再由製程條件影響因子，針對每一項因素逐一設計實驗如下：

實驗對象(一) — 閘極氧化層

實驗設計：

控制爐管(furnace)的升降溫曲線(thermal profile)，與 SPICE model 的驗證 wafer 一致。

(1)對閘極氧化層進行電容-電壓量測曲線(C-V Curve)的測量，以確認閘極氧化層的膜厚兩者是否一致。

(2)測量閘極氧化層的崩潰電荷(QBD)，以確認閘極氧化層品質兩者是否一致。

(3)分別就 SPICE model 與 on-silicon 的晶片各選一片，於閘極蝕刻後，送切穿透式電子顯微鏡(TEM，Transmission Electron Microscope)分析，其分析結果將於下一章說明，實驗設計表格如表 4-2 所示。

表 4-2 閘極通道長度量測實驗設計表

條件	描述	晶片片號																								
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
A	SPICE Model 的晶片	X																								
B	On Silicon 的晶片	X																								

接下來將針對相關的離子植入部分進行實驗規劃。

實驗對象(二) — 通道臨界電壓之離子植入

實驗設計：實驗設計表格如表 4-3 所示。

表 4-3 通道臨界電壓之離子植入實驗設計表

條件	描述	晶片片號																								
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
臨界電壓離子植入劑量	原先植入劑量	X	X	X	X	X	X																			
臨界電壓離子植入劑量 + 10%	原先植入劑量增加10%							X	X																	
臨界電壓離子植入劑量 - 10%	原先植入劑量減少10%									X	X															
臨界電壓離子植入劑量(Anti-180)	晶片反轉180度 再植入											X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

實驗對象(三) — 漂移區之離子植入

實驗設計：實驗設計表格如表 4-4 所示。

表 4-4 漂移區之離子植入實驗設計表

條件	描述	晶片片號																								
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
漂移區離子植入劑量	原先植入劑量	X	X	X	X	X	X	X							X	X	X	X	X	X	X	X	X	X	X	X
漂移區離子植入劑量 + 10%	原先植入劑量增加10%								X	X																
漂移區離子植入劑量 - 10%	原先植入劑量減少10%									X	X															
漂移區離子植入劑量(Anti-180)	晶片反轉180度 再植入											X	X													

實驗對象(四) — 源極/汲極之離子植入

實驗設計：實驗設計表格如表 4-5 所示。

表 4-5 源極/汲極之離子植入實驗設計表

條件	描述	晶片片號																								
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
源極/汲極植入劑量	原先植入劑量	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X						
源極/汲極植入劑量 + 10%	原先植入劑量增加10%																				X	X				
源極/汲極植入劑量 - 10%	原先植入劑量減少10%																						X	X		
源極/汲極離子植入劑量(Anti-180)	晶片反轉180度 再植入																								X	X

實驗對象(五) — 輕摻雜汲極之離子植入

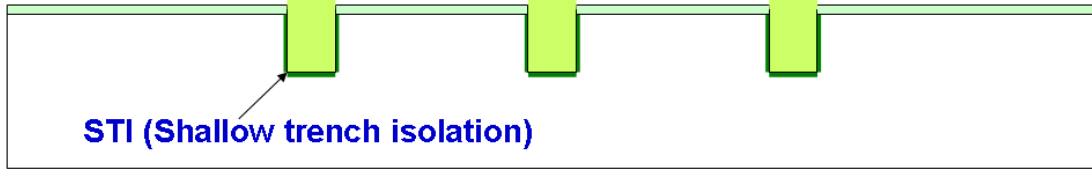
實驗設計：實驗設計表格如表 4-6 所示。

表 4-6 輕摻雜汲極之離子植入實驗設計表

條件	描述	晶片片號																								
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
輕摻雜汲極植入劑量	原先植入劑量	X	X	X	X	X	X	X	X	X	X	X	X	X							X	X	X	X	X	X
輕摻雜汲極植入劑量 + 10%	原先植入劑量增加10%													X	X											
輕摻雜汲極植入劑量 - 10%	原先植入劑量減少10%															X	X									
輕摻雜汲極離子植入劑量(Anti-180)	晶片反轉180度 再植入																			X	X					

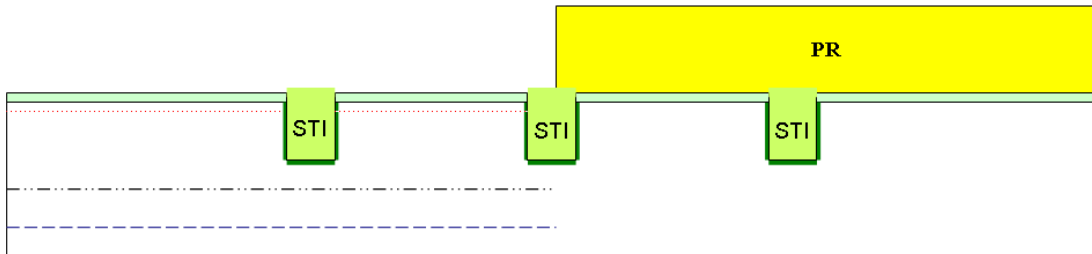
接著，於下一章對上述各項實驗設計所得出的結果，進行定量分析的工作，以期達成目標。

製作元件間的淺溝槽絕緣 STI (Shallow Trench Isolation)



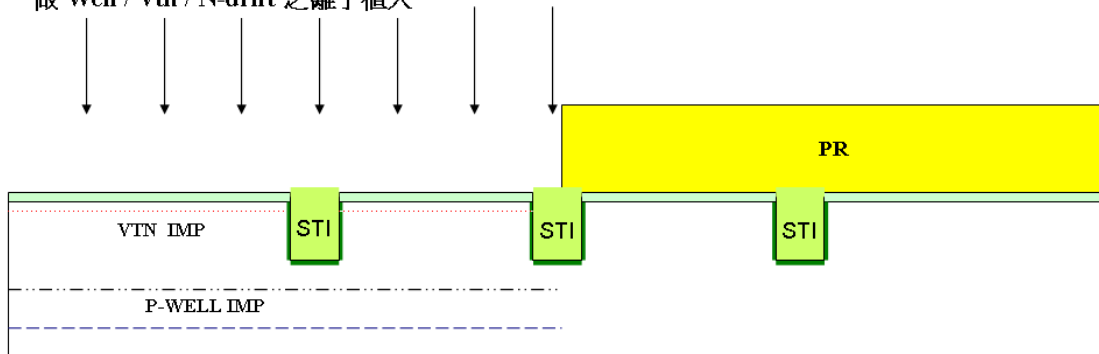
(a)

以 NMOS 為例，藉由光罩將 PMOS 遮住，僅打開 NMOS 區域，接著，曝光與顯影



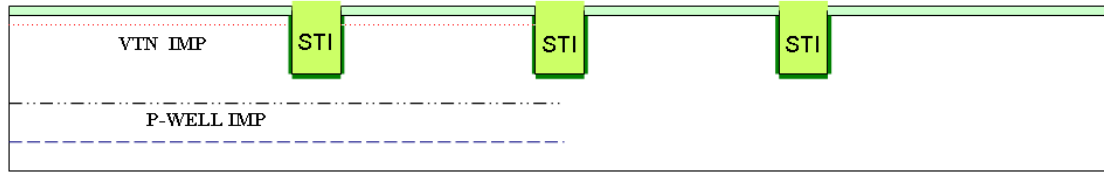
(b)

做 Well / Vth / N-drift 之離子植入



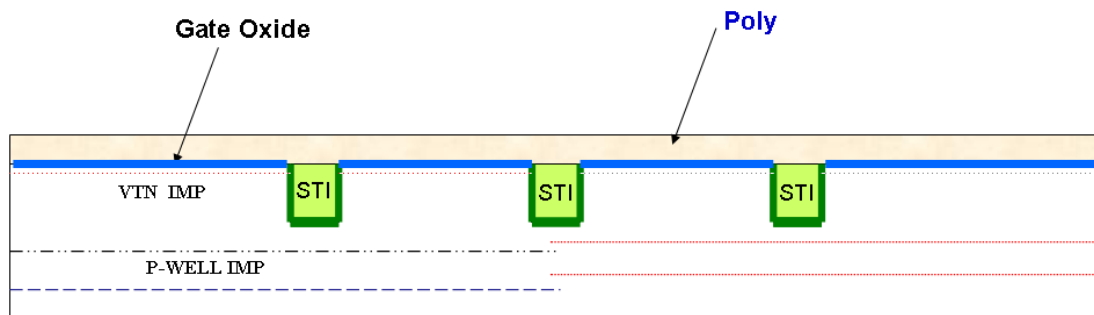
(c)

做 Well / Vth / N-drift 之微影光阻去除



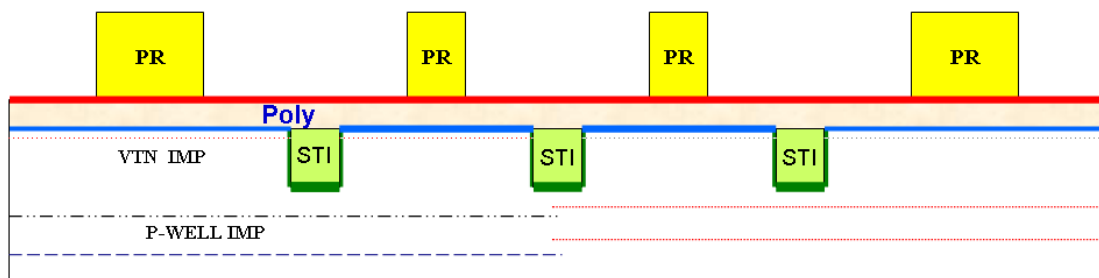
(d)

成長閘極氧化層 (Gate Oxide) 及金屬閘極 (Poly Gate)



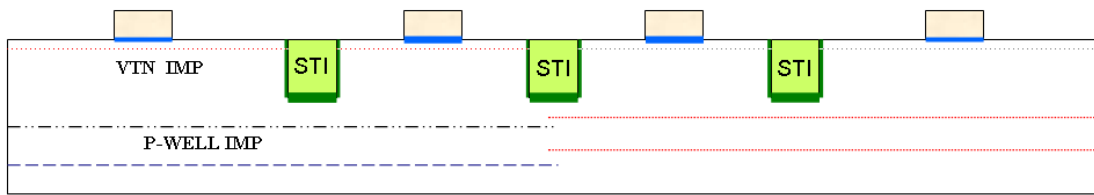
(e)

利用光罩製作金屬閘極 (Poly Gate), 接著, 曝光與顯影



(f)

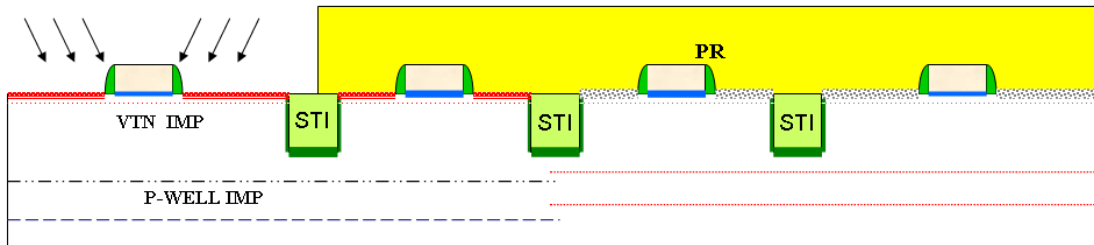
藉由蝕刻 (Etch) 製作金屬閘極 (Poly Gate)



(g)

爲防止穿隧效應 (Punch through effect), 做輕摻雜汲極 (LDD) 微影曝光與顯影
接著, 做 N-LDD 之離子植入

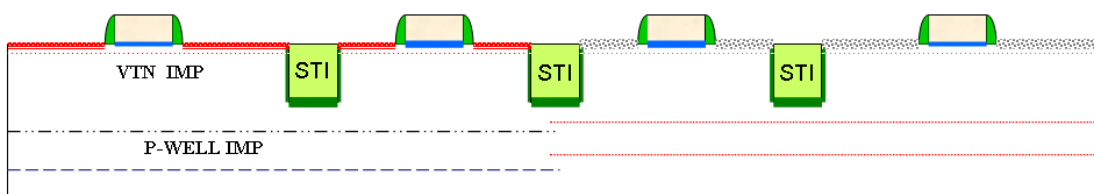
N-LDD Implant



(h)

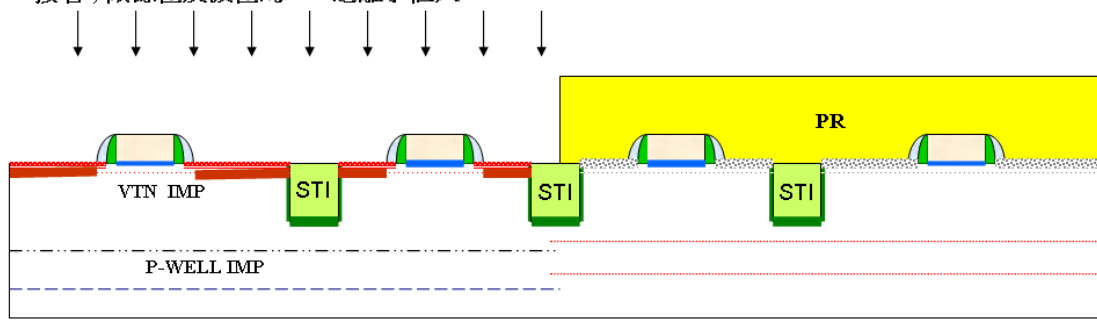
接著, 做 N-LDD 之微影光阻去除

N-LDD Implant



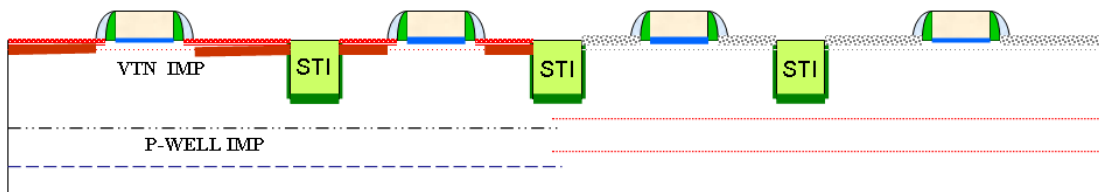
(i)

做源極及汲極的 N+ 微影曝光與顯影
 接著，做源極及汲極的 N+ 之離子植入



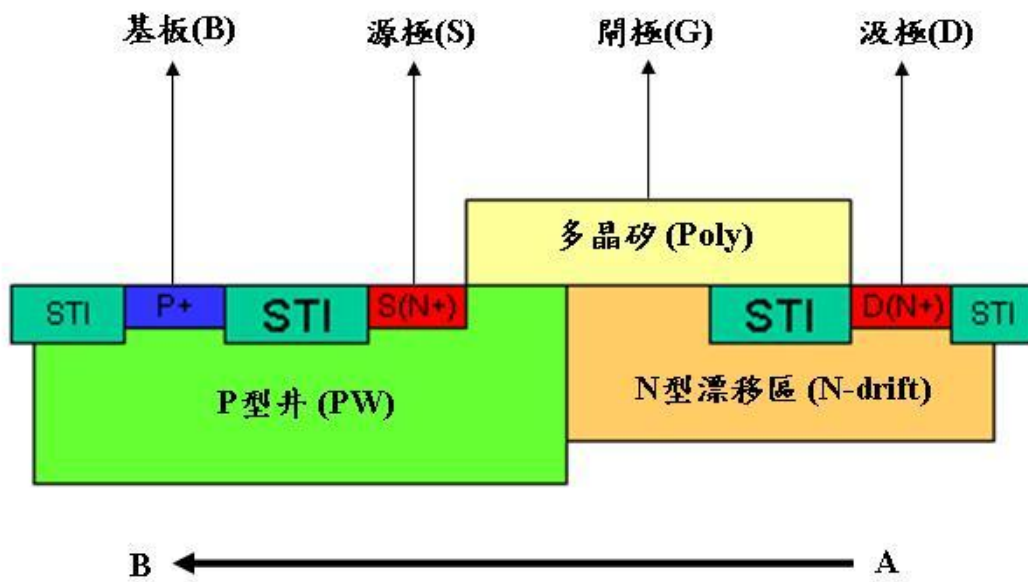
(j)

接著，做 N+ 之微影光阻去除

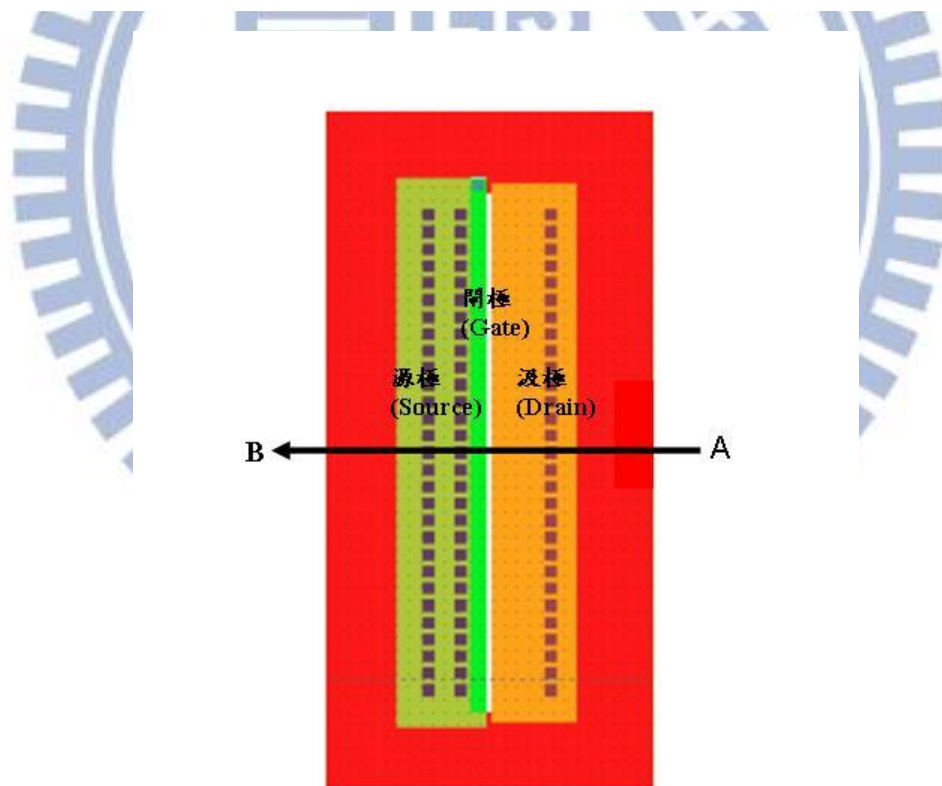


(k)

圖 4-1 (a)~(k) 製造流程圖



(a)



(b)

圖 4-2 FDMOS 元件示意圖 (a)截面圖(Cross-section)
(b)佈局圖(Layout view)

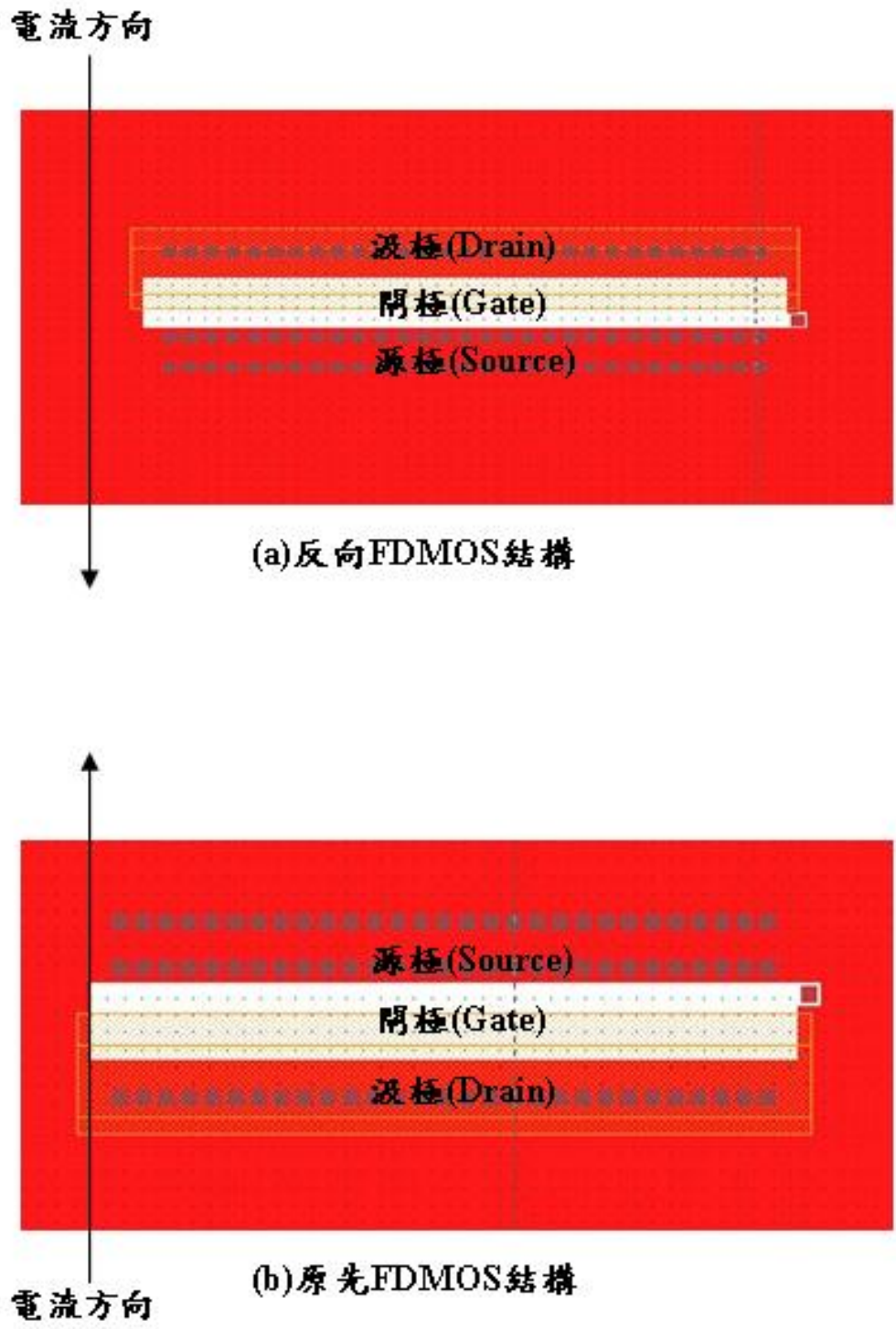


圖 4-3 FD MOS 測試鍵結構俯視圖(Top view)

(a) 反向(new) (b) 原先方向(old)

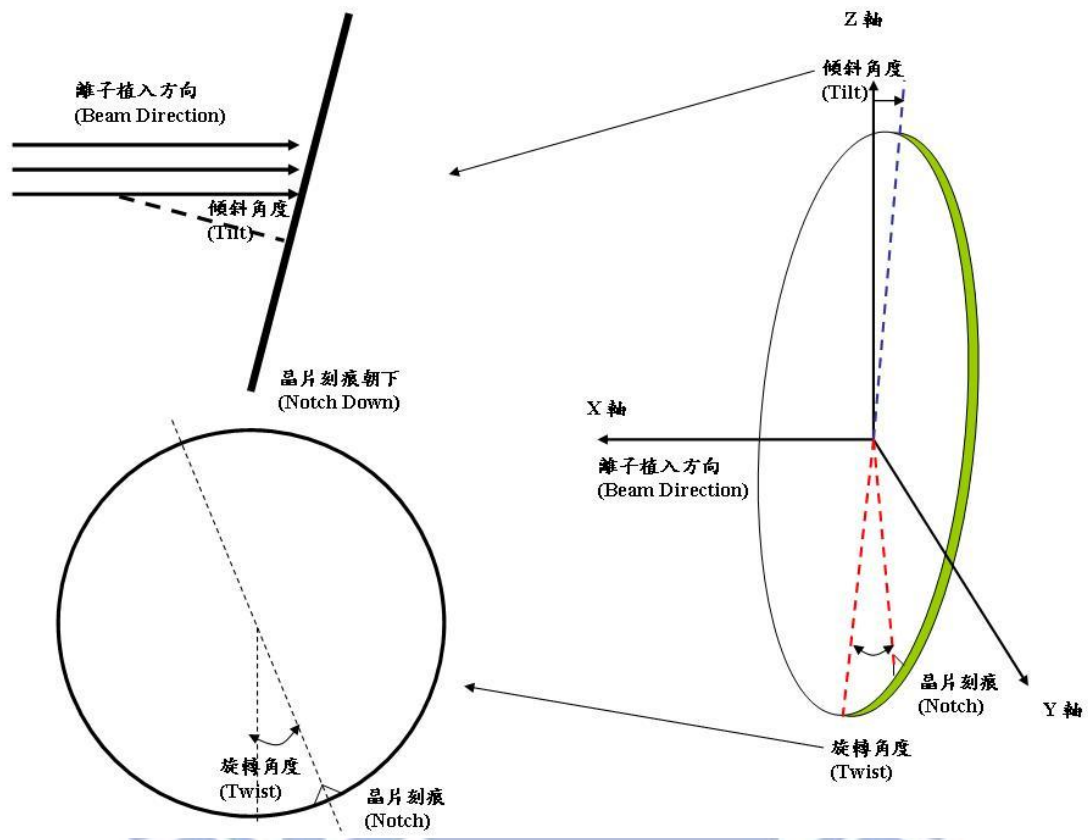


圖 4-4 離子植入機台轉盤示意圖

第五章

結果與討論

本章將根據第四章實驗設計的內容，進行實驗結果說明與討論，並做真因分析，進而對本研究提出可行的解決方案。

5.1 實驗結果(機台因子)

實驗對象(一) — 離子植入機台

實驗結果說明：

- (1) 藉由圖 4-3 設計出的元件測試結構，量測兩種結構的臨界電壓，其結果如圖 5-1 所示。由結果得知反向元件的 V_t ，無論 N 型或 P 型皆有別於原先方向元件的 V_t 表現，且更接近所要達成的目標值。
- (2) 詳細比對離子植入機台規格，得知離子植入機之晶片承載轉盤，SPICE model 與 on-silicon 有顯著硬體上的差異，其差異結果如圖 5-2 所示。前者是前傾(-8 度)，後者是後傾(+8 度)。

實驗對象(二) — 黃光微影光阻烘烤機台

實驗結果說明：

分別在 SPICE model 所使用的光阻烘烤機 A 及 on-silicon 所使用的光阻烘烤機 B，規劃兩片晶圓進行烘烤處理。接著進行 SEM 光阻截面(profile)的分析，其實驗結果如圖 5-3 所示。由光阻的橫截面圖，顯示出 SPICE model 的光阻邊緣傾斜角度較 on-silicon 大，且光阻頂端的轉角亦較為圓滑。

5.2 實驗結果(製程條件因子)

實驗對象(一) — 閘極氧化層的膜厚及品質

實驗結果說明：

(1) 比較兩者於爐管的升降溫曲線，其結果如圖 5-4 所示。由圖可知兩者的曲線是一致的。

(2) 對兩者的閘極氧化層進行電容-電壓曲線(C-V curve)的量測，其結果如圖 5-5 所示。由圖可知兩者的電容-電壓曲線是一致的。

(3) 量測閘極氧化層的崩潰電荷 QBD，其結果如圖 5-6 所示。由圖可知兩者的 QBD 曲線也是一致的。

經由上述(1)、(2)、(3)的結果，顯示無論是閘極氧化層的成长狀況、環境、膜厚及品質，兩者均是一致的，故排除此一影響因子。

實驗對象(二) — 閘極通道長度

實驗結果說明：

對 SPICE model 與 on-silicon 的晶片，分別於閘極蝕刻後，進行 SEM 及 TEM 的分析，其結果如圖 5-7 所示。由 SEM 可知兩者於晶片中心及邊緣的剖面是一致的，TEM 所呈現通道長度在晶片中心及邊緣的定量資料，兩者亦是一致。故此影響因子亦排除之。

實驗對象(三) — 通道臨界電壓之離子植入

實驗結果說明：

根據實驗設計表格表 4-3，量測在不同條件下每一晶片的臨界電壓，其實驗結果如圖 5-8 所示。由結果可知，離子植入劑量的增或減，確實會影響 V_t 的數值，但距離目標值尚遠。而將晶片反轉 180 度再行植入的實驗條件，發現其接近目標值。因此可確認通道臨界電壓

之離子植入的製程條件是本研究的重點影響因子。

實驗對象(四) — 漂移區之離子植入

實驗結果說明：

根據實驗設計表格表 4-4，量測在不同條件下每一晶片的臨界電壓，其實驗結果如圖 5-9 所示。由結果可知，無論是離子植入劑量的增減，或是將晶片反轉 180 度再行植入，其 V_t 的量測數值皆是一致，且距離目標值有 0.4V 的差距。故調變漂移區之離子植入製程條件，對 V_t 的改善並無幫助，因此排除此影響因子。

實驗對象(五) — 源極/汲極之離子植入

實驗結果說明：

根據實驗設計表格表 4-5，量測在不同條件下每一晶片的臨界電壓，其實驗結果如圖 5-10 所示。由結果可知，無論是離子植入劑量的增減，或是將晶片反轉 180 度再行植入，其 V_t 的量測數值皆是一致，且距離目標值有 0.4V 的差距。故調變源極/汲極之離子植入製程條件，對 V_t 的改善並無幫助，因此排除此影響因子。

實驗對象(六) — 輕摻雜汲極之離子植入

實驗結果說明：

根據實驗設計表格表 4-6，量測在不同條件下每一晶片的臨界電壓，其實驗結果如圖 5-11 所示。由結果可知，無論是離子植入劑量的增減，或是將晶片反轉 180 度再行植入，其 V_t 的量測數值皆是一致，且距離目標值有 0.4V 的差距。故調變輕摻雜汲極之離子植入製程條件，對 V_t 的改善並無幫助，因此排除此影響因子。

5.3 真因分析

經由特性要因分析法，得出影響本研究的關鍵因子，即是 V_t 離子植入製造流程中的微影光阻烘烤機所形成的光阻剖面，及離子植入機的晶片承載轉盤傾斜角度。此二者是影響 SPICE model 與 on-silicon 臨界電壓不匹配的真正原因。茲分析說明如下：

(1) 由製造流程圖 4-1(b) 的微影步驟得知，經過 SPICE model 使用的微影光阻烘烤機後的光阻橫截面較 on-silicon 內縮，且頂端轉角較圓滑，如圖 5-12 所示。

(2) 當進行後續的 V_t 離子植入時，微影光阻會對入射的離子植入形成遮蔽效應(Shadowing Effect)。

因此，由上述分析可知，SPICE model 的光阻橫截面較斜，其遮蔽效應較小， V_t 離子植入區域較大，使得漂移區的有效通道長度(effective channel length)較長，故 V_t 較大，如圖 5-13(a) 所示。

反之，on-silicon 的光阻橫截面較直，其遮蔽效應較大， V_t 離子植入區域較小，使得漂移區的有效通道長度較短，故 V_t 較小，如圖 5-13(b) 所示。

再者，光阻的遮蔽效應亦使得原先方向的 FDMOS，其在漂移區的有效通道長度變短，而反向的 FDMOS 其有效通道長度較長，此乃因為反向 FDMOS 在漂移區無光阻的遮蔽效應，再加上離子植入機的晶片承載轉盤傾斜角度為 +8 度之故，導致額外的區域被植入，使得 V_t 較原先方向的 FDMOS 為高，如圖 5-14 所示。

最後，實際透過量測掃描式電容顯微鏡(SCM, Scanning Capacitance Microscope)，其結果如圖 5-15 所示，證實上述的分析結果。

5.4 解決方案

了解造成 SPICE model 與 on-silicon 臨界電壓不匹配的真正原因後，提出以下兩項改善方法：

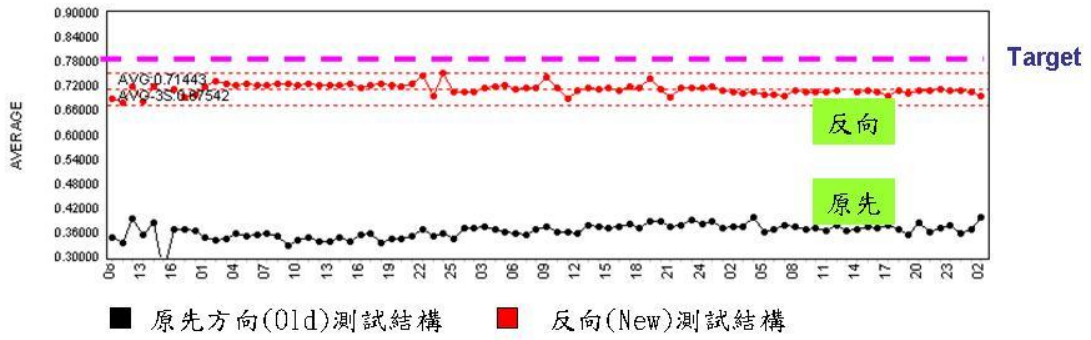
- (1) 降低光阻膜厚，由 $20\text{k}\text{\AA}$ 降至 $15\text{k}\text{\AA}$ ，如此可減少 30% 比例的 Shadowing effect 對漂移區有效通道長度的影響，如圖 5-16 所示，進而使 V_t 接近標準值。
- (2) 於通道臨界電壓離子植入製程步驟，先將晶片旋轉 180 度後再行離子植入。

5.5 結論

本研究藉由特性要因分析方法，找出造成非對稱性 FDMOS 元件之臨界電壓於 SPICE model 與 on-silicon 不匹配的真因，此乃因在 V_t 離子植入的製造流程中，於微影光阻烘烤處理後的光阻所形成的遮蔽效應及離子植入機的晶片承載轉盤台傾斜角度差異所導致。此兩個效應會影響 V_t 離子植入的有效區域，使得兩者在 V_t roll off 的表現上有極大的差距。

藉由降低光阻的膜厚，以減少遮蔽效應的影響，搭配晶圓於離子植入前先旋轉 180 度來解決此問題，使得 SPICE model 與 on-silicon V_t roll off 曲線達到匹配的效果，其結果如圖 5-17 所示，達成本研究的目標。

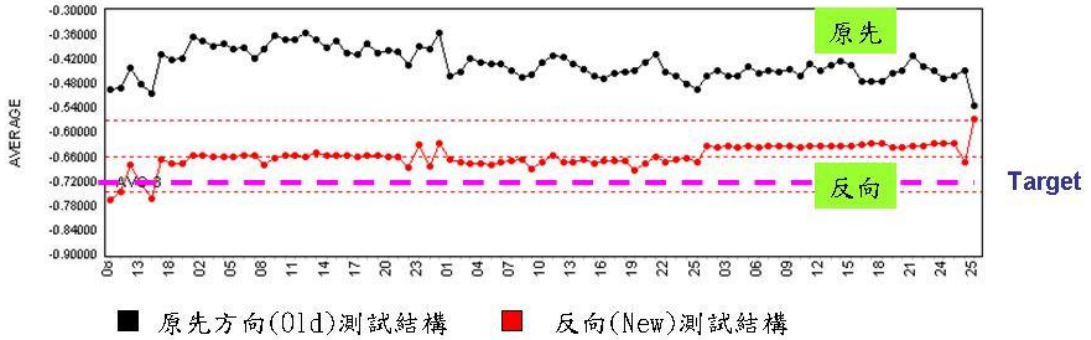
N型 FDMOS 臨界電壓電性結果



(a)



P型 FDMOS 臨界電壓電性結果

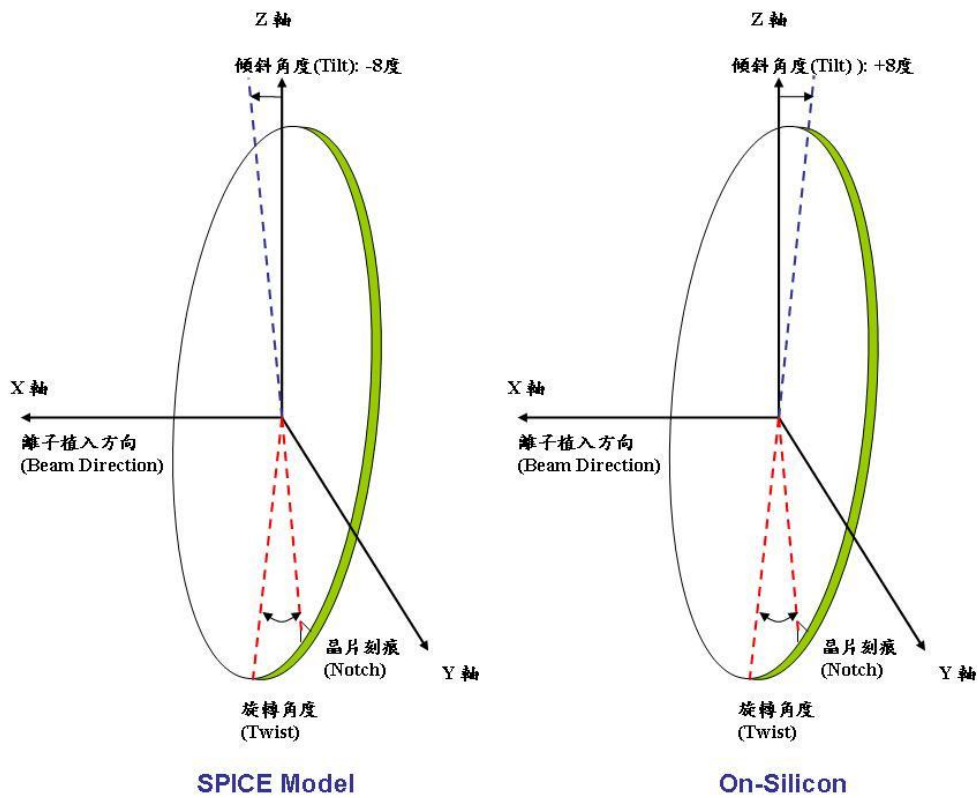


(b)

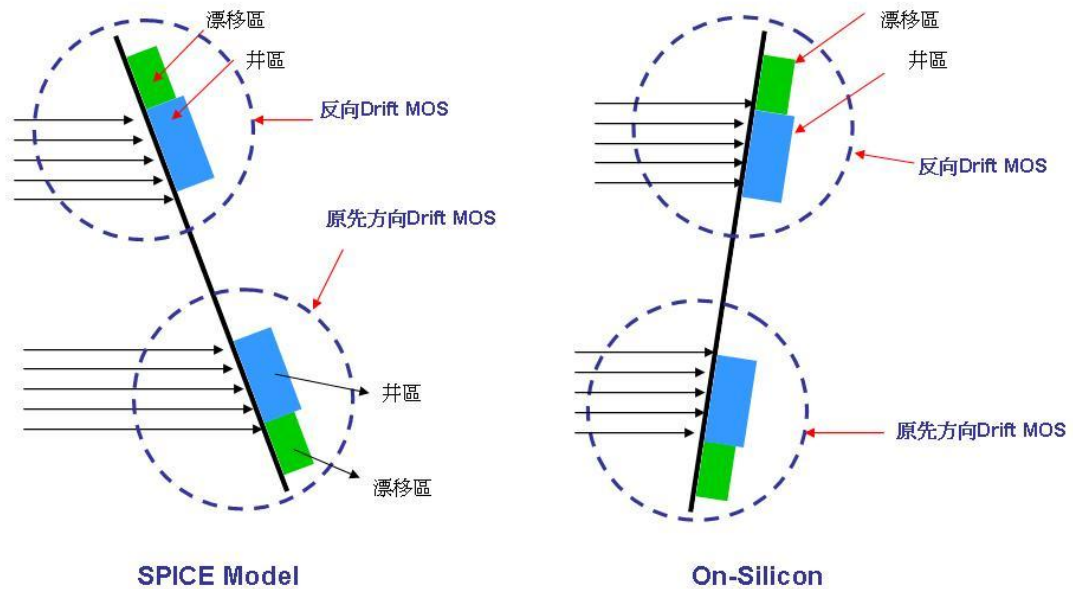


圖 5-1 原先方向(old)與反向(new) FDMOS 臨界電壓電性結果

(a)N 型元件 (b)P 型元件



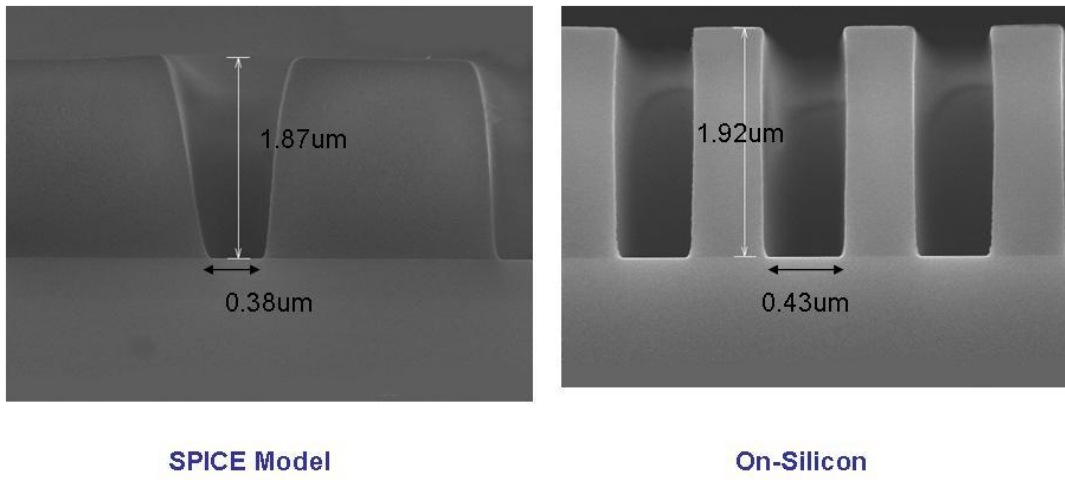
(a)



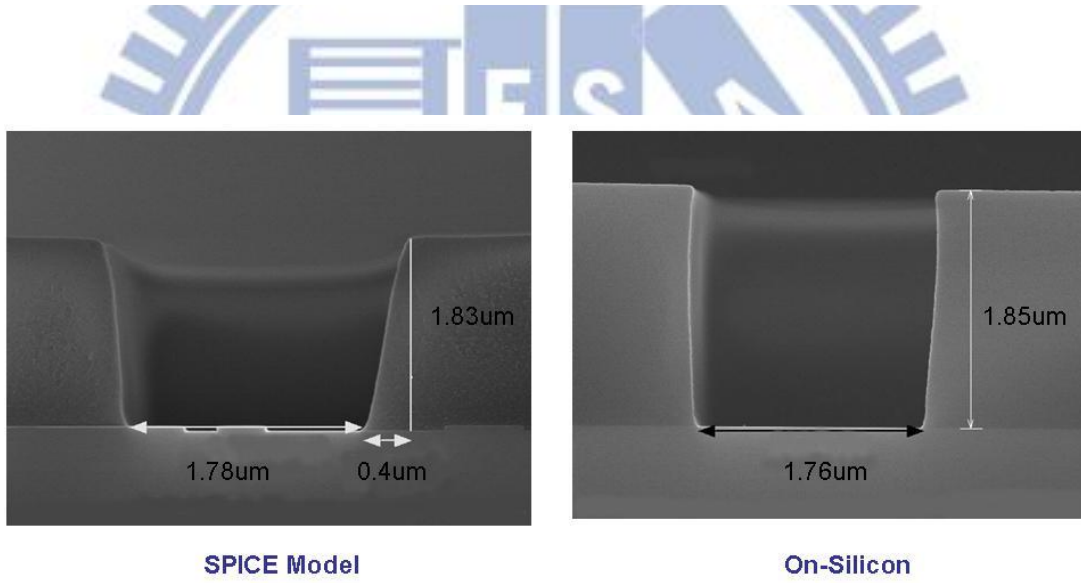
(b)

圖 5-2 (a) 離子植入機之晶片承載轉盤 3D 示意圖

(b) 離子植入手射角度與轉盤關係示意圖



(a)



(b)

圖 5-3 黃光微影光阻之 SEM 截面圖

(a)小尺寸元件 (b)大尺寸元件

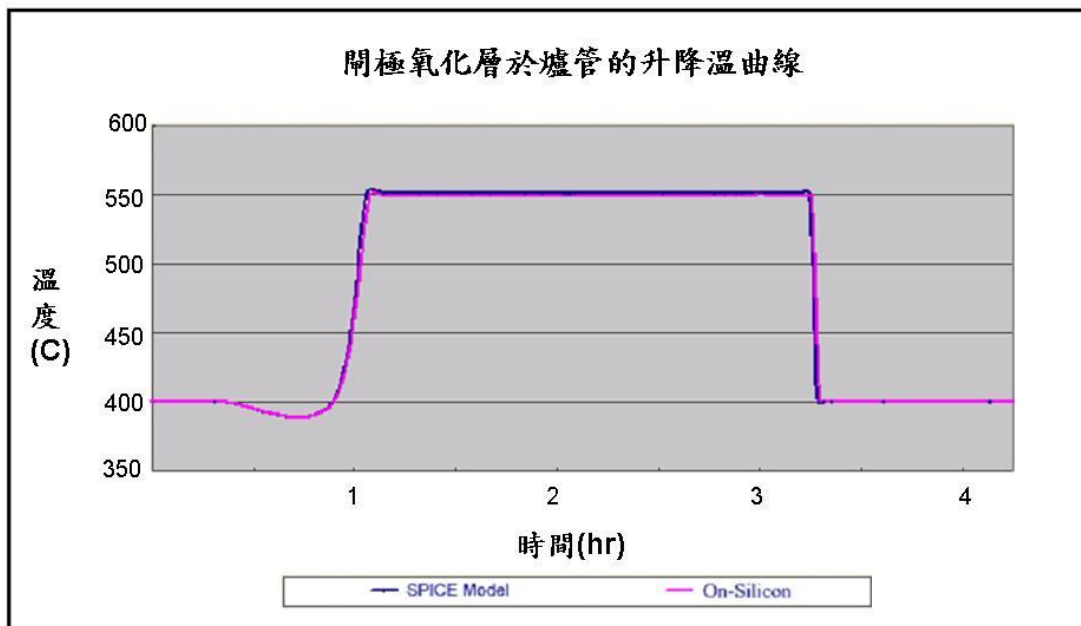


圖 5-4 開極氧化層於爐管的升降溫曲線

閘極氧化層之電容-電壓曲線

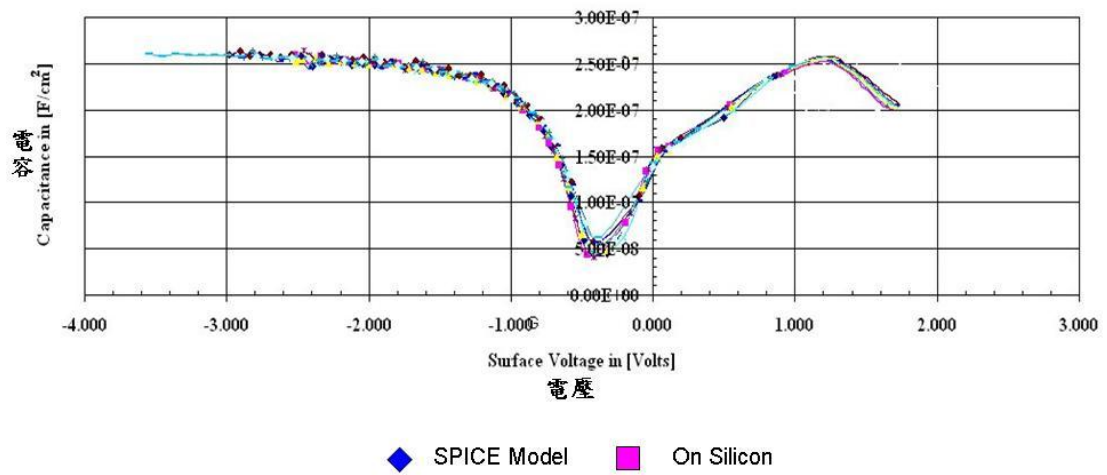


圖 5-5 閘極氧化層之電容-電壓(C-V)量測曲線

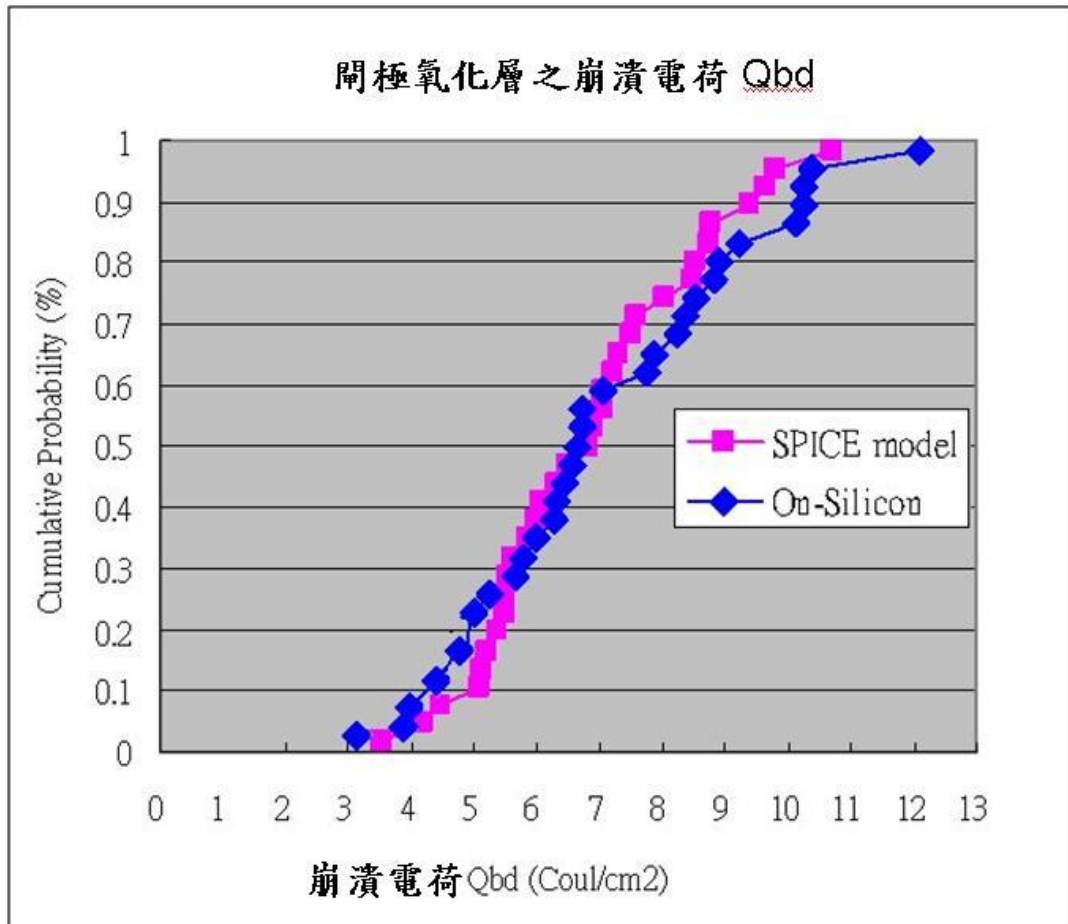


圖 5-6 開極氧化層之崩潰電荷(QBD)量測曲線

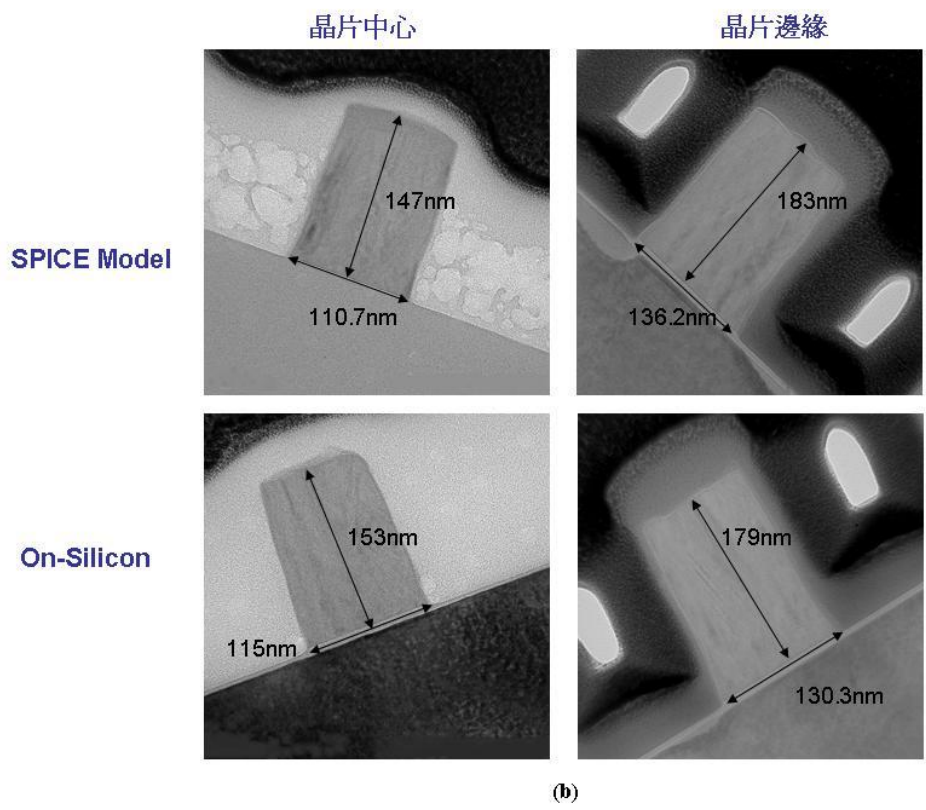
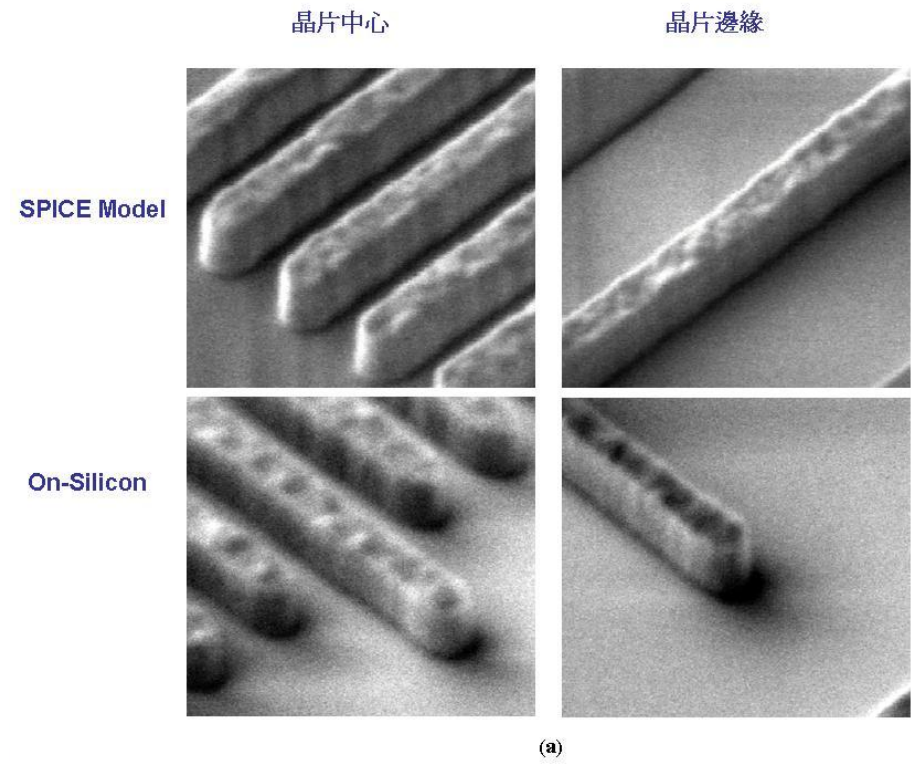
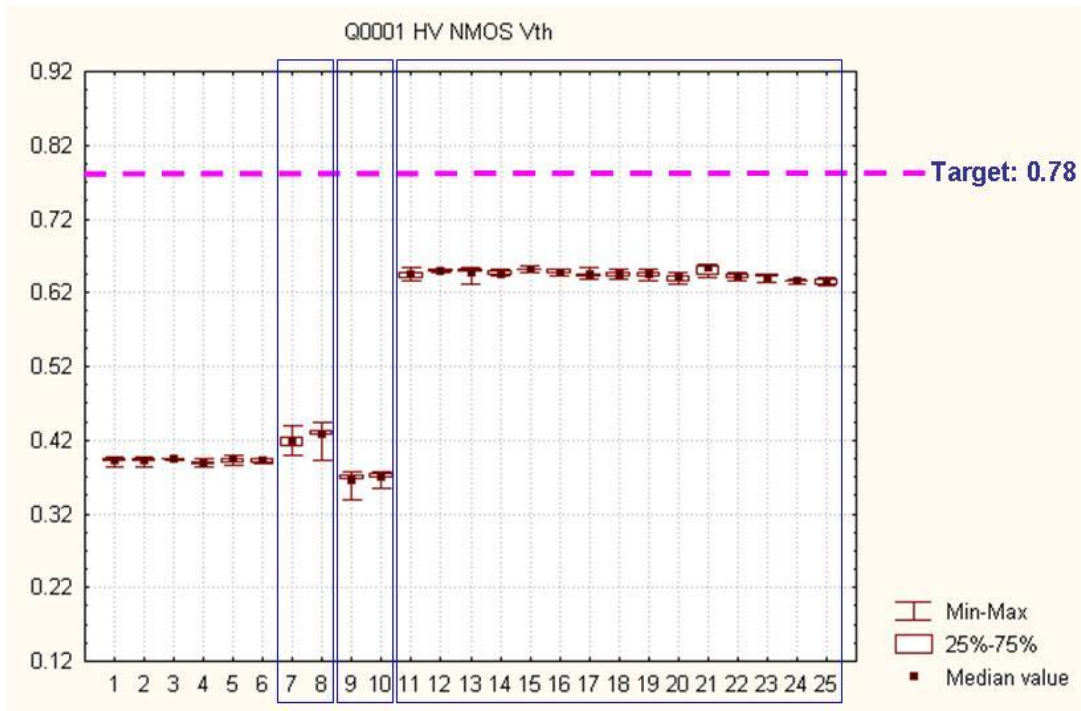
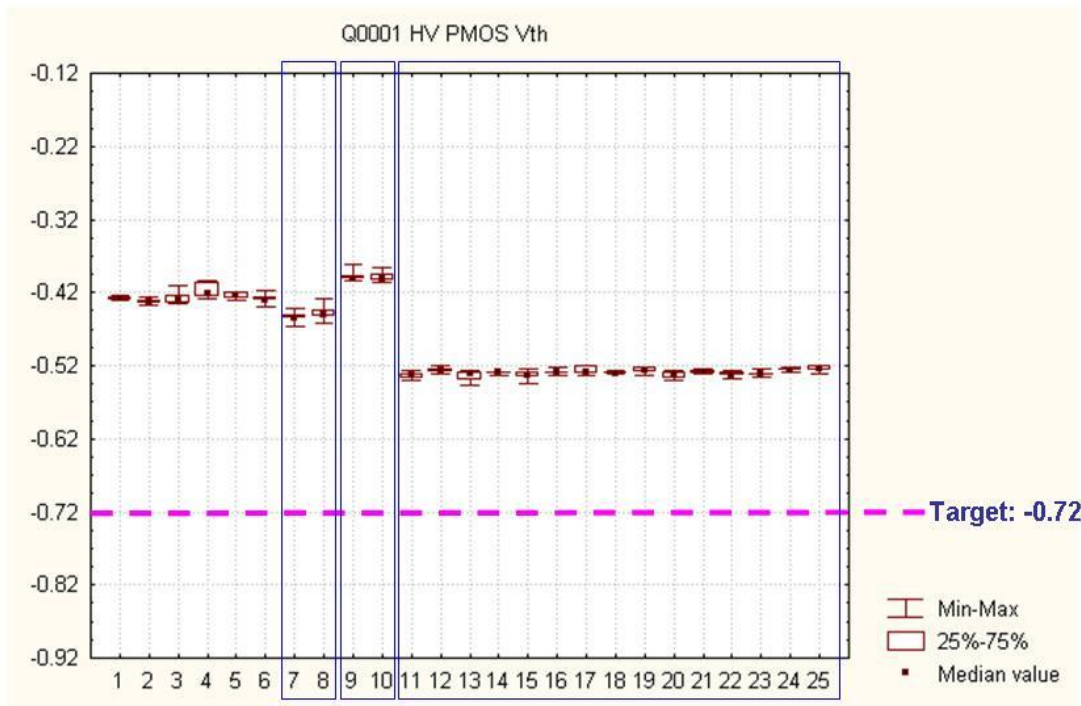


圖 5-7 (a) 閘極之 SEM 剖面圖

(b) 閘極通道長度之 TEM 截面圖



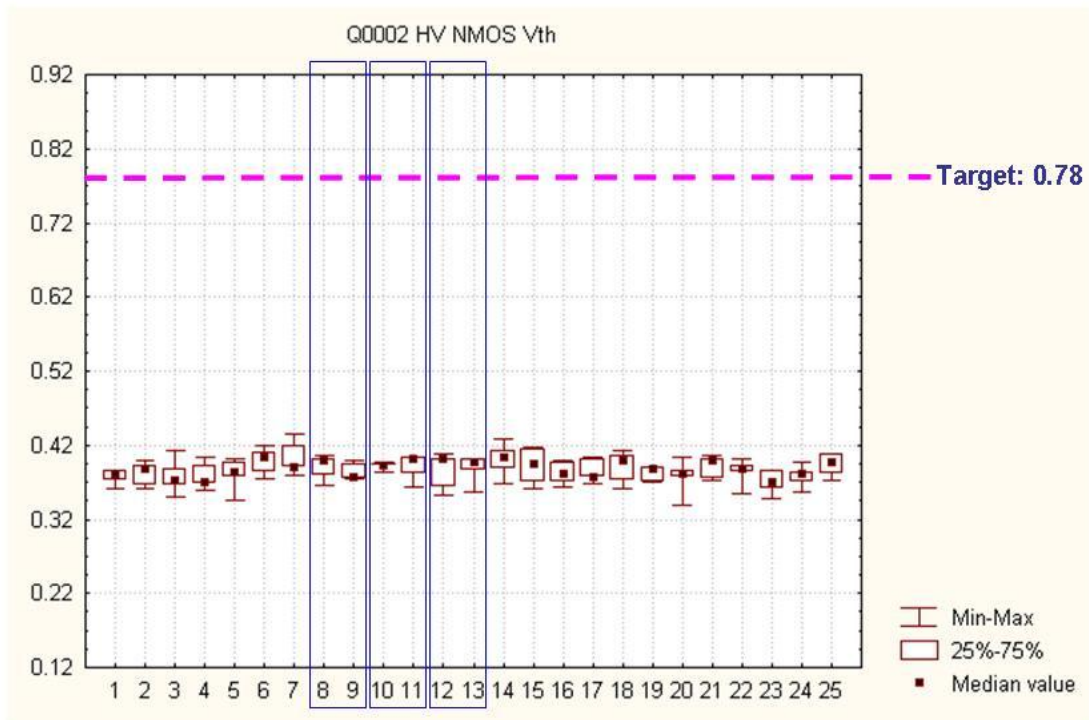
(a)



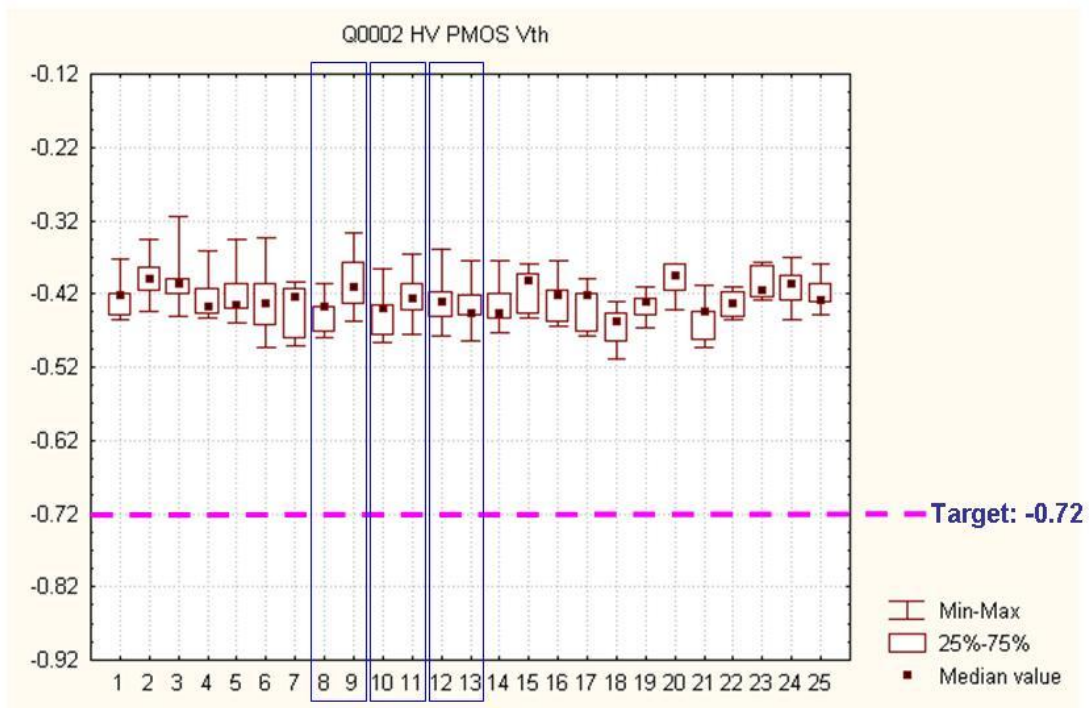
(b)

圖 5-8 通道臨界電壓之離子植入實驗—FDMOS Vt 量測結果

(a) N 型元件 (b) P 型元件



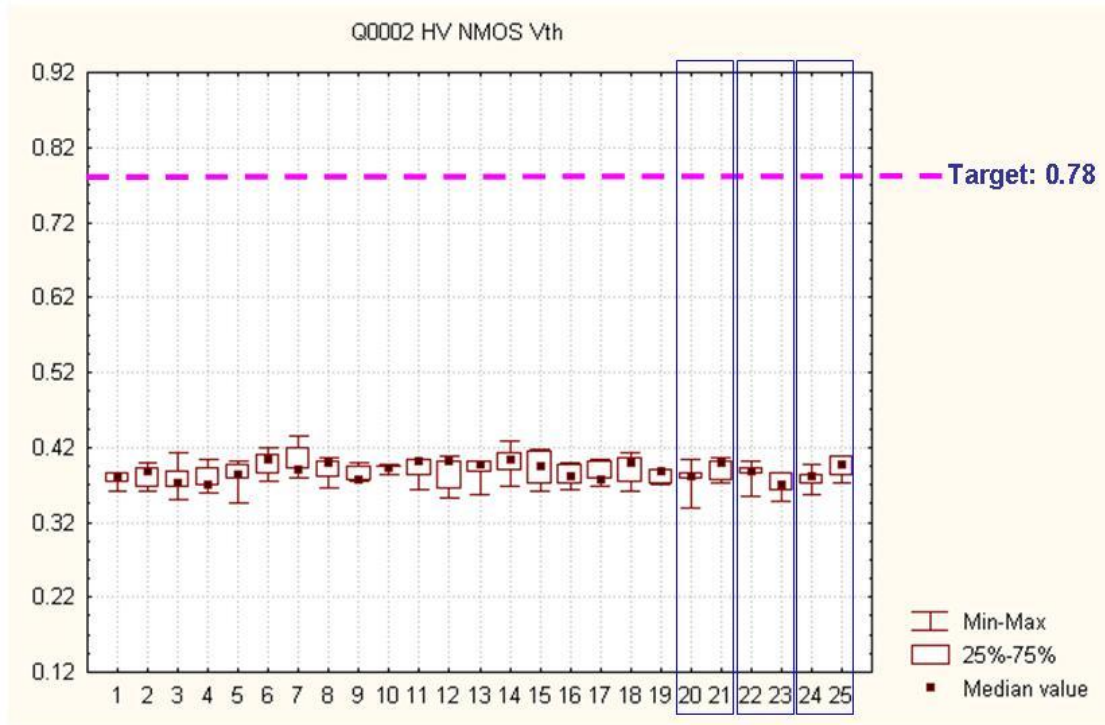
(a)



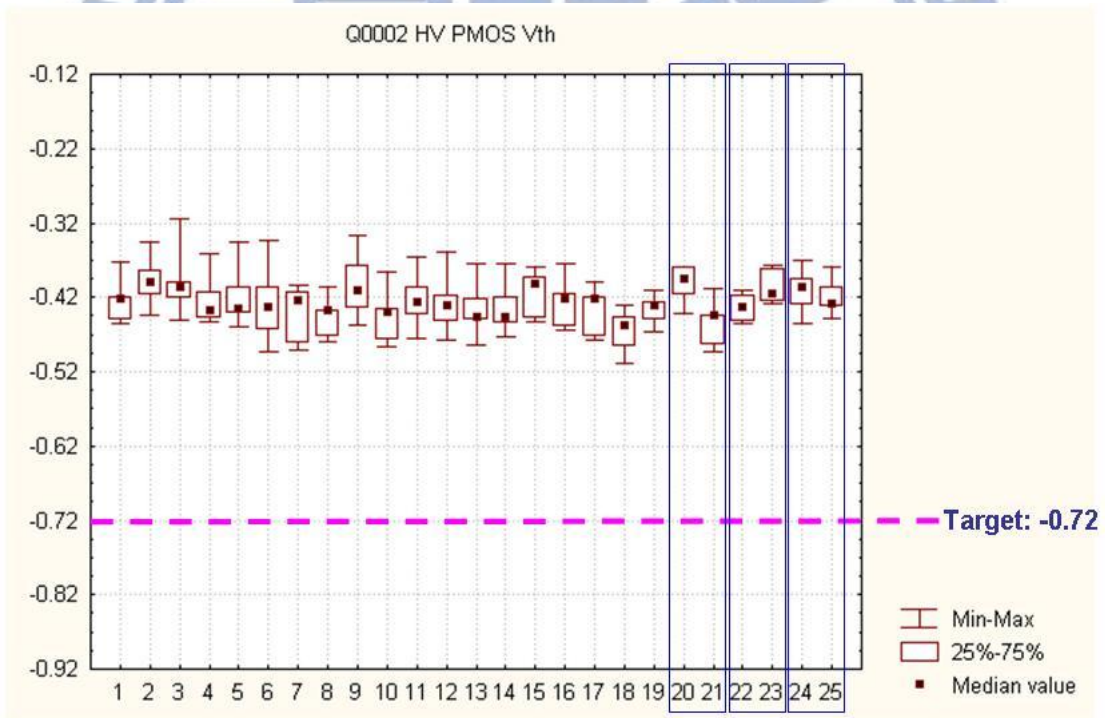
(b)

圖 5-9 漂移區之離子植入實驗—FD MOS Vt 量測結果

(a) N 型元件 (b) P 型元件



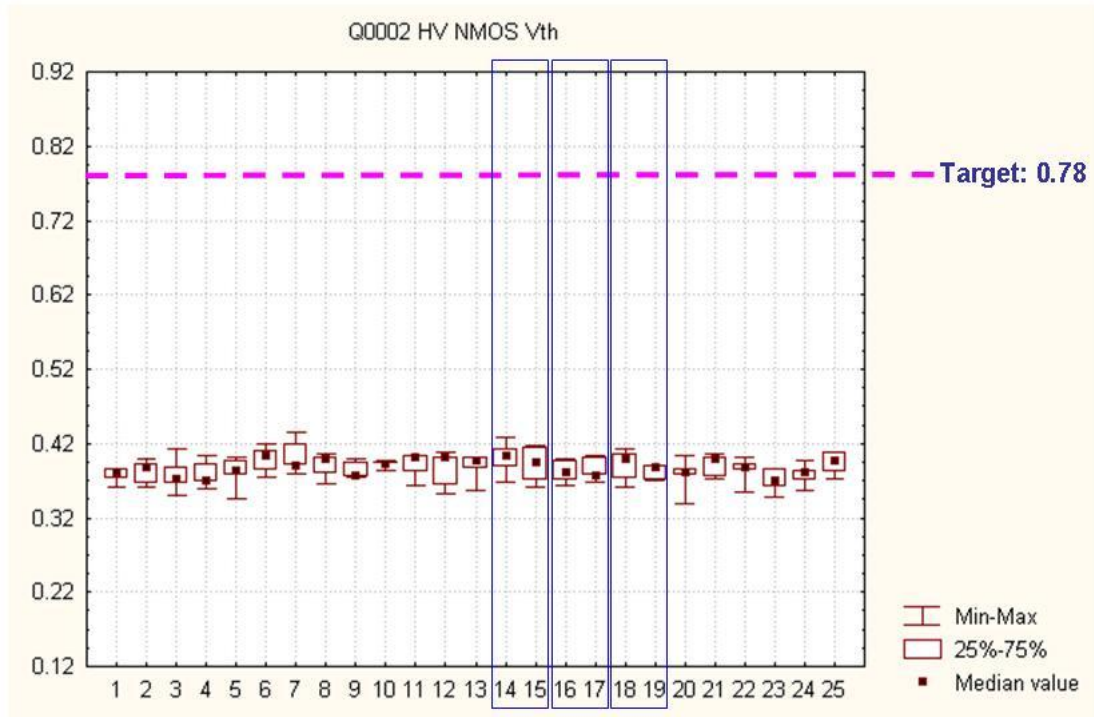
(a)



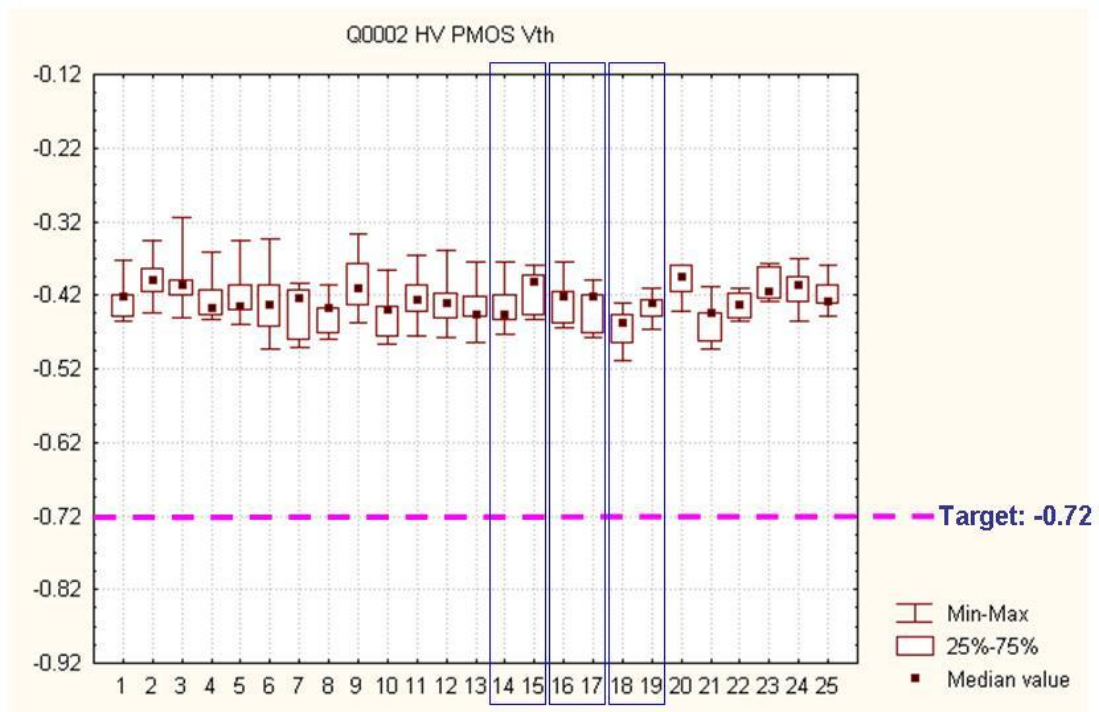
(b)

圖 5-10 源極/汲極之離子植入實驗—FDMOS Vt 量測結果

(a) N 型元件 (b) P 型元件



(a)



(b)

圖 5-11 輕摻雜汲極之離子植入實驗—FDMOS Vt 量測結果

(a) N 型元件 (b) P 型元件

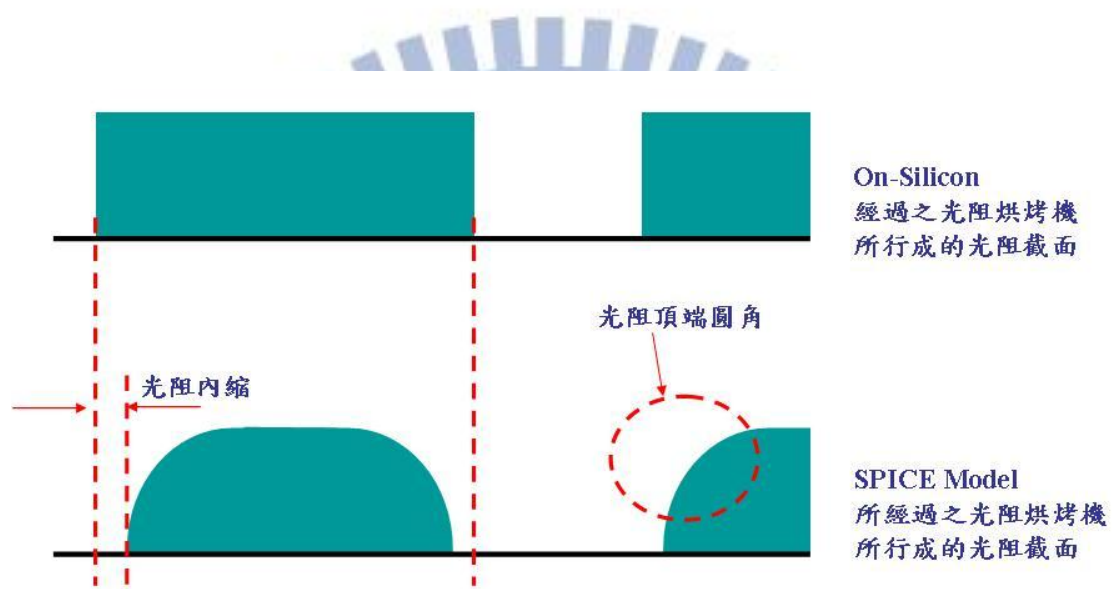


圖 5-12 On-silicon 與 SPICE model 之光阻截面差異圖

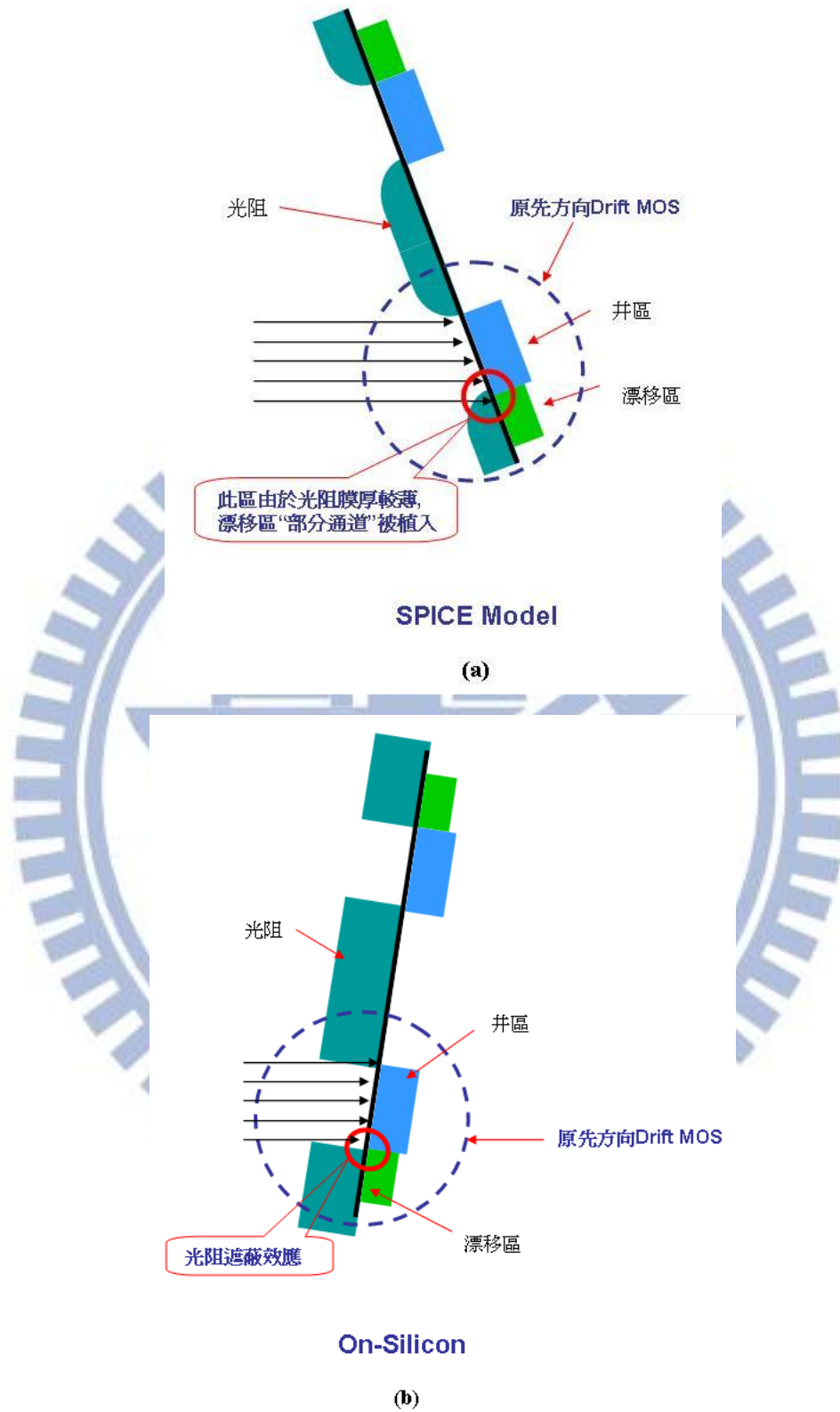


圖 5-13 單一原先方向元件之光阻遮蔽效應示意圖

(a) SPICE model (b) On-silicon

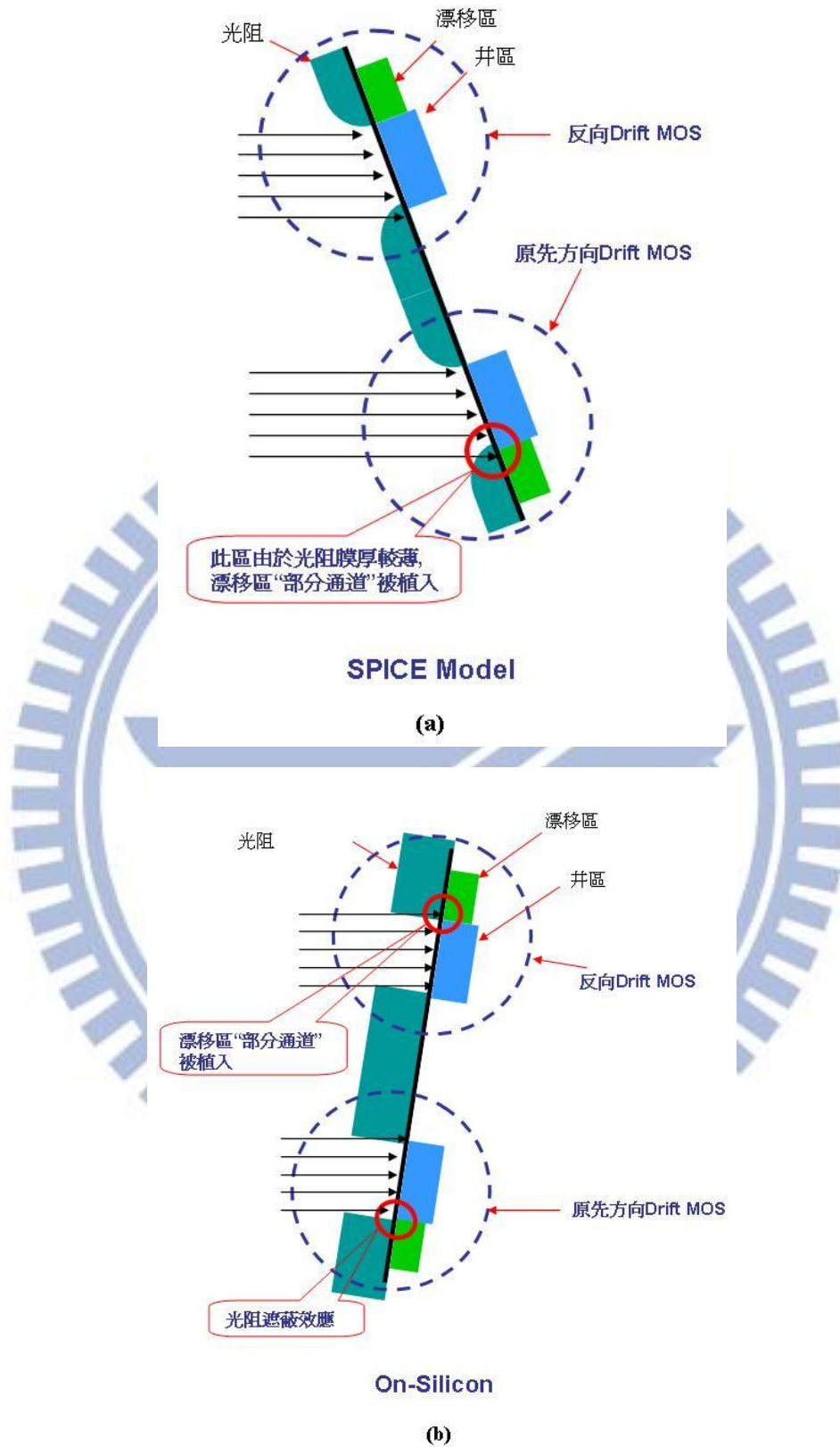


圖 5-14 原先方向元件與反向元件之光阻遮蔽效應示意圖

(a) SPICE model (b) On-silicon

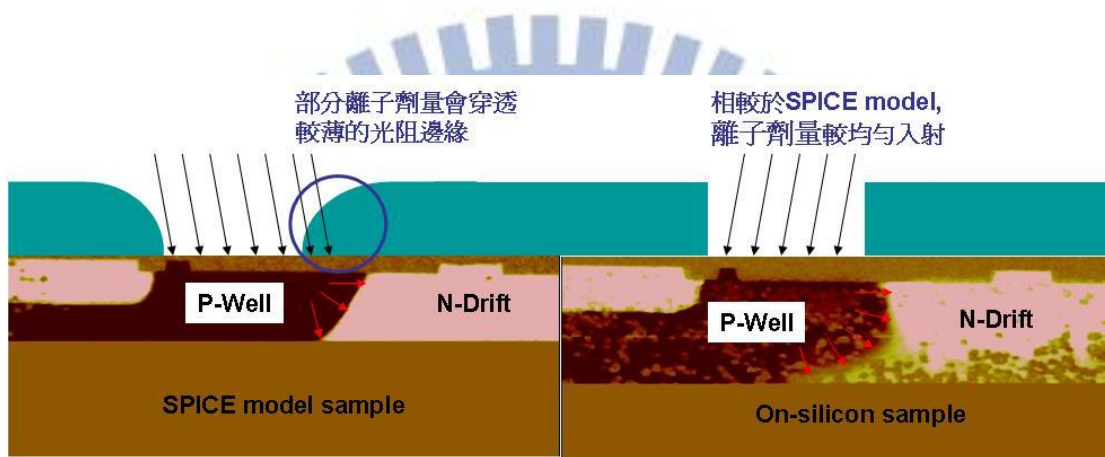


圖 5-15 FDMOS 元件離子植入分布 SCM 圖

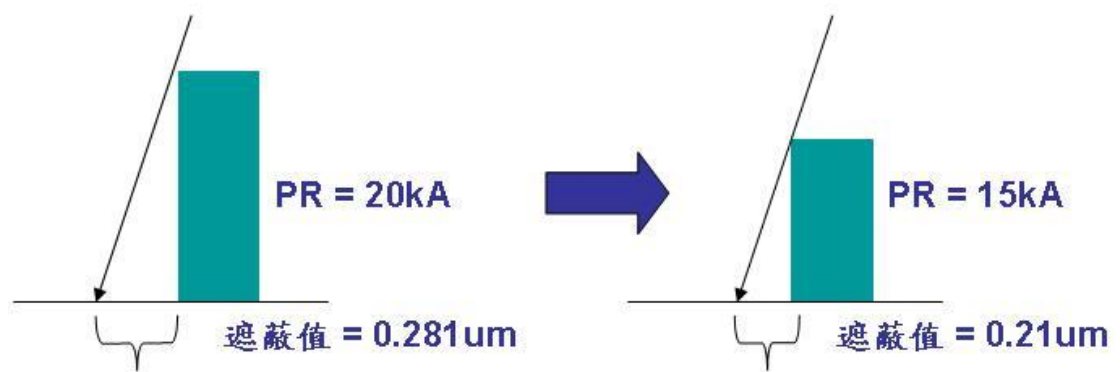
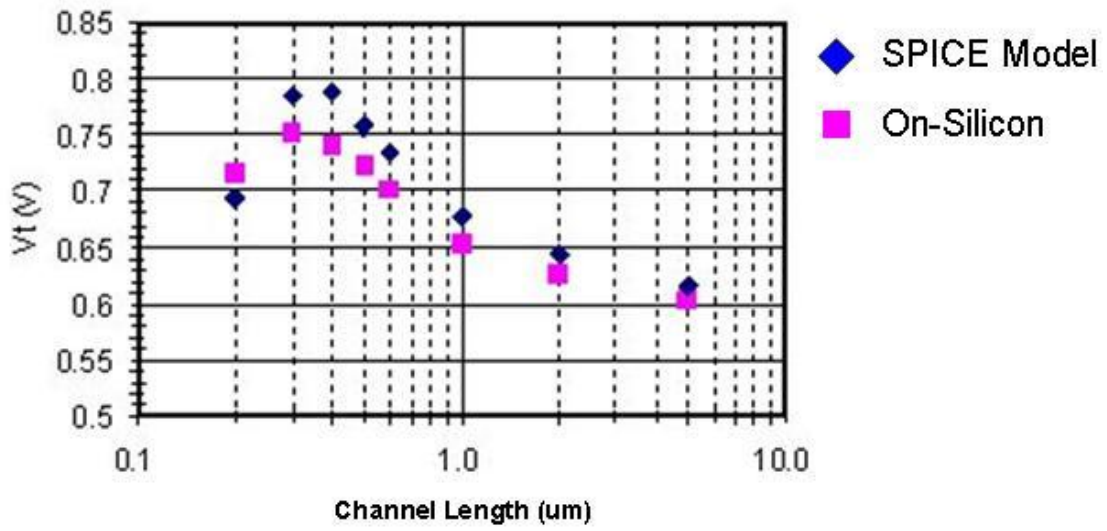


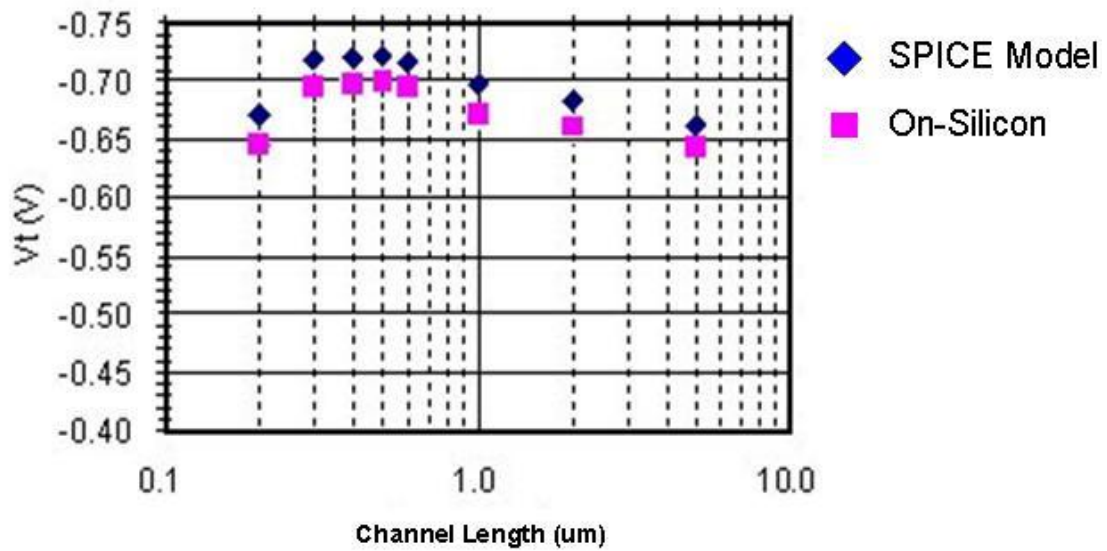
圖 5-16 光阻膜厚與遮蔽效應示意圖

NMOS



(a)

PMOS



(b)

圖 5-17 (a)、(b) 改善後之 FD-NMOS 與 FD-PMOS 的臨界電壓曲線

參 考 文 獻

- [1] <http://www.topology.com.tw/TRI/default.asp>
- [2] 賴永齡，“SOI 功率元件分析”，私立逢甲大學，碩士論文，1-8 頁，民國九十一年。
- [3] 莊達人，VLSI 製造技術，68-113 頁，四版，高立圖書有限公司，台北，民國九十年。
- [4] 電機產業資訊報導，第二卷第十期，21-30 頁，民國八十七年。
- [5] B. J. Baliga, “Trends in power semiconductor devices,” IEEE Trans. on Electron Devices, vol. 43, no. 10, pp. 1717-1731, 1996.
- [6] E. Wolfgang, F. J. Niedernostheide, D. Reznik and H. J. Schulze, “Advances in power electronic devices,” Proc. IEEE Int. Electric Machines and Drives Con., pp. 4-8, 1999.
- [7] B. J. Baliga, “Power Semiconductor Devices,” PWS. Publishing Company, pp. 41-53, 1995.
- [8] S. M. Sze, “Physics of Semiconductor Devices,” 2nd Edition, New York, pp. 89-113, 1981.
- [9] B. J. Baliga, “Evolution of MOS-bipolar power semiconductor technology,” IEEE Proc., vol. 76, no. 4, pp. 409-418, 1988.
- [10] R. Van Overstraeten and H. De Man, “Measurement of the ionization rates in diffused silicon p-n junction,” Solid-State Electronics, vol. 13, pp. 583-608, 1970.
- [11] S. Merchant, “Arbitrary lateral diffusion profiles,” IEEE Trans. Electron Devices, vol. 42, pp. 2226-2230, 1995.
- [12] W. Fulop, “Calculation of avalanche breakdown voltages of silicon p-n junctions,” Solid-State Electronics, vol. 10, pp. 39-43, 1967.
- [13] T. Toyabe and S. Asai, “Analytical models of threshold voltage

- and breakdown voltage of short-channel MOSFET's derived from two-dimensional analysis," IEEE J. Solid-State Circuits, vol. SC-14, pp. 375-383, 1979.
- [14] B. M. Wul and A. R. Shotov, "Multiplication of electrons and holes in p-n junction," Proc. Congress on Solid State Physics, pp. 135-141, 1958.
- [15] F. E. Holmes and C. A. T. Salama, "VMOS-A New MOS Technology," Solid-State Electron, vol. 17, pp. 1147-1154, 1974.
- [16] V. A. K. Temple and P. V. Gray, "Theoretical Comparison of DMOS and VMOS Structures for Voltage and On-resistance," IEDM Tech. Dig., Abstr. 4.5, pp. 88-92, 1979.
- [17] S. C. Sun and J. D. Plummer, "Modeling the On-resistance of LDMOS, VDMOS and VMOS Power Transistor," IEEE Trans. On Electron Device, vol. ED-27, pp. 356-367, 1980.
- [18] V. Benda et al., "Power Semiconductor Device: Theory and Application," JWS Press, pp. 91-100, 1999.
- [19] T. J. Rodgers et al., "An Experimental and Theoretical Analysis of Double-Diffused MOS Transistors," IEEE J. Solid-State Circuit, vol. SC-10, pp. 322-330, 1975.
- [20] C. Bassin et al., "High-Voltage Device for 0.5um Standard CMOS Technology," IEEE Trans. On Electron Device Letters, vol. 21, pp. 40-42, 2000.
- [21] J. Jang et al., "RF LDMOS Characterization and Compact Modeling," IEEE MTT-S Digest, pp. 130-150, 2001.
- [22] Eiji Takeda et al., "Hot-Carrier Effects in MOS Device," Academic Press, pp. 101-125, 1995.
- [23] Hussein Ballan and Michel Declercq, "High Voltage Device and Circuits in Standard CMOS Technologies," Academic Press, pp. 201-249, 1998.

- [24] Y. Taur and T. H. Ning, "Fundamentals of Modern VLSI Device," Cambridge University Press, pp. 77-91, 1997.
- [25] A. S. Grove, "Physics and Technology of Semiconductor Devices," JWS Press, pp. 315-322, 1967.
- [26] J. H. Huang et al., "A Physical Model for MOSFET Output Resistance," IEDM Tech. Dig., pp. 569-572, 1992.
- [27] M. K. Orłowski and C. Werner, "Model for the Electric Fields in LDD MOSFET's — Part II : Field Distribution on the Drain Side," IEEE Trans. On Electron Device, vol. ED-36, pp. 382-391, 1989.
- [28] K. W. Terrill et al., "An Analytical for the Channel Electric Field in MOSFET's with Graded-Drain Structure," IEEE Trans. On Electron Device Letters, vol. 11, pp. 440-442, 1984.
- [29] M. D. Pocha and R. W. Dutton, "A Computer-Aided Design Model for High-Voltage Double Diffused MOS (DMOS) Transistors," IEEE J. Solid-State Circuit, vol. SC-11, pp. 718-726, 1976.
- [30] K. Owyang and P. Shafer, "A New Power Transistor Structure for Improved Switching Performances," Int. Electron Devices Meeting Tech. Dig., pp. 667-670, 1978.

自 傳

1977 年，出生於台北市，一個充滿知性與感性的地方。我有個溫馨的家庭，成員包括父母親、姐姐還有我，也許因為父親以前是老師的緣故，從小對我們小孩子的教育也格外重視，父母提供了一個良好的讀書環境讓我們一直都可以安心的專注於課業，我想這應該是我們很幸福的地方吧！

就像一般城市裡的小孩，我自小就在聯考的壓力下長大。國中畢業後，考上了國立台北工專(現為台北科技大學)材料及資源工程科(前身為礦冶科)，在校期間，習得了很多材料方面的專業知識，舉凡較傳統的鋼冶、粉冶、物冶、焊冶、冶熱、鑄造、破壞分析、金屬組織學等，到精密的陶瓷材料、電化冶金、非鐵冶金、超合金及複合材料、雷射加工等材料科學導論相關科目，皆有深入的研究與實習，除了專業上的課程，在社團活動上也是活躍的一群，曾擔任過歷屆班代幹部及選過科學會總幹事等，專五那年拿到班模範代表，也為專科生涯劃下了完美句點。

畢業後，由於家庭經濟狀況不理想，沒有繼續求學深造，而選擇了進入社會，在 1999 年退伍後，由同袍介紹進入一家傳統機械工廠擔任品檢員的工作，期間累積了有關 ISO 品保的相關知識，數個月後接到了新竹聯華電子的應試通知，也正式開啟了我與半導體工業的不解之緣。

2000 年進入聯電先擔任 CRD 研究發展部的助理工程師，負責有關 0.13um Thin Film Cu 製程前段的各種分析與實驗，如 SOD、PECVD、SACVD 等 Low-K 薄膜特性的分析比較、TDS、SSM、FSM、FTIR、AFM、SEM，m-ELT 等儀器的操作與結果分析，期

間與工程師一同發表了有關改善低介電材料表面附著力的專利，隨後跨進了 90nm 的製程領域，協助研發 STI 的先進 Gap-fill process，評估 AMAT 及 NVLS 兩大廠的 One step gap-fill 製程能力，並與工程師發表數篇有關 STI 的專利，後期因為公司政策將竹科 CRD 移轉至南科，我選擇留在新竹並轉職到 FAB TF module 擔任 APCVD 及 SCRB 製程工程師，負責線上的 Process 改良與產品良率相關問題的解決，最後，內轉到了 WAT 部門，從事 Design rule、Testkey layout、WAT 量測與電性資料分析工作至今。

2009 年，受到同事及長官的鼓勵在職進修，報考了交通大學半導體專班，以第八名直接入取，兩年半的修業期間，習得了許多實用的半導體相關知識，也結交了許多業界的朋友，學期末經由恩師吳耀銓教授的悉心指導，發表 FD-MOS 製程之改善論文乙篇，並期許於 2011 年底順利取得碩士學位，以開啟我人生光明燦爛的未來。

