

# 國立交通大學

加速器光源科技與應用碩士學位學程

材料科學組

碩士論文

以凱文結構研究厚銅金屬墊層覆晶鉚錫接點在電遷  
移測試下不同階段的破壞模式

Study of electromigration failure mode in flip-chip  
solder joints with copper columns using Kelvin bump  
probes

研究生：何秉儒

指導教授：陳智 教授

李信義 博士

中華民國 101 年 8 月

以凱文結構研究厚銅金屬墊層覆晶鉚錫接點在電遷移測試下

不同階段的破壞模式

研究生：何秉儒

指導教授：陳智

李信義博士

國立交通大學加速器光源科技與應用碩士學位學程（材料組）

### 摘 要

隨著電子產品逐漸傾向輕、薄、短、小等趨勢，及具有更大效能的方向發展，3DIC 電子構裝技術勢必成為未來的主流。而隨著尺寸變小，低焊錫高度的焊錫接點則是 3DIC 的一個重要關鍵。由於電遷移在低焊錫高度的行為尚未十分清楚，因此我們使用 Sn2.3Ag，焊錫高度為 15  $\mu\text{m}$  的焊錫接點進行電遷移測試，觀察其破壞模式。為了精確的量測阻值的變化，我們使用了凱文結構，觀察不同阻值上升階段的破壞模式，其中包含阻值上升 3%、5%、10% 和 20% 不同階段，並使用電子顯微鏡來觀察微結構的變化，研究不同階段的破壞模式。其結果顯示，孔洞生成在介金屬化合物與金屬墊層之間，這與高 bump height 的破壞模式大不相同，因此本研究提供一個研究覆晶鉚錫接點電遷移測試破壞機制的系統性方法。另外，因晶片內部不同材料的熱膨脹係數會導致應力產生甚至彎曲。我們使用了國家同步輻射中心的八環 X 光繞射儀研究矽晶片在電遷移測試後所造成的應變變化，分析破壞模式與內部應變的變化是否具有一定的關連。

Study of electromigration failure mode in flip-chip solder joints  
with copper columns using Kelvin bump probes

Student : Ping-Ju Ho

Advisor : Dr. Chih Chen

Dr. Hsin-Yi Lee

Graduate Program for Science and Technology of Accelerator Light Source  
National Chiao Tung University



**ABSTRACT**

As electronic products become smaller but have higher performance, three-dimensional integrate circuit (3DIC) has received more attention recently. Low bump height microbump is the key interconnection technology to build up the 3DIC. However, the electromigration (EM) behavior in the low bump height solder is still unclear. In this study, the Sn2.3Ag solder joint which bump height is 15  $\mu\text{m}$  were used to observe the failure mode in the low bump height case. To precisely monitor the different stages of failure during accelerated EM testing, a specific Kelvin bump structure is designed and fabricated in these samples. While a  $1.17 \times 10^4 \text{ A/cm}^2$  current density was applied at  $150^\circ\text{C}$ , the microstructures at different stages with the 3%、5%、10% and 20% resistance increase were obtained by scanning electron microscopy (SEM). The resistance obtained by Kelvin bump structure showed three different stages, which differs from the results of traditional flip-chip solder joints. Voids formed in the interface of under-bump-metallization (UBM) and intermetallic compounds. With the proper designed Kelvin bump structure and well controlled test conditions, the different stages during EM test can be studied systematically. In this study, we also use x-ray diffraction in National Synchrotron Radiation Research Center (NSRRC) to study the strain change of silicon die after different current stressing time, to find out the relationship between strain and failure mode.

## 誌謝

秉儒能夠在兩年的研究生活中完成本研究，指導教授陳智老師功不可沒，在研究面臨瓶頸時提供寶貴的建議，並時常鼓勵學生，讓學生在一個非常良好的氣氛下做研究。除此之外，老師的身教更是給我們一個很好的榜樣，不僅在研究上積極認真的態度，在待人處事及各方面都是令學生非常欣賞的。老師對於學生的鼓勵，讓我在研究中更加有動力。感謝老師不斷的提供我們更加進步的機會，除了演講，甚至到國外去參加國際會議，增加我們的視野，與各國的研究精英做交流。十分感謝老師對學生們的照顧與指導，在此特別感謝老師讓我完成我的碩士研究。

剛進到陳智老師實驗室的時候，對一切都很不熟悉，但還好學長們都很親切好相處。當我遇到困難的時候都很樂意指導我，在實驗及課業上有什麼題也會與我討論，教導我，讓我可以更快進入狀況，真的是一個很棒的大家庭。翔耀學長不論在平常的實驗上或日常生活中都會給予我幫助，實驗室許多大小事都處理得很好，非常照顧學弟妹。元蔚學長在我的實驗上給了我很大的指導，帶領我做實驗並教我許多他的經驗，遇到困難的時候，學長也會與我討論，甚至在美國期間，會用視訊討論實驗。我很謝謝元蔚學長對我的指導，他是一個很厲害的人，細心且做事情都很有規劃，

是個很值得學習的榜樣。我也很謝謝學長常給予我鼓勵，在我進步的時候會誇獎我，也會給我信心。今天的碩士研究，要是沒有學長的帶領，不會這麼順利。宗寬學長除了在實驗方面給予我很多指導，更是一個很好相處的人，讓我在實驗室可以更加融入，過得很開心，時常熱心幫助學弟妹，是一個很好的學長，在參加 TMS 會議時也給了我很好的建議，是我很好的學長及朋友。一開始剛進實驗室時我非常害羞，以撒學長的開朗常讓我在實驗室笑得很開懷，漸漸不怕生。除了教我實驗，更重要的是他是一很關心我的人，當我在日常生活中遇到不如意時，經常與我分享很多生活上的意見，鼓勵我，真的是一個很貼心且心思細膩的學長，而且他在各方面也都表現得非常好，亦是我學習的榜樣，也謝謝他帶我加入查經班，讓我在心靈上層次上有所提升，每次的分享都是很棒的學習。右峻學長除了平時和我討論實驗教導我以外，也是一起吃美食的好夥伴，我實驗室的位子和學長同一間，總是讓我笑開懷，漢文學長在功課上給予我指教，平時也很照顧我，我心裡很感激，因為他外表總是酷酷的，但是又很照顧學弟妹，在我難過的時候會鼓勵我。此外，我很感謝右峻學長和漢文學長幫我們安排在美國 TMS 的行程，讓我擁有非常好的回憶，此生難忘。佳凌學姊在 SEM 方面給予我非常多的指教，是一個很認真值得學習的學姐。而學姐也十分照顧實驗室，時常默默幫我們維持實驗室的清潔，與學姐討論 X-ray 時，學姐也教的十分詳細，是個好學姐。很謝謝他對於我們的幫助，給予我們很

多方便，讓我們能夠更順利的完成研究。明鏞學長是個個性很單純的人，他很熱愛打排球，常帶給實驗室很多歡樂，讓我在實驗室都好開心。道奇學長和健民學長也時常給予我很多建議，像是工作或是實驗上，都很謝謝他們。之前和韋嵐學長一起修課的時候，有遇到不會的地方都很謝謝學長教我，和我討論，學長是一個非常認真且上進的人，也對我很照顧，很謝謝學長。最重要的是，今年和我一起打拼的五位同學，偉豪和俊毅除了在實驗上共同打拼之外，也時常幫我的忙，更是我談心的好夥伴，沒有你們我的生活會遜色很多，真的很高興能與你們一起打拼和玩樂。致嘉是一個很穩重且非常厲害的人，每次請教他問題的時候，他都會很細心的教導我，是一個很好相處的人，也是一個很好的實驗夥伴，很謝謝你這兩年來的幫忙。竣傑是我加速器的同學，還好有你，讓我不孤單，可以一起修課，也很謝謝你幫了我非常多忙，教導我很多東西，秉儒很謝謝你。玉龍是一個很貼心的學弟，常常都讓我覺得很窩心，態度認真負責，相信你以後會有所為的，祝福你。

在同步輻射方面我要先謝謝我的指導老師李信義博士，在我的碩士生涯給我很多指導，讓我可以完成我的碩士論文。此外，彥廷學長也在實驗上幫了我很多的忙，在課業上給予我很多指導，陪我拍 beam line，真的非常謝謝你。也要感謝世男及上睿學長在最後陪我做實驗，讓我順利完成我的碩士論文，你們常帶給實驗室歡笑，也讓我更融入實驗室。

我的口試委員台大化工的高振宏老師及清大化工的陳信文老師在口試的過程中給予了很多寶貴的意見，也給予我的論文很多指教與改進的地方，十分謝謝老師的參與及指導。

我的家人在我就讀研究所時，儘管不懂我研究的目標，可是還是給我心裡上與經濟上無條件、無上限的支持，讓我在研究的時候沒有後顧之憂，可以全力衝刺，真的非常感謝爸爸媽媽讓我可以單純當個學生，完成課業，謝謝你們，你們辛苦了。家總是我的避風港，最溫暖的地方，我好愛你們。也要謝謝許多研究所的朋友，常給予我鼓勵與建議，傾聽我說心事，陪我抒壓。

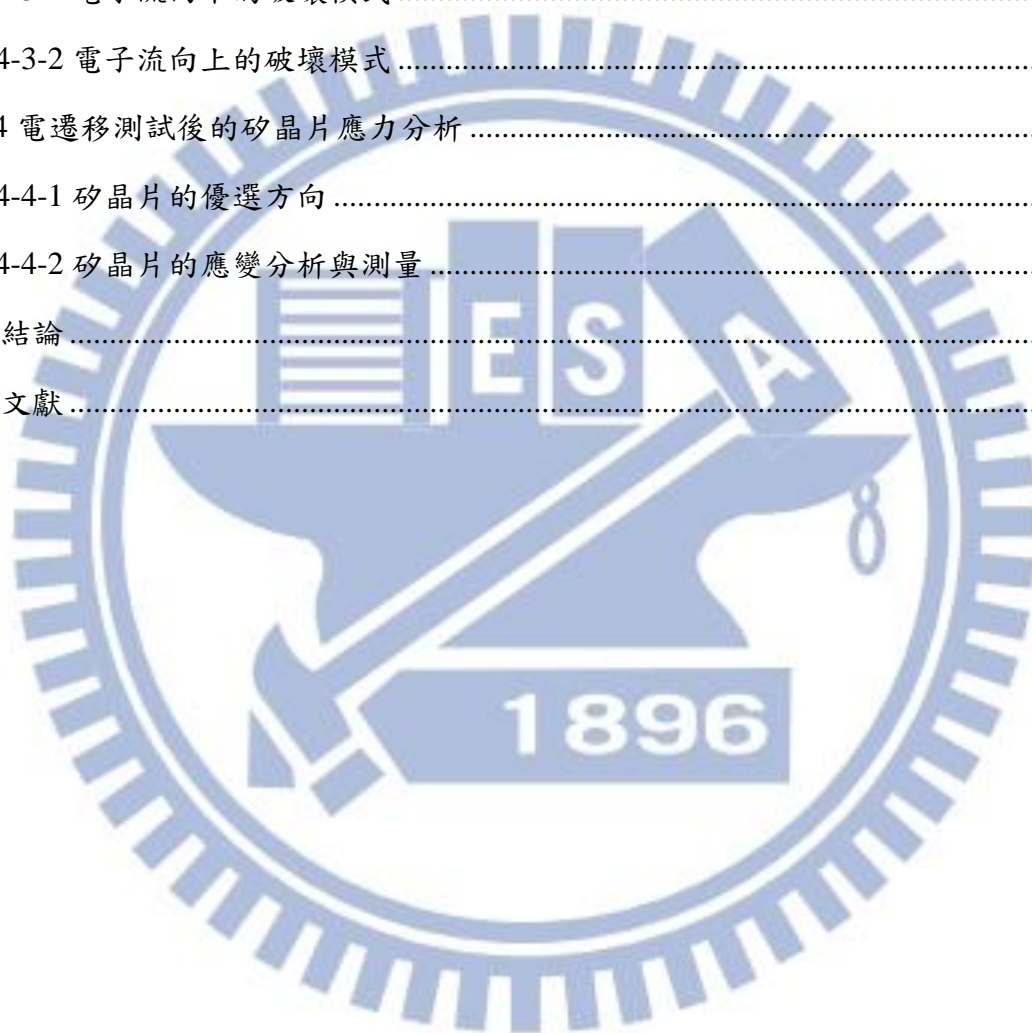
秉儒的碩士生涯要謝謝的人太多了，感謝曾經幫助過我的人，感謝我可以遇到這麼好的老師當指導教授，感謝我能在一個很棒的大家庭，感謝我在研究所遇到的每一個你，感謝實驗室的所有人，更感謝我的爸媽，我的家人，還有感謝我自己，完成了我的碩士論文。

# 目錄

摘要 .....	i
ABSTRACT .....	ii
誌謝 .....	iii
目錄 .....	vii
圖目錄 .....	ix
第一章、緒論 .....	1
第二章、文獻回顧 .....	6
2-1. 電遷移理論 .....	6
2-2 銲錫凸塊的電遷移行為 .....	7
2-3 電流集中效應 (Current crowding effect) .....	7
2-4 焦耳熱效應 (Joule heating effect) .....	8
2-5 電遷移造成銲錫接點孔洞的生成 .....	9
2-6 減緩電流集中效應的方法 .....	10
2-6-1 UBM 厚度的改變 .....	10
2-6-2 UBM 種類的變換 .....	11
2-7 同步輻射簡介 .....	11
2-8 矽晶片的應變變化 .....	12
第三章、實驗方法、步驟與結果 .....	20
3-1 試片製備 .....	20
3-2 實驗方法 .....	21
3-2-1. 以凱文結構各別量測銲錫凸塊 .....	21
3-2-2 電遷移的加速測試 .....	22
3-2-3 試片破壞模式的觀察 .....	23



3-3 利用同步輻射光源量測矽晶片的應變變化 .....	24
第四章 結果與討論 .....	28
4-1 以銅導線的 TCR effect 校正鉍錫球的溫度 .....	28
4-2 焊錫接點（電子流向下）電阻曲線圖分析 .....	29
4-3 破壞模式分析 .....	30
4-3-1 電子流向下的破壞模式 .....	30
4-3-2 電子流向上的破壞模式 .....	33
4-4 電遷移測試後的矽晶片應力分析 .....	35
4-4-1 矽晶片的優選方向 .....	35
4-4-2 矽晶片的應變分析與測量 .....	35
五、結論 .....	47
參考文獻 .....	50



## 圖目錄

圖1-1 各封裝層級示意圖.....	4
圖 1-2 打線接合示意圖.....	4
圖 1-3 覆晶接合(flip chip)示意圖.....	5
圖 2-1 原子受電子流驅動遷移示意圖.....	13
圖 2-2 SAC 鉚錫經過 1431 小時通電流 $1.68 \times 10^4 \text{ A/cm}^2$ ，孔洞生成於導線進入鉚錫處示意圖.....	13
圖 2-3 模擬鉚錫凸塊內因電流方向改變，造成電流集中效應示意圖.....	14
圖 2-4 有限元素分析鉚錫內部電流密度分布示意圖.....	15
圖 2-5 電流通過鋁導線因焦耳熱效應造成溫升示意圖 (a)未通電流 (b)通入電流 (c)溫度分佈.....	16
圖2-6 (a)模擬結果提出在鋁導線進入鉚錫交界有熱點存在示意圖 (b)以紅外線顯像儀量測因焦耳熱效應產生溫升，並驗證熱點存在示意圖.....	17
圖2-7 不同厚度銅墊層破壞情形示意圖(a) $5 \mu\text{m}$ 厚銅墊層施加 $2.25 \times 10^4 \text{ A/cm}^2$ 的破壞情形 (b) $10 \mu\text{m}$ 厚銅墊層施加 $3 \times 10^4 \text{ A/cm}^2$ 於 $100^\circ\text{C}$ ，100小時後的破壞情形 (c) $50 \mu\text{m}$ 厚銅墊層施加 $6.75 \times 10^4 \text{ A/cm}^2$ 於 $100^\circ\text{C}$ ，100小時後的破壞情形[17,18]..	18
圖 2-8 同步輻射涵蓋的電磁波示意圖[20] .....	19
圖 2-9 同步輻射光源所掃描的點 A,B,C,D,E 示意圖[23] .....	19
圖 3-1 鉚錫接點剖面示意圖.....	25
圖 3-2 鉚錫接點 SEM 影像圖.....	25
圖 3-3 凱文焊錫結構圖.....	26
圖 3-4 八環 X 光繞射儀示意圖.....	26
圖 3-5 矩形為 X 光掃描的點示意圖.....	27
圖 4-1 銅導線電阻對加熱爐溫度作圖，其熱電阻係數為 $3.87 \times 10^{-3} \text{ K}^{-1}$ .....	38
圖 4-2 焊錫接點(電子流向下)三個階段的電阻曲線圖.....	38
圖 4-3 未測試前的焊錫接點微結構剖面電子顯微鏡圖.....	39
圖 4-4 電子流向下的焊錫接點，阻值上升 3%的剖面電子顯微鏡圖.....	39
圖 4-5 電子流向下的焊錫接點，阻值上升 5%的剖面電子顯微鏡圖.....	39
圖 4-6 電子流向下的焊錫接點，阻值上升 10%的剖面電子顯微鏡圖.....	39

圖 4-7 電子流向下的焊錫接點,阻值上升 16%的剖面電子顯微鏡圖.....	40
圖 4-8 電子流向下的焊錫接點, 電阻上升 16%, 連續 Kirkendall void 生長在 $\text{Cu}_3\text{Sn}$ 和 Cu 墊層界面的放大剖面電子顯微鏡圖.....	40
圖 4-9 電子流向下的焊錫接點,阻值上升 20%的剖面電子顯微鏡圖.....	40
圖 4-10 電子流向下的焊錫接點, 阻值上升 20%, 連續 Kirkendall voids 生長在 $\text{Cu}_3\text{Sn}$ 和 晶片端 Cu 墊層界面的聚焦離子影像圖.....	41
圖 4-11 電子流向下的焊錫接點, 阻值上升 20%, micro voids 生成在晶片端鎳層和介金 屬化合物 $\text{Ni}_3\text{Sn}_4$ 界面的聚焦離子影像圖.....	41
圖 4-12 電子流向上的焊錫接點,阻值上升 3%的剖面電子顯微鏡圖.....	42
圖 4-13 電子流向上的焊錫接點,阻值上升 5%的剖面電子顯微鏡圖.....	42
圖 4-14 電子流向上的焊錫接點,阻值上升 20%的剖面電子顯微鏡圖.....	42
圖 4-15 電子流向上的焊錫接點, 阻值上升 20%, 柱狀 $\text{N}_3\text{P}$ 及垂直長條狀孔洞生成的放 大剖面電子顯微鏡圖.....	42
圖 4-16 電子流向上的焊錫接點, 阻值上升 20%, $\text{Ni}_2\text{SnP}$ 、 $\text{Cu}_3\text{Sn}$ 和 $\text{Ni}_3\text{P}$ 介金屬化合物的 放大剖面電子顯微鏡圖.....	43
圖 4-17 電子流向上的焊錫接點, 阻值上升 20%, 孔洞生長在基板端 $\text{Ni}_3\text{P}$ 和 $\text{Cu}_3\text{Sn}$ 界面 的放大剖面電子顯微鏡圖.....	43
圖4-18 為在不同加熱通電時間後, 各個不同位置的X光掃描之繞射峰圖(a) 位置-2.5 (b) 位置-1.25 (c) 位置 0 (d) 位置1.25 (e) 位置2.5 .....	44
圖4-19 為測試時間對各個不同位置的X光掃描之繞射峰角度做圖.....	45
圖4-20 為各個不同測試時間對應變做圖.....	45
圖4-21 為在不同加熱通電時間後, 各個不同X光掃描的位置對應變作圖.....	46

## 第一章、緒論

於1958年，J. Kilby和R. Noyce發明了第一個積體電路，在二十世紀徹底改變人們的生活。至今，積體電路的發展依然遵循著摩爾於四十年前所提出預測半導體成長趨勢的摩爾定律（Moore's Law），即每十八個月電路的複雜度會增加一倍。隨著晶片上的電路密度增加及各種需求，封裝技術日漸重要，因而發展出許多不同的封裝技術。依照不同的接合過程，其技術上大致分為三種不同的層級，如（圖1-1）所示[1]，封裝技術的層級如下：第一層級是將IC晶片黏著於封裝機板上並完成其中的電路連線與密封保護之製程（Chip to Module）；第二層級是將第一層次封裝完成的元件組合於印刷電路板上的製程（Module to PCB）；第三層級則是把數個電路板組合於主機板上（PCB to mother board）。

電子封裝主要目的有四：訊號的傳輸、電源的供應、散熱的功能、晶片的保護。而隨著電子產品越來越走向微小化，高效能化的發展，第一層級的封裝技術將面臨許多挑戰。為了縮小晶片體積及增加 I/O 數，傳統的打線接合（wire bonding）方式（圖 1-2）[2]，因僅可在晶片周圍連接導線，接點數目與晶片邊長有關。隨著晶片尺寸的微小化，打線接合方式無法提高接點密度的需求。而覆晶接合（flip-chip）方式如（圖 1-3）是利用焊錫凸塊朝下的接合方式，此技術最早來自 IBM 於 1960s 所發展的 C4 製程[3]，

利用陣列分布的高鉛錫隆點 (solder bump) 做接合，具有小體積、增加接合密度及自組裝 (self-alignment) 等優點，亦可減少材料、降低成本，之後廣泛發展與利用在電子商品上。

過去所使用的焊錫接點，大部份都含鉛，因添加鉛會有良好的物理、機械、等特性。但由於近年來，環保意識的抬頭，加上金屬元素「鉛」對人體有危害，因此世界各國對於電子產業提出「無鉛化」的要求。像是歐盟、日本及美國等，明文立法希望電子產品在製造過程中，不得添加鉛。因此，電子產業開始在覆晶焊錫封裝中使用無鉛焊錫凸塊，其中最常被使用的合金為：錫銅 (Sn-Cu) 合金、錫銀銅 (Sn-Ag-Cu) 合金以及錫銀 (Sn-Ag) 合金，所以無鉛焊錫對電遷移的影響及金屬墊層的冶金反應有了許多新的議題值得研究。本篇將探討使用無鉛焊錫 (Sn2.3Ag) 作為覆晶焊錫接點在電遷移測試下的破壞模式。

在電性量測方面，主要有兩種方法，一種為凱文錫結構 (Kelvin bump probes)，另一種為雛菊花環結構 (Daisy chain structure)。早在70年代就有人使用凱文結構在Al stripe上做電性分析，但卻很少使用在覆晶焊錫電性的相關研究。過去大多是利用雛菊花環結構做為覆晶錫接點電遷移研究中的電性觀測，但由於雛菊花環結構對於覆晶錫接點內的微小變化極不敏感，無法對於錫接點電阻變化做精確的觀測，僅可偵測到錫接點的破壞；而凱文錫結構可針對欲量測的指令範圍做電性的觀測，且可避除

接點電阻對電性量測的影響。由先前研究的結果顯示，可以利用凱文鉍錫凸塊結構精準量測電阻變化量，確實分辨出電遷移造成的不同階段孔洞成長[3]。因此本篇研究選用無鉛錫銀鉍錫作為電遷移測試接點，並使用凱文結構在150°C時外加1.8 A量測鉍錫凸塊的電阻變化，來討論在低鉍錫高度的焊錫接點在電遷移測試下對電遷移壽命與破壞模式的影響。由實驗結果顯示，其破壞模式和過去研究大不相同。在初始階段，因鉍錫轉換為介金屬化合物造成電阻逐漸上升，而之後電阻維持在一個定值，是因為焊錫已經完全轉換為介金屬化合物，具有良好的抗電遷移特性。最後階段，阻值又再次上升，其原因為電遷移所造成的孔洞而導致阻值上升。

此外，為了瞭解試片的破壞模式與矽晶片的應力是否有關係，我們使用了國家同步輻射中心光束線17B1實驗站的八環X光繞射儀，對不同加熱通電時間後的試片進行探討。其結果顯示焊錫接點內的破壞，並無發現因應變變化所造成的crack，而隨著加熱通電時間增長，應變變化會傾向less compressive。

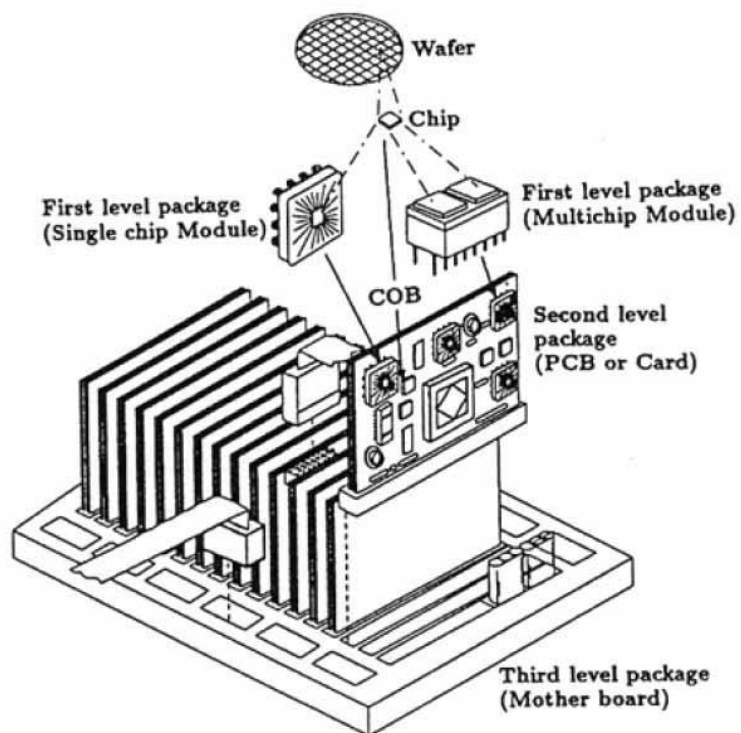


圖1-1 各封裝層級示意圖[1]

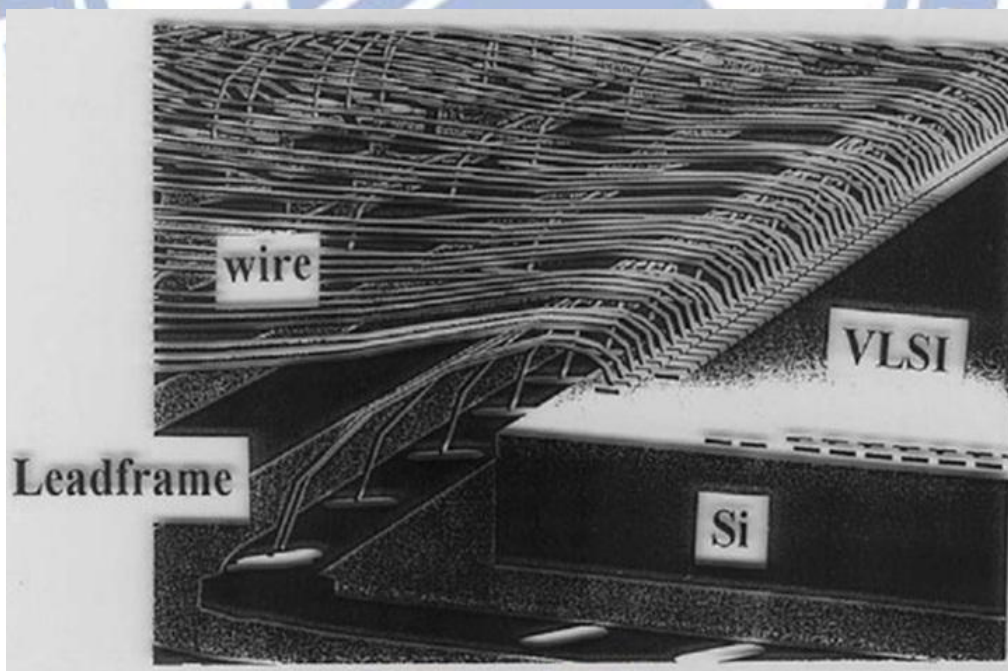


圖 1-2 打線接合示意圖[2]

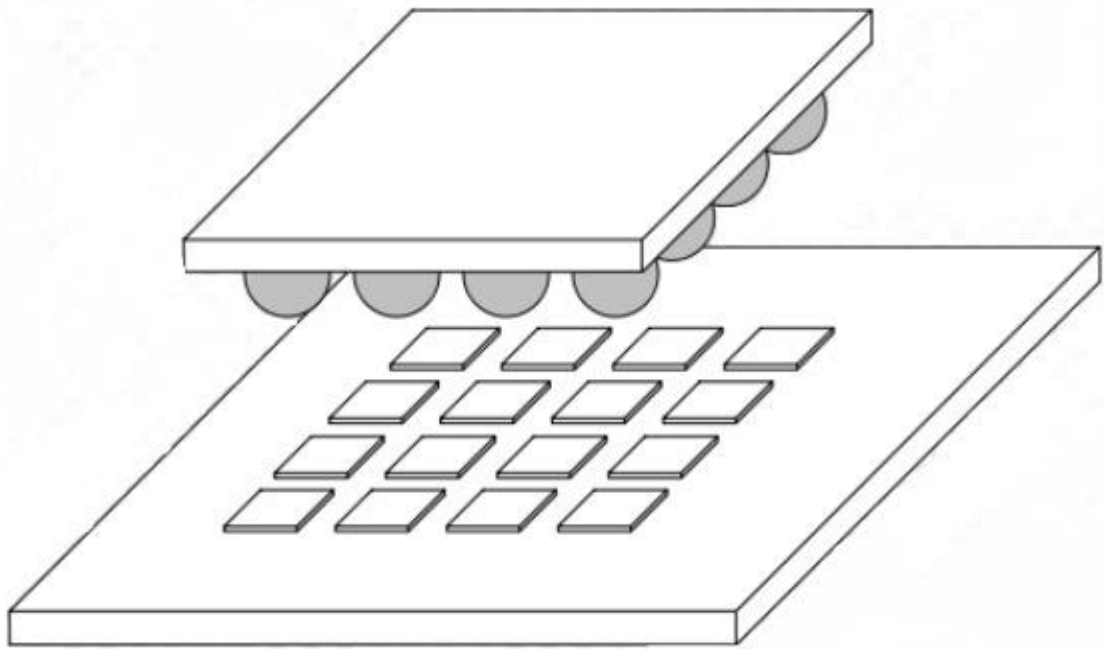


圖 1-3 覆晶接合 (flip-chip) 示意圖





## 第二章、文獻回顧

由於本研究著重在利用凱文結構 (Kelvin structure) 觀測覆晶錫銀鉛錫接點在不同阻值上升階段的破壞模式，故本章將回顧覆晶鉛錫接點受電遷移效應作用以及電性觀測的各項相關研究。首先是電遷移的基礎理論，接下來為覆晶鉛錫接點內的電遷移現象，並將鉛錫接點的孔洞破壞機制做簡單的介紹。之後將討論覆晶焊錫接點中，不可忽略的電流集中效應及焦耳熱效應。並以如何減緩鉛錫內部電流集中效應做回顧，最後將對同步輻射光源做簡單的介紹。

### 2-1. 電遷移理論

在 1861 年，Geradin 在熔化的錫鉛和汞鈉中發現因電場作用下產生的擴散現象，這種在金屬材料中施加一電場所造成原子移動稱之為電遷移。之後在 1914 年，Skaupy 提出電子風 (electron wind) 的觀念，如 (圖 2-1) 所示，來量化電遷移所造成的質量傳送。起初，電遷移的研究對象主要為金屬導線，以 Paul S. Ho 與 Thomas Kwok[4] 等人最具代表性。直到 1990 年晚期，因覆晶封裝開始被廣納採用，其電遷移現象也開始被討論，以 Tu K. N. 最具代表性。Seith 與 Wever 也以定位點 (marker) 的運動，來量測遷移的位移量。此方式在測量電遷移上，後來成為標準的方法。

電遷移效應指金屬導線在高電流密度下，高速的電子撞擊金屬原子，電子將足夠的動量傳遞給金屬原子，造成原子由陰極往陽極方向移動的質量傳送現象[5,6]。在電遷移作用下，陰極端會生成孔洞空孔，陽極端出現凸起或隆起物，使得導線斷路或短路而導致元件的失效與毀壞。

## 2-2 鐳錫凸塊的電遷移行為

在 2006 年，Kuo Ning Chiang, Chien Chen Lee 等人發表在 APL 的文獻中[7]指出，當無鉛鐳錫經過電作用後有明顯的孔洞生成與介金屬化合物聚集(圖 2-2)，鐳錫凸塊的電遷移行為所造成的破壞，不僅發生在鐳錫接點，也有可能同時發生在鋁或銅導線處。

目前，覆晶封裝已經被廣泛應用，然而隨著電子產品不斷的微小化及更大效能的趨勢，I/O凸塊數亦會不斷的增加，所負荷的電流會增加，電流密度變大，因此電遷移就將是一個非常值得重視的可靠度議題。

而由於覆晶鐳錫具有較複雜的幾何結構，電子從導線進入鐳錫凸塊時，所經過的截面積大小差距很大，造成在電流進入端附近有電流集中效應，並且局部溫度升高，加速電遷移的破壞。由於電流集中效應及焦耳熱效應對於覆晶鐳錫封裝的電遷移可靠度十分重要，會造成鐳錫凸塊不一樣的破壞模式，因此在下節將詳細討論。

## 2-3 電流集中效應 (Current crowding effect)

在 2005 年，T. L. Shao 等人[8]利用有限元素模擬分析法，研究鐳錫凸塊內部

的電流密度分布。其研究結果發現，大多數電流會流向靠近鋁導線與鋅錫凸塊的開口處之後再進入鋅錫凸塊，而不是均勻的散佈於界面處，故在鋅錫與UBM界面處形成了電流集中效應，其最大電流密度大於鋅錫內部的平均電流密度（圖2-3）。因此，鋅錫接點入口處容易發生電遷移所產生的破壞。

覆晶鋅錫凸塊的結構為鋅錫球連接到晶片端內連接線與基板端的導線。當電子流由導線進入鋅錫凸塊時，因內連接線的介面橫截面面積遠小於焊錫凸塊，因此在介面處會有相當大的電流密度改變，導致電流集中在電流進入鋅錫凸塊的入口處。

在Everett C. C.等人的研究中[9]，也有提到因導線與鋅錫凸塊幾何形狀的差異造成鋅錫凸塊內部的電流集中情形，其鋅錫內部電流密度分布分析結果如（圖2-4）所示。並由實驗的結果證實，此現象會造成鋅錫凸塊中電流集中處有孔洞生成，使得鋅錫在電遷移可靠度測試的結果不如預期。

## 2-4 焦耳熱效應（Joule heating effect）

在1841年，James Prescott Joule發現焦耳熱效應[10]，其焦耳熱效應是因電子通過一電位差為V的電場時會受到電場的加速，電子與周圍原子發生碰撞造成一些能量損失，之後轉變為熱能而導致溫度上升。其熱能可以被表示為：

$$P = I^2 R = \frac{V^2}{R}$$

其中P為熱能，I為電流，R為電阻，V為電位差。

由於連接覆晶鉍錫的鋁導線電阻值遠大於鉍錫接點及下方的銅墊層與銅導線的電阻，因此最主要的熱源是來自鋁導線[11]如（圖2-5）。所以在電遷移測試時，鉍錫凸塊內的溫度可能會因為焦耳熱效應而比外圍環境的溫度高的許多。在過去文獻中，L. Zhang等人指出[12]，在電遷移測試下，若通過覆晶鉍錫接點的電流大小為1 A甚至更大，就不可忽略焦耳熱效應所造成的影響。

而在2006年，S. H. Chiu與C. Chen等人[13]，由模擬結果發現當焊錫接點在通電作用下，在鋁導線進入鉍錫交界處有熱點存在如（圖2-6），此焦耳熱效應將進一步造成電阻上升。因此提出利用紅外線顯像技術量測焦耳熱效應所造成的溫升，並發現主要發熱源的確來自於鋁導線。因此，我們可以經由焦耳熱效應的校正，在推求Black's equation的n與活化能Q上，可以更接近鉍錫真實的情況。

## 2-5 電遷移造成鉍錫接點孔洞的生成

發表於2001的JAP[14]，T.Y. Lee與K.N. Tu在覆晶接點裡使用厚膜的無電鍍鎳作為UBM，與電鍍厚膜銅作為基板側的墊層，進行電遷移測試。結果發現到厚膜無電鍍鎳UBM快速反應溶解，使得介金屬化合物迅速成長，產生孔洞。

W. J. Choi與K. N. Tu等人在2003的JAP[15]，利用薄膜Al/Ni(V)/Cu

UBM 的覆晶銲錫試片做研究。將共晶錫鉛試片通以不同的電流密度及不同溫度的加熱板上，進行電遷移可靠度測試。發現在晶片與銲錫界面有孔洞的生成，而當孔洞整個生成占據接觸面時，會導致電阻快速上升，形成斷路。

Y. W. Chang 與 C. Chen 於 2007 年發表於 APL[16]的研究，為利用凱文結構及三維模擬，來研究電遷移造成覆晶銲錫接點中孔洞的形成。其結果顯示出，凱文結構可以精確性的符合研究孔洞的生成與生長的需求，且可以利用電阻的變化量，來確實分辨出電遷移造成的不同階段孔洞成長，其模擬結果也與實驗符合。因此本研究亦藉由不同阻值上升變化及微結構的對照，來判斷不同階段的孔洞生成。

## 2-6 減緩電流集中效應的方法

### 2-6-1 UBM 厚度的改變

根據文獻[17,18]中，Jae-Woong Nah 等人使用不同厚度的銅墊層在 20  $\mu\text{m}$  銲錫凸塊上進行電遷移測試(圖 2-7)。其中銅墊層的厚度分別為 5  $\mu\text{m}$ 、10  $\mu\text{m}$ 、50  $\mu\text{m}$ ，並利用數值模擬銲錫凸塊的電流密度分佈情形。結果發現當銅墊層的厚度增加，銲錫凸塊內部的電流密度越均勻。其中 50  $\mu\text{m}$  厚的銅墊層，電流集中效應已由銲錫凸塊和銅墊層的界面轉移至厚銅金屬墊層內部，其實驗結果也顯示出其破壞模式為銅墊層的快速溶解，與大量介金屬化合物的生成，並非因電遷移效應所造成，反而是伴隨著熱遷移現象取

代電流集中效應而影響可靠度。因此，當銅墊層越厚有越長的 MTTF，也可以抵抗電流集中效應引起電遷移破壞。

## 2-6-2 UBM 種類的變換

T. L. Shao 等人[19]利用模擬的方法，使用五種不同結構的晶片端 UBM 來探討錒錫凸塊的電流密度分佈情形，五種 UBM 分別為薄膜：Ti /Cr-Cu / Cu、Al / Ni (V) / Cu；厚膜：Cu、Ni、Cu / Ni。藉由 crowding ratio 的大小來評斷抗電遷移的能力。研究中 crowding ratio 定義為最大電流密度除以 UBM 處的平均電流密度，其 crowding ratio 大小順序是 Ti / Cr-Cu / Cu > Al / Ni (V) / Cu > Cu > Ni > Cu / Ni。因此實驗結果發現厚膜 UBM 可以有效的減緩電流聚集效應，增加抗電遷移的能力。而本研究所使用 UBM 為 Cu/Ni，由此篇文獻可知其 crowding ratio 最小。

## 2-7 同步輻射簡介

同步輻射光源是根據電磁學的理論藉由電子以接近光速飛行，受到磁場的作用而發生偏轉時，因相對論效應沿著偏轉的切線方向，所放射出的薄片狀電磁波，為一連續波長的電磁波。其中涵蓋紅外光、可見光、紫外光及 X 光等如（圖 2-8）所示[20]。因為同步輻射具有高強度、連續波長、高準直性、光束截面積小、等特性，因此同步輻射可以廣泛地被運用在各個領域上。

## 2-8 矽晶片的應力變化

在 1989 年，Gee 等人[21]利用應變規來量測晶片端的表面在熱震下的應力變化，其結果顯示出在矽晶片的中間點具有最高的應力，其餘的地方應力為均勻的。為了可以更精確的量測到晶片端內部的應力，Ho 等人[22]利用疊紋干涉技術來分析覆晶焊錫的矽晶片從高溫冷卻後的應變分佈。

A. T. WU 等人在 2009 年發表於 JEM 的研究[23]，是利用同步輻射光源量測矽晶片在不同熱及電的效應下，矽晶片的應變變化。為了瞭解矽晶片在各點的應力分佈為何，作者在矽晶片上分別取五個點 A、B、C、D、E（如圖 2-9），其結果發現在溫度越高所測出的 out of plane 應變分佈曲線越 less compressive，其中間點具有最大應力。因此在本研究中，將對於矽晶板及高分子板（FR5）的熱膨脹係數不同，可能造成的應變分佈變化來做探討，並了解是否會對焊錫接點造成破壞。

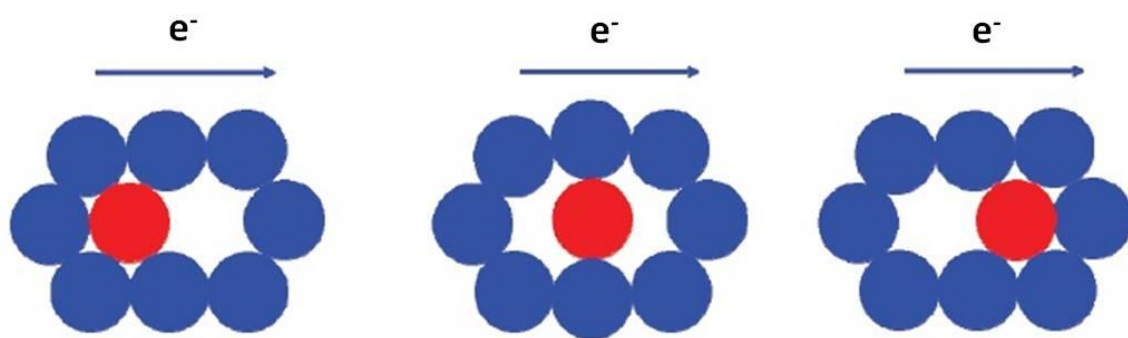


圖 2-1 原子受電子流驅動遷移示意圖

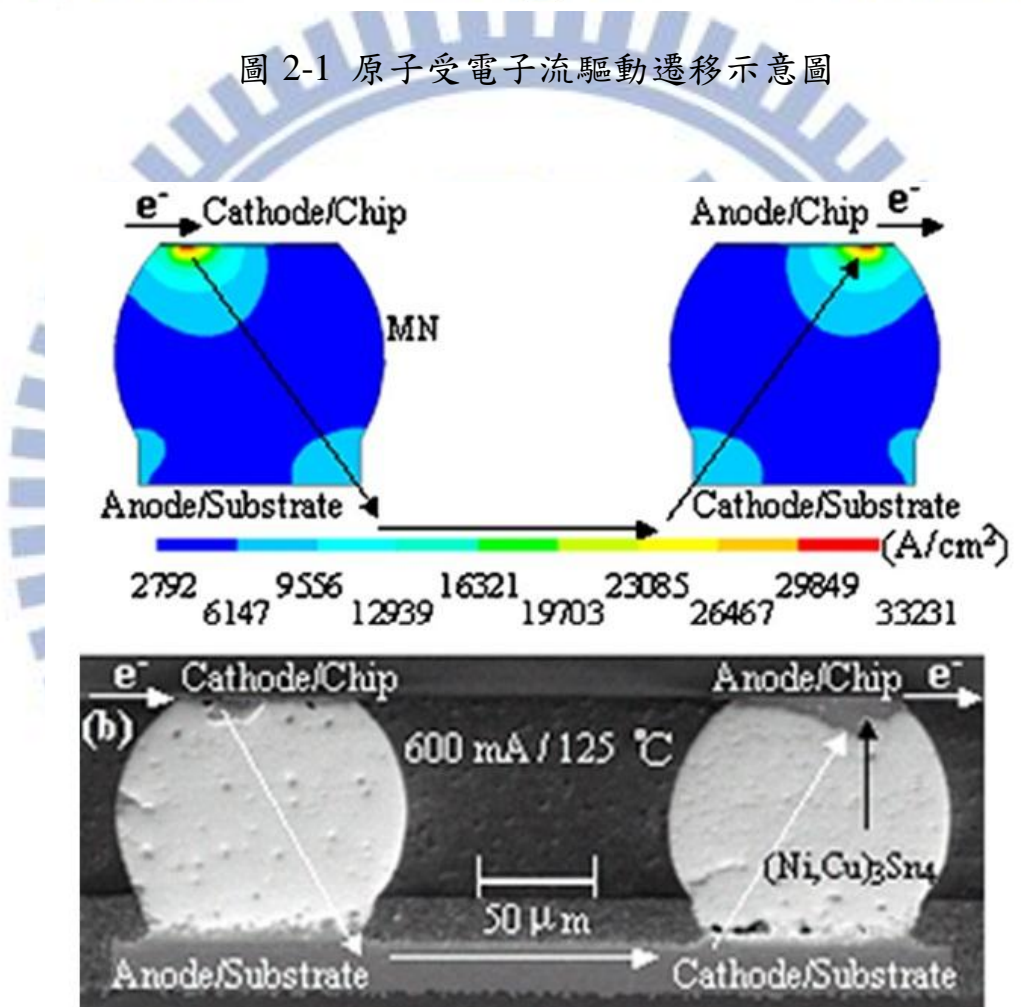


圖 2-2 SAC 鉍錫經過 1431 小時通電流  $1.68 \times 10^4 \text{ A/cm}^2$ ，

孔洞生成於導線進入鉍錫處示意圖[7]



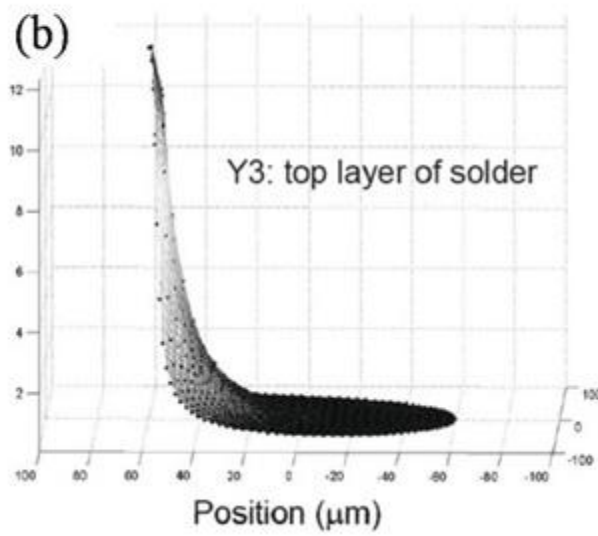
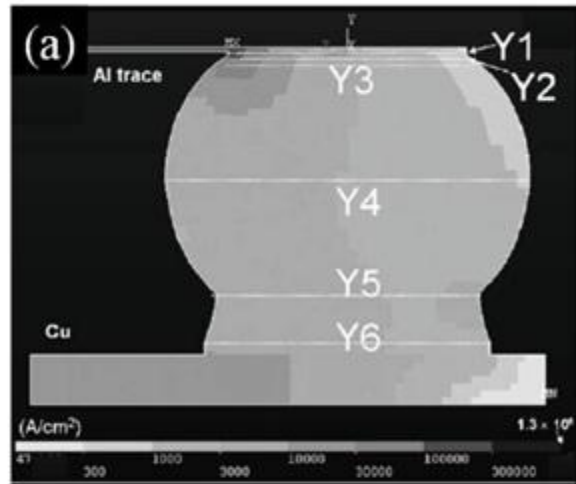


圖2-3 模擬鉛錫凸塊內因電流方向改變，造成電流集中效應示意圖

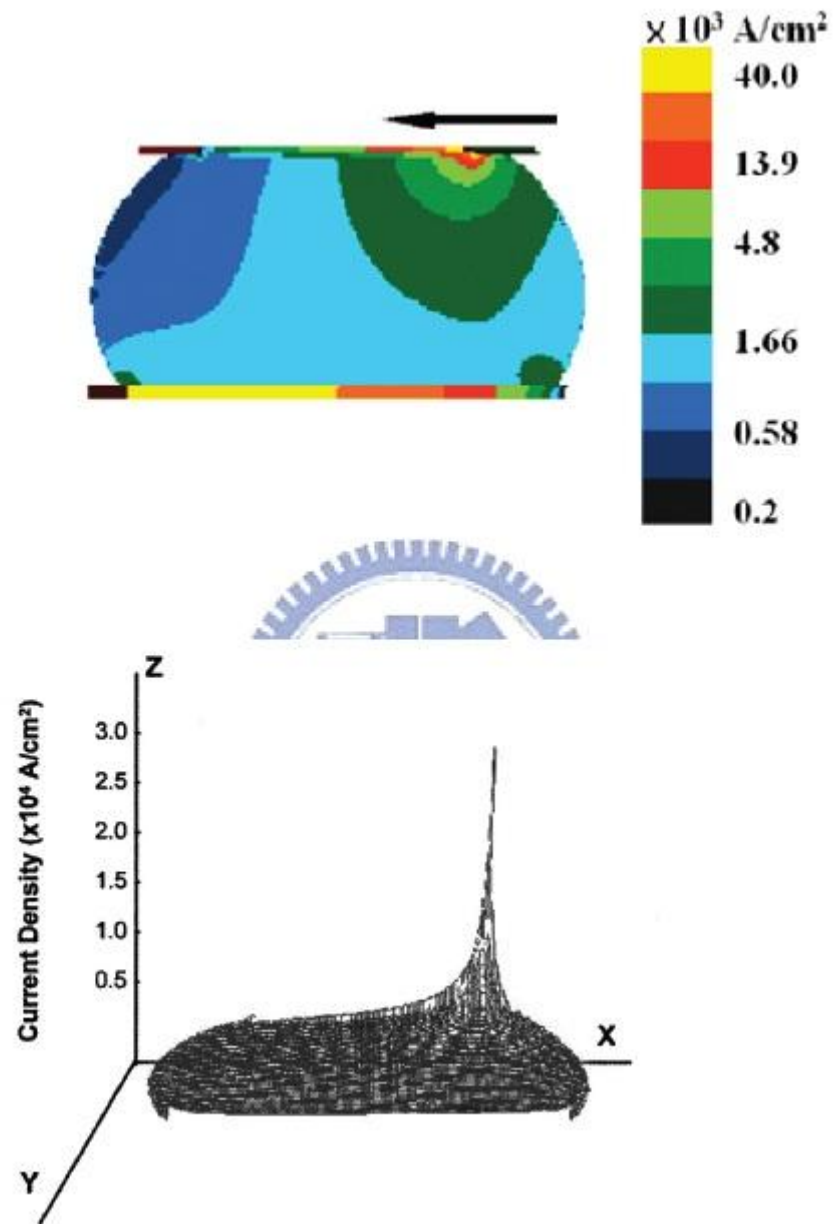


圖 2-4 有限元素分析鉛錫內部電流密度分布示意圖[9]

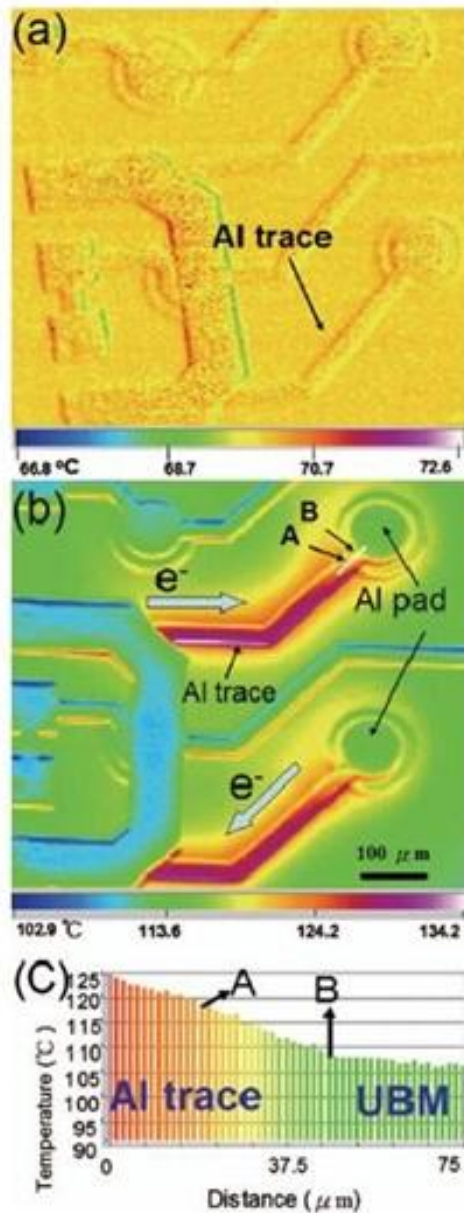


圖 2-5 當電流通過鋁導線，產生焦耳熱效應造成溫升示意圖[11]

(a)未通電流(b)通入電流(c)溫度分佈

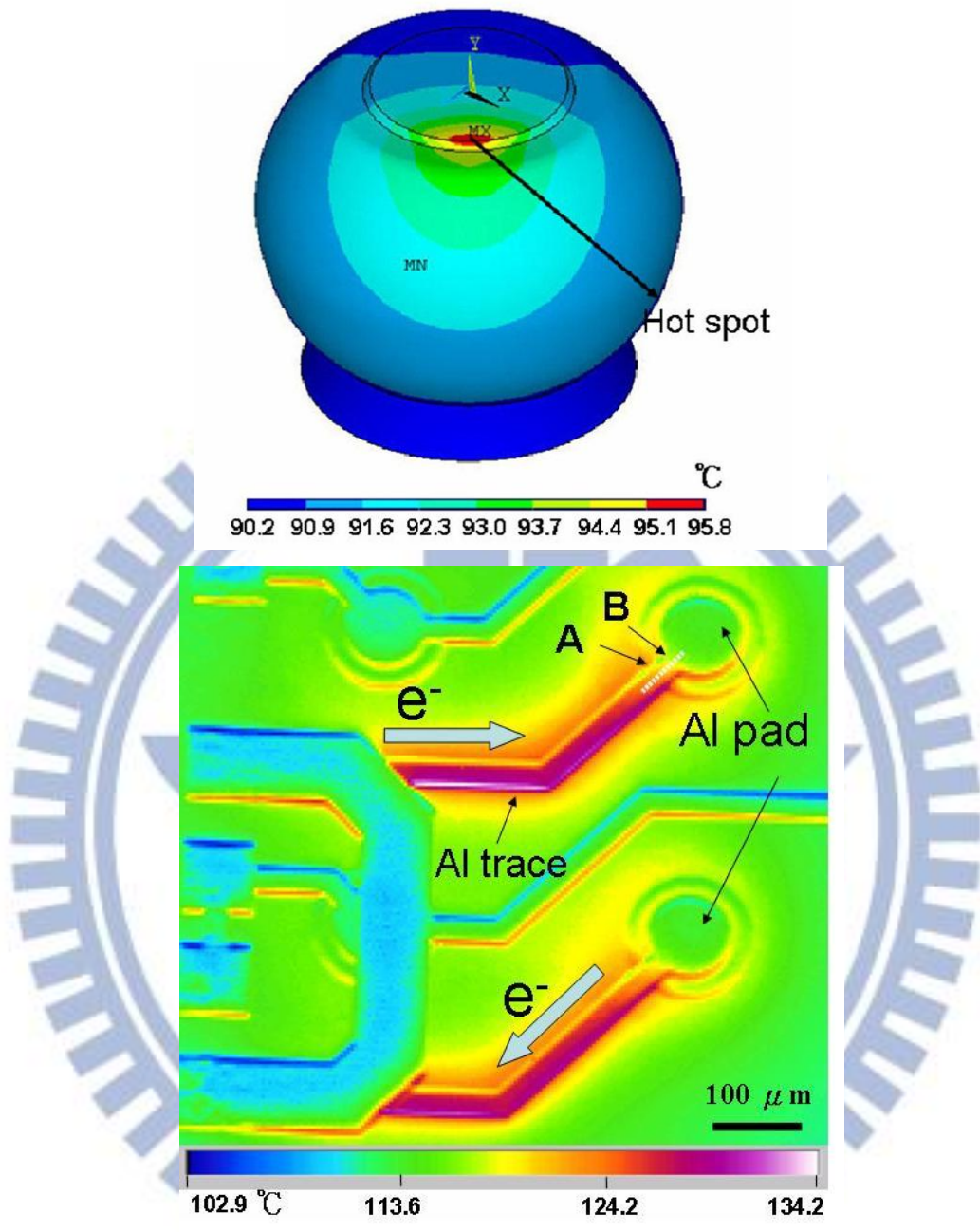


圖2-6 (a)模擬結果提出在鋁導線進入鋅錫交界有熱點存在示意圖(b)以紅外線顯像儀量測因焦耳熱效應產生溫升，並驗證熱點存在示意圖[13]

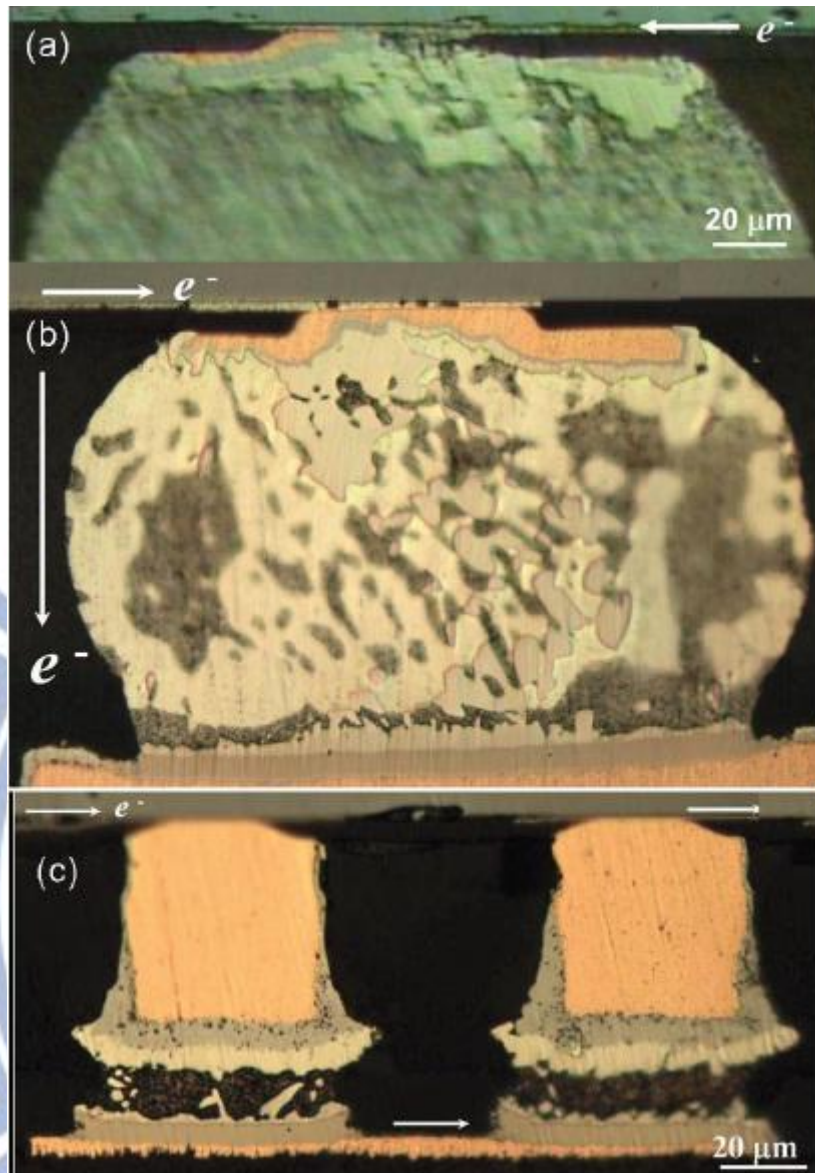


圖2-7 不同厚度銅墊層破壞情形示意圖 (a)5  $\mu\text{m}$ 厚銅墊層施加 $2.25 \times 10^4$   $\text{A}/\text{cm}^2$ 的破壞情形 (b)10  $\mu\text{m}$ 厚銅墊層施加 $3 \times 10^4$   $\text{A}/\text{cm}^2$ 於 $100^\circ\text{C}$ ，100小時後的破壞情形 (c)50  $\mu\text{m}$ 厚銅墊層施加 $6.75 \times 10^4$   $\text{A}/\text{cm}^2$ 於 $100^\circ\text{C}$ ，100小時後的破壞情形[17,18]

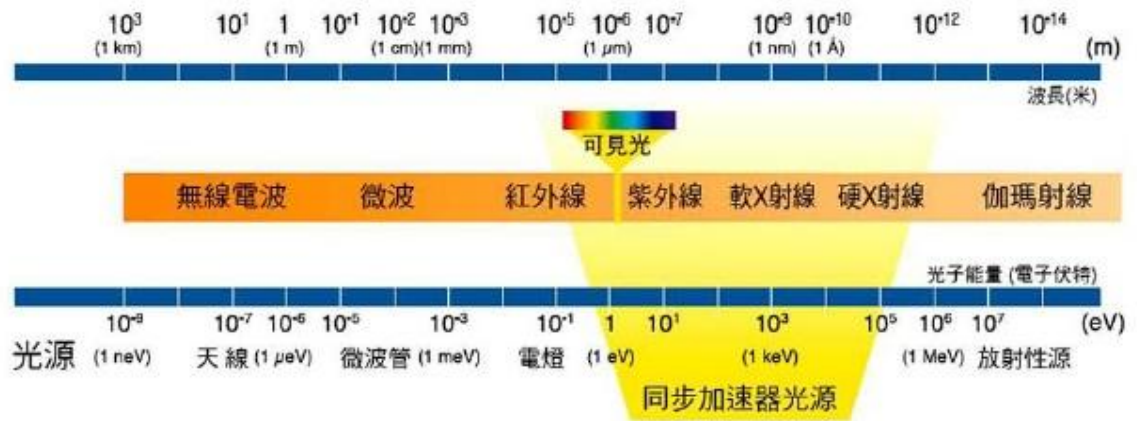


圖 2-8 同步輻射涵蓋的電磁波示意圖[20]

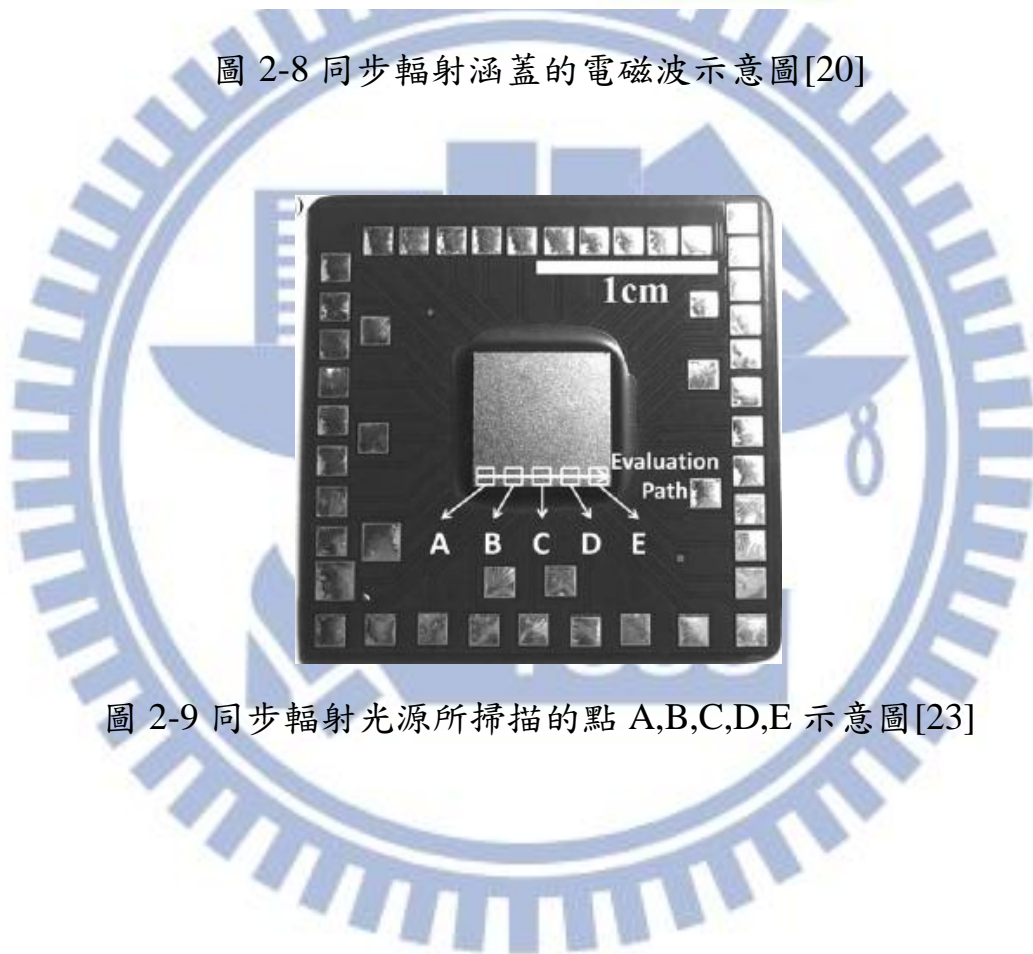


圖 2-9 同步輻射光源所掃描的點 A,B,C,D,E 示意圖[23]

## 第三章、實驗方法、步驟與結果

在本章節中，一開始會先介紹試片及其內部的單顆錒錫結構，接下來將介紹如何利用凱文錒錫結構做量測，電遷移測試的實驗方法及步驟。最後將介紹分析電遷移破壞模式的方法，及如何藉由許多儀器得到本研究的成果。另外，利用同步輻射光源量測矽晶片經電遷移測試後，應變的變化之實驗方法也會詳細介紹。

### 3-1 試片製備

在本研究所使用的覆晶焊錒結構示意圖如（圖 3-1、圖 3-2）所示。此焊錒結構為 copper column 結構，其 UBM（under-bump metallization）的種類為 Cu column / Ni，厚度分別為  $50\ \mu\text{m}$  /  $3\ \mu\text{m}$ ，其中  $50\ \mu\text{m}$  厚的 Cu 與  $3\ \mu\text{m}$  厚的 Ni 則是電鍍而成。以黃光顯影的方式定義出開口大小，再用濕式蝕刻法，定出 UBM opening 為  $150\ \mu\text{m}$ 。使用無鉛焊錒 Sn2.3Ag 做為焊錒接點，其焊錒高度為  $15\ \mu\text{m}$ 。先利用電鍍將錒錒固定在 UBM 所在，迴焊約 1 分鐘，其介金屬化合物為層狀  $\text{Ni}_3\text{Sn}_4$ ，厚度約為  $1.5\ \mu\text{m}$ ，而上方的銅導線寬為  $115\ \mu\text{m}$  厚  $5\ \mu\text{m}$ 。

基板的部份，使用 FR5 基板，而其接著的銅墊層之上為  $5\ \mu\text{m}$  的無電鍍鎳、 $1\ \mu\text{m}$  金。除此之外，我們在晶片端靠近銅導線的位置設置了一個 micro

thermal sensor，用來測量在通電及加熱的效應下，其內部的真實溫度，幫助我們在電遷移測試下了解焊錫內部的溫度情況，以達到最精準的測量。

## 3-2 實驗方法

### 3-2-1 以凱文結構各別量測鉛錫凸塊

本節將介紹電遷移測試的凱文結構圖，並簡單敘述量測的方法。本研究中電遷移測試的凱文焊錫結構圖如（圖 3-3）。我們將通電的兩顆焊錫球分別標示為 b1、b2，鉛錫球間間距為 800  $\mu\text{m}$ 。在晶片端以一條寬度 100  $\mu\text{m}$  厚 5  $\mu\text{m}$  的銅導線連接到鉛錫球上端的銅墊層並將其串連一起。晶片端的 b1、b2 焊錫各連接著一條銅導線，標示為 n1、n4。在 FR5 基板端則有兩條銅線分別連接至各個鉛錫球下，銅導線厚 20  $\mu\text{m}$ ，寬 100  $\mu\text{m}$ ，依序標示為 n2、n3、n5、n6，利用此六條銅導線不同的連接方式可以分別量測到 b1、b2 的單顆鉛錫電阻。

將試片通以電流，電子流由 n1 往上通過 b1，然後經過銅導線，往下通過 b2，最後經由 n4 離開。在通電的同時，電子流在焊錫 b1 中的方向為基板端流向晶片端，在焊錫 b2 中則為晶片端流向基板端。我們可以藉由量測 n2 和 n3 的電壓降而得知焊錫 b1 的電阻變化情形。焊錫 b2 的電阻變化情形則藉由量測 n5 和 n6 的電壓降而得知。如此的量測方式，可以在電遷移發生的過程中，即時偵測單顆鉛錫球的電性變化。根據先前的研究結果，因為電流集中效應，電遷移破壞大多發生電子流向下（電子流方向由晶片端



往基板端)的焊錫接點上。所以本研究將著重在 b3 的電阻及微結構的變化，並將 b3 電阻上升至初始值的 1.2 倍時，定義為電遷移破壞。

### 3-2-2 電遷移的加速測試

為了研究覆晶鉅錫在低鉅錫高度下的電遷移破壞模式，我們使用前面所介紹的試片做測試。首先使用切割機將試片切一半，取用試片的下半部凱文焊錫結構，而為了確保切割後的試片大小相同，再使用研磨機磨至相同高度。之後將欲量測的線路使用錫鉛焊錫焊接，待用thermal couple量測加熱板達到所需溫度後才可將試片放置加熱板上，並以耐熱膠將試片平坦固定好，以確保試片均勻受熱。使其aging一小時後，待穩定後再施以電流進行測試。

我們使用了四點量測來測量在前文中所提及的覆晶無鉛 Sn2.3Ag 鉅錫的電阻值。其電遷移測試的條件為在 150°C 的加熱板上通以 1.8 A 的電流，電流流經的迴路與量測的位置如 3-2-3 所述。根據 UBM opening 為 75  $\mu\text{m}$  做考量，其對應的電流密度為  $1.17 \times 10^4 \text{ A/cm}^2$ 。在電遷移測試中，量測 b1、b2 的鉅錫電阻與整個迴路上的總電阻，在 b2 鉅錫電阻上升到 b2 初始電阻的 1.03、1.05、1.10、1.20 倍時，停止通電並取下試片，之後再將試片磨開、拋光後，使用電子顯微鏡觀察其微結構的變化，比較不同階段的剖面圖來研究出其破壞模式。

### 3-2-3 試片破壞模式的觀察

本節主要介紹將試片進行電遷移測試後，利用微結構分析各個不同階段的破壞模式。首先將試片依序以不同號數的 SiC 砂紙做研磨，其順序依序為 1000、2500、4000 側向研磨至接近電遷移測試的鐳錫球中間點，再依序以 1  $\mu\text{m}$ 、0.3  $\mu\text{m}$  氧化鋁粉進行拋光。為了防止試片氧化，及增加 SEM 觀測時的導電性，我們將拋光好的試片濺鍍上一層 Pt 膜，藉由光學顯微鏡（OM）、JEOL 6500 掃描式電子顯微鏡（SEM）來觀察其微結構的變化，並利用 X 光能量分佈圖譜（EDS）來鑑定試片特定區域或相的組成。



### 3-3 利用同步輻射光源量測矽晶片的應變變化

為了探討矽晶片的應變變化是否與電遷移有關，我們將電遷移測試後的試片利用國家同步輻射中心光速線，17B1實驗站的八環光繞射儀，如（圖 3-4）所示。其所用的光速線為單色光，能量為8 KeV，波長為 $1.55 \text{ \AA}$ ，光子通量（photo flux）為 $5 \times 10^{11}$  photon/sec，光速線截面積的大小為 $500 \mu\text{m} \times 700 \mu\text{m}$ （V×H），在10 KeV下能量解析度 $\Delta E/E=10^{-4}$ 。

我們將矽晶片取五個點，分別將其位置令為-2.5、-1.25、0、1.25、2.5，其間隔為1.25 mm（如圖 3-5），其矩形為 X 光繞射掃描的點。掃描範圍從 20 度到 70 度，每間隔 0.05 度為一點，每點積分兩秒鐘。找到矽晶片的繞射峰後，再對其繞射峰做細掃，掃描範圍為繞射峰值的 $\pm 0.05$  度，打 20 個點，每點收 0.5 秒鐘之後再將掃描得到的數據利用 peakfit 軟體去分析。此軟體是以羅倫茲-高斯（Lorentz-Gaussian）方程式去契合，其信心程度（confidence limit）至少達 99.5% 以上，再將得到的數據進行處理及計算。

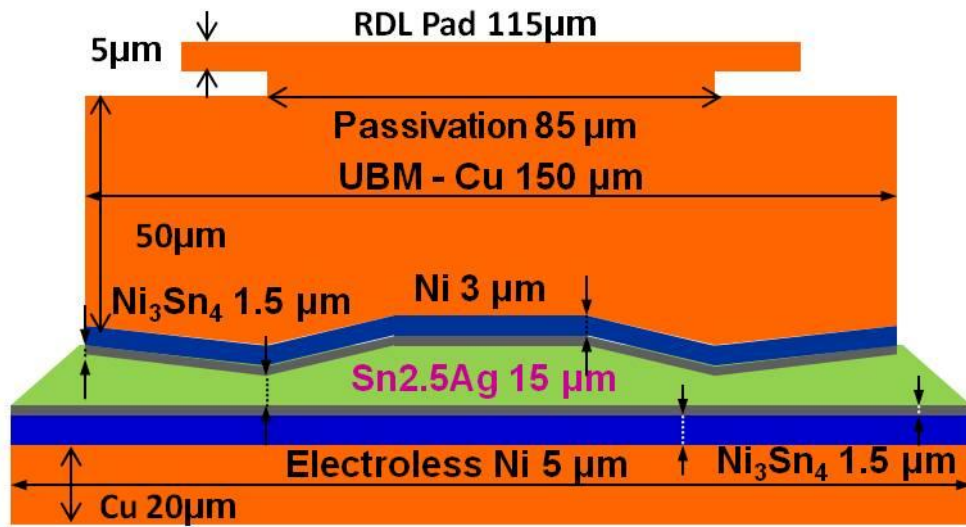


圖 3-1 銲錫接點剖面示意圖

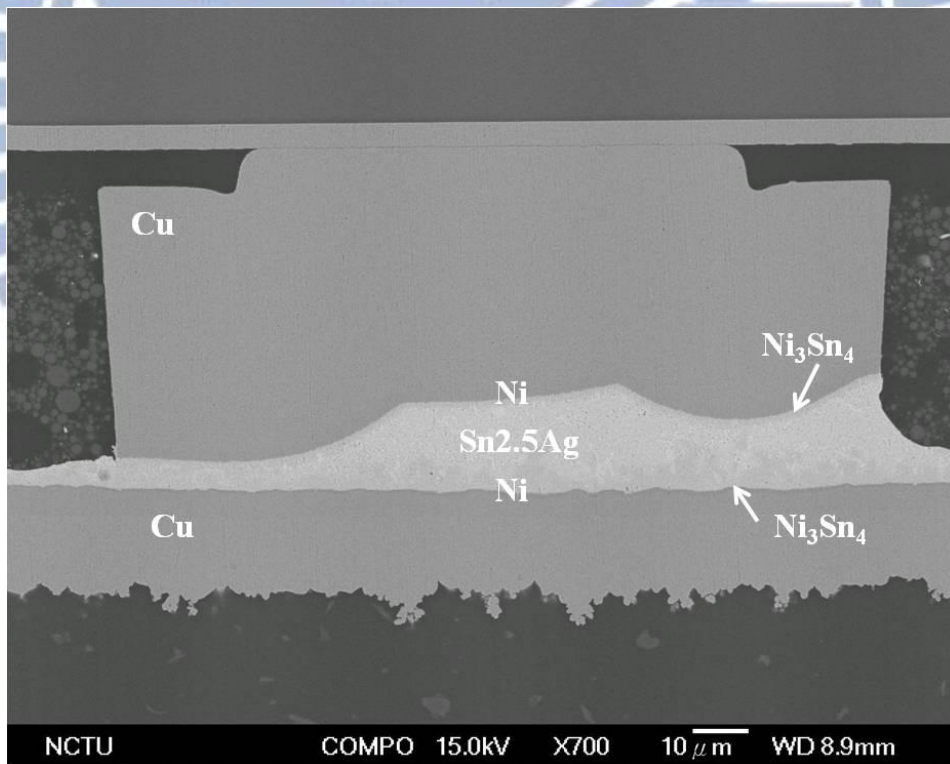


圖 3-2 銲錫接點剖面 SEM 影像圖

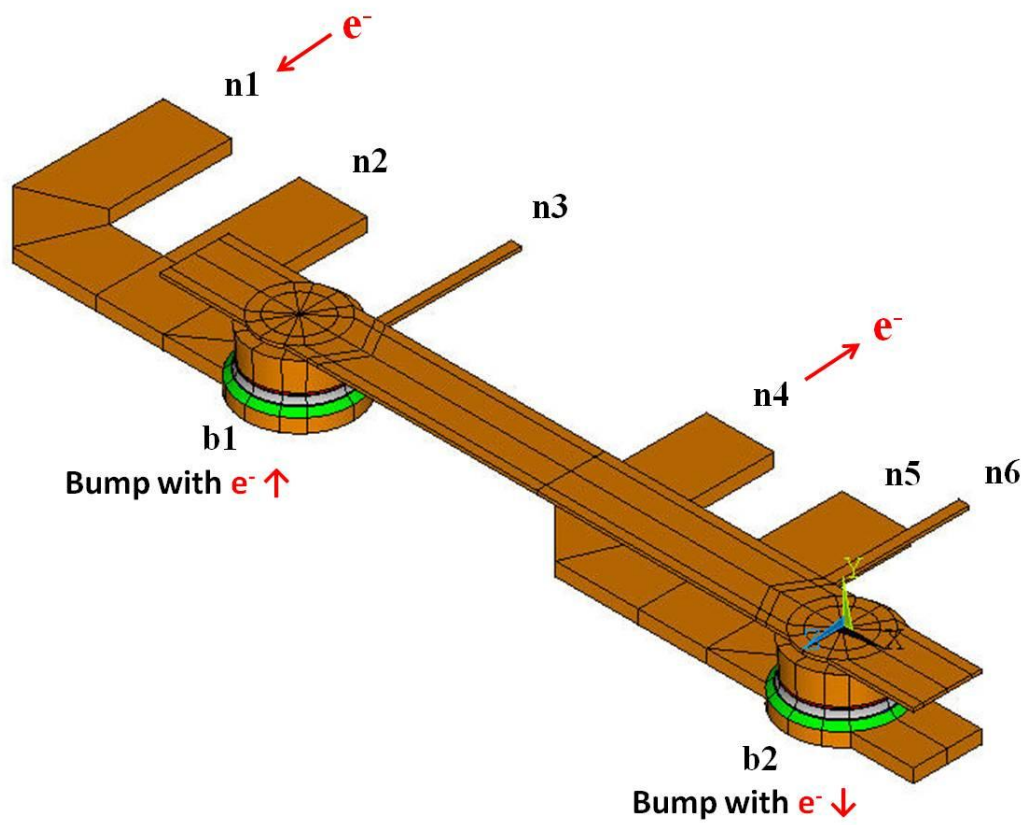


圖 3-3 凱文焊錫結構圖

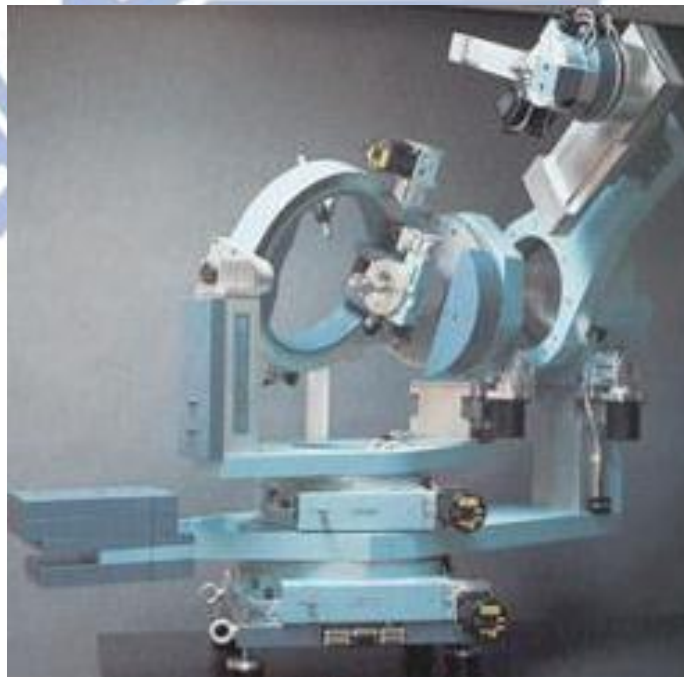
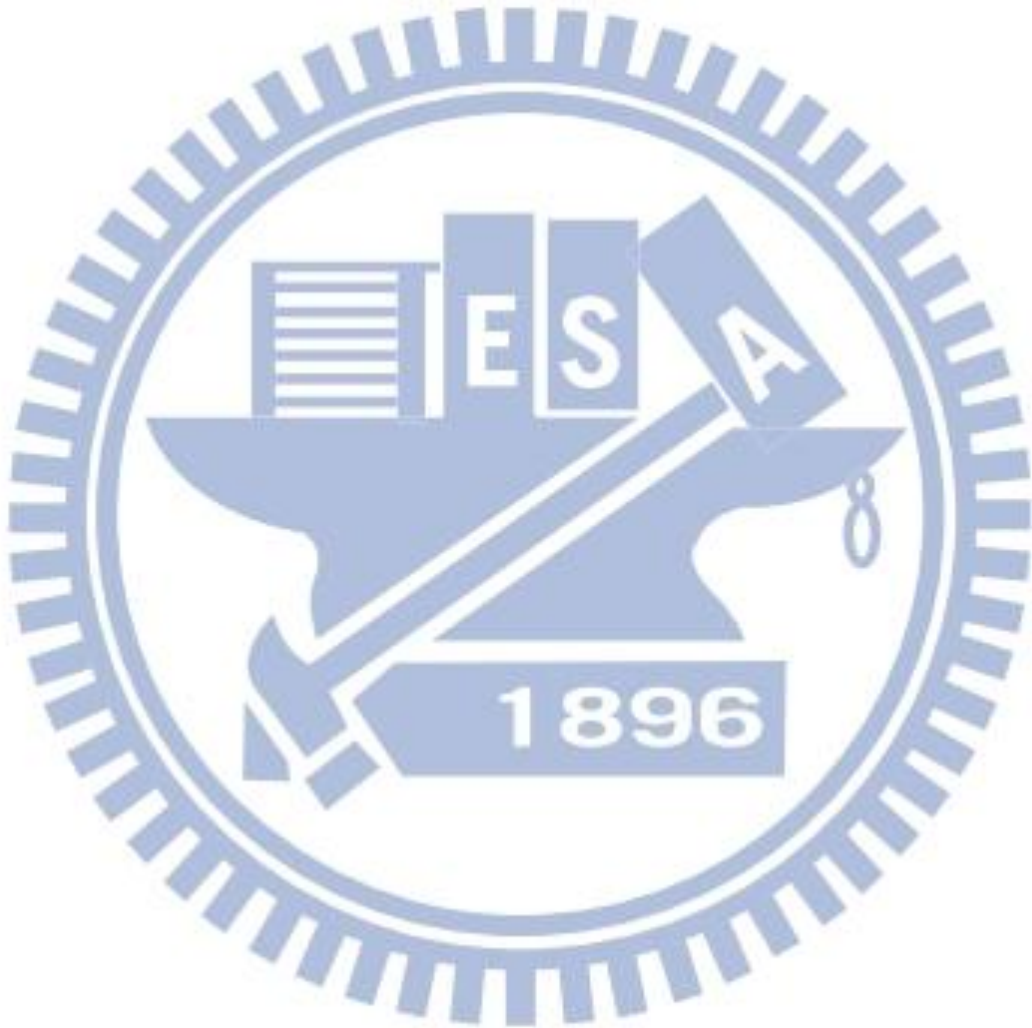


圖 3-4 同步輻射八環 X 光繞射儀影像圖



**-2.5 , -1.25 , 0 , 1.25 , 2.5**

圖 3-5 矽晶片上的矩形圖示為 X 光掃描的位置示意圖



## 第四章 結果與討論

本章節主要分為四個部份，首先會以銅導線的TCR effect校正鐳錫球的溫度，接下來會探討電子流向下的焊錫接點其電阻曲線圖的分析。第三部分為微結構的破壞研究，並利用焊錫接點微結構及電阻曲線圖的對照，來分析焊錫接點在電子流向下及向上的破壞模式。另外，再探討經電遷移測試後的矽晶片其應變分佈變化。

### 4-1 以銅導線的 TCR effect 校正鐳錫球的溫度

在本實驗中，電遷移的測試條件是在加熱板上以 150°C 的溫度加熱。但由於電流通過銅導線時，會有焦耳熱效應的產生，而造成試片內部溫度提高，所以我們需將焦耳熱效應的影響考慮進去，已獲得較真實的焊錫內部溫度。因此，我們採用銅導線電阻溫度係數（Temperature coefficient of resistance ,TCR）來校正焊錫內部的實際溫度。首先，金屬熱電阻的電阻值與溫度可用以下的關係式表示：

$$R = R_0 [ 1 + \alpha_0 ( T - T_0 ) ] \quad (4.1)$$

其中R為溫度T的電阻值， $R_0$ 為 $T_0$ 的電阻值，T即為某溫度下， $\alpha_0$ 為溫度 $T_0$ 時的電阻率，將其進一步展開如下：

$$R = R_0 + R_0 \alpha T - R_0 \alpha T_0 \quad (4.2)$$

當 $T_0 = 0^\circ\text{C}$ 時， $R_0 \alpha T_0 = 0$ ，再將其改寫如下：

$$R = R_0 + \alpha'T, \text{ 其中 } \alpha' = R_0\alpha \quad (4.3)$$

因此將所量測到的銅導線電阻，帶入線性回歸下的方程式，即可知道鉛錫凸塊在電遷移測試下的真實溫度。

由於凱文結構的特性，可以單獨量測到測試條件下銅導線的電阻值。因此我們將試片先置於加熱爐中，通以 0.2 安培的電流，加熱爐的溫度由 50°C，以 50°C 為區間，逐次加熱到 200°C，量測銅導線的電阻在不同溫度下的變化。將量測到的結果，把銅導線電阻對加熱爐溫度作圖，利用線性迴歸找出其方程式如（圖 4-1），其電阻係數  $\alpha' = 0.00387 \text{ K}^{-1}$ 。因此我們可以將實際電遷移測試下的銅導線電阻帶入此 TCR 關係式，就可以得知銅導線的溫度及通電下鉛錫球的真實溫度。為了避免所量測出 TCR 關係式受到焦耳熱效應的影響，我們採用 0.2 安培的電流，並用紅外線顯像儀來確認，其焦耳熱效應，不到攝氏 1°C。因此 TCR 校正可以幫助我們了解焊錫內部溫度，其溫度約為 185°C。

#### 4-2 焊錫接點（電子流向下）電阻曲線圖分析

（圖4-2）為電子流向下的電阻曲線圖，我們可以發現此電阻曲線圖和過去大不相同。我們將此曲線圖分為三個階段，第一個階段為起始到電阻曲線慢慢上升部分。當電阻上升約到5%左右，電阻曲線斜率呈現常數，我們將此稱為第二個階段。最後，電阻曲線又會開始快速上升，斜率快速增加，直到阻值上升20%，我們將此稱為第三階段。由於此電阻曲線圖和過去



大不相同，為了探討此覆晶焊錫接點在不同階段的破壞模式，我們將試片停在焊錫接點阻值上升3%、5%、10%、16%和20%。藉由微結構的變化來探討其破壞模式，在下一章節將會詳細介紹。

## 4-3 破壞模式分析

### 4-3-1 電子流向下的破壞模式

(圖 4-3)為鉚錫接點未通電前的剖面電子顯微鏡圖，將此標示為 initial stage，其結構如 3-1 節所介紹。(圖 4-4)為焊錫接點在 150°C 時通入 1.8 A 電流，測試 278.34 小時的剖面電子顯微鏡圖。其鉚錫電阻由 5.81 mΩ 上升至 6.06 mΩ，即初始電阻上升 3% 的結果。圖中的箭號表示電子流的方向，電子流由晶片端流至基板端。此時我們可以藉由微結構圖及成份分析發現，隨著電遷移測試下，焊錫開始逐漸轉為介金屬化合物，經 EDX 成分分析為  $\text{Ni}_3\text{Sn}_4$ 。上下端的  $\text{Ni}_3\text{Sn}_4$  介金屬化合物隨著測試開始變厚，有些焊錫高度較低的地方已經相連起來。而其中尚有部分焊錫未轉為介金屬化合物。因此，造成電阻上升 3% 可能來自於焊錫接點開始轉變為介金屬化合物的結果。

(圖 4-5)則是另一個試片在同樣的參數下通電 300.54 小時的剖面電子顯微鏡圖。其鉚錫電阻由 6.71 mΩ 上升至 7.03 mΩ，即初始電阻上升 5% 的結果，其中箭頭方向為電子流方向。我們可以發現此時晶片端的鍍層已經開始被消耗，上端的銅 UBM 隨著電子流被往下帶與焊錫反應形成  $\text{Cu}_3\text{Sn}$

介金屬化合物。而內部焊錫接點已經完全轉換為介金屬化合物，經由 EDX 成分分析其組成為  $(\text{Ni,Cu})_3\text{Sn}_4$ 。其原因為鎳層受到電子流往下帶，與焊錫反應，而晶片端銅原子亦加入反應形成介金屬化合物。

為了觀察其不同階段模式，我們將另一個試片在同樣的參數下，將電遷移測試停在阻值上升 10% 的階段。（圖 4-6）是通電 455.32 小時，其鉍錫電阻由 6.35 mΩ 上升至 7.10 mΩ，即初始電阻上升 10% 的剖面電子顯微鏡圖。

我們觀察到整個焊錫橫截面轉成介金屬化合物，並且有較多的  $\text{Cu}_3\text{Sn}$  生成。在焊錫接點中有發現到有較亮的化合物析出，經由 EDX 成分分析，其組成為  $\text{Ag}_3\text{Sn}$ 。而此  $\text{Ag}_3\text{Sn}$  介金屬化合物可能在其他階段也有產生，因其所佔據的體積甚小，所以可能與研磨的位置有關，造成別的階段沒有磨到此介金屬化合物。

此外，因電子流向下造成晶片端的鎳層消耗，所以  $\text{Cu}_3\text{Sn}$  介金屬化合物在靠近基板端的銅金屬墊層形成。而我們也發現到和焊錫電阻上升 5% 不同的現象，因電遷移不斷帶動銅原子向下反應，因此我們在銅金屬墊層和  $\text{Cu}_3\text{Sn}$  介金屬化合物的界面發現了 Kirkendall voids 的生成，所以這上升的 10% 電阻來自於錫銀焊錫轉換為介金屬化合物及 Kirkendall voids 的生成。由於此片試片焊錫接點高度較 5% 那片高，因此焊錫接點全部轉為介金屬化合物所需的阻值上升百分比比較高，造成孔洞所形成的阻值上升百分比佔據的

比例較小，所以造成並沒有明顯的較電阻上升 5% 的微結構破壞嚴重。但接下來我們將討論焊錫點阻值上升 16%、20% 的微結構圖，我們即可看到很明顯的孔洞生成。

(圖 4-7) 則是另一個試片在同樣的參數下通電 220.86 小時的剖面電子顯微鏡圖。其錐錫電阻由 7.06 mΩ 上升至 8.20 mΩ，即初始電阻上升 16% 的結果。我們可以看到銅原子不斷隨著電流向下反應，造成更多的  $\text{Cu}_3\text{Sn}$  生成，反向留下孔洞，此連續孔洞 Kirkendall voids 造成電阻不斷上升，其孔洞的放大圖如 (圖 4-8) 所示。

因業界通常定義阻值上升 20% 為電遷移破壞的最後階段，因此我們將試片最後階段取在電阻阻值上升 20% 的時候。(圖 4-9) 則是另一個試片在同樣的參數下通電 256.26 小時的剖面電子顯微鏡圖。其錐錫電阻由 6.35 mΩ 上升至 7.10 mΩ，即初始電阻上升 20% 的結果。在此微結構中，我們發現到有更多  $\text{Cu}_3\text{Sn}$  的生成。由於受電遷移的作用力下，鎳層不斷的被消耗，銅進入參與反應形成  $\text{Cu}_3\text{Sn}$ ，不斷反應的結果下，產生了更多孔洞。我們更看到了連續 Kirkendall void 生成的現象，此為電阻急遽上升的原因。為了瞭解孔洞的連續性及大小，我們使用了聚焦離子束與電子束顯微系統，FIB (Focused ion beam) 切其截面，觀察界面的破壞情況。(圖 4-10) 為  $\text{Cu}_3\text{Sn}$  和晶片端 Cu 墊層界面聚焦離子影像圖。我們可以發現到許多 Kirkendall voids 的生成，並且具有連續性，因此是造成阻值上升很重要的因素。接著

我們更在晶片端鎳層和介金屬化合物(Ni,Cu)<sub>3</sub>Sn<sub>4</sub>的界面，如(圖 4-11)發現到有些許的孔洞生成。其原因是電遷移作用下，鎳層不斷往下參與反應消耗，因而留下微小孔洞，稱之為 micro voids。

因此，我們發現，電阻上升 20%的原因除了來自於介金屬化合物的生成，更重要的是因為連續性的 Kirkendall voids 破壞及 microvoids 的生成造成阻值上升。

#### 4-3-2 電子流向上的破壞模式

在電子流向上的鎘錫凸塊，和電子流向下的焊錫凸塊破壞模式不同。在晶片端的銅金屬墊層與介金屬化合物的界面並無發現到大量 Kirkendall voids 的生成。但不同的是在基板端看到了不同於電子流向下的介金屬化合物及孔洞的形成而造成電阻上升。

圖 4-12、圖 4-13、與圖 4-14 分別為在 150°C 下通以電流 1.8 A，阻值上升 3%、5%、20% 的電子顯微鏡影像圖。其電流密度為  $1.17 \times 10^4 \text{ A/cm}^2$ ，電流方向由基板端往晶片端流動。當阻值上升 3% 和 5% 時，其變化與電子流向下的焊錫接點相同。一開始焊錫接點開始慢慢變成介金屬化合物(如圖 4-12)，到電阻上升約 5% 時，全部轉為介金屬化合物(如圖 4-13)，而經過 EDX 的成分分析，此層介金屬化合物的組成為(Ni,Cu)<sub>3</sub>Sn<sub>4</sub>。接著，當電阻上升 20% 時(如圖 4-14)，我們在晶片端的銅金屬墊層與介金屬化合物的界面並沒有看到有孔洞開始生成，且晶片端的鎳層雖有些微消耗，但未

造成局部缺角或破損。其原因是因為介金屬化合物形成一擴散阻障層，阻擋錫原子與減緩其進入晶片端的鎳層進行反應。因此，基板端的介金屬化合物中的銅原子是來自於基板端的銅墊層，順著電子流向晶片端擴散。

在電子流向上的焊錫接點中，我們在基板端發現到明顯的破壞情形。初期階段基板端的無電鍍鎳層，會與焊錫中的錫原子反應成就 $\text{Ni}_3\text{Sn}_4$ 的介金屬化合物，加上電子由基板端流向晶片端，電流不斷將鎳原子帶出，反應更劇烈。而當無電鍍鎳層因反應而消耗時，電子流會使得基板端的銅原子向上與焊錫反應形成 $(\text{Cu},\text{Ni})_6\text{Sn}_5$ 及 $\text{Cu}_3\text{Sn}$ 介金屬化合物（如圖4-14）。除此之外，我們亦在無電鍍鎳層發現到參雜不連續的 $\text{Ni}_3\text{P}$ 結晶層（如圖4-15）所示。當基板端的無電鍍鎳層持續被電子流帶出消耗時，因其中的磷原子不會參與反應，所以會不斷累積在介金屬化合物與無電鍍鎳層的界面，當鎳與殘留的磷原子的原子比例達到3:1時，會在無電鍍鎳層內部再結晶形成 $\text{Ni}_3\text{P}$ 層。此柱狀結構的 $\text{Ni}_3\text{P}$ 層會提供一較快的路徑，幫助鎳原子順著電子流的方向透過 $\text{Ni}_3\text{P}$ 層的晶界（如圖4-15），從無電鍍鎳層往 $\text{Ni}_3\text{P}/\text{Ni}_3\text{Sn}_4$ 界面擴散出去而消耗。當無電鍍鎳層持續消耗，局部完全溶解，基板端的銅原子藉著電遷移的驅使力，進入鉚錫內部與錫原子反應，形成介金屬化合物，形成 $(\text{Cu},\text{Ni})_6\text{Sn}_5$ 及 $\text{Cu}_3\text{Sn}$ 介金屬化合物，並且有發現到 $\text{Ni}_2\text{SnP}$ 化合物的生成如（圖4-16）。

若無電鍍鎳層的鎳原子不斷往外擴散，則會形成孔洞，而銅原子不斷

的往外擴散後，亦會產生孔洞在無電鍍鎳與銅金屬墊層交界。當無電鍍鎳層開始消耗時，錫原子進入銅墊層，反應形成 $(\text{Cu,Ni})_6\text{Sn}_5$ 介金屬化合物，然而基板端的厚銅金屬墊層，也會隨著電遷移的電流方向向上反應。因 $\text{Cu}_3\text{Sn}$ 較 $\text{Cu}_6\text{Sn}_5$ 的介金屬化合物穩定，所以當有足夠的銅反應源時，會生成 $\text{Cu}_3\text{Sn}$ 相。因此推測，隨著測試時間加長，基板端銅墊層的銅原子會不斷受電遷移驅使反應成 $\text{Cu}_3\text{Sn}$ 穩定相，而留下孔洞形成kirkendall voids。但本實驗中，在電子流向上的焊錫接點上，並沒有發現大量kirkendall voids生成，可能是因為無電鍍鎳層的反應速率慢，基板端的電流密度也較晶片端小，因此基板端的Cu金屬墊層破壞較慢。但由於鎳層不斷隨著電子流方向消耗，因而在 $\text{Ni}_3\text{P}$ 和 $\text{Cu}_3\text{Sn}$ 界面也有孔洞的生成如（圖4-17）。因此，在電子流向上的電阻上升，來自於介金屬化合物的生成，形成柱狀 $\text{Ni}_3\text{P}$ 造成的垂直長條孔洞及在 $\text{Ni}_3\text{P}$ 和 $\text{Cu}_3\text{Sn}$ 界面的孔洞。

#### 4-4 電遷移測試後的矽晶片應變分析

##### 4-4-1 矽晶片的優選方向

矽晶片的優選方向，我們在室溫下對未通電的矽晶片做X光繞射掃描，掃描範圍為 $2\theta$ 從20度~70度，其優選方向的繞射峰在69度的（400）方向。

##### 4-4-2 矽晶片的應變分析與測量

當矽晶片經加熱通電處理後，可能造成晶格間常數（lattice constant,  $d$ ）的改變，因此繞射峰的位置也會產生偏移。所以，我們可以藉由布拉格定

律求得d值，其布拉格定律如下：

$$\lambda = 2d\sin\theta \quad (4.4)$$

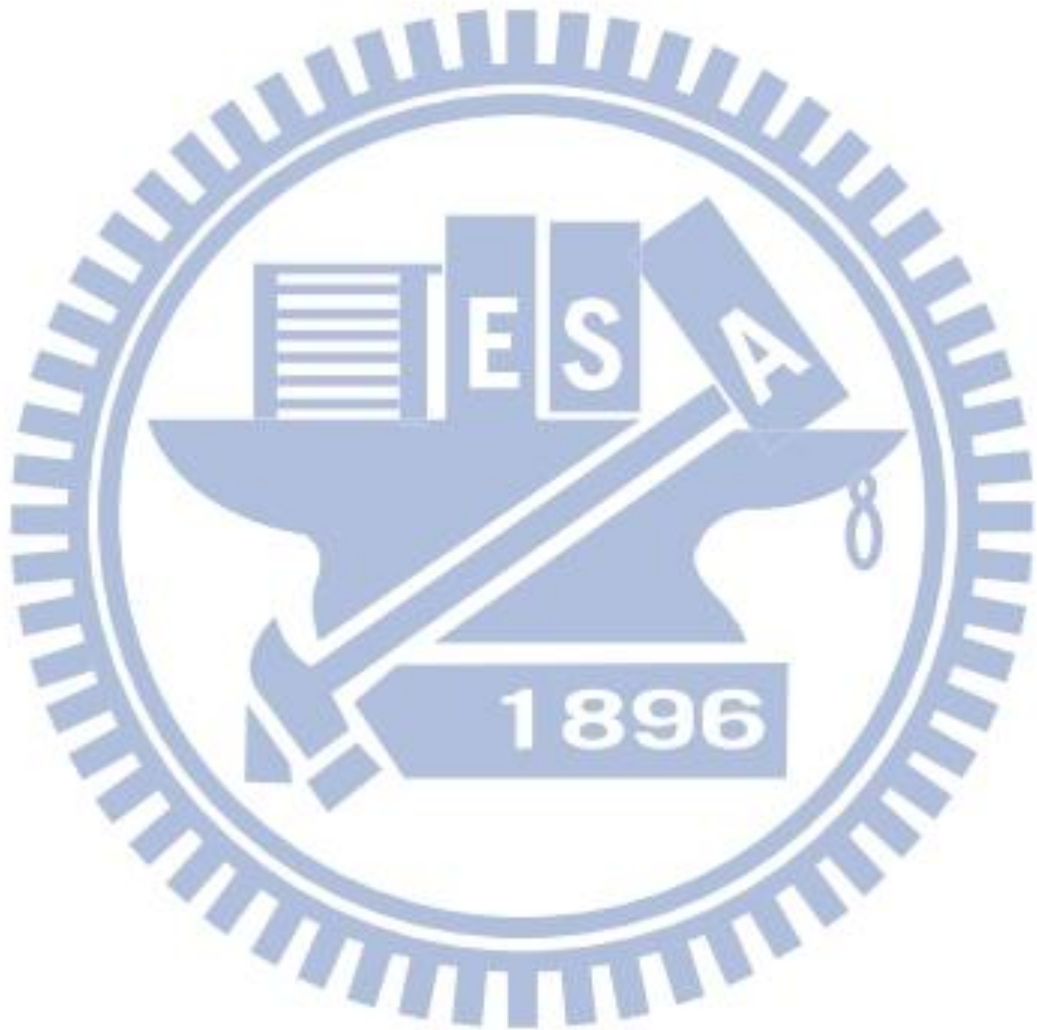
其中 $\lambda$ 為波長，其值為  $1.55 \text{ \AA}$ ，接下來用 (4.5) 式計算出垂直於矽晶片表面的應變：

$$\varepsilon_{zz} = \frac{d - d_0}{d_0} \quad (4.5)$$

其中  $\varepsilon_{zz}$  為垂直於矽晶片表面的應變， $d_0$  為未通電加熱前的平面間距， $d$  為測試過後的平面間距。(圖 4-19) 為在不同加熱通電時間後，各個不同位置的 X 光掃描之繞射峰圖。(a)位置 -2.5 (b)位置 -1.25 (c)位置 0 (d)位置 1.25 (e)位置 2.5，其加熱通電時間分別為 48.44、99.42、278.34、306.33、329.83、455.32、479.79、570.94、775.75 小時。再藉由再藉由式 4.4 可得垂直試片表面方向的平面間距，再藉由式 4.5 式算出應變。

經同步輻射光源所掃描出來的結果顯示出(如圖4-18)，隨著時間增加，peak往左移動，應變變大。當通電加熱超過329.83小時以後，峰形開始改變，變得較寬，開始出現兩個繞射峰，因此研判矽晶片已開始產生變化。(圖 4-19) 為各個不同位置的X光掃描之繞射峰角度對測試時間做圖，我們可以發現，隨著通電加熱時間變長，繞射峰角度開始變小。而再利用時間對經由式子4.5所算出的應變作圖如(圖4-20)所示，隨著時間的增加，應變亦會跟著增加。接著我們在對於不同X光掃描位置對於應變作圖，我們很可以明顯的發現，在329.83小時以後，各個位置的應變大小差距甚小。因此，我

們可以知道，當電遷移測試329.83小時前，矽晶片內部應變不會改變，當測試時間大於329.83小時，應變會逐漸變大，變為less compressive。





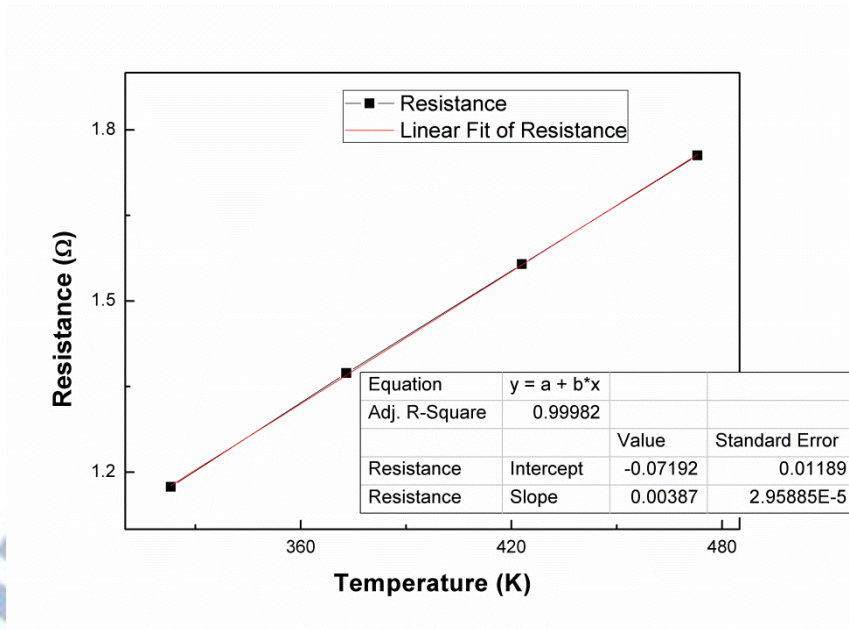


圖 4-1 銅導線電阻對加熱爐溫度作圖，其熱電阻係數為  $3.87 \times 10^{-3} \text{ K}^{-1}$

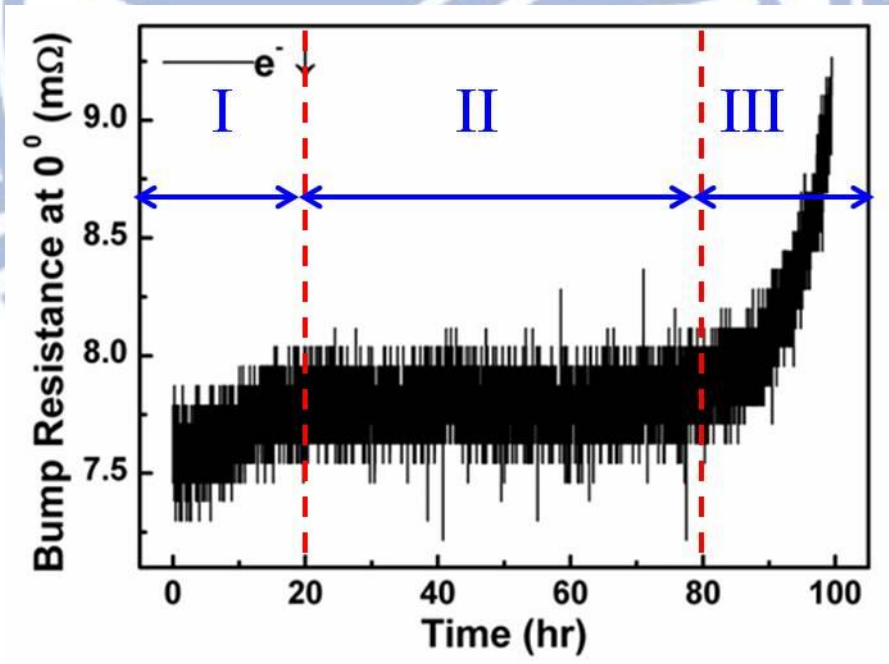


圖 4-2 焊錫接點（電子流向下）三個階段的電阻曲線圖

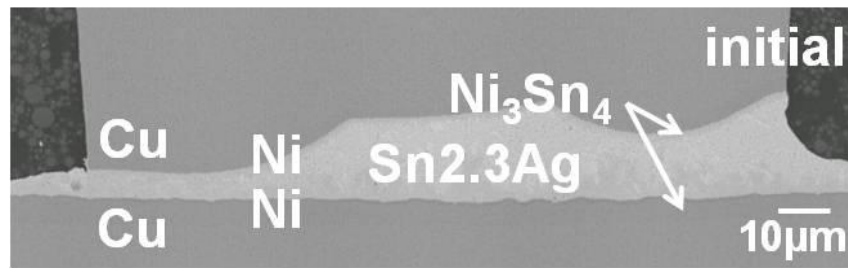


圖 4-3 未測試前的焊錫接點微結構剖面電子顯微鏡圖

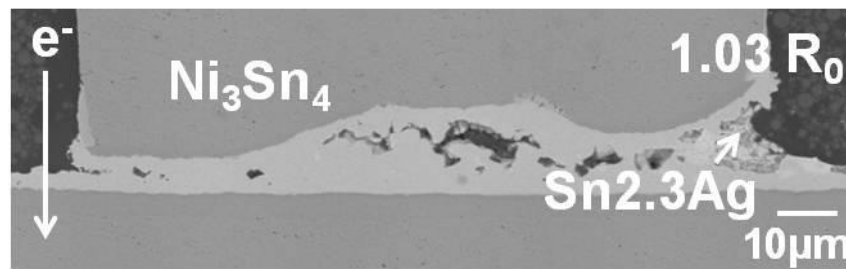


圖 4-4 電子流向下的焊錫接點，阻值上升 3% 的剖面電子顯微鏡圖

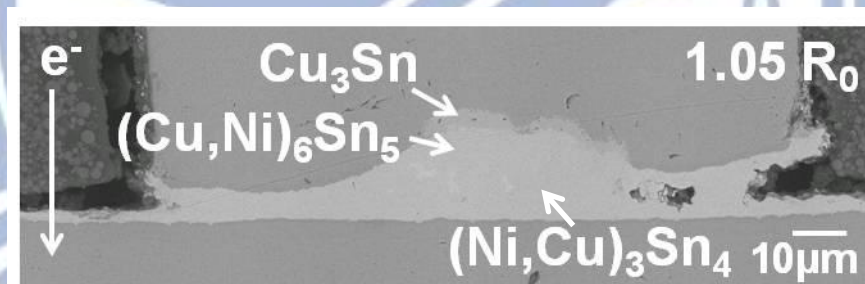


圖 4-5 電子流向下的焊錫接點，阻值上升 5% 的剖面電子顯微鏡圖

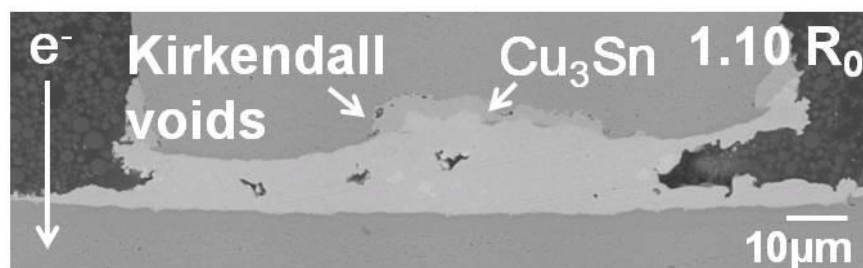


圖 4-6 電子流向下的焊錫接點，阻值上升 10% 的剖面電子顯微鏡圖

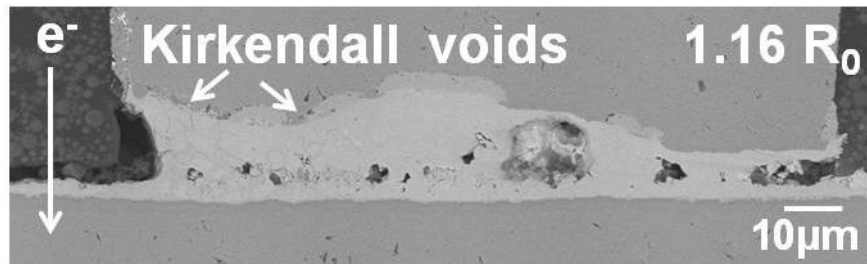


圖 4-7 電子流向下的焊錫接點，阻值上升 16% 的剖面電子顯微鏡圖

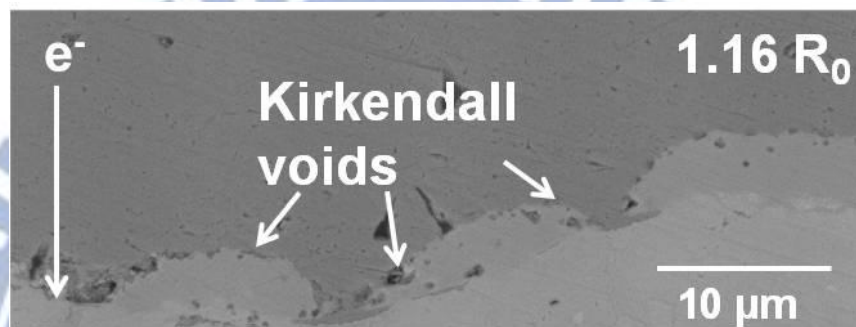


圖 4-8 電子流向下的焊錫接點，電阻上升 16%，連續 Kirkendall void 生長在  $\text{Cu}_3\text{Sn}$  和 Cu 墊層界面的放大剖面電子顯微鏡圖

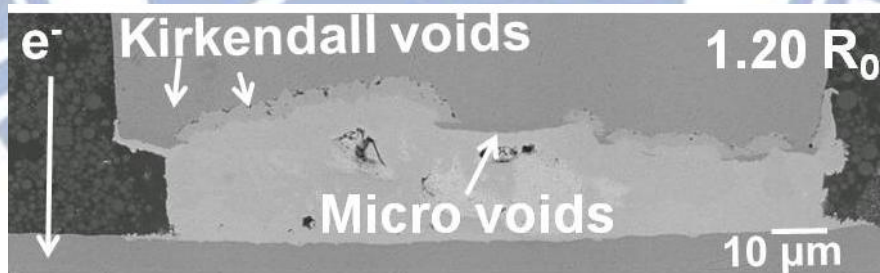


圖 4-9 電子流向下的焊錫接點，阻值上升 20% 的剖面電子顯微鏡圖

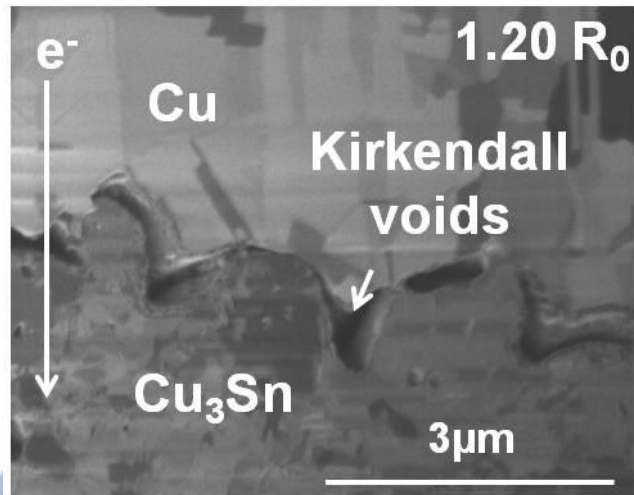


圖 4-10 電子流向下的焊錫接點阻值上升 20%，連續 Kirkendall voids 生長在 Cu<sub>3</sub>Sn 和晶片端 Cu 墊層界面的聚焦離子影像圖

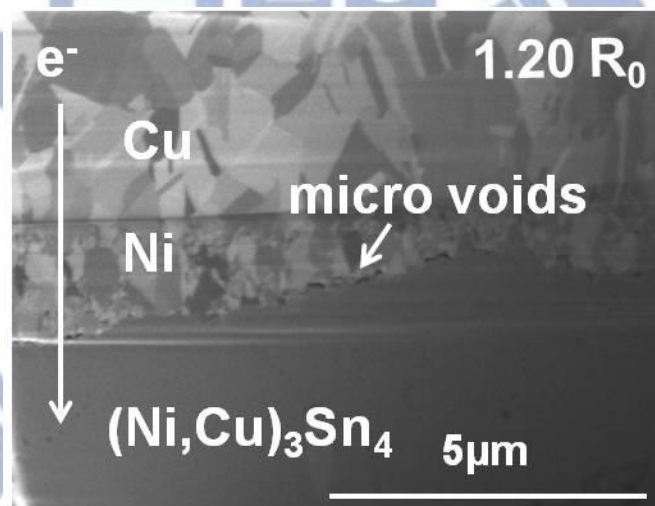


圖 4-11 電子流向下的焊錫接點，阻值上升 20%，micro voids 生成在晶片端鎳層和介金屬化合物 Ni<sub>3</sub>Sn<sub>4</sub> 界面的聚焦離子影像圖

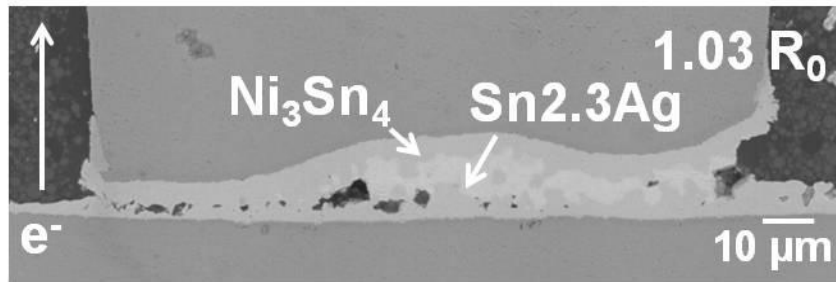


圖 4-12 電子流向上的焊錫接點，阻值上升 3% 的剖面電子顯微鏡圖

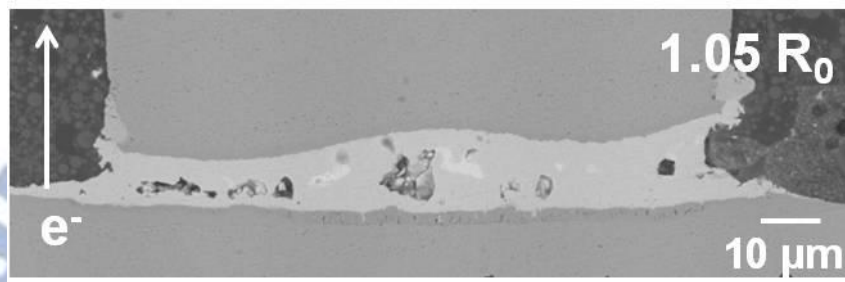


圖 4-13 電子流向上的焊錫接點，阻值上升 5% 的剖面電子顯微鏡圖

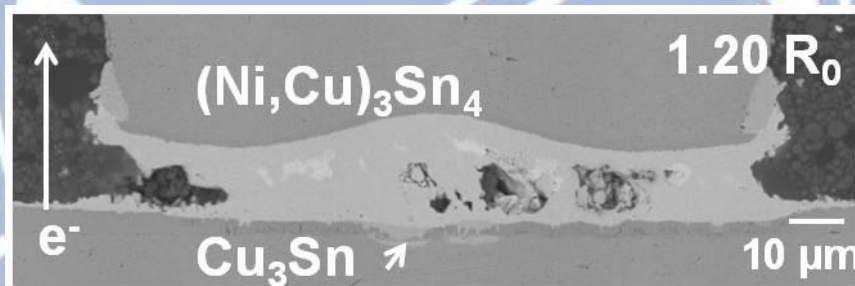


圖 4-14 電子流向上的焊錫接點，阻值上升 20% 的剖面電子顯微鏡圖

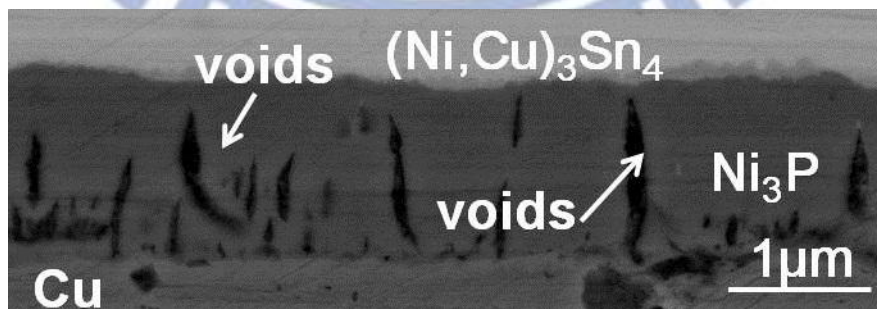


圖 4-15 電子流向上的焊錫接點，阻值上升 20%，柱狀  $Ni_3P$  及垂直長條狀孔洞生成的放大剖面電子顯微鏡圖

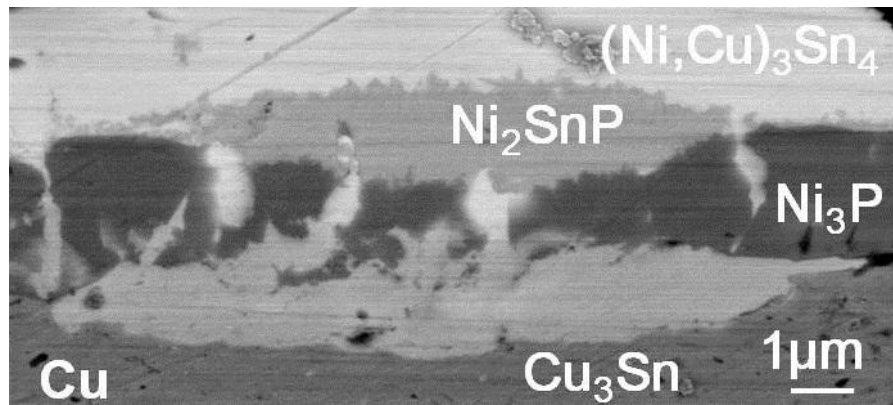


圖 4-16 電子流向上的焊錫接點，阻值上升 20%， $\text{Ni}_2\text{SnP}$ 、 $\text{Cu}_3\text{Sn}$  和  $\text{Ni}_3\text{P}$  介金屬化合物的放大剖面電子顯微鏡圖

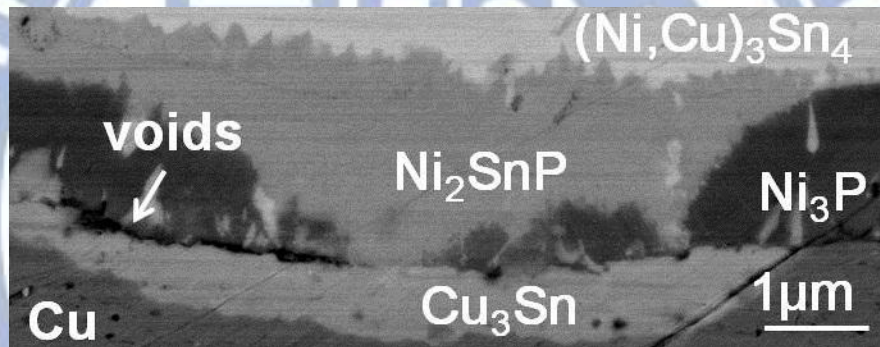
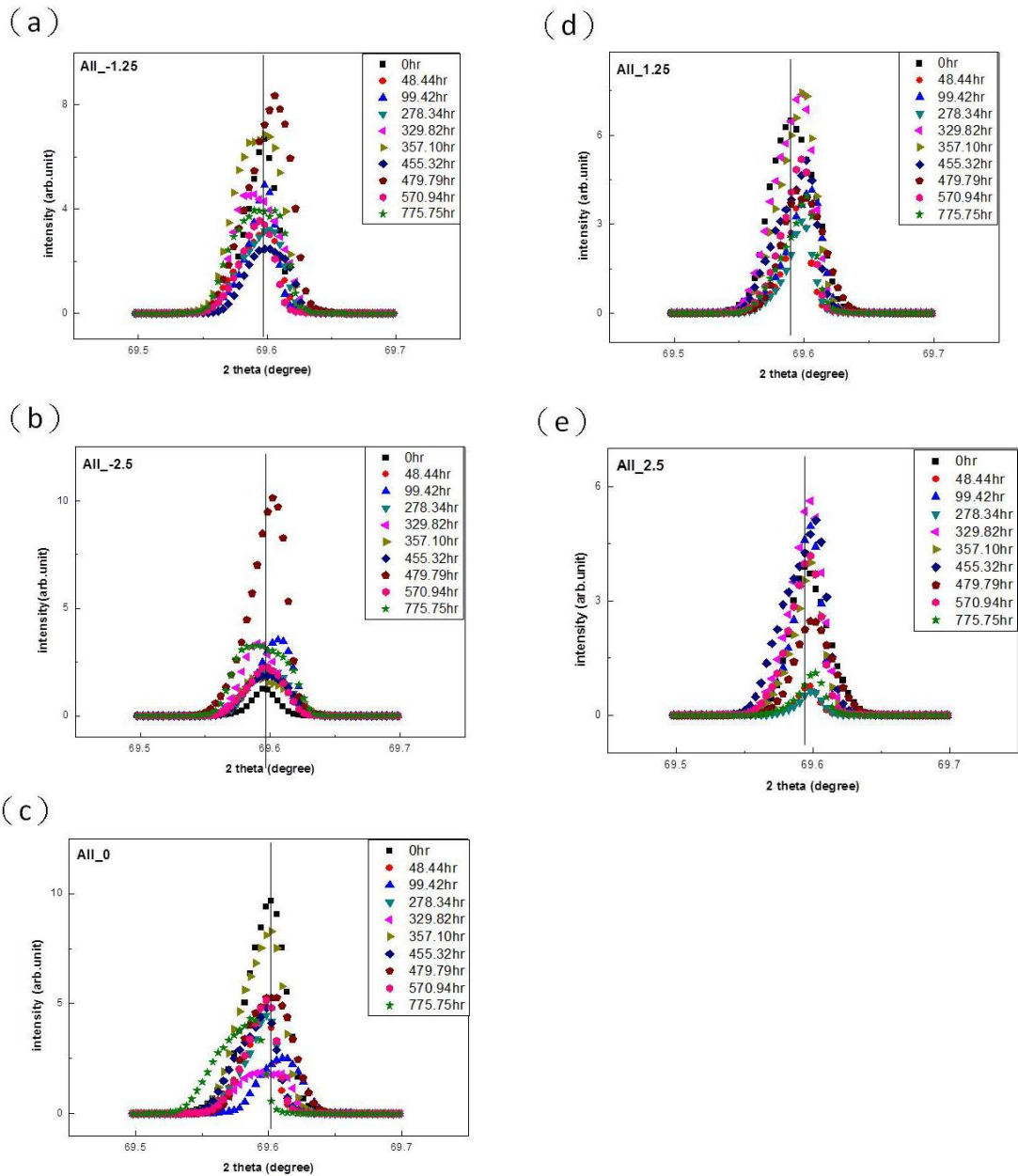


圖 4-17 電子流向上的焊錫接點，阻值上升 20%，孔洞生長在基板端  $\text{Ni}_3\text{P}$  和  $\text{Cu}_3\text{Sn}$  界面的放大剖面電子顯微鏡圖



4-18 為在不同加熱通電時間後，各個不同位置的 X 光掃描之繞射峰圖(a)位置-2.5 (b)位置-1.25 (c)位置0 (d)位置1.25 (e)位置2.5

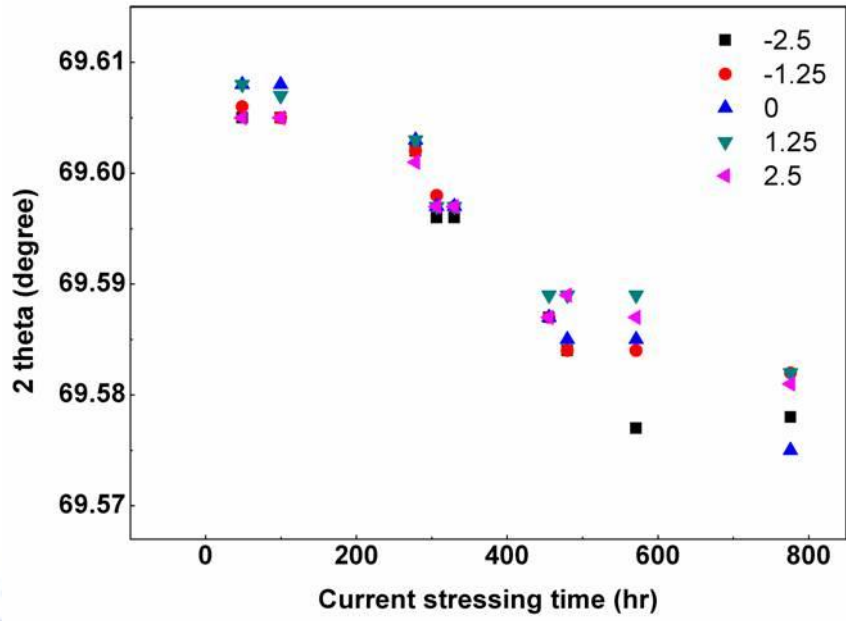


圖4-19 為測試時間對各個不同位置的X光掃描之繞射峰角度做圖

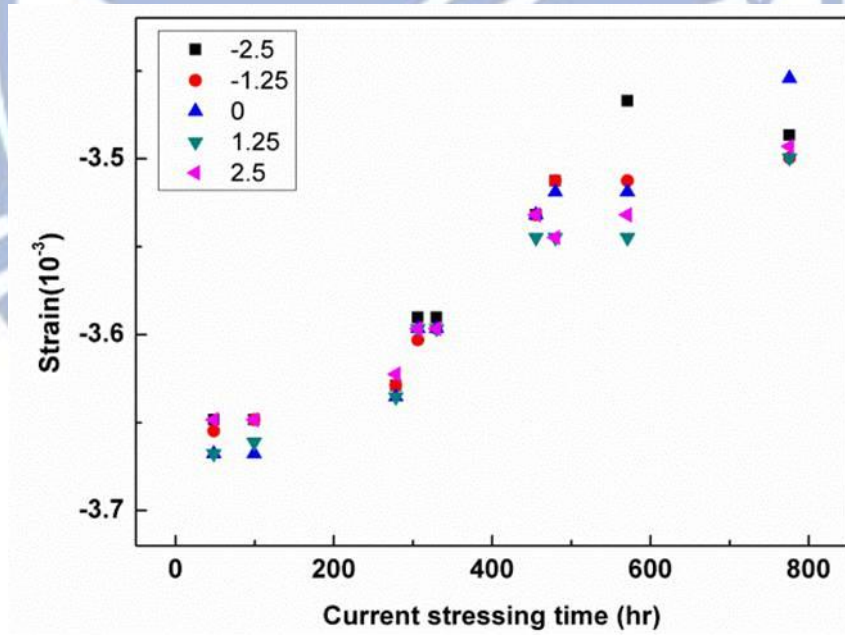


圖4-20 為各個不同測試時間對應變做圖



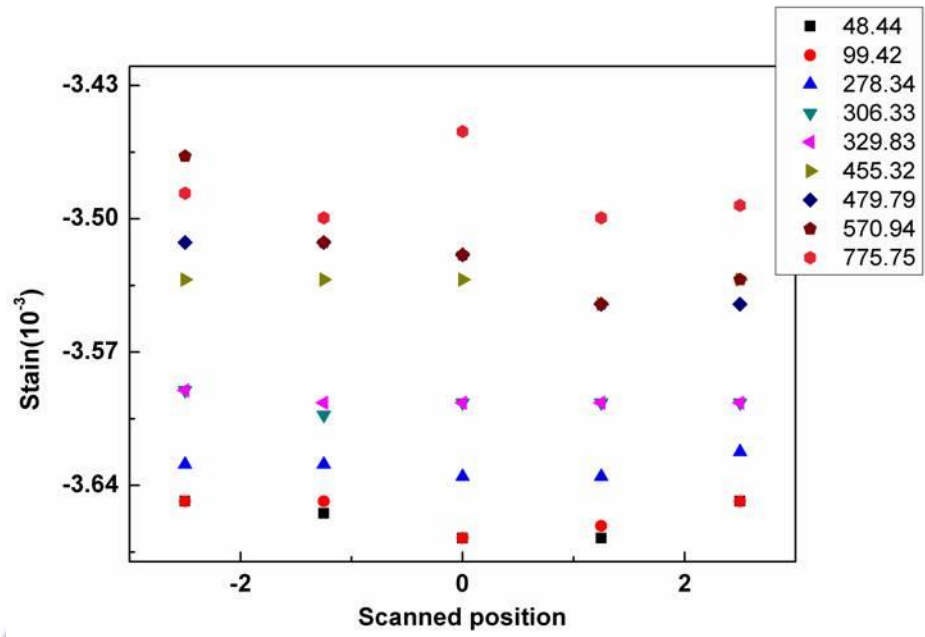


圖4-21 為在不同加熱通電時間後，各個不同X光掃描的位置對應變圖



## 五、結論

在本研究中，主要探討覆晶焊錫在電遷移測試下，不同階段的破壞模式。由於電子流向下破壞較快，因此為本研究中的主軸。由其微結構及電阻曲線圖來看，在一開始的時候，電阻曲線緩慢上升，當電阻約上升到 5% 的時候，曲線開始呈現水平。我們可以藉由電阻阻值上升 3%、5% 的微結構圖電子剖面顯微鏡圖發現，在電阻阻值上升 3% 的時候，焊錫接點內部介金屬化合物開始變厚，其經由 EDX 分析為  $\text{Ni}_3\text{Sn}_4$ ，但內部尚有焊錫存在。因此，此階段為焊錫開始慢慢轉為介金屬化合物的階段。

當電阻阻值上升 5%，由微結構發現，焊錫接點幾乎轉為介金屬化合物，其經 EDX 成分分析為  $(\text{Ni,Cu})_3\text{Sn}_4$ ，而靠近晶片端的銅墊層也有些微  $\text{Cu}_3\text{Sn}$  的生成。當阻值上升到約 5%，電阻曲線斜率變為常數，此原因是因為介金屬化合物很抗電遷移，因此不會造成阻值上升。最後，電阻曲線開始快速上升，我們根據電阻上升 10%、16%、20% 的微結構剖面電子顯微鏡圖，可以觀察到晶片端的鎳層逐漸消耗，生成更多的  $\text{Cu}_3\text{Sn}$ 。而由於銅不斷的被帶出，因此形成 Kirkendall voids，而造成電阻急遽上升。此外，我們還藉由聚焦離子束與電子束顯微系統，來看其橫截面的孔洞分佈情形，其

結果顯示出 Kirkedall voids 十分連續。並且在晶片端 Ni 層與介金屬化合物的界面看到一些 micro voids 生成，此即可證明電阻快速上升的原因。

在焊錫接點電子流向上部分，前面階段和電子流向下相同，為介金屬化合物的形成。而到後期，變阻上升 20% 的時候，和電子流向下的破壞模式大不相同，為基板端的鎳層消耗，銅原子進入反應，形成  $\text{Cu}_3\text{Sn}$  及  $(\text{Cu},\text{Ni})_6\text{Sn}_5$  化合物。又因基板端的鎳層為無電鍍鎳，因此在消耗的時候，當鎳原子與磷原子比例達 3:1 時，會在內部產生  $\text{Ni}_3\text{P}$  化合物。此為柱狀結構，形成許多垂直長條孔洞，使得鎳層更容易藉由此通道向上反應，因而在  $\text{Ni}_3\text{P}$  和  $\text{Cu}_3\text{Sn}$  界面留下孔洞。綜和以上的結果，我們可以發現到其破壞模式具有極性效應。其孔洞破壞位置與電子流的方向大有關係，和過去覆晶焊錫的破壞模式大不相同，極具研究價值。

在同步輻射方面，為了研究電遷移所造成的破壞，是否來自於晶片端和高分子基板端 (FR5) 因熱膨脹係數的不同而造成。因此將各個不同電遷移測試後的結果利用同步輻射光源 X-ray 作應變分析。由其結果顯示出，其應變會隨著加熱通電時間而變大。在通電加熱到 300 小時前，應變無明顯變化。當通電加熱超過 300 小時，藉由不同位置的應變及峰形的改變可以判斷其應變開始上升。對照電遷移的微結構結果，並無發現到因應變改變而造成的 crack 現象，研判其破壞並非為應變造成。因此，在我們進行電遷

移測試時，可以將因熱膨脹係數不同，造成應變變化導致破壞的因素排除在外。

由於電子產品走向微小化及高效能的趨勢，Three-dimensional integrated circuit (3DIC) 勢必成為未來主流，焊錫高度會越來越小。而本研究使用低焊錫高度的覆晶焊錫試片進行電遷移測試，對於未來的 3DIC 研究具有參考價值。和過去研究不同的是，在本實驗中所使用的 1.8 A 及在 150°C 加熱板上進行電遷移測試，其電流密度為  $1.17 \times 10^4 \text{ A/cm}$ 。此電流密度較過去研究中大很多，其電遷移壽命也較過去長，因此本實驗所用的結構較抗電遷移。在過去的文獻中，因覆晶焊錫幾何大小不同，電子流從導線進入焊錫接點流經的截面積大小差距甚大，往往會造成嚴重的電流集中效應。而過去的破壞幾乎都發生在電流集中的區域，產生很大的孔洞。在本研究中其結果和過去大不相同，因厚銅金屬墊層與超矮 bump height 可以有效減緩電流集中效應，因此不會有因電流集中效應所產生的孔洞。但在電子流向下的部分，因電子流的方向造成晶片端界金屬化合物及連續 kirkendall void、micro void 的生成造成破壞。而相反的在電子流向上部分，為基板端的介金屬化合物生成及孔洞造成阻值上升。因此，我們藉由凱文結構精準的量測電阻變化，並與微結構變化一起做分析，可以幫助我們了解各個階段的破壞模式，為十分有參考價值的研究方法與結果。

## 參考文獻

- [1] Intel Technology Journal, 9, pp. 110, 2005.
- [2] R.J. Wassink, Soldering in Electronics, Electrochemical Pub. Ltd., pp. 99, 1984.
- [3] V. B. Fiks, Soviet Physics – Solid State, 1, pp. 14-28, 1959.
- [4] P. S. Ho and T. Kwok, Electromigration in metals, RPP. 52, pp.301-348, 1989
- [5] H. B. Huntington and A. R. Grone, J. Phys. Chem. Solid 20, 76, 1961.
- [6] V. B. Fiks, Sov. Phys., Solid state, 1, 14 , 1959.
- [7] K. N. Chiang, C. C. Lee, C. C. Lee, and K. M. Chen, “ Current crowding-induced electromigration in SnAg<sub>3.0</sub>Cu<sub>0.5</sub> microbumps”, APL.Vol 8, 072102, 2006.
- [8] T. L. Shao, S. W. Liang, T. C. Lin, and Chih Chen, JAP. 98, pp. 044509, 2005
- [9] E. C. C. Yeh, W. J. Choi, and K. N. Tu, P. Elenius, and H. Balkan, APL. Vol.80, Issue4, pp. 580-582, 2002.
- [10] Joule, J.P. Philosophical Magazine, Vol. 19, PP. 260; Scientific Papers 65,1841.
- [11] T. L. Shao, S. H. Chiu, C. Chen, D. J. Yao, and C.Y. Hsu, “Thermal gradient in solder joints under electrical-current stressing” Journal of Electronic Materials, 33, pp. 1350-1354, 2004.
- [12] L. Zhang, S. Ou, J. Huang, K. N. Tu, S. Gee and L. Nguyen, “Effect of current crowding on void propagation at the interface between intermetallic compound and solder in flip chip solder joints”, APL. Vol.88, Issue, 012106, 2006.
- [13] S. H. Chiu, T. L. Shao, and C. Chen, “Infrared microscopy of hot spots induced by Joule heating in Flip-chip SnAg solder joints under accelerated electromigration”, APL Vol.88, 022110, 2006.
- [14] T. Y. Lee, and K. N. Tu, “Electromigration of eutectic SnPb and SnAg<sub>3.8</sub>Cu<sub>0.7</sub> flip chip solder bumps and under-bump metallization”, JAP, Vol. 90, N. 9, 2001.
- [15.] W. J. Choi, E. C. C. Yeh, and K. N. Tu, “Mean-time-to failure study of flip chip solder joints on Cu/Ni ( V ) /Al thin-film under-bump-metallization”, JAP, Vol. 94, N. 9, 2003.
- [16] Y. W. Chang, C. Chen “Study of void formation due to electromigration in flip-chip solder joints using Kelvin bump probes”, APL, Vol. 89, Issue 3, 032103,2006.
- [17] J. W. Nah, J. O. Suh, and K. N. Tu, S. W. Yoon, V. S. Rao, and V. Kripesh and F. Hua “ Electromigration in flip chip solder joints having a thick Cu column bump and a

- shallow solder interconnect“, JAP. Vol.100, Issue 12, 123513 , 2006.
- [18] J. W. Nah, K. Chen, J. O. Suh, and K. N. Tu, “Electromigration Study in Flip Chip Solder Joints”, ECTC pp.1450-1455, 2007.
- [19] T. L. Shao, S. W. Liang, T. C. Lin, and C. Chen, “Three-dimensional simulation on current-density distribution in flip-chip solder joints under electric current stressing ” JAP. Vol.98, Issue 4, 044509, 2005.
- [20 ] National Synchrotron Radiation Research Center” Synchrotron Light Source”.
- [21] S.A. Gee, W.F. V. D. Bogert, and V.R. Akylas, “Strain-gauge mapping of die surface stresses”, IEEE Trans. Compon. Packag. Technol. 12, 587, 1989.
- [22] P. S. Ho, G. Wang, M. Ding, J. H. Zhao, and X. Dai, “Reliability issues for flip-chip packages”, Microelectron.Reliab. 44, 719, 2004.
- [23] A. T. WU, C.Y. TSAI, “In Situ Measurements of Thermal and Electrical Effects of Strain in Flip-Chip Silicon Dies Using Synchrotron Radiation X-rays”, JEM, Vol.38, No.11, 2009

