

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

以巴克球作為浮動閘極之有機非揮發性記憶體

**Organic Nonvolatile Memory Using C₆₀ as
Floating Gate**

研究生：黃旺駿

指導教授：侯拓宏 博士

中華民國一〇一年九月

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

以巴克球作為浮動閘極之有機非揮發性記憶體

**Organic Nonvolatile Memory Using C₆₀ as
Floating Gate**

研究生：黃旺駿

指導教授：侯拓宏 博士

中華民國一〇一年九月

以巴克球作為浮動閘極之有機非揮發性記憶體

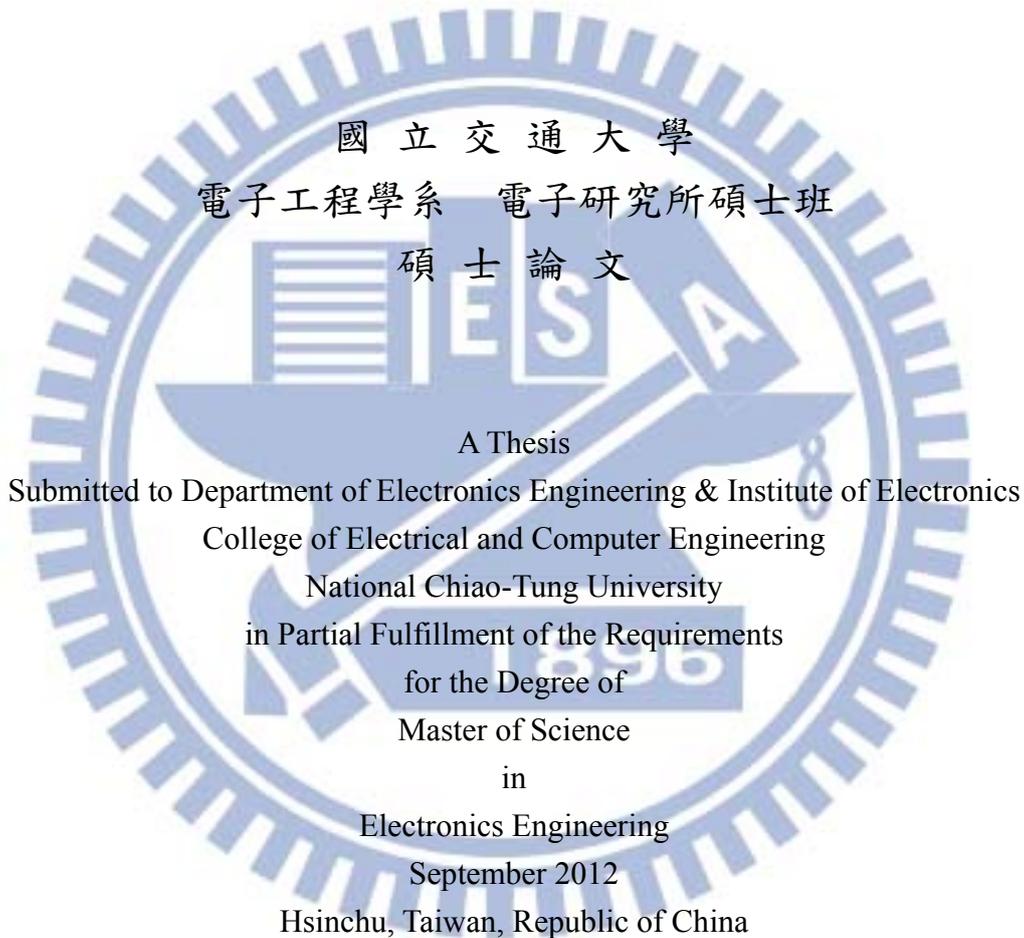
Organic Nonvolatile Memory Using C₆₀ as Floating Gate

研究生：黃旺駿

Student：Wang-Chun Huang

指導教授：侯拓宏 博士

Advisor：Dr. Tuo-Hung Hou



中華民國一〇一年九月

以巴克球作為浮動閘極之有機非揮發性記憶體

研究生：黃旺駿

指導教授：侯拓宏 博士

國立交通大學

電子工程學系 電子研究所碩士班

摘要

本論文主要是利用 C₆₀ 來取代傳統多晶矽做為浮動閘極並對此有機非揮發性記憶體的機制與特性做研究。

在正式製作元件前，首先先利用 TEM 驗證薄膜的厚度與晶向結構，並利用 EDS 與 ESCA 等方式對沉積薄膜的組成做分析。接著，利用驗證過的薄膜沉積條件搭配後續低溫氧化層與金屬沉積技術，成功地在矽基板上完成以 C₆₀ 做為浮動閘極之電容結構，並得到 $\Delta V_{FB}=4\text{ V}$ 以上的記憶窗大小，且在 retention 測試中利用線性外插的方式，亦驗證了其在 10 年後其仍可維持 $\Delta V_{FB}=3.038\text{ V}$ 的記憶窗，顯示 C₆₀ 浮動閘極電容具有作為非揮發性記憶體的潛力。另外，對於實驗中所觀測到的順時針電容遲滯效應，在閘極結構相同的前提下，藉由利用 Pt 奈米晶粒記憶體對電荷注入方向做驗證，配合先前所觀測到 C₆₀ 薄膜的介電常數隨頻率變化之現象，我們提出了氧離子移動模型來做解釋。

在第二部分中，藉由 C₆₀ 薄膜厚度的微縮，我們成功地觀察到了氧離子移動與電荷注入等兩種機制並存的現象，且由於 C₆₀ 薄膜內部承受的跨壓與電場明顯增加，原先操作速度過慢的問題亦獲得了改善。

在實驗的最後一部分，為了減輕因 C₆₀ 薄膜厚度縮減所帶來其內部殘存去極

化電場強度過大，而進一步造成元件 retention 能力被大幅犧牲的問題，我們藉由共蒸鍍的方式在 C_{60} 薄膜中混入有機絕緣材料 Poly(N-vinylcarbazole)來減低氧離子在薄膜中的移動能力，並成功地在元件既有特性變化不大的前提下，大幅地改善其 retention 特性。



Organic Nonvolatile Memory Using C₆₀ as Floating Gate

Student : Wang-Chun Huang

Advisors : Dr. Tuo-Hung Hou

Department of Electronics Engineering and Institute of Electronics

National Chiao Tung University, Hsinchu, Taiwan

Abstract

This thesis focuses on using C₆₀ to replace polysilicon as floating gate and explores the properties and operating mechanisms of this organic nonvolatile memory.

Before fabricating the devices, we first use TEM to examine the thickness and crystallinity of each film and employ EDS and ESCA to analyze their compositions. Then utilizing the verified deposition conditions followed with low temperature oxide and metal deposition, we successfully fabricate capacitors with C₆₀ as the floating gate on silicon substrate. The device shows a memory window larger than 4 V and during the retention test, it still can retain a memory window as large as $\Delta V_{FB}=3.038$ V even after 10 years, which demonstrates the potential of C₆₀ floating gate capacitor as a promising nonvolatile memory cell. Besides, in order to explain the clockwise C-V hysteresis, we first use Pt nanocrystal memory with same oxide stacking to verify the direction of charge injection. Combining the observed frequency dependent permittivity of C₆₀, the oxygen ion diffusion model is proposed to explain the nonvolatile storage mechanism.

In the section two, by scaling down the thickness of C_{60} , we successfully observe the mechanisms of oxygen ion diffusion and charge injection existing simultaneously. Furthermore, owing to the increase of voltage drop and electric field in the C_{60} thin film, the operation speed is also improved.

Finally, to reduce the degradation of retention caused by the enormous depoling filed in the scaled C_{60} thin film, we co-evaporate C_{60} with Poly(N-vinylcarbazole) to decrease the mobility of oxygen ions. By this way, we can keep the most memory characteristics nearly unchanged but successfully improve the retention property.



誌謝

兩年的碩士班生涯很快就結束了，在這段期間中不但在各方面都學到了許多經驗且也過得相當充實。首先要感謝的是我的指導教授侯拓宏教授。在研究方面，老師不但樂於與我們討論並從中給了許多寶貴的意見與啟發，另一方面卻又保留了相當大的空間，讓我們得以自由發揮並訓練獨立自主的研究能力。而除了研究以外，老師亦相當注重我們處理事物的態度，而我相信這些訓練會在未來為我帶來莫大的幫助。

接著感謝俊嘉學長、仕傑學長與冠良學長在研究與實驗方面的幫助與細心教導並在我遭遇困難且感到困惑時幫助我度過難關。感謝文呈學長在量測方面的耐心指導且在我遇到問題時總能適時地給我最直接且有力的協助。感謝崇威學長教導我許多實驗方面的技巧與要注意的小細節使我在製程技術上由生疏變得較能獨當一面。另外也感謝同學國譯、仁傑、顯從與冠龍在碩班短短兩年的期間能一起奮鬥並互相幫助克服許多挑戰。也謝謝實驗室所有的學長同學與學弟妹，因為有你(妳)們的幫忙，我才得以順利完成這份論文。

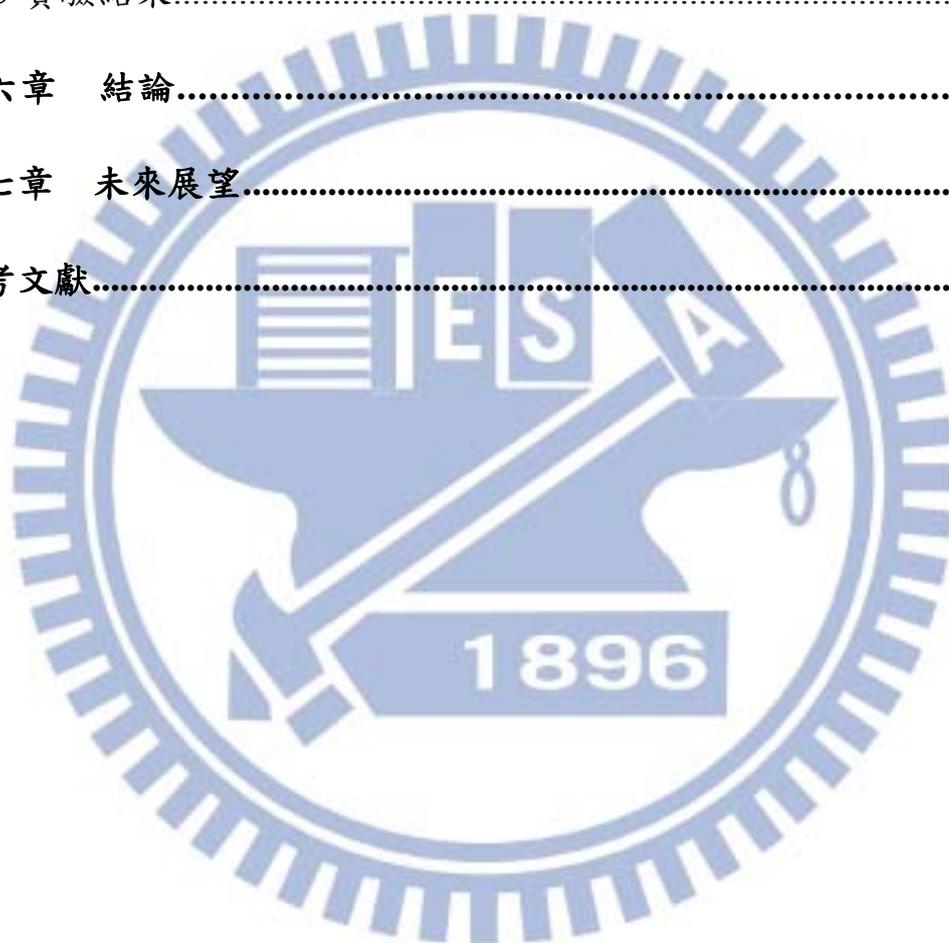
最後，尤其感謝我的家人，在這段期間雖然不常見面，但不論是物質上的直接幫助或精神上的支持，你們無怨無悔的付出給了我莫大的幫助與安慰。另外也感謝我的女友在我碩班生涯最後的這段期間，在背後持續默默的幫助並鼓勵我。經過這段時間的歷練，在未來相信我更能有所發揮並學以致用。

論文目次

中文摘要.....	i
英文摘要.....	iii
誌謝.....	v
目錄	vi
圖目錄.....	ix
表目錄	xi
第一章 序論.....	1
1-1 浮動閘極記憶體簡介.....	1
1-2 SONOS 非揮發性記憶體.....	2
1-3 奈米晶粒非揮發性記憶體.....	4
1-4 氧化還原分子異質整合記憶體.....	6
第二章 非揮發性記憶體操作原理與 C ₆₀ 特性簡介.....	9
2-1 非揮發性記憶體操作原理簡介.....	9
2-2 寫入與抹除機制簡介.....	11
2-2-1 福勒-諾德漢穿隧(Fowler-Nordheim tunneling).....	11
2-2-2 直接穿隧(Direct Tunneling).....	12
2-2-3 通道熱載子注入(Channel Hot Carrier Injection).....	12
2-2-4 帶對帶穿隧熱電洞注入(BBHH).....	13

2-3 記憶體元件可靠度簡介.....	14
2-3-1 耐久性(Endurance).....	14
2-3-2 維持能力(Retention).....	15
2-4 C ₆₀ 材料特性簡介.....	15
第三章 C₆₀ 浮動閘極結構電容與氧離子移動模型.....	20
3-1 前言.....	20
3-2 實驗部分.....	20
3-2-1 C ₆₀ 薄膜製作.....	20
3-2-2 C ₆₀ 浮動閘極記憶體製作.....	21
3-2-3 材料與分析儀器.....	22
3-3 實驗結果.....	26
3-3-1 C ₆₀ 薄膜分析.....	26
3-3-2 順時針電容遲滯效應之分析.....	31
3-3-3 C ₆₀ 浮動閘極記憶體電容之電性分析.....	35
第四章 具極薄 C₆₀ 薄膜之浮動閘極電容結構.....	39
4-1 前言.....	39
4-2 實驗部分.....	39
4-3 實驗結果.....	39
第五章 C₆₀ 與 PVK 混合共蒸鍍之浮動閘極電容結構.....	46

5-1 前言.....	46
5-2 實驗部分.....	46
5-2-1 Poly(N-vinylcarbazole)(PVK)簡介.....	46
5-2-2 C ₆₀ 與PVK混合浮動閘極電容之製作.....	47
5-3 實驗結果.....	47
第六章 結論.....	52
第七章 未來展望.....	53
參考文獻.....	54



圖目錄

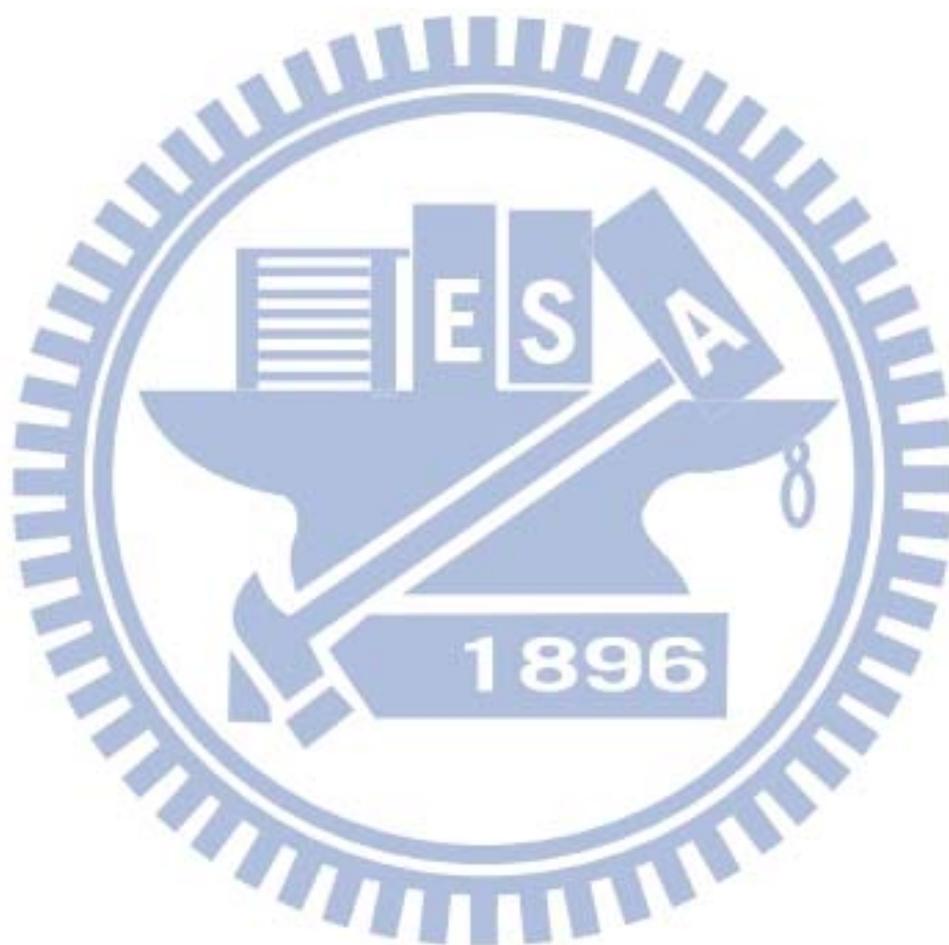
圖 1-1	浮動閘極非揮發性記憶體結構示意圖.....	1
圖 1-2	(a)SONOS (b)TANOS (c)BESONOS 結構示意圖.....	3
圖 1-3	BESONOS 在(a)寫入或抹除時與(b)無外加電場時的能帶圖.....	4
圖 1-4	奈米晶粒非揮發性記憶體結構示意圖.....	4
圖 1-5	常見的奈米晶粒記憶體以鉻作為上電極時的平帶能帶圖.....	5
圖 1-6	退火溫度與時間對鉑奈米晶粒大小、密度與分布的影響.....	5
圖 1-7	分子異質整合非揮發性記憶體結構圖.....	6
圖 1-8	(a) C_{60} (b)CoP 異質分子整合記憶體的 ΔV_{FB} 對寫入電壓關係圖.....	7
圖 1-9	含有 C_{60} 的共振穿隧結構在(a)高電場 (b)低電場 時的能帶圖.....	8
圖 2-1	浮動閘極記憶體做(a)寫入 (b)抹除 時的能帶圖.....	9
圖 2-2	(a)NOR 型 (b)NAND 型記憶體架構圖.....	10
圖 2-3	穿隧能壁示意圖.....	11
圖 2-4	FN 穿隧障壁示意圖.....	11
圖 2-5	直接穿隧障壁示意圖.....	12
圖 2-6	BBTI hot hole (a)抹除操作與 (b)能帶示意圖.....	13
圖 2-7	C_{60} 分子結構示意圖.....	16
圖 2-8	C_{60} 分子能帶結構示意圖.....	19
圖 3-1	C_{60} 薄膜分析流程圖.....	20
圖 3-2	C_{60} 浮動閘極記憶體的(a)結構與(b)製程示意圖.....	21
圖 3-3	VPC 蒸鍍系統之外觀.....	22
圖 3-4	雙電子槍蒸鍍系統外觀圖.....	23
圖 3-5	(a) 電漿輔助化學氣相沉積系統與其 (b) 載入腔體外觀.....	24
圖 3-6	C_{60} 薄膜在不同深度位置的(a)O1s(b)Si2p3/2(c)C1s 軌域 ESCA 分析結果.....	27
圖 3-7	各元素在 C_{60} 薄膜中不同深度位置之組成百分比.....	28
圖 3-8	C_{60} 薄膜的 TEM 剖面圖.....	28
圖 3-9	(a) C_{60} 薄膜 EDS 分析結果與(b)分析位置示意圖.....	29
圖 3-10	不同頻率下萃取出來的 C_{60} 介電常數.....	30
圖 3-11	C_{60} 浮動閘極結構的電容遲滯曲線.....	31
圖 3-12	Pt 奈米晶粒記憶體的電容遲滯曲線.....	33
圖 3-13	氧在 C_{60} 薄膜中可能的存在形式.....	34
圖 3-14	(a) $V_G > 0$ (b) $V_G < 0$ 時 C_{60} 薄膜中的電荷排列情形.....	34
圖 3-15	固定 $t_{stress} = 1$ s 時, ΔV_{FB} 對 V_p 的關係圖.....	35
圖 3-16	(a) $V_e > 0$ 與 (b) $V_e < 0$ 時 ΔV_{FB} 對抹除電壓之關係圖.....	35
圖 3-17	ΔV_{FB} 對不同的操作電壓脈衝之關係圖.....	36
圖 3-18	ΔV_{FB} 對非揮發性維持時間的關係圖.....	37
圖 3-19	C_{60} 閘極電容結構的 endurance 測試結果.....	38

圖 4-1	厚度為 20 \AA 之 C_{60} 浮動閘極電容的遲滯曲線.....	40
圖 4-2	厚度為 20 \AA 之 C_{60} 浮動閘極電容之 ΔV_{FB} 對 stress 電壓關係圖.....	41
圖 4-3	(a) $V_e < 0$ 與 (b) $V_e > 0$ 時不同 stress 時間對 ΔV_{FB} 的關係圖.....	42
圖 4-4	ΔV_{FB} 對 retention time 的關係圖.....	43
圖 4-5	圖 4-5 (a) $V_p = -15 \text{ V}$ 且 $V_e = 20 \text{ V}$, $t_{\text{stress}} = 1 \text{ s}$ 與 (b) $V_p = -13 \text{ V}$ $t_{\text{stress}} = 1 \text{ ms}$ 且 $V_e = 13 \text{ V}$ $t_{\text{stress}} = 1 \text{ s}$ 時, V_{FB} 對 P/E cycles 的關係圖.....	45
圖 5-1	PVK 結構示意圖.....	46
圖 5-2	C_{60} 與 PVK 混合浮動閘極電容之 ΔV_{FB} 對 stress 電壓關係圖.....	47
圖 5-3	(a) $V_p = 13 \text{ V}$, $t_p = 1 \text{ s}$, $V_e < 0$ 與 (b) $V_p = -13 \text{ V}$, $t_p = 1 \text{ s}$, $V_e > 0$ 時不同 stress 時間對 ΔV_{FB} 的關係圖.....	48
圖 5-4	(a) $V_p = 13 \text{ V}$, $t_p = 1 \text{ ms}$, $V_e < 0$ 與 (b) $V_p = -13 \text{ V}$, $t_p = 1 \text{ ms}$, $V_e > 0$ 時不同 stress 時間對 ΔV_{FB} 的關係圖.....	49
圖 5-5	$V_p = 13 \text{ V}$, $t_{\text{stress}} = 1 \text{ s}$ $V_e = -10 \text{ V}$, $t_{\text{stress}} = 0.1 \text{ s}$ 時, V_{FB} 對 P/E cycles 的關係圖...50	
圖 5-6	ΔV_{FB} 對非揮發性維持時間的關係圖.....	51
圖 5-7	其他文獻中 C_{60} 浮動閘極電容之 ΔV_{FB} 對非揮發性維持時間的關係圖....51	
圖 7-1	混和型浮動閘極記憶體電容結構示意圖.....	53



表目錄

表 1-1	各種共振穿隧結構與相關實驗結果列表.....	8
表 2-1	NAND 型與 NOR 型浮動閘極記憶體常見寫入或抹除機制.....	10
表 2-2	C ₆₀ 分子的基本物理特性.....	17
表 2-3	C ₆₀ 分子對各種溶劑之溶解度,其中列出的為近似飽和濃度.....	18
表 3-1	熱蒸鍍 C ₆₀ 薄膜之實驗參數.....	26
表 5-1	PVK 的基本電性參數.....	47



第一章 序論

1-1 浮動閘極記憶體簡介

近年來，以快閃記憶體為主流的浮動閘極非揮發性記憶體被廣泛運用於手機、平板電腦與數位相機等可攜式電子產品中，其中主要用於資料儲存的 NAND 型快閃式記憶體其在全球積體電路總產值的佔有率更是逐年急速攀升。此外，由於其結構上相對簡單且易於微縮，近年來快閃式記憶體不但率先使用浸潤式微影與高介電常數介電層等先進技術，根據 2011 ITRS roadmap[1]，在 2012 年其元件尺度會微縮至 20 nm 並成功取代邏輯電路成為半導體技術的驅動者。

歷史上第一顆浮動閘極非揮發性記憶體是在 1967 年由 D. Kahng 與 S.M. Sze 在貝爾實驗室所發明的[2]。其結構如圖 1-1 所示是以金屬-氧化物-半導體電晶體 (MOSFET) 為基礎，並在氧化層中加入一層多晶矽薄膜做為浮動閘極，藉由儲存從通道區注入的靜電荷來影響底部通道區的電位與電晶體特性並實現記憶體的功能。另外，當外加電壓被移除時，浮動閘極內儲存的靜電荷並不會因此逸失，所以不同於動/靜態隨機存取記憶體(DRAM or SRAM)，其記憶體特性被稱為非揮發性的。

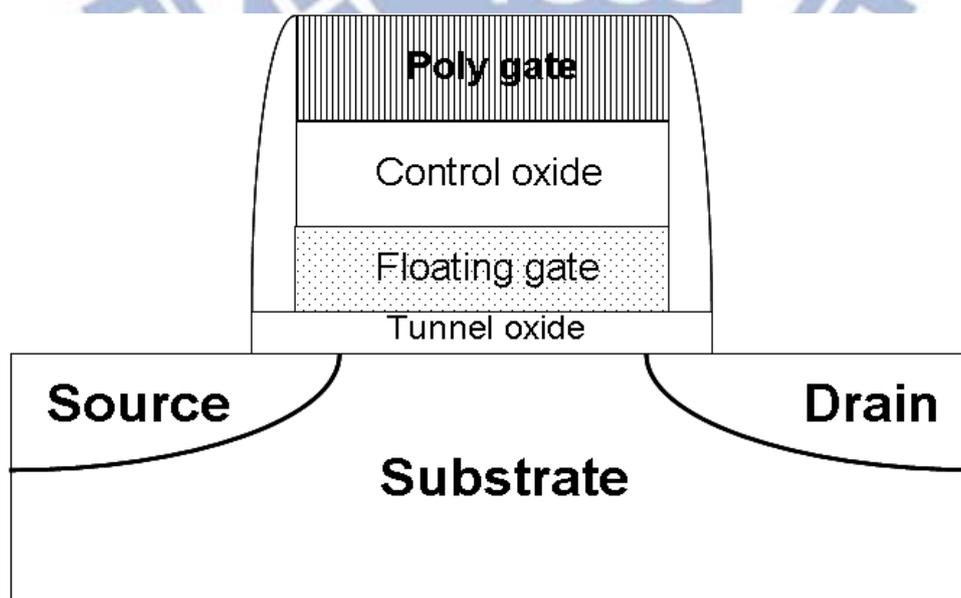


圖 1-1 浮動閘極非揮發性記憶體結構示意圖

過去幾年，快閃記憶體的成功主要是建立在元件尺度的持續微縮上。在維持一定的電容偶合比的前提下，透過減少穿隧氧化層的厚度可以有效的增加元件的寫入或抹除速度與降低操作電壓，實現快速且低功率的記憶體操作。然而尺度上的快速微縮終究會面臨其在物理上的根本限制，如當氧化層厚度微縮至 8 nm 以下時，發生在浮動閘極與通道間的直接穿隧會造成原本儲存在浮動閘極中的靜電荷快速流失，再加上隨著反覆的讀寫操作在極薄氧化層內造成的缺陷也會貢獻顯著的漏電流(SCLC)[3]，這些效應皆會減少記憶體的非揮發性維持時間而讓它難以達到所需的十年規格[4]。為了解決這些問題，近年來有許多不同種類的非揮發性記憶體陸續被提出，其中包括在機制上跟快閃記憶體完全不同的磁阻隨機存取記憶體(MRAM)[5]、相變化隨機存取記憶體(PCRAM)[6]或電阻式記憶體(RRAM)[7-8]，另外也有延續浮動閘極基礎所發展出來的結構，如 SONOS、奈米晶粒或氧化還原分子異質整合記憶體等。相較於理論機制還在發展階段的新穎記憶體，SONOS 等藉由儲存電荷來改變記憶體狀態的元件是目前可以即刻地解決氧化層微縮問題並延續快閃記憶體高密度、低成本與低操作功率等優勢的有效方式。

1-2 SONOS 非揮發性記憶體

自從發現氮化矽內含有大量的缺陷狀態可以用做電荷儲存後[9]，以氮化矽為基礎的元件在 1970 年代被大量的研究且逐漸演變成現今的 SONOS(多晶矽/二氧化矽/氮化矽/二氧化矽/單晶矽)非揮發性記憶體，其結構如圖 1-2(a)所示。不同於傳統的多晶矽浮動閘極非揮發性記憶體，SONOS 是利用氮化矽能隙中密度高達 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 的缺陷態來儲存電荷[10]，且電子與電洞皆能被相對應能階的缺陷所捕獲。因為這些電荷缺陷在空間中的分布是不連續的，所以不會因為穿隧氧化層中由缺陷形成的單一的漏電路徑而造成整個氮化矽中所儲存的電荷全都逸失，因此相較於傳統浮動閘極非揮發性記憶體，SONOS 對 SILC 有較好的免疫力或者可以在維持相同非揮發性保存時間的前提下達到更高速的讀寫操作

[11]。另外，隨著傳統的多晶矽被氮化矽所取代，不但可以簡化製程步驟，因為氮化矽本身不是連續的導體，所以亦可以有效的降低源極引發導通(drain induced turn on)等現象[12]。近年來，為了進一步提升元件特性以滿足對記憶體規格的需求，有許多新的結構或製程技術也嘗試與 SONOS 做整合。圖 1-2(b)是 C. H. Lee et al 提出的 TANOS[13](氮化鉭/三氧化二鋁/氮化矽/二氧化矽/單晶矽)結構，一方面藉由較高的功函數提高閘極端電子所要克服的能量障壁，另一方面也利用三氧化二鋁的高介電特性來降低跨過控制氧化層的電場。實驗證實這個結構確實可以抑制閘極端的電子注入，不但可以提升寫入抹除速度也可以避免因閘極注入造成的抹除飽和。除了被用做電荷儲存層，氮化矽亦能被整合在穿隧氧化層中。圖 1-2(C)是 H.T. Lue, et 提出的 BESONOS 結構[14]，當記憶體做寫入或抹除時，如圖 1-3(a)所示，因為高電場造成能帶彎曲，電子能在 ONO 的結構中做兩次連續穿隧並被捕捉或釋放，但是當外加偏壓被移除時，圖 1-3(b)所示，氮化矽又可以提供額外的障壁厚度，透過這種與電場相關的非對稱穿隧障壁的實現，BESONOS 可以同時提升操作速度與非揮發性維持能力。另外，為了實現更高密度的記憶體陣列，做在鰭式電晶體(FINFET)上的 SONOS 元件也正在被廣泛研究[15]，這些結果都顯示 SONOS 具有取代傳統浮動閘極結構做為下一代非揮發性記憶體的潛力。

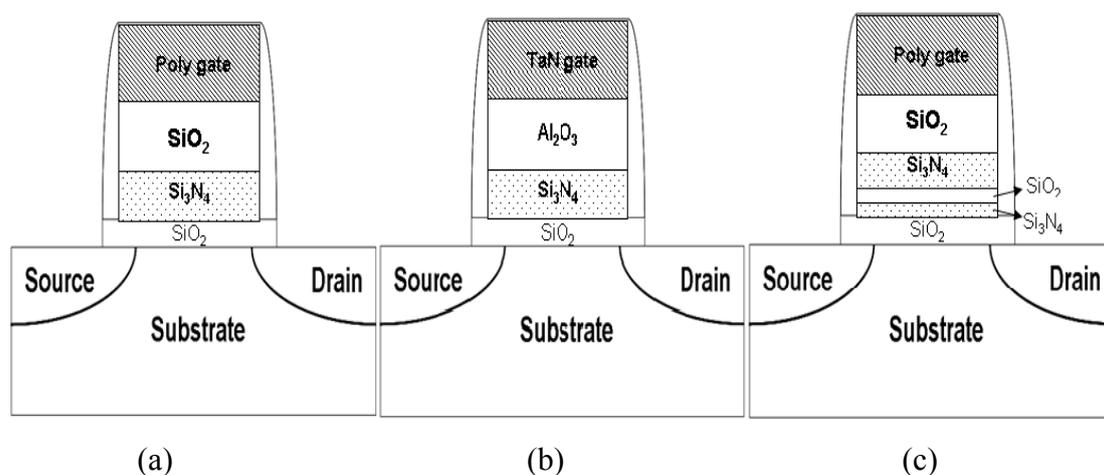
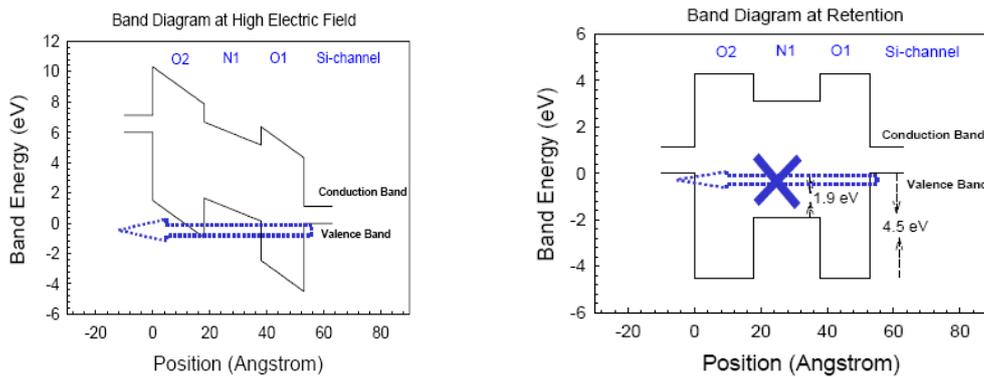


圖 1-2 (a)SONOS (b)TANOS (c)BESONOS 結構示意圖



(a)

(b)

圖 1-3 BESONOS 在(a)寫入或抹除時與(b)無外加電場時的能帶圖

1-3 奈米晶粒非揮發性記憶體

圖 1-4 顯示的是奈米晶粒非揮發性記憶體的結構圖。與 SONOS 相同，奈米晶粒記憶體可以提供不連續的電荷儲存，注入的電荷會被困在奈米晶粒本身或奈米晶粒與周圍介電質間的介面狀態中，且因為這些用來儲存電荷的陷阱狀態在鄰近單晶矽的費米能階附近具有很高的缺陷密度，所以可以提供大量的電荷儲存。

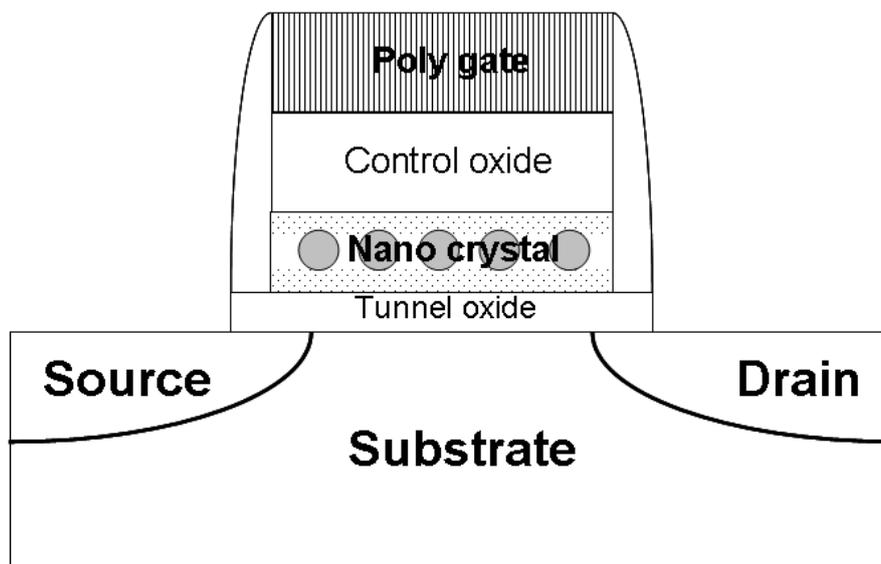


圖 1-4 奈米晶粒非揮發性記憶體結構示意圖

常見的晶粒材料可以概分為(I)金屬(如金、銀或白金) (II)半導體(如矽、鍺或砷化鎵) (III)高介電係數材料(如二氧化鈣或氧化鍺)等三種，且因為各材料間的功函數有所變異，所以可以提供不同的位能井深度，如圖 1-5 所示。相較於傳統浮

動閘極結構，奈米晶粒記憶體擁有許多優點，除了對 SILC、源極引發導通效應有較好的抵抗能力與較強的氧化層微縮能力外，因為在製程上不需要用到複雜的雙多晶矽製程，故可以大幅的簡化其複雜度，另外相對於 SONOS，因為包含奈米晶粒的介電層厚度普遍偏薄，所以相鄰記憶體元件間的寄生電容可以被大幅的減少，這在實現高密度的記憶體陣列時尤其重要。

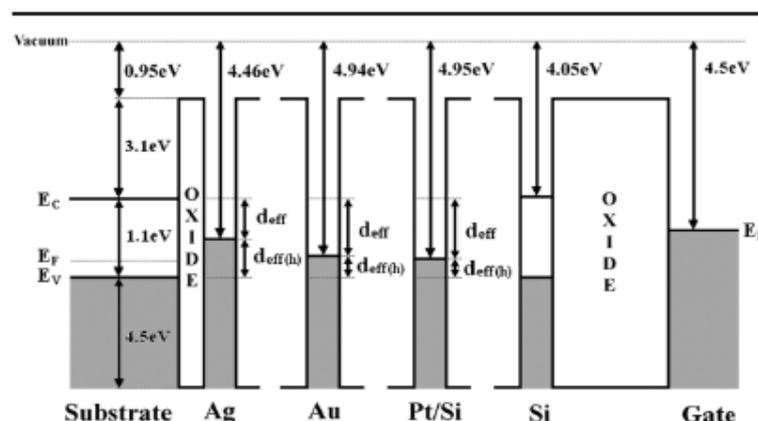


圖 1-5 常見的奈米晶粒記憶體以鉻作為上電極時的平帶能帶圖，其中不同材料可以提供不同的位能井深度[16]。

對於奈米晶粒記憶體而言，對晶粒的製程控制是關鍵所在，常見用來形成奈米晶粒的方式有自我聚集、選擇性氧化或過飽和參雜等，其共通點是都需要一道後續的退火製成來幫助原子在表面擴散並聚集成核來降低系統總能，故退火時間與溫度對形成的晶粒大小、密度與分布有強烈的影響作用，如圖 1-6 所示。

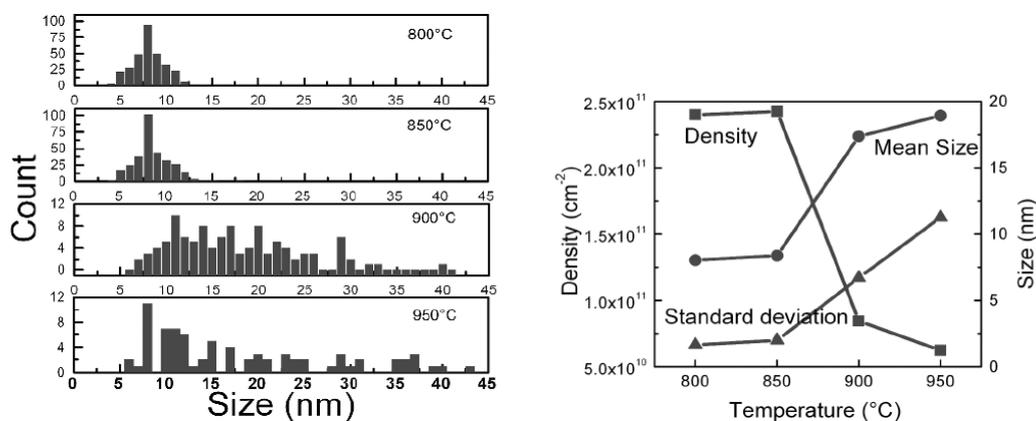


圖 1-6 退火溫度與時間對鉻奈米晶粒大小、密度與分布的影響[16]

晶粒中儲存電荷的能階位置除了會受材料本身的功函數或電子親和力影響外也與晶粒大小密切相關，過小的晶粒會因為顯著的量子限制[17]與庫倫阻斷效應而讓電荷的存取難以進行，而過大的晶粒雖然有利於加快寫入或抹除速度，但是會降低晶粒密度而使儲存的電荷總數減少。另外，如圖 1-6 所示，退火後形成的晶粒在大小與密度上會存在一個分布，這會造成各元件在相同電壓寫入或抹除的電荷量存在著變異，尤其當元件微縮至 24 nm 以下，一個位元所需的電子總數低於 200 個的時候，這些微小的變化量所造成的記憶體特性變異會大的讓人難以接受。所以如何調整並改善製程來對晶粒的形成做有效且穩定的控制是奈米晶粒記憶體在量產前急需克服的問題。

1-4 氧化還原分子異質整合記憶體

最近幾年有機材料除了被廣泛運用在後段絕緣、太陽能與顯示元件外，其與半導體前段製程或記憶體結構的整合亦在興起。圖 1-7 所示為分子異質整合非揮發性記憶體的結構圖，在這個結構中，有機分子是被分散嵌入在介電層中並被用作電荷儲存。

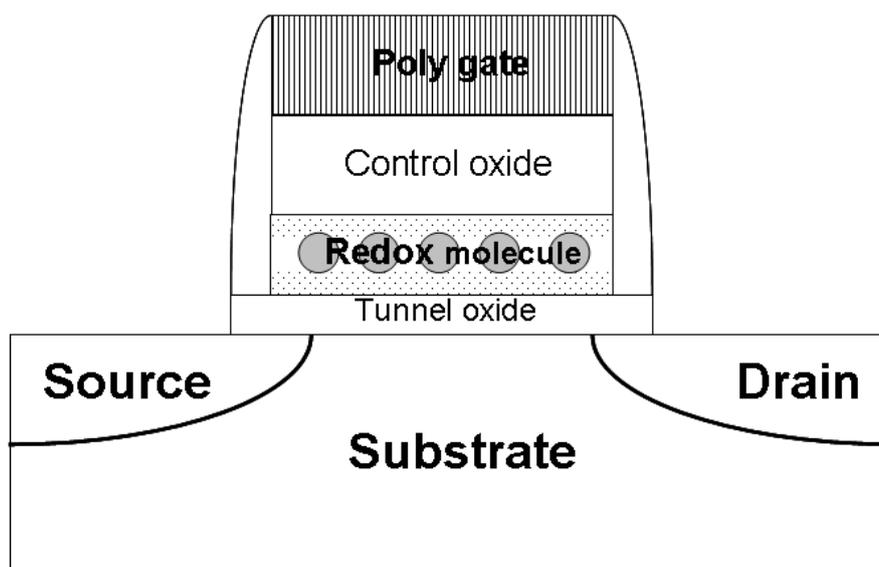


圖 1-7 分子異質整合非揮發性記憶體結構圖

不同於 SONOS 或奈米晶粒記憶體，因為異質整合分子記憶體中所含的有機分子本身即具極小的奈米尺度，故在常溫就會表現出明顯的庫倫阻斷效應，加上在分子中被利用做電荷儲存的分子能階是明確分離的，所以當其被寫入或抹除電荷時，每個分子在相同電壓範圍下所能存入的電荷數量是固定的，故會表現出如圖 1-8(a)或(b)中的階梯狀平帶電壓位移。因此除了延續如同 SONOS 與奈米晶粒記憶體中電荷分散儲存的好處之外，異質整合分子記憶體具有的自我收斂特性可以克服製程上對奈米點尺寸難以控制的問題，有效縮減記憶體元件間的特性變異或簡化周邊電路複雜度並實現多位準的記憶體元件。

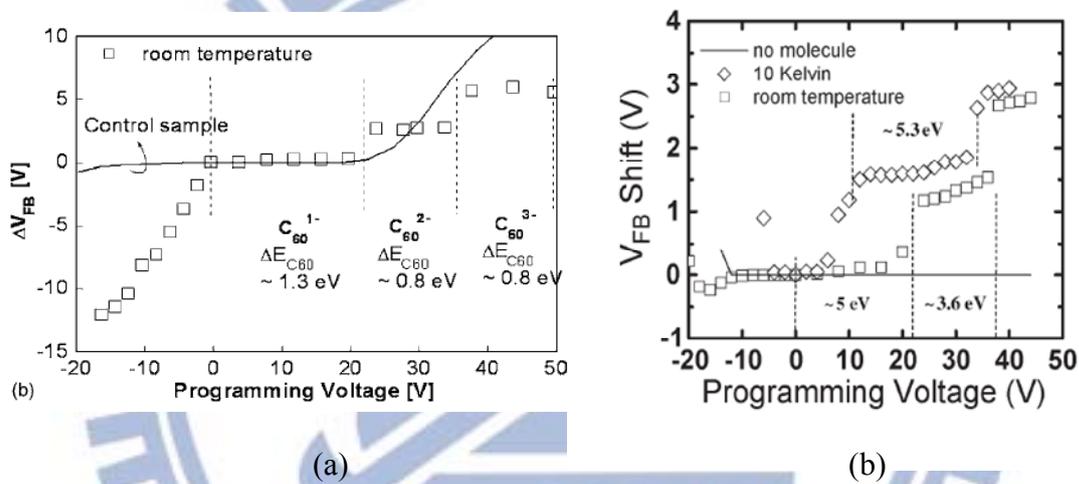


圖 1-8 (a) C_{60} [18] (b)CoP [19] 異質分子整合記憶體的 ΔV_{FB} 對寫入電壓關係圖

另外，因為自然界中存在眾多不同種類的有機分子，所以可以透過適當的選擇去找到具有多個可利用之氧化還原態且具有適當官能基的分子，透過如自我聚集(self assembling, SAM)[20]等方式做沉積來實現高電荷儲存密度、低成本且可大量製造的記憶體。與氮化矽類似，有機分子也可以被整合在穿隧氧化層中，來實現與電場相關的非對稱電荷注入。根據 Tuo-Hung Hou et al.[21]的實驗結果，如同圖 1-9(a)與(b)所示，含有 C_{60} 分子的絕緣層結構可以在低電場藉由本身 HOMO-LUMO 能隙所提供的障壁厚度維持小的直接穿隧電流，但在大電場時卻可以透過共振穿隧的方式讓電荷能有效的進出，類似的結果也可以在 CoP[22]分子上得到印證。表 1-1 列出透過共振穿隧結構來提高記憶體的非揮發維持時間對

寫入或讀取時間比(t_R/t_{PE})的結果，其中增加的比例最多可以到六個數量級，也證明了這種結構可以讓異質整合分子記憶體更具有在未來實際應用的潛力。

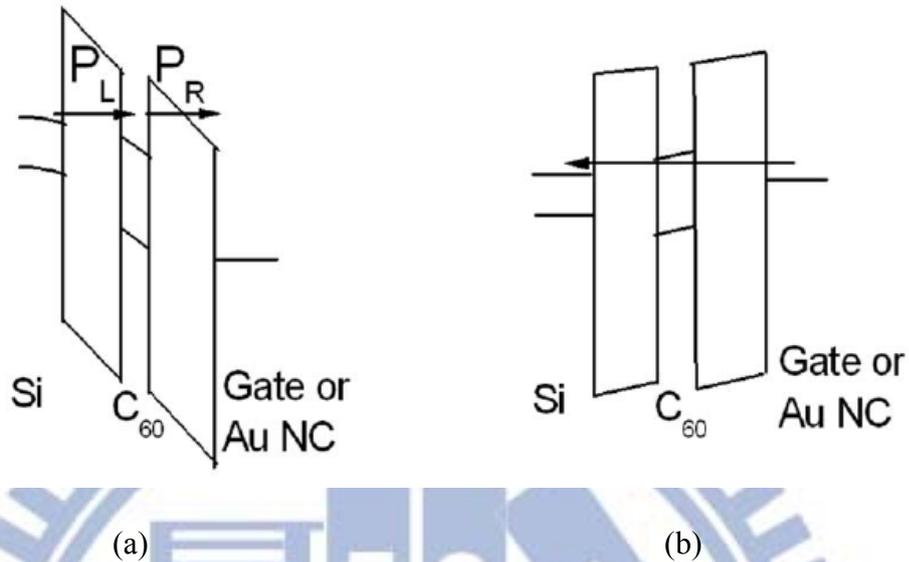


圖 1-9 含有 C₆₀ 的共振穿隧結構在(a)高電場 (b)低電場 時的能帶圖

Device	Tunnel Barrier EOT (nm)	$e^- t_R / t_P$ increase (orders)	$h^+ t_R / t_P$ increase (orders)
F1 (HRTB)	6.99	6	N/A
F2 (HTB w/ LBL)	5.19	2.5	2
C ₆₀ -RTB [1]	5.5	1	-1

表 1-1 各種共振穿隧結構與相關實驗結果列表，其中 F1 元件是含有 FcCOOH 的結構，而含有 CoP 的結構則對應到 F2 的元件 [22]

第二章 非揮發性記憶體操作原理與 C₆₀ 特性簡介

2-1 非揮發性記憶體操作原理簡介

浮動閘極結構的非揮發性記憶體其共同的原理就是利用儲存在內的電荷量來影響電晶體的臨界電壓等特性。定量上的描述如同(1)式所示。

$$\Delta V_T = \int_0^{t_{CT}} \rho(x) \left[\frac{1}{C_B} + \frac{x}{\epsilon_{CT} A} \right] dx \quad (1)$$

其中 V_T 為電晶體臨界電壓， t_{CT} 為電荷儲存層的厚度， ρ 為電荷密度， C_B 為控制氧化層電容， ϵ_{CT} 為電荷儲存材料之介電常數，而 A 與 x 則分別為電容面積與儲存電荷的位置。若定義浮動閘極內沒有電荷，電晶體具有較小臨界電壓時為邏輯狀態 0，則可以在閘極端施加正偏壓使通道區產生電子並透過熱電子注入 (channel hot carrier, CHE) 或穿隧效應等機制使部分電子注入浮動閘極來改變其邏輯狀態為 1，如圖 2-1(a) 所示，反之當外加偏壓為負時，如圖 2-1(b) 所示，則可以造成存入電子的背向穿隧或電洞注入使邏輯狀態回到 0 並完成一次寫入抹除循環(P/E cycle)。

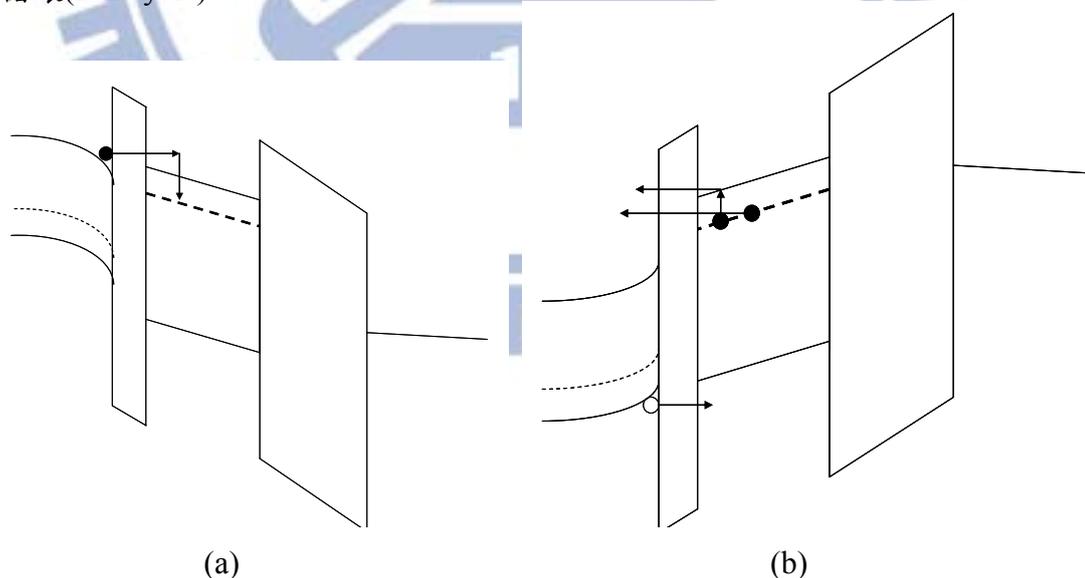


圖 2-1 浮動閘極記憶體做(a)寫入 (b)抹除 時的能帶圖

若用電路架構做區分，則浮動閘極記憶體可分為 NAND 型與 NOR 型，如圖 2-2(a)與(b)所示。NOR 型記憶體因為可單顆獨立操作，速度較快所以被利用來做

程式碼暫存，而 NAND 型記憶體則因其接觸點少且元件密度高，故常被用做大量的資料儲存。根據兩種類型的記憶體其各自的適用目的，在做寫入或抹除時所利用的機制也有所不同，如 NOR 型記憶體因為需要較高的操作速度，所以常見的寫入方式是利用熱電子注入(CHE)，而 NAND 型記憶體因為要避免大量元件運作時所帶來的高功率消耗，所以偏好利用福勒-諾德漢穿隧(Fowler-Nordheim tunneling)機制來做記憶體的寫入與抹除，較為詳細的整理結果列在表 2-1。

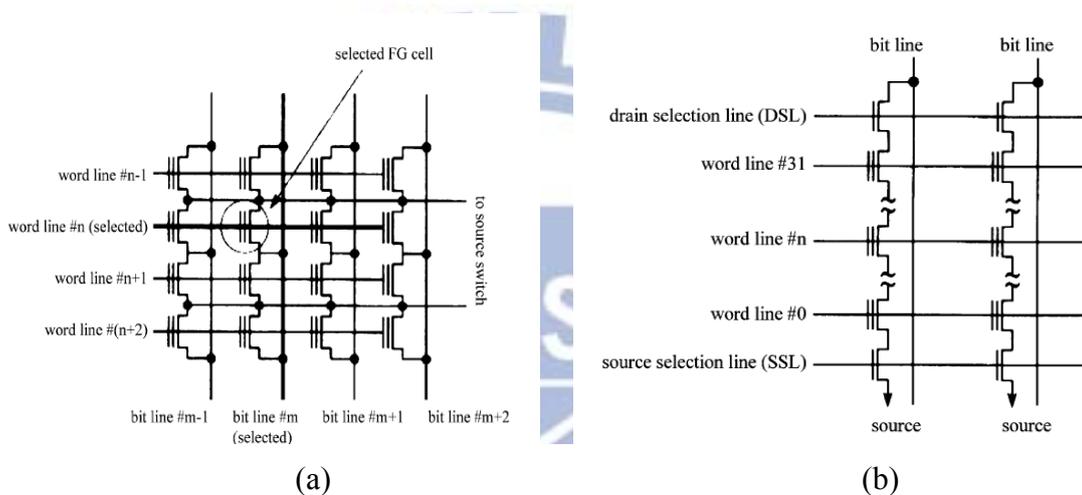


圖 2-2 (a)NOR 型 (b)NAND 型記憶體架構圖 [23]

Operation mode \ Memory type	NOR	NAND
Program	Channel hot electron	FN tunneling
Erase	Band to band hot hole Edge FN tunneling	FN tunneling

表 2-1 NAND 型與 NOR 型浮動閘極記憶體常見寫入或抹除機制

2-2 寫入與抹除機制簡介

根據浮動閘極記憶體的結構與類型不同，其採用的寫入或抹除機制也有所差異，以下就較為常見的機制做簡單的介紹。

2-2-1 福勒-諾德漢穿隧(Fowler-Nordheim tunneling)

根據德布羅意物質波理論，當元件尺度持續微縮至奈米尺度，電子可被視為波且具有一定的機率可穿過能量障壁，即發生穿隧效應。當電子遇到如圖 2-3 所示的能量障壁時，其穿隧機率可透過式(2)的 WKB (Wentzel, Kramers, Brillouin) 近似求出。

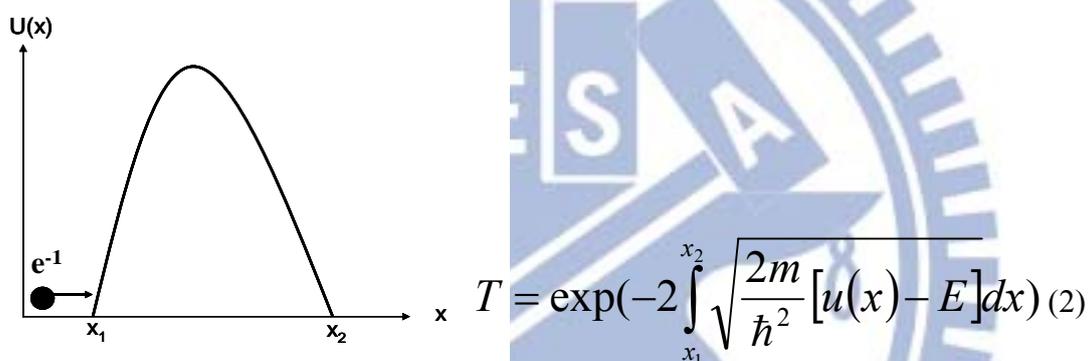


圖 2-3 穿隧能壁示意圖

其中 T 為穿隧機率， \hbar 為約化普朗克常數， m 為電子質量，而 u 與 E 則分別為障壁位能與電子具有的能量。若在寫入或抹除時，電子遇到如圖 2-4 所示的三角型能量障壁，則式(2)可化簡為式(3)，其中 F 為電場強度，而 Φ_B 則為電子入射時所遭遇的障壁高度。

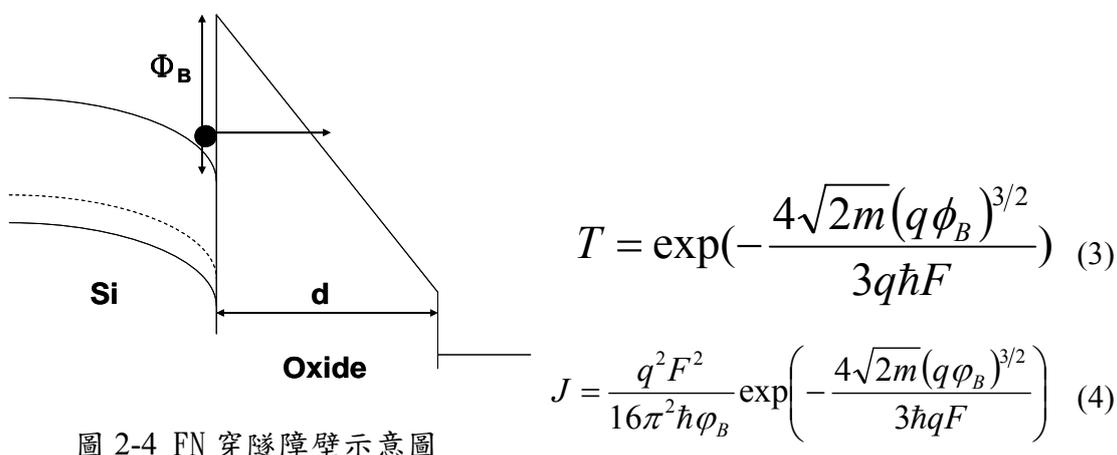


圖 2-4 FN 穿隧障壁示意圖

在做進一步的計算後，可導出如式(4)表示式，此即為福勒-諾德漢穿隧電流(FN tunneling current)。從(4)式中可以觀察到這種穿隧機制具有強烈的電場相關性，故在高電場時可以造成顯著的穿隧電流，又因為穿隧機制造成的功率消耗並不大，所以 FN 穿隧常被應用做 NAND 型快閃記憶體的寫入或抹除。

2-2-2 直接穿隧

若浮動閘極記憶體有極薄的穿隧氧化層，則電子往往遇到的是如圖 2-5 所示的梯型障壁，帶入式(2)並簡化之，則可近似得到式(5)與式(6)，其分別是電子發生直接穿隧的機率與直接穿隧電流，其中 ξ_{ox} 與 V_{ox} 為氧化層上的跨壓與電場。

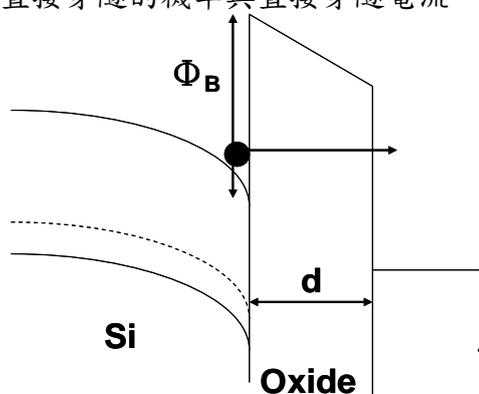


圖 2-5 直接穿隧障壁示意圖

$$T = \exp\left(-\frac{2d\sqrt{2qm\phi_B}}{\hbar}\right) \quad (5)$$

$$J = \frac{A\xi_{ox}^2}{\left[1 - \left(\frac{\phi_B - qV_{ox}}{\phi_B}\right)^{1/2}\right]^2} \exp\left[-\frac{B}{\xi_{ox}} \frac{\phi_B^{3/2} - (\phi_B - qV_{ox})^{3/2}}{\phi_B^{3/2}}\right] \quad (6)$$

從式(6)可以發現，不同於 FN 穿隧機制，直接穿隧電流與厚度有較強的相關性，且隨著厚度的減少會呈指數性的成長。直接穿隧常見於奈米晶粒記憶體，因為其發生不需要很大的電場，所以利用直接穿隧來做為記憶體的寫入或抹除機制可以有效的增加操作速度與降低操作電壓，但相對的由於存入的電荷也容易藉由直接穿隧逸失，所以記憶體的非揮發性維持時間會被大幅的犧牲。

2-2-3 通道熱載子注入(Channel Hot Carrier Injection)

通道熱載子注入(CHE)常見於 NOR 型快閃記憶體的寫入。其操作原理以 NMOSFET 結構為例，是先在閘極端施加正電壓使底部通道區反轉形成並提供電子，再利用施加在汲極(drain)端的正電壓形成汲極往源極(source)方向的水平電場並加速電子，當電子靠近汲極端並獲得足夠能量時，則會與單晶矽價電帶中的電子發生碰撞，碰撞後產生的高能電子會因為垂直方向的電場而向上移動並以一定

的機率通過氧化層障壁並注入浮動閘極。但最近有研究發現，實際上在靠近汲極端因碰撞而產生的電子電洞對中的電洞亦會受到汲極往基底方向的電場加速並在靠近基底處發生二次碰撞並再次產生電子電洞對，且因二次碰撞產生的電子在垂直方向加速時可以獲得較大的動能，所以實際上二次碰撞電子的注入效益會高於靠近汲極所產生的電子。通道熱載子注入可以提供只需數個微秒的高速寫入，但高達 $100 \mu A$ 的寫入電流卻會造成很大的功率消耗，是其主要的缺點。

2-2-4 帶對帶穿隧熱電洞注入(Band to Band Hot Hole Injection)

另一種在浮動閘極非揮發性記憶體中常見的機制為帶對帶穿隧熱電洞注入 (band to band hot hole injection)。其操作方式與原理如圖 2-6(a)、(b) 所示，是在閘極與汲極分別施加負電壓與正電壓並利用垂直方向的高電場使位在閘極與汲極重合處的單晶矽產生高於其能隙的能帶彎曲，接著價電帶中的電子即可以以一定的機率藉由帶對帶穿隧跑到傳導帶，而被遺留在價電帶中的電洞則會受到水平方向電場的作用而加速，且當電洞獲得足夠的動能後，則又會進一步受到垂直電場的作用並以一定的機率克服氧化層的能障來注入浮動閘極。若藉由這種機制來使電洞注入浮動閘極並與既存的電子中和來做記憶體抹除，則元件可在低於 FN 穿隧所需的電壓進行操作並達到較高的抹除速度，故常用做 NOR 型快閃記憶體的抹除，但是由於電洞本身具有較大的等效質量，當其通過氧化層時較容易造成鍵結斷裂等缺陷，故利用這種機制做抹除會造成較差的元件可靠度。

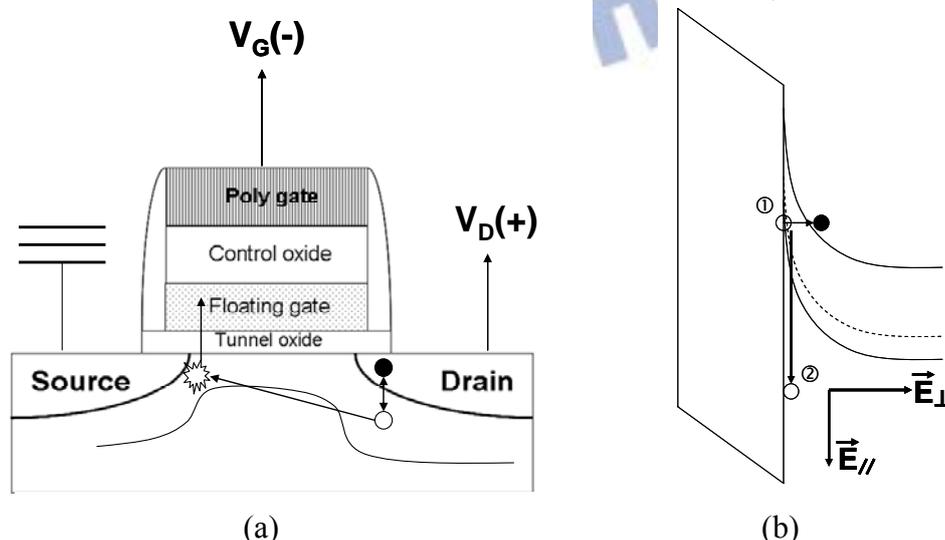


圖 2-6 BBTI hot hole (a)抹除操作與 (b)能帶示意圖

2-3 記憶體元件可靠度簡介

對非揮發性記憶體而言，因為需要面臨重覆大量的操作或要能長時間的保有寫入的邏輯狀態，所以元件可靠度是另一門重要的課題，以下就記憶體的耐久性(endurance)與維持能力(retention)做簡介。

2-3-1 耐久性(Endurance)

一般常見要求記憶體耐久度所要達到的標準門檻是元件在經過高達 10^6 個寫入/抹除循環(P/E cycle)後還要能保持一定的記憶窗(memory window)大小，其中寫入或抹除通常是利用連續的脈波來完成。隨著操作次數的增加，不同的操作機制會產生各種可靠度問題並使記憶體元件特性逐漸劣化。舉例來說，在 NOR 型 SONOS 記憶體中因為分別常利用通道熱載子注入與帶對帶穿隧熱電洞注入來做電荷寫入或抹除，又因為利用這兩種機制注入的電荷在浮動閘極中並非完全集中而是在空間中有一定分布，所以常發生抹除態臨界電壓不穩或電子抹除不完全等現象，因此隨著操作次數的增加，殘存的電子也一再的累積，最後會造成元件整體的臨界電壓逐漸增大等問題。另外，在傳統多晶矽浮動閘極中也常觀察到隨著操作次數增加，記憶窗大小會有先增後減的特性，最後終究會因為兩種記憶體狀態的臨界電壓太過靠近而使元件喪失記憶體功能。之所以會發生這樣的可靠度問題是因為，在前幾次的寫入抹除循環中，有部分電洞被氧化層中既存的缺陷所捕獲並因此拉低了電子要通過氧化層時所需克服的能障大小，所以在可靠度測試的一開始，電子可以更有效率的進出穿隧氧化層來完成元件的寫入抹除，但是隨著操作次數進一步的提升，因為電子進出氧化層所造成的缺陷也逐漸增加，而這些新產生的缺陷狀態亦可以造成電子的捕捉與能障高度的抬昇，所以在可靠度測試的後期電子反而會變得較難以通過穿隧氧化層，伴隨而來的是無法做有效的寫入或抹除與記憶窗大小的微縮。近年來，因為氧化層厚度快速的微縮，既存的問題也日益嚴重，要如何克服這些問題來達到所需的耐久度規範將會是一大挑戰。

2-3-2 維持能力(Retention)

另一個與非揮發性記憶體可靠度有關的重要特性是其對於寫入邏輯狀態的維持能力。一般對於維持能力的標準要求是要能保存寫入的邏輯狀態並維持十年以上的時間，並藉由升溫量測等方式來做加速測試。但是如同第一章提到過的，隨著元件尺度的快速微縮、單一元件多位準功能的要求再加上為了防止電路讀取錯誤而需預留的容錯空間，在單一記憶體元件中所儲存的總電荷數與用來定義各別記憶體狀態所需的電荷數差皆在快速減少，所以要防止因電荷流失造成的記憶體狀態改變亦變得更加困難。儲存電荷流失的可能原因有很多種，常見的有背向穿隧、熱發射或缺陷引起的漏電等，若在保持能力測試中量測到的漏電流具有明顯的閘極電壓或溫度相關性且其大小與量測時間的對數成反比，則造成電荷流失的機制則可能同時包含普爾-法蘭克漏電流(Poole-Frenkel leakage)與缺陷幫助穿隧(trap assist tunneling)。除了以上機制造成的電荷流失外，另一個在保持能力測試中常見到的現象是室溫臨界電壓飄移(room temperature threshold voltage drift)，而造成這種抹除態臨界電壓隨著維持時間拉長而持續增加的現象的成因與氧化層中存在的缺陷種類有關。如同在 CMOS 可靠度相關的研究中所常見的，在施加偏壓的情形下，氧化層中一開始主要會先形成 donor like 的缺陷並捕捉電洞，且在這種缺陷數目達到一定數量後，氧化層內的缺陷產生速率才會漸漸由 acceptor like 的缺陷所主導，所以在沒有經過大量操作次數的前提下，記憶體穿隧氧化層內主要含有的是帶有電洞的 donor like 缺陷，且隨著維持時間增加，電洞會根據穿隧波前模型(tunneling front model)所描述的方式逃出，所以會觀察到臨界電壓隨時間增加的現象。故根據上述理論，若有方法可以有效減少氧化層中既存的 donor like 缺陷密度應就可以有效抑制室溫臨界電壓飄移的現象。

2-4 C₆₀ 材料特性簡介

自從 1985 年 H. W. Kroto 等人在實驗室內成功製備出第一個 C₆₀ 分子後，這種具高度對稱性的球狀分子其特有的物性與化性即引起許多人的注意並投入大

量的研究。圖 2-7 為 C_{60} 分子的結構示意圖，如圖所示其結構是由正五邊型與正六邊型的碳環所拼湊而成的三十二面球體，由於外型與足球相似，故也被稱做足球烯。

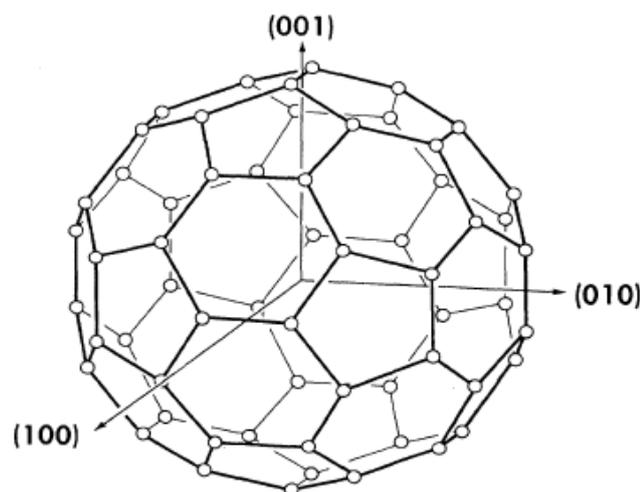


圖 2-7 C_{60} 分子結構示意圖[24]

C_{60} 中的六元環與五元環的個數分別為二十個與十二個，且各五元環彼此孤立不相接，另外為了滿足八隅體結構，碳與碳之間的鍵結共存在著三十個雙鍵，並可以根據其是位在六邊型與五邊型或六邊型彼此間的交界來分成[5,6]鍵與[6,6]鍵等兩大類。不同於 sp^2 混層的[5,6]雙鍵，[6,6]雙鍵這種碳雙鍵是與鑽石結構相同的 sp^3 混層，不但鍵結長度較小，鍵結角度由 120° 縮小至 109.5° ，其具有的雙鍵特性也更明顯，且藉由這種改變， C_{60} 可以降低其整體的自由能讓系統更加趨於穩定。與石墨或鑽石等碳的同素異型體相同， C_{60} 分子本身相當穩定，且自然界中也可以發現它的存在，表 2-2[25]列出的是其常見的物理性質。另外除了表 2-3 所列出的溶劑以外，由於 C_{60} 在大部分物質中的溶解度很差，所以 C_{60} 的大量製備與純化曾經一度遭遇瓶頸，而目前較常見的製備方法有電弧法、不完全燃燒法、熱蒸餾與化學氣相沉積等，也因為這些方法的發明才使得對 C_{60} 的研究與應用更加具有可行性。由於 C_{60} 中存在著相對活潑的 Π 鍵系統，所以可以透過與它反應來對 C_{60} 做添加特定官能基等碳籠的外在修飾並實現各種功能，常見的有羥基化反應與親電加成等，而相關的衍生物如[6,6]-phenyl-c61-butyrac methyl

ester(PCBM)等也已成功的被應用於有機太陽能電池中。另外，藉由特定化學反應亦可以選擇性的破壞 C₆₀ 結構上的碳鍵結，並進一步把其它元素或小分子關進碳籠之中，目前成功被嵌入的案例除了氫、氦等氣體分子外，鋰與鈉等金屬原子也被包含在內，且這種新的分子結構與其具有的特殊性質也吸引了許多人去進行大量研究。

Properties of C₆₀	
Average C-C distance	1.44 Å
FCC Lattice constant	14.17 Å
C60 mean ball diameter	6.83 Å
Mass density	1.72 g/cm ³
Molecular density	1.44 x 10 ²¹ /cm ³
Bulk modulus	14 Gpa
Structural phase transitions	255K, 90K
Binding energy per atom	7.4 eV
Electron affinity (pristine C ₆₀)	2.65 eV
Vol. Coeff. Of thermal expansion	6.2 x 10 ⁻⁵ cm ³ /K
Band gap (HOMO-LUMO)	1.7 eV
Velocity of sound v _t	2.1 x 10 ⁵ cm/sec
Velocity of sound v _l	3.6 x 10 ⁵ cm/sec
Debye temperature	185 K
Thermal conductivity (300 K)	0.4W/mK
Phonon mean free path	50 Å
Static dielectric constant	4.0 – 4.5
Standard heat of formation	9.08 k cal mol ⁻¹
Index of refraction	2.2 (600nm)
Boiling point	Sublimes at 800K
Resistively	1014 ohms m ⁻¹
Vapor pressure	5 x 10 ⁻⁶ torr at room temperature 8 x 10 ⁻⁴ torr at 800K (Crystal form Hexagonal cubic)

表 2-2 C₆₀ 分子的基本物理特性[25]

C ₆₀ Extract mixture solubility	
1,2,4-trichlorobenzene	20mg/ml
carbon disulfide	12mg/ml
Toluene	3.2mg/ml
Benzene	1.8mg/ml
Chloroform	0.5mg/ml
carbon tetrachloride	0.4mg/ml
Cyclohexane	0.054mg/ml
n-hexane	0.046mg/ml
Acetonitrile	0.02mg/ml
Methanol	0.9μg/ml

表 2-3 C₆₀ 分子對各種溶劑之溶解度，其中列出的為近似飽和濃度

C₆₀ 在常溫常壓下為略帶金屬光澤之黑色分子固體，彼此間只存在弱的交互作用力，且晶格排列屬於面心立方結構。圖 2-8 為其能帶結構示意圖，從圖中可以觀察到其最高已占據軌域對最低未占據軌域間隙(HOMO-LUMO gap)約為 1.7 eV，且費米能階約在能隙中央，屬於由電子主導電荷傳輸的 n 型半導體。C₆₀ 的最低未占據軌域是屬於三重簡併的分子能階，根據包立不相容原理最多可容納六個電子，且其中四個還原態已可利用常見的循環伏特法做驗證，暗示 C₆₀ 具有做為電荷奈米儲存點的能力。另外，從圖 2-8 中也可以觀察到，在 C₆₀ 薄膜並非完美晶體的前提下，其 HOMO-LUMO gap 中可能存在著 donor like 或 acceptor like 缺陷，且分別位於價電帶上方 0.8 eV 與傳導帶下方 0.35 eV 的位置，其中 donor like 缺陷的來源為碳的懸浮鍵結，而 acceptor like 的缺陷則是因為 C₆₀ 中存在著氧原子而造成的[26]。由於本質 C₆₀ 薄膜中的電荷傳遞是透過其在各分子間做躍遷(hopping)來完成，故其本身的導電度並不算高，另外雖然 C₆₀ 的晶格排列是屬於具有最密堆積的面心立方結構，但是由於 C₆₀ 分子本身與原子相比相對巨大，故 C₆₀ 分子彼此間存在著許多間隙位置(interstitial sites)，所以一旦將其暴露在空氣之中，空氣中的氧將大量擴散至 C₆₀ 薄膜中並占據這些間隙位置同時產生大量的

acceptor like 的缺陷，而這些缺陷將會進一步的捕捉電子並使其載子遷移率大幅降低，顯著地改變本質 C₆₀ 薄膜的電性[27]，這在利用 C₆₀ 當作通道的有機薄膜電晶體中是需要盡力去避免的。

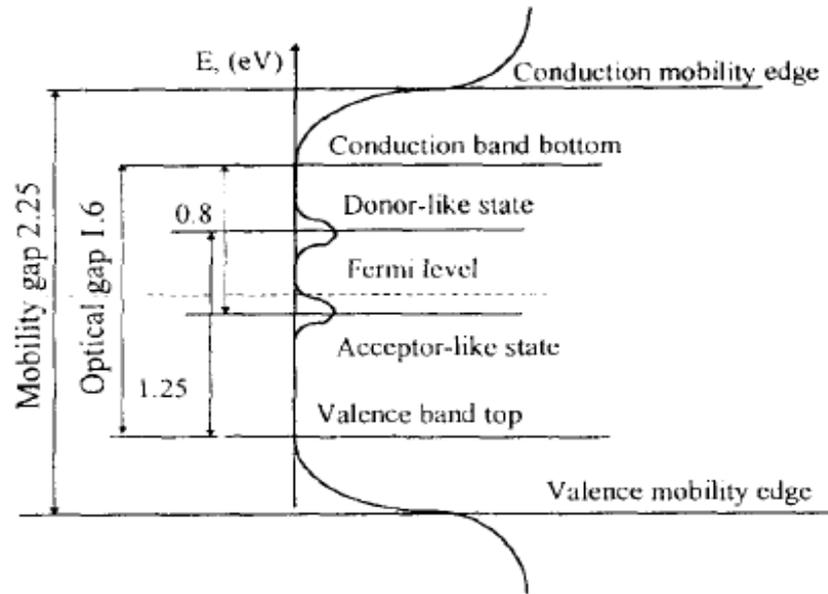


圖 2-8 C₆₀ 分子能帶結構示意圖[27]，其中缺陷狀態的標示有誤

第三章 C₆₀ 浮動閘極結構電容與氧離子移動模型

3-1 前言

關於 C₆₀ 的研究有許多皆是注重於其本質的物理或化學性質，在半導體應用的方面則相對較少。在這個章節中，我們嘗試利用熱蒸鍍的方式將 C₆₀ 粉末沉積在二氧化矽上並製作成浮動閘極結構，利用材料或電性分析來探討其應用於非揮發性記憶體的可能性。

3-2 實驗部分

3-2-1 C₆₀ 薄膜製作

在正式製作成元件前，初步的薄膜特性分析是需要的。由於實驗室之前並沒有沉積 C₆₀ 薄膜的經驗，所以在使用熱蒸鍍法並配合石英振盪器來製作薄膜前有幾個參數需要先確定，其分別是 C₆₀ 的密度、聲速阻抗(acoustic impedance)與蒸鍍機台的 tooling factor。其中 C₆₀ 的密度為 1.72 g/cm³ 是由 SES research 所提供，聲速阻抗則是參考 S. Tin 與 A. Lal 的研究[28]並使用 3.58 MRayl，而 tooling factor 則因為機台本身是新採購的且尚未校準，故先當作是 1。在經過標準清洗後，先將 p 型矽基板固定於蒸鍍載台上並抽真空使背景壓力降至 4×10⁻⁶ torr 以下，之後則固定 10 A/min 的速率緩緩將 power 加至 110 A 並靜置三到五分鐘做預蒸鍍的動作來去掉 C₆₀ 粉末表面可能有的汙染，接著則打開蒸鍍源與矽基板間的遮罩並用石英震盪器來做厚度的監控來完成 C₆₀ 薄膜的沉積，最後再將沉積完的薄膜拿去做厚度或橫截面分析，整體流程如圖 3-1 所示。

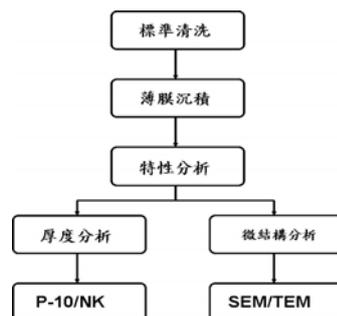


圖 3-1 C₆₀ 薄膜分析流程圖

3-2-2 C₆₀ 浮動閘極記憶體製作

圖 3-2(a)、(b)分別為 C₆₀ 浮動閘極記憶體的結構與製程示意圖。首先，利用標準清洗製程(standard clean, STD)將 p 型矽基板上的污染物洗去並利用國家奈米中心中的垂直爐管用乾氧化的方式在矽晶圓表面成長出厚約 4.5 nm 的二氧化矽做為穿隧氧化層，接著用章節 3-2-1 所述的方式沉積厚度約為 50 nm 的 C₆₀。為了避免長期暴露在空氣中所造成的薄膜品質劣化，當 C₆₀ 沉積完成並破真空之後，我們隨即接著下一道製程，將其載入電子槍蒸鍍系統的腔體並抽至高真空的環境同時利用熱蒸鍍的方式在 C₆₀ 上覆蓋了一層約 4.5 nm 的二氧化矽用來防止後續電漿製程對 C₆₀ 薄膜的傷害。接著我們利用電漿輔助化學氣相沉積的方式並以四乙基正矽(TEOS)為反應物沉積 11 nm 的二氧化矽做為控制氧化層。最後我們利用影遮罩(shadow mask)並用真空濺鍍的方式鍍上厚約 100 nm 的鎳金屬來做為上電極，並完成整個元件結構的製作。其中厚度校準的部分，二氧化矽薄膜是利用 N-K 做厚度量測，而 C₆₀ 薄膜則因沒有相關的參數，所以只能利用石英震盪器的讀數配合 P-10 量測藉由撕掉在控片上的真空膠帶所造成的厚度落差來做厚度估計，而精準的厚度則可藉由穿透式電子顯微鏡拍出的結構剖面圖測得。

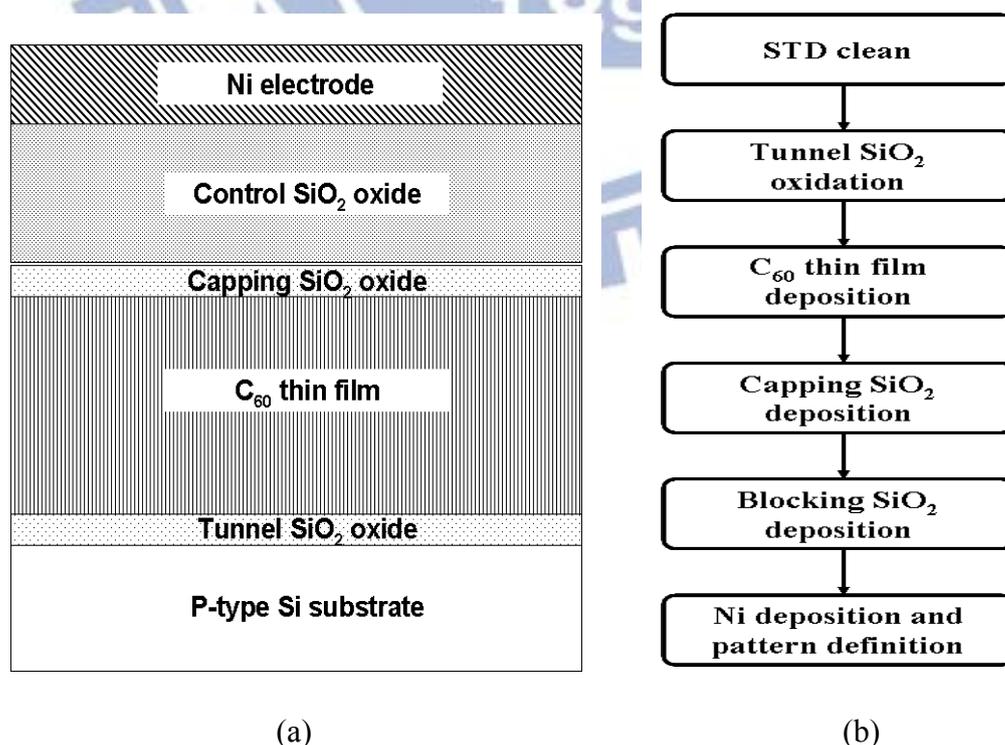


圖 3-2 C₆₀ 浮動閘極記憶體的(a)結構與(b)製程示意圖

3-2-3 材料與分析儀器

A. C₆₀ 粉末

實驗中所使用的 C₆₀ 粉末是向 SES research 所購買的，為經過純化且純度達 99.9 % 以上外觀呈黑色的粉末，其相關的特性或規格如表 2-2 所列。

B. 熱蒸鍍系統(Thermal Evaporator)

實驗中用來製作 C₆₀ 薄膜的熱蒸鍍系統是由交通大學電子工程研究所三維積體電路實驗室所提供，型號為 ULVAC 的 VPC 蒸鍍機系列，外觀如圖 3-3 所示。其結構主要可分為三個部分，分別是蒸鍍腔體(evaporation chamber)、真空系統(vacuum system)與直流電源加熱系統(DC power supply)。其中真空系統是由油迴轉幫浦(rotary pump)與油擴散幫浦(diffusion pump)所組成，且可藉由三向閥來控制各管線與蒸鍍腔體間的連通。正常操作下，可先利用油迴轉幫浦將蒸鍍腔體內的壓力抽至 5×10^{-2} torr，接著再利用擴散幫浦將腔體背景壓力抽至 4×10^{-6} torr 以下，整個過程約 2~3 個小時且若使用液態氮做冷卻，則抽氣效率可以更高。另外直流電源加熱系統是由外接的兩台電源供應器和與其對應的三個加熱源所組成，其中 A 與 B 加熱源共用一台電源供應器與接地端，而 C 加熱源為另外獨立的，所以最多可以同時加熱兩種靶材並使其揮發，達到共蒸鍍的效果。至於蒸鍍腔體除了加熱源與被固定的晶舟外，在晶舟與晶圓載台間設有擋板，可透過手動來控制蒸鍍的開始與結束，而監測膜厚用的石英震盪器位在靶材的揮發路徑上，其 tooling factor(蒸鍍載台上的膜厚÷石英震盪器上的膜厚×100%)則固定預設為 1。



圖 3-3 VPC 蒸鍍系統之外觀

C. 雙電子槍蒸鍍系統(Dual E-Gun Evaporation System)

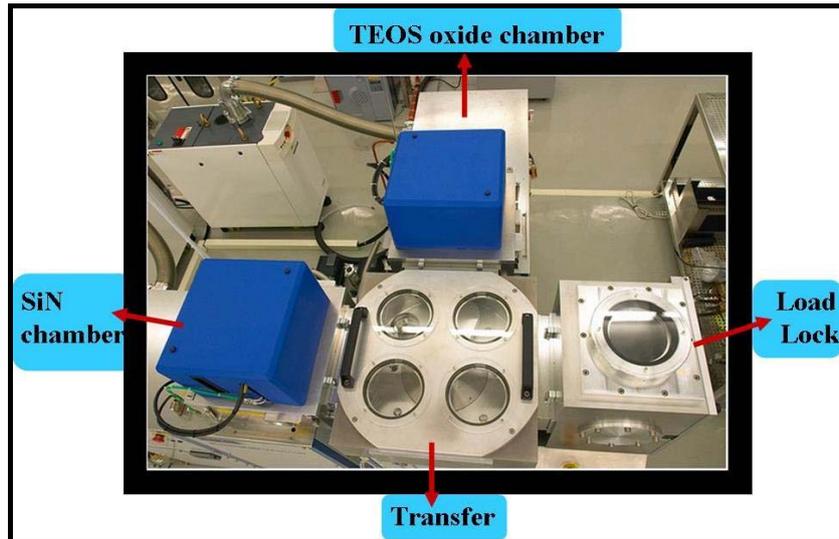
圖 3-4 為交通大學奈米中心雙電子槍蒸鍍系統的外觀，其型號為 ULVAC EBX-10C。其製程腔體可放置四吋或六吋晶片，而兩個電子槍蒸鍍源則分別有其對應的電源供應器，可各自做獨立的功率或電子束調控，所以也可以做共蒸鍍的動作，至於其抽氣系統則是由一組油迴旋幫浦與低溫幫浦所組成。為了讓蒸鍍靶材有足夠長的平均自由徑，腔體的背景壓力須維持在 4×10^{-6} torr 以下，另外若需要更高的薄膜潔淨度或品質則可以藉由刻意延長抽真空的時間來完成。



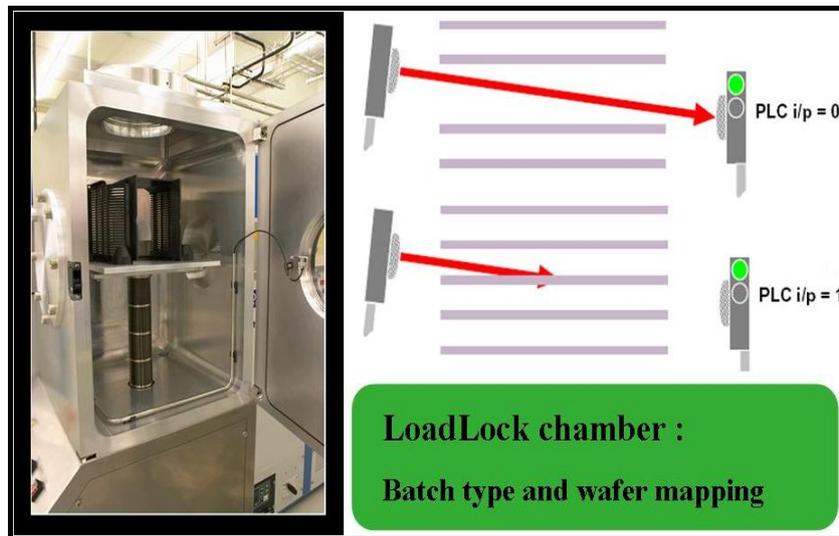
圖 3-4 雙電子槍蒸鍍系統外觀圖

D. 電漿輔助化學氣相沉積(Plasma Enhanced Chemical Vapor Deposition)

圖 3-5(a)為國家奈米元件實驗室的電漿輔助化學氣相沉積系統(PECVD)，其廠牌與型號為 Oxford 100 PECVD cassette system，適用的晶圓尺寸為六吋。如圖所示，其是由兩個製程腔體、一個載入腔體(load lock chamber)與一個傳遞腔體(transfer chamber)所組成，而晶圓在各腔體間的傳遞移動是靠機械手臂的動作來完成。製程腔體 1 內可以做 SiO_x 與 SiN_x 的沉積，而製程腔體 2 則是利用四乙基正矽酸鹽(TEOS)為原料來做 SiO_2 的沉積，其所用的反應式為 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4 + \text{N}_2\text{O}$ (or O_2) \rightarrow $\text{SiO}_x + \text{H}_2 + \text{CO}_x + \text{N}_2$ 。至於載入腔體則如 3-5(b)所示，內部裝有紅外線感測裝置，可自動偵測晶圓編號與擺放位置。



(a)



(b)

圖 3-5 (a) 電漿輔助化學氣相沉積系統與其 (b) 載入腔體外觀

3-2-4 分析儀器

A. N&K 薄膜測厚儀

在我們的元件中，除了 C₆₀ 薄膜外，大部分的厚度皆是透過國家奈米元件實驗室之 N&K 薄膜測厚儀來做量測與校準。其工作原理是透過量測薄膜的吸收與反射光譜來反推薄膜的厚度，目前可用的資料庫包含矽化合物、鍺化合物、金屬與常見的 II-VI 或 III-V 族化合物，而需要的基板大小則至少要大於 5 cm x 5 cm。

B. P-10 表面輪廓儀

本實驗所用到的 P-10 表面輪廓儀是由國家奈米元件實驗室所提供，其主要利用探針的掃動來量測表面的高低起伏，在經過校正的情況下可以提供短距離垂直方向上高達 1 Å 的解析度或長達 60 mm 掃描範圍內的表面輪廓。其所提供的掃描頻率有 50、100 與 200 Hz 等三種，且可在單次掃描記下 5000 點的資料，可以適度地減少量測上的誤差。因為它量測的是表面的起伏輪廓，而不受限於待測物的材質，所以配合利用真空膠帶或鋁箔所刻意形成的階梯狀落差，P-10 表面輪廓儀可用來做各種材質薄膜厚度的估計。

C. 場發射掃描穿透式電子顯微鏡(STEM)

實驗中各層鍍膜精準的厚度量測是透過場發射掃描穿透式電子顯微鏡(field emission scanning transmission electron microscope, STEM)來拍攝的元件剖面圖而完成的。其原理是透過高能電子束在穿過不同材質薄膜時會發生散射，而散射後的電子經過複雜的電磁透鏡與光圈組合後會被收集並在螢光板上成像，所形成的黑白對比影像可以用來觀察薄膜的微結構與結晶情形。常見的成像解析度公式是 $R = \frac{K_1 \lambda}{N.A.}$ ，其中 R 為解析度、 K_1 為系統常數、 λ 為波長而 $N.A.$ 則為數值孔徑(numerical aperture, N.A.)。根據這個公式，由於高能的電子擁有極短的波長，所以 STEM 的成像解析度甚至可達 1 Å。另外，透過附加的能量散射光譜儀(energy dispersive spectrometer, EDS)，我們可以定性的完成極小區域內的化學組成分析，但值得注意的是對於碳或氧等較輕的元素其偵測能力較差。

D. 電性分析

本實驗中所做的 C-V 量測皆是透過 Agilent 4284 precision LCR meter 完成，而變電壓長時間的 stress 則是透過 Agilent 4156 precision semiconductor parameter analyzer 來完成，至於寬度小於 1ms 的電壓脈衝則是透過 Agilent 8110A pulse generator 來做輸出。

3-3 實驗結果

3-3-1 C₆₀ 薄膜分析

表 3-1 為熱蒸鍍 C₆₀ 薄膜時所使用的實驗參數，其中晶舟阻值為定值，故施加的 DC 功率會與電流平方成正比，而基板溫度則固定在常溫，至於工作壓力雖然會隨著蒸鍍時間增加，但約可視為落在 6.0×10^{-6} torr 附近。另外，為了保護石英震盪器與確保 C₆₀ 分子不會在蒸鍍過程中因為過高的溫度而裂解，所施加的直流電流大小最高為 120 A，以確保晶舟溫度與蒸鍍速率不會過高。

DC current supply (A)	Working pressure (Torr)	Substrate temperature (°C)	Deposition rate (Å/s)
100	6.0×10^{-6}	25	N/A
105			0~0.1
108			0.1
109			0.1~0.2
110			0.4

表 3-1 熱蒸鍍 C₆₀ 薄膜之實驗參數

A. ESCA 分析

圖 3-6 為 C₆₀ 薄膜在不同深度位置之 ESCA 分析結果，其中(a)、(b)與(c)分別對應到的是 O 1s、Si 2p_{3/2} 與 C 1s 軌域，其中深度是以表面覆蓋的二氧化矽作為起始點，以 27 nm/min 的蝕刻率對不同蝕刻時間作換算而得出。因為是從二氧化矽表面開始蝕刻，所以在 0 nm 的位置，在 Si 2p_{3/2} 所對應的 99.4 eV 與 103.5 eV 處仍有相當明顯的訊號，且 O 1s 的訊號也會由 532.9 eV 的位置稍微向右偏移 [29]。隨著蝕刻位置加深，由於逐漸遠離表面的二氧化矽，Si 2p_{3/2} 的訊號會衰減至可以忽略的程度，而 O 1s 的訊號也會因薄膜主要組成不再是二氧化矽而回到

532.9 eV 之位置。另一方面 C 1s 在 284.5 eV 的位置則一直保有明顯且對稱的波形，可見在薄膜中存在著大量的 C-C 鍵結，這些證據皆可以當作在表面二氧化矽之下主要薄膜組成是 C₆₀ 的證據。

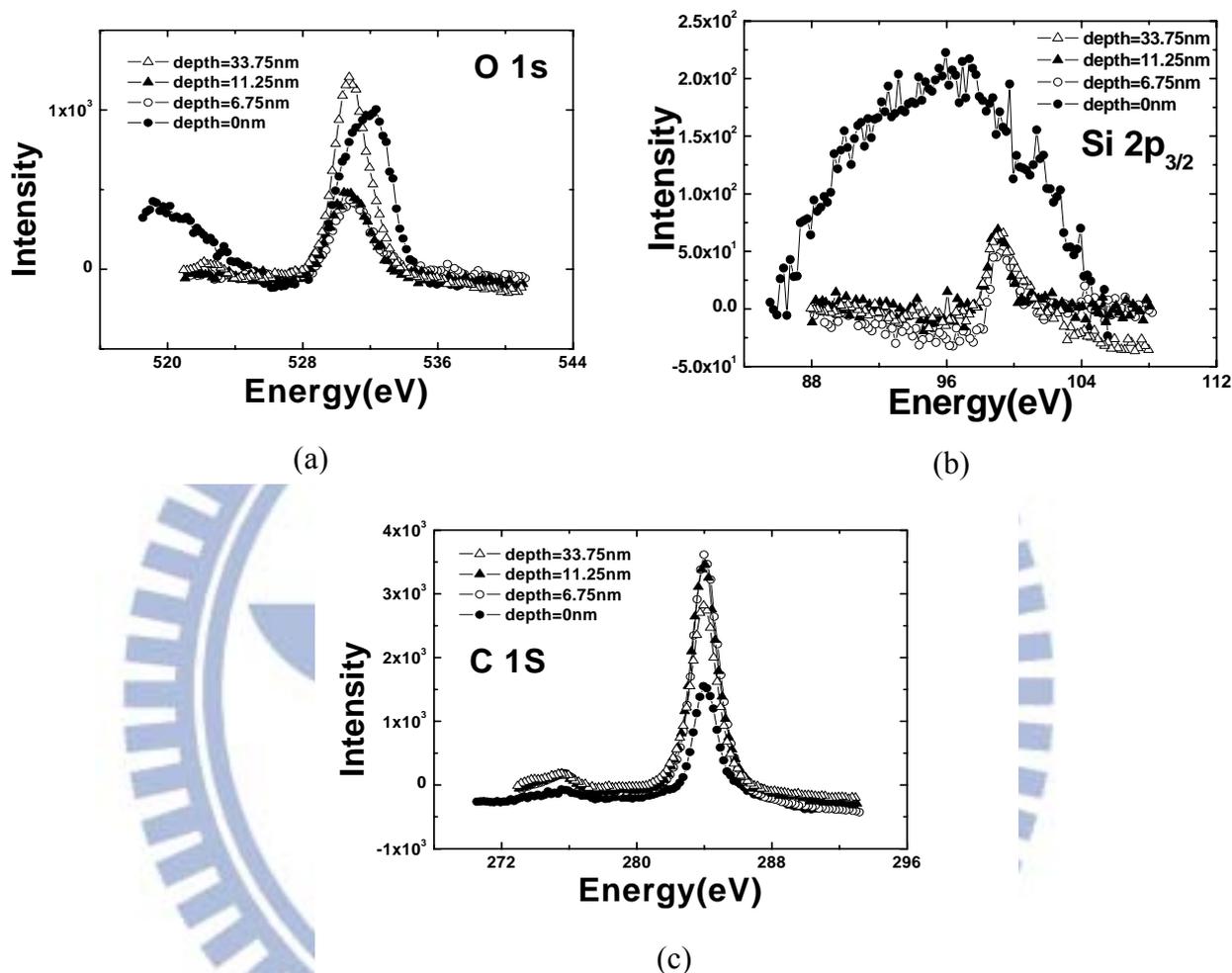


圖 3-6 C₆₀ 薄膜在不同深度位置的(a) O 1s、(b) Si 2p_{3/2} 與(c) C 1s 軌域之 ESCA 分析結果

若將各元素在不同薄膜深度時的訊號強度對能量積分，則可以得到在不同深度時，薄膜中各元素的組成百分比，如圖 3-7 所示。從圖中可知，除了表面二氧化矽的部分之外，薄膜中絕大部分的組成是碳，其百分比佔了 85%~94%，此外還有部分的氧與極少量的矽，其中氧的來源猜測可能是在鍍完 C₆₀ 薄膜後，在轉換製程腔體的過程中會讓 C₆₀ 薄膜短暫暴露在空氣中所致，另外由於矽的訊號極其微弱，其來源可能是利用聚焦離子束在切 TEM 試片所揚起的些微粉末所造成的，或只是單純量測上的誤差所致，而不是真的在薄膜中存在著矽元素所造成的。

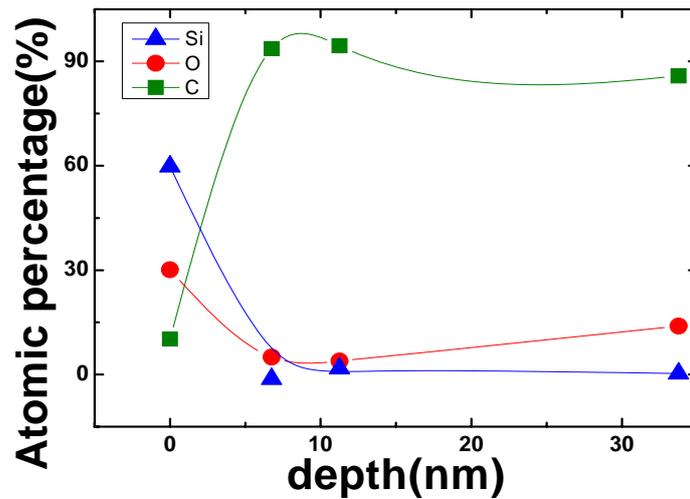
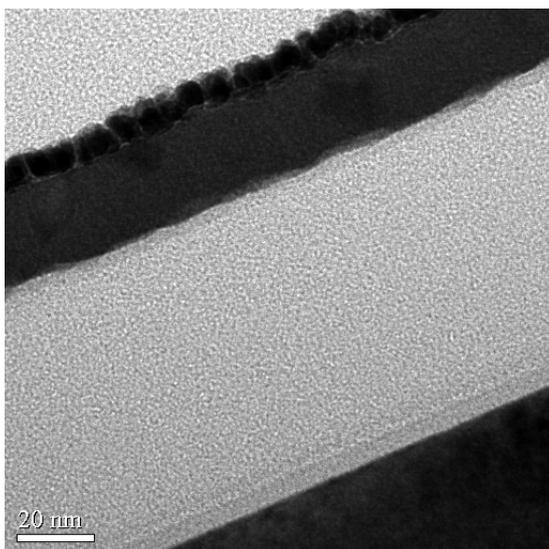


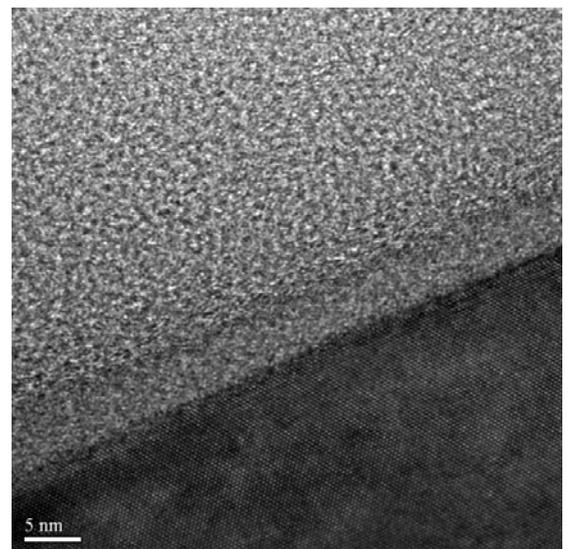
圖 3-7 各元素在 C_{60} 薄膜中不同深度位置之組成百分比

B. TEM 分析

圖 3-8(a)、(b)為 C_{60} 薄膜的 TEM 剖面圖，其中層狀結構中最右下角部分為單晶矽，接著為穿隧二氧化矽、 C_{60} 與覆蓋於其上的熱蒸鍍二氧化矽。從圖中可以明顯看出基板中矽原子具有整齊的單晶排列，而其餘各層的原子則呈現非晶相的混亂排列，且各層薄膜間皆具有很薄的一層介面層，另外利用 TEM 剖面圖所估計出的 C_{60} 薄膜與二氧化矽薄膜厚度則分別為 50 nm 與 4.5 nm。



(a)

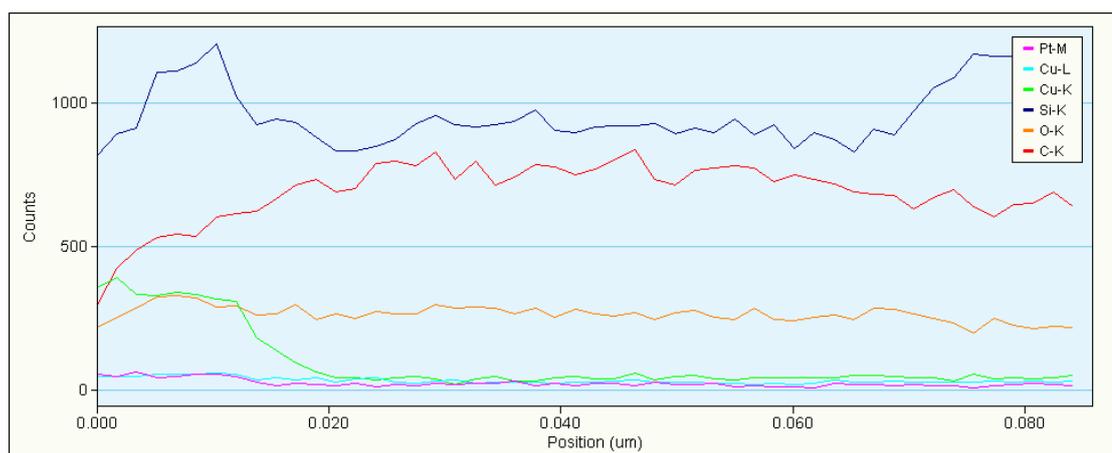


(b)

圖 3-8 C_{60} 薄膜的 TEM 剖面圖

C. EDS 分析

為了更清楚的了解氧在整個薄膜中的縱深分佈，在拍 TEM 剖面圖的同時，我們也對試片做了 EDS 分析。圖 3-9(a)、(b)分別為 EDS 的分析結果與縱深分析方向示意圖。其中在兩端有較明顯的矽元素訊號的位置分別對應到的是上下兩層的二氧化矽，而中間位置矽訊號的來源則很可能與 ESCA 分析時類似，是 TEM 試片製作時來自於單晶矽基板本身的污染，另外由於 EDS 分析時，電子束也會激發到附著在周遭腔體的污染物，所以會有鉑或銅等元素的雜訊。由於 EDS 分析本身的限制，其對於原子序 11 以下的元素的敏感度可能會略差，所以碳或氧與矽之間的比較會較不具意義，但從中可以知道的是氧在 C₆₀ 薄膜中的分佈還算均勻，並不會有某些特定位置具有較高濃度的情況發生。



(a)

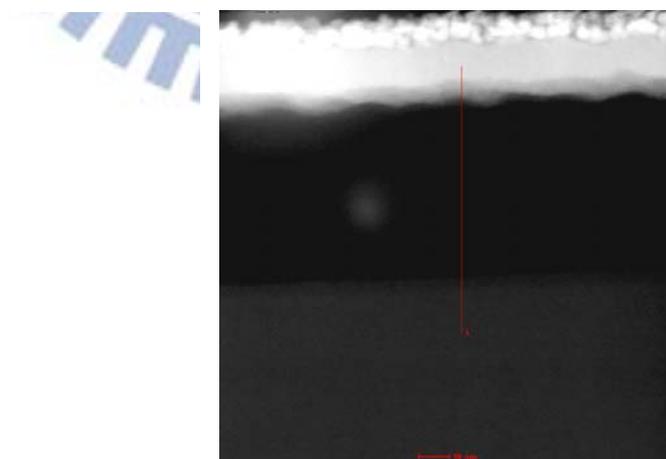


圖 3-9 (a)C₆₀ 薄膜 EDS 分析結果與(b)分析位置示意圖

D. 介電常數(Permittivity)萃取

圖 3-10 為萃取出來的 C_{60} 介電常數對頻率所作之圖。我們使用的萃取方法是在不同頻率下測量含有 C_{60} 的電容還有與其對應的控制結構在 accumulation region 時的電容值，並利用串聯電容的模型，將 C_{60} 薄膜本身所貢獻的電容值求出，最後再利用平行電容板公式 $C_{C60} = \frac{\epsilon_0 \kappa_{C60} A}{t_{C60}}$ ，即可將不同頻率下的 C_{60} 介電常數求出，其中 $\epsilon_0 = 8.85 \times 10^{-12}$ F/m 為真空介電常數，而 A 與 t_{C60} 則分別為電容面積與 C_{60} 薄膜厚度。從圖中可以觀察到當小訊號頻率落在 10^3 Hz~ 10^6 Hz 時，萃取出來的介電常數並不會隨著頻率有太大的變化，其值約略落在 $\kappa=6.8$ ，而之所以萃取出來的 κ 值會大於 SES 所提供的範圍($\kappa=4.0\sim 4.5$)的原因很可能是因為我們在萃取時並沒有排除掉邊際效應所貢獻的寄生電容，造成 κ 值略被高估的結果。另外，當小訊號頻率由 10^3 Hz 降至 10^2 Hz 時，萃取出來的 κ 值有很明顯的增加，在 100 Hz 時其值為 14.63，而這樣的現象則可以用 B. Pevzner 所提出的 impurity-induced polarization[30]來解釋，同時也再一次的印證了 C_{60} 薄膜中氧的存在。

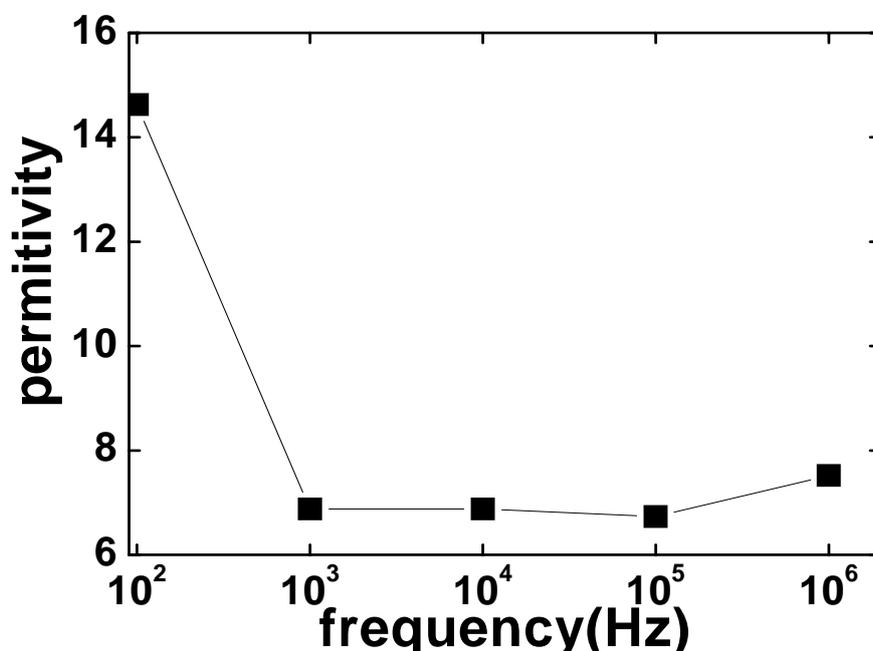


圖 3-10 不同頻率下萃取出來的 C_{60} 介電常數

3-3-2 順時針電容遲滯效應之分析

圖 3-11 為 C_{60} 浮動閘極結構的電容遲滯曲線。從中可以看到當電壓維持在 $V_G = -2 \text{ V} \sim 4 \text{ V}$ 的範圍內來回掃動時，因為電容被施加的電壓與電場還小，電容的平帶電壓約略落在 $V_{FB} = -1 \text{ V}$ 左右的位置且不隨掃動方向改變而移動。但當電壓掃動範圍增加至 $V_G = \pm 15 \text{ V}$ 時，可以觀察到電容曲線會隨著電壓掃動方向移動並開出明顯的記憶窗大小，且電容遲滯現象為順時針方向的移動。在 C_{60} 浮動閘極電容結構中，其之所以會不同於一般快閃記憶體而表現出順時針方向的遲滯效應的可能原因有以下幾種：1. 控制氧化層的品質可能沒有想像中來的好，所以在這樣的閘極堆疊結構與操作電壓範圍下，電荷會偏好由上電極的方向作注入或抹除[31]。2. 在電場足夠大的前提下，在 C_{60} 薄膜中會產生順著外加電場方向排列的區域性電偶，進一步產生額外的內建電場或在靠近穿隧氧化層的位置有靜電荷的排列[32]。3. 在 C_{60} 薄膜中存在著帶有特定極性的靜電離子，且會隨著外加電場方向在 C_{60} 薄膜中來回移動並在巨觀上造成電容曲線的移動[30,33]。

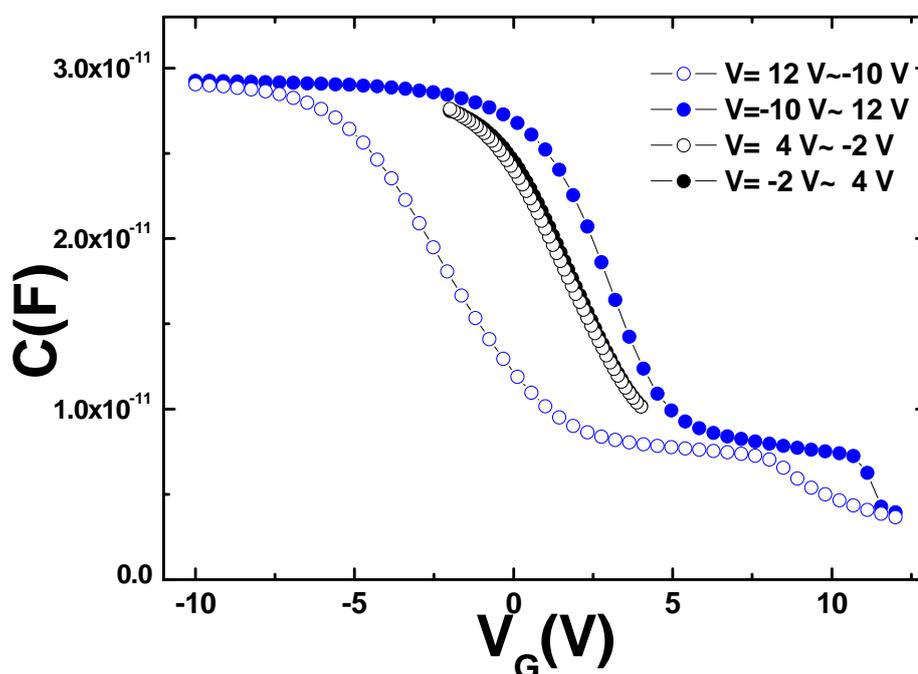


圖 3-11 C_{60} 浮動閘極結構的電容遲滯曲線

為了研究在現有的閘極結構下是否會發生自上電極方向的電荷注入，或是實際上存在其他的機制會造成 C_{60} 電容順時針方向的電容遲滯效應，我們設計了一組對照實驗。實驗的方法是在其他製程參數與厚度都固定的前提下，把 C_{60} 薄膜換成 Pt 的奈米晶粒，將元件製作成一般常見的金屬奈米晶粒記憶體，並利用 C-V 量測的方法來檢視相同氧化層厚度結構下電荷注入之方向。

A. Pt 奈米晶粒與元件製作

與 C_{60} 浮動閘極電容類似，P 型的矽晶圓在經過標準 RCA 清洗步驟之後會先利用垂直爐管以熱氧化的方式在矽晶圓表面成長一層約 4.5 nm 厚的二氧化矽作為穿隧氧化層，之後我們利用雙電子槍蒸鍍系統在其上蒸鍍一層 16 Å 的 Pt 薄膜並利用國家奈米實驗室的後段快速退火爐在 800 °C 的溫度下做 10 s 的 RTA。之所以會選用這樣的退火條件是因為如圖 1-6 所示，根據 Chungho Lee et al., [16] 的研究，在這樣的退火條件下可以給予 Pt 原子足夠的動能使其能在表面移動並聚集成核，但形成的顆粒尺寸又不會過於巨大，因此可以形成高密度且尺寸適當的 Pt 奈米晶粒作為電荷儲存的位置。在經過 RTA 的步驟之後，同樣的我們利用雙電子槍蒸鍍系統沉積一層 4.5 nm 厚的二氧化矽並在其後沉積 11 nm 厚的 PETEOS 來完成控制氧化層的結構，最後透過影遮罩沉積 100 nm 的鎳金屬來定義上電極並完成元件的製作。

B. C-V double sweep

圖 3-12 為 Pt 奈米晶粒記憶體的 C-V double sweep 量測結果。從圖中可以看出當電壓在 $V_G = \pm 2$ V 的範圍間來回掃動時，其電容遲滯曲線為逆時針方向旋轉的，且在 $C = 0.125$ nF 時所對應的記憶窗大小為 $\Delta V_{FB} = 0.445$ V，而當掃動範圍增加至 $V_G = -2$ V ~ 8 V 時，記憶窗大小也跟著增加至 $\Delta V_{FB} = 1.17$ V，代表著有更多的電荷被存入 Pt 奈米晶粒。另外，當電壓掃動範圍增加時， ΔV_{FB} 的增加主要都是藉由電壓由正往負的方向掃動進一步造成的電容曲線右移所貢獻，而另一個方向的電容曲線移動則是相對較小的，可見該元件主要是利用儲存電子來造成平帶電壓的偏移。從實驗結果我們可以得知，Pt 奈米晶粒記憶體在相同的閘極結構設

計之下，主要是依靠電子在穿隧氧化層的進出來改變其狀態，而這也符合我們原先設計的預期。也因為這個經過這個實驗的認證，使我們相信造成 C_{60} 電容順時針方向的電容遲滯效應的原因並不是因為上電極電荷注入，而是由其他不同的機制所造成的。

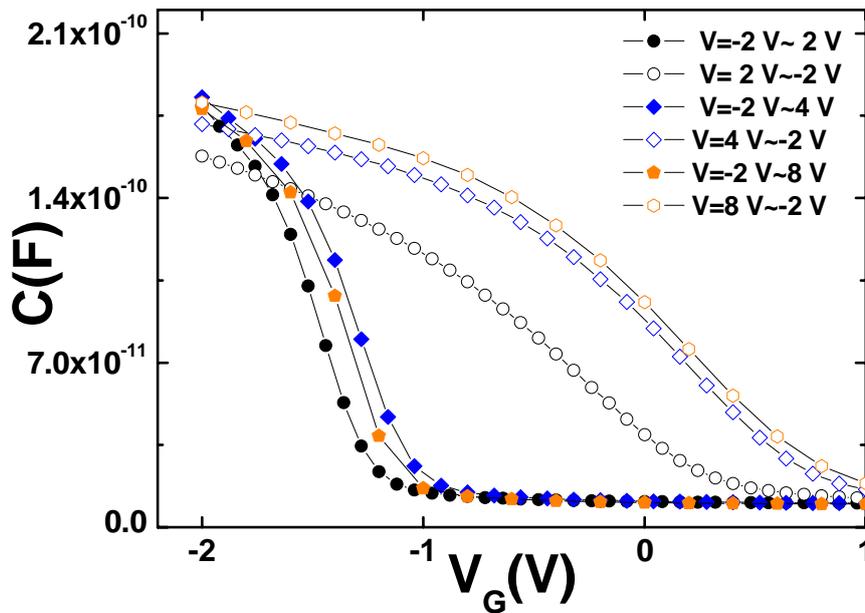


圖 3-12 Pt 奈米晶粒記憶體的電容遲滯曲線

C. 氧離子移動擴散模型

由 Pt 奈米晶粒記憶體的實驗結果我們可以得知，在相同的跨壓與電場強度下，電荷穿過控制氧化層而由上電極注入的情形不會發生於我們所設計的閘極堆疊結構中。另外，在先前我們藉由 EDS 與 ESCA 等材料分析的方式可以得知 C_{60} 薄膜中存在著少量但在垂直方向均勻分布的氧，且在介電常數萃取的實驗裡我們可以知道氧會影響 C_{60} 薄膜的電性，故我們懷疑在 C_{60} 閘極電容結構中所觀測到的順時針電容遲滯效應也許與 C_{60} 薄膜中存在的氧有關。如同前面 2-4 節中所提到過的，在 C_{60} 分子中存在著 Π 鍵系統，且由於其相對上較為活躍的化性，氧原子可能會在這個位置上與其發生鍵結或部分極化的現象。如圖 3-13 所示，根據 Yusuke Tanaka et al., 的研究[33]，氧在 C_{60} 薄膜中可能會以四種不同的方式存在著。從圖中可知，存在於 C_{60} 薄膜中的氧除了可能與 C_{60} 或其他雜質化合以外，其也可能待在 C_{60} 晶格中的間隙位置並作為捕捉電子的陷阱存在著，另外由於氧

與碳的電負度並不相等，故當氧靠近碳原子時，其彼此間可能會發生區域性的極化或電荷轉移並形成電偶，若此時外加在 C_{60} 薄膜中的電場強度大到足以使其分離，則 C_{60} 薄膜中則可能出現區域性帶電的情形。因此，如圖 3-14(a)所示，當 C_{60} 電容的上電極被施加正電壓時，由上往下的電場方向會迫使帶負電的氧離子往頂部移動並聚集在靠近控制氧化層處並形成由下往上的內建電場，而根據 $\Delta V_{FB} = \frac{-1}{C_0} \left[\frac{1}{d} \int_0^d x \rho(x) dx \right]$ ，這樣的電荷排列方式會造成負的 ΔV_{FB} ，反之當我們施加負的電壓時，如圖 3-14(b)所示，氧離子會受由下往上的外加電場作用而往 C_{60} 與穿隧氧化層的介面聚集，並根據上述式子造成正的 ΔV_{FB} ，而這也解釋了我們所觀察到的順時針方向電容遲滯效應。

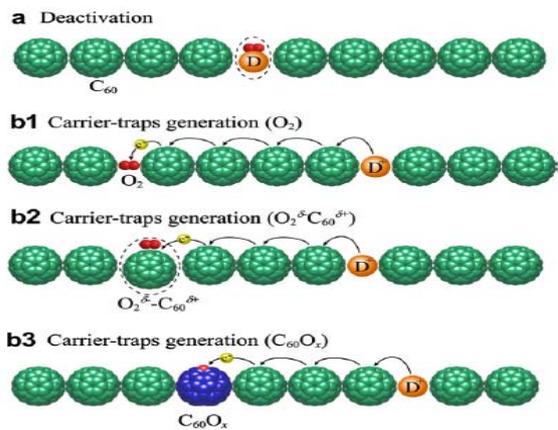


圖 3-13 氧在 C_{60} 薄膜中可能的存在形式[33]

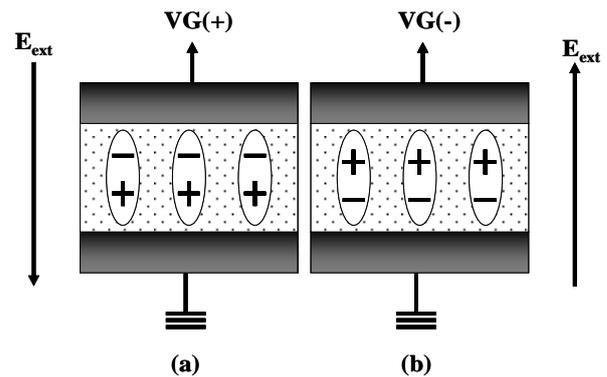


圖 3-14 (a) $V_G > 0$ (b) $V_G < 0$ 時 C_{60} 薄膜中的電荷排列情形

3-3-3 C₆₀ 浮動閘極記憶體電容之電性分析

A. 變電壓長時間 stress

圖 3-15 為固定 $t_{\text{stress}}=1$ s 時， ΔV_{FB} 對 V_p 的關係圖。從中可以看到，在寫入電壓落在 $V_p=\pm 10$ V 的範圍內時，平帶電壓並不會有明顯的位移，代表無法做出有效的寫入，但是一旦超過這個寫入電壓的門檻， ΔV_{FB} 的大小就會與 V_p 呈現明顯的正相關，如在 $V_p=-13$ V 與 $V_p=18$ V 時， ΔV_{FB} 的大小分別可以達到 $\Delta V_{\text{FB}}=3.078$ V 與 $\Delta V_{\text{FB}}=4.739$ V，且整體的記憶窗大小也可以來到 8 V 以上。

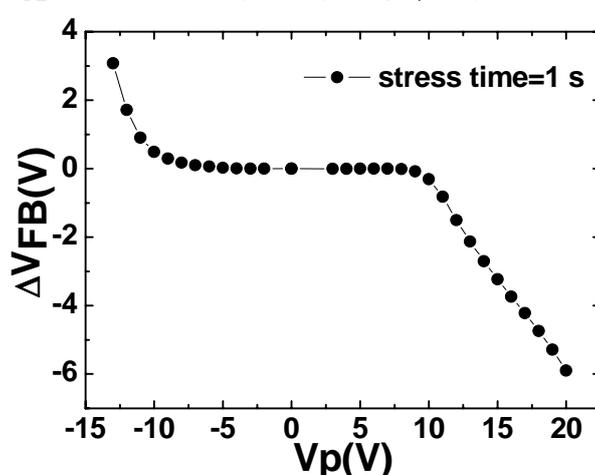
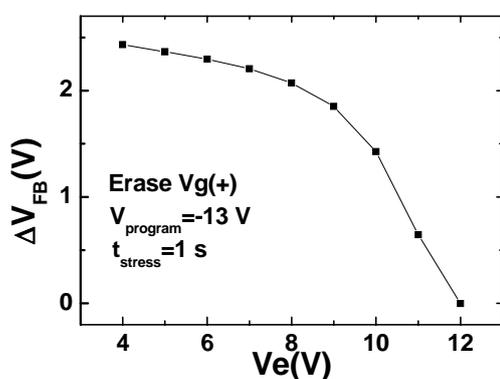
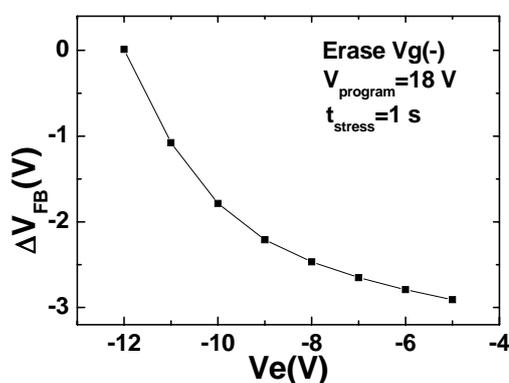


圖 3-15 固定 $t_{\text{stress}}=1$ s 時， ΔV_{FB} 對 V_p 的關係圖

圖 3-16(a)、(b)為 ΔV_{FB} 對 V_e 之關係圖，其中為了確保元件在做抹除測試前能先寫入足夠的 ΔV_{FB} ， V_p 分別選擇較大的-13 V 與 18 V，而 t_{stress} 則固定在 1 s。從實驗結果可知，雖然寫入造成的 ΔV_{FB} 會隨著 V_e 的增加而漸漸被抹除，但實際上仍然要到超過 $V_e=\pm 10$ V 時，外加電壓抹除的效果才會變得明顯，且在 $V_e=\pm 12$ V 時可以做到完全的抹除並使電容曲線回到原本的位置。



(a)



(b)

圖 3-16 (a) $V_e > 0$ 與 (b) $V_e < 0$ 時 ΔV_{FB} 對抹除電壓之關係圖

B. Pulse program or erase

為了研究 C_{60} 浮動閘極記憶體的操作速度，我們也嘗試利用不同寬度的電壓脈衝來做寫入或抹除。圖 3-17 是利用 8110 波型產生器給出不同的寫入或抹除脈衝後再利用 C-V 量測所萃取出來的 ΔV_{FB} 對脈衝寬度的關係圖，其中為了得到較大的記憶窗，在做寫入或抹除的動作前，我們會預先將元件用 $V_G = -14$ V, $t_{stress} = 1$ s 或 $V_G = 15$ V, $t_{stress} = 1$ s 的操作條件先將其操作至另一個對應的邏輯狀態後再做量測。從實驗結果可知，當寫入或抹除的脈衝電壓為 $V_G = \pm 10$ V 時，因為施加的電壓還太小，所以就算脈衝寬度拉長到 1 s 其對應的 V_{FB} 變化也只有 1.00 V 與 -1.56 V 的大小，而無法對元件做出有效的寫入或抹除。但隨著操作電壓的加大，脈衝造成的 V_{FB} 變化亦會逐漸加大，如當脈衝電壓增加至 $V_G = 16$ V 或 $V_G = -18$ V 且 $t_{stress} = 1$ s 時可造成高達 8.12 V 或 -6.27 V 的 V_{FB} 變化，且相對上要讓 C-V 曲線移動特定的量時所需的脈衝寬度也會變小，這樣的趨勢符合一般記憶體所表現的特性。另外，雖然加大電壓可以有效的提升寫入或抹除的效率，但整體而言其操作所需的時間仍落在 0.01 s~1 s 的範圍。這樣的特性雖然常見於以有機分子做浮動閘極的記憶體[31]，但相對上仍是遠遠慢於傳統快閃記憶體的操作速度。

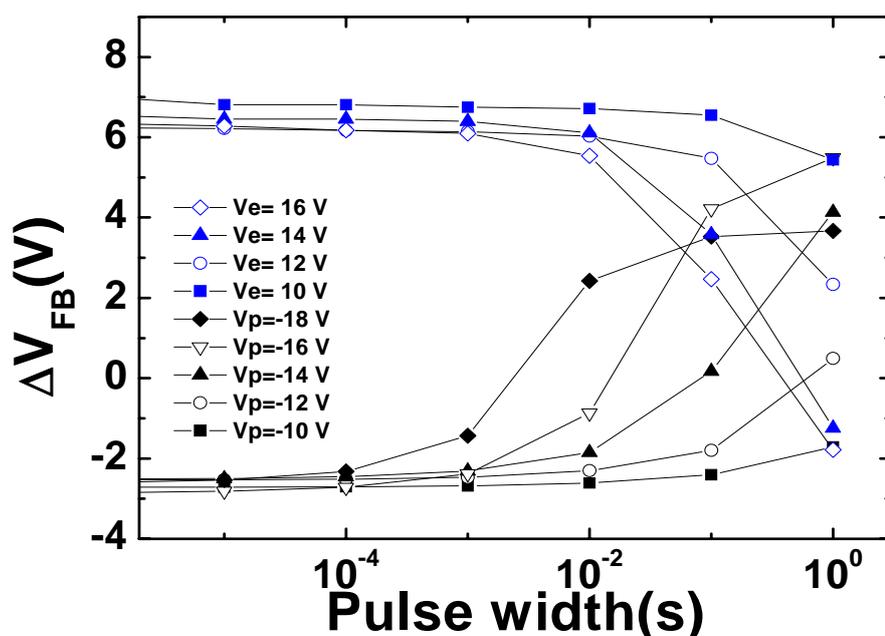


圖 3-17 ΔV_{FB} 對不同的操作電壓脈衝之關係圖

由於觀察到的順時針遲滯效應是由 C_{60} 薄膜中部分帶電離子受外加電場作用而移動所造成的，又在 C_{60} 薄膜中這樣的機制所需要的反應時間可能較穿隧效應等常見的電荷注入機制來的長，故這可能是造成元件無法快速做 P/E 操作的原因。

C. Retention

為了知道 C_{60} 浮動閘極電容保存其既有邏輯狀態的能力，我們亦對其做了 retention 測試。圖 3-18 為 ΔV_{FB} 對 retention time 的關係圖，在實際量測前，我們預先利用 $V_G=18\text{ V}$ 與 $V_G=-14\text{ V}$ 且 $t_{\text{stress}}=1\text{ s}$ 的條件將元件操作至寫入或抹除的狀態，接著經過不同長度的等待時間後，再分別讀取元件的電容值並萃取其對應的 ΔV_{FB} 來完成量測並作圖。如圖所示，在一開始時元件的記憶窗大小為 $\Delta V_{FB}=4.85\text{ V}$ ，且在 1000 s 前兩種狀態皆沒有明顯之變化。當維持時間加長至 $3 \times 10^4\text{ s}$ 時，寫入狀態的 ΔV_{FB} 減少了 0.75 V ，而抹除狀態仍維持得相當穩定。為了瞭解元件是否能符合一般記憶體所需的 10 年規格，我們利用線性外插的方式將曲線延伸並萃取 10 年後的 ΔV_{FB} ，而實驗結果顯示即使經過了長達 10 年的時間，元件仍能維持 $\Delta V_{FB}=3.04\text{ V}$ 的記憶窗大小，可見 C_{60} 浮動閘極記憶體確實具備有足夠的非揮發維持特性。另外在量測過程中，寫入狀態的 ΔV_{FB} 之所以會持續減少可能是因為當元件做 retention 時，其內部會因為殘存的去極化電場使聚集在靠近氧化層處的帶電離子再次散開所造成的。

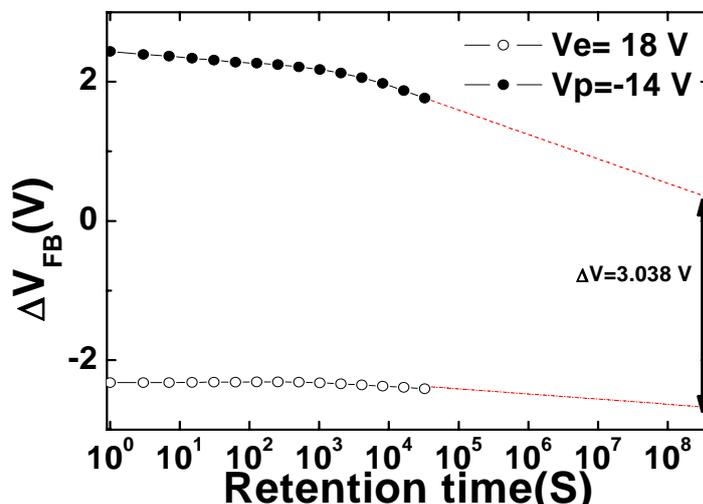


圖 3-18 ΔV_{FB} 對非揮發性維持時間的關係圖

D. Endurance

圖 3-19 為對 C_{60} 閘極電容結構做 endurance 測試的結果，其中我們所使用的 P/E 條件分別是 $V_p=-16\text{ V}$ 與 $V_e=20\text{ V}$ ，且外加偏壓維持的時間為 0.1 s ，而這樣的 P/E 條件則可以保證我們至少能得到 1.84 V 以上的記憶窗大小。從結果中我們可以觀察到，在前 400 次的 P/E cycle 中，寫入狀態的 V_{FB} 會隨著 P/E cycle 的次數持續增加，而在第 400 次時其累計增加的 $\Delta V_{FB}=0.91\text{ V}$ 。之所以會有這樣的現象可能是因為 C_{60} 薄膜無法僅在第一次的 P/E cycle 中就使其內部達到完全極化的狀態，因此造就了隨著 P/E cycle 次數增加，極化程度與記憶窗會逐漸加大的結果。不同於在一開始的 P/E cycle 中所表現的特性，在經過第 400 次的 P/E cycle 之後，寫入狀態所對應的 V_{FB} 會開始隨著 P/E cycle 次數的增加而衰減，且衰減的量與 P/E cycle 的次數約呈線性關係，其斜率約為 -0.00283 V/cycle ，而這樣的衰退行為會造成記憶窗大小在經過第 1100 次的 P/E cycle 後剩下約 $\Delta V_{FB}=1.026\text{ V}$ 的量。另外，在整個 endurance 測試的過程中，抹除狀態的 V_{FB} 雖然會略有變動，但相對上來說算是較為穩定的。記憶窗之所以會在第 400 次的 P/E cycle 後逐漸衰減是由於 C_{60} 薄膜中本身仍存在許多電荷陷阱，因此當我們重複做寫入與抹除操作時，電荷仍會透過穿隧氧化層進出並以一定的機率被捕獲，進一步造成遲滯效應與記憶窗的縮小。類似的效應亦常見於 FEFET[34]

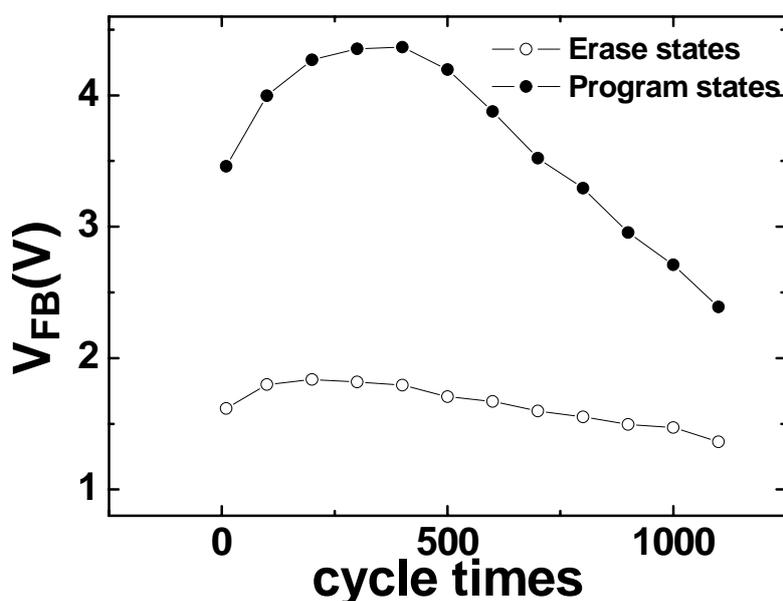


圖 3-19 C_{60} 閘極電容結構的 endurance 測試結果

第四章 具極薄 C₆₀ 薄膜之浮動閘極電容結構

4-1 前言

在先前的實驗中，由於 C₆₀ 薄膜的厚度高達 50 nm，所以在操作電壓範圍內 ($V_G = -20 \text{ V} \sim V_G = 20 \text{ V}$) 所觀察到的電容遲滯效應主要是由氧離子移動所貢獻，而非本來所預期由電荷注入所造成的。另外，由於相對較厚的 C₆₀ 薄膜，記憶體電容需要較高的操作電壓且整體的操作速度偏慢，而觀察到的 endurance 也低於一般非揮發性記憶體所需的規格。為了改善上述的缺點，我們首先嘗試將 C₆₀ 薄膜的厚度做微縮，並預期能在微縮後的元件中觀察到電荷注入所造成的效應。

4-2 實驗部分

主要的實驗步驟皆與 3-2-2 節中所敘述的相同。在 p-type 矽晶圓做完 RCA clean 後即利用垂直爐管成長 4 nm 的二氧化矽做為穿隧氧化層，之後利用熱蒸鍍的方式沉積厚度約 20 Å 的 C₆₀，並隨即利用電子槍蒸鍍的方式覆蓋一層 4 nm 的二氧化矽做為保護 C₆₀ 薄膜用。最後利用 PECVD 沉積厚度 11 nm 的 TEOS oxide 做為控制氧化層並透過影遮罩沉積鎳金屬做為上電極並完成元件。值得注意的是，由於這次沉積所需的 C₆₀ 厚度相對較薄，所以在抽真空時會將腔體內壓力先抽到低於 2×10^{-6} torr，並在開 shutter 前先多等待一些時間，以期 C₆₀ 能有較穩定的鍍率且鍍出來的薄膜品質能較好。

4-3 實驗結果

A. C-V double sweep

圖 4-1 為不同電壓範圍下的 C-V 電容遲滯曲線，其中主要可以分成兩個電壓區間且表現出不同的特性。從圖中可以看到，當操作電壓範圍還落在 $V_G = +2 \text{ V}$ 間時，因為操作電壓相對還小，所以觀察到的遲滯現象幾乎可以忽略，但隨著電壓範圍的增加，電容遲滯曲線的記憶窗會以順時針的方向逐漸打開，並在 $V_G = +6 \text{ V}$ 的操作電壓範圍造成 $\Delta V_{FB} = 3.06 \text{ V}$ 的記憶窗大小，而這一部分的特性與先前

C_{60} 厚度為 50 nm 的元件在定性上是相同的，故合理推測其遲滯效應主要也是來自於氧離子的移動所造成。另外，若將操作電壓持續加大至超過 $V_G=+8$ V，則先前打開的記憶窗則會逐漸縮小，並在 $V_G=+12$ V 時完全關起來，且記憶窗在操作電壓高於 $V_G=+12$ V 時會以逆時針的方向再度打開，並在 $V_G=+18$ V 時達到 $\Delta V_{FB}=2.78$ V 的記憶窗大小。我們推測之所以會有這個現象的原因是因為在較薄的 C_{60} 薄膜中同時存在著兩種貢獻記憶窗的機制，其分別是由氧離子的移動與電荷透過穿隧氧化層注入所造成，而前者在 $V_G=+12$ V 前較為顯著，故會造成順時針的遲滯效應，而後者在操作電壓範圍大於 $V_G=+12$ V 所造成的影響力則會大於前者，故記憶窗會先關起來再以逆時針的方向再度開啟。之所以能在現有的元件中觀察到因電荷由下電極注入所造成的效應是因為當 C_{60} 厚度微縮後，其所對應的電容值也相對變大，因此在同樣的操作電壓範圍下，控制氧化層與穿隧氧化層則會承受更大的電壓差，且電荷的注入也會變得更加容易，進而造成逆時針的遲滯效應。

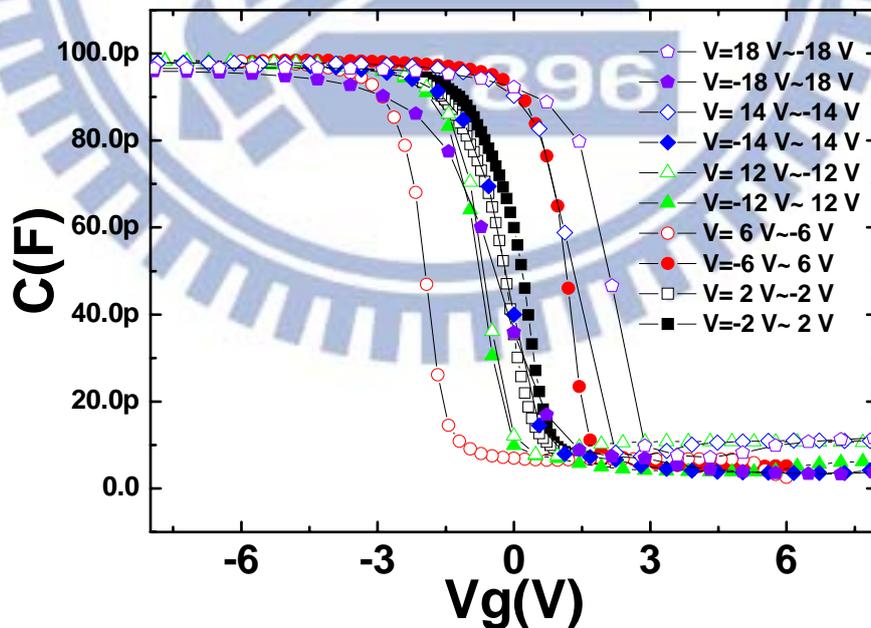


圖 4-1 厚度為 20 Å 之 C_{60} 浮動閘極電容的遲滯曲線

B. 變電壓長時間 stress

圖 4-2 為透過上電極施加不同大小的偏壓後， ΔV_{FB} 對 stress 電壓的關係圖。其中施加偏壓的時間則固定為 1 ms 或 1 s。從圖中可以看出，不論 stress 時間的長短，當 $20\text{ V} > V_G > 3\text{ V}$ 時，並不會造成明顯的 ΔV_{FB} ，且觀察到的 ΔV_{FB} 會略小於零。另一方面，若 V_G 為負且 $< -3\text{ V}$ 時， ΔV_{FB} 會先往正的方向增加並在特定電壓達到飽和後便開始減少，最後 ΔV_{FB} 的值則會變為負值並飽和。對於偏壓時間為 1 ms 的情形， ΔV_{FB} 的最大值會落在 $V_{stress} = -16\text{ V}$ ，且其值為 $\Delta V_{FB} = 0.87\text{ V}$ ，而 ΔV_{FB} 在之後則隨著電壓絕對值的增加而遞減。而對於 $t_{stress} = 1\text{ s}$ 的情形， ΔV_{FB} 的反曲則發生在 $V_{stress} = -9\text{ V}$ 的位置，且 ΔV_{FB} 的最大值為 $\Delta V_{FB} = 1.07\text{ V}$ ，之後其亦會持續遞減並在 $V_{stress} = -17\text{ V}$ 時達到飽和，此時的 $\Delta V_{FB} = -2.06\text{ V}$ 。在這個量測中，我們驗證了 ΔV_{FB} 反曲的發生，且同時觀察到隨著施加偏壓時間的增加，反曲會提早發生且反曲後因為電荷注入所造成的 ΔV_{FB} 遞減亦會加劇，而這可以透過注入電荷量的增加來做解釋。

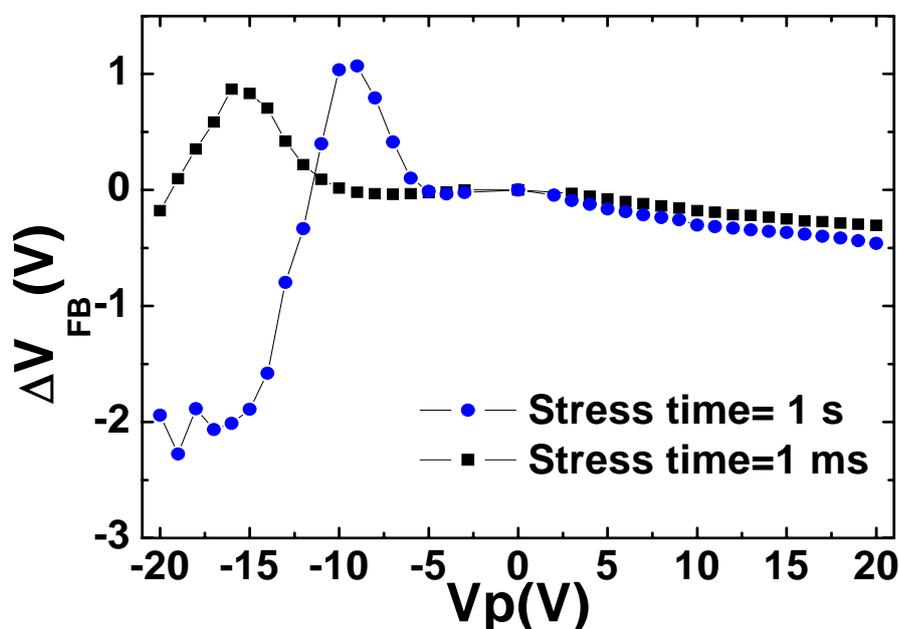


圖 4-2 厚度為 20 \AA 之 C_{60} 浮動閘極電容之 ΔV_{FB} 對 stress 電壓關係圖

C. Pulse program or erase

圖 4-3(a)、(b)分別是在 $V_e < 0$ 與 $V_e > 0$ 的條件下，不同 pulse width 對 ΔV_{FB} 的關係圖，其中對於 $V_e < 0$ 與 $V_e > 0$ 的情況會分別先用 $V_p = 13\text{ V}$ 與 $V_p = -13\text{ V}$ 且 $t_{\text{stress}} = 1\text{ s}$ 的條件將其先分別寫入到另一個狀態後再做抹除。在 $V_e < 0$ 的情況中，隨著 pulse width 的增加，記憶窗開啟的方向會從順時針開始，接著在 ΔV_{FB} 達到最大值後再發生反曲，因此可以推論在 $V_e < 0$ 的條件下，氧離子移動造成遲滯所需的反應時間是比電荷藉由穿隧注入來得短的，因此在時間夠長的情況下，電荷注入所造成的效應才會明顯，這樣的現象與圖 4-2 中所觀察到的一致。另一方面，不同於 $V_e < 0$ 的情況，在 $V_e > 0$ 時記憶窗開啟的方向是由逆時針轉向順時針，但整體而言 ΔV_{FB} 的值並不大，都落在 $\pm 0.5\text{ V}$ 內。而之所以會有這樣的結果可能是因為在 stress 的過程中在 C_{60} 薄膜或氧化層中多少有產生一些缺陷，且這些缺陷充放電所需的反應時間小於氧離子移動所需的時間，但因為這些缺陷的數量相對上較少，所以 ΔV_{FB} 才會由正轉負且最後是由氧離子移動來作為貢獻 ΔV_{FB} 的主要機制，如同圖 4-2 中所觀察到的。另外，不管在 $V_e < 0$ 或 $V_e > 0$ 的情形，發生反曲或要達到某個特定 ΔV_{FB} 所需要的時間皆會隨著施加的電壓增加而減少，而這種操作速度與施加的電壓或電場呈正相關的特性在圖 3-17 也曾經觀察到過，且因為目前 C_{60} 厚度已微縮到 20 \AA ，故在相同操作電壓下 C_{60} 薄膜所感受到的電場會加劇，所以與圖 3-17 的結果比較起來，微縮過後的元件其操作速度有明顯的提升。

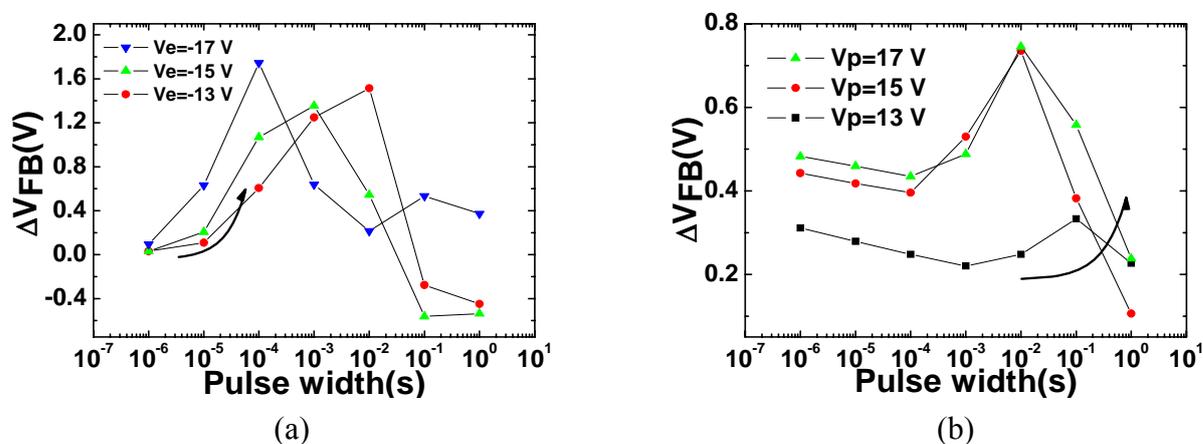


圖 4-3 (a) $V_e < 0$ 與 (b) $V_e > 0$ 時不同 stress 時間對 ΔV_{FB} 的關係圖

D. Retention

圖 4-4 為 ΔV_{FB} 對 retention time 的關係圖，其中我們是先利用 $V_p=-15$ V, $t_{stress}=1$ ms 與 $V_p=18$ V, $t_{stress}=1$ s 的條件將元件分別寫到不同的狀態後，然後在特定的時間點對元件做讀取的動作來監控其電容值的變化。從圖中我們可以觀察到在 $t=0$ s 的時間點，這樣的 P/E 條件可以給出 $\Delta V_{FB}=0.82$ V 的記憶窗大小，然而隨著時間的演進，寫入狀態的 ΔV_{FB} 會隨著時間做指數相關的衰減，而這樣的行為會造成在經過 30 s 的時間之後只會殘存 12% 的記憶窗大小。

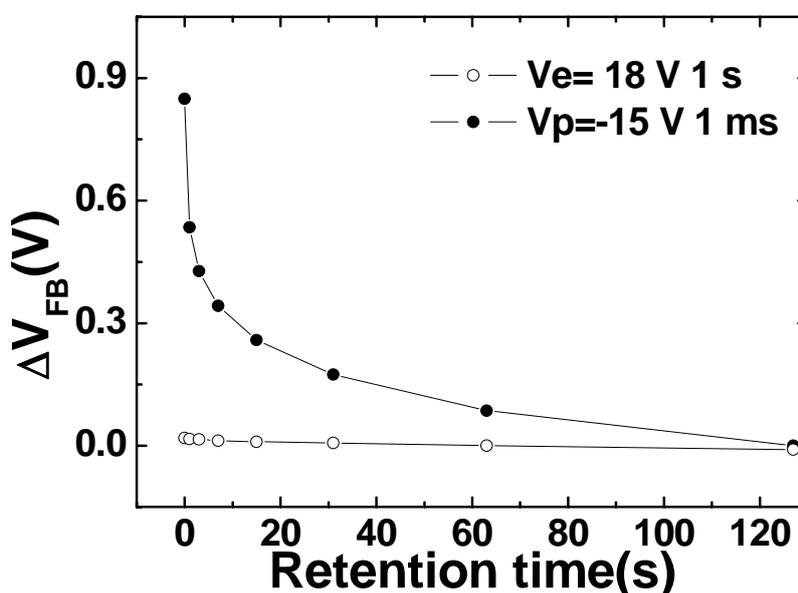


圖 4-4 ΔV_{FB} 對 retention time 的關係圖

相較於圖 3-18 中的結果，當 C_{60} 的厚度由 50 nm 微縮至 20 Å 時，元件的非揮發維持能力有著很明顯的衰退，這樣的結果我們可以利用厚度與 retention 時殘存在 C_{60} 薄膜中的去極化電場之間的關係來解釋。若用電容串聯的模型來描述我們的元件，則當施加偏壓 $V_G=0$ V 時，落在 C_{60} 薄膜上的跨壓與去極化電場則可分別用下列公式表示[35]:

$$V_F = \frac{[V_G - V_F - V_{INS}]C_{TOP}}{C_F} - \frac{P}{C_F}$$

$$\text{When } V_G = 0 \Rightarrow V_F = -V_{INS} \left[\frac{C_{INS}}{C_{TOP}} + 1 \right] \quad (1)$$

$$V_F = \frac{V_{INS} C_{INS}}{C_F} - \frac{P}{C_F} \quad (2)$$

Combine (1) and (2) \Rightarrow

$$E_{dp} = -\frac{P}{\epsilon_0 \epsilon_F} \times \frac{C_F C_{INS} + C_F C_{TOP}}{C_F C_{INS} + C_F C_{TOP} + C_{INS} C_{TOP}} \quad (3)$$

其中 V_G 為加在上電極的電壓， V_F 為落在 C_{60} 上的跨壓，而 V_{INS} 則為落在穿隧氧化層與矽基板間的跨壓。 C_{top} 、 C_F 與 C_{INS} 則對應到控制氧化層、 C_{60} 薄膜與穿隧氧化層加矽基板的等效串聯電容。 P 為 C_{60} 薄膜中因極化產生的帶電量，而 ϵ_0 與 ϵ_F 則對應到真空中與 C_{60} 薄膜的介電常數。從式(3)中可以看到隨著 C_{60} 薄膜厚度的縮減， C_F 會跟著增加，進一步造成在 retention 時， C_{60} 薄膜內的去極化電場 E_{dp} 的增加。因此在 retention 時， C_{60} 薄膜厚度較薄的元件內所殘存的電荷會更容易被中和掉，造成記憶窗難以維持的特性。

E. Endurance

圖 4-5(a) 為 $V_p = -15$ V、 $V_e = 20$ V 且 $t_{stress} = 1$ s 時 V_{FB} 對 P/E cycles 的關係圖。由圖可知，在第一次的 P/E cycle 中，記憶窗的大小為 $\Delta V_{FB} = 0.99$ V，然後隨著 cycle 次數的增加，記憶窗的大小也逐漸增加，並在第 100 次的循環時達到最大值 $\Delta V_{FB} = 1.79$ V。在這之後，寫入狀態的 V_{FB} 即逐漸減少，但是到第 1000 次時仍能維持 $\Delta V_{FB} = 1.48$ V 的記憶窗大小。在第 100 次之後寫入狀態的 V_{FB} 之所以會往負的方向偏移的原因可能是因為這樣的 P/E 條件會對氧化層造成太大的傷害，所以當氧化層內的缺陷夠多之後，在施加 $V_p = -15$ V 的電壓時，被趕往穿隧氧化層的負電荷會較容易藉由缺陷跑掉，所以累積下來的結果造就了記憶窗的減縮。

但由於圖 4-5(a) 所使用的 P/E 條件所需的週期相對較長，在有限的時間內沒辦法做太多次 P/E cycle 的測試。為了測試元件是否能承受更高次數的 P/E cycle，我們也嘗試改用別的 P/E 條件。圖 4-5(b) 為 $V_p = -13$ V、 $t_{stress} = 1$ ms 與 $V_e = 13$ V 且

$t_{\text{stress}}=1\text{ s}$ 時 V_{FB} 對 P/E cycles 的關係圖。從圖中可以看到，雖然因為 P/E cycle 時所施加的偏壓與施壓時間都減小會造成記憶窗明顯的減少，但因為 P/E cycle 所需的週期被大幅的減少，所以 endurance 測試的效率可以被有效的提升。另一方面，因為 P/E cycle 的條件不再那麼嚴苛，所以在 P/E cycle 的過程中，在氧化層與 C_{60} 薄膜中所造成的缺陷在某種程度上也會減少，所以元件所表現出來的 endurance 特性也會較好，因此在多達 1×10^4 次的 P/E cycle 中，不論是哪個狀態所貢獻的記憶窗大小都沒有明顯的衰退，而在第 1×10^4 次時的 ΔV_{FB} 仍能有 1.23 V 的大小。

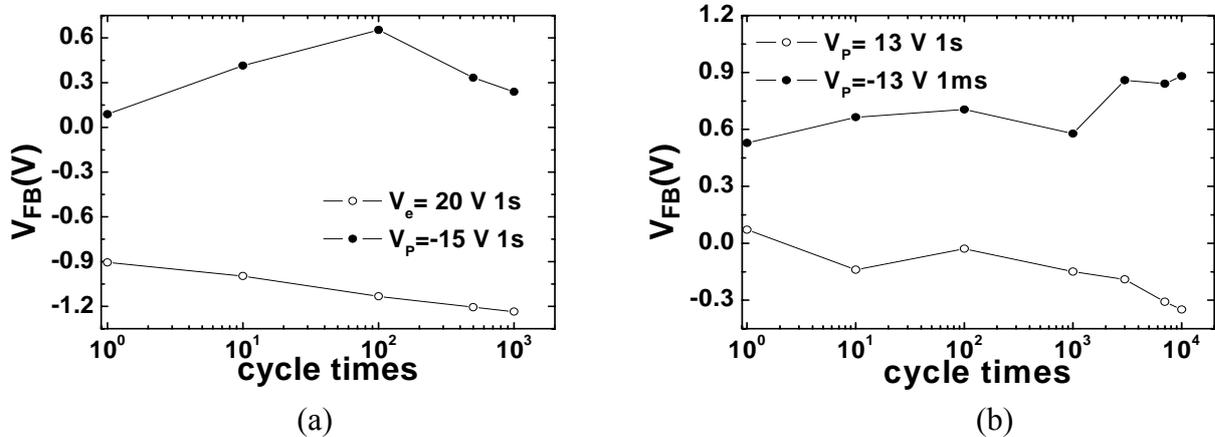


圖 4-5 (a) $V_p = -15\text{ V}$ 且 $V_e = 20\text{ V}$ ， $t_{\text{stress}} = 1\text{ s}$ 與 (b) $V_p = -13\text{ V}$ $t_{\text{stress}} = 1\text{ ms}$ 且 $V_e = 13\text{ V}$ $t_{\text{stress}} = 1\text{ s}$ 時， V_{FB} 對 P/E cycles 的關係圖

第五章 C₆₀ 與 PVK 混合共蒸鍍之浮動閘極電容結構

5-1 前言

雖然在 C₆₀ 薄膜厚度被微縮至 20 Å 的元件裡，我們成功地觀察到了貢獻記憶窗之兩種機制並存的現象，也成功地透過縮減 C₆₀ 厚度的方式來提升操作速度並驗證了這類元件的 endurance，但如圖 4-4 所示，在這樣的厚度設計下，我們卻會大幅犧牲元件原有的非揮發性維持能力。為了改善這個問題，我們嘗試在 C₆₀ 厚度不會變動過大的前提下，利用共蒸鍍的方式在 C₆₀ 中混入有機絕緣材料 poly(N-vinylcarbazole)(簡稱 PVK)用來減少 C₆₀ 分子間的空隙，並透過這樣的方式來減低氧離子的遷移率，在不犧牲原有優點的前提下，改善元件的非揮發性維持能力。

5-2 實驗部分

5-2-1 Poly(N-vinylcarbazole)(PVK)簡介

poly(N-vinylcarbazole)(簡稱 PVK)為一種有機絕緣體，其結構如圖 5-1 所示。PVK 之外觀為透明略帶黃色的粉末，具有穩定的化學特性，並不易與酸鹼產生反應，且因其具有高達 $n=1.696$ 的折射係數，故常被用在光學方面的應用。表 5-1 列出 PVK 的一些基本電性參數，雖然從中可以看到其能隙並沒有非常的大，寬度約只有 3.5 eV，但因為其與 C₆₀ 同屬有機材料且也可以利用蒸鍍的方式來做薄膜沉積，又其具有不錯的化學與溫度穩定性，所以被我們選作用來與 C₆₀ 相混做為浮動閘極層的有機絕緣材料。

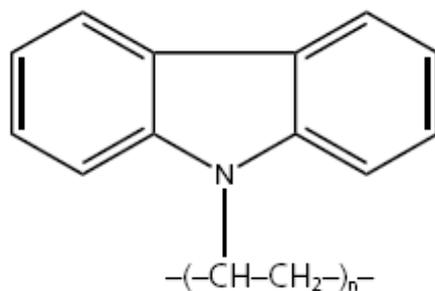


圖 5-1 PVK 結構示意圖

Materials	Ionization Potention(eV)	Optical energy gap(eV)	HOMO(eV)	LUMO(eV)
PVK	5.81	3.5	-5.81	-2.31

表 5-1 PVK 的基本電性參數

5-2-2 C₆₀ 與 PVK 混合浮動閘極電容之製作

如同其他元件，首先 P-type 矽晶圓在經過 RCA clean 後隨即送入垂直爐管以乾式熱氧化成長 4 nm 的二氧化矽用作穿隧氧化層，之後隨即利用共蒸鍍的方式同時鍍上 C₆₀ 與 PVK 做為浮動閘極層。其中，我們主要在調控的是 C₆₀ 的鍍率，並將其厚度控制在 50 Å 左右，而至於 PVK 則是在其能揮發的前提下，以極低的鍍率混入 C₆₀ 中，確保整層浮動閘極的主體仍為 C₆₀。如同其他元件的製作流程，隨後即用電子槍蒸鍍 4 nm 的二氧化矽用來保護浮動閘極層不會在後續的電漿製程中受到傷害，並再利用 PECVD 沉積 11 nm 的 TEOS oxide 做為控制氧化層，最後透過影遮罩利用 sputter 沉積鎳金屬來定義上電極與電容圖形並完成元件。

5-3 實驗結果

A. 變電壓長時間 stress

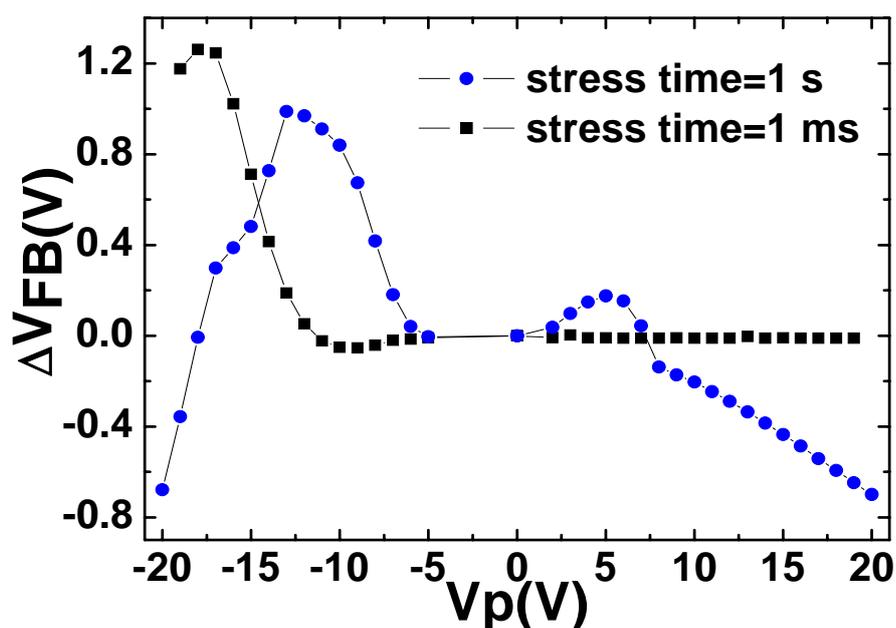


圖 5-2 C₆₀ 與 PVK 混合浮動閘極電容之 ΔV_{FB} 對 stress 電壓關係圖

圖 5-2 為 C_{60} 與 PVK 混合浮動閘極電容之 ΔV_{FB} 對 stress 電壓關係圖。如圖所示，在這個元件中我們仍可以成功觀察到兩種機制並存的現象。若同樣固定 $t_{stress}=1$ ms，其在施加負偏壓時發生反曲的位置落在 $V_G=-18$ V，而此時所開出的順時針記憶窗大小為 $\Delta V_{FB}=1.26$ V。若改 1 s 的施壓時間，則反曲會發生在 $V_G=-18$ V 的位置。相較於先前 C_{60} 厚度為 20 Å 的元件，這次實驗結果中發生反曲時所需要的電壓相對來的大，這是因為 C_{60} 薄膜的厚度略增以及因為 PVK 的存在造成氧離子更加難以移動所造成的。但另一方面，目前的元件所擁有的記憶窗大小並沒有因此被犧牲，甚至在某些操作條件下可以得到比 C_{60} 厚度為 20 Å 的元件來的大的記憶窗，而我們認為這是因為 C_{60} 的厚度有略微增厚所造成的。另外在 $t_{stress}=1$ s 的時候，在 0 V $< V_G < 5$ V 的時候可以觀察到因電子注入所造成的 ΔV_{FB} ，且在 $V_G > 5$ V 後亦可以觀察到因氧離子被聚集到控制氧化層附近所造成的 ΔV_{FB} ，這樣的現象可以為元件帶來額外的 ΔV_{FB} ，使元件整體的記憶窗大小增大。

B. Pulse program or erase

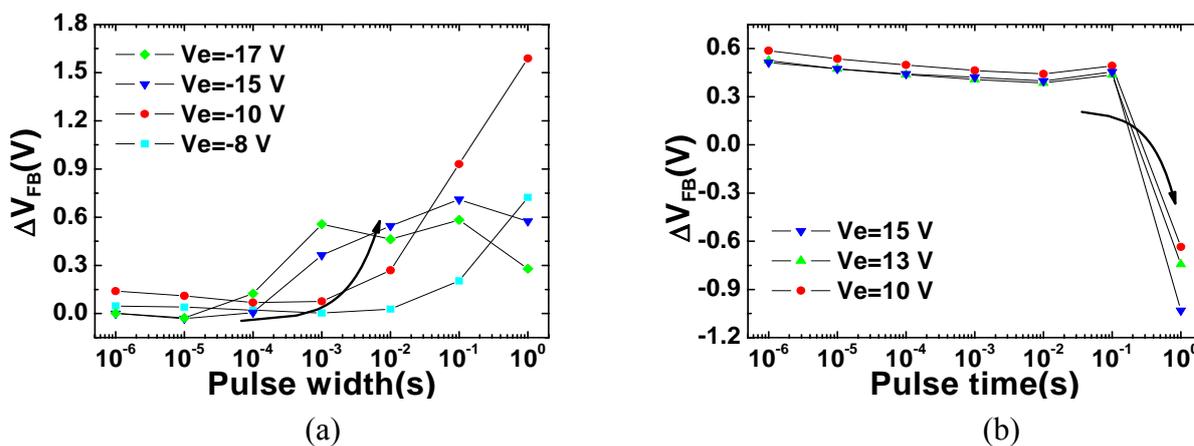


圖 5-3 (a) $V_p=13$ V, $t_p=1$ s, $V_e < 0$ 與 (b) $V_p=-13$ V, $t_p=1$ s, $V_e > 0$ 時不同 stress 時間對 ΔV_{FB} 的關係圖

圖 5-3(a)、(b) 為不同操作電壓下， ΔV_{FB} 與施加脈衝時間的關係圖，其中我們先分別利用 $V_p=13$ V, $t_{stress}=1$ s 與 $V_p=-13$ V, $t_{stress}=1$ s 的條件將元件操作至另一個狀態後再開始做量測。從中可以看到，當所加的 $V_e < 0$ 時，記憶窗首先開啟的方向為順時針，然後隨著電壓的增加會出現 ΔV_{FB} 反曲的現象，且反曲發生所需

的時間與施加電壓的大小呈現負相關，就如同在先前圖 4-3(a)中所看過的。另一方面，若元件先經過 $V_p=-13\text{ V}$, $t_{\text{stress}}=1\text{ s}$ 的操作之後再被施加 $V_e>0$ 的電壓，則如圖 5-2(b)中所看到的其在脈衝時間達到 1 s 前皆不會有明顯的 ΔV_{FB} ，而須等 $t_{\text{stress}}=1\text{ s}$ 時才會因氧離子的移動使整個 C-V 曲線有明顯向左移的現象，且 ΔV_{FB} 的絕對值會與施加電壓的大小呈正相關，這樣的結果與圖 5-1 所觀測到的一致。

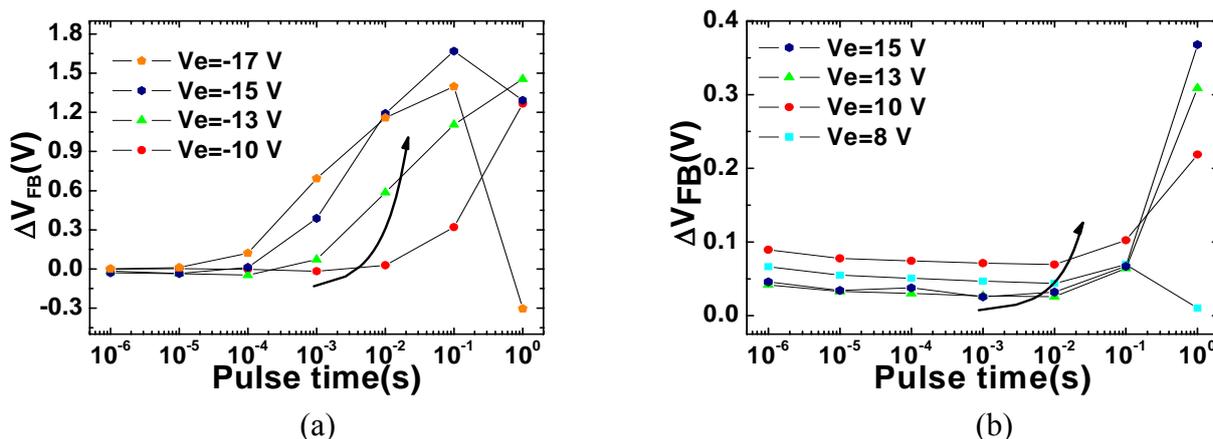


圖 5-4 (a) $V_p=13\text{ V}$, $t_p=1\text{ ms}$, $V_e<0$ 與 (b) $V_p=-13\text{ V}$, $t_p=1\text{ ms}$, $V_e>0$ 時不同 stress 時間對 ΔV_{FB} 的關係圖

另一方面，我們也嘗試討論當寫入條件改變時，其對元件抹除操作的影響。圖 5-4(a)、(b)分別為 $V_e<0$ 與 $V_e>0$ 時不同 stress 時間對 ΔV_{FB} 的關係圖，其中我們做預先寫入的電壓大小與圖 5-3(a)、(b)相同，只是 t_{stress} 被縮減至 1 ms。與圖 5-3(a)相比，在圖 5-4(a)中元件所表現出的特性大致相同，唯一比較明顯的差別是其 ΔV_{FB} 的最大值與反曲後 ΔV_{FB} 的改變量較圖 5-3(a)中來的大，這是因為當寫入操作施加電壓的時間縮短時， C_{60} 薄膜被極化的程度與殘存的去極化電場也跟著減小，所以在抹除操作時要將電場反轉或使電荷注入時所需克服的障礙會相對較小。同樣的現象也反映在圖 5-4(b)中，從中可以發現由於寫入操作所造成的去極化電場的減小，在相同電壓與抹除時間下，電荷能克服較小的能障並注入，進一步造成的正的 ΔV_{FB} 。整體而言， C_{60} 與 PVK 混合浮動閘極電容在做寫入抹除時所需的反應時間較具有 20 \AA 的 C_{60} 薄膜的元件來的長，這一方面是因為 C_{60} 薄膜有稍微增厚，另一方面是因為當在 C_{60} 中混入 PVK 會造成氧離子在薄膜中的遷移率被降低的緣故。

C. Endurance

圖 5-5 是 C_{60} 與 PVK 混合浮動閘極電容的 endurance 測試結果，其中採用的 P/E 條件分別是 $V_p=13\text{ V}$, $t_{\text{stress}}=1\text{ s}$ 與 $V_e=-10\text{ V}$, $t_{\text{stress}}=0.1\text{ s}$ 。從中可以看到在第一次的 P/E cycle 中，元件所開出的記憶窗大小為 $\Delta V_{\text{FB}}=1.14\text{ V}$ ，然而在經過重複的寫入與抹除操作後，其記憶窗大小會逐漸增加並在第 1000 次的 P/E cycle 後達到 $\Delta V_{\text{FB}}=2.95\text{ V}$ 並趨近於穩定飽和。類似的現象曾在圖 3-19 中看過，而會造成這個現象的可能原因為在目前的元件中，我們並沒辦法在短短的幾次 P/E cycle 中就使它內部的薄膜達到完全的極化，其反而需要約 1000 次的重複操作來幫助其內部的極化現象達到飽和，這樣的情況類似於在 FEFET 中需要一個 poling 的動作來幫助其內部薄膜的電偶更容易排列整齊來達到較大的記憶窗大小。由圖 5-5 的結果可知，在 C_{60} 薄膜厚度略增且參入 PVK 的情況下，元件的 endurance 特性並不會因此劣化，在經過 10^4 次的 P/E cycle 後仍能維持穩定的記憶窗大小而不會有明顯的衰退。

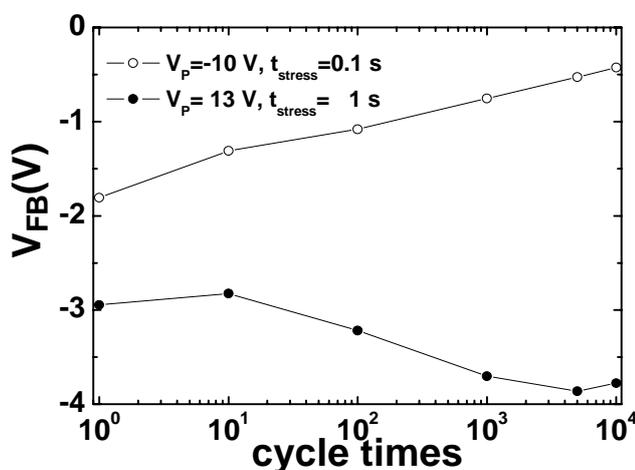


圖 5-5 $V_p=13\text{ V}$, $t_{\text{stress}}=1\text{ s}$ $V_e=-10\text{ V}$, $t_{\text{stress}}=0.1\text{ s}$ 時， V_{FB} 對 P/E cycles 的關係圖

D. Retention

圖 5-6 為 C_{60} 與 PVK 混合浮動閘極電容的 ΔV_{FB} 對非揮發性維持時間之關係圖，其中所使用的 P/E 條件分別為 $V_p=-10\text{ V}$, $t_{\text{stress}}=0.1\text{ s}$ 與 $V_e=13\text{ V}$, $t_{\text{stress}}=1\text{ s}$ ，且為了檢驗元件在使其內部薄膜經過充分的極化並得到較大的記憶窗後的 retention 特性，我們在量測之前預先對元件做了 1000 次的 P/E cycle。如圖所示，在經過 1000 次的 P/E cycle 後可以得到 $\Delta V_{\text{FB}}=1.73\text{ V}$ 的記憶窗大小，且隨著

retention 時間的增加，其主要是寫入狀態的 V_{FB} 在衰減，如同前幾次實驗結果所得到的一樣，且在經過 10^4 s 後殘存 12.1 % 的記憶窗大小。反觀抹除狀態的 V_{FB} 並不會隨著時間有太明顯的變化，而只在後期會有略為減少的現象。根據推測應是元件在做抹除操作時，從矽基板經由穿隧氧化層注入的電子隨時間流失而造成的。另外，從中可以發現相較於圖 4-4 的結果，當在 C_{60} 薄膜中混入 PVK 做為有機絕緣物質時，元件的非揮發維持能力可以被有效提升，這是因為當 C_{60} 中混入 PVK 時，PVK 會佔據 C_{60} 間的空隙使氧變得難以在其中移動並降低遷移率，因此當元件被維持在 retention 狀態時，其內部的氧需要更多的時間來反應去極化電場的作用，故可以使寫入的邏輯狀態被維持較久的時間。雖然跟其他的非揮發性記憶體比起來，在 C_{60} 與 PVK 混合共蒸鍍之浮動閘極電容中，retention 特性的不足仍是一個很大的問題，但若與圖 5-7 中的結果做比較[36]，相較於其他文獻中所提到同樣是將 C_{60} 整合在浮動閘極結構中的元件，利用 PVK 混在 C_{60} 中的方式所得到的 retention 特性明顯有被改善，在同樣經過 1000 s 的時間後仍可維持 41.27 % 的記憶窗大小，而不會衰減到只剩原有的 20 %。另外值得一提的是，由於在做 retention 量測前，元件已經先經過 1000 次以上的 P/E cycle，故相較於全新的元件，其各層薄膜內的缺陷數目勢必會較多，因此若在犧牲記憶窗大小的前提下只對元件做一次的 P/E cycle，則其 retention 特性還可被進一步地提升。

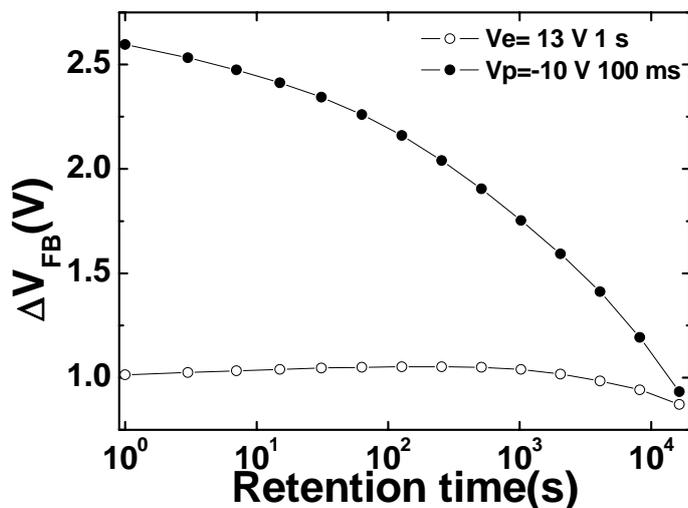


圖 5-6 ΔV_{FB} 對非揮發性維持時間的關係圖

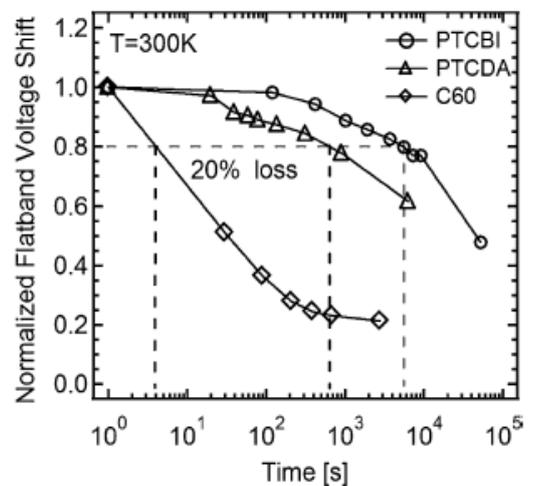


圖 5-7 其他文獻中 C_{60} 浮動閘極電容之 ΔV_{FB} 對非揮發性維持時間的關係圖[36]

第六章 結論

在本實驗中，我們利用熱蒸鍍的方式配合後續的低溫製程，成功的將 C₆₀ 與傳統的浮動閘極結構做整合，並表現出具有顯著記憶窗與不錯的非揮發性維持能力等優點。為了解釋實驗中所觀察到的順時鐘方向電容遲滯效應，我們做了各種不同的分析，首先我們利用 ESCA 與 EDS 等材料分析技術確認薄膜內氧的存在與分佈，接著利用變頻電容量測觀察到因氧的存在而造成 C₆₀ 薄膜的介電常數隨頻率變化的特性，最後在閘極堆疊結構參數相同的前提下，我們利用鉑奈米晶粒記憶體電容來驗證電荷注入的方向為下電極注入。在經過上述分析之後，我們隨即提出了氧離子移動模型來為觀察到的遲滯效應方向做定性上的解釋。

在第二部分，為了解決元件操作速度過慢以及 endurance 特性沒辦法有效的被驗證等問題，我們嘗試將 C₆₀ 薄膜的厚度做大幅微縮。實驗結果證實藉由減少 C₆₀ 薄膜的厚度，我們可以成功的利用內部電場強度的提昇來加速內部極化現象的發生與元件的 P/E 操作效率，並同時驗證了這類元件可承受 10⁴ 次以上的 P/E cycle 後仍能穩定操作。另一方面，在這個元件中我們亦觀察到了遲滯現象方向的反轉，再一次的印證了在 C₆₀ 浮動閘極結構中，電荷注入與氧離子移動等兩種貢獻記憶窗的機制同時存在的假設。

雖然藉由 C₆₀ 厚度的微縮可以有效提升元件的操作速度，但當元件在做 retention 操作時，由於內部殘存的去極化電場的增加，C₆₀ 薄膜內的極化現象會隨時間快速衰退，造成元件大幅的失去其原有的非揮發性維持能力。因此，在實驗的最後一部份我們除了再次微調 C₆₀ 薄膜的厚度之外，我們同時利用共蒸鍍的方式在 C₆₀ 薄膜中混入有機絕緣材料 PVK，並成功地藉由 PVK 佔據 C₆₀ 分子間的空隙來降低氧在 C₆₀ 薄膜中的移動能力。藉由這種方式，我們能在保有元件既有優點與特性的前提下，有效地提升元件在做 retention 操作時的非揮發性維持能力，成功的製作出具有不錯特性的有機 C₆₀ 浮動閘極記憶體電容。

第七章 未來展望

由於在現有的閘極結構設計下，電荷是透過穿隧氧化層利用直接穿隧或 F-N 穿隧等方式注入浮動閘極，而這樣的機制所造成的電容遲滯效應與氧離子移動機制所貢獻的方向正好相反，因此兩者各自貢獻的 ΔV_{FB} 會互相抵銷並造成整體記憶窗縮減的現象。之後，如圖 7-1 所示，我們會嘗試改變現有閘極結構厚度的設計來調整使電荷由上電極注入浮動閘極，並在保留因注入電荷可以減低去極化電場強度，改善元件 retention 特性與其他優點的前提下，結合兩種機制所貢獻的 ΔV_{FB} ，來實現具有更大記憶窗的混雜式記憶體。且由於元件的製造過程中主要屬低溫製程，這樣的特色使我們可以將現有閘極結構與可饒式塑膠基板做結合，若再配合旋塗 (spin coating) 等製程技術來完成 C_{60} 薄膜的沉積，即有機會實現低成本、大量製造且具可饒性的有機非揮發性記憶體。

另外，在這個實驗中所提出的氧離子移動模型目前只能被用作為觀測到的順時針的電容遲滯效應做定性上的解釋，而為了在定量上預估 C_{60} 中氧的組成比例與分布對製作出的元件特性的影響，一個更完整的模型是被需要的。

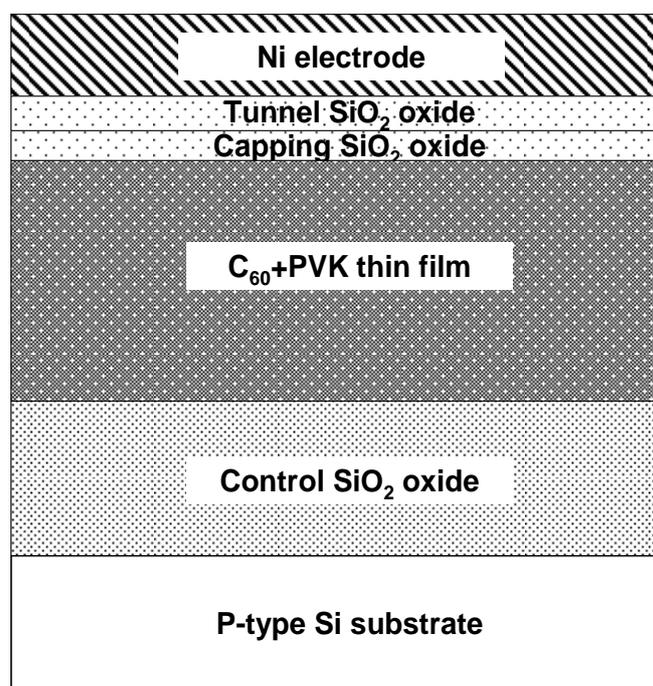


圖 7-1 混和型浮動閘極記憶體電容結構示意圖

參考文獻

- [1] “2011 Overall Roadmap Technology Characteristics (ORTC) Tables,” International Technology Roadmap for Semiconductors(ITRS), Available: http://www.itrs.net/Links/2011ITRS/2011Tables/ORTC_2011Tables.xlsm.
- [2] D. Kahung and S. M. Sze, “A floating gate and its application to memory devices,” *Bell Syst. Tech.*, vol. 45, pp. 1288, 1967.
- [3] G. Atwood, “Future directions and challenges for ETox Flash memory scaling,” *IEEE Trans. Device Mater. Reliab.*, vol. 4, no. 3, pp. 301-305, Sep. 2004.
- [4] Marvin H. White, Dennis A. Adams, and Jiankang Bu, “On the go with SONOS,” *IEEE Circuits Devices Mag.*, vol. 16, no. 4, pp. 22-31, 2000.
- [5] S. Tehrani, “Status and outlook of MRAM memory technology,” *IEEE International Electron Devices Meeting(IEDM)*, pp. 21.6.1, 2006.
- [6] J. H. Oh *et al.*, “Full integration of highly manufacturable 512 PRAM based on 90nm technology,” *IEEE International Electron Devices Meeting(IEDM)*, pp. 49, 2006.
- [7] T. H. Hou, “Metal-oxide resistive-switching RAM technology,” *McGraw-Hill 2011 Yearbook of Science and Technology*, ISBN 9780071763714.
- [8] J. J. Huang, C. W. Kuo, W. C. Chang, and T. H. Hou, “Transition of stable rectification to resistive-switching in Ti/TiO₂/Pt oxide diode,” *Appl. Phys. Lett.*, vol. 96, no. 26, pp. 262901-1–262901-3, 2010.
- [9] H. A. R. Wegener, A. J. Lincoln, H. C. Pao, M. R. O’Connel, and R. E. Oleksiok, “Metal insulator semiconductor transistors as a nonvolatile storage,” *IEEE International Electron Devices Meeting(IEDM)*, Washington, DC, 1967, Abstract 59.
- [10] Stephen J. Wrazien, Yijie Zhao, Joel D. Krayner, and Marvin H. White, “Characterization of SONOS oxynitride nonvolatile semiconductor memory devices,”

Solid State Electronics, vol. 47, no. 5, pp. 885-891, May 2003.

[11] I. Fujiwara, H. Aozasa, K. Nomoto, S. Tanaka, and T. Kobayashi, "High speed program/erase sub 100 nm MONOS memory cell," *Proc. 18th Non-Volatile Semiconductor Memory Workshop*, pp. 75, 2001.

[12] M. K. Cho and D. M. Kim, "High performance SONOS memory cells free of drain turn-on and over-erase: Compatibility issue with current flash technology," *IEEE Electron Device Lett.*, vol. 21, pp. 399-401, Aug. 2000.

[13] C. H. Lee, K. I. Choi, M. K. Cho, Y. H. Song, K. C. Park, and K. Kim, "A novel SONOS structure of SiO₂/SiN/Al₂O₃ with TaN metal gate for multi-giga bit flash memories," *IEEE International Electron Devices Meeting (IEDM)*, pp. 613-616, 2003.

[14] H. T. Lue *et al.*, "BE-SONOS: A bandgap engineered SONOS with excellent performance and reliability," *IEEE International Electron Devices Meeting (IEDM)*, pp. 547-550, 2005.

[15] P. Xuan *et al.*, "FinFET SONOS flash memory for embedded applications," *IEEE International Electron Devices Meeting (IEDM)*, pp. 609-612, 2003.

[16] ChungHo Lee, Jami Meteer, Venkat Narayanan, and Edwin C. Kan, "Self-assembly of metal nanocrystals on ultrathin oxide for nonvolatile memory applications," *Journal of Electronic Materials*, vol. 34, no. 1, pp. 1-11, 2005.

[17] I. C. Chen, C. Tencg, D. Coleman, and A. Nishimura, "Interface-trap enhanced gate-induced leakage current in MOSFET," *IEEE Electron Device Lett.*, vol. 10, no. 5, pp. 216-218, 1989.

[18] T. H. Hou, U. Ganguly, and E. C. Kan, "Programmable molecular orbital states of C₆₀ from integrated circuits," *Applied Physics Letters*, vol. 89, no. 25, pp. 253113-1-253113-3, 2006.

[19] Jonathan Shaw, Yu-Wu Zhong, Kevin J. Hughes, Tuo-Hung Hou, Hassan Raza,

Shantanu Rajwade, Julie Bellfy, James R. Engstrom, Héctor D. Abruña, and Edwin Chihchuan Kan, “Integration of Self-Assembled Redox Molecules in Flash Memory Devices,” *IEEE Trans. Electron Devices*, vol.58, no.3, pp. 826 – 834, Mar. 2011.

[20] G. Mathur, S. Gowda, Q. Li, S. Surthi, Q. Zhao, and V. Misra, “Properties of functionalized redox-active monolayers on thin silicon dioxide—A study of the dependence of retention time on oxide thickness,” *IEEE Transactions on Nanotechnology*, vol. 4, no.2, pp. 278–283, Mar.2005.

[21] T. H. Hou, H. Raza, K. Afshari, D. J. Ruebusch, and E. C. Kan, “Nonvolatile memory with molecule-engineered tunneling barriers,” *Appl. Phys. Lett.*, vol. 92, no. 15, pp. 153109, Apr. 2008.

[22] Jonathan Shaw, Qianyin Xu, Shantanu Rajwade, Tuo-Hung Hou, and Edwin Chihchuan Kan, “Redox Molecules for a Resonant Tunneling Barrier in Nonvolatile Memory,” *IEEE Trans. Electron Devices*, vol. 59, no. 4, pp. 1189-1198, 2012.

[23] Giorgio Cellere, Alessandro Paccagnella, Angelo Visconti, Mauro Bonanomi, S. Beltrami, Jim R. Schwank, Marty R. Shaneyfelt, Philippe Paillet, “Total ionizing dose effects in NOR and NAND flash memories,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 1066, 2007.

[24] S. Saito and A. Oshiyama, “Cohesive mechanism and energy bands of solid C₆₀,” *Phys. Rev. Lett.* vol. 66, pp. 2637, 1991.

[25] “Physical Properties of Fullerenes,” SES research, Available: <https://sesres.com/PhysicalProperties.asp>

[26] B. Mishori, Yoram Shapira, A. Belu-Marian, M. Manciu, A. Devenyi, “Studies of C₆₀ thin films using surface photovoltage spectroscopy,” *Chem. Phys. Lett.* vol. 264, pp. 163, 1997.

[27] G. Sberveglieri, G. Faglia, C. Perego, P. Nelli, R.N. Marks, T. Virgili, C. Taliani, R. Zamboni, “Hydrogen and humidity sensing properties of C₆₀ thin films,” *Synth.*

Met., vol. 77, pp. 273-5, 1996.

[28] S. Tin and A. Lal, "Van-der Waals thin-film C₆₀ MEMS," *Solid-State Sensors*, pp. 232–235, June 2009.

[29] J. F. Moulder, W. F. Stickle, P. E. Sobol, and K. D. Bomben, "Handbook of x-ray photoelectron spectroscopy," Jill Chastain, United States of America, 1992.

[30] B. Pevzner, A. F. Hebard, M. S. Dresselhaus, "Role of molecular oxygen and other impurities in the electrical transport and dielectric properties of C₆₀ films," *Physical Review B*, vol. 55, no. 24, pp. 16439-16449, 1997.

[31] Sarah Paydavosi, Katherine Aidala, Patrick R. Brown, Pouya Hashemi, Timothy P. Osedach, Judy L. Hoyt, Vladimir Bulović, "High-density charge storage on molecular thin films - candidate materials for high storage capacity memory cells," *IEEE International Electron Devices Meeting (IEDM)*, pp. 24.4.1 - 24.4.4, Dec. 2011.

[32] Shashi Paul, "Realization of nonvolatile memory devices using small organic molecules and polymer", *IEEE Transactions on Nanotechnology*, vol. 6, no. 2, pp. 191-195, Mar. 2007.

[33] Yusuke Tanaka, Kaname Kanai, Yukio Ouchi, Kazuhiko Seki, "Oxygen effect on the interfacial electronic structure of C₆₀ film studied by ultraviolet photoelectron spectroscopy," *Chemical Physics Letters*, vol. 441, no. 1–3, pp. 63–67, June 2007.

[34] S. L. Miller, R. D. Nasby, J. R. Schwank, M. S. Rodgers, and P. V. Dressendorfer, "Device modeling of ferroelectric capacitors," *J. Appl. Phys.*, vol. 68, no. 12, pp. 6463 – 6471, 1990.

[35] T. P. Ma, Jin-Ping Han, "Why is nonvolatile ferroelectric memory field-effect transistor still elusive?," *IEEE Electron Device Letters*, vol. 23, no. 7, pp. 386-388, 2002.

[36] S. Paydavosi, H. Abdu, G. J. Supran, and V. Bulović, "Performance comparison of different organic molecular floating-gate memories," *IEEE Transactions on*

Nanotechnology, vol. 10, pp. 594, 2011.



簡歷

- 基本資料

姓名:黃旺駿 (Wang-Chun Huang)

性別:男

生日:民國 77 年 3 月 26 日

住址:高雄市三民區清風街 24 巷 2 號

電話:07-3838423

E-mail:lostLibra0326@yahoo.com.tw

- 學歷

國立清華大學工程與系統科學系(95 年 9 月~99 年 6 月)

國立交通大學電子研究所碩士班(99 年 9 月~101 年 9 月)

- 論文題目

以巴克球作為浮動閘極之有機非揮發性記憶體

Organic Nonvolatile Memory Using C60 as Floating Gate

- 研究領域與執行計畫

國科會，(100~102 年) 異質整合分子/矽電子元件:高電荷密度與電致變色

分子浮動閘極記憶體之開發

Publication List

會議論文 (Conference Papers)

Wang-Chun Huang, Wun-Cheng Luo, and Tuo-Hung Hou, “Fully CMOS-compatible Chemoreceptive Neuron MOS (CuMOS) Transistor for Fluid Sensing ,” *International Electron Device and Material Symposium*, Taipei, Taiwan, 17-18 November, 2011.