

國立交通大學

電子工程學系電子研究所

碩士論文

高功率半導體雷射之功率效率與熱議題研究

Studies on Power Conversion Efficiency and  
Thermal Issues of High Power Semiconductor Lasers

研究生：林佑龍

指導教授：林國瑞 博士

中華民國一〇一年十一月

高功率半導體雷射之功率效率與熱議題研究

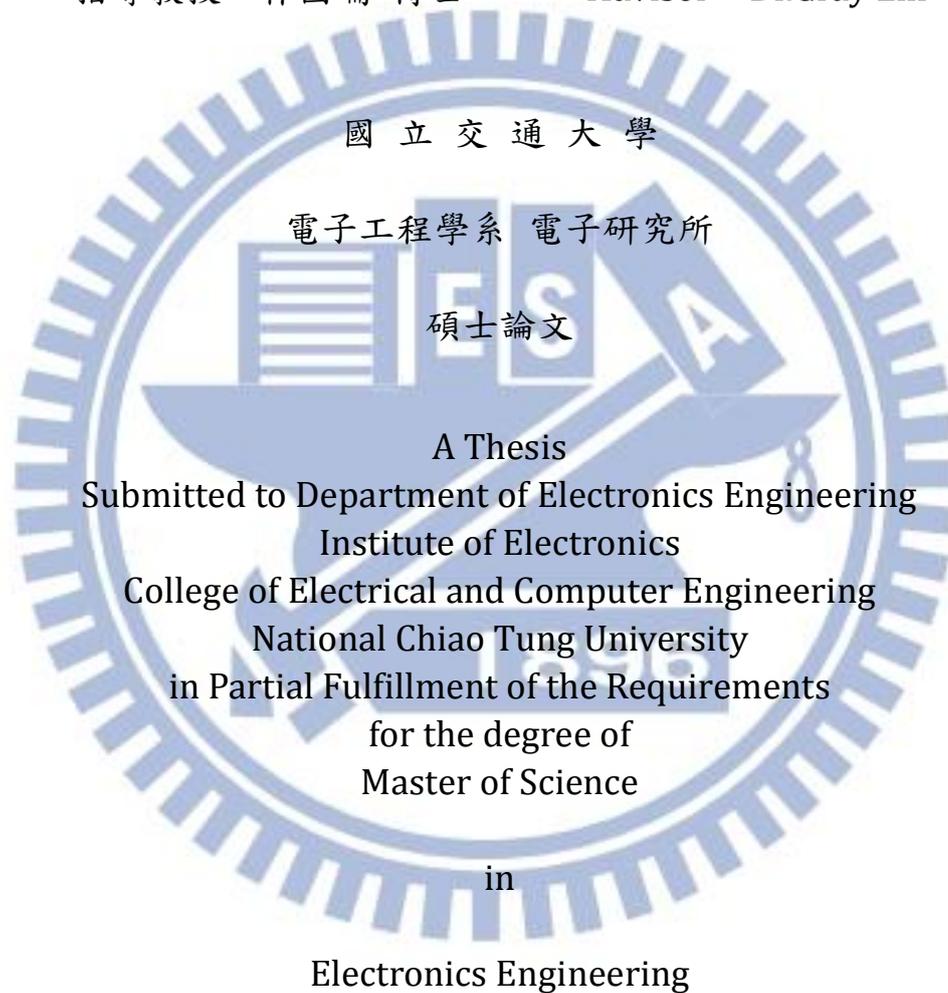
Studies on Power Conversion Efficiency and  
Thermal Issues of High Power Semiconductor Lasers

研究生：林佑龍

Student：You Lung Lin

指導教授：林國瑞 博士

Advisor：Dr.Gray Lin



November 2012

Hsinchu, Taiwan, Republic of China

中華民國一〇一年 十一月

# 高功率半導體雷射之功率效率與熱議題研究

學生：林佑龍

指導教授：林國瑞博士

國立交通大學

電子工程學系電子研究所碩士班

## 摘要

本論文探討半導體雷射元件熱模擬、晶粒封裝製程技術、功率轉換效率計算的研究。在元件熱模擬上，我們使用了四種不同的模型對半導體雷射與散熱基座做模擬，模型分別為主動層熱源、電流分佈修正、溫度參數修正、界面熱阻的修正。模擬結果發現，未考慮後三項修正的主動層熱源模型與考慮修正模型的溫度差，在 P side up 封裝超過 100°C，在 P side down 封裝近 80°C，這說明只單純使用主動層熱源計算熱模擬，在高電流與雷射內部溫度較高的情況下會有很大的誤差。因此在半導體雷射元件在高電流及內部溫度極高的狀況下，不能忽略電流分佈、溫度參數的修正。

在晶粒封裝製程技術上，半導體雷射封裝大多使用 AuSn 的硬式焊料。此焊料需要良好的共晶溫度與下壓力才能為雷射元件提供最好的散熱。在封裝品質的檢測上，一般都使用推離元件，觀察表面成份來確定封裝條件品質好壞，或者進行長時間的光性燒測實驗。然而這樣的方法除了會損壞元件之外，需要大量的時間分析。因此暫態熱電阻量測提供了省時、且非破壞性的量測。

本論文中我們結合了封裝條件與暫態熱電阻量測完成了一種非破壞性檢測封裝品質優劣的方法。暫態熱電阻提供了我們得知封裝焊料界面熱阻大小，並且能快速地得知每個封裝條件的界面熱阻值。我們使用最佳的封裝條件，讓封裝前熱飽和功率僅 135mW 的半導體雷射，得到了近瓦級操作的改善。封裝後雷射元件在 1000mA 連續操作下尚未熱飽和，出光功率約 830mW。

在功率轉換效率的研究上，我們提供了最佳效率共振腔的分析與功率餅圖的分析。我們證明了使用電流阻擋層的高功率大面積半導體雷射，提升了元件的功率轉換效率最大值。另外我們從功率餅圖上分析得知，高功率半導體雷射在臨界電流條件差異性不大時，增加微分量子效率對於功率轉換效率的改善是最佳的首選。

# Studies on Power Conversion Efficiency and Thermal Issues of High Power Semiconductor Lasers

Student : You Lung Lin

Advisor : Gray Lin

Department of Electronics Engineering and Institute of  
Electronics  
National Chiao Tung University

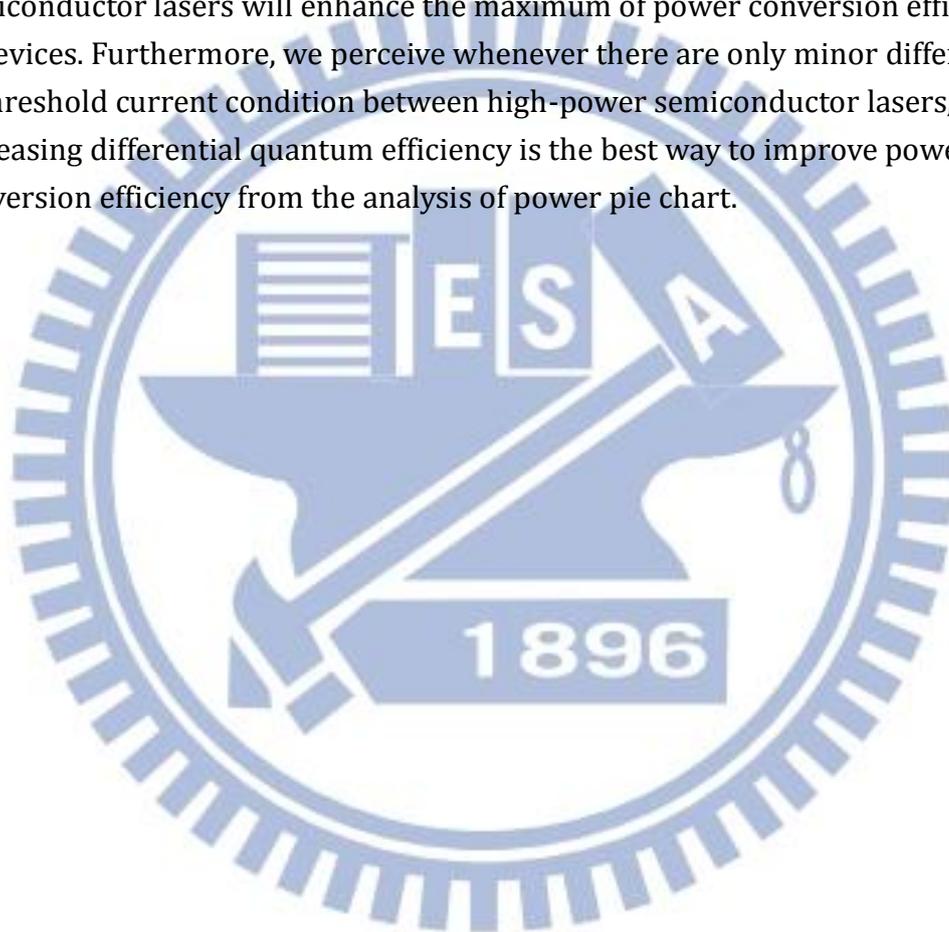
## Abstract

This thesis discusses thermal simulations of semiconductor laser devices, techniques of die bonding process, and studies of power conversion efficiency. In thermal simulations of semiconductor laser devices, we utilize four different models to simulate thermal distribution between semiconductor lasers and submount. These four models are successively considering heat sources in active region, calibration of current diffusion and joule heat, calibration of laser characteristic temperature, and calibration of interface thermal resistance between chip and submount. In our simulation results, we identify there are temperature differences over 100°C in P-side-up packaging, and 80°C in P-side-down packaging if we merely consider heat sources in active region other than considering these four factors. This result illustrates in thermal simulation, simply evaluating heat sources in active region will cause significant inaccuracy. Therefore, we can't ignore other three factors whenever the semiconductor laser devices are operated at high injection current or their internal temperatures are extremely high.

In techniques of die bonding process, semiconductor lasers packaging are typically utilizing hard solder of AuSn. This kind of hard solder requires adequate bonding temperature and bonding force to provide best condition of heat dissipation in laser devices. Normally we use shear test to confirm packaging condition is good or bad by observing surface quality. However, such test will cause damage to the devices. On the other hand, if we want to confirm packaging condition via non-destructive test, we need long-period constant light output aging measurement. Owing to these drawbacks, we combine packaging condition and transient thermal resistance measurement to implement a non-destructive test confirming packaging quality. Transient thermal resistance provides the

values of interface thermal resistance between chip and solder and rapidly tells us each interface thermal resistance corresponding to its packaging condition. The thermal rollover power of semiconductor laser is merely 135mW before packaging. By employing the optimized packaging condition, we get nearly 1W thermal rollover power improvement. The output power of semiconductor laser device is about 830mW operated under 1000mA continuously after packaging.

In studies of power conversion efficiency, we provide analyses of optimum cavity length for high power efficiency and power pie chart. We verify that implementing current blocking region design in high power broad area semiconductor lasers will enhance the maximum of power conversion efficiency of devices. Furthermore, we perceive whenever there are only minor differences in threshold current condition between high-power semiconductor lasers, increasing differential quantum efficiency is the best way to improve power conversion efficiency from the analysis of power pie chart.



## 致謝

這篇論文能以完成，首先感謝我的指導教授林國瑞教授，您的務實經驗教導我以更實際的角度面對我們的研究題目。除了讓我有自己發揮的空間外，在撰寫過程中也能適時的指導。同時感謝口試委員李建平教授與林聖迪教授，對論文提出建議與指導。尤其是李建平教授您對我的肯定是我碩士生涯中獲得最豐美的禮物。也感謝林聖迪教授平時對我的關心，以及敬佩您對研究態度的專業性。

感謝同屆戰友孔祥義、賴博亞、許方則陪伴我走過這苦哈哈的碩士生涯，口試前一晚超長預報讓我更正了報告上的缺失，最後能有美好的成果。我無法想像平常沒有你們一起陪伴，最後這條路或許會更漫長。未來各奔東西，但願我們常常出來聚一聚。與你們拉低賽的時光是讓我充電的最佳方法。

感謝巫朝陽學長熱心的幫我設計 Labview 程式，雖然最終沒能派上用場，但您的熱心與專業，在這致上最深的敬意與感謝。也感謝你一路上對我們碩士生涯的經驗分享與關心。感謝陳俞謙學長提供完善的樣品供我研究所用，最後不能幫你分析完你最想獲得的資訊，在這致上歉意。非常感謝碩士生涯後期能與你每週討論與報告，讓我的研究進度快速發展，並且得以完成。感謝實驗室各學長：小金學長最後雖沒量拉曼光譜，但很感謝你與我討論。感謝旭傑學長之前與我量測頻率響應的量測，最後雖沒變成研究題目，但你的熱心與專業在這也奉上最深的敬意。感謝小豪學長的熱心，最後在奈米光學實驗室做實驗時，與你聊天是讓我冷靜的方法。感謝每個曾經在研究上幫助我，並且熱心關心我的學長姊們，你們的研究精神與態度也讓我領略了非常多的人生態度。

感謝我的父母讓我在無經濟壓力下專心面對碩士生涯的挑戰，感謝家人們對我的關心。我知道我很少回家，你們的關心與關懷是我堅持下去的動力。最後感謝女友黃桑妮小姐一路上的陪伴，如果沒有妳的加油與支持，我是無法有強韌的意志力完成這篇論文的。

碩士生涯兩年半要感謝的人事物太多。這場刻苦的冒險與經歷我將銘記在心。

林佑龍  
2012 年 11 月

# 目錄

中文摘要.....	i
英文摘要.....	ii
致謝.....	iv
目錄.....	v
圖目錄.....	viii
表目錄.....	xi
第一章 序論.....	1
1-1 高功率半導體雷射之研究議題.....	1
1-2 研究動機與論文架構.....	3
第二章 原理.....	4
2-1 半導體雷射操作原理.....	4
2-1-1 雷射基本原理.....	4
2-1-2 臨界條件.....	5
2-2 功率效率計算原理.....	8
2-2-1 功率餅圖計算.....	8
2-2-2 功率轉換效率最大值計算.....	11
2-2-3 共振腔長度與 $PCE_{max}$ 關係.....	13

第三章 元件熱模擬.....	16
3-1 Comsol 建立模型之步驟.....	16
3-2 熱模型定義與模擬法.....	19
3-2-1 物理模型.....	19
3-2-2 方程式邊界.....	25
3-2-3 元件模型設定.....	28
3-3 元件熱模擬結果.....	30
3-3-1 熱分佈討論.....	30
3-3-1 元件溫度比較.....	33
第四章 實驗設計.....	35
4-1 晶粒黏著製程系統.....	35
4-1-1 封裝焊料資訊.....	35
4-1-2 晶粒封裝製程.....	36
4-2 LIV 量測系統.....	43
4-2-1 LIV 量測.....	43
4-2-2 溫度參數萃取.....	44
4-3 暫態熱電阻量測.....	46
4-4 實驗整體流程.....	54

第五章 實驗結果與討論.....	55
5-1 界面熱阻與封裝條件比較.....	55
5-2 封裝元件光性結果與討論.....	61
5-3 最佳效率共振腔討論.....	63
5-4 功率餅圖計算與討論.....	70
第六章 結論與展望.....	80
參考文獻.....	82
附錄.....	85
A.最佳效率共振腔長度推導.....	85
B.熱模擬分佈圖在兩不同電流條件下對比.....	87
簡歷.....	92

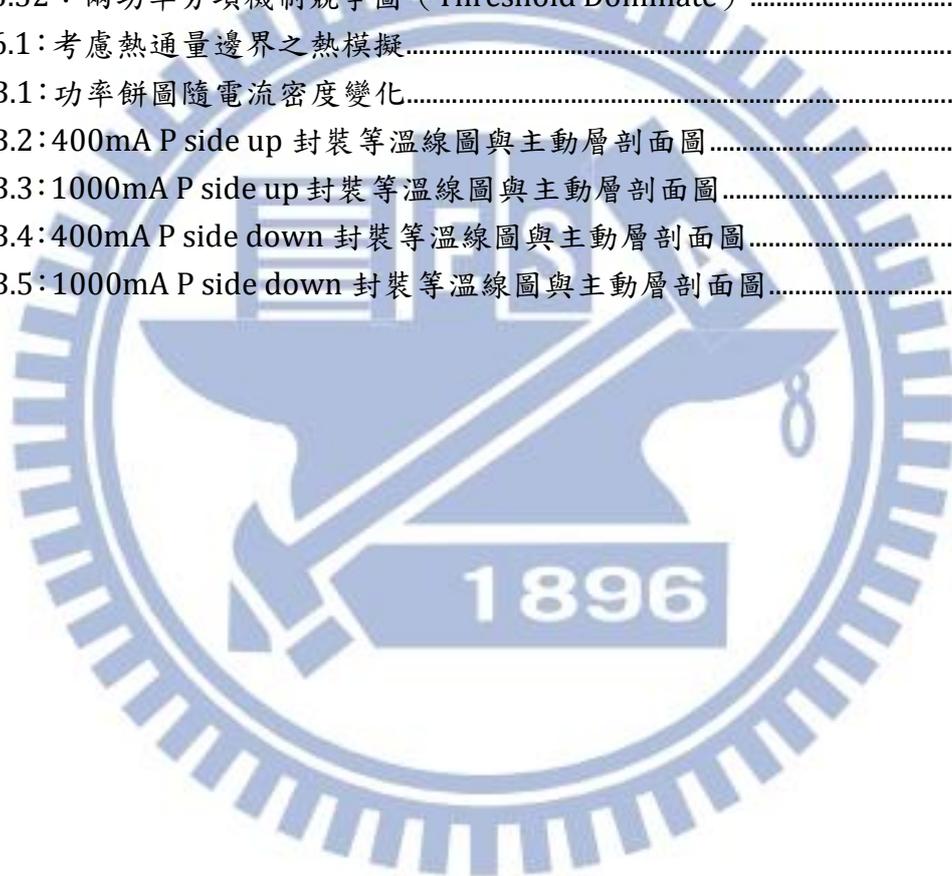


# 圖目錄

圖 2.1: 雷射四種要素組成示意圖.....	4
圖 2.2: 雷射光於共振腔之震盪示意圖.....	6
圖 2.3: 載子注入與輸光關係.....	7
圖 2.4: L-I-V 圖與功率餅圖計算示意圖.....	8
圖 2.5: LD_F6 LIV curve.....	10
圖 2.6: LD_F6 功率餅圖.....	10
圖 2.7: LD_F6 功率分項隨電流變化圖.....	11
圖 2.8: 內部損耗與內部量子效率萃取.....	14
圖 2.9: 模增益常數與透明電流萃取.....	14
圖 2.10: 功率轉換效率最大值與共振腔長度關係.....	15
圖 2.11: $f(L)$ 與 $f=1$ 交會圖.....	15
圖 3.1: Comsol 數值模擬流程.....	16
圖 3.2: 模擬元件之溫度參數萃取.....	22
圖 3.3: $I_{th}$ 引入溫度參數疊代發散之結果.....	22
圖 3.4: P side up 封裝元件 200mA 操作之接面溫度量測.....	23
圖 3.5: P side up 封裝熱模擬之邊界設定示意圖.....	26
圖 3.6: P side down 封裝熱模擬之邊界設定示意圖.....	26
圖 3.7: P side up 元件模型.....	28
圖 3.8: P side down 元件模型.....	28
圖 3.9: 500mA 時 Type AJT Simulation 熱分佈.....	30
圖 3.10: 主動層共振腔方向溫度分佈圖.....	31
圖 3.11: 主動層 y 方向溫度分佈圖.....	32
圖 3.12: P side up 電流變化下四種模型溫度變化.....	34
圖 3.13: P side down 電流變化下四種模型溫度變化.....	34
圖 4.1 : AuSn Phase Diagram.....	35
圖 4.2: EDB80-P 晶粒黏著系統機台全貌圖.....	37
圖 4.3: 晶粒黏著系統操作流程圖.....	37
圖 4.4: Bonding Process Temperature Control 示意圖.....	38
圖 4.5: 封裝元件 Sample A 資訊圖.....	38
圖 4.6: Mount 1、2 Bonding 示意圖.....	39
圖 4.7: Mount 3 Bonding 示意圖.....	40
圖 4.8: 低 Bonding Temp. 元件推離表面圖.....	42
圖 4.9: Bonding Window 內元件推離表面圖.....	42
圖 4.10: 封裝條件對於雷射光性之影響.....	42
圖 4.11: Keithley 2520 操作極限示意圖.....	43
圖 4.12: 積分球與量測平台架設圖.....	43

圖 4.13:LIV 量測系統.....	44
圖 4.14:SampleB 變溫 LIV 圖.....	45
圖 4.15:SampleB 溫度參數萃取圖.....	45
圖 4.16:TSP 量測結果.....	47
圖 4.17:順向偏壓法量測之示意圖.....	47
圖 4.18:Sample A Broad Area LD 升溫曲線.....	47
圖 4.19:T3ster 量測流程.....	48
圖 4.20:RC 等效熱阻電路.....	49
圖 4.21:反摺積運算得到的 $R(z)$ 頻譜.....	50
圖 4.22:Foster RC model 轉換成 Cauer RC mode.....	50
圖 4.23:RC 曲線分佈與結構比較圖.....	51
圖 4.24:暫態 RC 曲線與一次微分曲線.....	52
圖 4.25:熱傳導與 $\mathcal{K}R$ 曲線分佈示意圖.....	52
圖 4.26:藉由 RC, $\mathcal{K}R$ 曲線定量分析晶粒黏著品質好壞.....	53
圖 4.27:T3ster 量測架設圖.....	53
圖 4.28:T3ster 探針座架設平台.....	53
圖 4.29:整體實驗流程.....	54
圖 5.1:T3ster 暫態熱電阻量測 RC 曲線.....	55
圖 5.2:元件 RC 量測曲線.....	56
圖 5.3:元件 $\mathcal{K}R$ 量測曲線.....	56
圖 5.4:250x600 小尺寸元件自行封裝之 $\mathcal{K}R$ 圖.....	58
圖 5.5:500 x1500 大尺寸元件廠商封裝之 $\mathcal{K}R$ 圖.....	58
圖 5.6:900x900LED 元件封裝之 $\mathcal{K}R$ 圖.....	59
圖 5.7:部份 AuSn 共熔後固化表面圖.....	60
圖 5.8:廠商封裝 AuSn 共熔後固化表面圖.....	60
圖 5.9:參考文獻 Unbonded LD 與 Bonded LD LIV 比較.....	61
圖 5.10:250x600 小尺寸元件封裝 LIV 比較.....	62
圖 5.11:元件參數 $\eta_i$ 、 $\alpha_i$ 萃取圖.....	63
圖 5.12:元件參數 $g_{0,mod}$ 、 $J_{tr}$ 萃取圖.....	63
圖 5.13:808nm BALD_Sample A、B 磊晶結構.....	64
圖 5.14:Emitter 200 $\mu$ m, Size 500 $\mu$ m 之 4W 操作元件結構圖.....	64
圖 5.15:最佳共振腔長度計算.....	66
圖 5.16:PCE,max 對共振腔長度作圖.....	66
圖 5.17:模增益常數與 PCE,max 關係.....	67
圖 5.18:透明電流密度與 PCE,max 關係.....	67
圖 5.19:內部損耗與 PCE,max 關係.....	68
圖 5.20:內部參數對 PCE,max 改變之影響.....	68
圖 5.21:元件 COD power 與共振腔長度關係.....	69

圖 5.22: Sample B/150/05596_LI Measure curve.....	70
圖 5.23 : Current Blocking Region 元件示意圖.....	71
圖 5.24: 功率轉換效率最大值下各元件功率餅圖.....	71
圖 5.25: SA、SB 兩種元件功率變化比較.....	73
圖 5.26: 電流阻擋層設計功率變化比較.....	74
圖 5.27: Current Block Region 造成的鏡面附近載子密度降低示意圖 .....	75
圖 5.28 : Current Blocking Region 造成的等效縮減共振腔效應.....	75
圖 5.29: 微分量子效率受溫度下降之比較圖.....	76
圖 5.30: 4W 操作下, SB/05596 與 I0496 功率變化比較.....	78
圖 5.31 : 兩功率分項機制競爭圖 (DQE Dominate) .....	79
圖 5.32 : 兩功率分項機制競爭圖 (Threshold Dominate) .....	79
圖 6.1: 考慮熱通量邊界之熱模擬.....	80
圖 B.1: 功率餅圖隨電流密度變化.....	87
圖 B.2: 400mA P side up 封裝等溫線圖與主動層剖面圖.....	88
圖 B.3: 1000mA P side up 封裝等溫線圖與主動層剖面圖.....	89
圖 B.4: 400mA P side down 封裝等溫線圖與主動層剖面圖.....	90
圖 B.5: 1000mA P side down 封裝等溫線圖與主動層剖面圖.....	91



## 表目錄

表 2.1: 功率分項定義與表示式.....	8
表 3.1: 模擬元件溫度參數值.....	22
表 3.2: 前三種模型與量測值比較.....	24
表 3.3: 元件熱模擬模型設定與方程式比較.....	24
表 3.4: 元件 Sample A 元件資訊表.....	27
表 3.5: 統御域與邊界數值計算表.....	29
表 3.6: Peak Temp.隨電流條件變化表.....	33
表 4.1: AuSn Phase 一覽表.....	36
表 4-2: 封裝 submount 類型資訊表.....	39
表 5.1: 封裝條件與 $\Delta R$ 之比較值.....	57
表 5.2: 封裝條件與 $\Delta R_{eff}$ 之比較值.....	59
表 5.3: 雷射元件熱飽和結果比較.....	62
表 5.4: Sample A、B 雷射參數表.....	64
表 5.5: 元件量測與計算參數表.....	72
表 5.6: 功率轉換效率最大值下的功率餅圖比例表.....	72
表 5.7: 出光功率 4W 下的功率餅圖比例表.....	72
表 5.8: 元件溫度參數比較表.....	76
表 5.9: 出光功率 4W 下焦耳熱功率項與操作電流比較.....	78

# 第一章 序論

## 1-1 高功率半導體雷射之研究議題

808nm 波段的高功率雷射可用來作 Nd:Yag 固態雷射的泵浦源。此應用必須有高功率的雷射光、較小的發散角、高功率轉換效率之雷射二極體。能達成這些條件的雷射二極體必須克服幾項要素[1]：鏡面光學損壞 COD (Catastrophic Optical Mirror Damage)、散熱處理、低電阻值、較低的遠場發散角。

光學損壞的成因乃自於邊射型雷射天生劈裂面的缺陷態，注入於主動層的載子有機會從兩側鏡面以非輻射復合方式產出熱能，並且整個循環是一個熱的正向回饋。因此在高操作電流之下，邊射型雷射二極體會有局部過熱之現象，當鏡面溫度超過之材料熔點，元件將會永久失效。因此鏡面光學損壞的防護變得相當重要。一般最泛用的方式是利用鍍膜達到鏡面保護，而鍍膜成份與厚度可調配出適合的鏡面反射率。另外為了降低鏡面光吸收，會設計非吸收鏡面層[2]在鏡面兩端，使表面能隙變大。但此非吸收鏡面層由於摻雜原子的高導電性會造成自由載子吸收 (free carrier absorption)，因此如何設計降低光吸收的非鏡面吸收層又要確保自由載子吸收不會太嚴重是值得研究的設計。除了鏡面光吸收之外，使用 Al-Free 的主動層[1]會讓表面復合速率較低，進而降低鏡面溫度。另外表面載子密度也影響了鏡面熱正向回饋，使用電流阻擋層的設計可降低表面載子密度，也能改善 COD 之問題[3]。

為了能讓雷射光耦合至後段元件，低遠場垂直角是必要的考量，由於遠場與近場分佈為傅立葉轉換之結果，當近場光型侷限性非常好時，遠場發散角就會非常大。因此在雷射結構設計上，必須讓光性侷限因子降低。LOC (Large Optical Cavity) [1, 4, 5]設計主要讓主動層兩側的波導層 (Waveguide layer) 加厚。此結果不僅可實現低垂直角之功能，更可以讓最大出光功率提高 (此最大功率指的是當恰好發生 COD 之出光功率)。原因為低侷限因子使得最小光點直徑 (Spot size) 增加，功率密度降低而讓最大出光功率能再提升[5]。然而這樣的設計雖能提供低垂直角跟提高最大出光功率，但反而降低了雷射本身效率，故保持低垂直角又要兼顧雷射效率就成為 808nm 波段高功率雷射重要的研究課題。

雷射元件效率與許多參數相關。微分量子效率好壞與本身載子能有效注入於主動層及雷射內部與鏡面損耗有關。內部損耗來自於磊晶層之間粗糙造成的散射效應與光未侷限至主動層之中逃逸至兩側披覆層 (cladding layer) 或波導層 (Waveguide layer) 之自由載子吸收所影響。而這個自由載子吸收大小與當地載子濃度有密切關係[6]。並且光侷限層的厚薄設計不僅影響了 confinement factor 更影響了內部損耗[7]。在披覆層的載子密度遠大於光侷限層的條件下，當光漏出於披覆層的比例越大，其內部損耗也越大。而披覆層厚度假使下降雖能減低大量的內部損耗，但也會造成載子侷限下降。另外主動層的設計，包括選用的量子

井種類、厚度、層數也決定了最後雷射效率的大小[1, 8]。高功率雷射除了出光功率能提升之外，當整體功率轉換效率（PCE, Power conversion Efficiency）越大時，可在較低電流下操作於較高的功率。功率轉換效率最大值（PCE,max）代表某電流點會有最大功率轉換效率[9]，此原因是任何雷射元件一定會有最後的操作極限，當接近此操作極限時，雷射光性會在很短的電流區間之內大量下降。而功率轉換效率最大值與許多雷射參數有關，本論文提供了功率轉換效率最大值的討論。

半導體雷射為解決散熱問題，會將晶粒封裝在散熱基座上。為將晶粒黏著至散熱基座上要選用良好的焊料（solder）。早期使用的軟式焊料（soft solder）在壽命度與穩定度會有瞬間失效的結果，原因乃 soft-solder 在會有 migration 現象，這個現象會生成 whisker，隨著使用時間加長。這個 whisker 成長至 100 $\mu$ m 至 200 $\mu$ m 而導致短路[10]。為了改善這個問題，近期使用硬式焊料（Hard Solder），大多使用 AuSn 合金。此種焊料在封裝時，需要提供下壓力與共熔溫度。因此硬式焊料的缺點是當壓力與溫度沒有良好的控制，會對雷射元件有額外的損傷。[11] 提供了實際封裝 Bonding Window 的檢測，並且藉由推離 die chip 的表面分析 SEM/EDX 來確認品質的好壞。實際上對雷射元件量測 LIV，即使是 CW 量測，在 LIV 好壞之中難以分野封裝品質的好壞。原因是 CW 量測實際在操作秒數上，僅僅一秒至數秒不等，封裝好壞與熱量累積的關係相差甚小。因此封裝完的元件通常以燒測(Burn in)的方式去檢測元件壽命，封裝較差的元件因散熱較差，熱累積較多。光性下降的速率比封裝好的元件較快。但燒測實驗必須經過長時間的進行才能確認元件封裝好壞。[12] 使用了 T3ster 暫態熱電阻量測，檢測了不同焊料與封裝法對於熱阻的比較，比起燒測實驗較為省時。本論文結合了[11]與[12]的概念，試著以此種非破壞性量測方法去檢視封裝條件對元件封裝的好壞。

雷射元件的熱模擬可提供我們對雷射內部元件溫度的瞭解。一般來說最簡單的模擬就是將熱源設定在主動層，其大小為輸入功率減掉輸出功率，以熱方程去解出溫度分佈[13]。但這樣的模擬法存在了一定的問題，乃是此熱源不全然是發生在主動層之中。由於雷射元件在操作時本身串聯了一個等效電阻，在電流分佈的情況下會有焦耳熱的存在。因此在這裡分野了幾種方法去計算這個阻值熱。[14] 列出了雷射元件主動層兩側披覆層的 Voltage drop，而主動層的熱源以雷射元件恰好啟動時之壓降所計算。此種方法有效地考慮披覆層摻雜濃度多寡與空間大小造成整體雷射熱累積改變的考量。由於雷射元件在 P-type 區域有較大的阻值，乃是電洞本身天生造成的低 mobility 所致。[15, 16] 將等效電阻轉換的等效導電率放置於接近 P-Cladding 區域，在方程式上多加入了電的方程式去解出電流分佈，然後以此電流分佈算出當地可能造成的電阻熱。

然而對於邊射型雷射元件與 LED、VCSEL 最大的不同，實際上雷射鏡面因為表面那些不均勻載子非輻射復合所造成的熱也會提高整體元件熱[1, 17]。本論文提供了不同模擬法對於溫度的比較。

## 1-2 研究動機與論文架構

本論文中提供了高功率雷射元件上的三個方向討論，為元件熱模擬、功率轉換效率上、封裝製程上的研究

現今熱模擬許多的方式仍是量測實驗值輔助模擬，因此元件磊晶與製程設計不能給予熱模擬結果直接決定性的分析，著實可惜。由於量測值帶入模擬的關係，本身量測值帶來的誤差將會為模擬帶來更多誤差，因此本論文模擬說明了前人許多模擬研究的可能缺失點與提供未來模擬可改善的方向。我們一共提供了四種模型（主動層計算、考慮電流分佈修正、溫度參數修正、界面熱阻修正）去比較最後這些模擬結果的溫度差異。

本論文使用簡單的功率餅圖計算，可獲得元件損失功率究竟是貢獻在焦耳熱（Joule Heat or Voltage defect）、未電光轉換功率（imperfect DQE）、克服臨界條件所需功率（Below Threshold）。並且使用電流阻擋層（Current Blocking）設計元件，與兩種磊晶結構有所差異的元件做功率餅圖上的討論。另外我們提供了雷射元件功率轉換效率最大值計算。並且討論此值與雷射共振腔長度上的關係。

元件散熱封裝上，本文結合了 T3ster 暫態熱電阻量測法與 Bonding Window 的測試概念，建立一種非破壞性量測檢測封裝界面優劣之方法。並且量測此封裝條件下，元件光性改善的程度。

在第二章將會描述基本雷射原理、功率餅圖計算法、功率轉換效率最大值計算、效率共振腔關係之原理。第三章為元件熱模擬，從建模與參數條件、各模擬法對應之結果。第四章為實驗設計，包括晶粒黏著封裝製程之相關背景知識、設備資訊，LIV 光性量測系統，T3ster 量測系統原理、實驗所使用的樣品資訊。第五章為實驗結果與討論，第六章為結論與未來展望。

## 第二章 原理

### 2-1 半導體雷射操作原理

#### 2-1-1 雷射基本原理

雷射的構成需要增益介質 (Gain Medium)、泵浦系統 (Pump or Excitation)、光學共振腔 (Optical Cavity)、光輸出耦合 (Optical Output Coupler)。半導體雷射的也是由這四個要素組合而成，比起傳統的氣態雷射與固態雷射系統必須整合出以上雷射構成要素，半導體雷射本身已整合四種要素，因此在應用上更具彈性，並且有極輕、極小之特性，它的高效率與低耗能使得它可運用在許多應用領域之中。

圖 2.1 的四種要素在半導體雷射之中，泵浦系統主要是帶動半導體結構中的載子往主動層移動，以達到載子復合放出光子。操作電壓超過主動層能障時，只要小量地增加電壓，電子電洞便可輕易地越過能障。此時電子電洞會復合而成非同調光子，此時為自發輻射階段 (Spontaneous Emission)。整體雷射並未得到居量反轉 (population inversion)。主動層未具有光放大的能力。因此必須當主動層滿足雷射臨界操作條件 (Threshold Condition) 增益等於損耗 (gain=loss)，此時內部光子才會同調，以開始進行雷射操作。其中必須靠主動層的增益介質能提供光在增益介質中達到有效的光放大，一般會依據載子的侷限性與優異的光學特性，選取適合基板與磊晶結構。

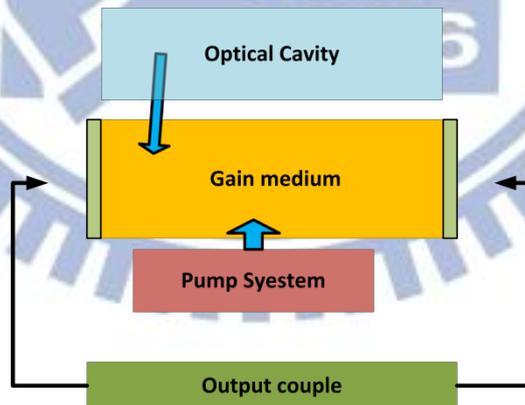


圖 2.1：雷射四種要素組成示意圖

式(2-1)由雷射振盪條件而來[18]，藉由光在雷射裡頭進行反射，以雷射穩定輸出條件算出此式。左式為增益 (gain)，右式為損耗 (loss)。損耗分成內部損耗 $\alpha_i$  (Internal loss) 與鏡面損耗 $\alpha_m$  (Mirror loss)。此式含意代表左式的增益隨著注入載子濃度上升而增加，當克服右式的損耗之後。此時為增益等於損耗，代表額外再加入的載子將會直接轉換成同調光子輸出。

$$g_{th} = \alpha_i + \frac{1}{2L} \ln\left(\frac{1}{R_1 R_2}\right) \quad (2-1)$$

至於能達成式(2-1)雷射操作的條件就必須要有另外兩種要素光學共振腔與光輸出耦合。光學共振腔提供光在內部進行反射，讓光能在主動層不停被光放大直到達成臨界條件。我們使用的元件是邊射型雷射 (Edge Emitting Lasers)，當磊晶結構及雷射製程之後進行劈裂 (Cleaving)，順著半導體原子排列的平面處平整斷裂形成天然的鏡面 (Facet)。這種劈裂方式提供了光在內部反射 (光學共振腔用途)，也提供光透射出去 (輸出耦合用途)。但一般在應用上，我們只會讓一邊出光，所以我們可藉由鍍膜來達成一邊高反射、一邊低反射的鏡面反射條件。如此在式(2-1)中可降低鏡面損耗，也可增加一邊出光的效率。另外鍍膜可以提高抵抗 COD (Catastrophic optical damage 災難性光學損壞) 的能力。這種光學損壞是由於劈裂鏡面放置在空氣中容易氧化，使鏡面上形成缺陷，這些缺陷會使載子這些表面態進行非輻射復合 (non-radiative recombination) 在表面累積大量的熱。熱會使表面態能隙縮小，吸收係數增加，增加鏡面的熱能，而更有助於非輻射復合的增加。如此正向循環之下，使溫度迅速增高，使鏡面材料超過熔點而永久損壞。

### 2-1-2 臨界條件

半導體雷射隨著外加電流電壓，注入大量載子至主動層中，載子的輻射復合在達到透明條件之後，尚未進行雷射操作。雖然主動層開始已經有增益了，但整體損耗仍大於增益 (loss > gain)。這些損耗的來源一般分為兩種：來源一為鏡面損耗 (mirror loss)，由於鏡面提供了光在內部進行來回震盪 (Round trip)，這些鏡面的反射率與整體共振腔長度將會影響最後的損耗值。另外雷射結構本身具有內部損耗 (internal loss)，原因乃是磊晶成長各表面不一定會有平整，以及真正雷射光在主動層之中分佈並非均勻，雷射垂直結構本身即為波導，材料折射率的差異提供了光的侷限性，波導本身侷限上在界面兩側仍會有指數衰減的光漏出，這些光會被靠近主動層兩側的自由載子給吸收。因此雷射光必須在光學共振腔內反覆共振達到臨界條件。我們可藉由雷射光穩態輸出的條件，定義出式 (2-1)。

圖 2.2 為雷射光在共振腔之中行進的示意圖，雷射光的數學式可拆開成振幅項與相位項。我們針對雷射光穩態輸出之下分析振幅項在圖中不同點之改變。假設 A 點為某雷射光行進起點點，經過整個共振腔之增益與吸收來到 B 點，再經過鏡面之反射與透射，被反射回來的光標示為 C 點，同樣再經過共振腔增益與吸收至 D 點，最後反射回共振腔之原起始點。其前後所得到之光強度必須相等。由(2-2)我們可以獲得雷射的臨界條件為式(2-1)。

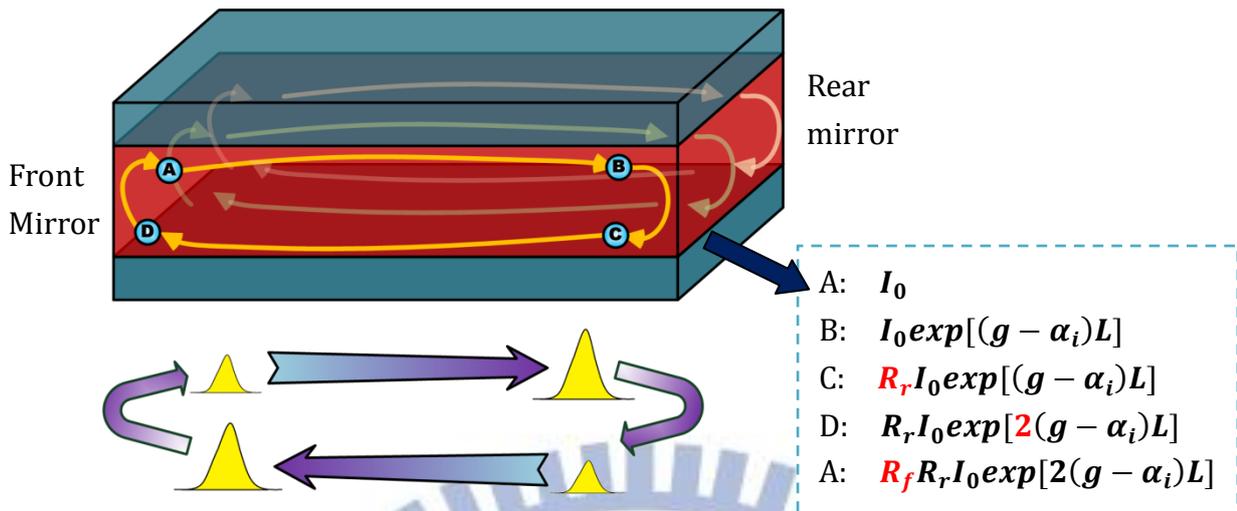


圖 2.2：雷射光於共振腔之震盪示意圖

$$I_0 = R_f R_r I_0 \exp[2(g - \alpha_i)L] \quad (2-2)$$

當操作電流爬升至臨界條件的時候，才會得到光學共振腔內部增益與損耗相等之條件。此時額外灌入的電流及輸入至主動層的載子將會形成同調的雷射光。因此載子密度在穩態操作下，不考慮空間均勻性之下，會被箝制在臨界載子密度  $n_{th}$  (Threshold carrier density)。

當雷射達成臨界條件之後，出光與操作電流在 L-I 曲線中如一斜直線，我們定義其出光功率變化量除上電流輸入變化量為斜率效率  $\eta_s$  (S.E., Slope Efficiency)。整體輸入載子與實際雷射光輸出示意圖如圖 2.3。

$$\eta_s = \frac{\Delta \text{Output Power} \left( \frac{W}{A} \right)}{\Delta \text{input current} \left( \frac{W}{A} \right)} = \frac{P_{out}}{I - I_{th}} \quad (2-3)$$

實際上電流注入於主動層之中會有漏電流的存在，因此圖中的注入的電流必須乘上內部量子效率  $\eta_i$  (IQE, Internal Quantum Efficiency)，才為真正注入於主動層之中的電流。當光在內部反射達成臨界條件時，真正射出鏡面的光功率才為我們所用。假設光子能量為  $h\nu$ ，共振腔內部光功率  $P_{opt}$  即為內部量子效率與注入電流  $(I - I_{th})$  的乘積。此值再透過鏡面損耗的出光才為  $P_{out}$ ，因此我們定義一個無單位的量當作半導體雷射電光轉換效率衡量參數。微分量子效率  $\eta_d$  (DQE, differential Quantum Efficiency)，式(2-4)為微分量子效率之表示式。為出光功率的增量除上真正注入於主動層的載子增量。我們可以看出微分量子效率與幾個參數息息相關，鏡面損耗、內部損耗、內部量子效率。式(2-5)為出光功率與微分量子效率之關係。

## Above Threshold

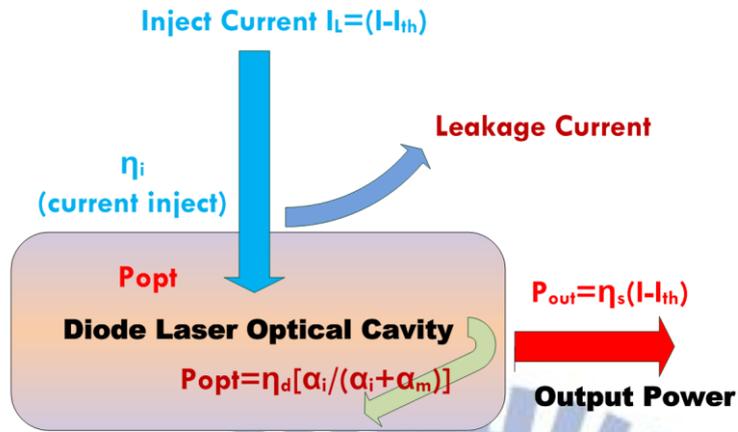


圖 2.3：載子注入與輸光關係

$$\eta_d = \frac{\Delta \text{Output power}}{\Delta \text{inject carrier (above threshold)}} = \eta_i \frac{\frac{1}{2L} \ln\left(\frac{1}{R_f R_r}\right)}{\alpha_i + \frac{1}{2L} \ln\left(\frac{1}{R_f R_r}\right)} \quad (2-4)$$

$$P_{out} = \eta_s (I - I_{th}) = \eta_d \frac{h\nu}{e} (I - I_{th}) \quad (2-5)$$

## 2-2 功率效率計算原理

### 2-2-1 功率餅圖計算

高功率雷射元件要成功實現必須滿足幾個條件，大致可化分為兩種議題：散熱與產熱。散熱主要靠外部的散熱基座（Submount and Heatsink）達成。而產熱的問題變成元件設計主要考量。當一個雷射元件功率效率高的時候，同樣電流操作點之下，出光功率較高。因此比上功率效率差的元件而言，同樣出光功率之下效率差的元件需要操作在更高電流才能達成，因此可以預見當電流持續上升之下，效率差的元件容易到達熱飽和操作。

圖 2.4 與式(2-6)為功率餅圖計算之示意圖與輸入功率的表達式。我們可以將它電流與電壓拆成臨界電流( $I_{th}$ )與臨界電壓( $V_{th}$ )，以及臨界以上電流與電壓 (Above Threshold)  $I_L$ 與 $V_L$ ，這裡提到的臨界電壓與啟動電壓( $V_{on}$ )並不相同，臨界電壓指的是當雷射到達臨界條件時所對應的電壓值。將(2-6)化簡可得(2-7)。

$$IV = (I_{th} + I_L)(V_{th} + V_L) \quad (2-6)$$

$$IV = I_{th}V_{on} + (1 - \eta_d)I_LV_{on} + \eta_d I_LV_{on} + I(\Delta V + V_L) \quad (2-7)$$

$I_{th}V_{on}$	Below Threshold	克服臨界條件之功率	
$\eta_d I_L V_{on}$	Output Power	出光功率	受溫度影響，當升溫之後，注入載子逃逸程度提高
$(1 - \eta_d)I_L V_{on}$	Imperfect DQE	未電光轉換之功率	
$I(\Delta V + V_L) = I(V - V_{on})$	Joule Heat	焦耳熱功率	

表 2.1：功率分項定義與表示式

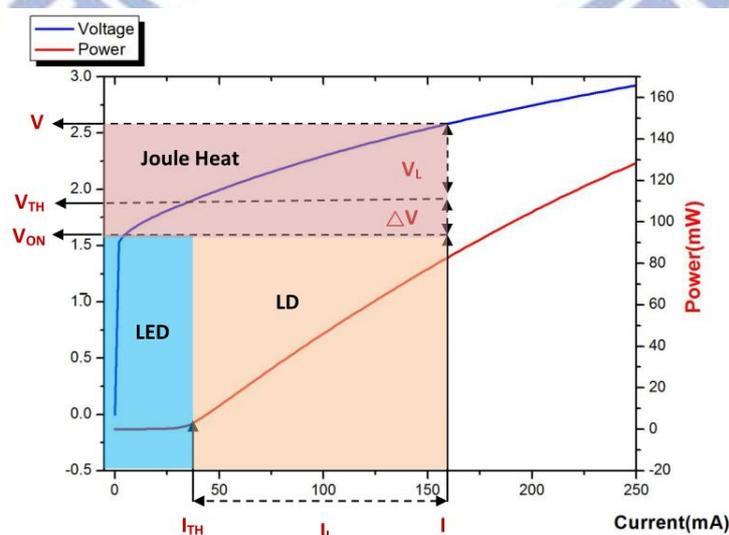


圖 2.4：L-I-V 圖與功率餅圖計算示意圖

第一項  $I_{th}V_{on}$  臨界電流之前 (Below Threshold) 損耗之功率。半導體雷射在到達 Threshold 之前，所發出的光為自發輻射光，這些自發輻射光之中，某些光子之相位有機會貢獻在 Threshold 之後同調雷射光。但是在高功率之中計算，其自發輻射光性相比雷射光來說光強非常低，因此這邊計算成一個損耗之功率。此項之意義可以以臨界電流作為核心。當雷射元件臨界電流越低，此項消耗功率越低。

$$\text{第二項 } I_L V_{on} = \eta_d I_L V_{on} + (1 - \eta_d) I_L V_{on}$$

此項之中，可以微分量子效率拆成出光功率部份與沒有電光轉換的部份。如前節所述，電流注入於主動層之中本身就伴隨著漏電流，由於載子在主動層的分佈為 Fermi-Dirac 分佈，因此能量高於  $\Delta E_C$  (異質結構兩側導電帶頂端差異值) 的載子有機率性地越過能障。當主動層溫度上升時，高於  $\Delta E_C$  的載子分佈越多，導致漏電流越大。因此此項的機制被我們考量作為 Carrier Leakage 的損耗功率。

$$\text{第三項 } I(\Delta V + V_L) = I(V - V_{on}) = I^2 R_s \text{ (Joule Heat)}$$

此項的考量為，整個半導體雷射啟動之後，本身電性為串聯一組等效電阻。當啟動之後，灌入電流都會因為此等效電阻之壓降產生焦耳熱。由於啟動電壓所對應的電流點，幾乎為 1mA 就已啟動，因此公式之中所代得的電流值直接為操作電流。

根據圖 2.5 所示，我們可以發現當操作電流點加高之後，Joule Heat、Carrier Leakage 部份都會增加比例。因此功率餅圖一般會畫功率轉換效率 (PCE, Power Conversion Efficiency) 最大的操作點、或者是元件本身應用所目標操作的點。功率轉換效率公式如式 (2-8)，以測試片 LD\_F6 的 L-I-V 特性圖為例。圖 2.5 為 LD\_F6 L-I-V 圖形，圖中紅線為 Power、藍線為 Voltage、綠線為 PCE(10%)。PCE 為量測出光功率除上輸入電功率 (IV)。圖 2.6 為元件 LD\_F6 在功率轉換效率最大時的功率餅圖，圖中四個分區分別即為上述所說的 Below Threshold、Joule Heat、Carrier Leakage、Output Power。

$$\eta_t = \frac{P_{out}}{P_{in}} = \frac{\eta_d \frac{h\nu}{e} (I - I_{th})}{IV} = \frac{\eta_d \frac{h\nu}{e} (I - I_{th})}{I(V_0 + IR_s)} \quad (2-8)$$

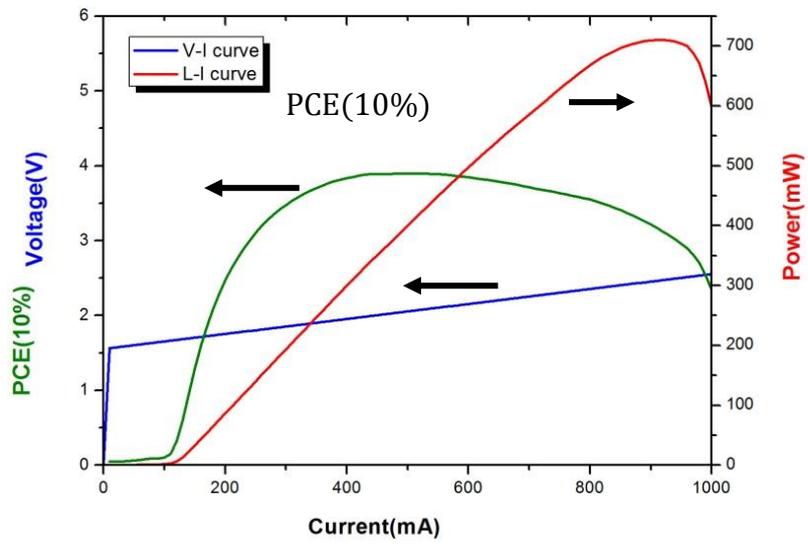


圖 2.5 : LD\_F6 LIV curve

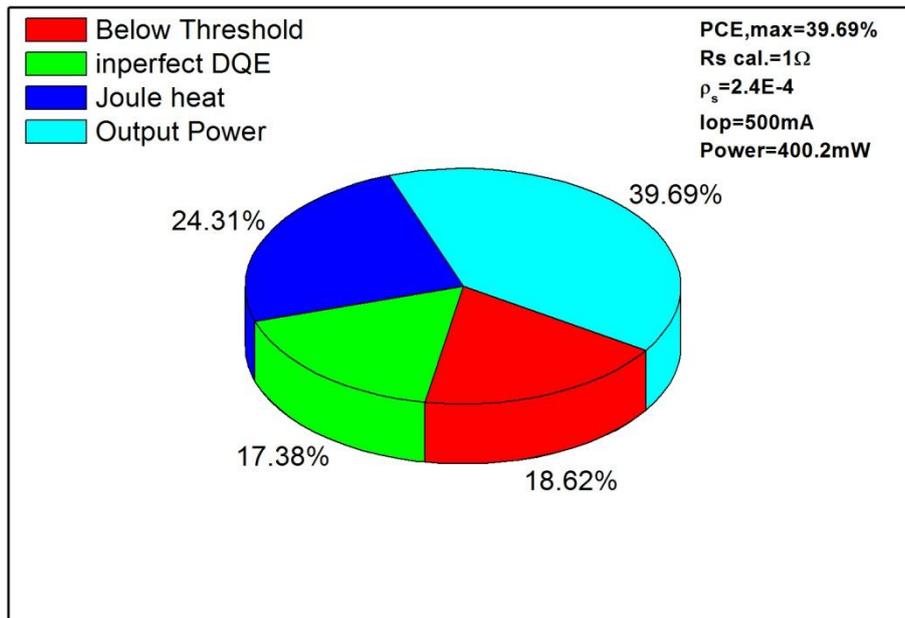


圖 2.6 : LD\_F6 功率餅圖

## 2-2-2 功率轉換效率最大值計算

從圖 2.5 中可以看到功率轉換效率隨著電流增加而改變。功率轉換效率實際上依據雷射元件的電流操作點不同，四個功率分項的比例圖也會不同。由圖 2.5 與圖 2.7 做對照。當雷射開始 Lasing 之前，輸入功率完全都在 Below Threshold 上。直到 Lasing 之後，其他三分項開始改變，Joule Heat 隨著電流上升會增一直增高，Imperfect DQE 部份會隨著雷射微分量子效率下降開始提高，當微分量子效率近乎接近零時，代表已經快要熱飽和 (Thermal Rollover)，因此功率轉換效率因此開始大量下降。我們可以發現功率轉換效率在電流操作上有一個操作最佳點。這個功率轉換效率最大值可由計算來獲得，以便我們快速地計算出每個元件功率轉換效率最佳的時候，功率餅圖分佈。

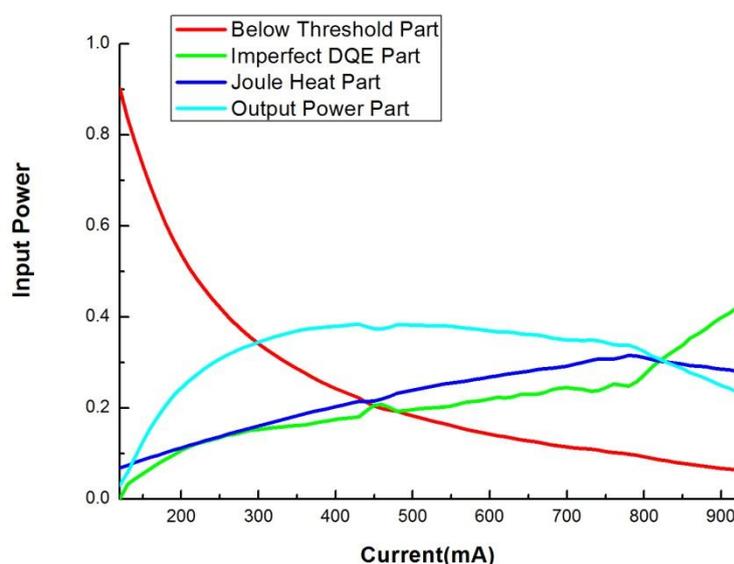


圖 2.7：LD\_F6 功率分項隨電流變化圖  
四個功率分項和為一，即為輸入功率

(2-9) 為出光功率的公式：

$$P_{out} = \eta_d \frac{h\nu}{e} (I - I_{th}) \quad (2-9)$$

(2-10) 為功率轉換效率 PCE (Power Conversion Efficiency) 的表示形式

$$\eta_t = \frac{P_{out}}{P_{in}} = \frac{\eta_d \frac{h\nu}{e} (I - I_{th})}{IV} = \frac{\eta_d \frac{h\nu}{e} (I - I_{th})}{I(V_0 + IR_s)} \quad (2-10)$$

我們讓 PCE 針對電流作微分，並且取微分等於零(2-11)。代表找到 PCE 對於電流的大小何時具有極大值。令  $x = \frac{V_0}{I_{th}R_S}$ ， $x$  為元件特性參數 (Characteristic Device Parameter)，此參數包含了幾個因數： $V_0$  為啟動電壓 (turn on voltage)， $I_{th}$  為臨界電流 (Threshold current)， $R_S$  為串聯電阻 (Series Resistance) 經過一系列的推導可獲得一個電流的一元二次方程式，利用公式解可獲得  $I_{PCE,peak}$ 。此值為最高效率電流值(2-12)，代表整體雷射在電流驅動到多大的時候具有最大的轉換效率。

$$\frac{d\eta_t}{dI} = 0 \quad (2-11)$$

$$I_{PCE,peak} = I_{th}(1 + \sqrt{1+x}) \quad (2-12)$$

我們將此最高效率電流值代回至式(2-10)可獲得最大功率轉換效率。經過一系列的化簡得到式(2-13)。

$$\eta_t = \frac{\eta_d \frac{h\nu}{e} (I_{PCE,peak} - I_{th})}{I_{PCE,peak} (V_0 + I_{PCE,peak} R_S)} = \eta_d \frac{h\nu}{e} \frac{I_{th} \sqrt{1+x}}{\left[ 1 + \sqrt{1+x} + \frac{(1 + \sqrt{1+x})^2}{x} \right]}$$

$$\eta_{t,peak} = \eta_d \frac{h\nu}{eV_0} \frac{x}{(1 + \sqrt{1+x})^2} \quad (2-13)$$

式(2-13)的表示為[9]所表示的形式，在[19]所表示的式子為(2-14)，這兩種式子都可以互相轉換，並且是等值的。此推導的確立也助於我們到時計算最佳化共振腔長度。此後本論文計算功率效率最大值，以(2-14)為主。

$$\eta_{t,peak} = \eta_d \frac{h\nu}{eV_0} \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) \quad (2-14)$$

等值推導如下：

$$\begin{aligned} \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) &= \frac{1 + \sqrt{1+x} - 2}{1 + \sqrt{1+x}} = \frac{\sqrt{1+x} - 1}{\sqrt{1+x} + 1} \\ &= \frac{(\sqrt{1+x} - 1)(\sqrt{1+x} + 1)}{(\sqrt{1+x} + 1)^2} = \frac{x}{(\sqrt{1+x} + 1)^2} \end{aligned}$$

### 2-2-3 共振腔長度與 PCE,max 關係

雷射共振腔長度長短與功率轉換效率有密切的關係，原因是式(2-14)中臨界電流、微分量子效率、串聯電阻都是與共振腔長度的函數。公式為(2-15)、(2-16)、(2-17)。

$$I_{th}(L) = J_{tr}WL * \text{Exp}\left[\frac{1}{g_{0,mod}}(\alpha_i + \alpha_m)\right] \quad (2-15)$$

$$\eta_d(L) = \eta_i \frac{\alpha_m}{\alpha_i + \alpha_m} \quad (2-16)$$

$$R_S(L) = \frac{\rho_S}{WL} \quad (2-17)$$

其中 $\alpha_m = \frac{1}{2L} \ln\left(\frac{1}{R_f R_r}\right)$ 為鏡面損耗， $L$ 共振腔長度、 $R_f$ 為前鏡面反射率、 $R_r$ 為後鏡面反射率、 $g_{0,mod}$ 為模增益常數(Modal gain Coefficient)，下面推導為求方便，簡寫成 $g_0$ 。 $J_{tr}$ 透明電流密度(transparency current density)、 $\eta_i$ 為內部量子效率、 $\rho_S$ 為片電阻率，為材料電阻率以及接觸電阻率的總和。 $W$ 為半導體雷射寬度。

隨著共振腔長度 $L$ 的上升， $I_{th}(L)$ 增加、 $\eta_d(L)$ 降低、 $R_S(L)$ 降低。因此共振腔長度對於功率轉換效率而言為一個可最佳化參數。為了求出最大功率轉換效率的共振腔長度，我們將功率轉換效率最大值針對共振腔長度微分，並令其等於零求出 $L$ 。其中我們設定電流驅動在最佳效率之下，並且利用微分的連鎖律，進行數學計算。此時我們的 $\eta_{t,peak}$ 簡寫成 $\eta_t$ 為我們元件特性參數 $x$ 的函數。

這邊計算上特別注意， $\eta_d$ 微分量子效率為共振腔長度 $L$ 的函數，而 $L$ 本身與 $x$ 也有相關，因為 $x$ 參數中包含了臨界電流 $I_{th}(L)$ 與串聯電阻 $R_S(L)$ 兩者與共振腔長度本身也相關。計算(2-18)最後我們可獲得一函數 $f(L)$ 如(2-19)。相關詳細計算列在附錄A。當此計算函數 $f(L)=1$ 時，我們可以獲得最佳效率共振腔長度。

$$\frac{d\eta_t(x)}{dL} = \frac{d\eta_t(x)}{dx} \frac{dx}{dL} = 0 \quad (2-18)$$

$$f(L) = \left(\frac{\alpha_i}{\alpha_i + \alpha_m}\right) \frac{g_0}{\alpha_m} \sqrt{1+x} \quad (2-19)$$

從(2-14)與(2-19)公式中可看出如果要畫出功率轉換效率與共振腔關係圖，或者用 $f(L)$ 解出最佳共振腔長度都需要內部參數才可以計算。對於邊射型雷射而言，獲得內部參數的方式只要將進行多組共振腔的 LIV 量測，以(2-20)與(2-21)公式萃取即可。相關的萃取參數所示如圖 2.8 與圖 2.9。

$$\frac{1}{\eta_d} = \frac{1}{\eta_i} + \frac{2\alpha_i}{\ln\left(\frac{1}{R_f R_r}\right)\eta_i} L \quad (2-20)$$

$$g_{mod} = g_{0,mod}(\ln J_{th} - \ln J_{tr}) \quad (2-21)$$

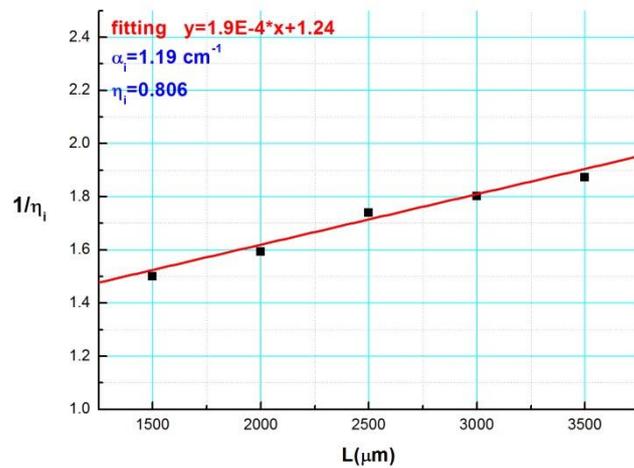


圖 2.8：內部損耗與內部量子效率萃取

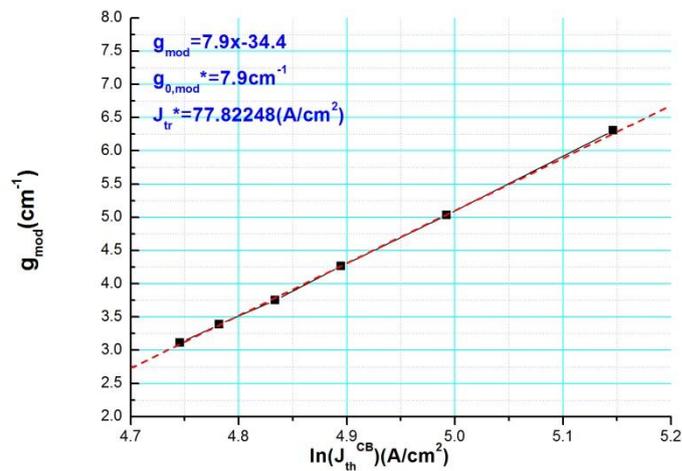


圖 2.9：模增益常數與透明電流萃取

在有了內部參數之後，我們可以利用(2-14)與(2-19)畫出功率轉換效率最大值與共振腔長度之關係、最佳共振腔長度計算值。由於每個元件的參數並不相同，可以由圖 2.10 觀察出從某共振腔長度到另一共振腔長度（例如：1000 $\mu\text{m}$ 至 1500 $\mu\text{m}$ ），其功率轉換效率最大值之下降率並不相同。另外由於參數性的不同，在計算最佳共振腔長度上，對於 $f=1$ 所交之點也不同，如圖 2.11 所示。

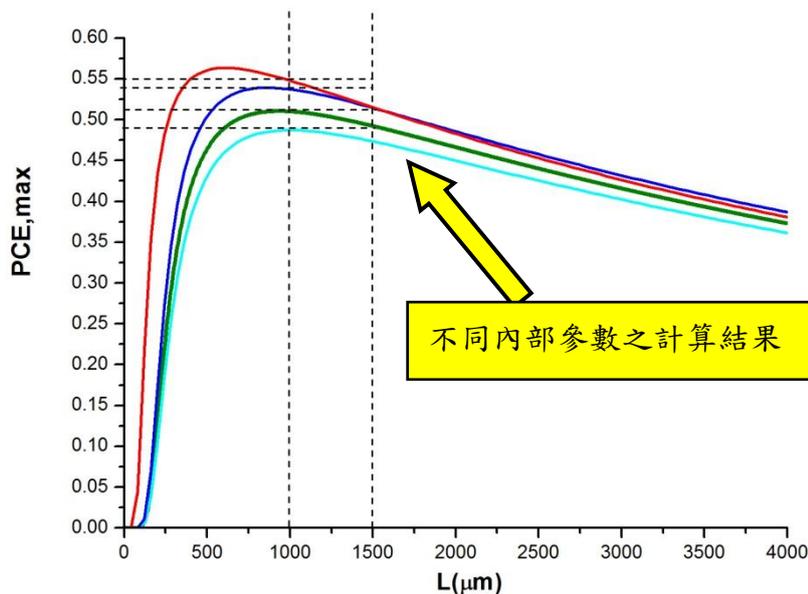


圖 2.10：功率轉換效率最大值與共振腔長度關係

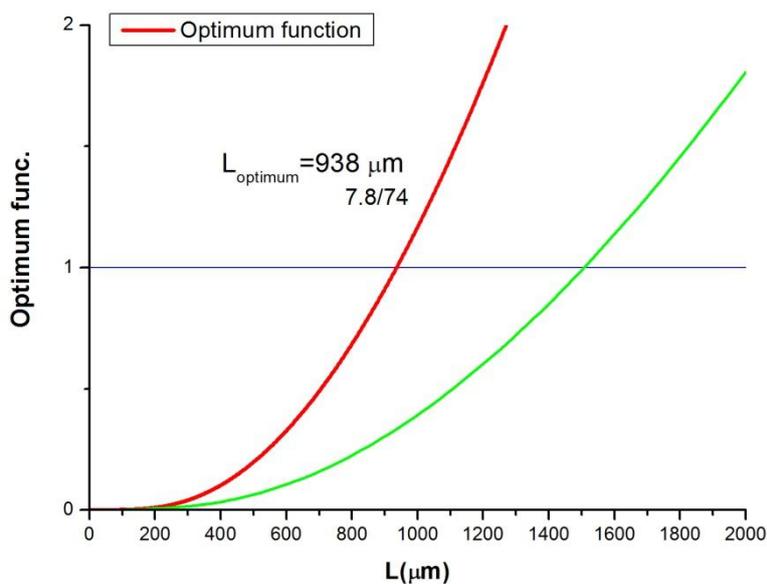


圖 2.11： $f(L)$ 與 $f=1$  交會圖

## 第三章 元件熱模擬

### 3-1 Comsol 建立模型之步驟

COMSOL 分析的流程可分為下列幾大步驟：建立幾何模型(Structure)、相關物理(Government Equation and Boundary Condition )參數設定、網格建立及格點測試、求解器設定、後處理等。圖 3.1 為 comsol 數值模擬基本流程。

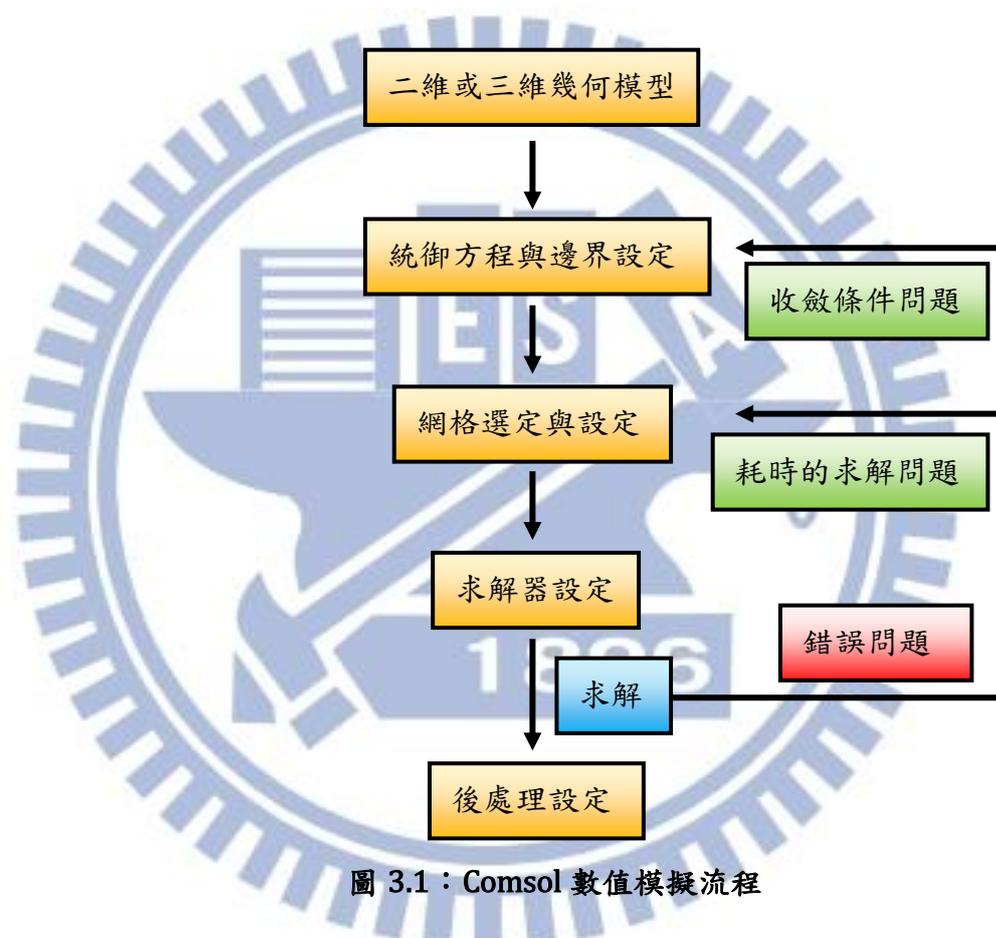


圖 3.1：Comsol 數值模擬流程

#### 1. 二維或三維模型建立：

Comsol 模型的建立可支援 CAD 檔的輸入，因此可以直接在 CAD 中建立模型，在從 Comsol 內部直接導入。模型的建立會影響網格選定。在求解上，三維問題的耗時較長，因此在分割網格時要切對相對的尺寸，否則會造成求解的耗時。因此在分析上，通常能夠對稱或者降低維度分析是比較好的作法。但在本文中的二維熱分佈與三維熱分佈有明顯的溫度差異，這代表熱散佈在相同設定下，考慮三維情況會較符合實際熱分佈。

## 2. 統御方程與邊界設定

對於求解來說，模型建立之後要確立求解的方程式與邊界條件。在本文中統御方程(Subdomain Equation)為廣義熱傳方程式(General Heat Equation)與傳導介質電流連續方程式(Conductive Media DC Equation)。

在先前一個步驟建立的幾何結構，結構中每一層都需要設定各自的統御方程。Comsol 使用的求解方法為有限元素法(Finite Element Method)，將連續物體分割成許多元素，由各元素之間相鄰的節點來組合成原來的連續物體。這些元素及節點會應用在待求解的統御方程式當中，再利用疊代法的逼近來求解。

因此當求解發生收斂問題時，通常是求解的邊界設定與某處統御方程設定，在疊代過程中無法收斂。在本文模擬研究中常碰到的收斂條件就是出在電絕緣體的導電率設定，如果將絕緣層導電率設定為零，會造成此層統御方程求解過程中無法疊代出解答。因此要設定一個比一般導電率來得小非常多的相對值才能使解不會發散。

## 3. 網格選定與設定

一般 Comsol 網格設定提供的方法有自由參數網格法(Free Mesh)、映射網格法(Mapping Mesh)、邊界層網格法(Boundary layer Mesh)、複製邊界網格法(Copy Boundary Mesh)。Comsol 在切割整體網格上也不僅僅只能單用一種切法，可以選擇所要的統御給定特別的網格切法，在自由度上可說是非常高。但在使用不同切法的網格上必須注意邊界上所切元素必須符合 Comsol 的一些網格設定條件。因此如果不是形狀太過不規則的模型，實際上使用自由參數網格就能達到非常好的效果。

在網格的總元素數目上，當切割數目越多，所解的解越細膩。但是過大的元素數目會造成整體解出的時間過長。在本文模擬中，三維網格切割受到網格數量影響非常大，最後利用自由參數網格法中的相關設定，才找到最理想切割的數量。

本論文使用的是最簡易泛用度最高的自由參數網格法，其中的最大元素尺寸(Maximum element size) 原始設定為幾何對象最長距離的十分之一。假設某幾何結構最大尺寸為  $600\mu\text{m}$ ，則此尺寸為  $60\mu\text{m}$ 。而最大元素尺寸比例調整係數(Maximum element size scaling factor) 會將最大元素尺寸乘上這個係數。因此對於本文的模擬結構來說，由於縱向方向(磊晶方向)上，每一層厚度都在幾十  $\text{nm}$  到幾  $\mu\text{m}$ ，但橫向方向為  $250\mu\text{m} \times 600\mu\text{m}$ 。若完全不考慮網格設定下自動開始解析網格，其網格數量會上升到數十萬至數百萬，造成耗時的解析過程問題。原因乃至於縱向方向網格必須切得夠細，但橫向方向上如果不去設定網格切割的大小，就會造成自由網格會依照縱向方向的解析度去切割網格。

本文所改善的方法就是進階選項中比例縮放係數去調整，這個調整值可以針對某個軸做比例縮放，根據你的係數可以調整這個方向網格最後切的尺寸。以本文例子 (ridge width=40 $\mu$ m) 中三維模型所使用的 x 方向比例係數為  $1E^{-3}$ 、y 方向比例係數為  $3E^{-3}$ ，整體網格元素數目為 59976 個，使用最複雜模型求解時間約為 125 秒。

#### 4.求解器設定

本文提供了暫態與穩態的溫度。對於 Comsol 求解器設定上，可以決定線性系統求解器要使用哪種求解方法。本文使用最一般的『直接(UMFPACK)』。對於暫態分析上來說只有廣義熱傳方程式與時間相關。我們可以藉由暫態時間解來觀察熱源在元件中散熱情況。暫態求解器中的時間設定『t1:t2:t3』，t2 為時間步階，為每隔幾秒掃一個點，t3 為最後所達時間。在後處理所呈現的圖形，為最後 t3 秒數當下的暫態情況。Comsol 可以依據此時間步階去得出 t-T 圖(時間對溫度上升)，從模擬中可以發現，整個系統在時間很短的情況下就會到達穩態平衡。



## 3-2 熱模型定義與模擬法

### 3-2-1 物理模型

元件熱模擬使用的方程式，以(3-1)的熱傳導方程式為主。一般來說熱的傳遞分為熱傳導、熱對流、熱輻射。本論文模擬的討論並未加入熱對流與熱輻射的討論。雷射 L-I-V 量測時，本身下方控溫銅座即為一巨大之 Heatsink，元件熱大部份經由此傳導至控溫銅座。加上元件本身大小尺度極小，與環境做熱交換的熱量很小，因此我們忽略了元件與環境空氣之熱對流效應，也因此元件四周的熱邊界條件使用了熱絕緣邊界，下方與控溫銅座接觸的表面定義為一定溫邊界。

#### Model : Type A

- **A**ctive Region
- 熱源放置在主動層上之熱模擬模型

在熱源的分析上，最一般的方式是計算主動層之熱源，此熱源的表示形式為(3-2)。<sup>[13]</sup>以此模擬比較不同 AuSn 厚度與元件 Au 厚度對於雷射熱累積之影響。而(3-2)中的  $P_{heat}$  大多是以量測計算之結果代入熱模型中，再計算其模擬結果。此模擬的方法最大的問題在於  $P_{heat}$  不全然是主動層提供的。主動層以外的區域因為會有電流分佈的關係造成會有空間上焦耳熱的分佈。

因此本論文在計算熱源上，使用了第二章所提到的功率餅圖計算。以圖 2.4 為例，輸入功率劃分成焦耳熱 (Joule Heat)、臨界條件前損失功率 (Below threshold)、載子逃逸所致功率 (imperfect DQE)。(3-3)所示為輸入功率與各功率之間關係，藉由移項我們可獲得熱源項如(3-4)。由於(3-1)計算熱傳導方程式熱源項  $q'$  必須使用功率密度之形式，因此我們除上主動層之體積， $A$  為主動層面積、 $d$  為主動層厚度，計算熱源結果為(3-5)。

$$\rho C_p \frac{\partial T}{\partial t} + \vec{\nabla} \cdot (-k \cdot \vec{\nabla} T) = q' \left( \frac{W}{m^3} \right) \quad (3-1)$$

$$P_{heat} = P_{in} - P_{out} \quad (3-2)$$

$$P_{in} = P_{Joule\ heat} + P_{below} + P_{out} + P_{Leakage} \quad (3-3)$$

$$P_{in} - P_{out} = P_{Joule\ heat} + P_{below} + P_{Leakage}$$

$$P_{in} - P_{out} = I(V - V_{on}) + I_{th}V_{on} + (1 - \eta_d)I_L V_{on} \quad (3-4)$$

$$q'_{act} = \frac{P_{act}}{vol.} = \frac{1}{Ad} [I(V - V_{on}) + I_{th}V_{on} + (1 - \eta_d)I_L V_{on}]$$

$$q'_{act} = \frac{1}{d} \{J(V - V_{on}) + V_{on}[(1 - \eta_d)J_L + J_{th}]\} \quad (3-5)$$

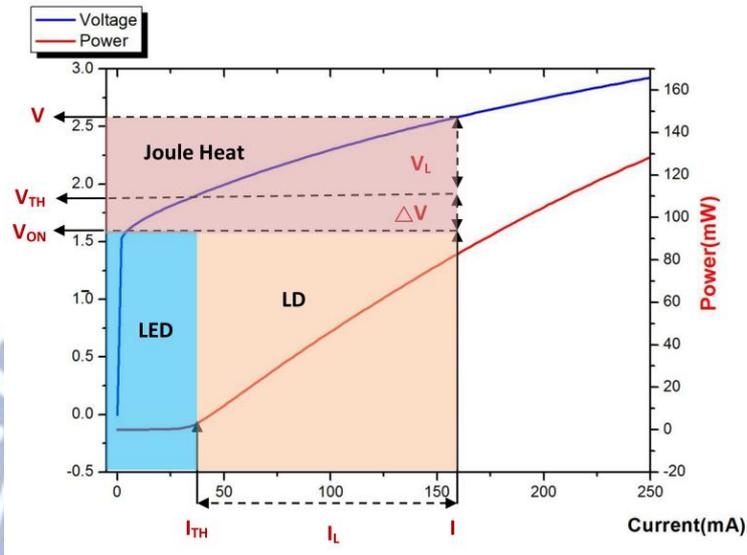


圖 2.4：L-I-V 圖與功率餅圖計算示意圖

### Model : Type AJ

- **A**ctive Region - Current Diffusion and **J**oule Heat
- $(P_{in} - P_{out})$  熱源放置在主動層之熱模擬模型
- 考慮『非主動層區域』當地電阻率因電流分佈產生的焦耳熱模型

二極體啟動之後，會串聯一等效電阻。隨著電流注入的增加，電阻所帶來的焦耳熱會持續上升。我們可以預期這個電阻造成的效應當操作在高電流時影響越大。**[14]**考慮了除主動層之外，載子在每層受當地摻雜濃度造成的 Mobility 並不相同。當摻雜濃度越高，載子移動率下降，當地的電阻率也進而提高。由**(3-6)**的計算，我們可以獲得當地所產生的電阻熱。**[15, 16]**所使用的方法是將等效電阻換算成等效電阻率，將它併入元件中有可能造成阻值最大的區域，然後再以電流分佈方式去計算電阻熱。在本論文所設定的模型 Type AJ 中，除了原先主動層的計算之外，我們更加入了電流注入之後的電阻熱模型。

電流分佈的計算來自於連續方程式**(3-7)**，在電荷密度  $\rho_{ec}$  隨時間不會變化的條件之下，我們可以得到**(3-8)**。在經由靜態條件下，電場與電位的關係如**(3-9)**

與歐姆定律(3-10)，可獲得最後我們計算電流分佈之方程式(3-11)。我們結合了[14]與[15，16]的方式，計算每層當地隨摻雜濃度與 Mobility 影響的電阻率，與電流分佈計算。

$$q'_{non,act} = J^2 \rho_e \quad (3-6)$$

$$\vec{\nabla} \cdot J + \frac{\partial \rho_{ec}}{\partial t} = 0 \quad (3-7)$$

$$\vec{\nabla} \cdot J = 0 \quad (3-8)$$

$$E = -\vec{\nabla}V \quad (3-9)$$

$$J = \sigma E \quad (3-10)$$

$$\vec{\nabla} \cdot (\sigma \vec{\nabla}V) = 0 \quad (3-11)$$

### Model : Type AJT

- **A**ctive Region - **C**urrent Diffusion and **J**oule Heat - **T**emp. Parameter
- ( $P_{in} - P_{out}$ )熱源放置在主動層之熱模擬模型
- 考慮『非主動層區域』當地電阻率因電流分佈產生的焦耳熱模型
- 引入微分量子效率因熱改變的修正模型

對於主動層熱源計算中， $I_{th}$ 、 $\eta_d$ 可引入溫度參數之結果。由於此兩參數在主動層溫度升高時， $I_{th}$ 會上升、 $\eta_d$ 會下降如(3-12)、(3-13)所示。由於 Comsol 在解方程式時提供了變數疊代的運算，因此我們可以將模擬元件拿去做變溫 LIV 量測獲得兩溫度參數 $T_0$ 、 $T_1$ 。圖 3.2 為我們所模擬元件溫度參數萃取圖。表 3.1 為模擬元溫度參數結果表。

$$I_{th}(T_{j2}) = I_{th}(T_{j1}) \text{Exp}\left(\frac{T_{j2} - T_{j1}}{T_0}\right) \quad (3-12)$$

$$\eta_d(T_{j2}) = \eta_d(T_{j1}) \text{Exp}\left(-\frac{T_{j2} - T_{j1}}{T_1}\right) \quad (3-13)$$

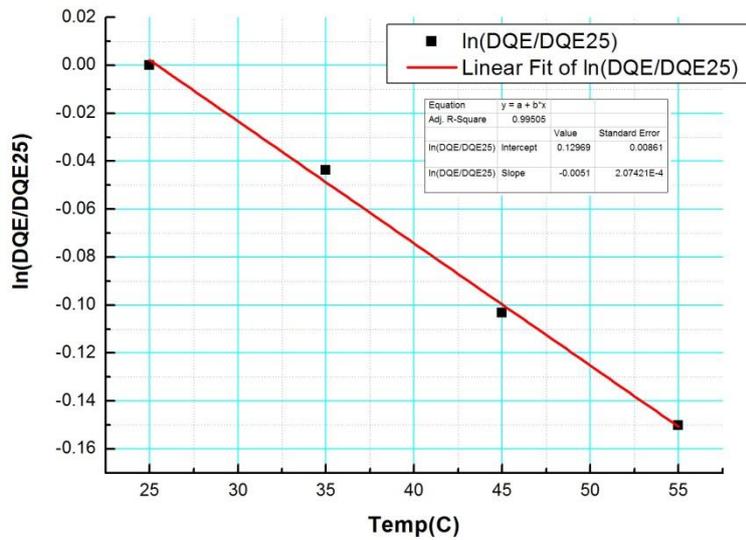


圖 3.2：模擬元件之溫度參數萃取

Type	$T_0$ (°C)	$T_1$ (°C)
SampleA_No CB Size : 250x600	137.36	196.08

表 3.1：模擬元件溫度參數值

實際將  $I_{th}$ 、 $\eta_d$  兩項結果代入至 Comsol 做疊代計算時，發現引入  $I_{th}$  時會造成疊代計算發散，如圖 3.3。因此本論文對於溫度效應之優化熱源計算，僅使用 (3-13) 之計算  $\eta_d$  在主動層受熱情況改變之疊代結果。

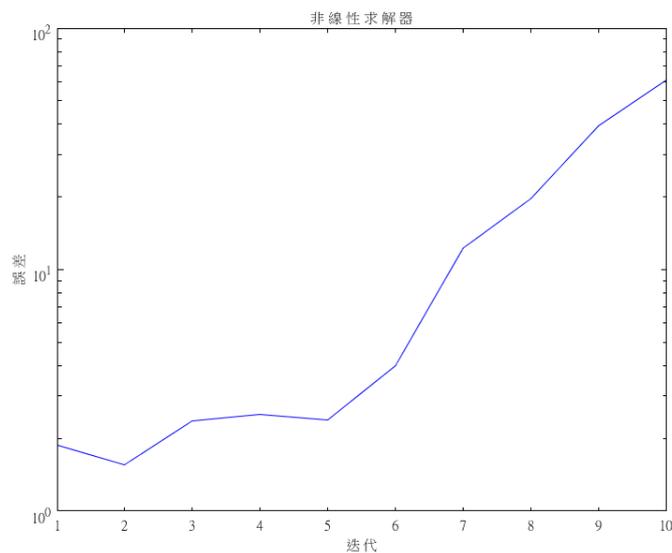


圖 3.3： $I_{th}$  引入溫度參數疊代發散之結果

## Model : Type AJTC

- Active Region - Current Diffusion and Joule Heat - Temp. Parameter - Defect Calibration
- 熱源放置在主動層上之熱模擬模型
- 考慮『非主動層區域』當地電阻率因電流分佈產生的焦耳熱模型
- 引入微分量子效率因熱會改變的修正模型
- 引入封裝不完美存在之界面熱阻修正模型

由於實際上封裝元件並非完美，因此界面熱阻所造成的影響會讓接面溫度上升。我們使用前三個模型先模擬出量測此樣品下的溫度，再改變 AuSn 熱傳導率，讓溫度疊代到我們量測出的溫度為止。圖 3.4 為 P-side up 樣品在 200mA 的操作下的溫度量測圖，其接面溫度約為 33°C。

表 3.2 為前三種 model 模擬溫度與實際元件測試到的接面溫度比較。因此我們修改 Type AJT 模擬結構中 AuSn 熱傳導率。本文 AuSn 與 AlN 設定的熱傳導率為 57(W/mK)與 170(W/mK)。最後設定的等效熱傳導率為 1.5(W/mK)時可疊代出的溫度為 33.08°C。

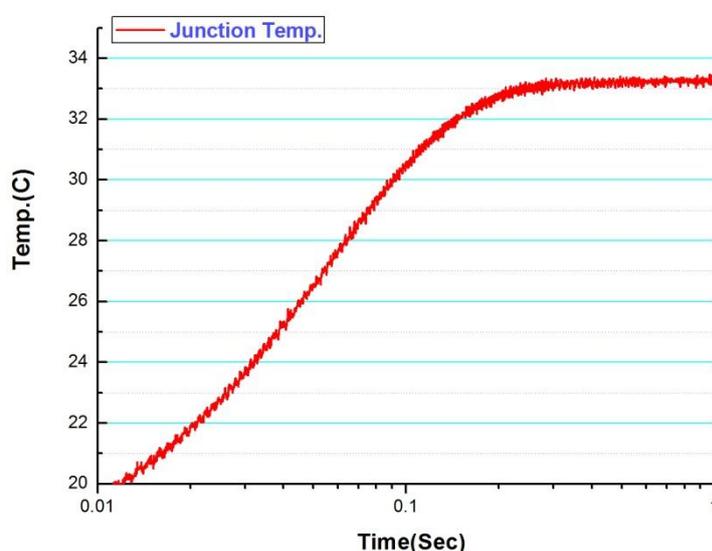


圖 3.4：P side up 封裝元件 200mA 操作之接面溫度量測

Peak Temp.	P side up			
I(mA)	A	AJ	AJT	Measure value
200	25.411	27.414	28.675	33
	<b>AJTC</b>	← Condition kAuSn=1.5(W/mk)		
	33.08			

表 3.2：前三種模型與量測值比較

表 3.3 為本論文之使用模型之定義整理，加粗體與框線的部分為比前一個模型多的設定。

Model	Heat Source	Equation
Type_A	$q'_{act} = \frac{1}{d} \{J(V - V_{on}) + V_{on}[(1 - \eta_d)J_L + J_{th}]\}$	$\rho C_p \frac{\partial T}{\partial t} + \vec{\nabla} \cdot (-k \cdot \vec{\nabla} T) = q' \left(\frac{W}{m^3}\right)$
Type_AJ	$q'_{act} = \frac{1}{d} \{J(V - V_{on}) + V_{on}[(1 - \eta_d)J_L + J_{th}]\}$ $\rho_e = \frac{1}{e(\mu_p p + \mu_n n)}$ $q'_{non,act} = J \cdot \vec{\nabla} V$	$\rho C_p \frac{\partial T}{\partial t} + \vec{\nabla} \cdot (-k \cdot \vec{\nabla} T) = q' \left(\frac{W}{m^3}\right)$ $\vec{\nabla} \cdot (\sigma \vec{\nabla} V) = 0$ $q' = J \cdot \vec{\nabla} V$
Type_AJT	$q'_{act} = \frac{1}{d} \{J(V - V_{on}) + V_{on}[(1 - \eta_d)J_L + J_{th}]\}$ $\eta_d(\Delta T + T_{j0}) = \eta_d(T_{j0}) \text{Exp}\left(-\frac{\Delta T}{T_1}\right)$ $\rho_e = \frac{1}{e(\mu_p p + \mu_n n)}$ $q'_{non,act} = J \cdot \vec{\nabla} V$	$\rho C_p \frac{\partial T}{\partial t} + \vec{\nabla} \cdot (-k \cdot \vec{\nabla} T) = q' \left(\frac{W}{m^3}\right)$ $\vec{\nabla} \cdot (\sigma \vec{\nabla} V) = 0$ $q' = J \cdot \vec{\nabla} V$
Type_AJTC	<b>加入界面熱阻的修正 (Condition kAuSn=1.5(W/mK))</b>	

表 3.3：元件熱模擬模型設定與方程式比較

\*  $q'_{act}$  = 主動層熱源 [W/m<sup>3</sup>]

\*  $\rho_e$  = 電阻率 [Ω m]

\*  $q'_{non,act}$  = 非主動層熱源 [W/m<sup>3</sup>]

### 3-2-2 方程式邊界

熱傳導方程(3-1)與電流分佈方程(3-11)的邊界條件設定示意圖如圖 3.5 與圖 3.6，分別為 P side up 封裝與 P side down 封裝。我們可以藉由模擬來計算兩者封裝對於熱累積的差異。

熱傳邊界設定分為三種：熱傳導經過不同材料，其熱通量連續可得到(3-14)。元件四周以熱絕緣邊界為(3-15)。底部為控溫銅座所提供的 Heatsink，因此為定溫邊界(3-16)，溫度由控溫銅座設定溫度決定，在我們的模擬之中都設定為 20°C。

電流方程邊界設定分為四種：電流經過不同層材料滿足連續邊界如(3-17)電流注入邊界如(3-18)，元件四周為電絕緣邊界為(3-19)。接地端為(3-20)。

$$-\vec{n} \cdot (-k_u \vec{\nabla} T_u) - \vec{n} \cdot (-k_d \vec{\nabla} T_d) = 0 \quad (3-14)$$

$$-\vec{n} \cdot (-k \vec{\nabla} T) = 0 \quad (3-15)$$

$$T = T_0 = \text{const.} \quad (3-16)$$

$$\vec{n} \cdot \vec{J} = \vec{J}_n \quad (3-17)$$

$$\vec{n} \cdot \vec{J} = 0 \quad (3-18)$$

$$\vec{n} \cdot (\vec{J}_1 - \vec{J}_2) = 0 \quad (3-19)$$

$$V = 0 \quad (3-20)$$

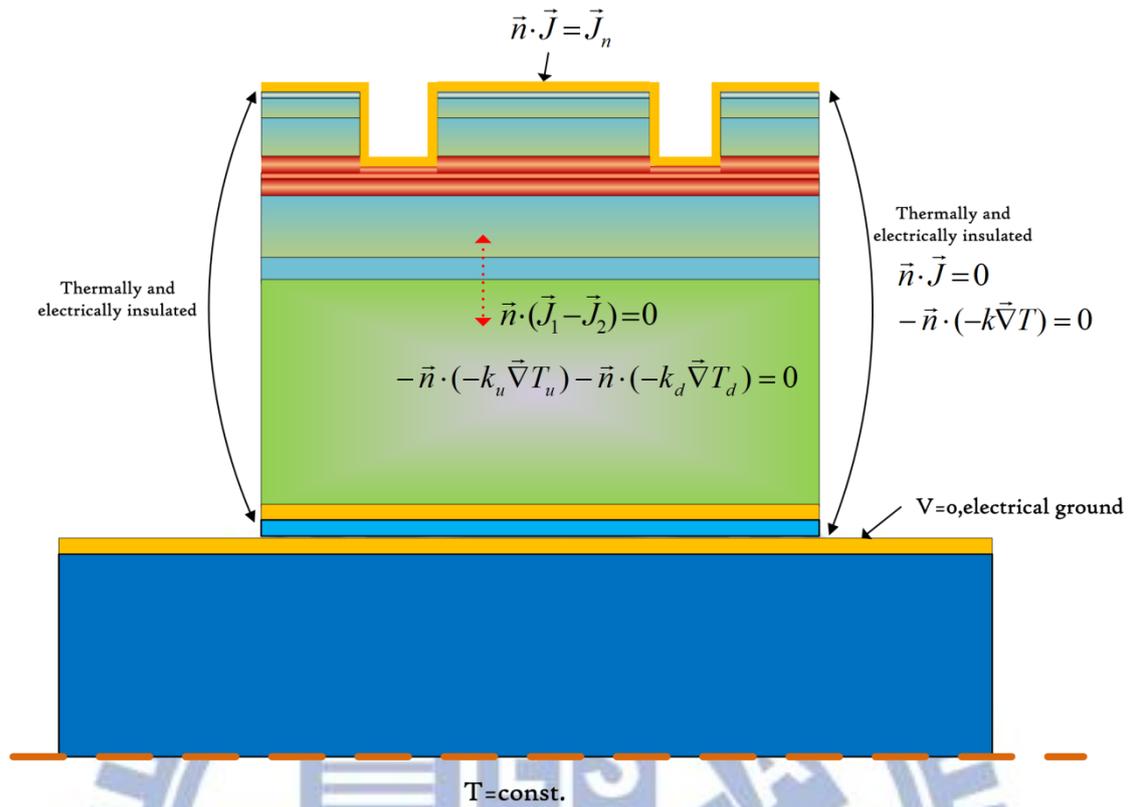


圖 3.5 : P side up 封裝熱模擬之邊界設定示意圖

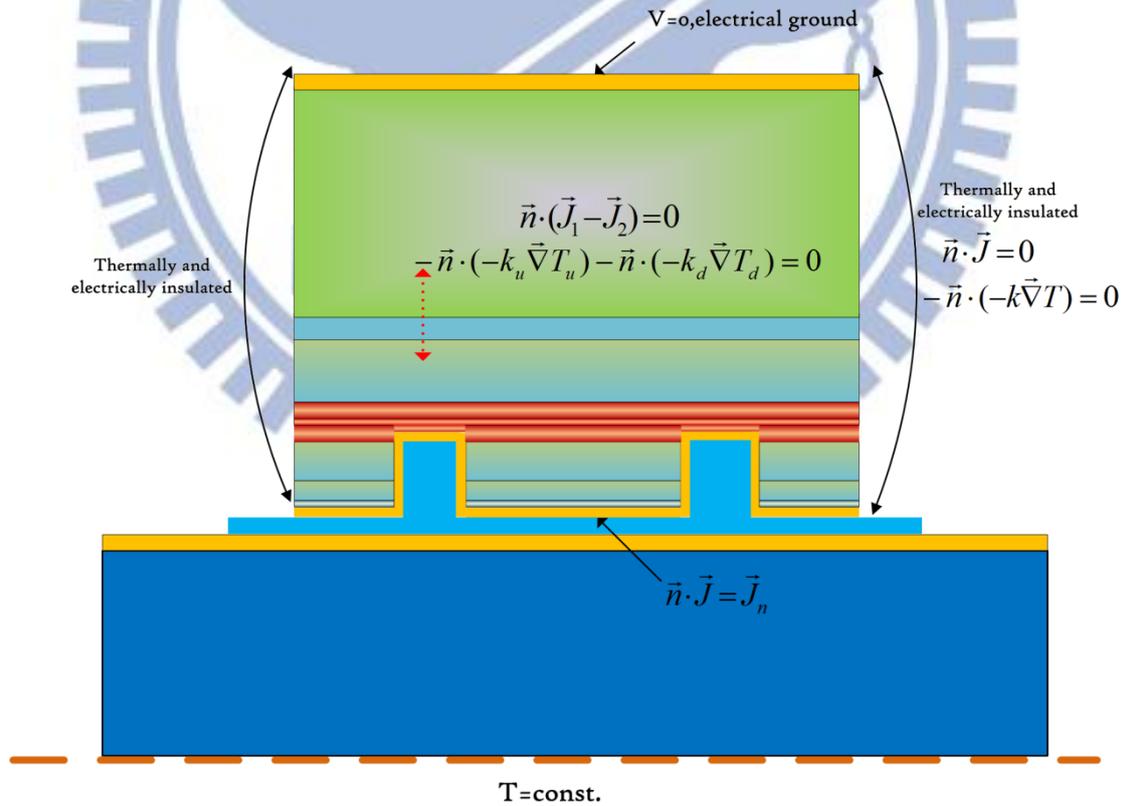


圖 3.6 : P side down 封裝熱模擬之邊界設定示意圖

元件使用的參數均列在表 3.4，大部份參數值計算參考[20，21，22，23]。

Chip_G1	厚度	熱導率	摻雜濃度	Mobility	導電率
layer	t(m)	K[W/mk]	N[cm <sup>-3</sup> ]	μ[cm <sup>2</sup> /Vsec]	σ[Ω <sup>-1</sup> m <sup>-1</sup> ]
Plating Au	1μm	318			4.55E7
Au	550nm	318			4.55E7
Ti	50nm	21.9			1.81E6
Au	300nm	318			4.55E7
Pt	50nm	71.6			9.43E6
Ti	100nm	21.9			1.81E6
P-GaAs	210nm	54	1.00E+19	400	6.40E4
P-AlGaAs(x=0.7)	1.2μm	11.256	1.00E+18	53.6	8.58E2
P-AlGaAs(x=0.45)	0.5μm	11.256	1.00E+16	83.35	1.33E1
GaAsP	20nm	25		5000	8.00E2
N-AlGaAs(x=0.45)	0.5μm	11.256	1.00E+16	125	2.00E1
N-AlGaAs(x=0.7)	1.5μm	11.256	1.00E+18	204.2	3.27E3
N-GaAs	0.5μm	54			5.00E4
GaAs sub	97μm	54			3.33E4
AuGe	0.1μm	44			1.00E4
Ni	30nm	90.9			1.56E7
Au	400nm	318			4.55E7

表 3.4：元件 Sample A 元件資訊表

### 3-2-3 元件模型設定

我們建立的元件 CAD 模型為圖 3.7 與圖 3.8，分別為 P side up 封裝與 P side down。並且輸入表 3.4 的元件參數至每個統御域 (Subdomain) 中。統御方程式設定為表 3.3 所列。邊界的設定使用圖 3.5 與圖 3.6 所描述的設定方法。我們設計的三種模型 Type A、Type AJ、Type AJT 使用的計算參數值列在表 3.5。

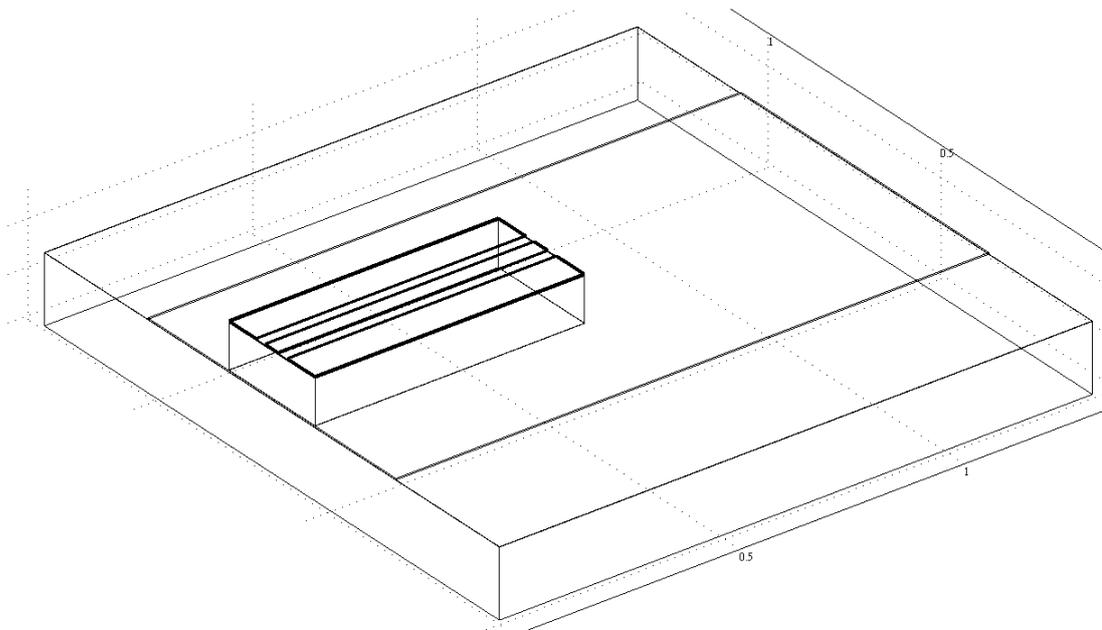


圖 3.7：P side up 元件模型

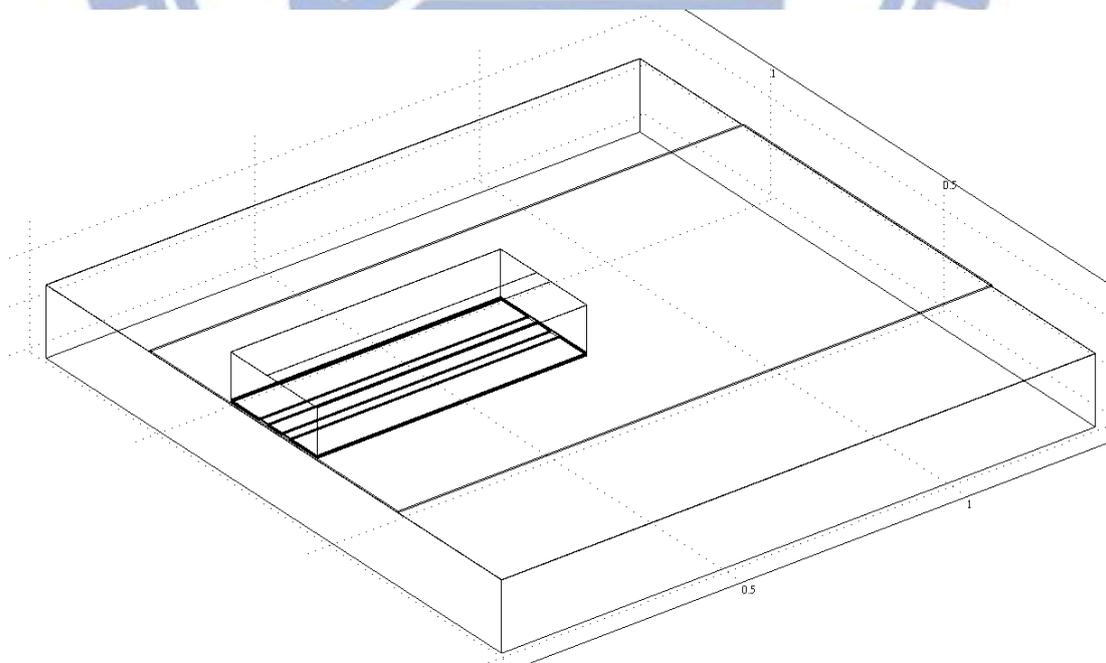


圖 3.8：P side down 元件模型

I(mA)	Q(W/m <sup>3</sup> )	J(A/m <sup>2</sup> )	Function in AJT Active Region Calculation
200	5.24E+14	8.33E+06	4.53406E14+2.30694E14*(1-0.695075*exp(-(T-20)/(196.07)))
300	7.20E+14	1.25E+07	5.57572E14+5.31078E14*(1-0.695075*exp(-(T-20)/(196.07)))
400	9.57E+14	1.67E+07	7.03406E14+8.31461E14*(1-0.695075*exp(-(T-20)/(196.07)))
500	1.24E+15	2.08E+07	8.90906E14+1.13184E15*(1-0.695075*exp(-(T-20)/(196.07)))
600	1.56E+15	2.50E+07	1.12007E15+1.43223E15*(1-0.695075*exp(-(T-20)/(196.07)))
700	1.92E+15	2.92E+07	1.39091E15+1.73261E15*(1-0.695075*exp(-(T-20)/(196.07)))
800	2.32E+15	3.33E+07	1.70341E15+2.03299E15*(1-0.695075*exp(-(T-20)/(196.07)))
900	2.77E+15	3.75E+07	2.05757E15+2.33338E15*(1-0.695075*exp(-(T-20)/(196.07)))
1000	3.26E+15	4.17E+07	2.45341E15+2.63376E15*(1-0.695075*exp(-(T-20)/(196.07)))

表 3.5：統御域與邊界數值計算表

\*I(mA)=操作之電流

\*Q(W/m<sup>3</sup>)=主動層熱源計算值

\*J(A/m<sup>2</sup>)=注入之電流密度

\*Function in AJT Active Region Calculation =  $\eta_d(T + \Delta T) = \eta_d(T) \text{Exp}\left(-\frac{\Delta T}{T_1}\right)$



我們選擇模型 Type AJT 與 Type AJTC 分析這兩組模型在熱分佈的差異。圖 3.10 為主動層共振腔方向的溫度模擬圖。從左上至右下圖分別為 (a) 模型 Type AJT P side up、(b) 模型 Type AJTC P Side up、(C) 模型 Type AJT P side down、(d) 模型 Type AJTC P side down。圖中 x 軸原點為雷射發光方向，即為 AR coating 的鏡面處，x 軸至  $600\mu\text{m}$  為 HR coating 之鏡面處。我們可以看到無論是對於 ARDT 或 ARDTC 模型而言，靠近 AR 的主動層溫度都較高。主要因為邊射型雷射發光關係，封裝時會讓 Chip 靠近整體 Submount 邊緣做封裝。因此前後鏡面在兩側不對稱的散熱途徑中，後鏡面的主動層溫度會低於前鏡面。

並且在此電流條件下的溫度分佈，無論 P side up 與 P side down 封裝，AJTC 模型的前後鏡面溫差約可到  $8-9^\circ\text{C}$ ，而 AJT 模型的前後鏡面僅  $2^\circ\text{C}$  溫差。這代表實際熱源傳遞上當遇到界面熱阻時，無法有效地透過 AuSn 與 AlN 有效地傳遞。導致熱源往水平面的方向做熱擴散，因此前後鏡面溫差因此而加大了。

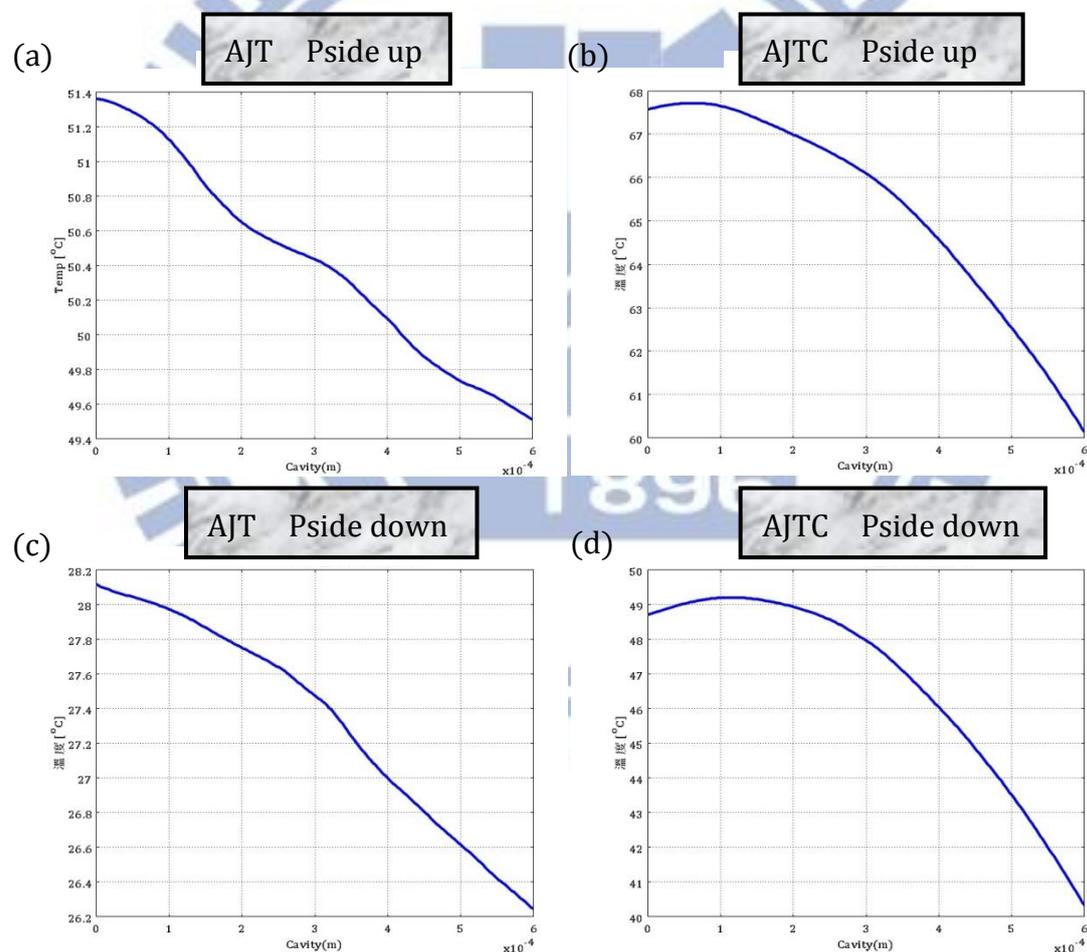


圖 3.10：主動層共振腔方向溫度分佈圖

(a) 模型 Type AJT-P side up (b) 模型 Type AJTC-P Side up、  
(C) 模型 Type AJT-P side down (d) 模型 Type AJTC-P side down

圖 3.11 為主動層沿 y 方向上的溫度分佈模擬，從左上至右下圖分別為 (a) 模型 Type AJT P side up、(b) 模型 Type AJTC P Side up、(c) 模型 Type AJT P side down、(d) 模型 Type AJTC P side down。圖中 y 值為 1.05-1.45(E-4m) 的區域 Stripe 40 $\mu\text{m}$  的區域。主動層熱源向左右兩方向擴散時，可以看到 P side up 的情形當中，無論是 AJT 或 AJTC 模型其兩側溫度下降差異不大。這代表主動層熱源大部份僅能靠左右擴散的方式做傳遞。因此 P side up 封裝本身在熱傳遞上，本身就無法提供上下熱傳遞 (chip 至 submount) 的方式來完成排熱。對於 P side down 封裝而言，在無界面熱阻的情況 (或者是低界面熱阻) 下。我們可從(c) 中發現，中央 40 $\mu\text{m}$  處主動層熱源區兩側，有一個溫度快速下降的現象。原因是主動層的熱源向外擴散時，因為主動層距離下方 Submount 非常近，因此優異的熱傳導性將熱擴散於 Submount 之中，當這個效果疊加至左右擴散的熱傳導之後，就形成圖 3.11(c) 的溫度快速下降現象。我們從這幾個圖形也可以確定當元件 y 方向上的熱分佈越傾向於圖 3.11(a)(b)(d) 的方式 (中心往兩側溫度分佈近似線性方式下降)，則本身上下熱傳導性非常低。若是溫度分佈傾向於圖 3.11(c) (中心往兩側溫度分佈有急遽下降的情形)，則整體封裝元件上下熱傳導性極佳。

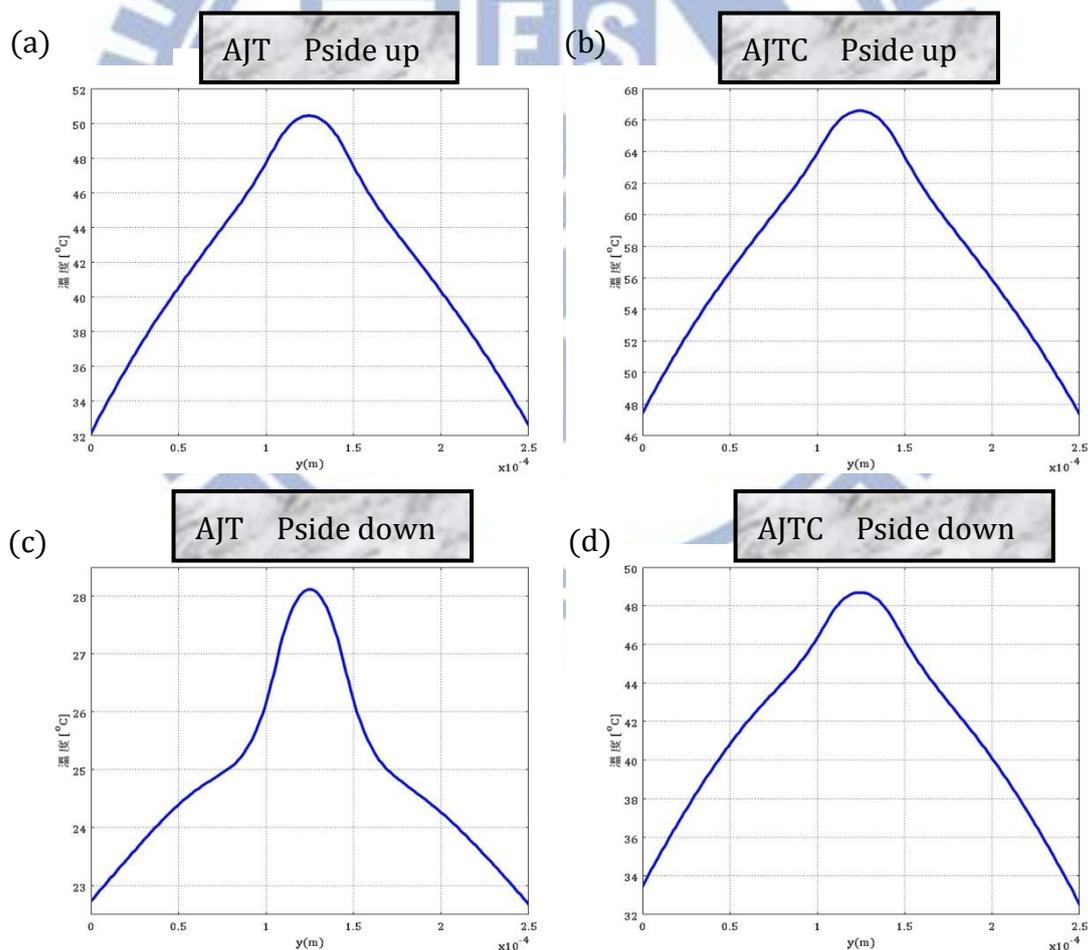


圖 3.11：主動層 y 方向溫度分佈圖

(a) 模型 Type AJT-P side up (b) 模型 Type AJTC-P Side up、  
(C) 模型 Type AJT-P side down (d) 模型 Type AJTC-P side dow

### 3-3-2 元件溫度比較

本段我們列出了四種模型在不同電流條件所得到的 Peak Temp.(最高溫度) 如表 3.6。參考文獻中，[13] 為 Type A 計算方式、[14] 類似為我們計算之 Type AJ、[15、16] 也類似為我們計算之 Type AJ。圖 3.12、圖 3.13 為表 3.6 做圖之結果。

可以從圖中發現，在 Type A 計算時，對於 P side up 與 P side down 溫差已非常明顯。但可以明顯看出加入電流分佈，計算那些主動層以外的熱源造成的溫差在高電流下（1000mA 時 P side up Type AJ 與 Type A 溫差 50°C、P side down AJ 與 A 溫差 12°C）差距已非常大，尤其是本身熱傳導較差 P side up 的溫度差距更大。再加入溫度參數修正之後，溫度大幅上身。而在考慮界面熱阻修正當中，我們可以發現 P side down 由於本身熱傳導性較佳，在無任何界面熱阻存在時，即使灌入到 1000mA，在 Type AJT 中 Peak Temp. 僅為 45°C。然而界面熱阻模型一修正卻發現溫度瞬間飆高至 110°C。因此 P side down 封裝中，界面熱阻好壞將會決定主動層溫度的高低，近而影響最後雷射光性。本模擬結果展試了多組不同模型相對模擬出來溫度差異性。證明我們在進行元件模擬單純使用主動層熱計算是不夠的。關於熱分佈與功率餅圖一些比較關係將收錄至附錄 B 供予參考。

至於熱阻模型 Type AJTC，對於 P side down 在高電流下的溫度相差非常大，其與我們當初設定的等效熱傳導率有關，雖然整體元件加上 submount 具有一定的界面熱阻，但那些缺陷造成的熱阻並不一定會落在 AuSn 上，因此未來在熱阻模型修正上，可以使用 AuSn 與 AlN 兩者一同去做等效，並且將量測實驗值大量的對照，以最後疊代出最佳的等效熱傳導率。並且在本論文所設定的熱傳導率值並不是與溫度的函數。因此未來在考慮熱阻模型前，可以先加入熱傳導率 depend. 溫度的修正，再進行熱阻模型的修正。

Peak Temp.	P side up				P side down			
	A	AJ	AJT	AJTC	A	AJ	AJT	AJTC
I(mA)								
200	25.411	27.414	28.675	33.08	21.471	21.952	22.291	28.004
300	27.439	31.954	34.878	42.465	22.021	23.105	23.887	33.692
400	29.888	37.951	42.588	54.147	22.687	24.621	25.852	40.744
500	32.812	45.323	51.675	67.943	23.481	26.483	28.152	49.046
600	36.119	54.196	62.363	84.166	24.38	28.716	30.814	58.803
700	39.839	64.503	74.561	102.698	25.39	31.306	33.897	69.937
800	43.972	76.052	88.074	123.232	26.513	34.207	37.274	82.268
900	48.622	89.396	103.27	146.318	27.777	37.534	41.059	96.167
1000	53.685	103.966	119.976	171.615	29.152	41.219	45.212	111.361

表 3.6：Peak Temp.隨電流條件變化表

\*定溫邊界為 20°C

Simulation P side up device

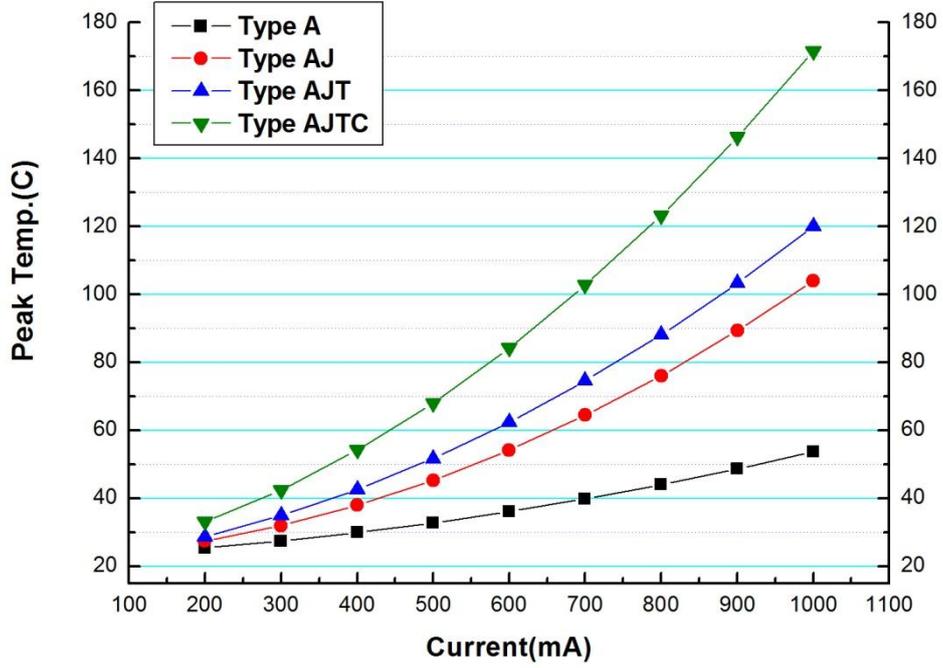


圖 3.12 : P side up 電流變化下四種模型溫度變化

Simulation P side down device

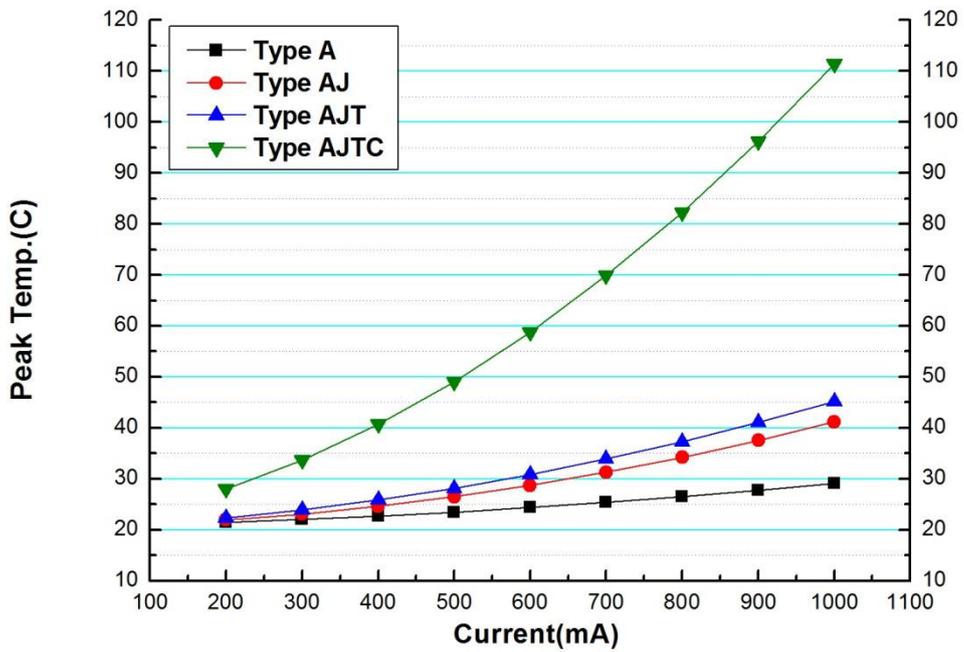


圖 3.13 : P side down 電流變化下四種模型溫度變化

## 第四章 實驗設計

### 4-1 晶粒黏著製程

#### 4-1-1 封裝焊料資訊

半導體雷射晶粒封裝近年都使用 AuSn 的硬式焊料。Au 與 Sn 的合金比例在重量百分比為(80/20)，原子百分比為 (70.5/29.5) 時有個 280°C較低溫的共熔溫度，因此透過讓操作溫度瞬間超過共熔溫度與快速降溫低於共熔溫度。可讓 AuSn 共熔之後再固化，因此黏著住雷射元件。圖 4.1 為 AuSn 相圖 (Phase Diagram)。從相圖中我們可以觀察出不同 AuSn 的比例會影響最後的共熔溫度。而不同 AuSn 比例存在不同的 Phase。表 4.1 為 AuSn 合金可能存在的不同 Phase 其 Sn 的原子比例、熔點、合金形式 [24]。另外雷射元件的金屬(Ti、Pt、Ni、Au) 在共熔過程中也影響了整體 Solder Joint 的比例組成。因此我們可以預見真實的 Solder Joint 在各金屬含量分佈是不均勻的。

AuSn 在共熔結束完固化時，會形成 $\delta$ 與 $\xi$  此兩種 phase。 $\xi$  phase 在低於 190°C時，會形成 $\xi'$  phase。這種 phase 提供了整體 solder Joint 有較低應力與較好的熱傳導性。而 $\delta$ 比起 $\xi'$ 雖有較好的濕潤性(wettability)，但在應力與散熱沒有比 $\xi'$ 好。因此對於一個好的 AuSn 封裝，Solder Joint 中心以 $\xi'$ 為主、而 $\delta$ 靠近 solder Joint。

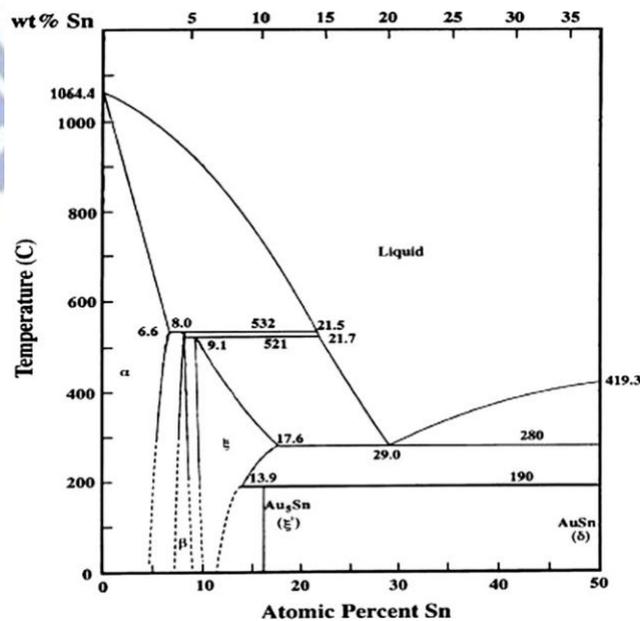


圖 4.1：AuSn Phase Diagram

Phase	Sn(At%)	MP(°C)	Alloy
$\alpha$	0 - 6.81	1064-532	Au
$\beta$	8.0-9.1	532	Au <sub>10</sub> Sn
$\xi$	10.0-17.6	521	
<i>L(Eutetic)</i>	29.5	278	
$\xi'$	16	190	Au <sub>5</sub> Sn
$\delta$	50.0-50.5	419	AuSn
$\epsilon$	60.7	309	AuSn <sub>2</sub>
$\eta$	80	257	AuSn <sub>4</sub>
$\beta Sn$	99.8-100	232	

表 4.1：AuSn Phase 一覽表

#### 4-1-2 晶粒封裝製程

##### (一) 封裝機台資訊

本論文使用 Cammax Precima 之 EDB80-P 脈衝加熱控制器及加熱工作台與對準系統整合的晶粒黏著系統。此機台提供 Laser Diode 的基礎 Die Bonding 基礎封裝。圖 4.2 為 EDB80-P 機台全貌圖、圖 4.3 為機台操作流程。現今半導體雷射封裝大多使用 Hard Solder 的 AuSn 進行晶粒黏著，此種封裝方式需要快速讓溫度升溫到共熔點再瞬間降溫。因此需要 Pulse Heat 可供快速加熱之機台。

(1) 半導體雷射的 Die Bonding 之前必須先確認封裝 Submount 的厚度與中間層 Solder 的品質。儀器主面板處有 Bonding Height 可供調整下壓高度，正常下壓點來說，在下壓桿接觸表面之後會有卡擦聲，我們判定這種下壓為 Over drive，代表吸嘴頭有正確下壓至樣品上。

(2) 在進行實驗之前，首先要確認幾個封裝條件參數。此機台 Bonding Force 調整位於機台背殼後方的大型旋轉砝碼，藉由旋轉砝碼對於力臂的遠近來調整下壓力，下壓力約在 2g-250g 皆可調整。Bonding Temp. 控制來自於機台 Pulse Heat System，此瞬間加熱範圍最大可達 1200°C/min，我們定義藉由此控制儀表板控制待溫溫度、加熱溫度、加熱時間、降溫溫度。

(3) 當正確設定完實驗參數時，置放 Sample 至 Gel-Pack 盒上，機台中心置放處可供 Gel-Pack 盒真空吸附。再經由上方吸嘴頭將 Chip 與 Submount or Platform 置放至左側 Work holder。即可下壓進行加熱。



圖 4.2：EDB80-P 晶粒黏著系統機台全貌圖

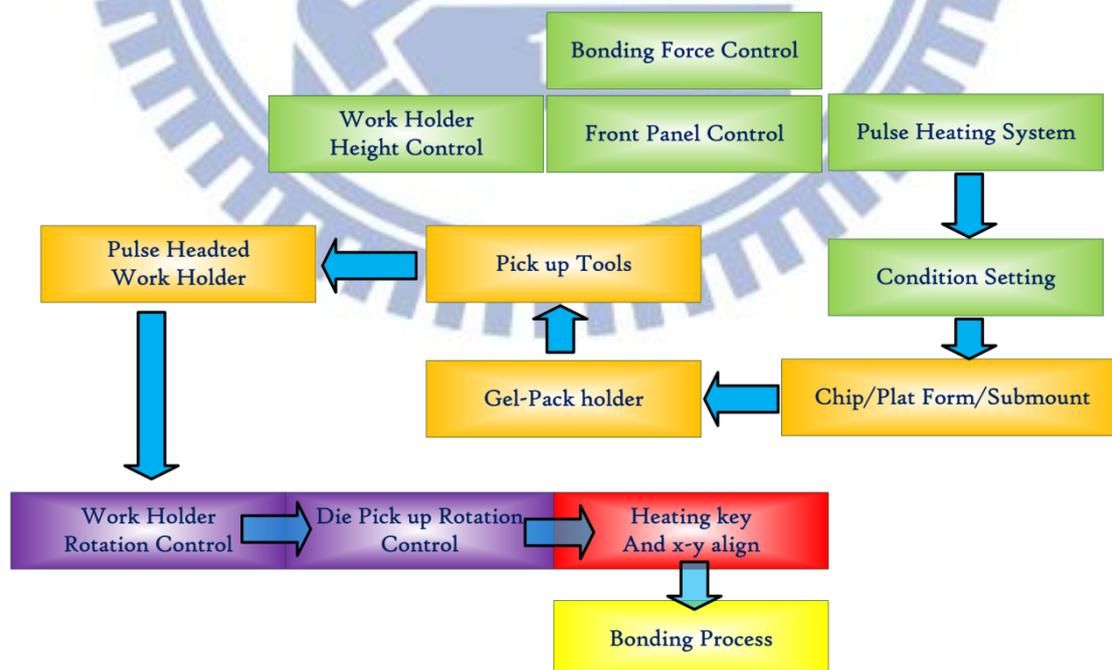


圖 4.3：晶粒黏著系統操作流程圖

圖 4.4 為 Bonding Process 的溫度控制示意圖。使用 Watlow F4 Series 溫度控制儀控制整體 Bonding Process 變化。首先必須設定從室溫爬升至待溫所需的時間與溫度，接著設定實際爬升至 Bonding Temp.的溫度與加熱速率、以及待溫在 Bonding Temp.的時間秒數，與最後降溫過程。Watlow F4 Series 可設定多次連續控溫設定，因此操作者可設定最後 Jump 至特定設定，以進行大量元件測試。



圖 4.4：Bonding Process Temperature Control 示意圖

## (二) 封裝 chip 資訊

圖 4.5 為本論文使用的封裝元件資訊圖，我們使用廠商所提供的 Sample A，尺寸為  $250\mu\text{m} \times 600\mu\text{m}$ ，垂直雷射結構為 GaAsP 當主動層的 808 High Power Broad Area Laser Diodes。

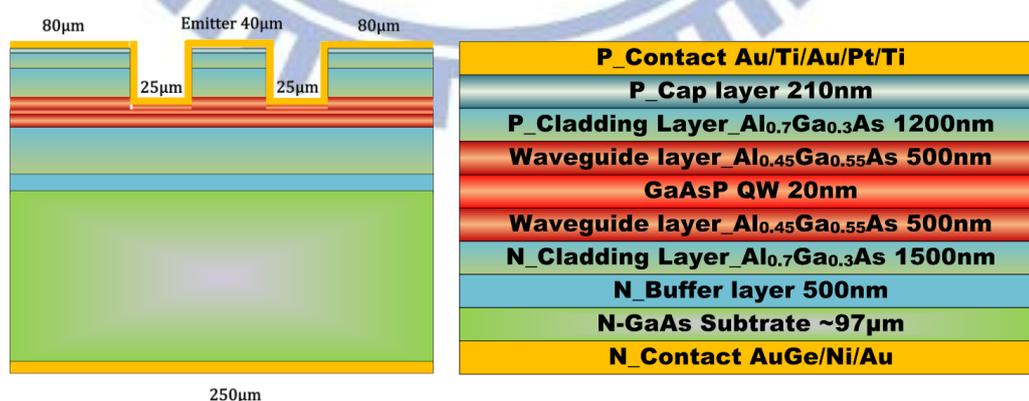


圖 4.5：封裝元件 Sample A 資訊圖

### (三) Submount 資訊

我們使用 AlN 作為 Submount，熱傳導係數約 170(W/mK)。Submount 上方會有金屬化 Ti/Pt/Au，其厚為  $0.1\ \mu\text{m} * 0.2\ \mu\text{m} * 0.5\ \mu\text{m}$ 。大小長寬高如表 4.2。表 4.2 中我們將封裝類型分為 Mount1、2、3，其中 Mount 1、2 兩組的 AuSn 已經鍍上去，Mount 1 的 AuSn 長寬  $1320\ \mu\text{m} * 720\ \mu\text{m}$ ，Mount 2 為  $1340\ \mu\text{m} * 620\ \mu\text{m}$  與  $1340\ \mu\text{m} * 260\ \mu\text{m}$ 。晶粒黏著方式主要分成兩種，第一種為 Chip 直接黏著至 Mount 1、2 組如圖 4.6，第二種以 Solder platform 方式黏著，如圖 4.7。我們主要使用 Mount3 做大量元件測試。

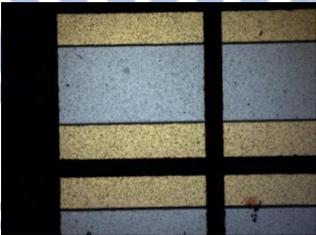
Mount type	Photo/information	長( $\mu\text{m}$ )	寬( $\mu\text{m}$ )	高( $\mu\text{m}$ )
Mount 1		1320	1320	210
Mount2		1460	1120	630
Mount3	Solder Platform	500	500	25
	AlN Submount	1320	1320	200

表 4-2：封裝 submount 類型資訊表

**EEL Bonding EEL +Solder(AuSn)/Submount**

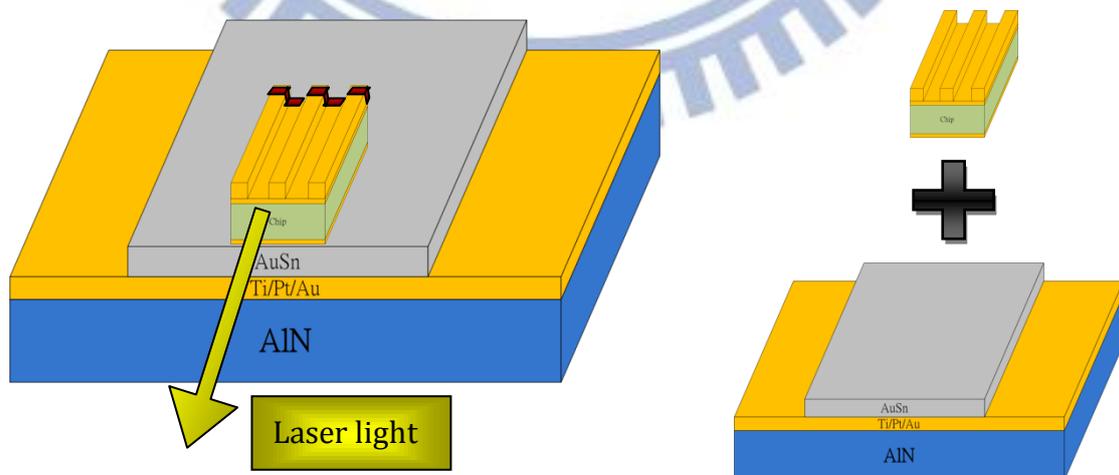


圖 4.6：Mount 1、2 Bonding 示意圖

### EEL Bonding    EEL +Solder Platform(AuSn) +Submount

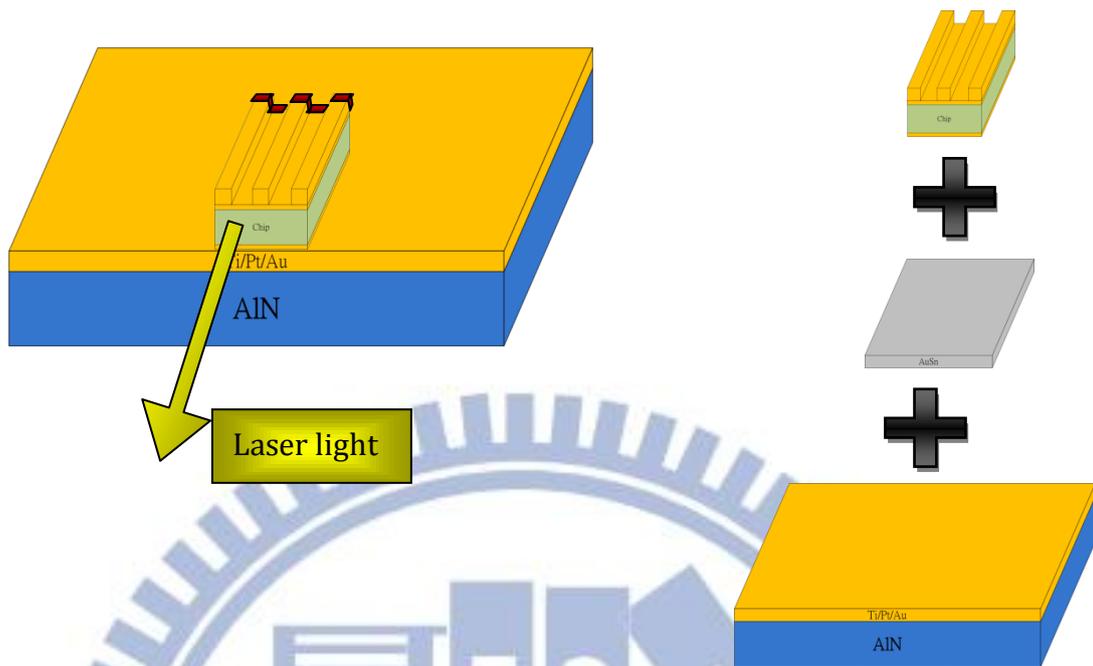


圖 4.7：Mount 3 Bonding 示意圖

#### (四) 封裝製程測試

我們使用大量 Test Chip 作為我們封裝的樣品素材。溫度參數設定在 290°C 至 340°C 之間。壓力控制在 2g 至 10g 之間，換算成壓力為 0.131(MPa) 至 0.654(MPa) 之間。對準的時候，以邊射型 Laser Diode 來說。必須確保出光方向，並且要讓 Die 稍微突起 Submount 前緣一些，可使共晶過程中，AuSn 不會溢出沾染到雷射鏡面影響雷射操作。

目前來說，對於半導體雷射封裝條件上的測試並無非常直觀的方式能預測每個元件的封裝條件。由於每個元件封裝金屬層的含量影響了 Solder Joint 實際的 Phase 分佈。我們參考[11]的封裝條件測試，我們針對小尺寸 250 元件使用 Mount3 的方式做封裝。由於 Mount 所選用的 Solder Platform 厚度較厚，實際進行封裝時共熔態雖然 AuSn 雖不會溢出影響雷射鏡面，但另兩側 AuSn 容易接觸雷射元件兩端，P-side down 封裝因此而容易 Short。因此我們大多使用 P-side up 先進行封裝條件測試。等測試至 Bonding Window 時再使用 Mount 1 與 2 的封裝。

根據圖 4.4 的 Bonding Process 示意圖。我們設定 Soak Waiting time 為 5sec (即為 Bonding time)。原因是雖然較久的 Bonding 共熔時間可以有較好或較均勻的 solder joint 品質。但雷射元件持續在高溫近 300°C 下難免會造成效率下降與特性劣化之情形，為了確保雷射不因此影響效率，所以設定 5sec。Standby Temp. 設定為 200°C，Ramp rate 升溫速度為 1000°C/min=16.67°C/sec。使用的

下壓力在 2g-10g 之間，Bonding Temp.在 290°C-340°C。

在封裝條件上，較低的 Bonding Temp. 整體 Solder Joint 的濕潤性並不足夠，因此元件使用鑷子推離的 OM 圖如圖 4.8 為 250chip 封裝在 Mount1 上元件推離圖，可以看到元件實際無完全附著在 AuSn 上。而圖 4.9 為在 Bonding Window 內將元件封裝在 Mount3 上，使用鑷子推離的 OM 圖。我們可以看到雷射元件幾乎已完全損壞。與較低的 Bonding Temp. 有類似的情形為過低的下壓力，導致實際雷射元件與 Solder Joint 並未有良好的接觸進行共熔。此現象在 LIV 上可觀察出來，如圖 4.10。我們可以從圖中看到 low force 與 low Temp. 條件導致雷射幾乎沒完全黏著在 Submount 上。因此雷射光性類似與 unbonded sample 一樣，很快地到達了熱飽和 (Thermal Rollover)。

溫度過高的 Bonding Temp. 也會使 Solder Joint 品質受到影響，乃是因為 Solder 在高溫共熔過了一定的共熔溫度，會導致 solder 會與雷射鏡面黏著至一起[11]，進而影響雷射效率。與高溫封裝條件有類似的情形為使用過於大的下壓力。過於高的下壓力使得 Solder Joint 與雷射元件之間有巨大的應力，間接影響到雷射效率。我們可以由圖 4.10 看到此兩種條件對光性之影響。

在我們測試了許多條件之後，發現在 300°C-330°C 與 4g-10g 之間的封裝條件下，雷射光性差異不大。原因是 LIV CW 量測雖是連續操作，但是整體量測時間近乎一秒以內結束。因此對於封裝條件尚可的元件來說，我們從 LIV 量測之雷射光性所看到的熱飽和 (Thermal Rollover) 現象，主要為我們使用 P side up 的封裝、雷射光性溫度參數、Submount 大小與散熱性所控制。因此不能由簡單觀察出雷射光性來確定中間 Solder Joint 的好壞。因此若要確定 solder Joint 優劣的方法大多是使用破壞性方法，將雷射元件推離，並且量測推離面之 SEM/EDX，用元素含量去確定 solder Joint 的好壞[11]。這樣的破壞性方法雖然是非常直觀的方法，但以方便性與損壞元件的角度來看並不是最佳的方法，另外也會做長時間的定電流或定功率燒測實驗，來觀察雷射光性下降或電流上升的趨勢。這樣的方法也需要花大量的時間來完成。

因此我們使用 T3ster 暫態熱電阻量測來確定 Solder Joint 兩側界面的熱阻大小來確定在 Bonding Window 中封裝條件與 solder Joint 優劣關係。一顆元件通常量測僅需 10 分鐘至 20 分鐘，並且對雷射元件本身傷害極小，中間僅高電流測試幾十秒的時間。我們將會在第五章討論這些量測結果與比較。

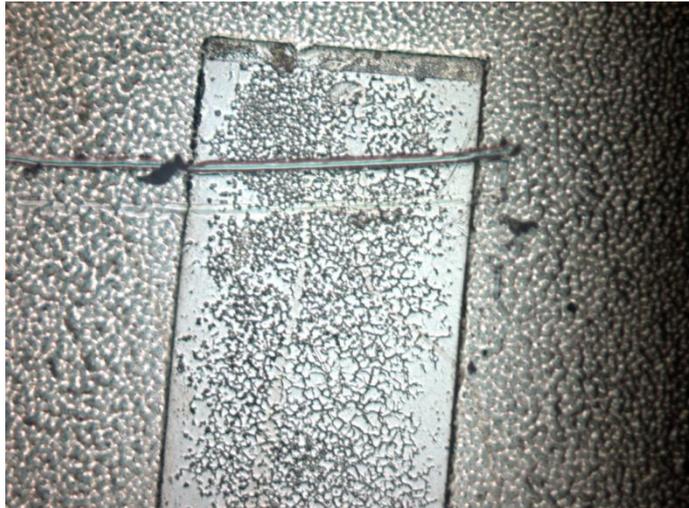


圖 4.8：低 Bonding Temp. 元件推離表面圖



圖 4.9：Bonding Window 內元件推離表面圖

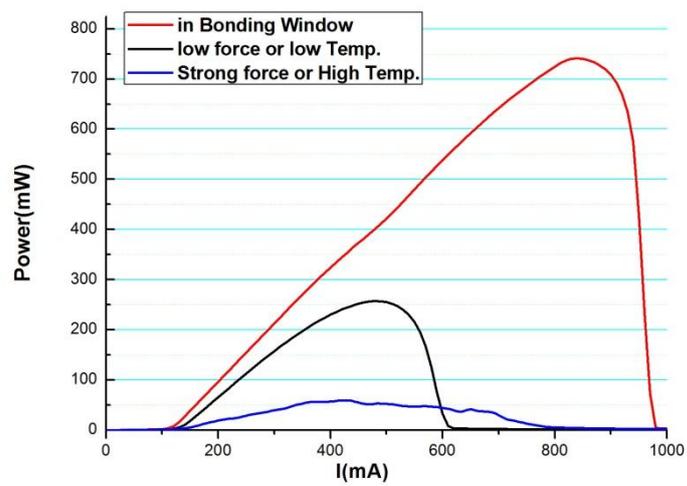


圖 4.10：封裝條件對於雷射光性之影響

## 4-2 LIV 量測系統

### 4-2-1 LIV 量測

本論文使用的 Current Source 為 Keithley 2520 Pulsed Laser Diode Test System。操作範圍如圖 4.11，可提供 Pulse Operation 5A 與 CW Operation 1A。其中 2520 Testhead 部份提供 detector 與 current source 同步 Pulse 操作與收光。為了能量測高功率雷射的光強度，我們必須使用積分球妥善地將雷射光完整收光，才能量測到較為精準的雷射光性。我們使用 Si-detector 來收光，已安裝至小型積分球，安裝圖如圖 4.12，經由 ThorLab 的 Powermeter 做 power 校正，其衰減係數約為 75 倍。整體的 LIV 量測系統架構如圖 4.13，使用 ILX\_LDT 5525 做控溫。

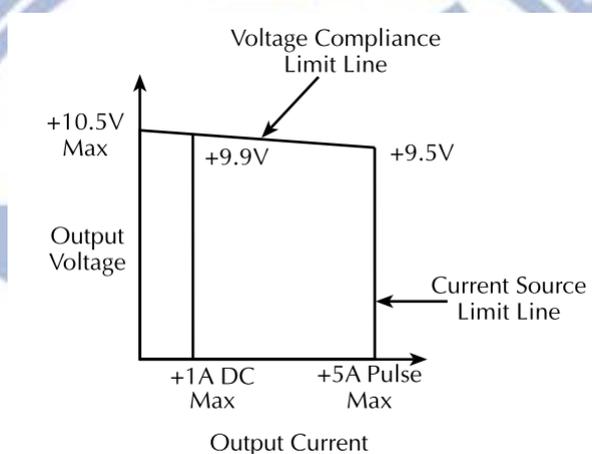


圖 4.11：Keithley 2520 操作極限示意圖

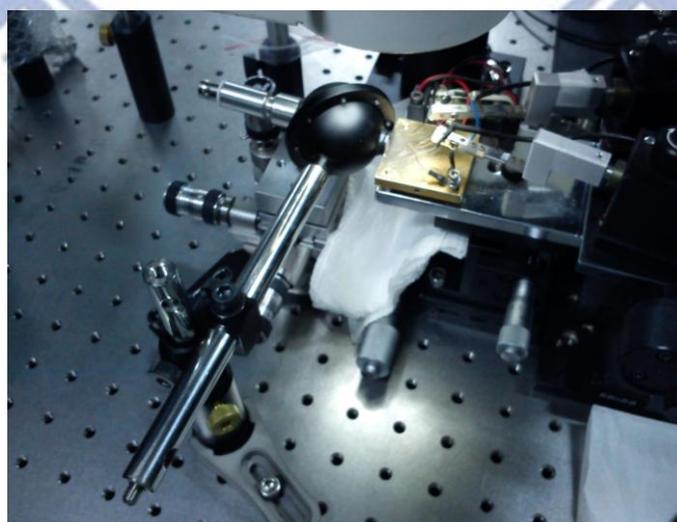


圖 4.12：積分球與量測平台架設圖

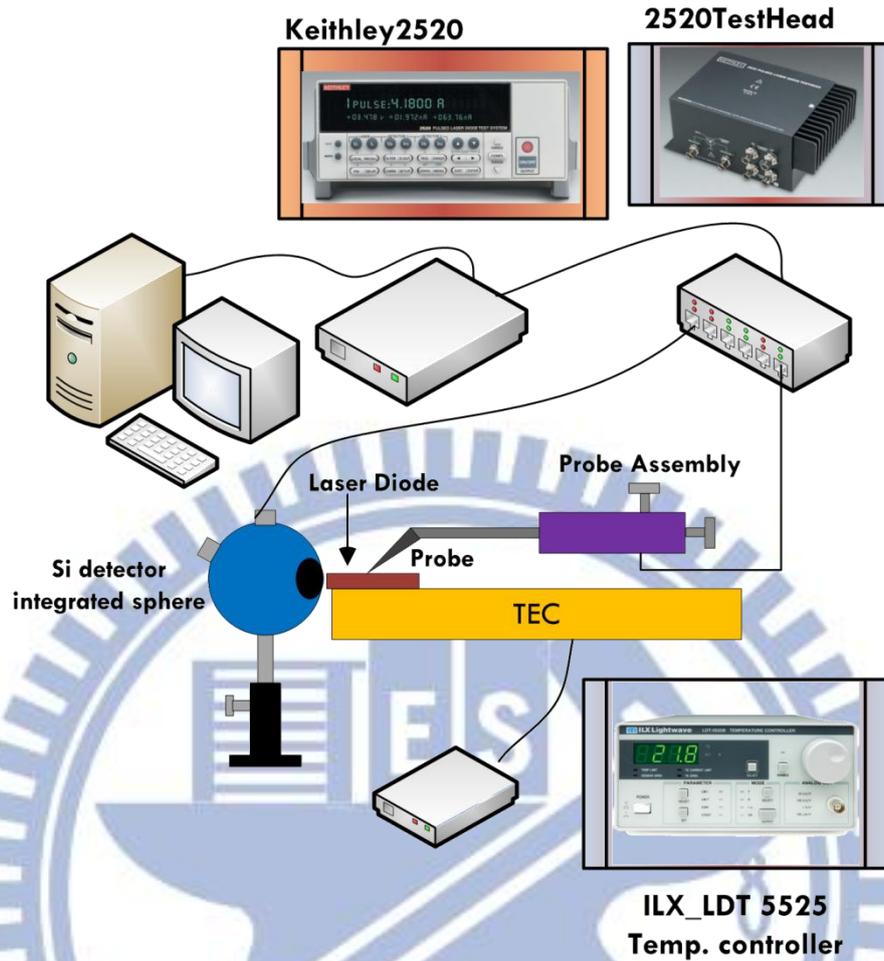


圖 4.13：LIV 量測系統

#### 4-2-2 溫度參數萃取量測

使用 ILX\_LDT 5525 可控制銅座的溫度，進行變溫 LIV 量測。公式(3-12)與(3-13)經過數學整理可獲得(4-1)與(4-2)。因此可獲得溫度參數 $T_0$ 、 $T_1$ 。變溫量測圖為圖 4.14，溫度參數萃取圖為圖 4.15

$$\ln\left(\frac{I_{th}(T_{j2})}{I_{th}(T_{j1})}\right) = \left(\frac{T_{j2} - T_{j1}}{T_0}\right) \quad (4-1)$$

$$\ln\left(\frac{\eta_d(T_{j2})}{\eta_d(T_{j1})}\right) = -\frac{T_{j2} - T_{j1}}{T_1} = -\gamma\Delta T \quad (4-2)$$

Sample B\_500x1500\_05596\_Current Blocking 150 $\mu$ m

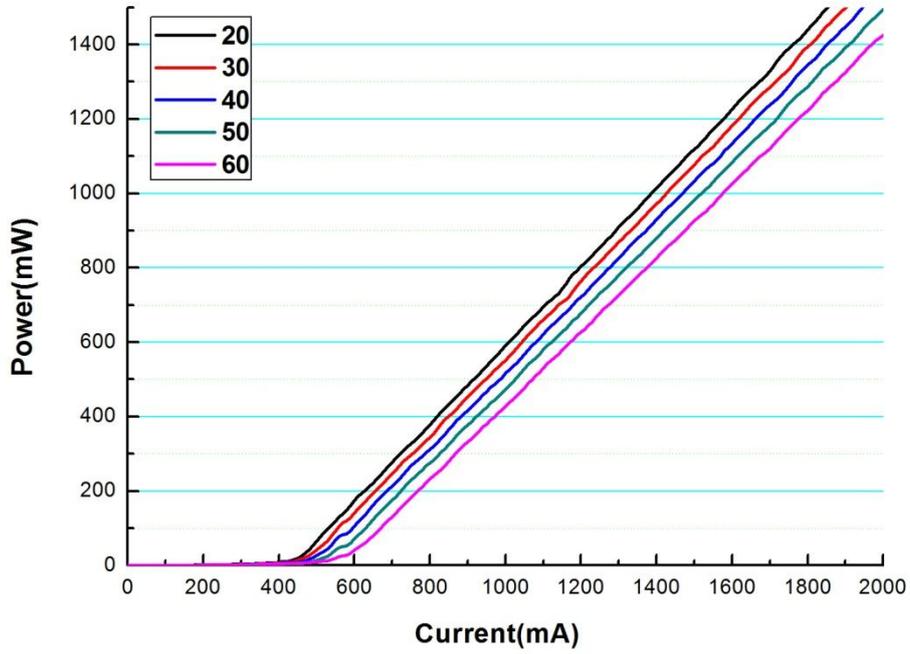


圖 4.14 : SampleB 變溫 LIV 圖

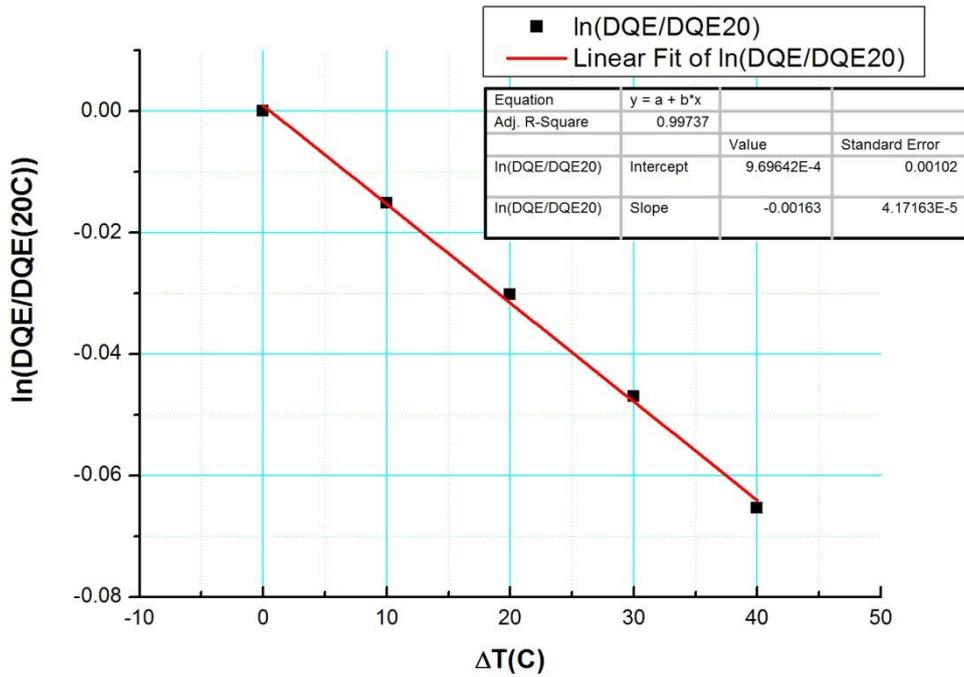


圖 4.15 : SampleB 溫度參數萃取圖

### 4-3 暫態熱電阻量測

暫態熱電阻量測[25]是使用 MicRed 公司研發而出的 T3ster (Thermal Transient Tester) 系統。除了可以量測到測試樣品的接面溫度，並且可獲得晶片與封裝整體之結構熱阻，以便分析封裝製程上的結果。一般來說量測元件的接面溫度並不是使用直接性的量測，通常都是以間接量測到的數據轉換成溫度數據的。雷射二極體的臨界電流、外部量子效率、中心波長、接面電壓都與溫度具有相關性。

最常被使用且精準度較高的方式是藉由量測雷射二極體的順向偏壓隨溫度改變來進行量測。當溫度升高的時候，定電流下的順向偏壓值會下降。因此我們可以藉由控溫台的溫度變化量出二極體順向偏壓變化趨勢。我們稱為此數據為溫度靈敏係數 (TSP, Temperature Sensitive Parameters) 如圖 4.16。

圖 4.17 為一般利用順向偏壓值作為熱阻量測手法，會藉由低電流  $I_M$  操作先取得 TSP 如圖，再讓二極體操作到高電流  $I_H$ ，並且持續至一到兩分鐘 (時間為  $t_2$ )，使二極體內部整體熱平衡，再瞬間切換電流至第一個步驟之低電流  $I_M$ 。此時順向偏壓量測值會降低與原先偏壓值有所差異，我們可藉由這個  $\Delta V$  除上 TSP 參數，會得到整體溫度變化量，以計算出整體元件的熱阻。(4-3) 為二極體元件 TSP 之定義，(4-4) 為 TSP 與量測電壓之計算之溫度變化。

順向偏壓法量測其量測精準度與設備解析度有重要關連性，一般高電流切換成低電流時，順向偏壓值雖然下降，但是偏壓讀值仍然在變動非常小的範圍內 (ex: 1.42volt  $\rightarrow$  1.37volt)。若能以最短的時間解析度量測電壓的變化，便可增加量測準確性，另外二極體元件體積極小，熱源瞬間藉由控溫台散開至環境，其平衡時間約在一秒左右。也因如此，此種量測法在主動層能隙較小的元件上不易使用，一旦讀值無法準確讀到，並且不能瞬間讀值，將無法進行量測。對於傳統量測元件假使無法提供一個瞬間讀值並且時間解析度足夠的設備，會造成真正在時間  $t_3$  之中，所量測的值有所誤差，並且假使能讀到也只能得知整體晶片總熱阻與總溫度上升量，並不能提供晶片內部結構熱阻的解析。圖 4.18 的 T3ster 量測結果可發現我們測試的晶片瞬間就會跟環境作熱平衡。因此 T3ster 量測優勢在於提供了步驟三的電流切換之中 (時間  $t_3$  之中)，可快速地讀取順向偏壓變化的能力，並且時間解析度可達  $1\mu s$ 。因此圖 4.18 不僅可作為元件的接面溫度指標，反方向讀此圖可理解成元件熱經過多久時間達熱平衡。

$$TSP = \frac{\Delta V_j}{\Delta T_{hs}} \left( \frac{\text{volt}}{^\circ\text{C}} \right) \quad (4-3)$$

$$\Delta T_j = \frac{\Delta V_{31}}{TSP} (^\circ\text{C}) \quad (4-4)$$

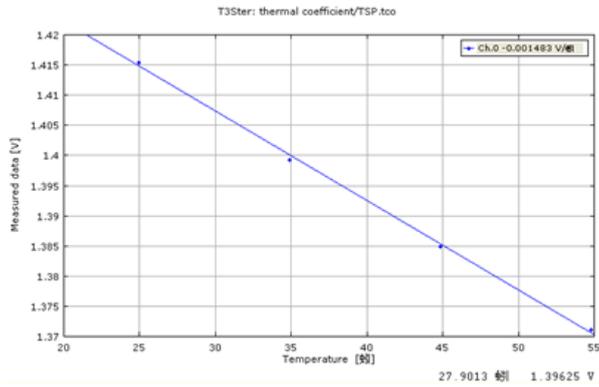


圖 4.16：TSP 量測結果

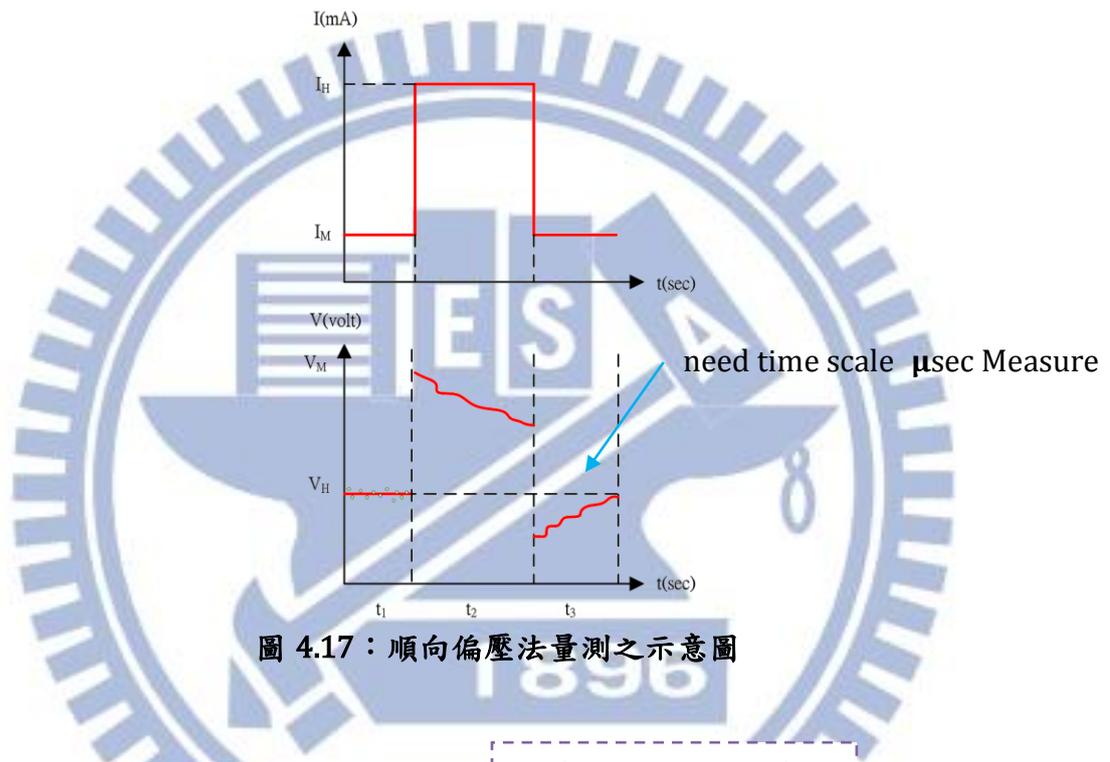


圖 4.17：順向偏壓法量測之示意圖

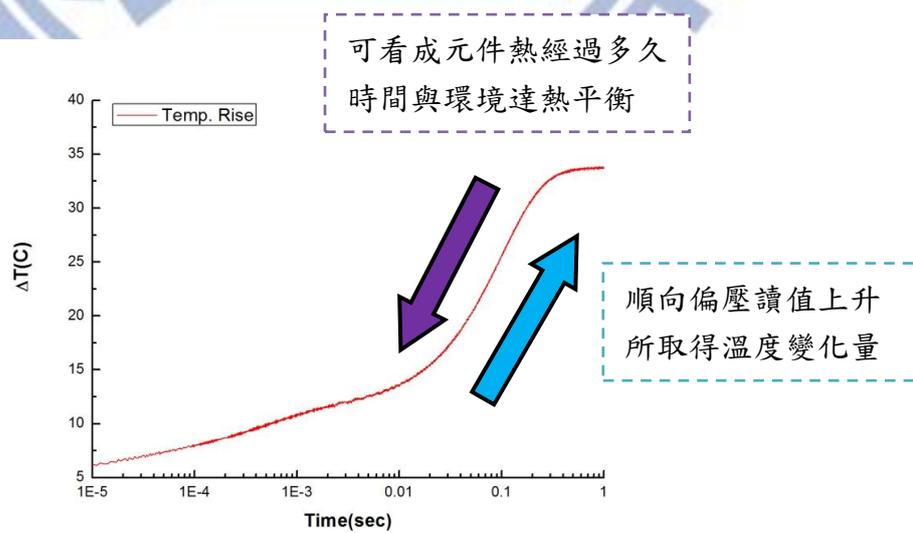


圖 4.18：Sample A Broad Area LD 升溫曲線

圖 4.19 為整體 T3ster 量測流程。量測分為前段流程包括 TSP 量測與圖 4.17 中三步驟的電流調變以量測出接面電壓改變。後段流程將量測到的升溫曲線帶入數值運算的 T3ster 軟體之中。程式利用 Foster RC model 去逼近真實量測結果，把升溫曲線函數等效成多組連續 RC stage 串接。如圖 4.20 所示當只有一組 RC stage 的狀況，數學式為(4-5)。時間常數 $\tau = RC$ ，其定義為某溫度經過此 Stage 上升或下降為原溫度之 66% 的時間。(4-6)與(4-7)為多組離散 RC stage 串接與連續積分串接。其中連續積分情形符合我們量測升溫曲線的結果。因此只要解出(4-7)的 R 再利用所對的時間常數就可解出熱容 C，因此就可以畫出元件的暫態熱阻與熱容圖形。

## T3ster Measurement Process

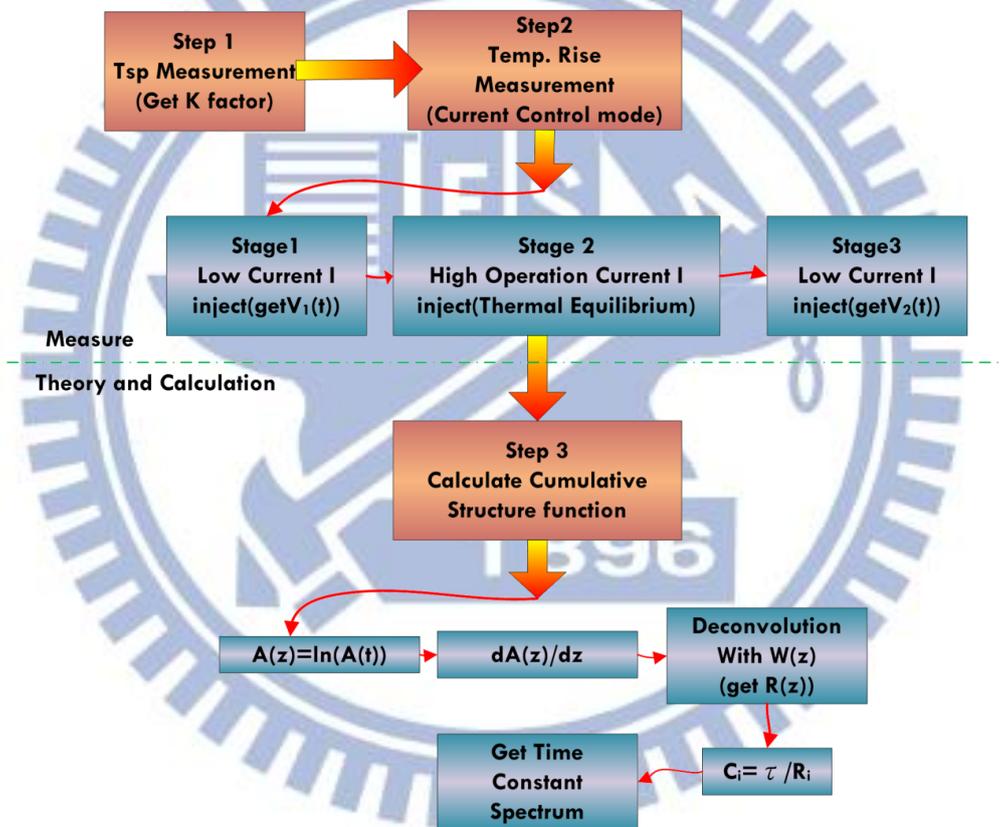


圖 4.19：T3ster 量測流程

$$a(t) = R(1 - \exp(-\frac{t}{\tau})) \quad (4-5)$$

$$a(t) = \sum_{i=1}^n R_i (1 - \exp(-\frac{t}{\tau_i})) \quad (4-6)$$

$$a(t) = \int_0^{\infty} R(\tau) (1 - \exp(-\frac{t}{\tau})) d\tau \quad (4-7)$$

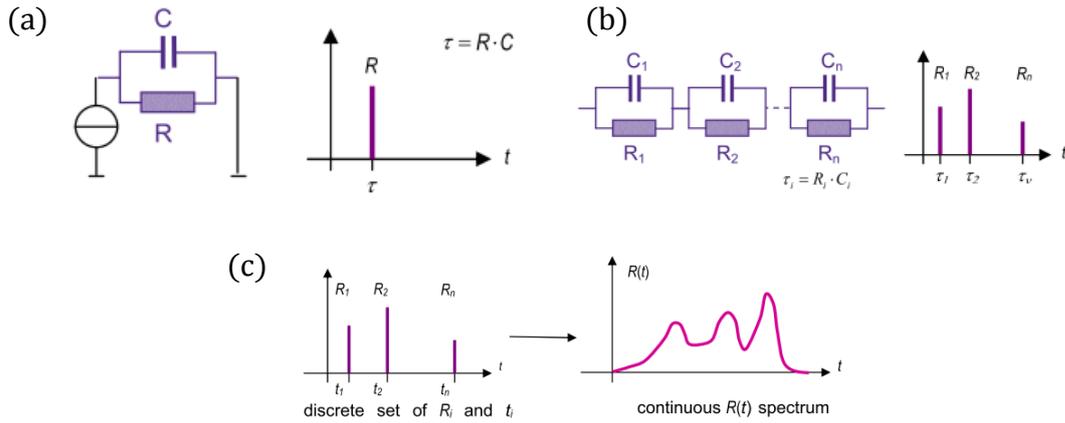


圖 4.20：RC 等效熱阻電路 圖 2.4.5.(a)左為單一 RC stage，右為 R 對時間做圖。圖 2.4.5.(b)多組 RC stage，為一離散和。圖 2.4.5.(c)為連續積分之狀況，R(t) 頻譜為連續頻譜。

由(4-8)我們定義所得  $a(z)$  為原升溫曲線函數做自然對數運算，原因在於本身升溫曲線在極短時間之內達熱平衡，因此使用對數 scale 容易分析結果。因此對於變數  $t$  與時間常數  $\tau$  都必須做變數變換如式(4-9)。接著對  $a(z)$  做  $z$  的微分，經過整理可得(4-10)。此結果為一摺積運算 (Convolution) 之結果，摺積運算的定義為(4-11)。

$$a(z) = \ln(a(t)) \quad (4-8)$$

$$z = \ln t \quad \xi = \ln \tau \quad (4-9)$$

$$\frac{da(z)}{dz} = \int_0^{\infty} R(\xi) \exp\{z - \xi - \exp[z - \xi]\} d\xi \quad (4-10)$$

$$f(t) * g(t) = \int_0^{\infty} f(\tau) g(t - \tau) d\tau \quad (4-11)$$

因此(4-10)也可化成兩個函數做摺積運算。分別為  $R(z)$  與  $W(z)$ 。 $R(z)$  為我們所求，而  $W(z)$  則為一權重函數，定義為式(4-12)。式(4-13)為反摺積運算，求出我們的目標函數  $R(z)$ 。根據剛剛上述的串接多組 RC stage。結合剛剛運算出的  $R(z)$  對  $z$  的分佈圖。我們可以得知的節點的  $R$  值，再由時間常數可以得到此節點之熱容，因此整個函數的熱阻與熱容就分析出來了。

$$\frac{da(z)}{dz} = R(z) * W(z) \quad (4-12)$$

$$W(z) = \exp[z - \exp z] \quad (4-13)$$

$$R(z) = \left(\frac{da(z)}{dz}\right)^{-1} * W(z) \quad (4-14)$$

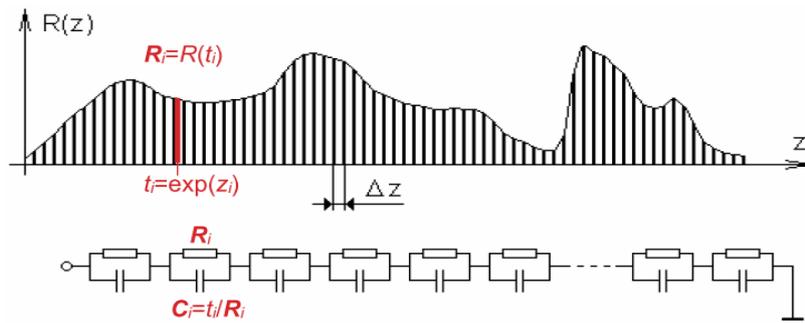


圖 4.21：反摺積運算得到的  $R(z)$  頻譜

但本身 Foster RC 的等效模型運算是用數值的方式去逼近原始曲線，不具備物理意義。因此要將 Foster RC 模型轉換成 Cauer Model (圖 4.22)，才能用物理圖像去解釋每層的熱阻熱容。在擁有物理圖像模型之中。熱阻熱容的觀念，可易於類比成電阻電容的特性。

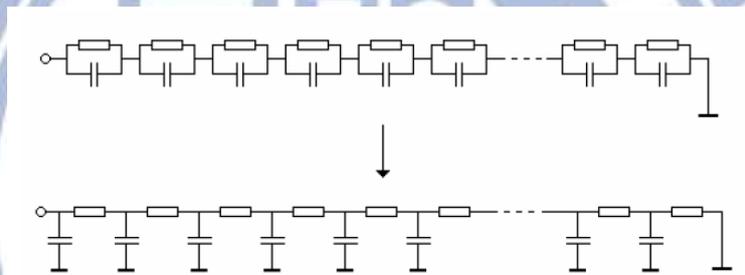


圖 4.22：Foster RC model 轉換成 Cauer RC model

根據圖 4.19 的 T3ster 量測流程，我們藉由量測 TSP 與高低電流切換加上 T3ster 高時間解析度的量測，可獲得元件的升溫曲線。再將元件升溫曲線丟進 T3ster 專用的計算程式，根據上述的數學轉換手法得到暫態 R-C 曲線 (熱阻-熱容曲線)。根據之前的數學運算，我們知道  $RC = \tau$ ，為一時間常數。此圖形的每點 RC 相乘，則可得到所對的時間常數，因此每個時間常數節點會有一組暫態熱容熱阻值，由於熱源的轉移從晶片界面傳導到散熱基座，因此我們可以藉由這些時間常數點得知元件結構之中哪個部份熱阻較大，對整體散熱影響最大。

圖 4.23 之中 RC 曲線中斜率較大的區域為塊材區 (Bulk)，可以看見熱阻熱容同時的上升，當熱流傳導至任一塊材之中傳導時，熱容值上升。因此塊材的材料特性 (密度、比熱、熱傳導係數) 決定每個塊材區熱容上升量。當熱傳導至最外層的環境時，熱容量急遽上升。RC 曲線中斜率平緩的區域為界面區 (interface)，由於界面之間並不存在熱容量儲存熱，並且界面有許多表面缺陷，這些缺陷會增加額外的熱阻。

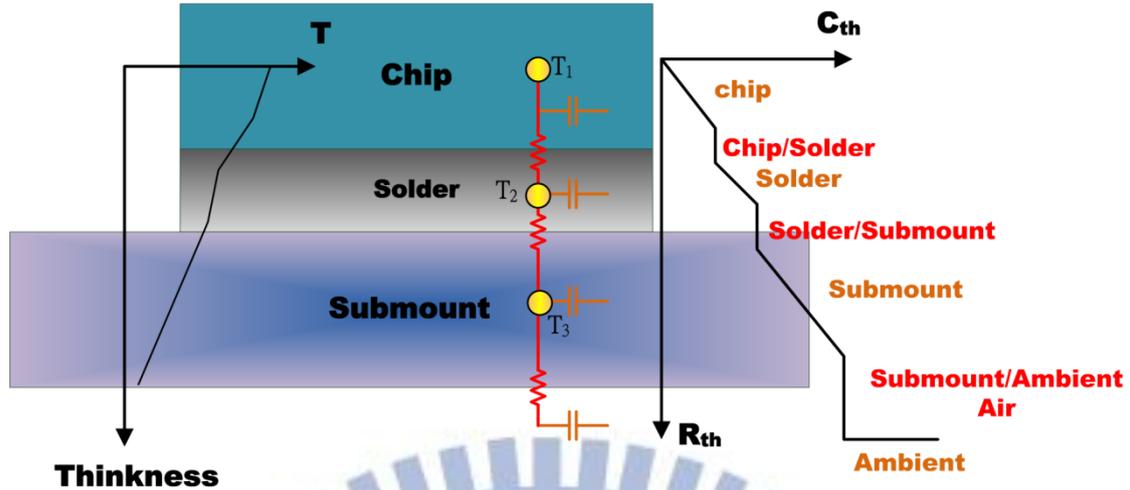


圖 4.23：RC 曲線分佈與結構比較圖

我們將 RC 曲線針對 R 做一次微分，令為一個新的函數  $\mathcal{K}$ ，其中  $x$  為熱流所經過長度， $A$  為與熱流方向之垂直面積， $k$  為熱傳導係數， $\rho$  為密度， $c$  為比熱。

式(4-14)與(4-15)分別為熱阻與熱容之定義。而新函數  $\mathcal{K}$  跟材料特性與熱流面積相關。材料特性為比熱、密度、熱傳導係數所決定。由圖 4.24 可以看到 RC 曲線 Bulk 區與 Interface 交界處， $\mathcal{K}$  曲線急遽下降。從微分角度可知道，當熱源進入界面區的時候 RC 曲線斜率下降至非常低，乃是曲線的形成與表面缺陷造成的額外熱阻所致。因此微分值從原本 Bulk 區進入到 Interface 區會快速地下降，直到熱傳導整體又進入了下一個 Bulk 區，因此 RC 曲線斜率開始爬升，因此微分值形成許多高峰點 (Peak) 與山谷區 (Valley)。

上述對  $\mathcal{K}$  的描述，僅僅用微分的角度去思考。實際上我們可以用微分完的材料特性與熱流面積來理解此曲線的分佈。根據式(4-16)，每個 Bulk 區的材料特性並不相同，假設這些材料特性在空間之中等向性，熱流進入 Bulk 區之後，隨著傳導，熱源開始以擴散開始散開，如圖 4.25 所示。此時隨著熱流面積的上升， $\mathcal{K}$  值上升。直到熱流傳導至 Interface 區，界面熱阻上升，但在界面上幾乎沒熱容，因此那個節點上熱容幾乎停止上升，熱阻的上升造成整個  $\mathcal{K}$  曲線急遽下降至圖形谷底。此時熱流已經通過界面節點，進入到 Bulk 區，熱流持續向外擴散，熱流面積上升。圖 4.25 表示的是熱流從晶片傳導到環境之中。熱源是持續地擴散開來， $\mathcal{K}$  曲線每個峰點旁的下降來自於每層的額外熱阻。

$$R_{th} = \frac{x}{kA} \left[ \frac{K}{W} \right] \quad (4-14)$$

$$C_{th} = \rho c x A \left[ \frac{W \cdot sec}{m \cdot K} \right] \quad (4-15)$$

$$\mathcal{K} = \frac{dC_{th}}{dR_{th}} = \frac{\rho c dx A}{dx/kA} = \rho c k A^2 \left[ \frac{W^2 \cdot sec}{m \cdot K^2} \right] \quad (4-16)$$

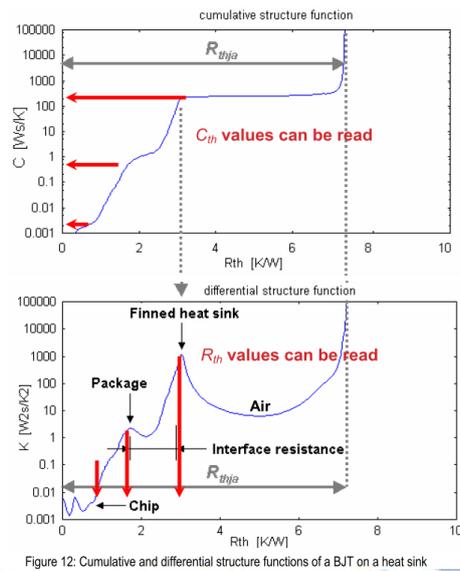


Figure 12: Cumulative and differential structure functions of a BJT on a heat sink

圖 4.24：暫態 RC 曲線與一次微分曲線

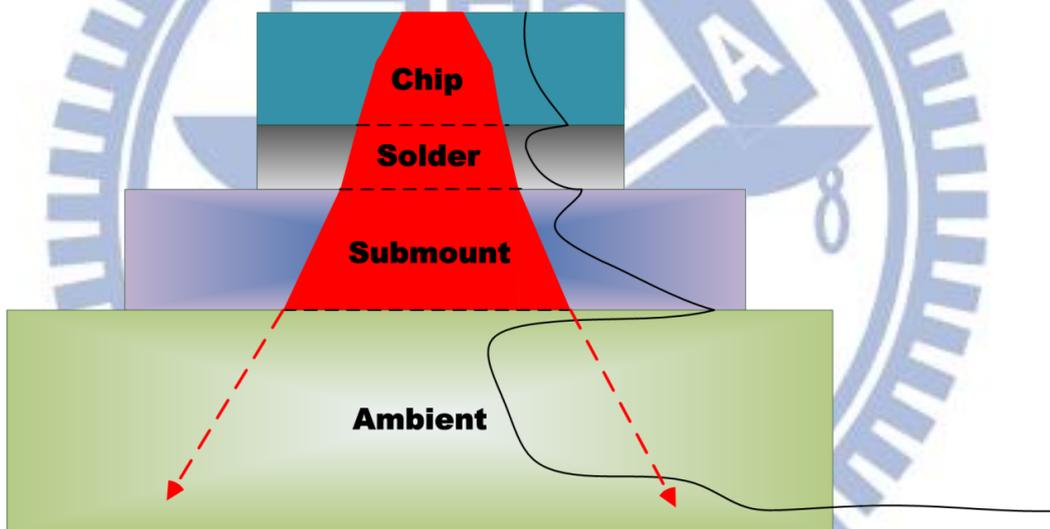


圖 4.25：熱傳導與JCR 曲線分佈示意圖

圖 4.26 為[12]利用三種不同晶粒黏著方法，比較 RC 曲線與JCR曲線定量出熱阻值。熱阻值越低代表界面品質越好。由於晶片本身熱容熱阻較低，因此在曲線之中幾乎只在原點( $R_{th}=0$ )看到元件資訊。因此對於微型元件來說，JCR曲線第一 Peak 區（熱流進入 Bulk 區，熱流面積穩定上升）幾乎貼齊原點。因此第一個 Peak 點與第二個 Peak 點中間的熱阻為晶片與 Solder 之間的界面熱阻。當此阻值越低，代表界面上的缺陷與空穴越少。而第二個 Peak 值與第三個 Peak 值之間為 Solder 與 Submount 之間的界面熱阻。

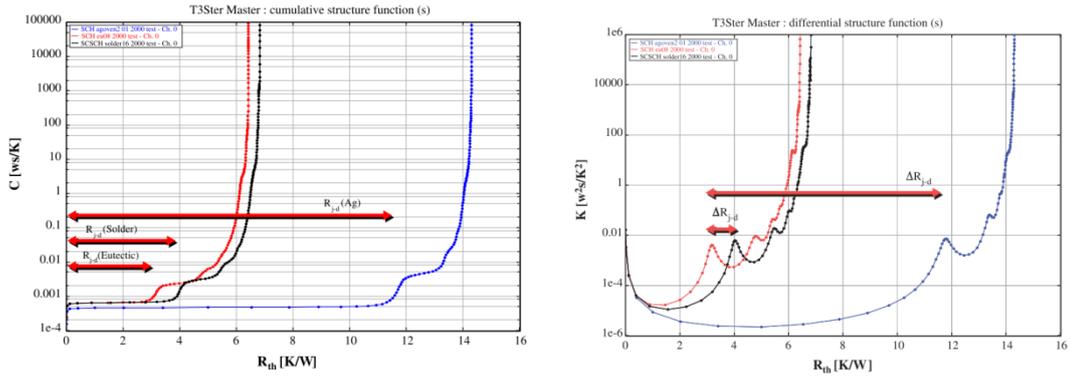


圖 4.26：藉由 RC, KR 曲線定量分析晶粒黏著品質好壞

因此我們結合[11]與[12]，使用 T3ster 暫態熱電阻量測，去定量晶粒黏著封裝製程中的界面缺陷，並且是以封裝條件去比較差異。提供了一個新的非破壞性檢測封裝好壞的方法。其量測接線圖為圖 4.27，由於半導體雷射元件簡易封裝完之後，底部 Submount 為絕緣體。因此我們使用雙探針方式下探針，其探針座架設如圖 4.28。

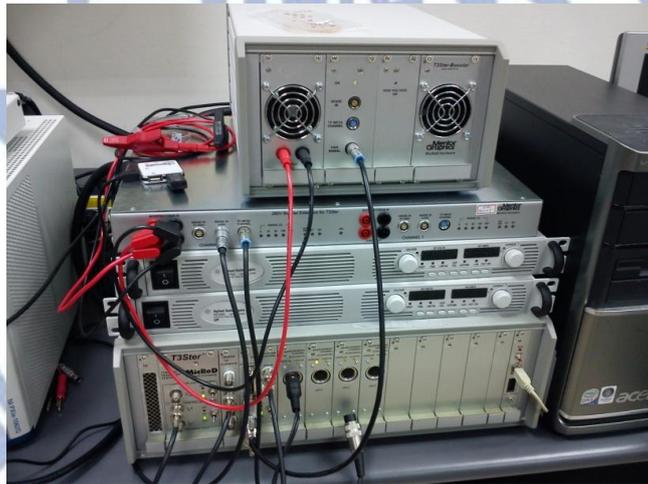


圖 4.27：T3ster 量測架設圖

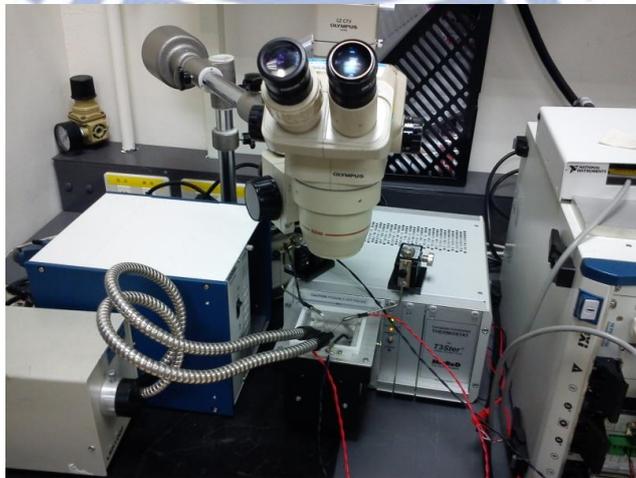


圖 4.28：T3ster 探針座架設平台

## 4-4 實驗整體流程

圖 4.29 為本論文整體實驗流程。元件主要分成小尺寸 250 與大尺寸 500。小尺寸主要目的是拿來做元件封裝實驗，而大尺寸主要目的是用來分析元件內部參數。因此小尺寸一開始是沒有做任何封裝的，而大尺寸元件已經請廠商做好封裝的準備。兩者當量測完 LIV 實驗之後，就可以進行功率餅圖的計算，小尺寸元件在一開始做 LIV CW 量測，元件大多都快速地達到熱飽和(Thermal Rollover)，在進行封裝之後，元件熱飽和現象獲得改善，因此可對比前後 LIV 之差異。另外小尺寸元件使用了不同參數的封裝，這些封裝完的成品會進行 LIV 量測與變溫量測，所得到的參數可讓我們進行元件熱模擬。而這些成品會拿去做 T3ster 量測，T3ster 量測可提供元件接面溫度的資訊與界面熱阻的大小。接面溫度可與元件熱模擬做比較，而界面熱阻大小可與 Bonding Window 做比較。

大尺寸元件提供了不同共振腔長度以利我們計算內部參數，同樣功率餅圖的計算也讓我們了解元件參數哪個部份需要做改善，另外同時會進行變溫量測，以求得我們元件熱模擬所需的參數。由於廠商封裝的條件已非常成熟，我們可以同樣再做 T3ster 量測獲得與元件熱模擬的比較，以及與我們自行封裝的元件做封裝優劣的比較。最後大尺寸元件所得到的內部參數配合我們使用的計算，可獲得對功率效率最大值的討論。

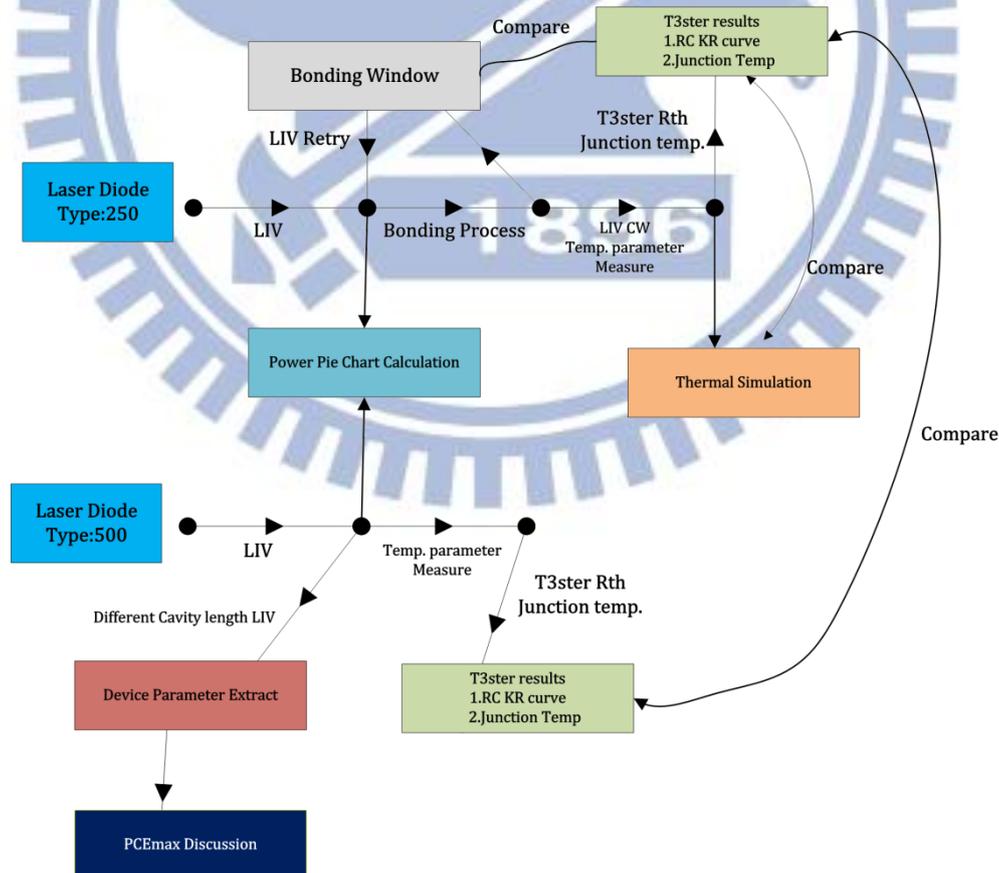


圖 4.29：整體實驗流程

## 第五章 實驗結果與討論

### 5-1 界面熱阻與封裝條件比較

我們使用的封裝條件為 290°C-330°C、2g-10g，將不同樣品放在圖 4.28 的控溫座上。但由於控溫座表面與元件並無使用任何附著性的高熱導性黏膠，因此我們測試出來的 RC 曲線後方會有一高熱阻區域，如圖 5.1 所示。此區域為元件與控溫座之間的熱阻，此熱阻大部份為空氣所造成，由於元件本身與控溫座一定存在著空氣。因此我們不予討論後方此高熱阻現象。圖 5.2 與圖 5.3 為我們針對高熱阻區域之前所畫的元件 RC 曲線與對 RC 曲線做一次微分的  $\mathcal{K}R$  曲線。以範例圖為例，已標示了曲線每個轉折點所代表的元件結構部份。由於我們的封裝僅只包含了 Chip/Solder Joint/Submount 的部份，因此可以從圖 5.2 看出曲線在 30(K/W) 之前僅具兩個斜率平滑區域。此兩個區域即為界面熱阻。分別為 chip 與 Solder Joint 的界面與 Solder Joint 與 Submount 的界面。由於我們的元件是屬於 Mount3 的方式，因此對 Solder Joint 來說，兩側的界面都會受到封裝條件影響。我們定義 (5-1) 為不同封裝條件所比較的值，它所代表的意義與 [12] 的  $R_{J-die}$  相同，為 chip 中心經過界面熱阻至 Solder Joint 中心的總熱阻量。此熱阻量包含了中間的界面熱阻值與 chip 中心至界面的熱阻及 Solder Joint 中心至界面的熱阻。我們可以觀察出此值即為原點至  $\mathcal{K}R$  曲線的第一個極值的熱阻。 $\mathcal{K}R$  曲線極值的含意如 (4-16) 公式，代表每個 bulk 區域中的面積最大點。由於 Chip 本身體積極小所以真正的第一個極值點幾乎貼近原點。

至於為何要定義這個  $\Delta R$  值，是因為使用 RC 曲線觀察 chip 與 solder 之間的界面熱阻，其斜率平緩的兩端點如果去讀值找出界面熱阻值，會有人為上取值的誤差問題。因此使用  $\mathcal{K}R$  曲線中讀取 Peak Value 為較為科學的作法。我們所量測的所有封裝條件對  $\Delta R$  的結果如表 5.1。

$$\Delta R = \Delta R_{Chip/Solder} = R_{J-die} = \text{Origin to one Peak Value} \quad (5-1)$$

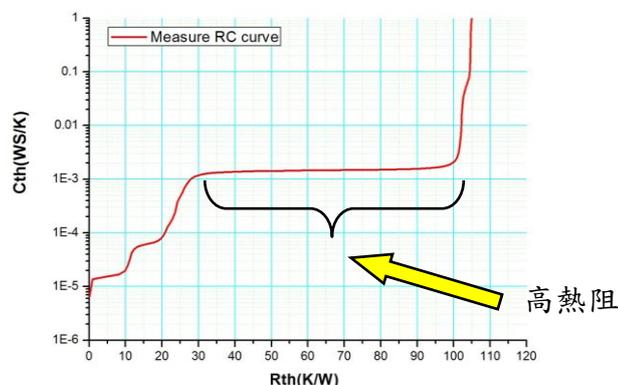


圖 5.1：T3ster 暫態熱電阻量測 RC 曲線

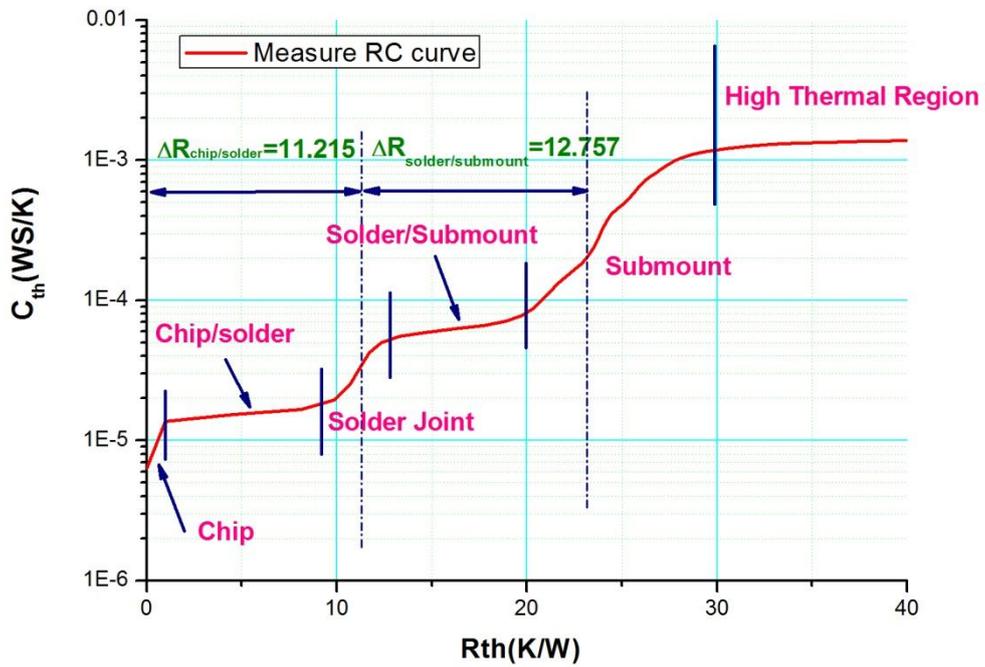


圖 5.2：元件 RC 量測曲線

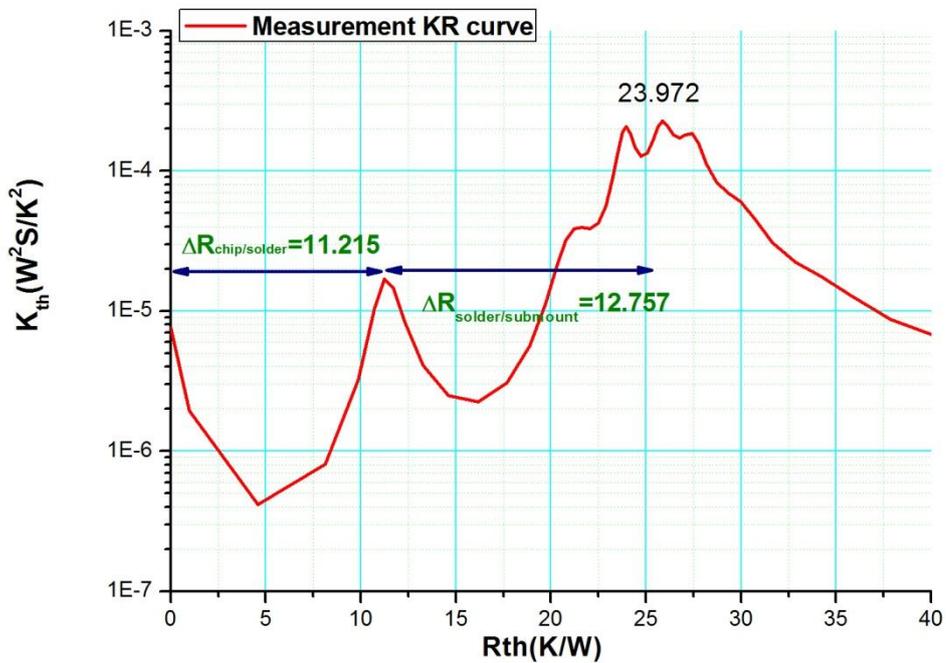


圖 5.3：元件 KR 量測曲線

我們可以看出 $\Delta R$ 與封裝條件的趨勢性。可以歸納出我們此元件的最佳封裝條件為 Bonding Force=6g、Bonding Temp.=310°C，最佳界面熱阻值為 6.64(K/W)， $JCR$ 曲線如圖 5.4。另外我們同時量測了廠商所進行封裝的大尺寸 500 $\mu m$ 之元件進行比較圖 5.5，也與[12]封裝結果作比較圖 5.6。

500x1500 大尺寸元件之量測 $\Delta R = 0.974(K/W)$ 、[12]之 $\Delta R = 3.56(K/W)$ 。由於三個元件大小不盡相同，我們使用的封裝晶片尺寸較小，因此熱阻相對也會較高。因此我們必須在同一尺寸規格下比較 $\Delta R$ 值才有意義。透過熱阻(5-2)與電阻(5-3)之類似概念[26]，可獲得(5-4)。其計算的等效熱電阻為 250x600 晶片若放大尺寸之後，其對應的阻值為何。這邊必須特別注意，此式成立在晶片在磊晶結構方向上幾乎相同，由於我們的 250x600 封裝測試晶片與 500x1500 廠商封裝之晶片其磊晶結構完全相同，因此可以如此交叉比較我們封裝的品質好壞。而[12]的磊晶晶片與我們的結構完全不同， $L$ （磊晶方向長度）與 $k$ （熱傳導率）無法確定的情況下我們無法做確切的等效熱電阻轉換。

至於我們將 250x600 封裝測試晶片 $\Delta R$ 等效轉換成 500x1500 廠商封裝之晶片其結果為表 5.2。可以看出我們最好封裝條件下的 $\Delta R_{eff} = 1.107(K/W)$ ，代表廠商封裝的結果仍然比較好。此結果我們可以猜測其原因。

（一）封裝條件解析度不夠：我們可以看到封裝條件雖有最低 $\Delta R$ 之趨勢，但在 Bonding Force 的解析度上或許不太足夠。

（二）P-side up 封裝：由於我們為了確保這些封裝晶片之電性正常，選擇使用一系列的 P-side up 封裝測試。但由於 P-N 兩側 contact 之金屬成份並不相同，N 極所含的 Ni layer 會對 AuSn 的 Solder Joint 帶來影響[11]。

（三）AuSn 品質差異：圖 5.7 與圖 5.8 為 AuSn 在經過共熔之後固化表面圖。我們選用的部份 AuSn 共熔後固化為圖 5.7，廠商封裝的 AuSn 共熔後固化為圖 5.8。由於實際封裝過程中 Solder Joint 中的各金屬含量變化極為複雜，因此 AuSn 的品質優劣對於封裝優劣有決定性的影響。

6g	Bonding Temp.					Origin Rth
T(°C)	290	300	310	320	330	
$\Delta R(K/W)$	13.29	11.215	6.644	8.87	9.81	Rth
310°C	Bonding Force					Origin Rth
Force(g)	2	4	6	8	10	
$\Delta R(K/W)$	11.86	9.87	6.64	9.54	10.317	Rth

表 5.1：封裝條件與 $\Delta R$ 之比較值

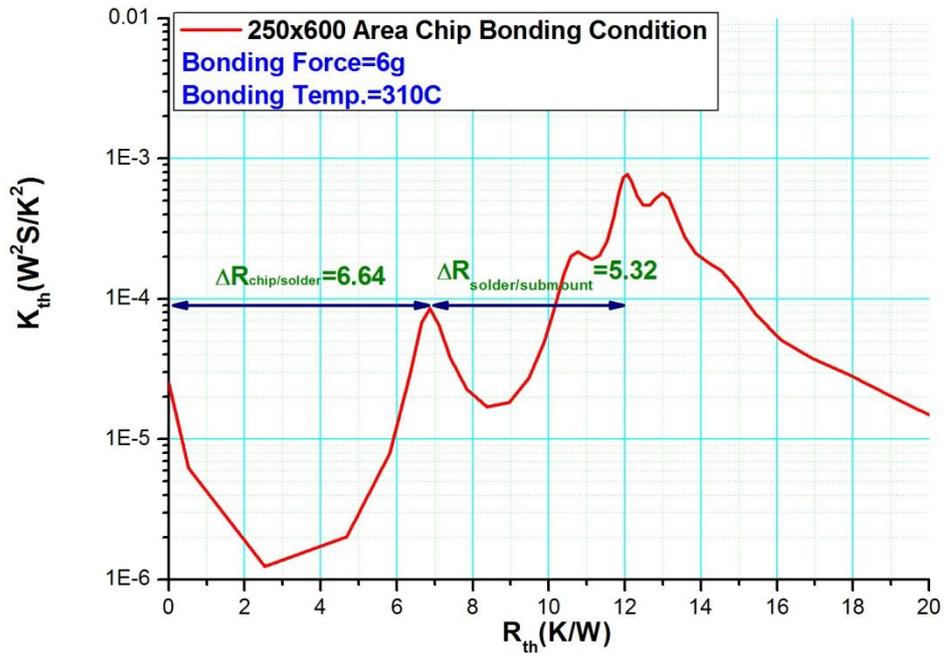


圖 5.4：250x600 小尺寸元件自行封裝之KR圖

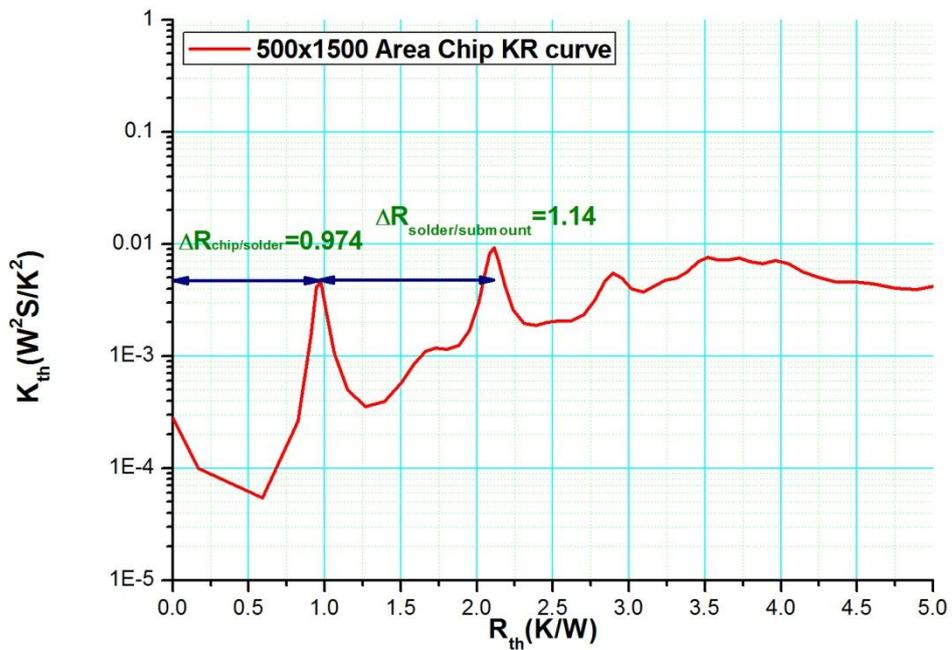


圖 5.5：500 x1500 大尺寸元件廠商封裝之KR圖

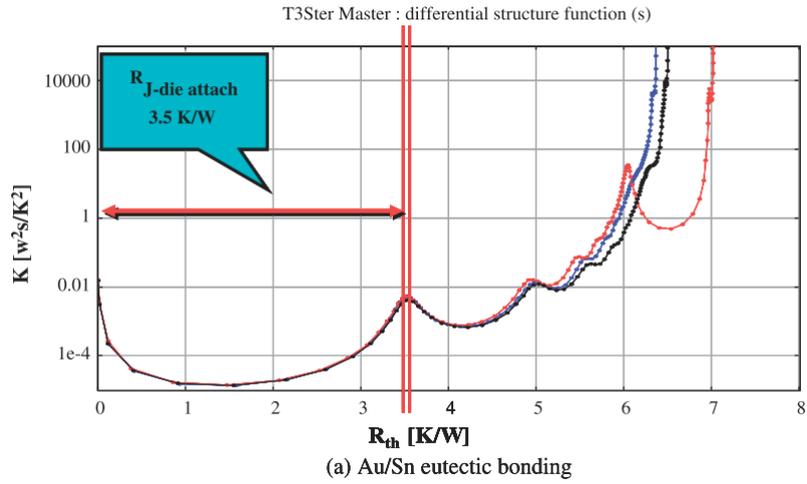


圖 5.6：900x900LED 元件封裝之KR圖

(5-2)

$$\Delta R_{th} = \frac{L}{kA}$$

(5-3)

$$R_e = \frac{L}{\sigma A}$$

(5-4)

$$\Delta R_{th,eff} = \Delta R_{th} \frac{A_{before}}{A_{after}}$$

6g	Bonding Temp.					Effective Rth
T(°C)	290	300	310	320	330	
$\Delta R_{eff}$ (K/W)	2.215	1.87	1.107	1.478	1.635	
310°C	Bonding Force					Effective Rth
Force(g)	2	4	6	8	10	
$\Delta R_{eff}$ (K/W)	1.98	1.645	1.107	1.59	1.72	

表 5.2：封裝條件與 $\Delta R_{eff}$ 之比較值

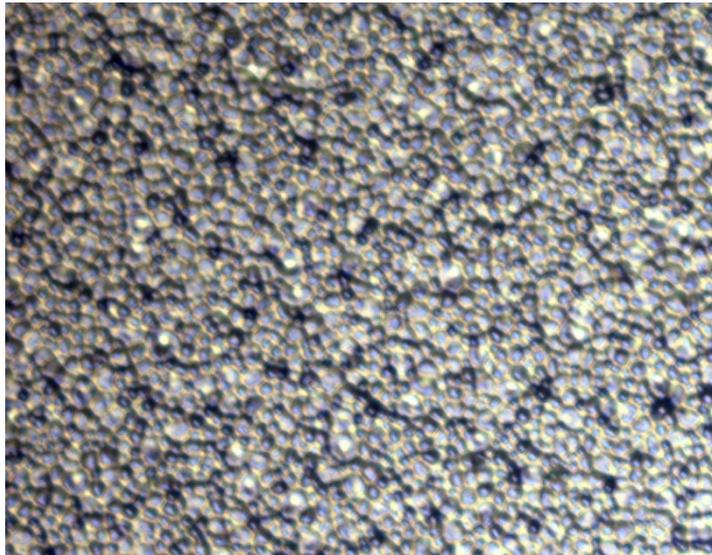


圖 5.7：部份 AuSn 共熔後固化表面圖

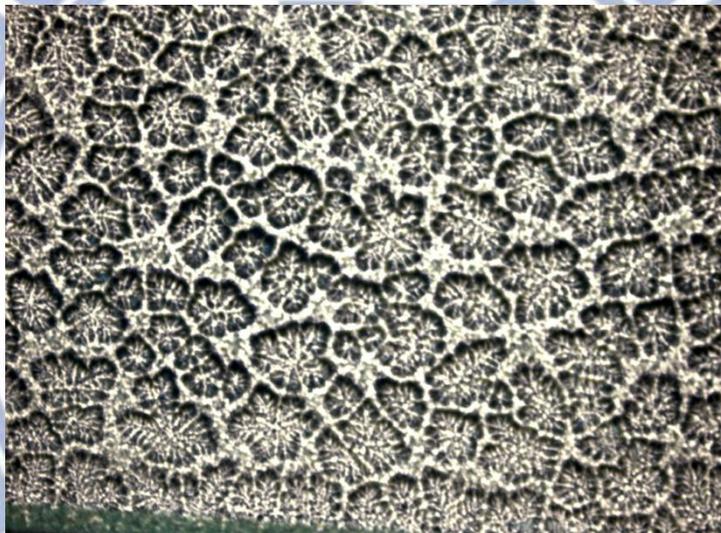


圖 5.8：廠商封裝 AuSn 共熔後固化表面圖

## 5-2 封裝元件光性結果與討論

我們將上節獲得的最佳封裝參數進行 Mount1 及 Mount2 的封裝，並且 P side up 與 P side down 皆封裝以比較兩者之差異性。我們針對[11]的 Unbonded 與 Bonded LD LIV 做比較。圖 5.9 為[11]所提供的比較圖。圖中實線部份為 Unbonded 元件、虛線部份為 Bonded 元件。我們定義 $I_{roll}$ 為元件光性熱飽和，微分量子效率接近零時的電流大小。 $P_{roll}$ 為微分量子效率接近零時的出光功率。我們可以觀察出[11]的 Unbonded 元件其 $I_{roll}$ 約為 170mA、 $P_{roll}$ 約為 53mW。Bonded 元件其 $I_{roll}$ 約為 375mA、 $P_{roll}$ 約為 150mW。

圖 5.10 為我們的 250x600 的小尺寸元件使用最佳封裝條件下的 LIV 比較圖。Unbonded 元件其 $I_{roll}$ 約為 320mA、 $P_{roll}$ 約為 135mW。P side up Bonded 元件其 $I_{roll}$ 約為 900mA、 $P_{roll}$ 約為 700mW。由於我們的 CW 電流源最多僅能操作到 1A，因此 P side down Bonded 元件其 $I_{roll} > 1000\text{mA}$ 、 $P_{roll} > 830\text{mW}$ 。依照它 Rollover 的狀態預估 $I_{roll}$ 接近 1100mA~1200mA、 $P_{roll} \sim 1\text{W}$ 。表 5.3 為本論文與[11]的 LIV 比較表。

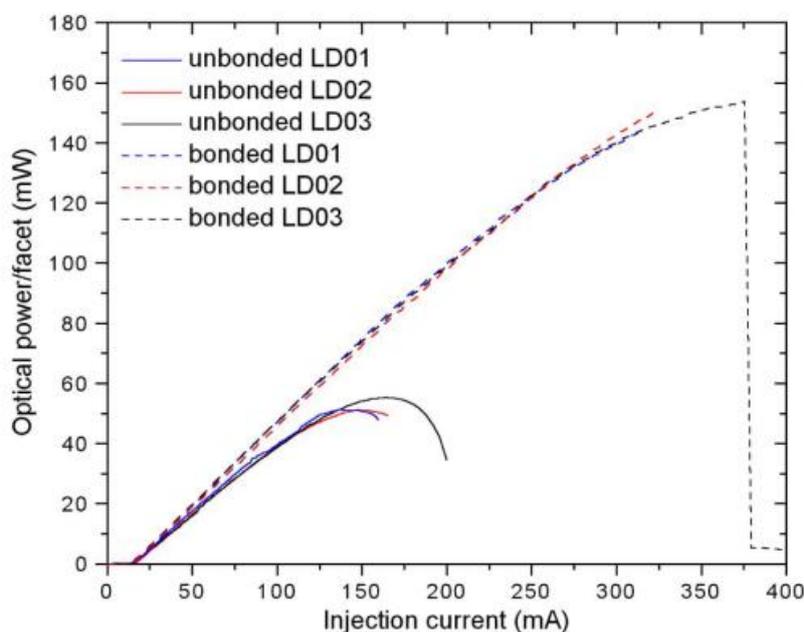


圖 5.9：參考文獻 Unbonded LD 與 Bonded LD LIV 比較

\*實線部份為 unbonded 元件

\*虛線部份為 bonded 元件

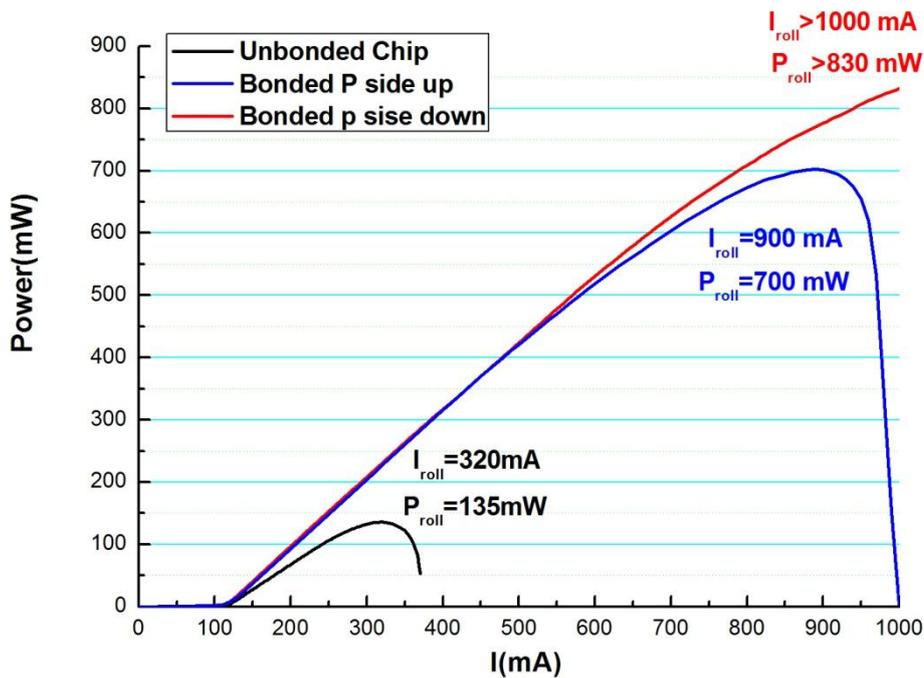


圖 5.10：250x600 小尺寸元件封裝 LIV 比較

Rollover Compare	[11]	本論文	
<b>Unbonded Data</b>			
$I_{roll}(mA)$	~170	320	
$P_{roll}(mw)$	~53	135	
<b>Bonded Data</b>			
<b>Bonded Type</b>	<b>P side down</b>	<b>P side up</b>	<b>P side down</b>
$I_{roll}(mA)$	375	900	>1000
$P_{roll}(mw)$	150	700	>830

表 5.3：雷射元件熱飽和結果比較

雖然我們在 5-1 小節中所測試出的最佳封裝品質結果略遜於廠商封裝結果。但其封裝元件 LIV 成功將熱飽和延後超過 700mA，讓原 Unbonded 元件 CW 操作約 130mW 的出光能力，透過封裝可提升至接近 1W。我們也成功地比較封裝條件與暫態熱電阻之關係，提供了未來大家使用非破壞性量測檢測封裝優劣的方法可行性。

### 5-3 最佳效率共振腔討論

為了能計算元件功率轉換效率與共振腔長度關係，必須使用第二章所提的雷射參數萃取，我們取五種以上的共振腔做參數萃取，以獲得 $\eta_i$ 、 $\alpha_i$ 、 $g_{0,mod}$ 、 $J_{tr}$ 。圖 5.11 為內部量子效率 $\eta_i$ 與內部損耗之萃取圖 $\alpha_i$ 。圖 5.12 為模增益常數 $g_{0,mod}$ 與透明電流密度 $J_{tr}$ 之萃取圖。我們將兩種元件萃取參數表列在表 5.4。Sample A、B 磊晶結構與元件形式如圖 5.13 與圖 5.14 所示。

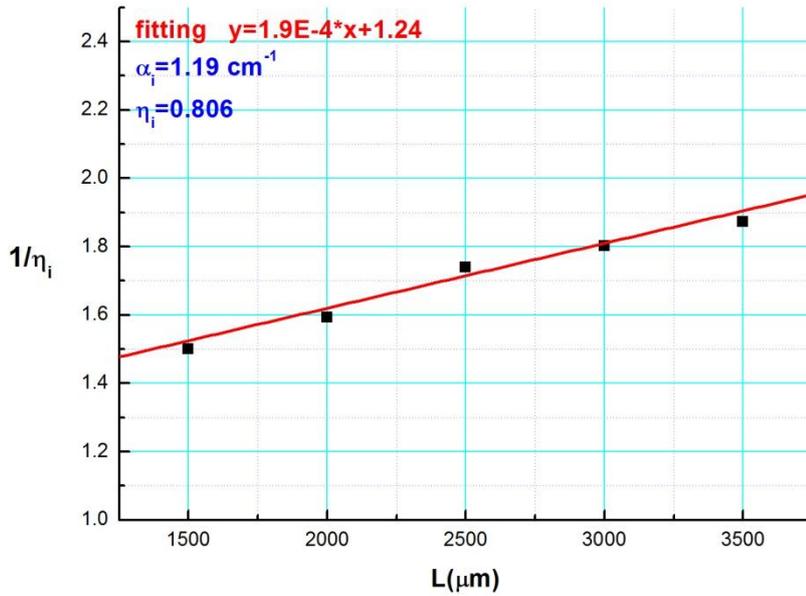


圖 5.11：元件參數 $\eta_i$ 、 $\alpha_i$ 萃取圖

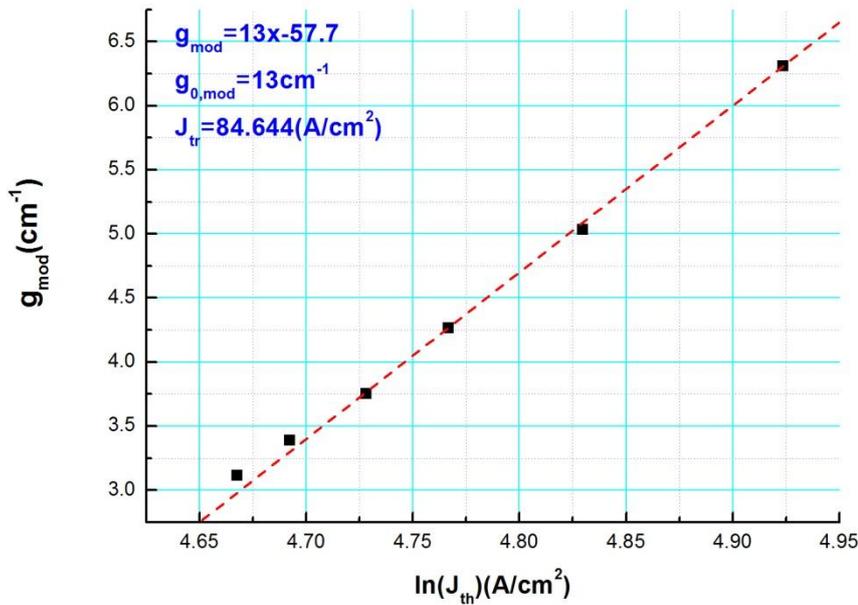


圖 5.12：元件參數 $g_{0,mod}$ 、 $J_{tr}$ 萃取圖

我們可以看到對於內部損耗來說，SampleA 元件大於 SampleB 元件約  $0.384(\text{cm}^{-1})$ ，內部量子效率 SampleA 高於 SampleB 約 0.05。Modal gain coefficient SampleA 高於 SampleB 約  $3.5(\text{cm}^{-1})$ 。透明電流密度 SampleA 高於 SampleB 約  $49.36(\text{A}/\text{cm}^2)$ 。

Laser Parameter	Sample A Device	Sample B Device
$\alpha_i(\text{cm}^{-1})$	1.574	1.19
$\eta_i$	0.855	0.805
$g_{0,mod}(\text{cm}^{-1})$	16.5	13
$J_{tr}(\text{A}/\text{cm}^2)$	136	84.64

表 5.4：Sample A、B 雷射參數表

P_Contact Au/Ti/Au/Pt/Ti	P_Contact Au/Ti/Au/Pt/Ti
P_Cap layer 210nm	P_Cap layer 200nm
P_Cladding Layer $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 1200nm	P_Cladding Layer $\text{Al}_{0.67}\text{Ga}_{0.33}\text{As}$ 1500nm
Waveguide layer $\text{Al}_{0.45}\text{Ga}_{0.55}\text{As}$ 500nm	Waveguide layer $\text{Al}_{0.45}\text{Ga}_{0.55}\text{As}$ 1000nm
GaAsP QW 20nm	GaAsP QW 20nm
Waveguide layer $\text{Al}_{0.45}\text{Ga}_{0.55}\text{As}$ 500nm	Waveguide layer $\text{Al}_{0.45}\text{Ga}_{0.55}\text{As}$ 1000nm
N_Cladding Layer $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 1500nm	N_Cladding Layer $\text{Al}_{0.67}\text{Ga}_{0.33}\text{As}$ 2200nm
N_Buffer layer 500nm	N_Buffer layer 500nm
N-GaAs Substrate $\sim 97\mu\text{m}$	N-GaAs Substrate $\sim 97\mu\text{m}$
N_Contact AuGe/Ni/Au	N_Contact AuGe/Ni/Au

圖 5.13：808nm BALD\_Sample A、B 磊晶結構

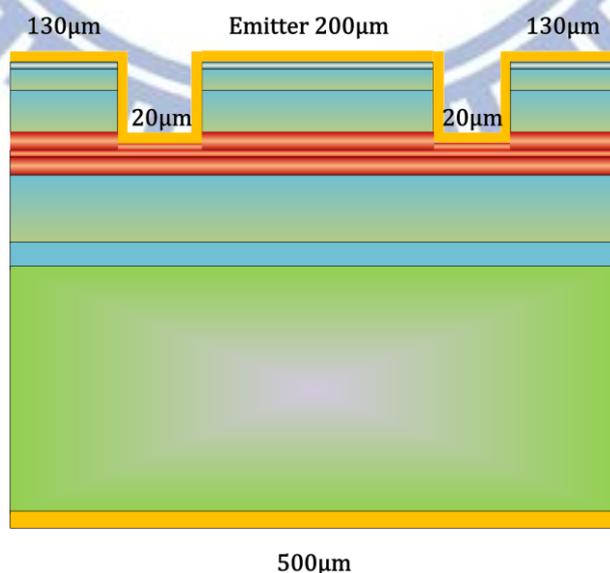


圖 5.14：Emitter 200µm，Size 500µm 之 4W 操作元件結構圖

圖 5.15 與圖 5.16 分別為計算最佳共振腔長度、功率轉換效率對共振腔長度作圖。由(2-19)我們可計算 $f(L)$ 交於 $f = 1$ 時最佳共振腔長度為何。兩種不同元件 Sample A、Sample B 在計算結果上，Sample A 最佳共振腔長度為  $1252\mu m$ ，Sample B 最佳共振腔長度為  $1464\mu m$ 。其參數計算結果說明，本元件的雷射參數計算值剛好非常接近  $1500\mu m$ 。若是元件最佳共振腔長度越接近本身設計共振腔長度，功率轉換效率可以做最有效的使用。我們可以由圖 5.14 觀察不同元件 PCE 對於共振腔長度加長的下降比率。我們的兩種元件在  $1500\mu m$  到  $4000\mu m$  功率下降比例，Sample A 為 7 至 8%、Sample B 為 5%。可以看到兩種元件在  $g_{0,mod}$ 、 $J_{tr}$ 、 $\eta_i$ 、 $\alpha_i$  的不同，導致在功率轉換效率最大值在共振腔長度變化上分佈並不相同。

我們使用 Sample B 的元件，計算不同參數下可能的 PCE,max 的分佈。圖 5.17 為模增益常數  $g_{0,mod}$  (Modal gain coefficient) 對 PCE,max 的變化，可以看到當  $g_{0,mod}$  上升時，PCE,max 改變得方向是往短共振腔的方向提高，並且在長共振腔的區域，PCE,max 幾乎沒上升。圖 5.18 為透明電流密度  $J_{tr}$  對 PCE,max 的變化。此參數的結果與 Internal quantum efficiency 增高的結果相同，PCE,max 整體無論共振腔長度多少都一起上升。圖 5.19 為內部損耗  $\alpha_i$  對 PCE,max 的變化，可以看到 PCE,max 在長共振腔區域，隨著內部損耗下降，PCE,max 有效率地上升。這幾個參數變化的綜合結果如圖 5.20 所示，模增益常數  $g_{0,mod}$  主控了短共振腔區域的 PCE,max 上升，為藍色線所標示。內部損耗  $\alpha_i$  主控了整個長共振腔區域的 PCE,max 上升，為紅色線所標示。透明電流密度  $J_{tr}$ 、內部量子效率  $\eta_i$  主控了整體全域的 PCE,max 的大小，為綠色線所標示。

因此我們也可以解釋， $g_{0,mod}$  主要會決定最佳效率共振腔的位置。若是  $g_{0,mod}$  大一點，則最佳效率共振腔往短共振腔方向移動。但若是  $\alpha_i$  小一點，整體的 PCE,max 雖靠近長共振腔區域的值都大量提高，但 Peak 點幾乎不太會移動。

反過來說， $\alpha_i$  大小決定了長共振腔下，PCE,max 的效率跌落速度（效率隨共振腔下降的多寡）。當  $\alpha_i$  較小時，長共振腔的效率與短共振腔的效率差異相差不大，這樣的結果有利於高功率半導體雷射在長共振腔下有效率地操作，更可以抵抗 COD[27]，如圖 5.21 所示。並且由於  $\alpha_i$  的不同，最後相同共振腔變化下所量測的 Means  $P_{COD}$  趨勢也會不同。

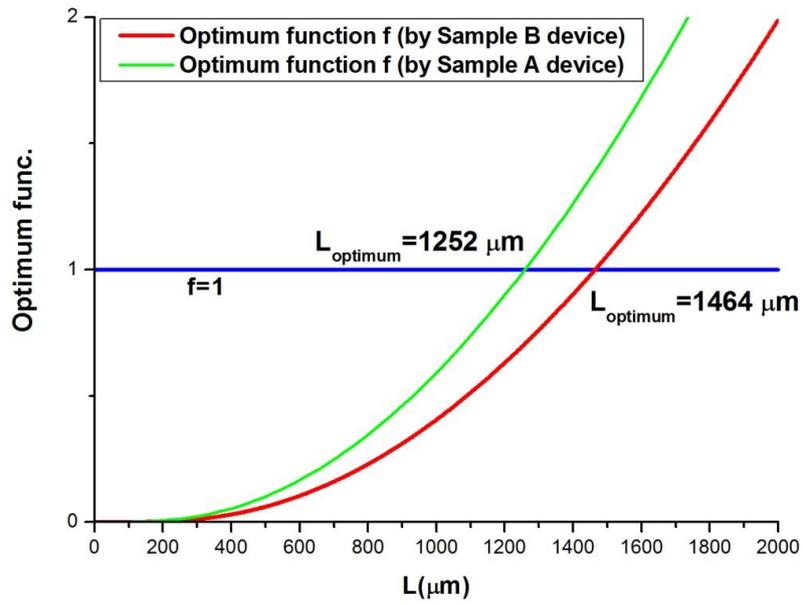


圖 5.15：最佳共振腔長度計算

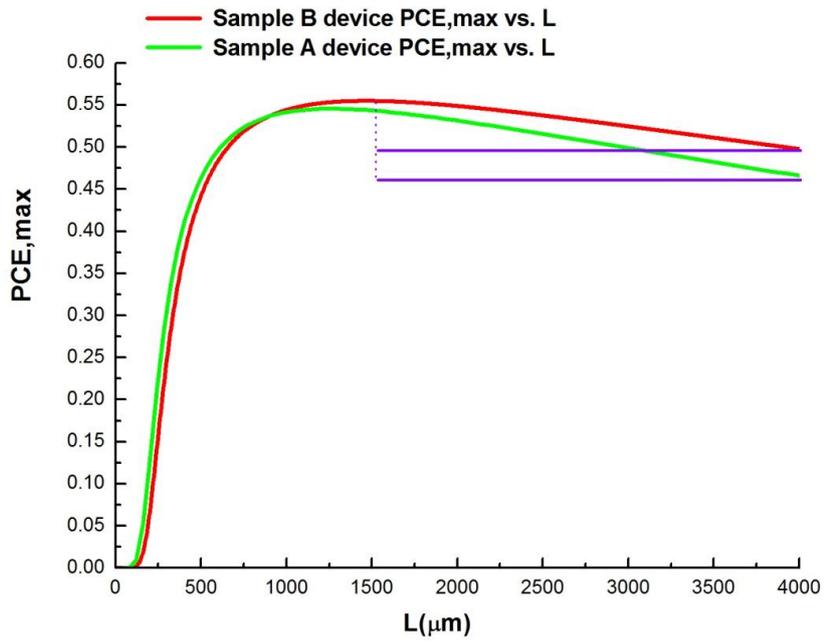


圖 5.16：PCE,max 對共振腔長度作圖

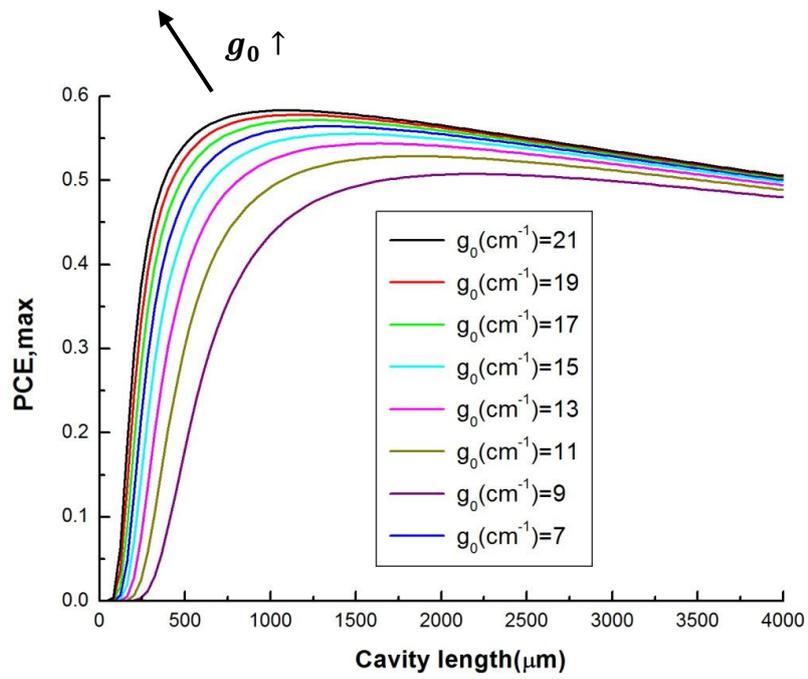


圖 5.17：模增益常數與 PCE,max 關係

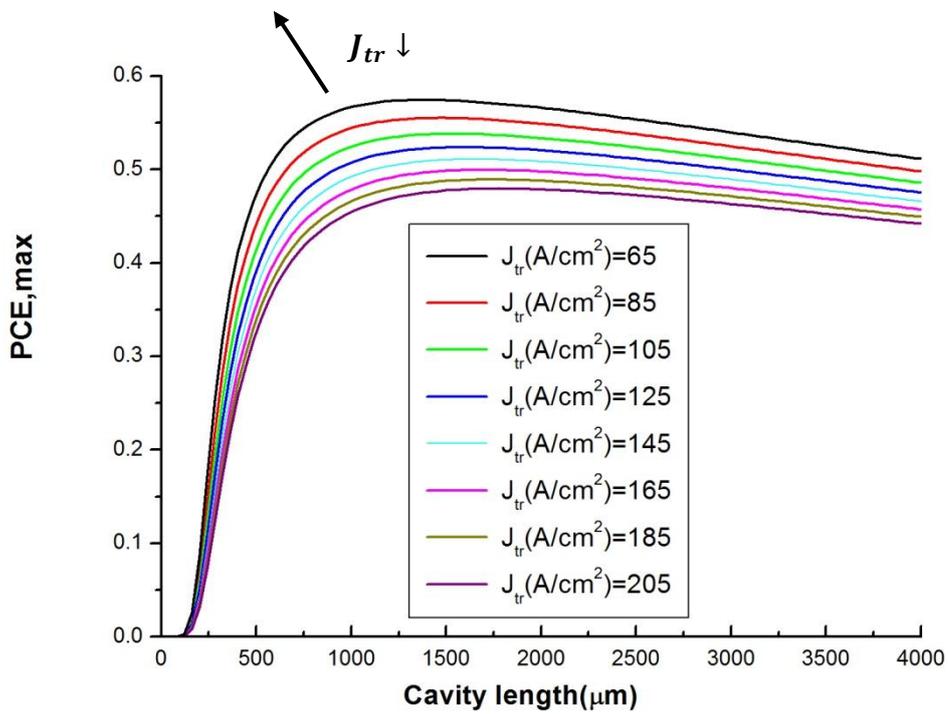


圖 5.18：透明電流密度與 PCE,max 關係

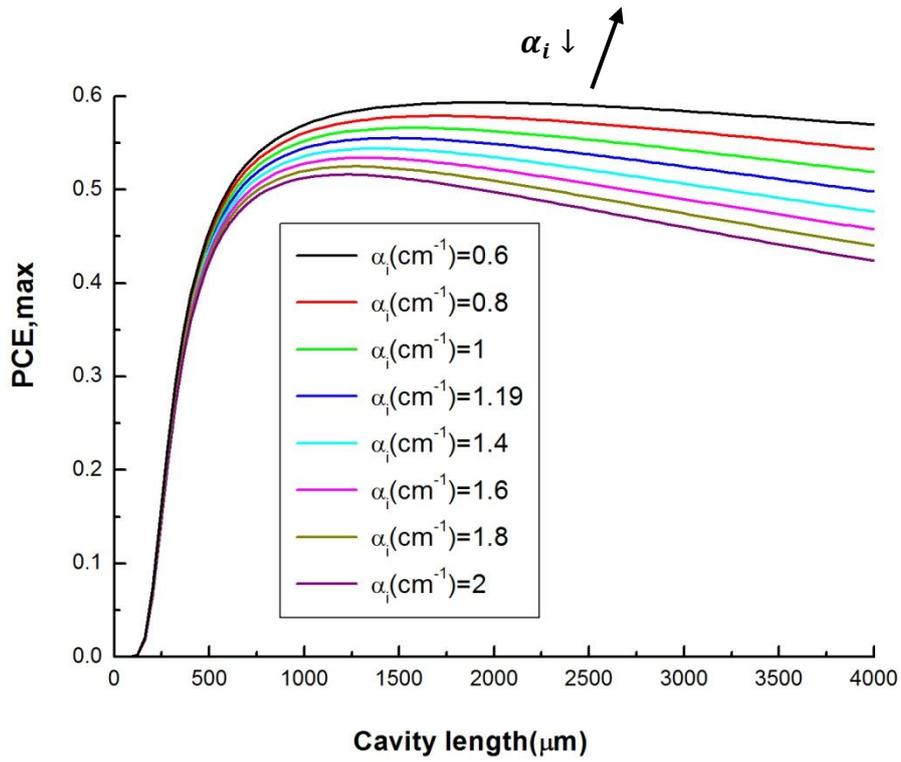


圖 5.19：內部損耗與  $PCE_{,max}$  關係

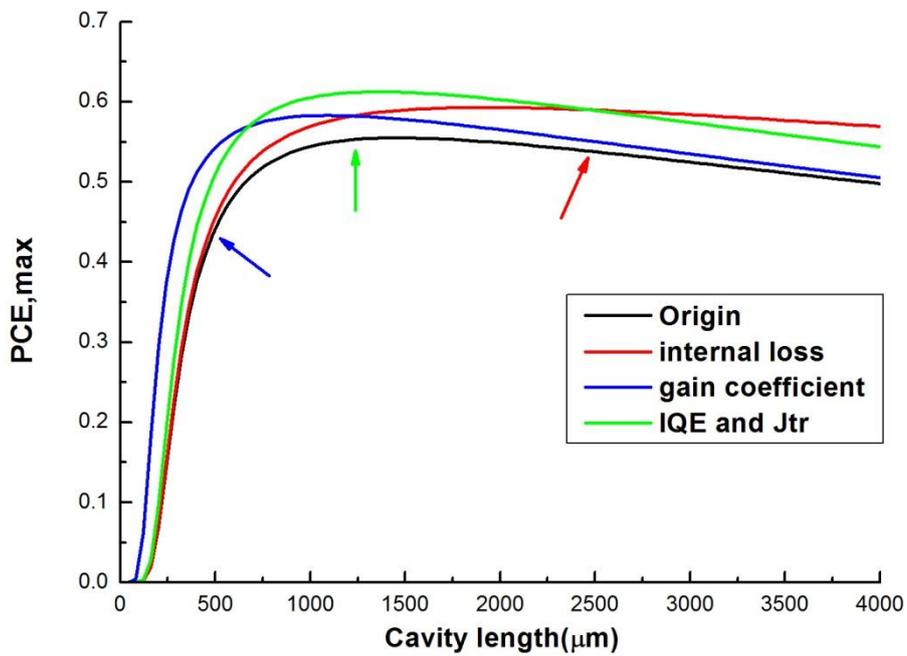


圖 5.20：內部參數對  $PCE_{,max}$  改變之影響

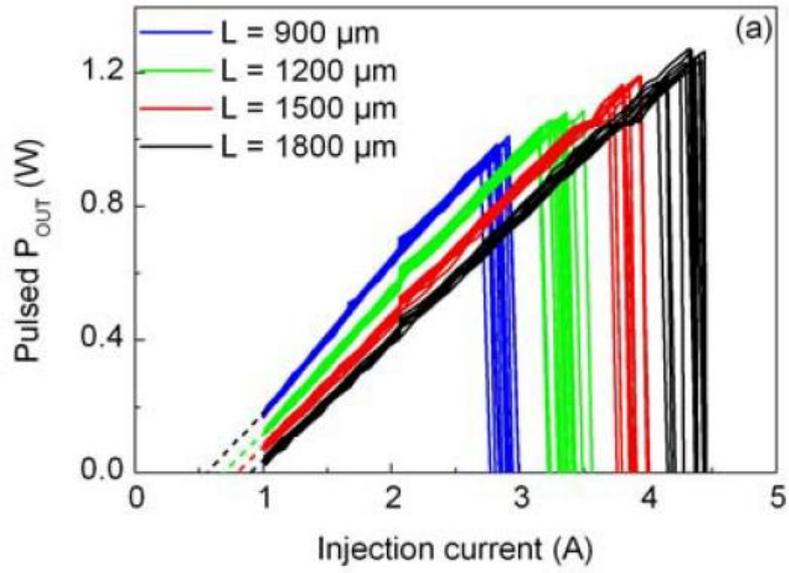


圖 5.21：元件 COD power 與共振腔長度關係



## 5-4 功率餅圖計算與討論

我們使用 L-I-V 量測元件為以下七組元件：SA/150/05596、SA/150/I0496、SB/150/2298、SB/150/05596、SB/150/I0496、SB/200/2298、SB/200/05596。數字代表意義為元件磊晶種類 (SA=Sample A, SB=Sample B, 內部參數差異為表 5.4 所示)、電流阻擋層長度 ( $\mu\text{m}$ )、鏡面鍍膜反射率。2298 為反射率 22%、98%，05596 為反射率 5.5%、96%。I0496 為反射率 4%、96%。

下列功率餅圖計算元件共振腔為  $1500\ \mu\text{m}$ 。圖 5.22 為 SB/150/05596 的 LI 量測結果。本論文使用的量測 Current Source 如第四章量測系統所提的 Keithley 2520，其操作極限為圖 4.1。我們使用第二章所提的功率餅圖計算(2-7)，將輸入功率拆解成四個分項，分別是 Output Power、Voltage Defect (即為 Joule Heat)、Imperfect DQE (即為 Carrier Leakage)、Below threshold。我們使用(2-12)計算最高效率電流值，再以此電流值下的狀況計算功率餅圖。而所謂的電流阻擋層設計為圖 5.23 所示，靠近鏡面端兩側，Cap layer 做去除的動作。因此電流不會直接從雷射兩鏡面直接流過，此設計在於降低高操作電流下的 COD 問題。我們的元件分為  $150\ \mu\text{m}$  與  $200\ \mu\text{m}$  兩種設計。功率餅圖示意圖為圖 5.24 所示。

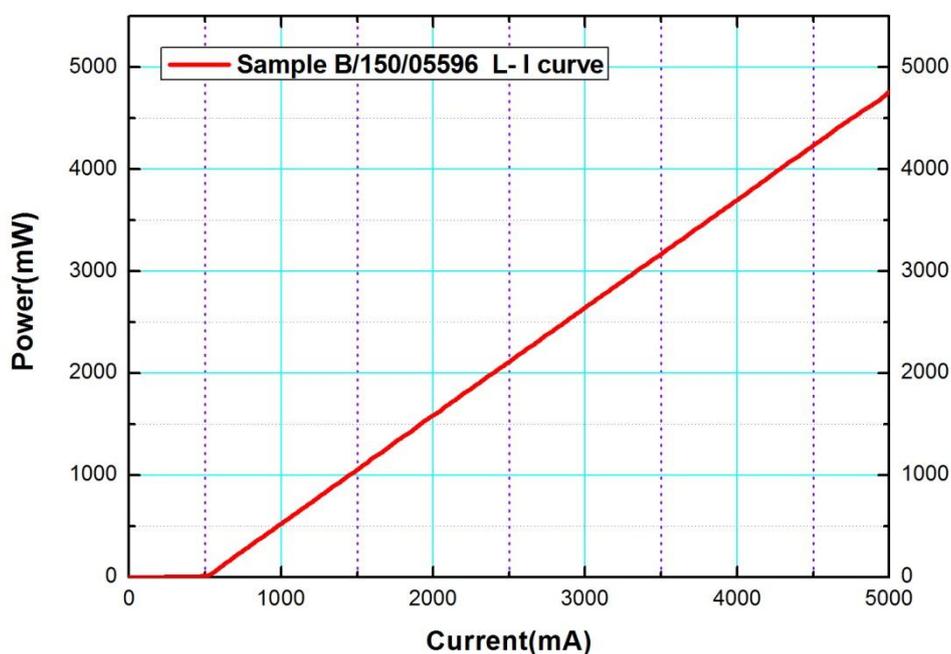


圖 5.22 : Sample B/150/05596\_LI Measure curve

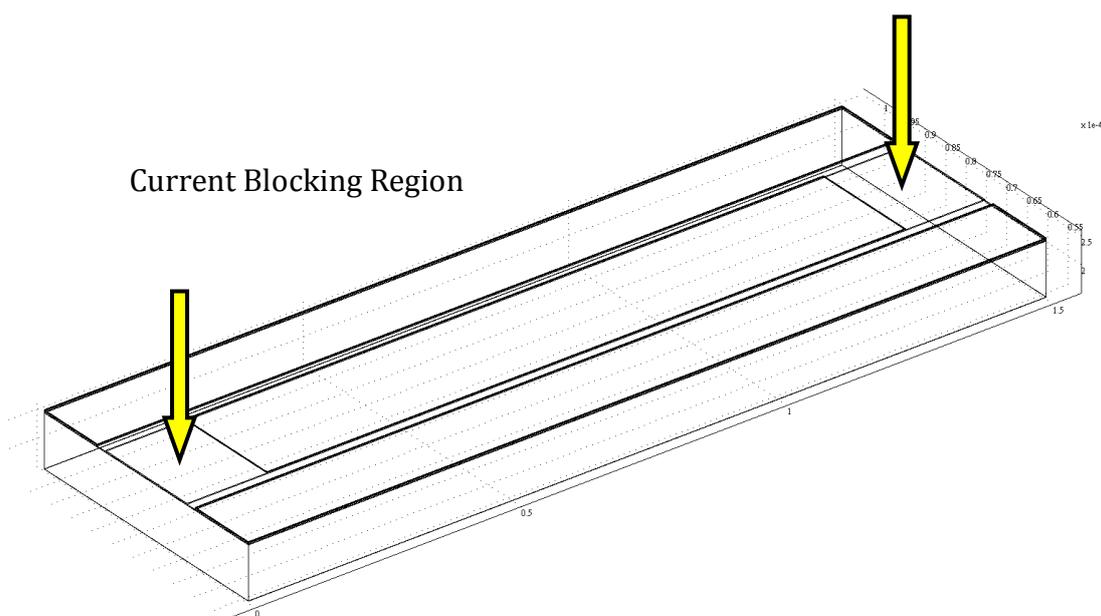


圖 5.23 : Current Blocking Region 元件示意圖

LD\_SampleB/200/1500/05596/PCE,max Pie Chart

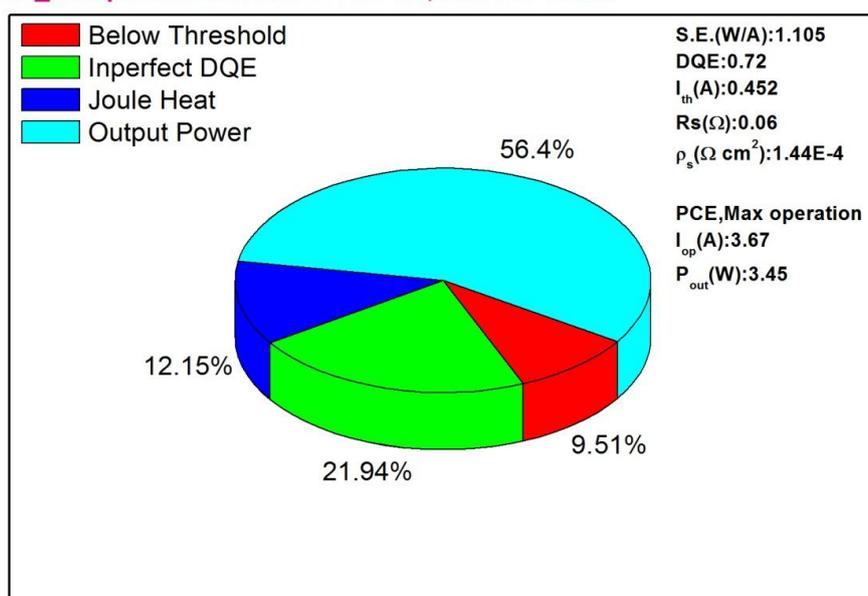


圖 5.24 : 功率轉換效率最大值下各元件功率餅圖

表 5.5 為所有元件的基本參數列表。S.E.為斜率效率 (Slope Efficiency)、DQE 為微分量子效率(Differential Quantum Efficiency)、 $I_{th}$ 為臨界電流 (Threshold Current)、 $I_{pccmax}$ 為最大效率電流值、PCE,max 為功率轉換效率最大值、 $P_{pccmax}$ 為最大功率轉換效率當時的出光功率、 $I_{op\_4w}$ 為出光功率操作之下當時所操作的電流值。表 5.6 為功率轉率最大值下之餅圖面積整理。表 5.7 為 4W 操作下之餅圖面積整理結果。

Sample	S.E.(W/A)	DQE	I <sub>th</sub> (A)	I <sub>pccmax</sub>	PCE,max	P <sub>pccmax</sub> (W)	I <sub>op_4w</sub>
SA/150/05596	1.138	0.7417	0.786	5.72	0.538	5.52	4.251
SA/150/I0496	1.145	0.746	0.829	5.903	0.536	5.71	4.484
SB/150/2298	1.02221	0.666	0.371	3.74	0.534	3.38	4.329
SB/150/05596	1.061	0.691	0.429	4.057	0.545	3.79	4.278
SB/150/I0496	1.1	0.72	0.445	4.14	0.565	4.02	4.139
SB/200/2298	1.04157	0.6787	0.374	3.757	0.544	3.467	4.281
SB/200/05596	1.105	0.72	0.452	4.175	0.564	4.046	4.181
Cavity length=1500μm      R <sub>s</sub> = 0.05Ω~0.06Ω      ρ <sub>s</sub> = 1.44 * 10 <sup>-4</sup> (Ω cm <sup>2</sup> )							

表 5.5：元件量測與計算參數表

At PCE,max Power Pie Chart Calculation				
Sample	Output Power	Voltage defect (Joule Heat)	Imperfect DQE (Carrier Leakage)	Below Threshold
SA/150/05596	53.79	15.92	18.73	11.55
SA/150/I0496	53.64	16.35	18.25	11.76
SB/150/2298	53.38	11.02	26.76	8.83
SB/150/05596	54.49	11.84	24.33	9.34
SB/150/I0496	56.49	12.06	21.99	9.46
SB/200/2298	54.35	11.07	25.73	8.86
SB/200/05596	56.4	12.15	21.94	9.51

表 5.6：功率轉換效率最大值下的功率餅圖比例表

At Output Power 4W Pie Chart Calculation				
Sample	Output Power	Voltage defect (Joule Heat)	imperfect DQE (Carrier Leakage)	Below Threshold
SA/150/05596	51.86	12.4	18.06	15.85
SA/150/I0496	51.37	15.52	17.48	15.63
SB/150/2298	53.26	12.54	26.7	7.5
SB/150/05596	54.47	12.41	24.32	8.8
SB/150/I0496	56.49	12.05	21.99	9.74
SB/200/2298	54.24	12.42	25.68	7.66
SB/200/05596	56.4	12.16	21.94	9.5

表 5.7：出光功率 4W 下的功率餅圖比例表

## 5-4-1 功率轉換效率最大操作

### (一) SA、SB 元件比較

我們可以從圖表整理發現，兩代元件在特性上的不同。對於 SA/150/I0496 and SB/150/I0496 之 SA、SB 的對比，在各自最好的功率轉換效率操作下，SB 整體效率提升了 2.85%。兩者元件的各自的參數列在表 5.5，可發現 SA 在微分量子效率上比 SB 高 0.026，但臨界電流也高出 384mA。這樣的結果在功率餅圖上的差距為 SA 元件的 imperfect DQE 分項會低於 SB 元件 3.74%，Below Threshold 百分比高出 SB 元件 2.3%。僅考慮微分量子效率與臨界電流的狀況下，SB 效率應比 SA 好上 1.44%。但是由表 5.6 可看出，兩者在最大效率電流點上，SA 由於高臨界電流關係，必須操作到 5.71A，反觀 SB 最大效率電流值為 4.14A。而兩代元件由於設計的關係，所以阻值非常接近，皆在  $0.05\Omega \sim 0.06\Omega$  之間。因此高電流操作下的 SA 的 Voltage defect 項高出 SB 元件 4.3%。因此我們可以說 SB 元件在功率轉換效率上贏過 SA 元件最大的優勢就在臨界電流小了 384mA。

圖 5.25 為此例子的功率變化比較。

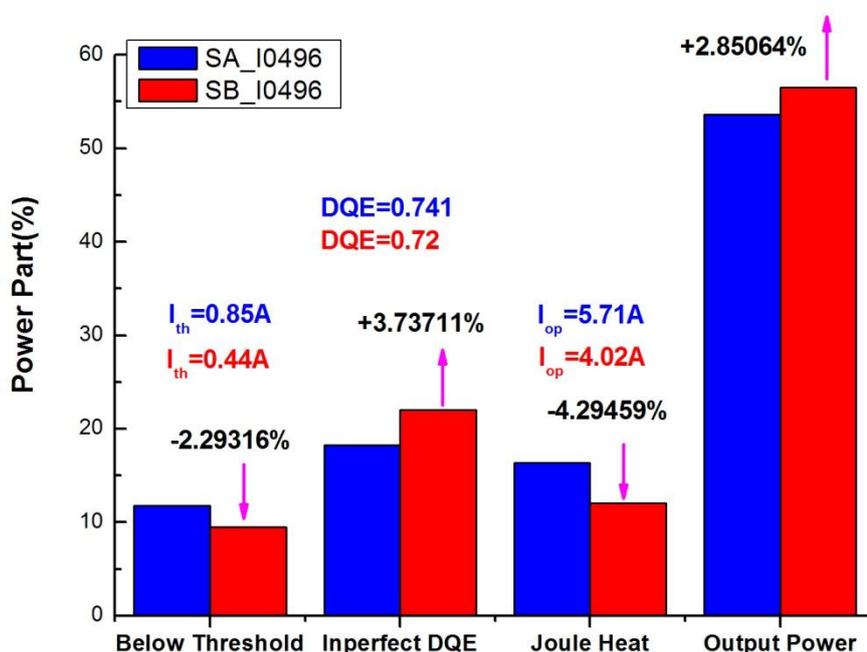


圖 5.25：SA、SB 兩種元件功率變化比較

## (二) 電流阻擋層設計比較

從圖表整理中發現，05596 元件電流阻擋層  $200\mu m$  在功率轉換效率最大的操作之下，比  $150\mu m$  高出 1.91%。由於元件的阻值都非常接近，所以當操作電流越高時 Voltage defect 越高。因此臨界電流的影響除了影響 Below threshold 以外，也影響了 Voltage defect 上升量。

依據功率餅圖的上升下降比例可以看出電流阻擋層的設計，對於高功率雷射，可以使元件功率轉換效率最大值上升。電流阻擋層的設計雖會造成臨界電流上升，但改善的微分量子品質帶來對功率轉換效率的效果大於臨界電流造成的結果。

圖 5.26 為電流阻擋層設計的功率比較圖。

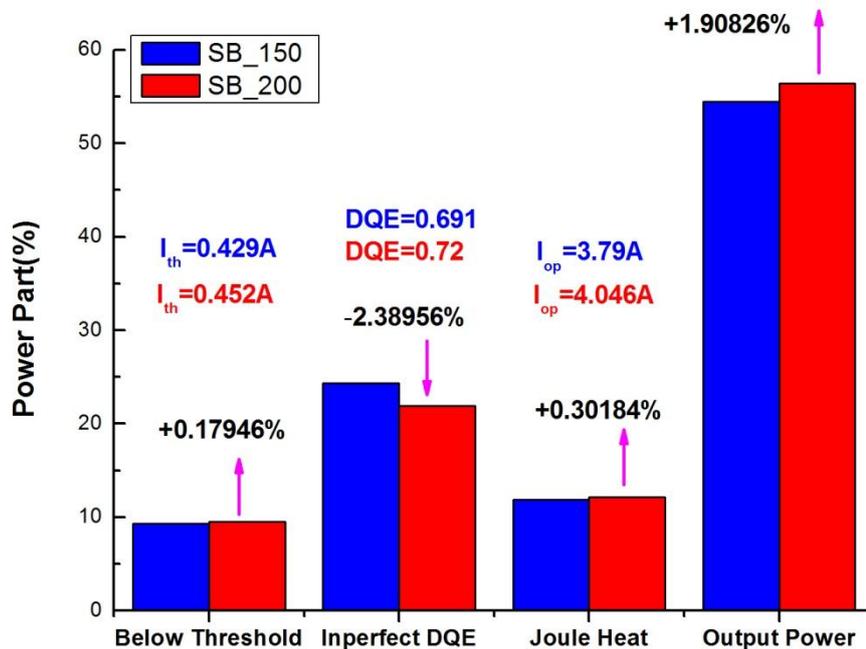


圖 5.26：電流阻擋層設計功率變化比較

關於電流阻擋層在功率轉換效率帶來的改變，我們以圖 5.27 與圖 5.28 來說明這件事。由於電流阻擋層的設計，電流注入在接近兩端鏡面的地方會呈現有彎曲程度的擴散不均勻性，然而電流的注入關係到注入載子，當電子電洞載子密度到達了臨界條件才會發出雷射光。我們以臨界條件前的角度來思考，靠近鏡面兩側的載子密度因阻擋層設計來得比中間正常注入的載子密度來得低。這樣的結果對於主動層來說，其真正的增益區域因此被縮減了，因此我們可以將它想成爲一個等效共振腔，此共振腔長度比原本的還短。但由於磊晶結構並無改變，以(2-4)來說，內部損耗與內部量子效率並無改變。而鏡面損耗因為等效共振腔的縮短而增加，導致 Threshold gain 上升，臨界電流上升，然而微分量子效率因鏡面損耗

的增加而上升。但對於大尺寸元件來說，此等效共振腔造成的 Threshold 上升量並不高，因此我們也可以說是犧牲了一些臨界電流帶來的效應，去增加出光效率，以達成更高的功率效率。圖 5.27 與圖 5.28 為電流阻擋層對於雷射元件的影響示意圖。另外從變溫 LIV 的溫度參數萃取中，我們也可以看到類似的結論，表 5.8 為溫度參數量測結果，可以看到同類型的磊晶結構元件，兩電流阻擋層長短不一的情況下，溫度參數  $T_1$  上升幅度較大、 $T_0$  下降幅度較小。從參數結果來看，電流阻擋層甚至影響了雷射元件對熱敏感的程度。當電流阻擋層長度加長時，微分量子效率越能抵抗主動層升溫帶來的效率下降，而在臨界電流上，雖然比起短的電流阻擋層更容易受熱影響，但是整體上升幅度並不高。圖 5.29，為微分量子效率受主動層溫度效率下降圖，可以看到電流阻擋層為  $200\mu\text{m}$  的 SB 元件，相較於  $150\mu\text{m}$ ，微分量子效率下降幅度更小。

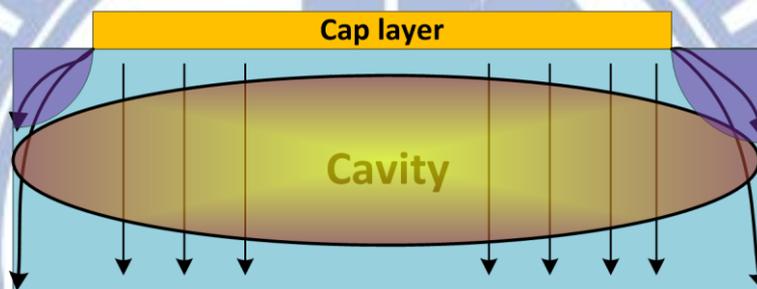


圖 5.27：Current Block Region 造成的鏡面附近載子密度降低示意圖

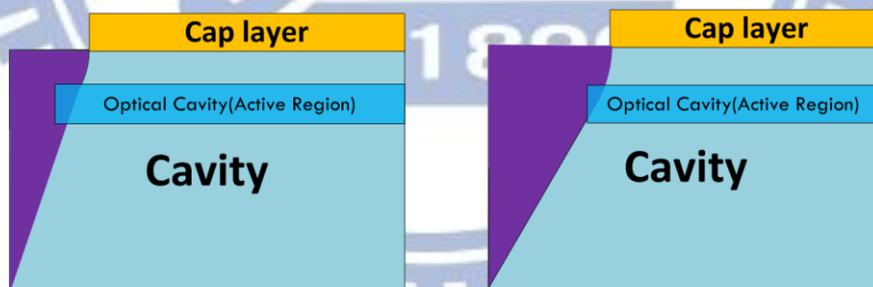


圖 5.28：Current Blocking Region 造成的等效縮減共振腔效應

Type	$T_0$ (°C)	$T_1$ (°C)
SA_250x600_No CB	137.36	196.08
SB_500x1500_CB150	152.44	502.512
SB_500x1500_CB150	162.074	613.5
SB_500x1500_CB200	158.48	671.14

表 5.8：元件溫度參數比較表

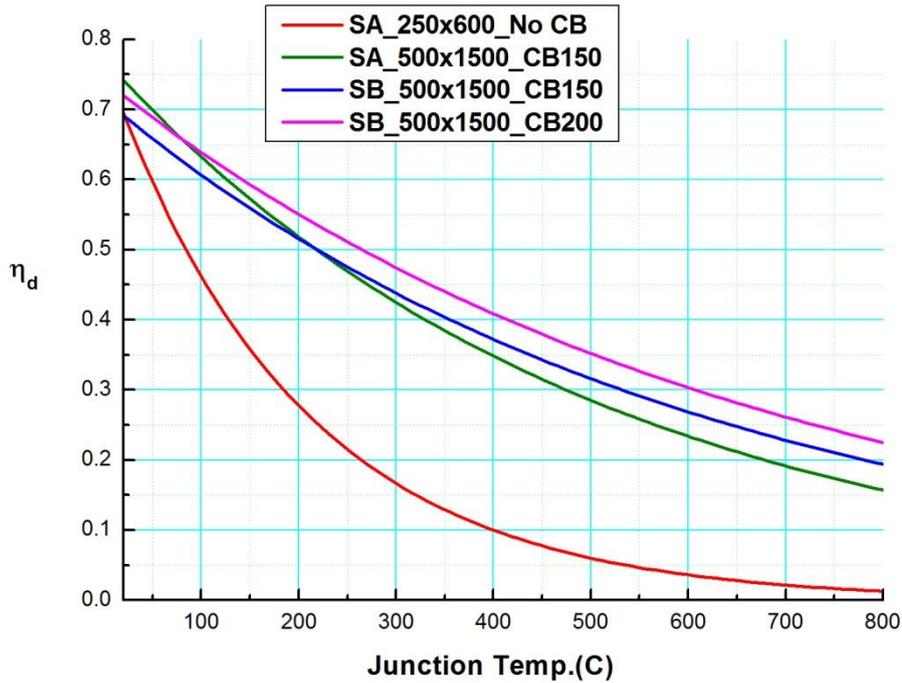


圖 5.29：微分量子效率受溫度下降之比較圖

#### 5-4-2 出光功率 4W

##### (一) 目標功率與元件參數關係

本段討論所有元件皆在出光功率為 4W 下的功率轉換效率比較。從表 5.6 與表 5.7 所有元件做比較，可發現當原本最大效率電流值若越接近 4W 操作下的電流值，則效率會最高。SA 元件由於高臨界電流的關係 (5.52A、5.71A)，當出光功率在 4W 時，整體轉換效率還沒到達最好的狀態，因此 PCE 下滑了各 1.93%、2.27%。因此最大功率轉換效率所對應的操作電流越接近元件所設定的目標電流，元件在應用上發揮更好的性質。我們可以看到不同反射率的元件，因為鏡面損耗值 (Mirror Loss) 不同導致微分量子效率、臨界電流有些微的不同。就以我們現在所測試的元件來說，若是元件應用在出光效率 4W 的狀況下，SB/150/I0496、SB/200/05596 會是最好的選擇。我們從此可以了解，若是出光功率目標是越高

越好的話，當然希望各參數相互影響可讓元件爬升至最高的出光功率。但或許本身參數與設計關係，元件最佳電流操作點與真正操作電流點已相差很遠，此時反而不能達到最佳功率的使用。因此(2-12)與(2-14)可作為一指標參數，當你擁有的元件的臨界電流值、啟動電壓、串聯電阻值、微分量子效率，你可以進一步知道這元件電流最佳操作點在哪裡，跟自己所設定的目標功率點接不接近。

## (二) 操作電流影響性

我們將表 5.5 與表 5.7 其中的操作電流值與 Voltage defect 再次做成表 5.9。由於整體元件阻值很接近的情況下，在出光功率 4W 的條件下，當操作電流點越大，所代來的 Voltage defect 越大。那何項變因影響這個參數呢，由(5-5)可知操作電流的組成為臨界電流值 $I_{th}$ 與額外電流值 $I_L$ 所組成。由於雷射在 Lasing 之後出光功率增量會與電流增量有固定比值即為(2-3)所描述，這個比值就是斜率效率。而斜率效率與微分量子效率之間的關係僅僅差在光子能量上的計算。如(5-6)，當我們固定 $\Delta P$ 下（由於 Threshold 以前出光功率都非常低，因此對於我們要求目標功率 4W 而言， $\Delta P \sim 4W$ ），微分量子效率越大，額外電流值越低。所以我們可以瞭解操作電流是由臨界電流與微分量子效率整體決定的，而這個值的大小會連帶地影響焦耳熱功率。

我們再回顧原本的表 5.7 對比 SB/150/05596 與 SB/150/I0496 這兩組元件，I0496 元件在參數上由於鏡面損耗較高，造成 DQE 值較大、臨界電流較大，但臨界電流值較大的 I0496 元件所帶來的焦耳熱卻比較低，原因就是因為鏡面損耗帶來的微分量子效率增加，反而讓(5-5)中的額外電流 $I_L$ 較小，因此操作電流來得更小。此兩元件比較中 I0496 比上 05596，Below Threshold 上升 0.94%、Voltage defect 下降 0.36%、imperfect DQE 下降 2.33%。我們可以看到 imperfect DQE 所帶來的影響不僅僅只是 2.33%，還有影響 Voltage defect 所降低的 0.36%。

就以功率餅圖整體的討論中，當元件阻值依據 Cladding 濃度設計、材料的選用低到一個程度之後，Voltage defect 重心反而來到操作電流上。而操作電流被 Below Threshold 與 Imperfect DQE 所決定。對於鏡面反射率的變動、電流阻擋層的設計兩者而言，Imperfect DQE 為較為重要的分項，它帶來的改善對於整體臨界電流上升量不高，但較大量地降低 Imperfect DQE 與 Voltage defect。而對於主動層磊晶結構改變與設計而言，Below Threshold 為較為重要的分項。它帶來的影響為 Threshold 到達一定下降量時，連帶 Voltage defect 帶來的下降兩者相和比 Imperfect DQE 上升量來得大。因此我們可以想成無論元件要如何設計，當 Below Threshold 與 Imperfect DQE 誰能讓 Voltage defect 帶來的變化量大於另一者，則誰成為主控整個功率改變的重心。競爭模型的示意圖如圖 5.31 與圖 5.32。

4W_operation	Voltage defect (Joule Heat)	Iop_4w(A)
SA/150/05596	12.4	4.251
SA/150/I0496	15.52	4.484
SB/150/2298	12.54	4.329
SB/150/05596	12.41	4.278
SB/150/I0496	12.05	4.139
SB/200/2298	12.42	4.281
SB/200/05596	12.16	4.181

表 5.9：出光功率 4W 下焦耳熱功率項與操作電流比較

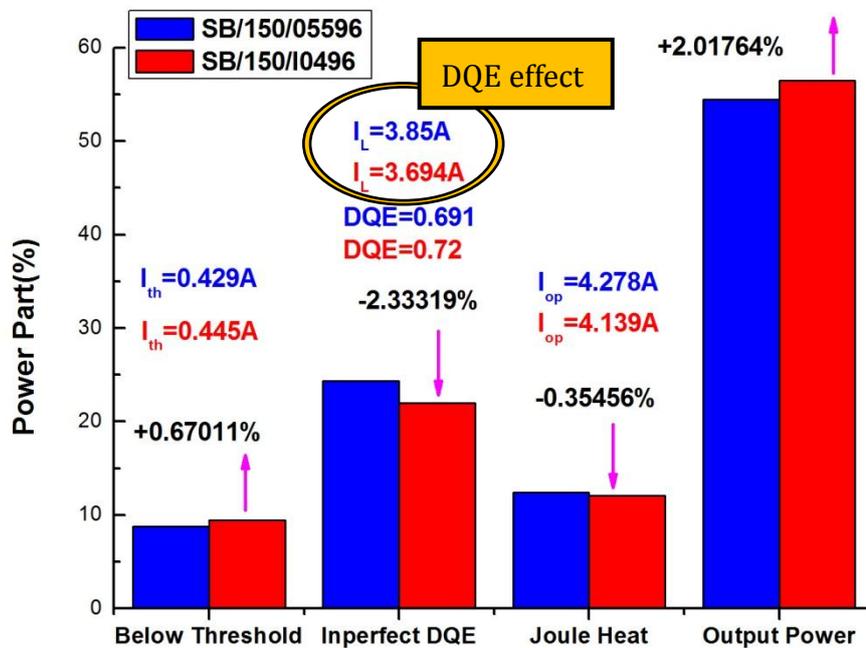


圖 5.30：4W 操作下，SB/05596 與 I0496 功率變化比較

$$I_{op} = I_{th} + I_L \quad (5-5)$$

$$\frac{\Delta P}{I_L} = \eta_s = \eta_d \frac{h\nu}{e} \quad (5-6)$$

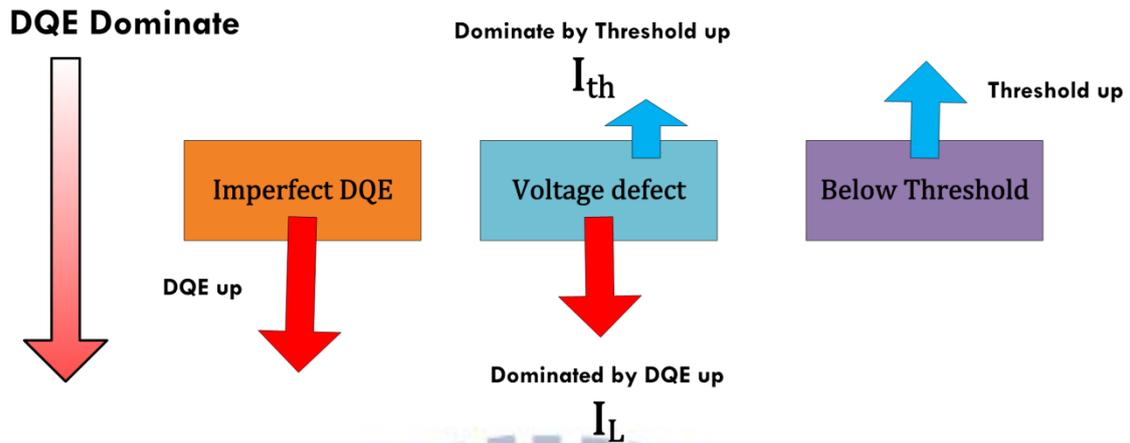


圖 5.31：兩功率分項機制競爭圖（DQE Dominate）所對應本論文討論的機制為改變鏡面反射率或電流阻擋層加長，增加微分子量子效率、增加臨界電流之結果。微分子量子效率所帶來  $I_L$  下降與臨界電流帶來的  $I_{th}$  上升。

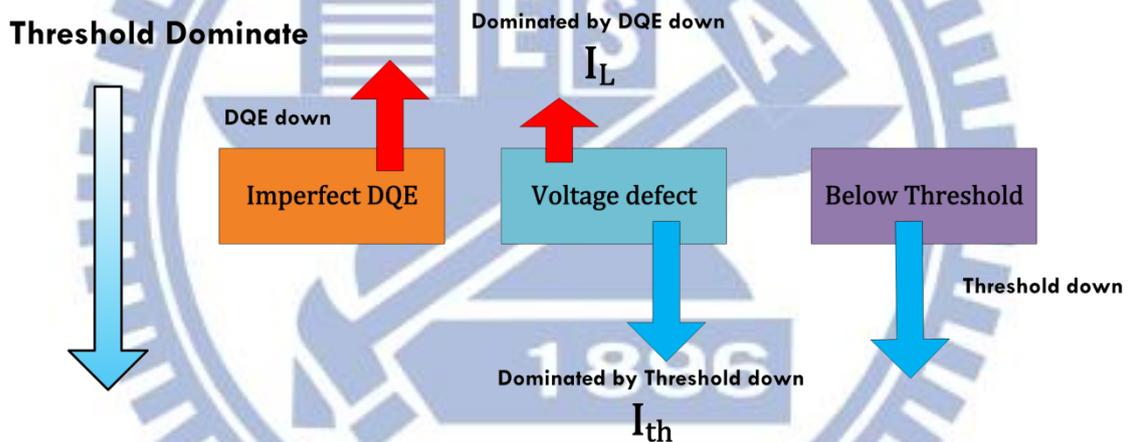


圖 5.32：兩功率分項機制競爭圖（Threshold Dominate）所對應本論文討論的機制為 SA 元件與 SB 元件主動層設計改變帶來的低臨界電流  $I_{th}$  降低與微分子量子效率提高彼此競爭。

由兩競爭模型來看，在 Threshold 差距不為兩倍如此之大時（850mA and 445mA），微分子量子效率的提升帶來的功率轉換效率提高會來比臨界電流下降更好。因此在高功率半導體雷射元件設計上，若 Threshold 在可接受的範圍之內上升，微分子量子效率絕對會是元件最需改善的首選。

## 第六章 結論與未來展望

元件的熱模擬上，本論文整合過去前人使用的熱源計算方法。使用 Comsol 熱模擬實現了四種不同模型的溫度差異變化。成功實現主動層熱源計算、電流分佈焦耳熱、考慮溫度參數的修正計算、考慮元件與封裝體之間存在的界面熱阻修正。在熱分佈模擬上，提供了界面熱阻熱傳遞影響的解釋、前後鏡面隨界面熱阻存在溫差加大的解釋，以及 P side up 與 P side down 封裝兩者熱分佈上的差異性。我們成功地證明僅使用主動層熱源做熱模擬，實際在雷射穩態操作狀況下（操作時間大於 1 秒以上）所估計的熱模擬是有缺陷的，當高電流以及主動層內部熱提高時，焦耳熱與溫度參數修正是不可避免的。

晶粒封裝製程上，實現了結合非破壞性檢測封裝界面品質（T3ster 暫態熱電阻量測）與封裝條件（Bonding Window）對比的封裝檢測法。並且使用此方法找出最佳封裝條件的雷射元件，改善了熱飽和電流近 700mA（300mA 至 >1A 操作），將原功率僅 135mW 的裸晶片改善至近瓦級操作。

最佳共振腔長度計算上。我們發現內部參數模增益常數、內部損耗、透明電流密度、內部量子效率，對功率轉換效率與共振腔關係有重大的影響性。尤其是當內部損耗下降時，長共振腔的功率轉換效率下降率並不高。未來這可與 COD 的研究互相搭配，使有機會確定隨共振腔加長，Means  $P_{COD}$  上升的重要原因。

功率餅圖的計算，對比了電流阻擋層設計對於功率的影響性。可以發現電流阻擋層在等效概念上為一縮減共振腔，提高了元件的微分量子效率，而略微上升的臨界電流在功率比例上相比以被抵銷。05596 元件在 imperfect DQE 下降了 2.39%、Below Threshold 上升 0.17%、Voltage defect 上升 0.19%，因此整體元件因電流阻擋層設計在最大功率轉換效率上改善了 2.03%。另外再經過我們溫度參數量測之後，電流阻擋層較厚的元件（200 $\mu\text{m}$ ）讓溫度參數  $T_1$  從 613.5 $^{\circ}\text{C}$  上升至 671.14 $^{\circ}\text{C}$ 。因此電流阻擋層不僅只能改善元件 Means  $P_{COD}$ ，更可讓溫度敏感係數上升，最大功率轉換功率上升。另外我們從功率餅圖上分析得知，高功率半導體雷射在臨界電流條件差異性不大時，增加微分量子效率對於功率轉換效率的改善是最佳的首選。

未來在三個議題（元件模擬、封裝製程、功率效率討論）上。元件模擬可加入兩側鏡面熱通量邊界的計算。[\[17\]](#) 成功地使用光與載子的耦合方程去計算出鏡面上載子密度，進而計算出熱通量邊界。若將此模擬再考慮本論文提過的模擬方法，更能模擬出更貼近邊射型雷射元件的模擬方法（計算結果類似於圖 6.1）。另外在焦耳熱的計算上，本論文使用了每層當地的載子遷移率、濃度等參數。實際上若是能用方程式解出當地 Band diagram 與載子密度的關係，就能將主動層中載子密度不均勻性給考慮進來，更能提升模型的完整性。由於拉曼頻譜的溫度量測主要是量測出雷射兩端鏡面溫度，而 T3ster 則是量出整個主動層熱平衡後的

Bulk Temp.，若能再量測上配合兩者所得到的實驗值，更名為模擬帶來更準確的判斷。

在封裝製程上，在實際算出的等效 $\Delta R_{\text{eff}} = 1.107(\text{K/W})$ 與廠商封裝測試結果 $\Delta R = 0.974(\text{K/W})$ 相比較高。造成這樣的原因或許是樣品測試數量與條件解析度不夠細膩，未來或許可配合 T3ster 量測做出類似二維（力量、溫度參數）的 $\Delta R$ 比較圖。

功率餅圖計算上，Imperfect 其實更可以細分為內部量子效率、內部損耗、鏡面損耗。若能將內部量子效率與內部損耗細分出來。則可以將功率餅圖的分析劃分成 Carrier Leakage（內部量子效率大小）、Loss term（內部損耗）。但是在公式上的計算上就需要巧思去完成，並且內部損耗必須要執行雷射內部參數的萃取。因此不能像本論文僅僅只是量測 LIV 量測就可獲得四個功率分項資訊。但若能細分此 Imperfect DQE，更可以精準地分析雷射元件的特性。

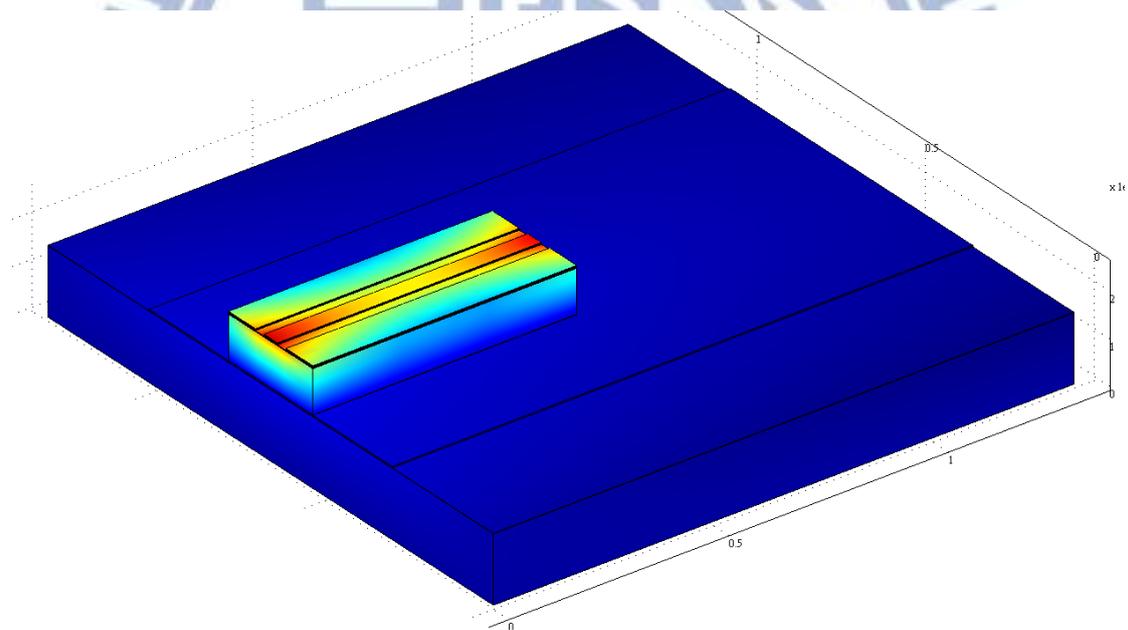


圖 6.1：考慮熱通量邊界之熱模擬

## 參考文獻

- [1] R. Diehl, Ed., "High-Power Diode Lasers: Fundamentals, Technology, Applications , " New York: Springer-Verlag , *Topics in Applied Physics*, vol. 78, pp. 1(2000)
- [2] P. Collot, J. Arias, V. Mira, E. Vassilakis, F. Julien, "Non-absorbing mirrors for AlGaAs quantum well lasers by impurity-free interdiffusion", *Proc. SPIE* , vol.3628 , pp.260 (1999)
- [3] F. Rinner, J. Rogg et al. , "Facet temperature reduction by a current blocking layer at the front facets of high-power InGaAs/AlGaAs lasers," *J. Appl. Phys.* , vol.93 , pp.1848 (2003)
- [4] A. Knauer, G. Erbert, R. Staske, B. Sumpf, H. Wenzel, M. Weyers , "High-power 808 nm lasers with a super large optical cavity, " *Semicond. Sci. Technol.* ,vol.20 , pp.621 (2005)
- [5] D. Botez, "Design considerations and analytical approximations for high continuous wave power, broad-waveguide diode lasers," *Appl. Phys. Lett.* , vol.74 , pp.3102 (1999)
- [6] K. A. Bulashevich et al., "Effect of free-carrier absorption on performance of 808 nm AlGaAs-based high-power laser diodes," *Semicond. Sci. Technol.*, vol.22 , pp.502 (2007)
- [7] M. Razeghi, H. Yi , "High power Al-free InGaAsP/GaAs near infrared semiconductor lasers," *Opto-Electronics review* , vol.6(2) , pp.81 (1998)
- [8] G. Erbert, B. Frank, "Diode lasers with Al-free quantum wells embedded in LOC AlGaAS waveguides between 715nm and 840nm, " *Proc. SPIE* , vol.3628 , pp. 19-2 (1999)
- [9] D. P. Bour , A. Rosen, " Optimum cavity length for high conversion

- efficiency quantum well diode lasers," *J. Appl. Phys.* , vol.66 , pp.2813 (1989)
- [10] K. Mizuishi, "Some aspects of bonding solder deterioration observed in long lived semiconductor laser solder migration and whisker growth," *J. Appl. Phys.* , vol.55 , pp.289-295 (1984)
- [11] J. W. Ronnie Teo, X. Q. shi et al. , " Modified Face-Down Bonding of Ridge Waveguide Lasers Using Hard Solder," *IEEE Trans. Electron. Packag. Manuf.* , vol.31 , NO.2 (2008)
- [12] H. Kim,S. Choi et al., "Thermal transient characteristics of die attach in high power LED PKG," *Microelectron. Reliabi.* , vol.48, pp.445-454 (2008)
- [13] J. Jung, H. Kim et al.," Thermal Analysis of InAs Quantum Dot Laser Diodes with an Additional Au Layer on p-Metal," *J. Korean. Phys. Soc.* , vol.50, No.6 , pp.1936 (2007)
- [14] G. Hatakoshi, M. Onomura et al. , "Thermal Analysis GaN Laser Diodes," *Jpn. J. Appl. Phys.* , vol.38, pp.2764-2768(1999)
- [15] 胡凡勳,"發光二極體晶片之熱電耦合," 博士論文 (2009)
- [16] 宋狄祥,"單晶片與複合微晶片發光二極體之熱電耦合模擬研究,"碩士論文(2012)
- [17] U. Menzel, "Seif-consistent calculation of facet heating in asymmetrically coating edge emitting diode lasers," *Semicond. Sci. Technol.* , vol.3 , No.3 , (1997)
- [18] 盧廷昌, 王興宗 , "半導體雷射導論",五南出版社 (2008)
- [19] J. F. Seurin, C. L. Ghosh et al. , " High-power high efficiency 2D VCSEL arrays ," *Proc. SPIE* , Vol. 6908, pp. 690808-14 (2008)
- [20] M. Levinshtein, S. Rumyantsev, M. Shur, " Handbook series on semiconductor parameters", vol.2 Ternary and Quaternary III-V

Compounds.

- [21] A. K. Saxena , "Electron mobility in  $\text{Ga}_{1-x}\text{Al}_x\text{As}$  alloys, " *Physical review B* ,  
vol.24 , No.6 (1981)
- [22] J. J. Tietjen, L. R. Weisberg , " Electron mobility in  $\text{GaAs}_{1-x}\text{P}_x$  alloys , " *Appl.*  
*Phys. lett.* 7 , vol.261 (1965)
- [23] R. O. Carlson, G. A. Slack et al. "Thermal Conductivity of GaAs and  
 $\text{GaAs}_{1-x}\text{P}_x$  Laser Semiconductors, " *J. Appl. Phys.* , vol. 36 , pp.505 (1965)
- [24] J. W. Ronnie Teo, F. L. Ng et al., " Microstructure of eutectic 80Au/20Sn  
solder joint in laser diode package," *Microelectron. Eng.* , vol.85 , pp.512,  
(2008)
- [25] MicReD , " Theoretical background of the T3Ster measurements",  
<http://www.mentor.com/products/mechanical/micred>
- [26] F. P. Incropera, D. P. Dewitt, "Fundamentals of Heat and Mass Transfer,"  
Wiley Series in Engineering and Materials Science
- [27] M. B. Sanayeh , " Catastrophic Optical Damage in High Power AlGaInP  
Diode Lasers " *Proc. SPIE* . , Vol. 6997, pp. 699703-12 (2008)

## 附錄

### A.最佳效率共振腔長度推導

由於要計算 $\frac{d\eta_t(x)}{dL}$ ，因此我們分成三個部份計算，首先計算微分連鎖律之中的 $\frac{dx}{dL}$ ，其計算結果為(A-1)。第二個部份計算 $\eta_{t,peak}$ 之中含有 $x$ 的函數項，使用前述等值推導的另外一個結果其微分較為簡便，其計算結果為(A-2)。第三個部份計算 $\frac{d\eta_t(x)}{dx}$ ，這裡使用了一個微分連鎖律如式(A-3)，我們刻意不簡化 $\frac{dL}{dx}$ 是之後的計算可與 $\frac{dx}{dL}$ 互相消除。因此 $\frac{d\eta_t(x)}{dL}$ 主要計算 $\frac{d\eta_d}{dL}$ 。最後前三個部份的結果綜合起來，經過計算可獲得(A-4)。由於(A-4)前面皆不為零，因此我們可得到方程式(A-5)。我們經由移項我們重新一個新的函數 $f(L)$ 表示為式(A-6)，藉由畫圖當此函數交 $f=1$ 的時候，即可解出特定 $L$ 。此 $L$ 為我們代入特定參數值所算出的有功率轉換效率最大值的元件共振腔長度。

Step 1 計算 $\frac{dx}{dL} = \frac{x \alpha_m}{L g_0}$

$$\begin{aligned} \frac{dx}{dL} &= \frac{d}{dL} \left( \frac{V_0}{J_{tr} WL * \text{Exp} \left[ \frac{1}{g_0} (\alpha_i + \alpha_m) \right] * \frac{\rho_s}{WL}} \right) \\ \frac{dx}{dL} &= -\text{Exp} \left[ \frac{1}{g_0} (\alpha_i + \alpha_m) \right] \frac{V_0}{J_{th} \rho_s} \\ &\therefore \frac{d\alpha_m}{dL} = -\frac{1 \alpha_m}{L g_0} \\ &\therefore \frac{dx}{dL} = \frac{1 \alpha_m}{L g_0} \frac{V_0}{I_{th} R_S} = \frac{x \alpha_m}{L g_0} \end{aligned} \quad (A-1)$$

Step 2 計算 $\frac{d}{dx} \left( \frac{x}{(1+\sqrt{1+x})^2} \right)$

$$\frac{d}{dx} \left( \frac{x}{(1+\sqrt{1+x})^2} \right) = \frac{d}{dx} \left( 1 - \frac{2}{1+\sqrt{1+x}} \right) = \frac{1}{(1+\sqrt{1+x})^2} \frac{1}{\sqrt{1+x}} \quad (A-2)$$

Step3 計算  $\frac{d\eta_d}{dx}$

$$\begin{aligned}\frac{d\eta_d}{dx} &= \frac{d\eta_d}{dL} \frac{dL}{dx} \\ \frac{d\eta_d}{dx} &= -\frac{1}{L} \frac{\alpha_i \eta_d}{\alpha_i + \alpha_m} \frac{dL}{dx}\end{aligned}\quad (\text{A-3})$$

Step4 計算  $\frac{d\eta_t(x)}{dx}$

$$\begin{aligned}\frac{d\eta_t(x)}{dx} &= \frac{d}{dx} \left( \eta_d \frac{hv}{eV_0} \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) \right) \\ &= \frac{hv}{eV_0} \left[ \frac{d\eta_d}{dx} * \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) + \eta_d * \frac{d}{dx} \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) \right] \\ &\because \frac{d\eta_d}{dx} = -\frac{1}{L} \frac{\alpha_i \eta_d}{\alpha_i + \alpha_m} \frac{dL}{dx} * \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) \\ \therefore \frac{d\eta_t(x)}{dx} &= \frac{hv}{eV_0} \left[ -\frac{1}{L} \frac{\alpha_i \eta_d}{\alpha_i + \alpha_m} \frac{dL}{dx} * \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) + \eta_d * \frac{1}{(1 + \sqrt{1+x})^2} \frac{1}{\sqrt{1+x}} \right]\end{aligned}$$

Step5 計算  $\frac{d\eta_t(x)}{dL} = \frac{d\eta_t(x)}{dx} \frac{dx}{dL} = 0$

$$\begin{aligned}\therefore \frac{1}{(1 + \sqrt{1+x})^2} &= 1 - \frac{2}{1 + \sqrt{1+x}} \\ \therefore \frac{d\eta_t(x)}{dL} &= \frac{hv}{eV_0} \eta_d * \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) \left[ -\frac{1}{L} \frac{\alpha_i}{\alpha_i + \alpha_m} \frac{dL}{dx} + \frac{1}{\sqrt{1+x}} \right] \frac{dx}{dL} = 0 \\ &= \frac{hv}{eV_0} \eta_d * \left( 1 - \frac{2}{1 + \sqrt{1+x}} \right) \left[ -\frac{1}{L} \frac{\alpha_i}{\alpha_i + \alpha_m} + \frac{1}{\sqrt{1+x}} \frac{x \alpha_m}{L g_0} \right] = 0\end{aligned}\quad (\text{A-4})$$

$$-\frac{1}{L} \frac{\alpha_i}{\alpha_i + \alpha_m} + \frac{1}{\sqrt{1+x}} \frac{x \alpha_m}{L g_0} = 0\quad (\text{A-5})$$

$$1 - \left( \frac{\alpha_i}{\alpha_i + \alpha_m} \right) \frac{g_0}{\alpha_m} \sqrt{1+x} = 0$$

$$f(L) = \left( \frac{\alpha_i}{\alpha_i + \alpha_m} \right) \frac{g_0}{\alpha_m} \sqrt{1+x}\quad (\text{A-6})$$

## B.熱模擬分佈圖在兩不同電流條件下對比

圖 B.1 為本論文模擬元件之各功率分項隨電流條件不同而變化。可以發現元件在 800mA 之後開始有熱飽和現象。因此我們挑選兩電流條件 400mA、1000mA 做溫度分佈圖的對比。由於 AJTC 模型我們將等效熱傳導率都定義在 AuSn 上，因此可以發現在 P side down 封裝熱阻修正模型上，溫差與前三個模型相差甚大。實際上界面熱阻與 Bulk 熱阻的產生並不僅限於在 AuSn 上。因此日後最佳的修正方法，因是疊代 AuSn、AlN 各兩層的熱傳導率會來得更恰當。因此在此附錄我們附上 Type AJT 的對比。圖 B.2 為 400mA P side up 封裝等溫線圖與剖面圖。圖 B.3 為 1000mA P side up 等溫線圖與剖面圖。圖 B.4 為 400mA P side down 封裝等溫線圖與剖面圖。圖 B.5 為 1000mA P side down 封裝等溫線圖與剖面圖。其中剖面圖都為主動層中心所切之面。

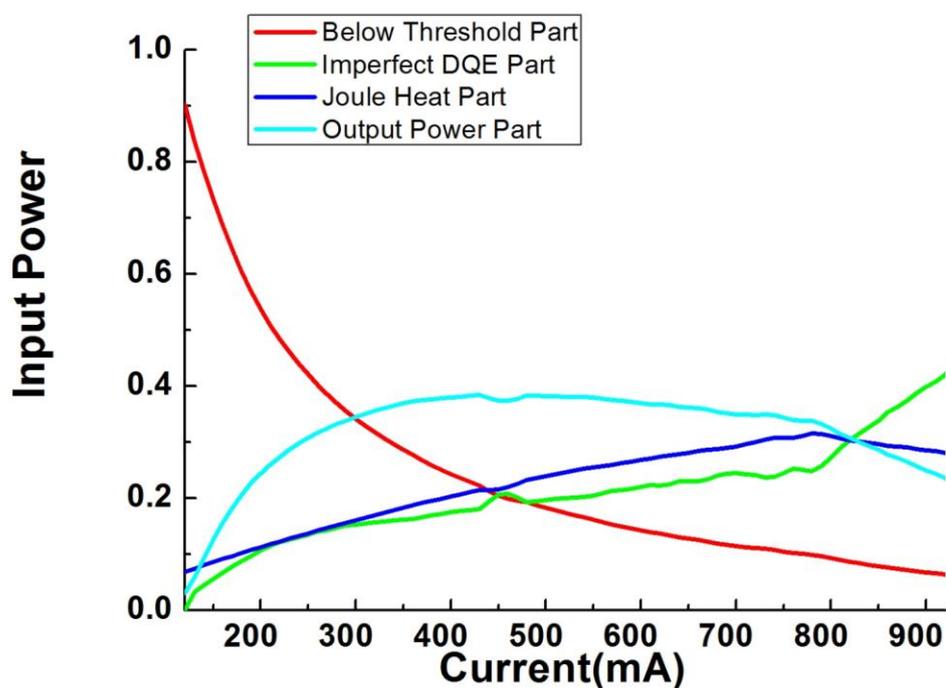


圖 B.1：功率餅圖隨電流密度變化

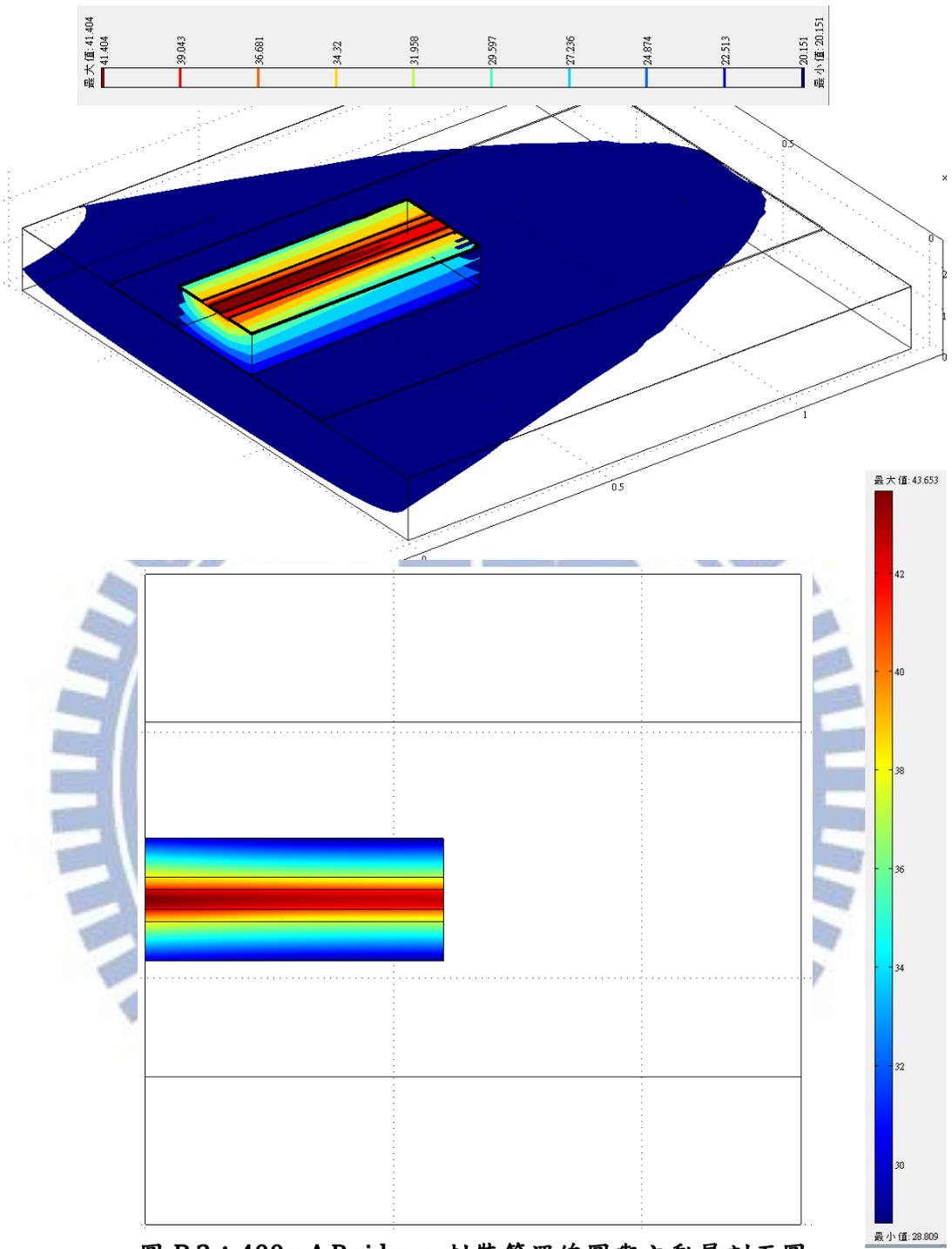


圖 B.2 : 400mA P side up 封裝等溫線圖與主動層剖面圖

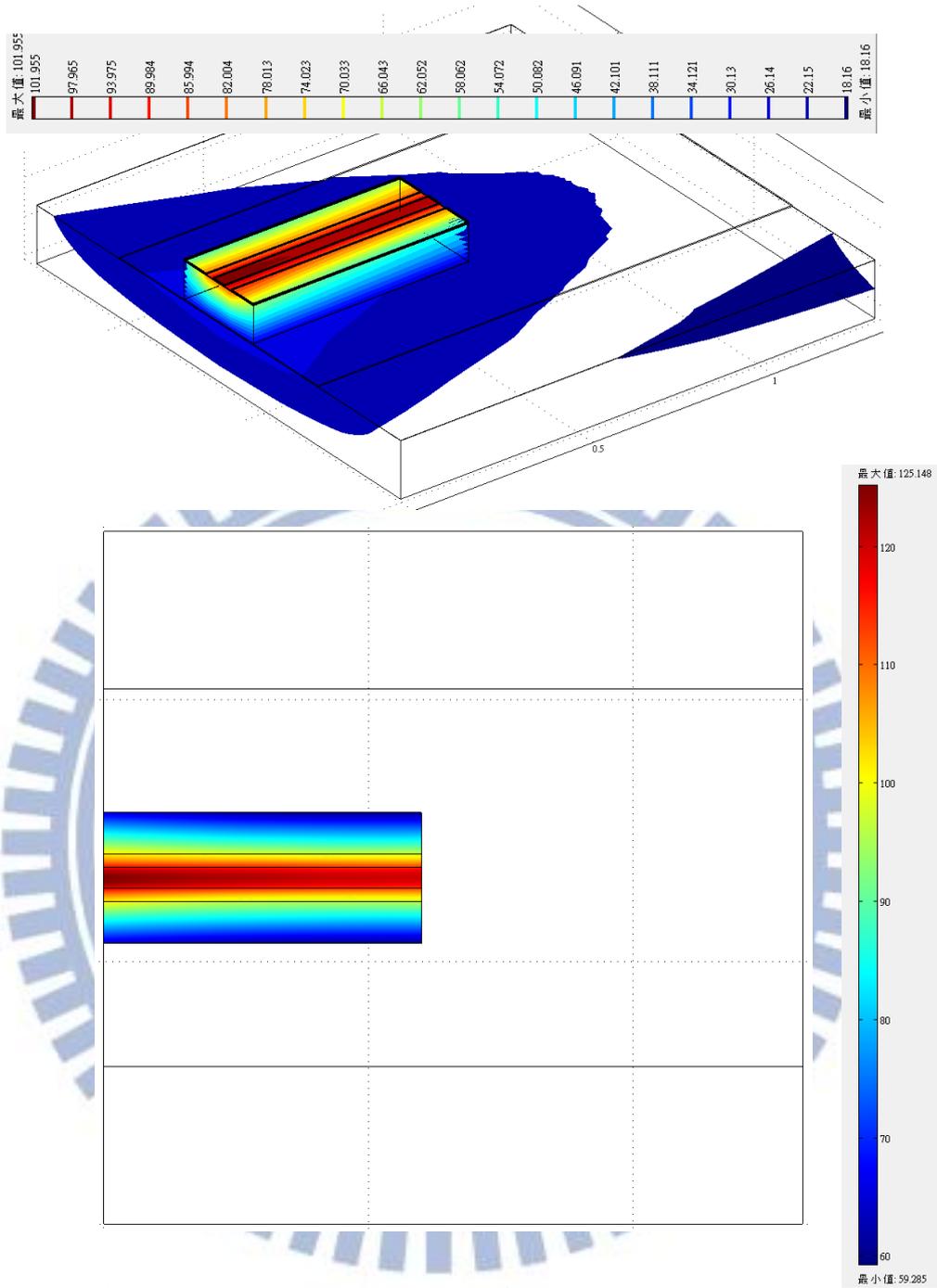


圖 B.3：1000mA P side up 封裝等溫線圖與主動層剖面圖

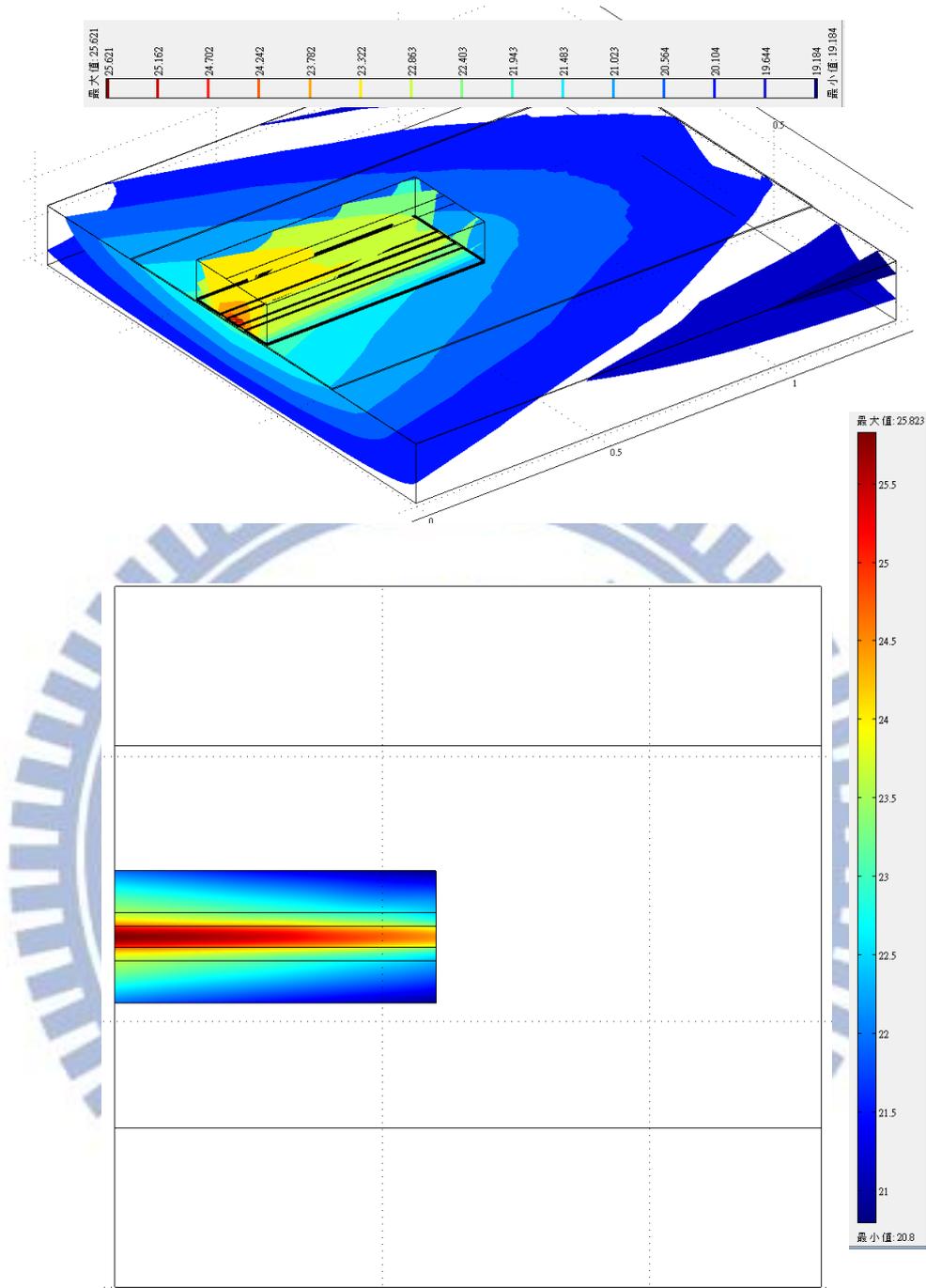


圖 B.4：400mA P side down 封裝等溫線圖與主動層剖面圖

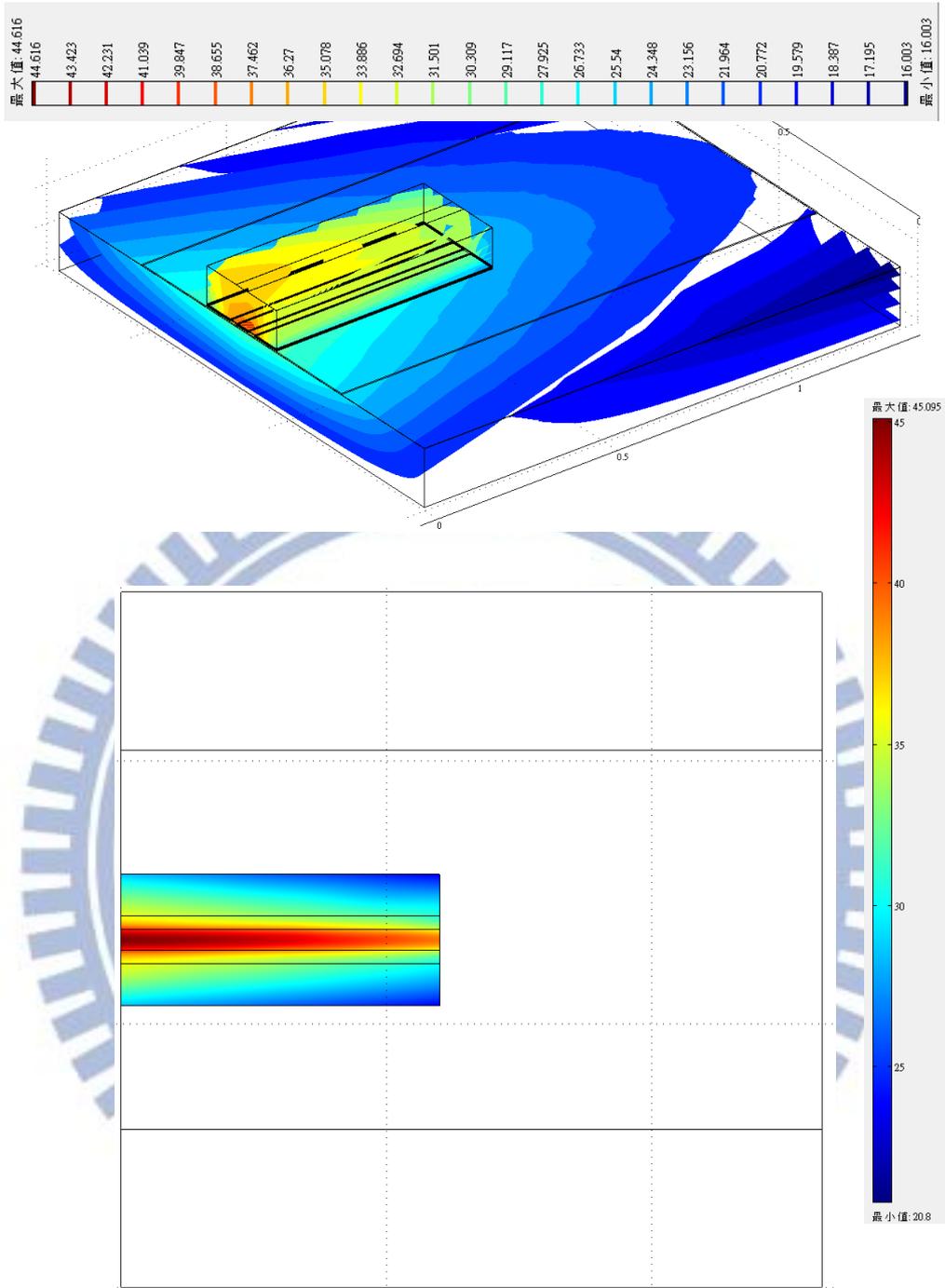


圖 B.5 : 1000mA P side down 封裝等溫線圖與主動層剖面圖

## 簡歷(Vita)

姓名：林佑龍 (You Lung Lin)

性別：男

出生年月日：民國 77 年 2 月 5 日

籍貫：台灣桃園縣

學歷：

國立陽明高中 (2003.9 - 2006.6)

私立輔仁大學 (2006.9 - 2010.6)

國立交通大學電子工程系碩士 (2010.9 - 2012.12)

碩士論文題目：

高功率半導體雷射之功率效率與熱議題研究

Studies on Power Conversion Efficiency and Thermal Issues of High Power Semiconductor Lasers

