

國立交通大學

電信工程研究所

碩士論文

使用耦合共面波導正交分合波器的正交射頻單
正交降頻器

Quadrature Hybrid with Coupled CPW and Its
Application in Quadrature-RF Single Quadrature
Downconverter

研究生：彭永豪

指導教授：孟慶宗

中華民國 一百零一 年 九 月

使用耦合共面波導正交分合波器的正交射頻單 正交降頻器

Quadrature Hybrid with Coupled CPW and Its Application in
Quadrature-RF Single Quadrature Downconverter

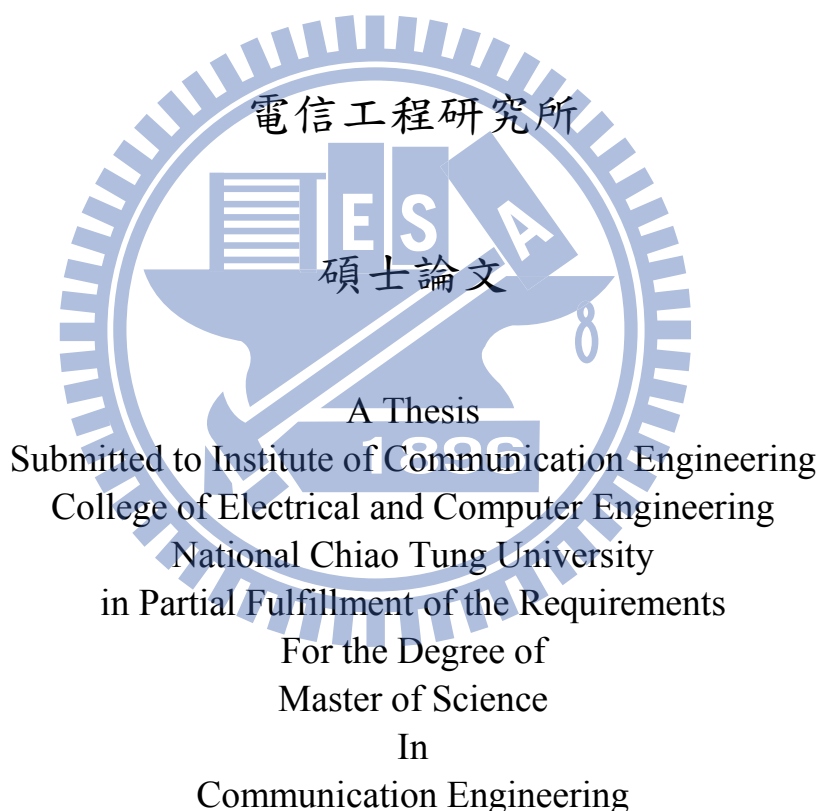
研究生:彭永豪

Student: Yong-Hao Peng

指導教授:孟慶宗 博士

Advisor: Dr. Chin-Chun Meng

國立交通大學



June 2012

Hsinchu, Taiwan, Republic of China

中華民國一百零一年九月

使用耦合共面波導正交分合波器的正交射頻單 正交降頻器

學生：彭永豪

指導教授：孟慶宗 博士

國立交通大學

電信工程研究所碩士班

摘 要

本篇論文主要研究使用耦合共面波導結構研製之微波被動元件，包含耦合共面波導方向耦合器及雙馬爾尚巴倫器。

論文共分兩個部分，第一個部分先將耦合共面波導方向耦合器模擬於 TSMC CMOS 0.18 μm 的多層金屬結構中。接著利用 TSMC CMOS 0.18 μm 實作由共面波導方向耦合器組合而成的雙馬爾尚巴倫器，雙馬爾尚巴倫器具寬頻、良好的振幅及相位平衡。最後於 TSMC SiGe 0.18 μm 上實作降頻正交混頻器，利用耦合共面波導方向耦合器提供寬頻射頻正交訊號及雙馬爾尚巴倫器有效分波本地震盪源訊號，實現射頻及本地振盪源皆為單端輸入的正交射頻單正交混頻器。

第二個部分為使用 TSMC SiGe 0.18 μm 實作三種不同一二次匝數比的平面式一對二變壓器。

Quadrature Hybrid with Coupled CPW and Its Application in Quadrature-RF Single Quadrature Downconverter

Student : Yong-Hao Peng

Advisor : Chin-Chun Meng

Institute of Communication Engineering

National Chiao Tung University

Abstract

In this thesis, we focus on researching of microwave passive components which include coupled coplanar waveguide directional coupler and dual Marchand balun using coupled coplanar waveguide.

This thesis is divided into two parts. In the first part, we simulated coupled coplanar waveguide directional coupler in TSMC CMOS 0.18 μm multi-layer structure, then we implemented dual Marchand balun which is combined of coupled coplanar waveguide directional couplers in TSMC CMOS 0.18 μm process. The dual Marchand balun has broad band property and good balance of amplitude and phase. Finally, we implemented quadrature down converter in TSMC SiGe 0.18 μm process. We implemented quadrature-RF single quadrature downconverter which the both of RF and LO input are single-ended by using coupled coplanar waveguide directional coupler to perform quadrature RF signals and dual Marchand balun to divide LO signal.

In the second part, we implemented trifilar transformer of three different turn ratio in TSMC SiGe 0.18 μm process.

誌謝

這兩年的時間過得真快，沒想到一眨眼，要畢業了。想到在進到交通大學時，還是渾渾噩噩的樣子，而多虧在這兩年的歷練，無論在專業領域及做人處事上，有相當大的成長跟突破。在這過程中，要感謝許多人幫助，因為你們的指導與支持，讓我能夠順利完成學業。首先要感謝孟慶宗教授的指導，不時的討論並指點我正確的方向，得以解決所遇到的種種問題。再次感謝徐碩鴻及紀佩綾教授抽空前來參加學生的畢業口試，並提供寶貴的建議。在晶片量測上，感謝嘉偉、榮彥及國家奈米元件實驗室全體同仁不辭辛苦地全力幫忙，而得以順利完成複雜的量測過程。

接著感謝 918 實驗室的大家，陪我度過精采的兩年碩士班生活。首先感謝語誌、宏儒、金詳、彥鋒及楊雋學長的耐心的指導及與傾囊相授，總能在我迷網時為我解惑。同時感謝兩年同窗的協修、偉程及格瑋在生活與學業上的協助，與一起走過的酸甜苦辣。此外感謝學弟仁傑、士德與維麟的加入，讓實驗室更充滿歡樂及愉悅的氣氛。

最後感謝我的父母、阿公、阿嬤、哥哥與女朋友，因為有你們給予我最大的關懷跟支持，讓我無憂無慮得以順利完成人生中每段過程。

永豪(國維) 2012 夏末於交通大學

目錄

中文摘要	i
英文摘要	ii
致謝	iii
目錄	iv
表目錄	vii
圖目錄	viii
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 耦合共面波導方向耦合器	5
2.1 介紹	6
2.2 半靜態耦合器分析 (Quasi-Static Coupler Analysis)	10
2.2.1 空氣介電層電容的奇模及偶模分析	12
2.2.2 基板介電層電容的奇模分析	15
2.2.3 基板介電層電容的偶模分析	17
2.3 耦合共平面波導方向耦合器設計、分析及模擬	20
2.3.1 耦合器架構	20
2.3.2 耦合器的設計	22

2.3.3	耦合器的模擬結果與討論	25
第三章	雙馬爾尚巴倫器	31
3.1	介紹	32
3.2	馬爾尚巴倫器 (Marchand Balun)	34
3.3	雙馬爾尚巴倫器 (Dual Marchand Balun)	35
3.3.1	雙巴倫器等效圖	36
3.4	實作：雙馬爾尚巴倫器 (CMOS 0.18 μm)	37
3.4.1	研究動機	37
3.4.2	雙馬爾尚巴倫器的設計	37
3.4.3	晶片量測	40
3.4.4	結果及討論	43
第四章	BiCMOS 單正交降頻器	47
4.1	前言	48
4.2	吉伯特混頻器與中頻放大器	49
4.2.1	射頻混頻器 (RF Mixer)	49
4.2.2	單平衡式與雙平衡式吉伯特混頻器	50
4.2.3	微混頻器	51
4.2.4	中頻放大器	52
4.3	正交混頻器 (Quadrature or IQ Mixer)	53

4.3.1	鏡像頻率	53
4.3.2	常見的單正交降頻器電路架構.....	54
4.4	使用方向耦合器及雙馬爾尚巴倫器之單正交降頻器(SiGe 0.18- μ m)	56
4.4.1	研究動機.....	57
4.4.2	實作電路架構.....	57
4.4.3	晶片量測.....	62
4.4.4	結果與討論.....	68
第五章	一對二變壓器.....	73
5.1	前言.....	74
5.2	一對二變壓器簡介.....	75
5.3	差動架構的混模(mixed-mode)散射矩陣.....	76
5.4	實作：一對二變壓器 (SiGe 0.18 μ m).....	79
5.4.1	晶片量測.....	82
第六章	結論.....	89
Vita	97

表目錄

表 3.1	雙馬爾尚巴倫器模擬數據.....	44
表 3.2	雙馬爾尚巴倫器量測數據.....	45
表 3.3	文獻比較表.....	45
表 4.1	模擬與量測數據比較表.....	71
表 5.1	預計規格表.....	82



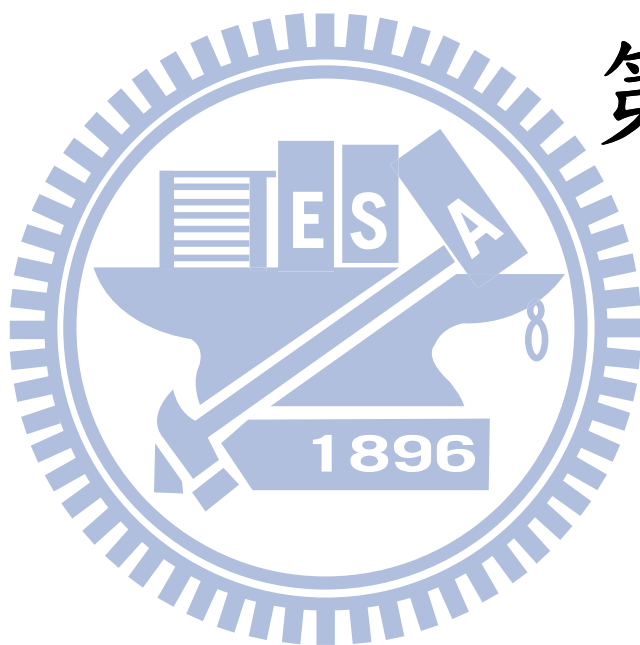
圖目錄

圖 2.1	耦合線方向耦合器 (a) 側視圖 (b) 俯視圖	7
圖 2.2	共平面波導管方向耦合器	8
圖 2.3	增加背板導體式共平面波導管方向耦合器	8
圖 2.4	槽耦合式方向耦合器	9
圖 2.5	槽耦合式方向耦合器側面圖	10
圖 2.6	耦合器電場分佈圖 (a) 偶模 (b) 奇模	12
圖 2.7	空氣介電層的保角變換轉換圖	14
圖 2.8	基板介電層的保角變換轉換圖 (奇模)	17
圖 2.9	基板介電層的保角變換轉換圖 (偶模)	18
圖 2.10	TSMC CMOS 0.18 μm 製程側面結構圖	20
圖 2.11	實現於 TSMC SiGe 0.18 μm 製程之槽耦合式方向耦合器剖面圖	21
圖 2.12	厚金屬設計之槽耦合式方向耦合器剖面圖	22
圖 2.13	耦合器之奇模等效架構剖面圖 (a) M2&M3 (b) M2&M4 (c) M1&M5	24
圖 2.14	耦合器之偶模等效架構剖面圖	25
圖 2.15	3dB 耦合量耦合器之模擬外觀圖	26
圖 2.16	3dB 耦合量耦合器之散射參數	26
圖 2.17	直通埠及耦合埠輸出訊號相位差	27

圖 2.18	調整訊號線寬度之穿透損失比較圖.....	27
圖 2.19	調整接地面跟訊號線距離之穿透損失比較圖.....	28
圖 3.1	馬爾尚巴倫器.....	34
圖 3.2	雙馬爾尚巴倫器.....	36
圖 3.3	上中及中下兩兩耦合傳輸線剖面圖.....	37
圖 3.4	實現於 TSMC CMOS 0.18 μm 製程之雙馬爾尚巴倫器俯視圖.....	38
圖 3.5	使用 HFSS 模擬雙馬爾尚巴倫器之俯視圖.....	39
圖 3.6	輸入返回損失及穿透損失模擬及量測比較.....	40
圖 3.7	輸出振幅不平衡模擬及量測比較.....	41
圖 3.8	輸出相位不平衡模擬及量測比較.....	42
圖 3.9	Die Photo (0.4 mm \times 0.7 mm).....	43
圖 4.1	電路架構圖.....	48
圖 4.2	吉伯特混頻器 (a)單平衡式 (b)雙平衡式.....	50
圖 4.3	吉伯特微混頻器.....	51
圖 4.4	Shunt-Shunt 回授放大器.....	52
圖 4.5	正交混頻器示意圖.....	53
圖 4.6	常見的正交混頻器電路.....	54
圖 4.7	多相位濾波器.....	55
圖 4.8	使用方向耦合器及雙馬爾尚巴倫器之正交混頻器.....	56

圖 4.9	雙馬爾尚巴倫器模擬數據圖.....	59
圖 4.10	方向耦合器模擬數據圖 (a)輸出振幅 (b)輸出相位差	60
圖 4.11	使用達靈頓對之 shunt-shunt 回授放大器	61
圖 4.12	輸入反射損失.....	62
圖 4.13	轉換增益對本地震盪源功率.....	62
圖 4.14	功率線性度.....	63
圖 4.15	P_{1dB} & OP_{1dB} 對射頻頻率.....	63
圖 4.16	IIP3 & OIP3 對射頻頻率	64
圖 4.17	轉換增益對射頻頻率.....	64
圖 4.18	輸出增益不平衡對射頻頻率.....	65
圖 4.19	輸出相位不平衡對射頻頻率.....	65
圖 4.20	中頻輸出波形圖.....	66
圖 4.21	轉換增益對中頻頻率.....	66
圖 4.22	隔絕性.....	67
圖 4.23	雜訊指數.....	67
圖 4.24	Die Photo (0.63 mm × 0.83 mm)	68
圖 5.1	一對二變壓器示意圖.....	75
圖 5.2	平面式變壓器	75
圖 5.3	單端 4-port 之待測元件.....	77

圖 5.4	差動 2-port 之待測元件	77
圖 5.5	一對二變壓器 (a) 1 : 1 : 1 (b) 2 : 1 : 1 (c) 1 : 2 : 2	80
圖 5.6	1 : 1 : 1 一對二變壓器模擬數據	81
圖 5.7	2 : 1 : 1 一對二變壓器模擬數據	81
圖 5.8	1 : 2 : 2 一對二變壓器模擬數據	81
圖 5.9	1 : 1 : 1 一對二變壓器穿透損失	82
圖 5.10	1 : 1 : 1 一對二變壓器輸出相位差	83
圖 5.11	2 : 1 : 1 一對二變壓器穿透損失	83
圖 5.12	2 : 1 : 1 一對二變壓器輸出相位差	84
圖 5.13	1 : 2 : 2 一對二變壓器穿透損失	84
圖 5.14	1 : 2 : 2 一對二變壓器輸出相位差	85
圖 5.15	Die Photo (2.6 mm × 1.9 mm)	85
圖 5.16	完美變壓器混模散射參數	86
圖 5.17	1 : 1 : 1 一對二變壓器混模散射參數	87
圖 5.18	2 : 1 : 1 一對二變壓器混模散射參數	87
圖 5.19	2 : 1 : 1 一對二變壓器混模散射參數	88



第一章 導論

1.1 研究動機

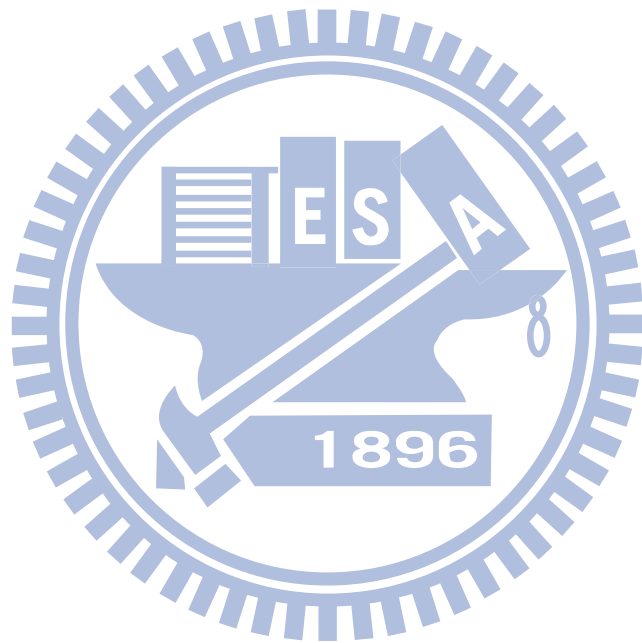
近年來無線通訊的蓬勃發展，包含 2G、3G 與 4G 手機、無線網路、藍芽科技等無線通訊設備的普及，無線通訊已完全融入我們的生活之中，成為人與人之間不可或缺的溝通方式。射頻前端電路在整個無線通訊系統中扮演著舉足輕重的角色，基頻訊號透過調變送至發射機發射訊號至接收端，接收機將訊號降頻至基頻解調變，所以射頻前端晶片性能表現越好，可以大幅提升訊號接收及發送的品質。隨著製程的進步，體積的縮小也促使高度整合電路的產生。

隨著生活的進步，高通訊品質及高資料傳輸量需要愈來愈大的頻寬，而為了要有更大的頻寬傳輸，勢必要將操作頻率往上提升。頻率的提高有助於將傳統微波的被動元件微小化到可實現在晶片中。射頻晶片的製程技術上，由於 CMOS 技術得成本較低廉且系統整合能力佳，但從特性觀點上，SiGe BiCMOS 與 PHMENT 的製程技術有著更高的截止頻率，非常適合用於實現高速電路。本篇論文將於 SiGe BiCMOS 製程技術中實作結合微波被動元件的主動電路。

1.2 論文組織

本論文分為六個章節，第一章節為導論，說明研究動機及論文組織。第二章節介紹共平面波導管方向耦合器，將共平面波導管方向耦合器改良模擬於 TSMC CMOS 0.18 μm 的多層金屬結構中，並加以描述分析特性。第三節為提出使用改良的共平面波導管方向耦合器組合出雙馬爾尚巴倫器並實作於 TSMC CMOS 0.18 μm 製程。第四章為在 TSMC SiGe 0.18 μm 中實作結合改良的共平面波導管方向耦合器與雙馬爾尚巴倫器的降頻正交混頻器。第五章為在 TSMC SiGe 0.18 μm 中實作三種不同一二次匝數比的一對二變壓器。第六章為本論文所有電路之總結。







第二章

耦合共面波導方向耦合器

2.1 介紹

方向耦合器 (Directional Coupler) 是一個相當常見的微波被動元件，透過耦合傳輸線上的電磁能量到另一個傳輸埠的方式，可以有效的將微波訊號的功率分流及合併，所以常被應用與許多無線通訊設備中，如：採集監測訊號的樣品、系統中的訊號回饋電路、合併多天線架構系統饋入及接收訊號、多樣天線波束的形成、家庭電視電纜訊號分接和隔離電話線上的接收及傳送訊號。此時方向耦合器的特性對於系統效能而言已是個不可或缺的因素。

常見的方向耦合器有波導管方向耦合器 (Waveguide Directional Coupler)、耦合線方向耦合器 (Coupled Line Directional Coupler) 及藍基耦合器 (The Lange Coupler)。而耦合線方向耦合器是最常被拿來使用的架構，常使用耦合微帶線的架構設計，如圖 2.1 所示。透過設計兩條相鄰的微帶線的奇模態和偶模態的特性阻抗值，達到應用中所需的耦合量，但耦合傳輸線因為製作上的限制，不適合將線距設計太近，僅能設計成弱耦合型的耦合器。且對於耦合傳輸線或其他 TEM 傳輸線而言，因為奇模態與偶模態往往有著不相同的傳播速度，耦合器的方向性頻率響應也就會變差。加上單級耦合器的耦合量頻寬會受四分之一波長的限制，雖然可以透過增加阻抗匹配網路的級來增加頻寬，但會增加不少的面積。

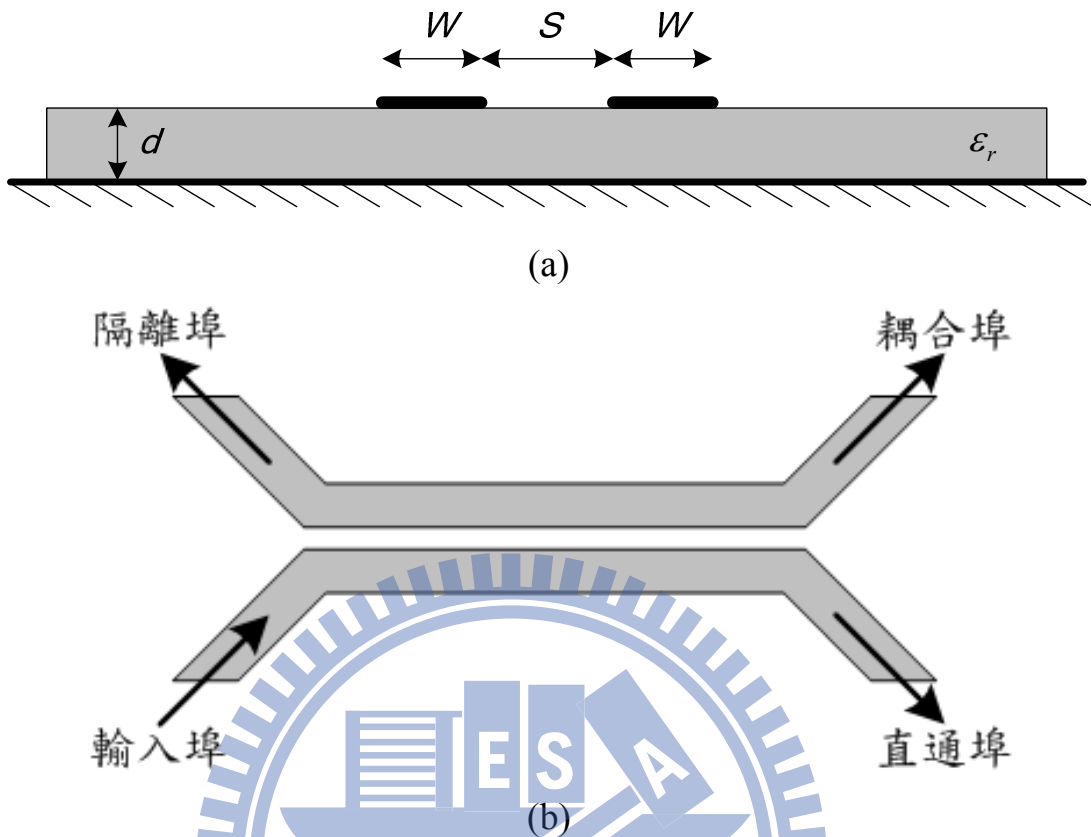


圖 2.1 耦合線方向耦合器 (a) 側視圖 (b) 俯視圖

因為共平面波導管側耦合方向耦合器 (CPW Broadside Coupled Coupler) 具有寬頻及高耦合量特性，大家開始對共平面波導管側耦合方向耦合器產生極大的興趣。事實上，會採用共平面波導管架構來設計，是因為此架構有許多吸引人的優點，如：不需額外花費打貫孔 (VIA)、容易串並接下級或前級電路、簡單地透過改變孔徑及微帶線的寬度來改變特性阻抗以及容易實現於毫米波通訊的應用。

使用共平面波導管實現的方向耦合器，如圖 2.2 所示，容易獲得良好的指向性[3]。透過在基板背面增加一片金屬導體來增加方向耦合器的耦合量[4]，如圖 2.3 所示，雖可有效的達到高耦合量的表現，但因為結構複雜，

而不利於應用在多埠交叉的平面電路，如巴特勒矩陣器（Butler matrix）或複雜結構的微波電路。

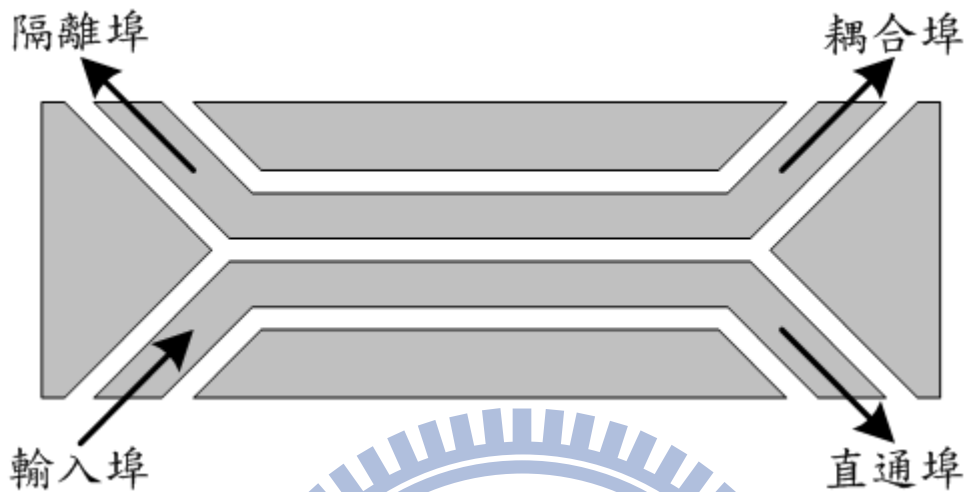


圖 2.2 共平面波導管方向耦合器

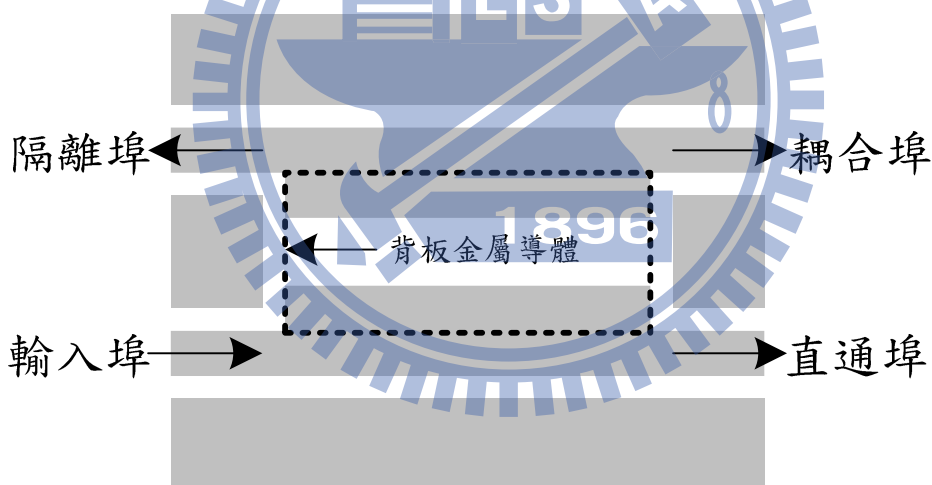


圖 2.3 增加背板導體式共平面波導管方向耦合器

在 2006 年所發表的文獻中[2]，提出了一個使用多層板技術，利用槽耦合方式實現的寬頻共平面波導管側耦合方向耦合器或槽耦合式方向耦合器（Directional Slot-Coupled Coupler），如圖 2.4 所示。利用多層板技術不但簡單設計出高耦合量耦合器，並減少使用的面積。槽耦合式方向耦合器的上

下埠結構，應用在天線波束形成系統和多埠放大器，避免了平面波導管交錯的機會。

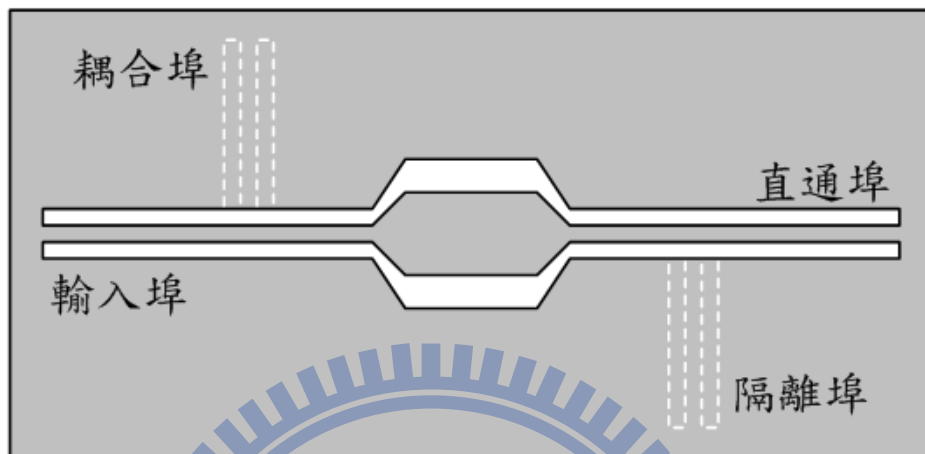


圖 2.4 槽耦合式方向耦合器

本章節我們將分析槽耦合式方向耦合器結構的特性。改良槽耦合式方向耦合器以實現於 TSMC CMOS 0.18 μm 製程中並模擬分析。

2.2 半靜態耦合器分析 (Quasi-Static Coupler Analysis)

圖 2.5 為槽耦合式方向耦合器的結構側面圖。耦合器的結構是兩層基板中間夾一片金屬導體作為共接地面，兩層基板的表面則印刷兩組共平面波導管傳輸線，並且蝕刻掉傳輸線間的接地金屬導體。

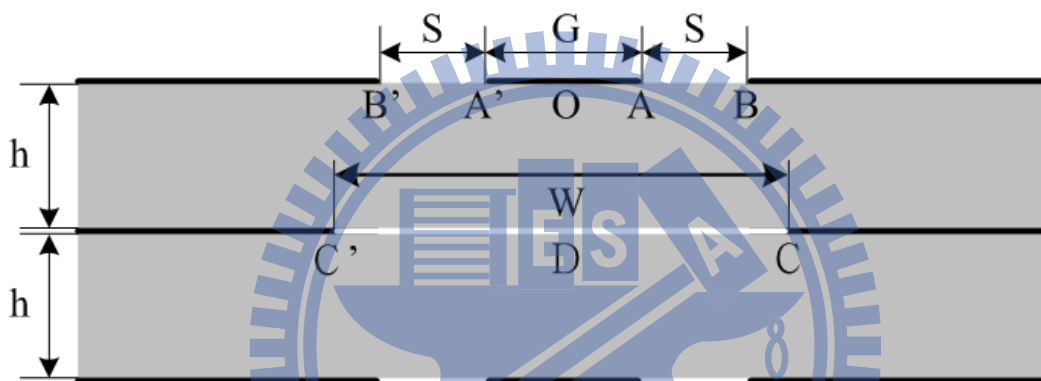


圖 2.5 槽耦合式方向耦合器側面圖

為了讓分析簡單化，必須先假設中間金屬板的面積無限大、金屬厚度極小及所有的金屬為完美導體。此架構由上圖看出，為一個上下對稱性的架構，所以分析的方法與一般的耦合線方向耦合器相同，可將電路等效成兩種基本輸入模態：偶模及奇模。偶模輸入時，兩導體（不含接地）上的電流大小與方向均相同；而奇模輸入時，兩導體（不含接地）上的電流大小相同、方向相反。使用保角變換技術 (Conformal Mapping Technique)，分別計算在偶模跟奇模時，傳輸線上每單位長度的電容，來決定耦合器在

等效成偶模及奇模時的等效阻抗， Z_{0e} 和 Z_{0o} 。透過知道耦合器的 Z_{0e} 及 Z_{0o} ，可以決定幾個耦合器的重要參數，一個為耦合器的各埠特性阻抗 Z_0 、輸入阻抗 Z_{in} 及耦合器的耦合量 C ，可以從式 2.1 及式 2.2 看出。

$$Z_o = Z_{in} = \sqrt{Z_{0e} Z_{0o}} \tag{2.1}$$

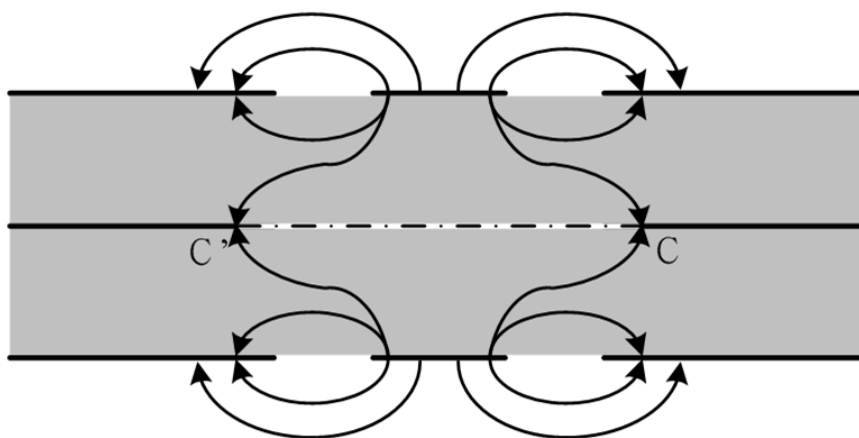
$$C = \frac{Z_{0e} - Z_{0o}}{Z_{0e} + Z_{0o}} \tag{2.2}$$

也可透過耦合量 C 的值，求出適當的偶模及奇模阻抗，如式 2.3 及 2.4 所示。

$$Z_{0e} = Z_0 \sqrt{\frac{1+C}{1-C}} \tag{2.3}$$

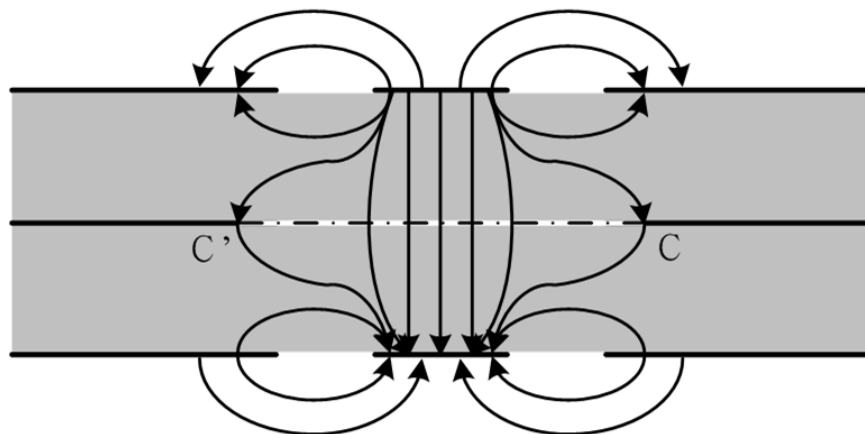
$$Z_{0o} = Z_0 \sqrt{\frac{1-C}{1+C}} \tag{2.4}$$

接著將槽耦合式方向耦合器在偶模及奇模訊號激發時，耦合器側面的電場分佈圖分別顯示於圖 2.6(a)跟(b)。



磁牆

(a)



電牆

(b)

圖 2.6 耦合器電場分佈圖 (a) 偶模 (b) 奇模

從耦合器的電場分部可看出，因為耦合器的結構上下對稱，所以偶模訊號輸入時，中間的對稱面可以視作一面磁牆，所以磁牆的表面將不會有電力線通過；奇模輸入時，中間的對稱面則可以視作一面電牆，大部份的電力線通往底部的金屬訊號線。

在接下來的小節當中，將透過半靜態保角變換技術法 (Quasi-Static Conformal Mapping Technique)，來求得在奇模及偶模時的有效介質常數，進而求得在奇模及偶模時的特性阻抗。

2.2.1 空氣介電層電容的奇模及偶模分析

在奇模輸入時，一片電牆被置於中間對稱處 (CC') 如圖 2.6 所示。分析的範圍就會簡化至僅限於架構上半部的範圍。總奇模的每單位長度電容

值就可被視為電場在上半區域（空氣介電層）的電容值 C_{o1} 及中間區域（基板介電層）的電容值 C_{o2} 相加總。

將架構等效成 t 平面以及 w 平面，如圖 2.7 所示，並使用施瓦茨—克里斯托費爾轉換（Schwarz-Christoffel Transformation）。我們已知在耦合器表面以上的空氣介電層轉換式如式 2.5 所示。

$$t = z^2 \quad (2.5)$$

而施瓦茨—克里斯托費爾整數可被表示為式 2.6

$$w = \int_{t_0}^t \frac{dt}{\sqrt{t(t-t_1)(t-t_2)}} \quad (2.6)$$

所以單位長度的 C_{o1} 可以被表示為

$$C_{o1} = 2\varepsilon_0 \frac{OA}{AB} = 2\varepsilon_0 \frac{K(k_0)}{K(k'_0)} \quad (2.7)$$

上式中的自變數 k_0 已得知於式 2.8

$$k_0 = \frac{a}{b} = \frac{G}{G+2S} \quad (2.8)$$

式中的 $K(k_0)$ 及 $K(k'_0)$ 是第一類的完全橢圓整數 (complete elliptical integrals of the first kind) 及它的補數。 $K(k_0)/K(k'_0)$ 比例的精確表示式於文獻中被提出[5]，如式 2.9 所示

$$\begin{cases} \frac{K(k)}{K(k')} = \frac{\pi}{\ln \left[\frac{2(1+\sqrt{k'})}{1-\sqrt{k'}} \right]} & \text{if } 0 \leq k \leq 0.707 \\ \frac{K(k)}{K(k')} = \frac{1}{\pi} \ln \left[\frac{2(1+\sqrt{k})}{1-\sqrt{k}} \right] & \text{if } 0.707 \leq k \leq 1 \end{cases} \quad (2.9)$$

然後 $k'_0 = \sqrt{1 - k_0^2}$ 。

以上的推導式是耦合器上方空氣介電層在奇模輸入時的狀態，當耦合器在偶模輸入時的情況也相同。

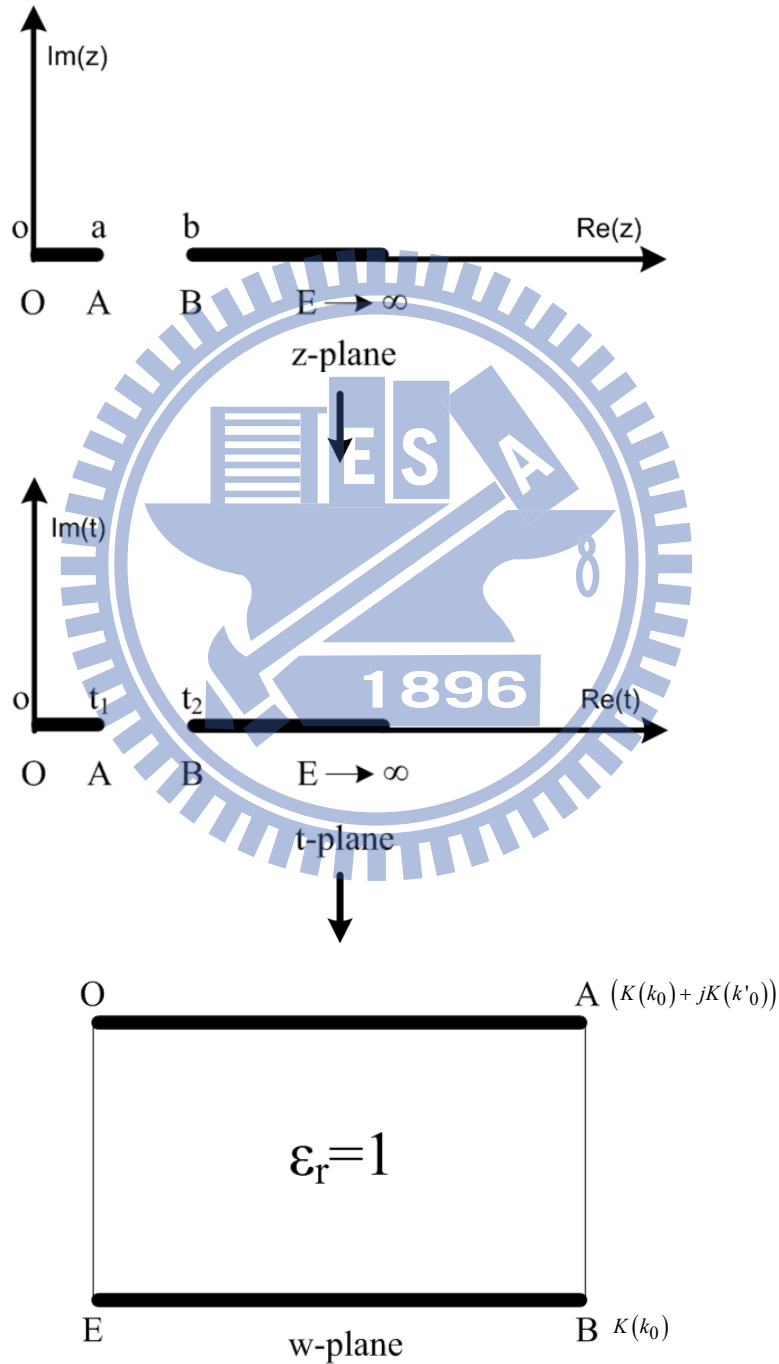


圖 2.7 空氣介電層的保角變換轉換圖

2.2.2 基板介電層電容的奇模分析

如同圖 2.6 所示，因為耦合器上下對稱，分析耦合器於奇模輸入狀態時，可假設中間對稱面 (CC') 為一片電牆，分析時將電牆視為一完美導體。可將整體架構簡化成僅需分析耦合器的上半部。將上半部基板介電層架構等效成如圖 2.8 所示，並依式 2.10~2.12 將奇模等效架構轉換成 t 平面分析，最後再轉成 w 平面，則可計算出基板介電層在奇模輸入時的電容值。

$$t = \cosh^2 \left(\frac{\pi z}{2h} \right) \quad (2.10)$$

$$C_{o2} = 2\varepsilon_r \varepsilon_0 \frac{K(k_1)}{K(k_1')} \quad (2.11)$$

$$k_1 = \frac{\tanh \left(\frac{\pi a}{2h} \right)}{\tanh \left(\frac{\pi b}{2h} \right)} \quad (2.12)$$

式 2.11 為基板介電層電容於基模輸入時的表示式。

所以耦合器於奇模輸入時的總電容 (C_{oT})

$$C_{oT}(\varepsilon_r) = 2\varepsilon_r \varepsilon_0 \frac{K(k_1)}{K(k_1')} + 2\varepsilon_0 \frac{K(k_0)}{K(k_0')} \quad (2.13)$$

我們可由文獻[6]得知，耦合器於奇模輸入時的等效介電係數 ($\varepsilon_{o,eff}$) 如式

2.14 所示

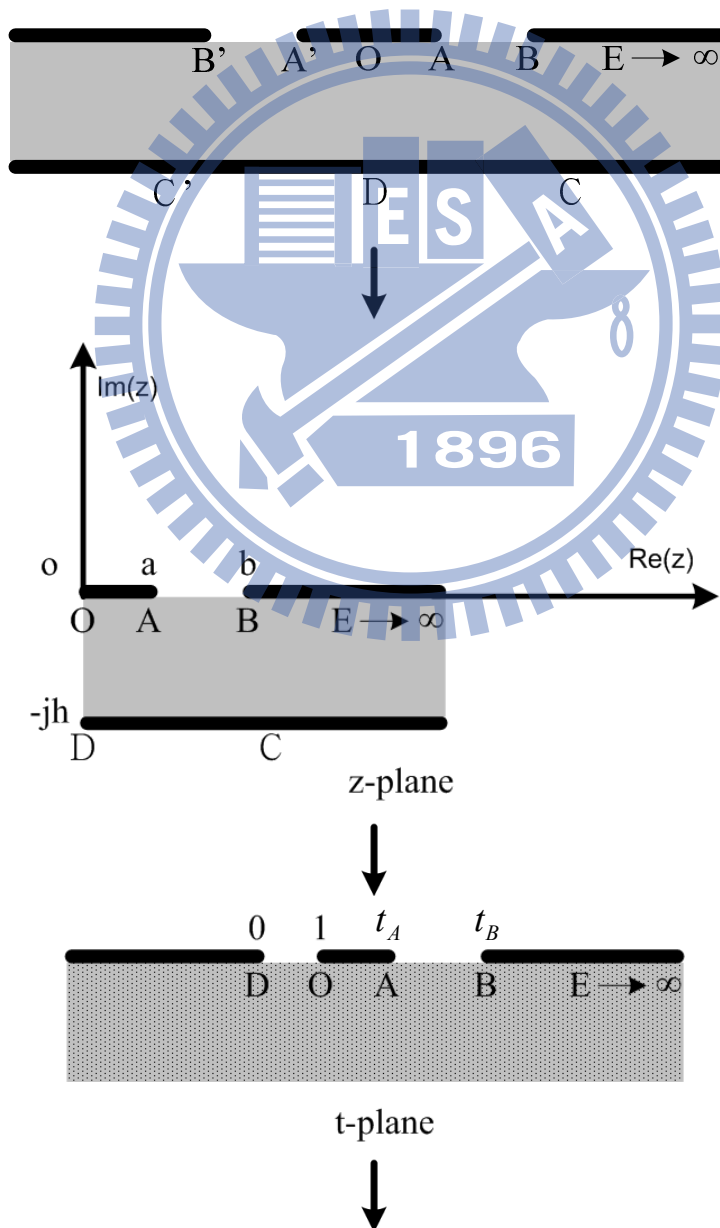
$$\varepsilon_{o,eff} = \frac{C_{oT}(\varepsilon_r)}{C_{oT}(1)} = \frac{1 + \varepsilon_r \frac{K(k_0')}{K(k_0)} \frac{K(k_1)}{K(k_1')}}{1 + \frac{K(k_0')}{K(k_0)} \frac{K(k_1)}{K(k_1')}} \quad (2.14)$$

依上述的式子，可以得到耦合器於奇模輸入時的相速(v_{ph})及特性阻抗(Z_{0o})，

如式 2.15 和 2.16 所示

$$v_{ph} = \frac{c}{\sqrt{\epsilon_{o,eff}}} \quad (2.15)$$

$$Z_{0o} = \frac{1}{C_{oT} v_{ph}} = \frac{1}{c C_{o1} \sqrt{\epsilon_{o,eff}}} = \frac{60\pi}{\sqrt{\epsilon_{o,eff}} \left(\frac{K(k_0)}{K(k'_0)} + \frac{K(k_1)}{K(k'_1)} \right)} \quad (2.16)$$



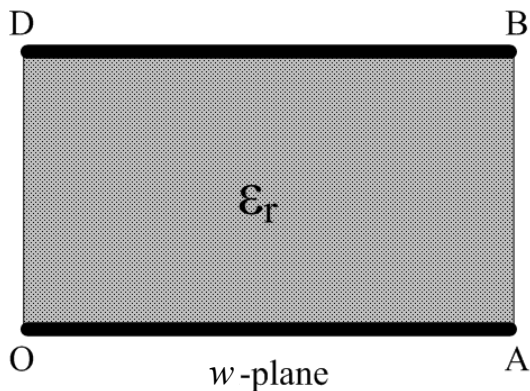


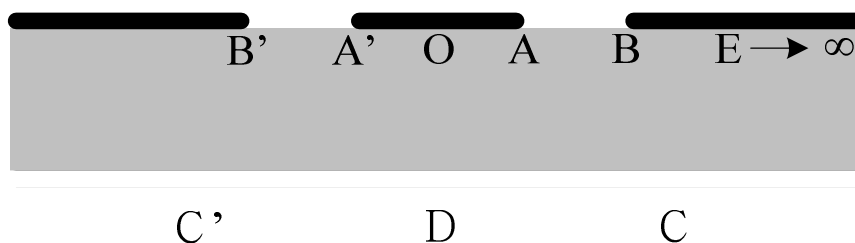
圖 2.8 基板介電層的保角變換轉換圖（奇模）

2.2.3 基板介電層電容的偶模分析

因為耦合器結構上下對稱，所以當耦合器輸入偶模訊號時，可將中間對稱面式為一面磁牆，所以也可將結構簡化成僅需分析耦合器上半部。從耦合器在偶模訊號輸入時的電場分佈可看出，可以透過增加一片電牆(OD)取代左半平面的架構來分析整體架構，如圖 2.8(b)所示。

耦合器於偶模訊號輸入的分析方式與耦合器於奇模訊號輸入時相似。

圖 2.8 表示整個保角變換轉換的過程，



(a)

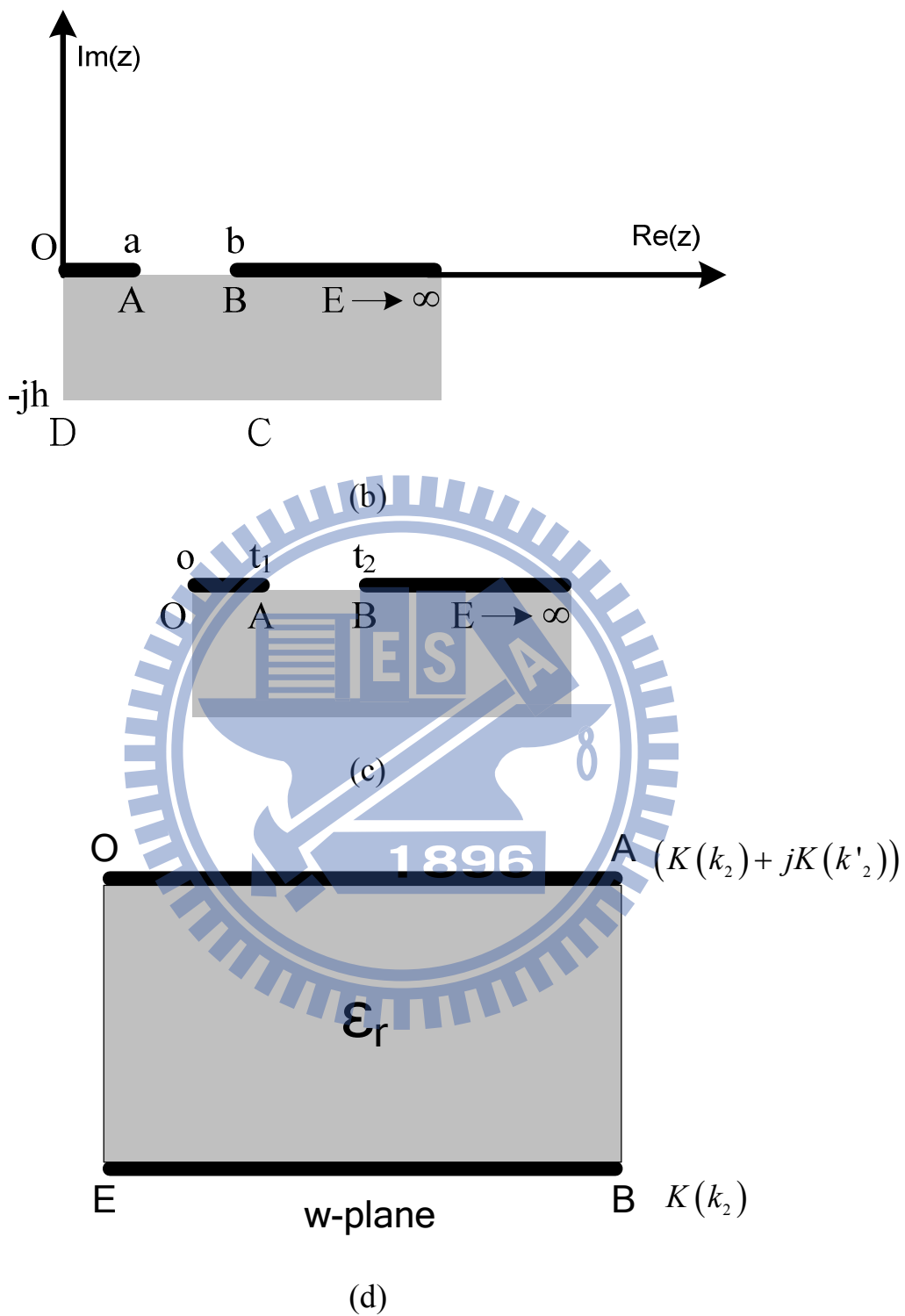


圖 2.9 基板介電層的保角變換轉換圖（偶模）

耦合器經由保角變換轉換成最後的平行板電容後，我們即可計算出耦合器在偶模訊號輸入時的基板介電層電容值 (C_{e2})，如式 2.17 所示

$$C_{e2} = 2\varepsilon_r\varepsilon_0 \frac{K(k_2)}{K(k'_2)} \quad (2.17)$$

式中的常數 k_3 如下式所示

$$k_2 = \frac{a}{b} = \frac{G}{G+2S} \quad (2.18)$$

耦合器於偶模訊號輸入時的總模電容值 (C_{eT})

$$C_{eT}(\varepsilon_r) = 2\varepsilon_r\varepsilon_0 \frac{K(k_2)}{K(k'_2)} + 2\varepsilon_0 \frac{K(k_0)}{K(k'_0)} \quad (2.19)$$

依式 2.14 可得知耦合器於偶模訊號輸入時的等效介電係數 ($\varepsilon_{e,eff}$)

$$\varepsilon_{e,eff} = \frac{C_{eT}(\varepsilon_r)}{C_{eT}(1)} = \frac{1+\varepsilon_r}{2} \quad (2.20)$$

並可由式 2.15 跟 2.16 導出耦合器於偶模輸入時的特性阻抗 (Z_{0e})

$$Z_{0e} = \frac{60\pi}{\sqrt{\varepsilon_{e,eff}} \left(\frac{K(k_0)}{K(k'_0)} + \frac{K(k_2)}{K(k'_2)} \right)} \quad (2.21)$$

由式 2.1 及式 2.2 得知，透過調整耦合器訊號線寬度 G ，接地面與耦合器訊號線距離 S 及中間接地面開槽的寬度 W ，改變耦合器於奇模訊號輸入及偶模訊號輸入時的特性阻抗，來適用於不同特性阻抗的系統中，及不同耦合量需求的應用中。

2.3 耦合共平面波導方向耦合器設計、分析及模擬

2.3.1 耦合器架構

從許多已發表的文獻中[2][3][4]，方向耦合器皆實現於印刷電路板 (Print Circuit Board) 上。文獻[2]所提出的槽耦合式方向耦合器，乃是使用多層板技術來實現。通常是將多塊電路板的金屬層蝕刻或印刷後，再將多塊電路板作定位黏接製作而成。

本論文將此架構的槽耦合式方向耦合器改良實現於 TSMC CMOS 0.18 μm 製程中，圖 2.10 為 TSMC CMOS 0.18 μm 製程側面結構圖。其中 M1~M5 的金屬厚度為 0.53 μm ，M6 的金屬厚度則為 3.5 μm 。IMD1~IMD5 為介電層，介電常數介於 3.7-4.2，M6 上的 Passivation 層總共有兩層，介電常數介於 4.2 與 7.9，是用來包覆整體結構的介電層。最底下則為矽基板，是一個有損耗的基板，基板厚度為 350 μm 。

	M6	Passivation
	M5	IMD5
	M4	IMD4
	M3	IMD3
	M2	IMD2
	M1	IMD1
	ILD	
	Substrate	

圖 2.10 TSMC CMOS 0.18 μm 製程側面結構圖

由上圖可得知，在此製程中總有六層金屬導體層，可供設計者規畫，所以非常適合製作使用多層板技術設計的槽耦合式方向耦合器。

文獻所提及的耦合器結構中，結構兩旁共有三層接地面，總共有分上層、中層、以及下層。所以在耦合器製作時，必須要將三層接地面導通。使用印刷電路板研至時，導通的方式通常有兩種，一種是電路板定位黏接完成後，在邊緣將 SMA 接頭的接地端與三層接地面焊接在一起。另一種方式，是直接使用貫孔將三層接地面導通，但需額外花費，所以通常是使用第一種方式來製作。在 TSMC CMOS 0.18 μm 製程上，免費提供貫孔給設計者規畫，所以可以以相當方便簡單的方式，將所有的接地層導體，透過貫孔全部接通。所以在 TSMC CMOS 0.18 μm 製程所實現的改良結構，如圖 2.11 所示。

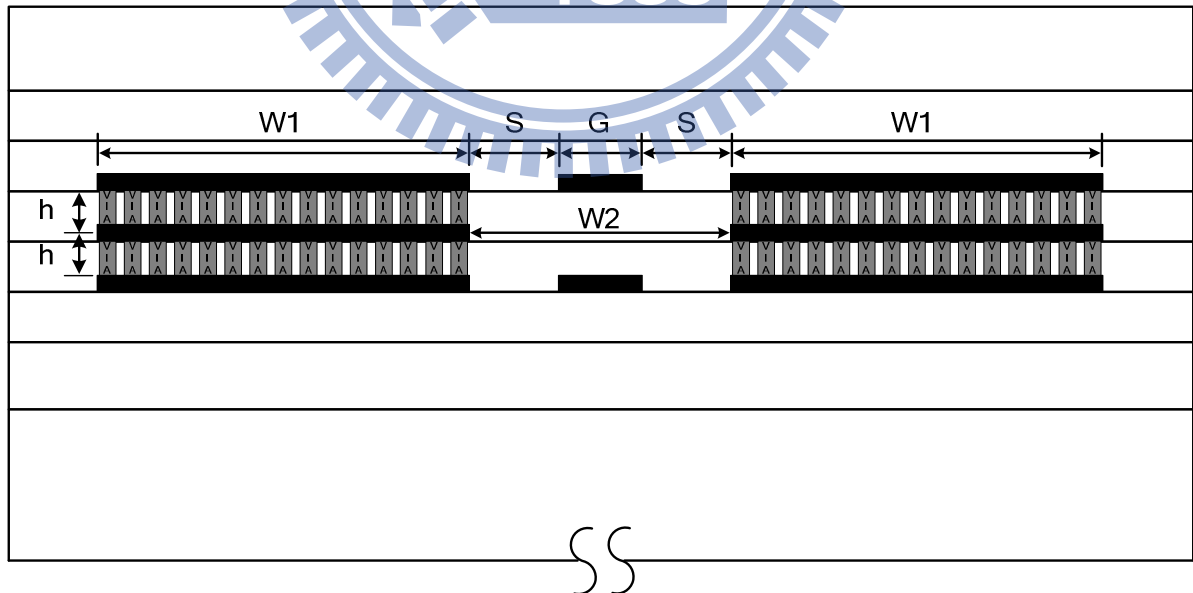


圖 2.11 實現於 TSMC SiGe 0.18 μm 製程之槽耦合式方向耦合器剖面圖

2.3.2 耦合器的設計

在 TSMC CMOS 0.18 μm 製程中設計被動元件或電路時，通常設計者會考量到金屬的厚度問題。因為當金屬導體厚度越厚的時候，傳輸線上的串聯電阻會越小，傳輸線的損失也會越小。所以設計者通常會在最厚的金屬導體層中設計，也就是 M6 的金屬層。但是局限於製程中僅有一層 M6 的金屬層，若將耦合器設計於此層，耦合器的架構會不對稱。所以如圖 2.9 所示，學生將整個耦合器架構設計在 M1~M5 的金屬層中。

雖然是在 M1~M5 的金屬層中設計，還是可將上下層訊號線導體透過貫孔連接的方式，增加訊號線導體的厚度，以減少傳輸線損失。所以在上下訊號線距離不變情況下，增加訊號線導體的厚度設計的耦合器剖面圖，如下圖所示

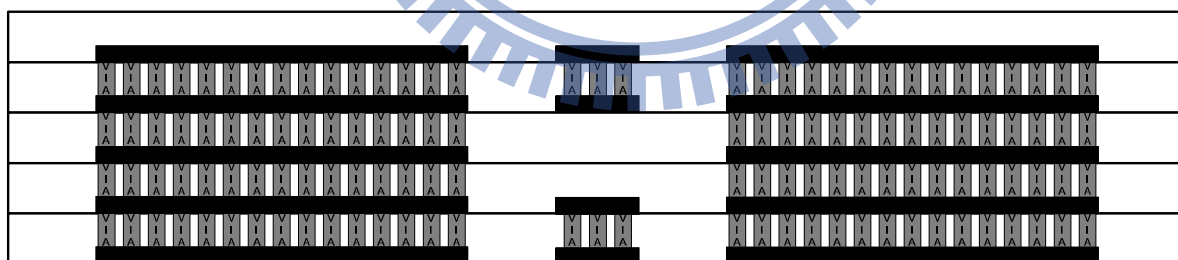


圖 2.12 厚金屬設計之槽耦合式方向耦合器剖面圖

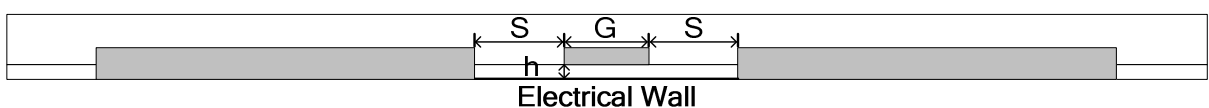
上圖所示的厚金屬方式設計的耦合器，雖然透過製程所提供規劃之貫孔，提升了耦合器的效能，但是因為貫孔在製程中，不是一整塊的金屬連接上下層導體，貫孔與貫孔間會有間隙，如許多細小的金屬柱，分佈在我

們所規劃的地方。這些細小的金屬柱於高頻操作時的響應，如同電感一般，反而在高頻時引響了耦合器的效能表現。所以這樣的設計方法，適合設計於低頻的應用上。

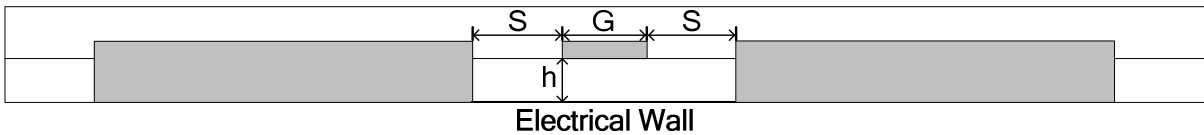
由 2.2 小節所推導的式子中可整理出，耦合器的奇模阻抗和偶模阻抗可透過調整圖 2.11 中耦合器訊號線寬度 G 、接地面與耦合器訊號線距離 S 及中間接地面開槽的寬度 W_2 這些數值的大小決定。所以透過上一小節文獻上所推導的的式子，在我們所需要的奇模阻抗和偶模阻抗，雖然耦合器所處的環境與式子中所推導的條件不相同，但還是可約略計算出 G 和 S 這些數值的範圍。調整開槽的寬度 W_2 ，可微調奇模和偶模阻抗的大小，但由於調整的幅度不大，所以不另對 W_2 的大小作設計，而直接令 $W_2 = G + 2S$ 。決定接地面的寬度大小 W_1 數值上，因為推導式中的條件是以接地面無限寬來分析，但現實情況是不可能達成的，而學生發現，只要寬度大於等於 $\frac{1}{2}(G + 2S)$ ，就幾乎不影響奇模和偶模阻抗的大小。

在設計的過程中，學生發現到，調整訊號線寬度 G 與接地面和耦合器訊號線距離 S ，對於耦合量的影響甚大，也影響到阻抗匹配，所以學生透過以下的概念調整耦合器。

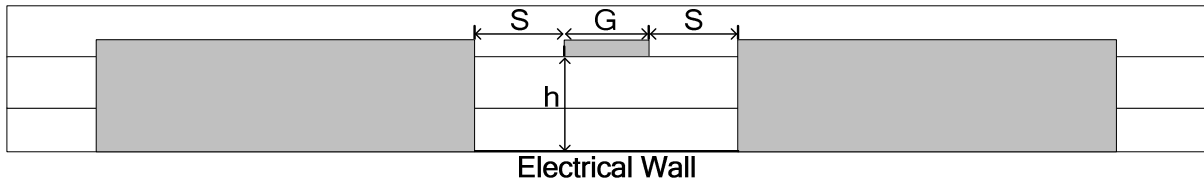
學生將耦合器於奇模訊號激發時的架構等效成下圖所示：



(a)



(b)



(c)

圖 2.13 耦合器之奇模等效架構剖面圖 (a) M2&M3 (b) M2&M4 (c) M1&M5

學生將整個耦合器架構設計在 M1~M5 的金屬層中，可設計成三種架構，這三種架構不同之處在於訊號線距離的遠近，且訊號線與對稱面距離高度 h 皆不同，上圖為它們分別在奇模訊號激發下的等效圖。從圖上觀察到，等效圖如同具接地面共面波導 (coplanar waveguide with ground, CPWG) 傳輸線，表示耦合器的奇模阻抗特性就如同具接地面共面波導線的特性阻抗。此時奇模阻抗的大小取決於訊號線寬度 G 以及訊號線距離的遠近 h ，當訊號線寬度越大，特性阻抗就小；寬度越小，則反之。相同的，訊號線距離越大，特性阻抗就小；距離越小，則反之。而接地面跟訊號線距離 S 對於特性阻抗的影響甚小。

在了解耦合器在奇模訊號激發下約略的特性之後，設計者可以清楚知道奇模阻抗的趨勢，調整出應用所需的奇模阻抗。

學生將耦合器於偶模訊號激發時的架構等效成下圖所示：

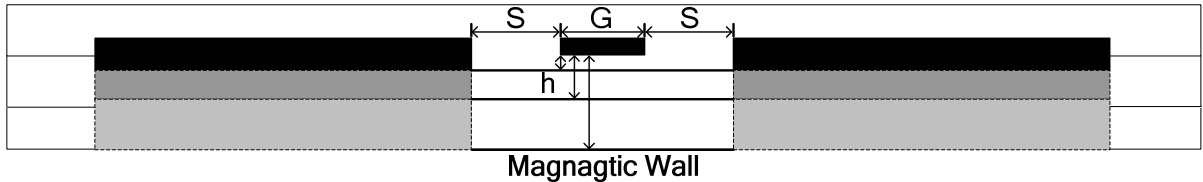


圖 2.14 耦合器之偶模等效架構剖面圖

相同的，會有三種訊號線與對稱面距離高度 h 不同的架構。學生將這三種架構於上圖一同表示。可從圖上觀察到，等效圖中如同共平面波導（CPW）傳輸線，所以偶模的阻抗特性與共平面波導傳輸線特性阻抗特性相似。其中影響偶模的阻抗較大的參數為訊號線寬度 G 及接地面跟訊號線距離 S ，偶模的阻抗與訊號線寬度成反比，與接地面跟訊號線距離成正比。

依照以上的概念，設計者可以清楚知道偶模阻抗的趨勢，調整出應用所需的偶模阻抗。

2.3.3 耦合器的模擬結果與討論

學生將三種不同高度的架構透過模擬比較後發現，使用 M2~M5 最適合使用在 50Ω 的系統中。所以學生就以這樣擺設架構的耦合器模擬分析。學生使用 Sonnet 電磁模擬軟體來模擬耦合器。下圖為一個中心頻為 30 GHz，耦合量為 3dB 的槽耦合式方向合器模擬外觀圖數據圖。

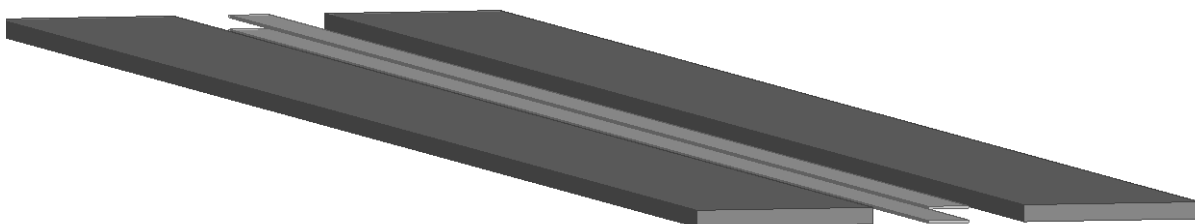


圖 2.15 3dB 耦合量耦合器之模擬外觀圖

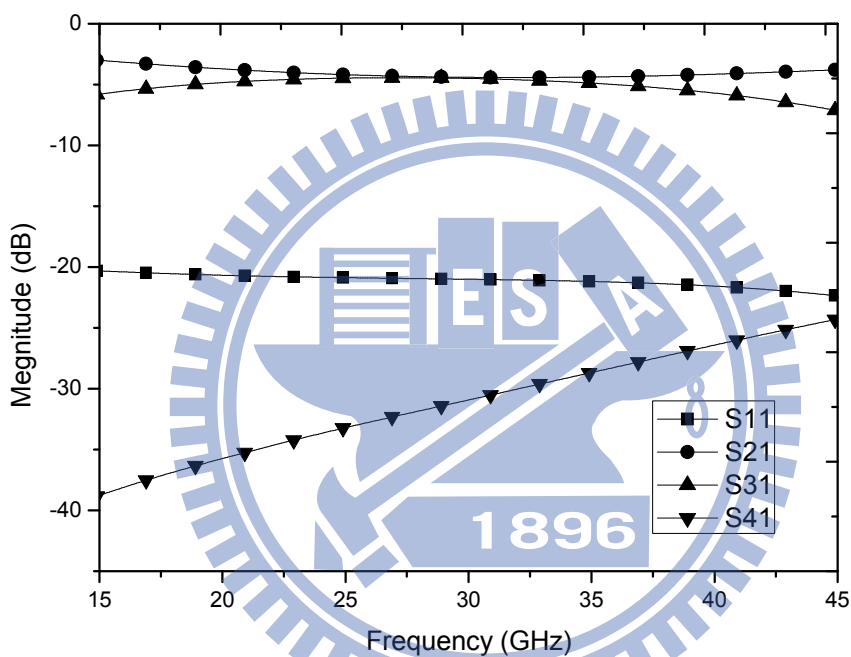


圖 2.16 3dB 耦合量耦合器之散射參數

耦合器散射參數中的反射損失在 15~45GHz 都低於-20dB，所以耦合器具有相當寬頻的特性，比例頻寬超過 100%。在中心頻 30GHz 時的指向性約為 25dB，耦合器擁有良好的的指向性。圖 2.17 為耦合器的直通埠及耦合埠輸出訊號相位差模擬數據圖。根據一個理想的方向耦合器，耦合器在中心頻時的直通埠及耦合埠輸出有 90 度的訊號相位差。從圖中可發現，從

1~45 GHz 的相位差，皆在 90 正負 5 度以內，所以也有相當好的相位差寬頻特性

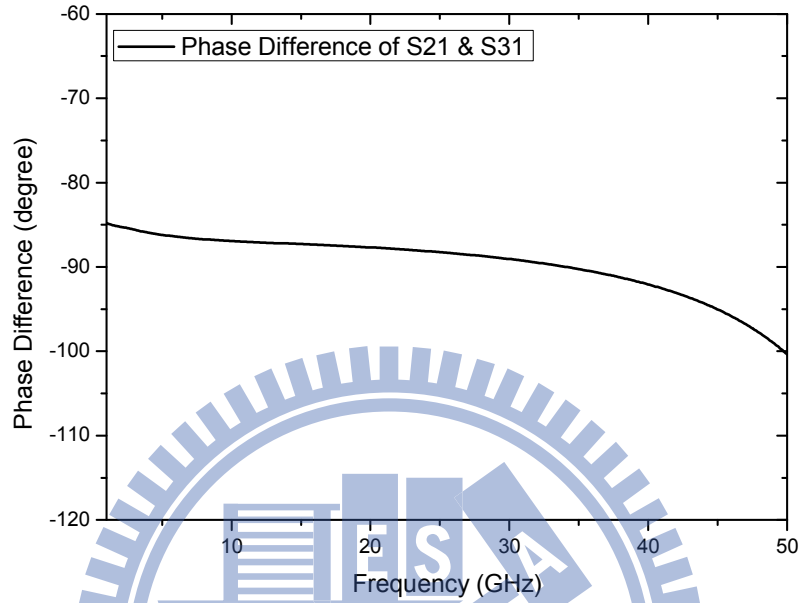


圖 2.17 直通埠及耦合埠輸出訊號相位差

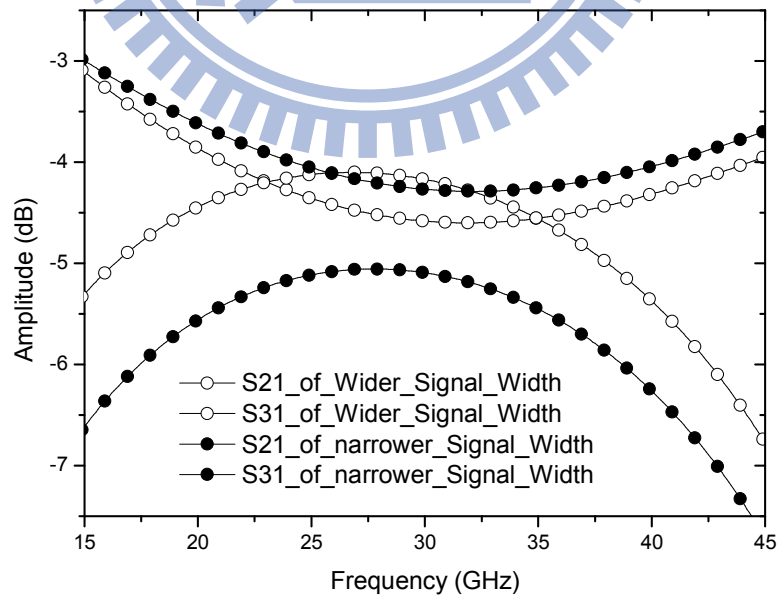


圖 2.18 調整訊號線寬度之穿透損失比較圖

圖 2.18 是調整 3dB 耦合器的訊號線寬度後得到的的模擬數據圖。學生將 3dB 耦合量的耦合器，透過調整訊號線寬度，分析其對耦合器的影響。學生固定接地面跟訊號線距離，小幅調整訊號線寬度（增減 $2\mu m$ ）。上圖虛線為增加訊號線寬度耦合器的 S21 及 S31；實線為減少訊號線寬度耦合器的 S21 及 S31。兩耦合器的耦合量約略差了 1.5dB。兩者的耦合量差與 3dB 耦合量比較後，變化量約為 17 個百分點。此時主要影響耦合器的耦合量是耦合器的奇模阻抗。

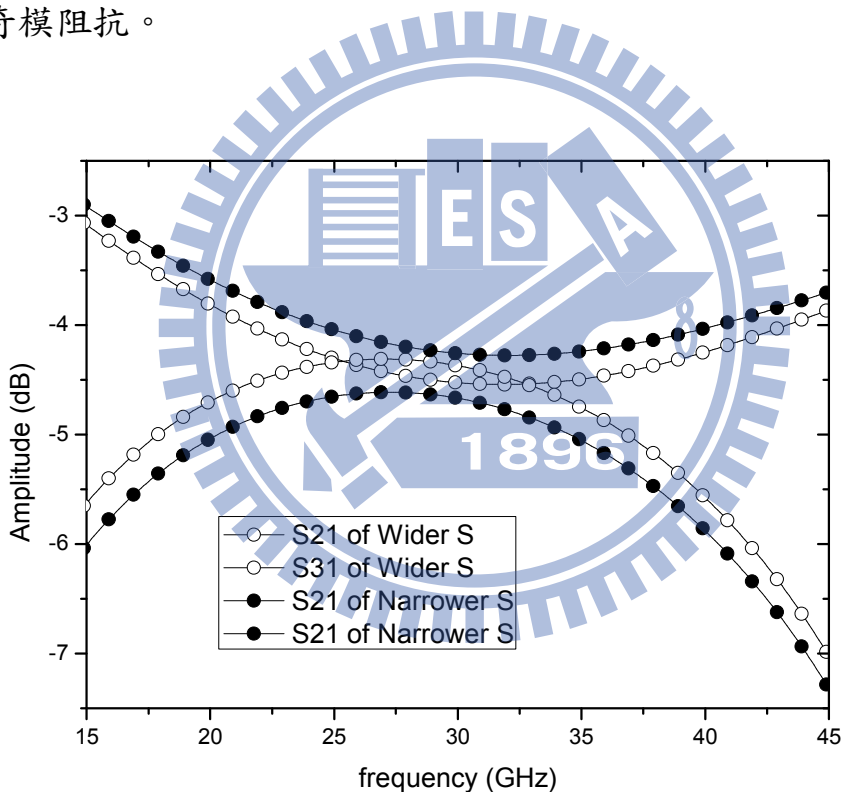
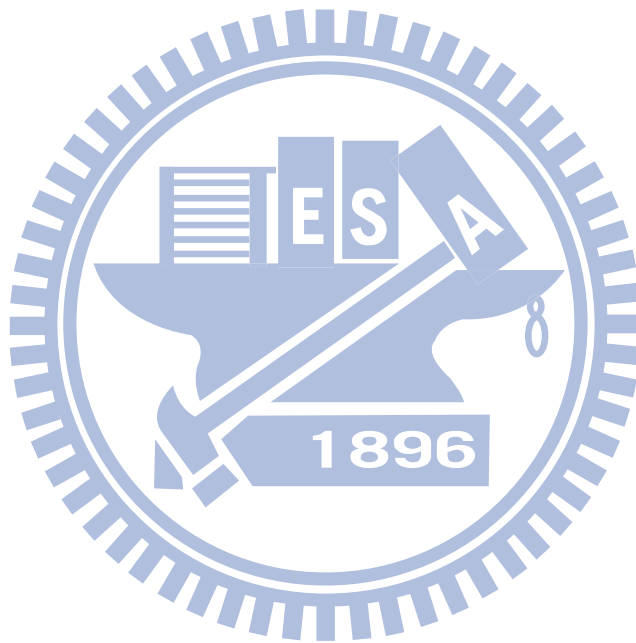


圖 2.19 調整接地面跟訊號線距離之穿透損失比較圖

圖 2.19 是調整原 3dB 耦合器的接地面跟訊號線距離後得到的的模擬數據圖。調整接地面跟訊號線距離 S 後，分析其對耦合器的影響。學生固定訊號線寬度，將距離各增減 $2\mu m$ 。上圖虛線為增加距離後耦合器的 S21 及

S31；虛線為減少距離後耦合器的 S21 及 S31。兩耦合器的耦合量約略差了 1dB。兩者的耦合量差與 3dB 耦合量比較後，變化量約為 11 個百分點。此時主要影響耦合器的耦合量是耦合器的偶模阻抗。







第三章

雙馬爾尚巴倫器

3.1 介紹

巴倫器 (Balun) 在平衡的微波前端電路中扮演著相當重要的角色，如多平衡的混頻器、推挽式放大器及許多其他的應用等等。巴倫器功能是将一個不平衡的輸入訊號轉換輸出兩個平衡的輸出訊號，且兩輸出訊號相位相差 180 度。所以一個好的巴倫器必須擁有低損失、好的平衡輸出和極小角度的誤差，在應用上才會有好的表現。如應用於多平衡的混頻器時，混頻器才會有低轉換損失、低驅動混頻器的功率、良好的埠與埠隔離度極高線性度。

巴倫器可更進一步被分為主動及被動的巴倫器。主動式巴倫器的主要優點為設計占用的面積極小，所以很容易整合進積體電路 (Integral Circuit) 中。但是主動的巴倫器在設計上會遇到許多的挑戰，如線性度、雜訊指數及平衡特性等挑戰。被動式巴倫器又可被細分為集結元件式巴倫器及馬爾尚巴倫器。有著比主動式巴倫器更好的平衡特性及動態範圍。集結元件式巴倫器比馬爾尚巴倫器設計所需面積來的小，但有著較差的輸出平衡特性。

近年來，由於馬爾尚巴倫器的優良平衡特性及寬頻操作特性，受到許多關注[2]。隨著使用頻率不斷增高，大家開始將馬爾尚巴倫器整合進積體電路中，縮小馬爾尚巴倫器的使用面積變成近年來研究一個很重要的議題 [3]。

隨著微波電路系統電路不斷拓展，一個電路中，馬爾尚巴倫器的使用量也越來越多，儘管能越來越縮小馬爾尚巴倫器使用面積，但最終一定會有縮小的上限，勢必要有其他的方法來整合眾多的馬爾尚巴倫器。所以本章節將提出一個雙馬爾尚巴倫器。使用堆疊方式，將雙馬爾尚巴倫器實現於 TSMC CMOS 0.18 μm 製程中。



3.2 馬爾尚巴倫器 (Marchand Balun)

馬爾尚巴倫器是一個非常寬頻且常見的微波被動元件，是由兩組四分之一波長耦合傳輸線組合而成，分別有兩條連接路徑，一條是兩耦合器的上耦合線連接後，尾端開路。一條是下耦合線各單一端點分別接地。如圖 3.1 所示。馬爾尚巴倫器較常見的製作方式是使用耦合微帶線、藍基耦合器或者螺旋線圈組合而成。螺旋線圈組合而成的馬爾尚巴倫器較常被拿來使用，因為面積較其他種組合方式來的小，且線圈間的互感減少了傳輸線上串聯電組的損失。

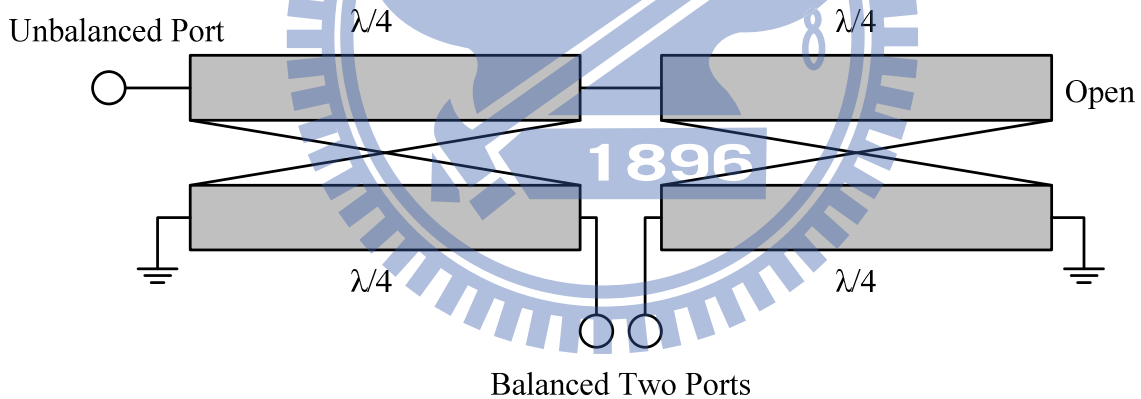


圖 3.1 馬爾尚巴倫器

透過以下定義，可以求得馬爾尚巴倫器的散射係數。四分之一波長耦合線的散射係數中有兩個重要的參數，一為耦合係數 C ，一為穿射係數 T 。在一個無損失的耦合器中，兩者關係如下

$$|C|^2 + |T|^2 = 1 \tag{3.1}$$

C 即為耦合器的耦合量，而 $T = -j\sqrt{1-C^2}$ 。

從文獻中可得知馬爾尚巴倫器的散射係數[7]

$$[S] = \begin{bmatrix} -C^2 + \frac{T^4}{1+C^2} & -CT + \frac{CT^3}{1+C^2} & CT - \frac{CT^3}{1+C^2} \\ -CT + \frac{CT^3}{1+C^2} & -T^2 + \frac{C^2T^2}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} \\ CT - \frac{CT^3}{1+C^2} & C^2 - \frac{C^2T^2}{1+C^2} & -T^2 + \frac{C^2T^2}{1+C^2} \end{bmatrix} \quad (3.2)$$

將上式使用式 3.1 轉換可得

$$[S] = \begin{bmatrix} \frac{1-3C^2}{1+C^2} & j\frac{2C\sqrt{1-C^2}}{1+C^2} & -j\frac{2C\sqrt{1-C^2}}{1+C^2} \\ j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{1-C^2}{1+C^2} & \frac{2C^2}{1+C^2} \\ -j\frac{2C\sqrt{1-C^2}}{1+C^2} & \frac{2C^2}{1+C^2} & \frac{1-C^2}{1+C^2} \end{bmatrix} \quad (3.3)$$

所以，為了得到良好的輸入匹配，即 $S_{11} = 0$ ，會將兩耦合器的耦合量設計在 $1/\sqrt{6}$ 或 4.8dB，此時會有最大的穿輸功率，最好的效能。

3.3 雙馬爾尚巴倫器 (Dual Marchand Balun)

近幾年發表的文獻，陸續有使用雙馬爾尚巴倫器或雙巴倫器製作雙平衡混頻器[3][4][5]，如星型混頻器。常見的使用兩組雙馬爾尚巴倫器組成的混頻器，因為雙巴倫器輸出的差模訊號驅動，使得混頻器間埠與埠的隔離度變得很好。隔離度對於混頻器是一個相當重要的規格。

3.3.1 雙巴倫器等效圖

雙巴倫器顧名思義是將一個不平衡的輸入訊號轉換輸出四個平衡的輸出訊號，且分別兩兩輸出訊號相位相差 180 度，是為一個一分四分波器。

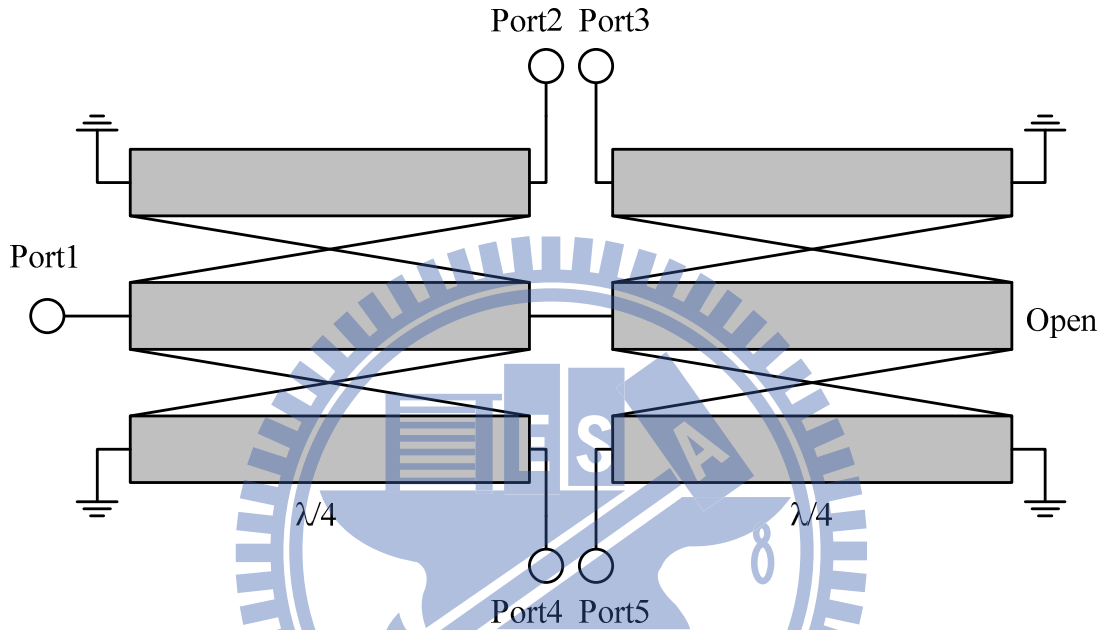


圖 3.2 雙馬爾尚巴倫器

圖 3.2 即為一個雙馬爾尚巴倫器的等效圖，由兩組上中及中下兩兩耦合的四分之一波長耦合傳輸線所組合而成。組合方式為兩組中間共耦合的耦合傳輸線連接在一起，一端為單端輸入埠，一端開路。其餘四條的耦合傳輸線外側端接地，內側端即為輸出訊號端。表示於 Port1 輸入訊號後，訊號能量會平均分波至 Port2~Port5，且 Port2 及 Port3 的輸出相位差為 180 度，Port4 及 Port5 的輸出相位差為 180 度。

3.4 實作：雙馬爾尚巴倫器 (CMOS 0.18 μm)

3.4.1 研究動機

近年來無線通訊系統蓬勃發展，無線產品的工作頻率不斷增高。因為波長與頻率成反比，頻率的提高有助於將傳統微波的被動元件微小化到可實現在晶片中。極高頻晶片中開始使用大量的微波被動元件。微波被動元件的性能，開始對晶片的效能有著極大的影響。本實作將微波被動元件，雙馬爾尚巴倫器，實現於 TSMC CMOS 0.18 μm 製程中。

3.4.2 雙馬爾尚巴倫器的設計

馬爾尚巴倫器可透過兩組四分之一波長耦合傳輸線組合而成，一般是使用平面式的耦合線。四分之一波長耦合傳輸線即為方向耦合器。利用第二章的提出的實現在 TSMC CMOS 0.18 μm 製程的方向耦合器，可以簡單組合出馬爾尚巴倫器。相同的，學生利用製程中的五層金屬層 M1~M5 實現雙馬爾尚巴倫器。

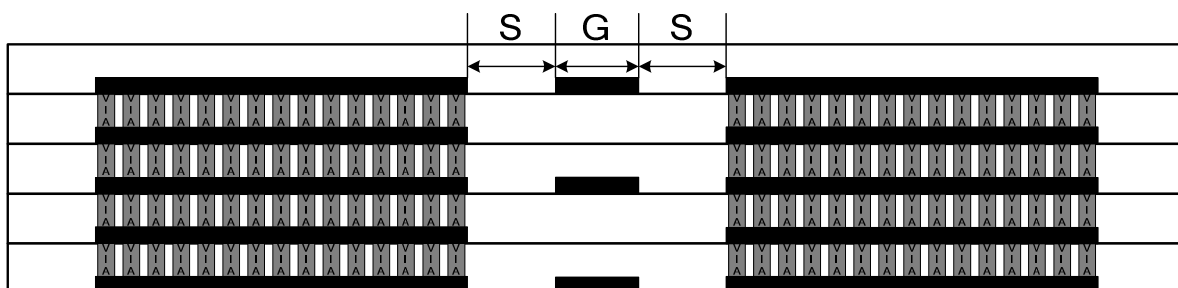


圖 3.3 上中及中下兩兩耦合傳輸線剖面圖

使用 M1、M3 及 M5 金屬層當訊號線，兩旁接地面則使用貫孔相連接的 M1~M5 金屬層，實現了上中及中下兩兩耦合傳輸線。使用圖 3.3 結構組合成雙馬爾尚巴倫器。

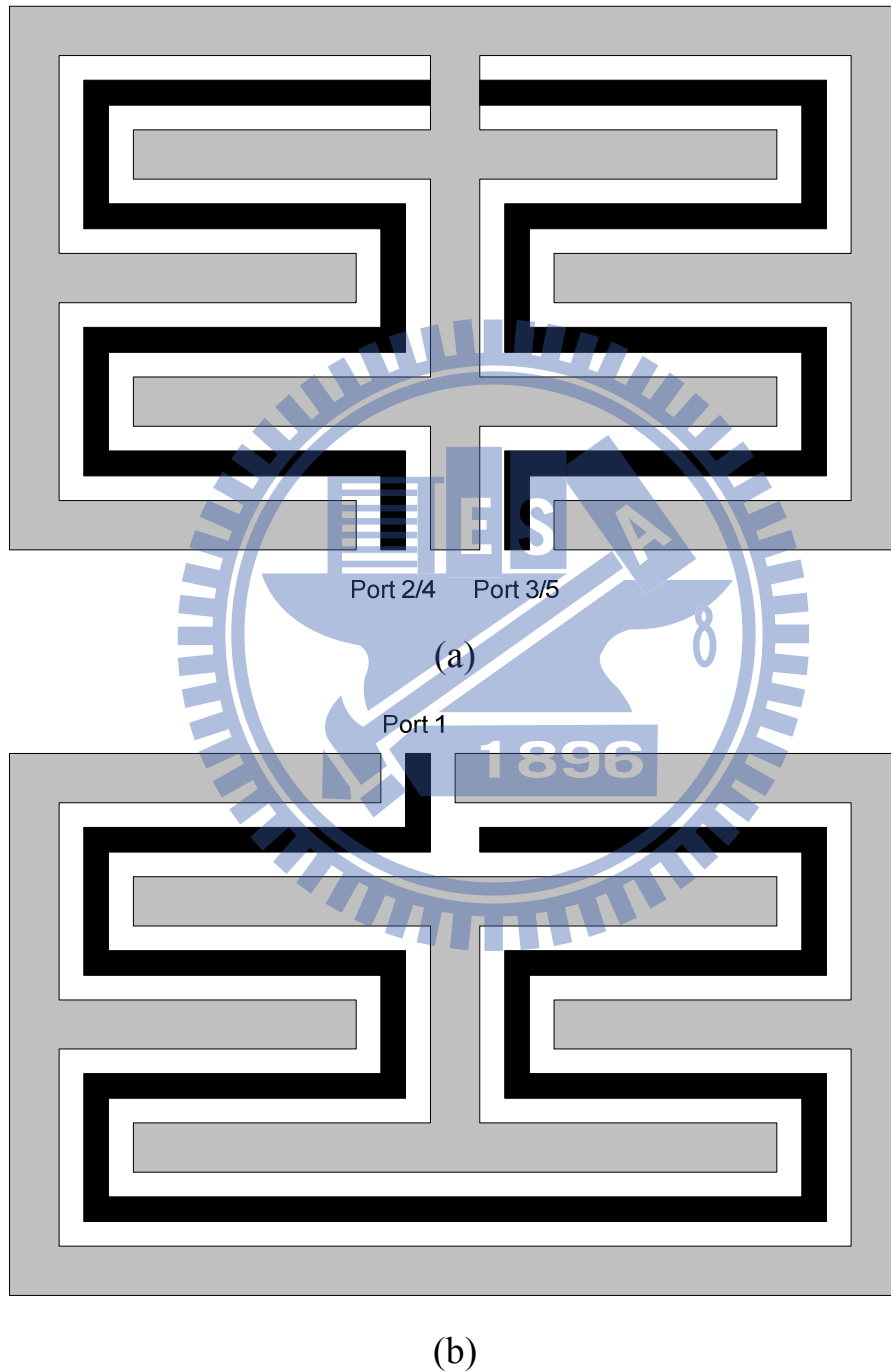


圖 3.4 實現於 TSMC CMOS 0.18 μm 製程之雙馬爾尚巴倫器俯視圖

(a) 上及下耦合線層 (b) 中間耦合線層

將兩組四分之一波長的上中及中下兩兩耦合傳輸線，透過折疊的方式縮小使用高度，如圖 3.4 所示，左邊與右邊各一組。雙馬爾尚巴倫器的 M1 及 M5 金屬層耦合線結構，如圖 3.4(a)所示，耦合線的一端(上端)分別接至接地點，另一端即為輸出埠。M3 的金屬層耦合線結構，如圖 3.4(a)所示，將兩耦合線相連接，尾端開路，開端則為輸入埠。

學生使用 Ansoft HFSS 3D 電磁模擬軟體模擬耦合共平面波導式雙馬爾尚巴倫器。目前尚未有理論推導出如何設計出最佳雙巴倫器的條件，所以學生希望透過不斷調整 G 及 S 兩參數，設計出合理效能的雙巴倫器。

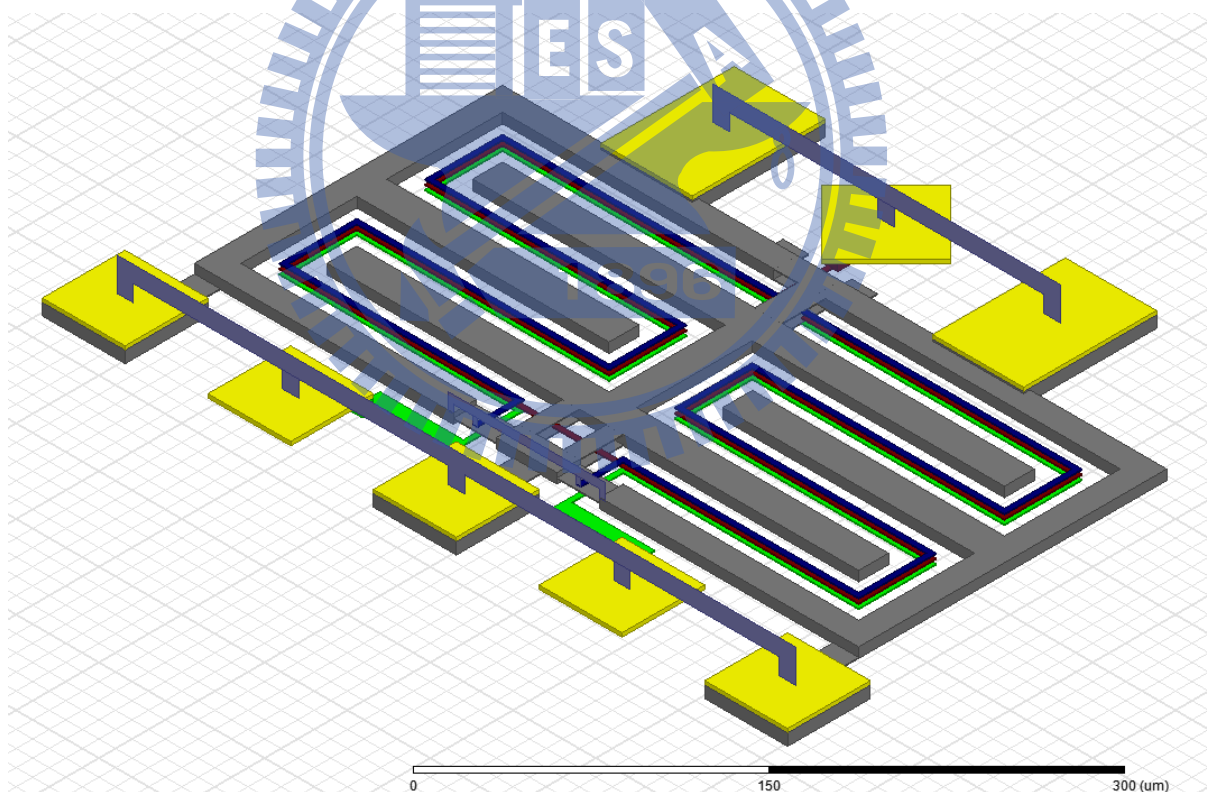
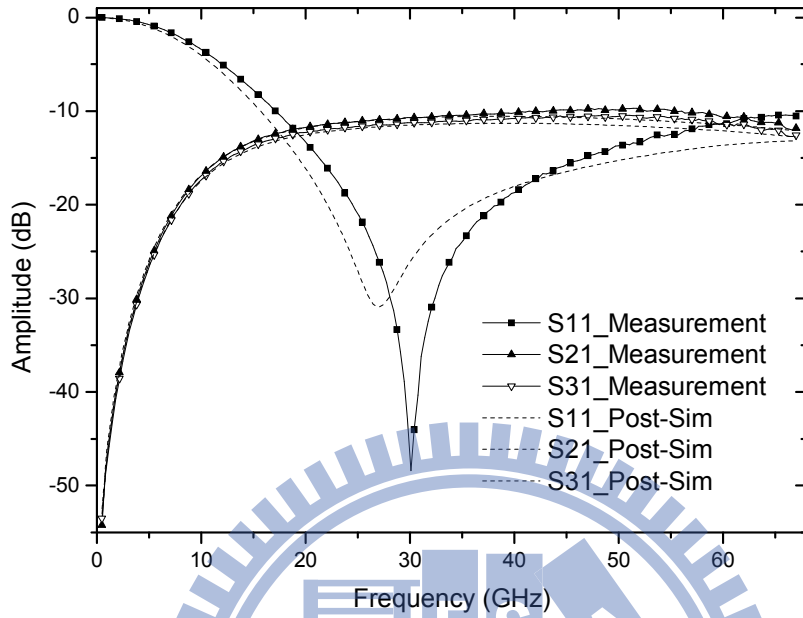
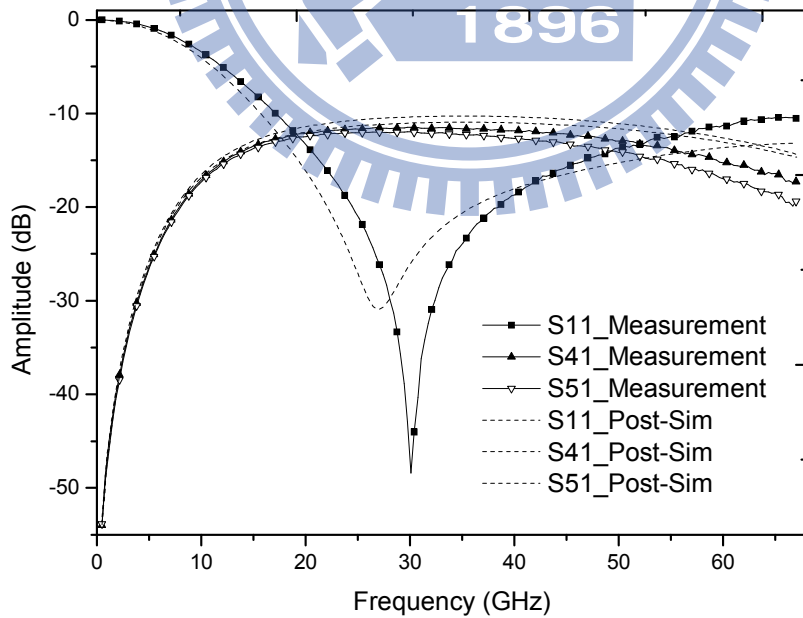


圖 3.5 使用 HFSS 模擬雙馬爾尚巴倫器之俯視圖

3.4.3 晶片量測

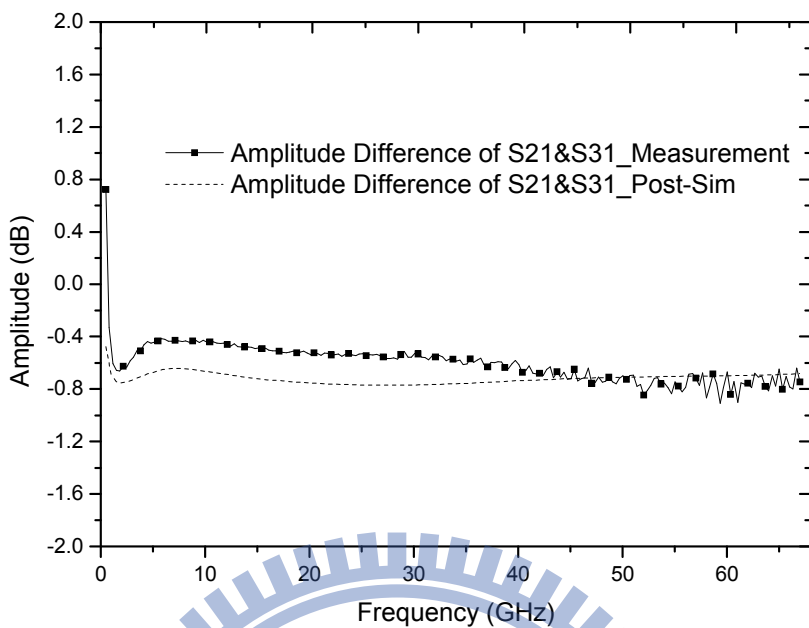


(a) Port1 to Port2 & Port3

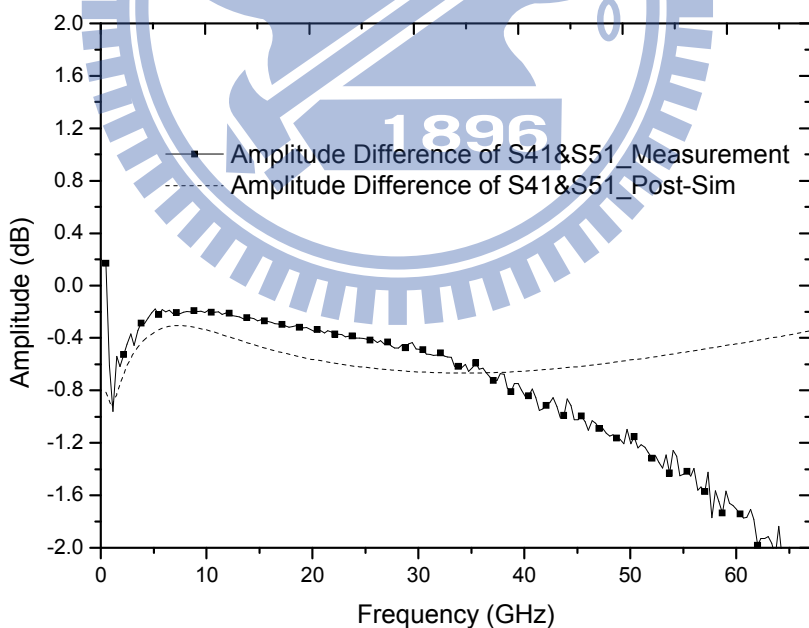


(b) Port1 to Port4 & Port5

圖 3.6 輸入返回損失及穿透損失模擬及量測比較

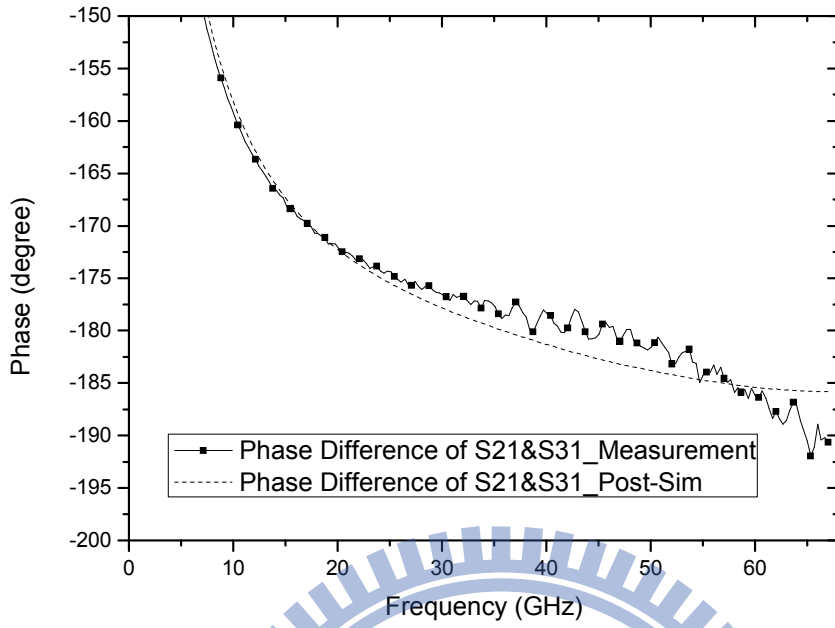


(a) Port1 to Port2& Port3

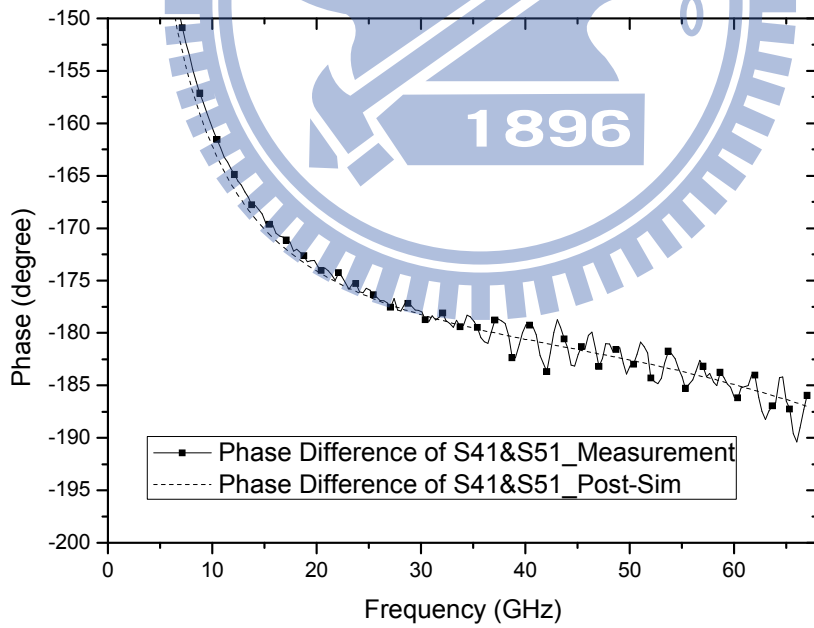


(b) Port1 to Port4& Port5

圖 3.7 輸出振幅不平衡模擬及量測比較



(a) Port1 to Port2& Port3



(b) Port1 to Port4& Port5

圖 3.8 輸出相位不平衡模擬及量測比較

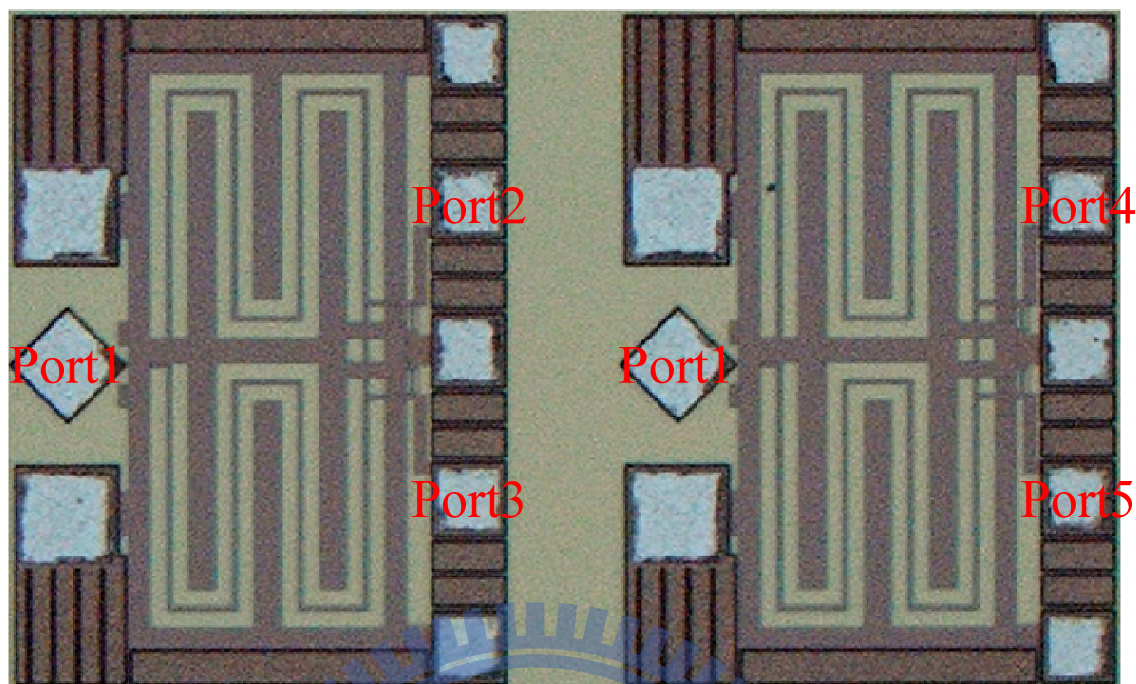


圖 3.9 Die Photo (0.4 mm × 0.7 mm)

3.4.4 結果及討論

本被動元件實現於 TSMC CMOS 0.18 μm 製程，晶片照片如圖 3.7 所示，晶片內分兩個部分，分別測試兩對輸出埠的特性，未連接到輸出埠的兩個輸出埠，則個別連接 50 歐姆的負載。輸入埠採用 GSG pad，輸出埠採用 GSGSG pad，量測散射參數的頻率範圍為 0.5 至 67 GHz，此晶片面積為 $0.4 \times 0.7 \text{ mm}^2$ ，單一個雙巴倫器大小為 $0.33 \times 0.4 \text{ mm}^2$ 。

由圖 3.6 的模擬及量測比較圖來看，雙巴倫器的輸入返回損失 (S_{11}) 在模擬時小於 -10dB 的範圍約為 16 至超過 67 GHz，匹配最好的中心頻率落在 28 GHz。量測數據，小於 -10dB 的範圍約為 18 至超過 67 GHz，輸入匹配頻寬超過 100%，匹配最好的中心頻率落在 30 GHz，而且有極佳的匹配。

S11 的模擬及量測上有些頻偏，是因為在模擬時，學生將 pad 上的貫孔當作一整塊金屬模擬，所以無模擬製程中的貫孔的響應，而有所頻偏。穿透損失在模擬時，上下四埠輸出約為-10.5 dB，兩埠間約有 0.8 dB 的不平衡。上下四埠輸出的量測數據約為-11.5 dB，與模擬相差不大，兩埠間約有 0.4 dB 的不平衡。由圖 3.6(a)看到 Port2 及 Port3 輸出量測與模擬數據非常相近。由圖 3.6(b)看到 Port4 及 Port5 輸出在高頻時會呈現快速的衰減，學生認為是因為雙巴倫器實現在一個有損耗的矽基板上，Port4 及 Port5 又相對靠近矽基板，所以在高頻時輸出會快速的衰減，並且上下結構的介電層不對稱，在高頻時的影響更為明顯，但在 45 GHz 前都還有不錯的特性。圖 3.8 為各輸出埠間的相位差，模擬與量測到的數據非常接近，而且角度不平衡小於 10 度的頻率範圍相當的寬，約為 17 至 67 GHz

表 3.1 雙馬爾尚巴倫器模擬數據

	Port1 to Port2 & Port3	Port1 to Port4 & Port5
Center Frequency (GHz)	28	
Input Matching	16-67~ GHz	
Bandwidth (%)	>100%	
Insertion Loss (dB)	-10.5	-10.5
Amplitude Imbalance (dB)	0.8	0.8
Phase Imbalance (degree)	3	3
Chip Size	0.132 mm ²	

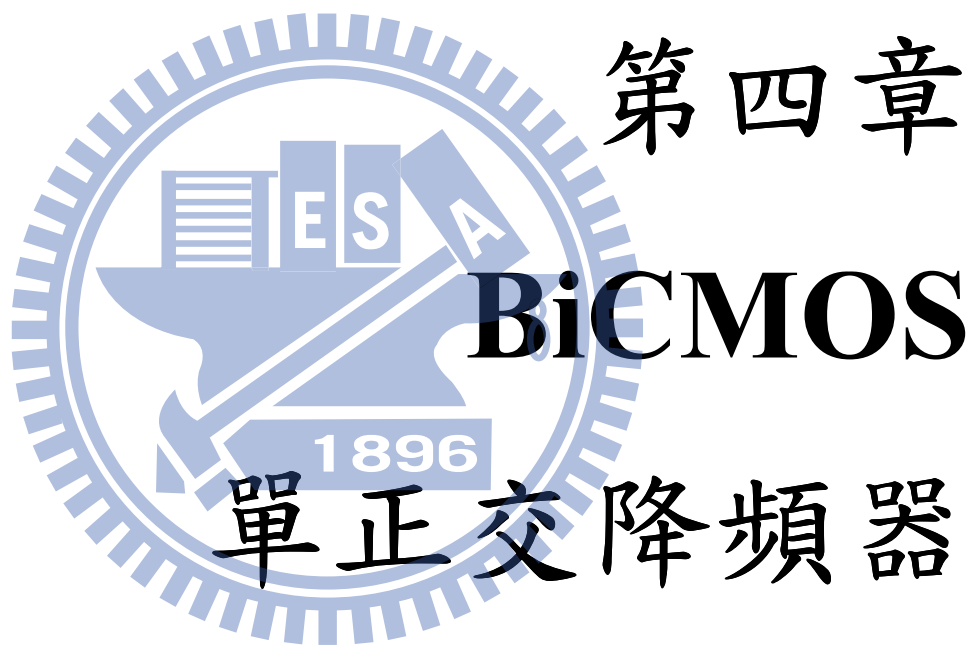
表 3.2 雙馬爾尚巴倫器量測數據

	Port1 to Port2 & Port3	Port1 to Port4 & Port5
Center Frequency (GHz)	30	
Input Matching	16-67~ GHz	
Bandwidth (%)	>100%	
Insertion Loss (dB)	-11	-11.5
Amplitude Imbalance (dB)	0.5	0.5
Phase Imbalance (degree)	2	4
Phase Imbalance < 10°	17-60 GHz	15-67~ GHz
Bandwidth (%)	>100%	>100%
Chip Size	0.132 mm ²	

表 3.3 文獻比較表

Ref.	2008[4]	2008[6]	This Work
Technology	CMOS 0.13μm	CMOS 0.18μm	CMOS 0.18μm
Frequency (GHz)	10-47	24-40	16-67
Bandwidth (%)	131	50	123
Insertion loss (dB)	-10	-14	-11
Amplitude Imbalance (dB)	1.5	1	0.5
phase Imbalance (degree)	5	5	4
Chip Size	0.4 mm ²	0.6 mm ²	0.132 mm ²





4.1 前言

近幾年無線通訊科技的發展迅速，包含 2G 和 3G 通訊規格的手機、短距離傳輸的藍芽 Bluetooth、以及無線區域網路 WIFI... 等常見的溝通與資料傳輸工具，已經成為日常生活不可或缺的一部分，因此無線電收發機的設計與研製在現今不同的通訊系統當中也顯得格外重要。在接收機中，混頻器是一個不可或缺的重要電路，為了抑制鏡像帶頻率雜訊，常使用正交混器輸出正交訊號。隨著通訊系統操作頻率不斷往上提升。頻率的提高有助於將傳統微波的被動元件微小化到可實現在晶片中。

本章節將提出一個結合第二章及第三章所提出的方向耦合器及雙馬爾尚雙巴倫器的單正交混頻器，並實現於 TSMC SiGe 0.18 μm 製程中。

圖 4.1 為本章節實作電路架構示意圖。

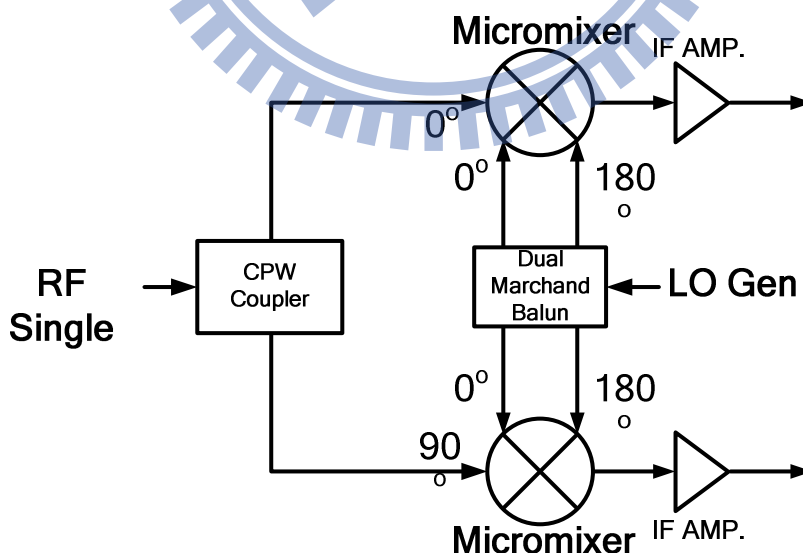


圖 4.1 電路架構圖

4.2 吉伯特混頻器與中頻放大器

4.2.1 射頻混頻器 (RF Mixer)

射頻混頻器為一個三埠的非線性元件，主要功能是做頻率轉換的工作，把兩道不同頻率的輸入訊號混合成一道特定頻率的輸出訊號。在混頻的過程中，假如我們希望輸出一個頻率比輸入頻率低的訊號，稱作降頻轉換；假如我們希望輸出一個頻率比輸入頻率高的訊號，稱作升頻轉換。電路實現上可分為被動式與主動式的混頻器。常見的被動式混頻器為二極體混頻器(diode mixer)與電阻式混頻器(resistive mixer)；常見的主動式混頻器為吉伯特混波器(Gilbert mixer)。依混頻器的架構又可被細分：

一、單一元件混頻器(single-device mixer)

通常使用一個二極體或電晶體等非線性元件當混頻元件。最大的缺點為電路隔絕性太差，容易有漏波，常需增加濾波器抑制漏波大小。

二、單平衡混頻器(single-balanced mixer)

通常由兩組單一元件混頻器連接180度分波器或巴倫器組合而成，提供了良好的電路隔絕性。

三、雙平衡混頻器(double-balanced mixer)

混頻器的兩個輸入訊號皆為差動輸入，同樣有良好的電路隔絕性。常見的有環型混頻器、星型混頻器及吉伯特混波器。

4.2.2 單平衡式與雙平衡式吉伯特混頻器

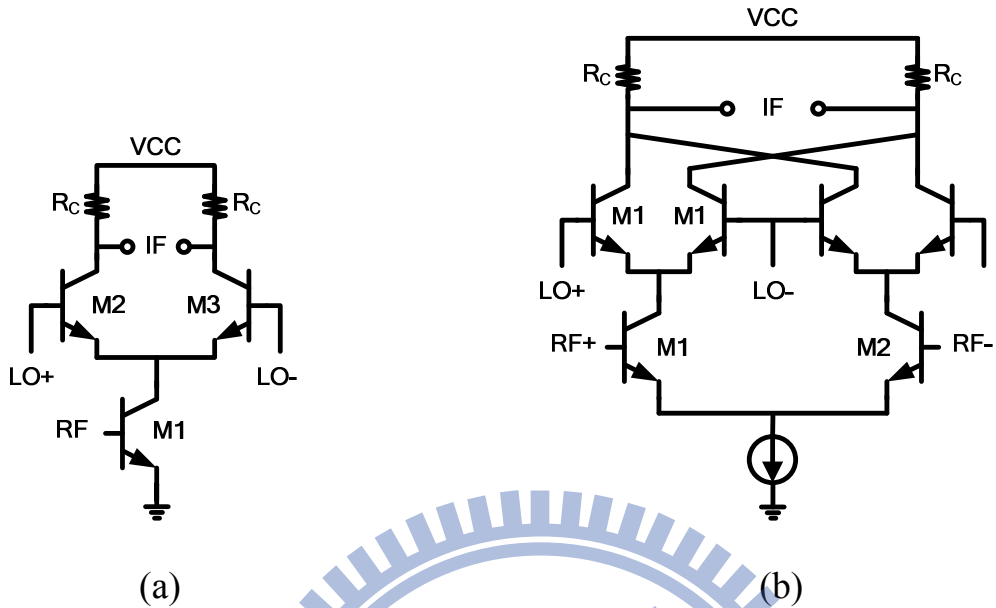


圖4.2 吉伯特混頻器 (a)單平衡式 (b)雙平衡式

由於主動式混頻器的轉換增益比被動式來的高，所以常使用主動式吉伯特混頻器的架構。吉伯特混頻器的架構又可分為單平衡式與雙平衡式，如圖 4.2，其中最主要的差別在於本地震盪源(LO)訊號會漏波到中頻(IF)端，是單平衡式混頻器的嚴重缺點，對於本地震盪源頻率與中頻頻率相差大的系統，雖然漏波會被濾波器衰減，但過高的本地震盪源漏波會使中頻輸出端飽和而降低混頻器的線性度。雙平衡式的使用則改善了此問題，輸出端在理想的情形下不含本地震盪源訊號，並且擁有本地震盪源至中頻及本地震盪源至射頻的良好隔絕性。不過因為電路較為複雜，電晶體數目較多，雜訊指數較單平衡混頻器高，而且在相同增益下須多耗費一倍的的功率。

4.2.3 微混頻器

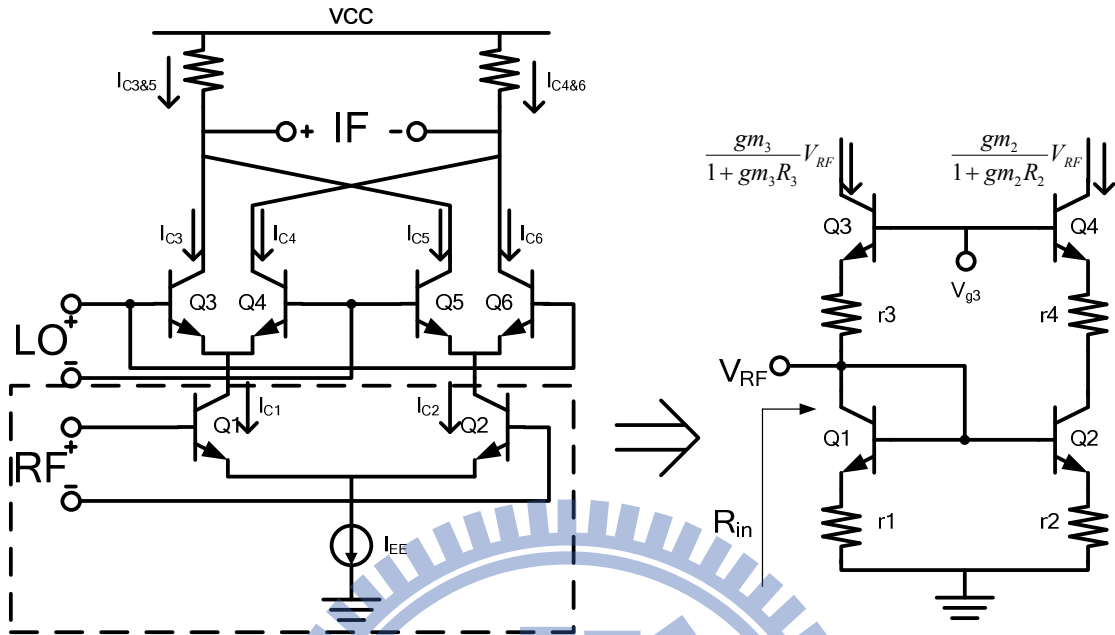


圖4.3 吉伯特微混頻器

一般常使用的雙平衡式混頻器為吉伯特混頻器，射頻訊號輸入經過電壓－電流轉換成電流訊號後，再經過本地震盪源對 Gilbert Cell 作開關切換，產生混頻的效果。雙平衡式架構射頻輸入為一組差動訊號，而輸入端為一高阻抗，必須增加阻抗匹配電路，通常阻抗匹配電路會占用 IC 不少面積，而且量測上還需外接巴倫器。基於以上原因我們利用一個修正電壓－電流轉換達成轉換功能，此電路為微混頻器架構，同時兼具電壓－電流轉換及輸入匹配功能。如圖 4.3 所示。

圖4.3中，微混頻器的射頻輸入端為一個轉導放大器 (Transconductance Amplifier)，共基極偏壓的 Q_3 提供了一正相的轉導增益，而共射極偏壓的 Q_2 則提供了一反向的轉導增益，電流緩衝器 Q_4 並不會影響電流相位，並且平

衡了兩邊的直流準位，也因為電晶體 Q_4 的存在，使得 Q_2 的 Miller effect 獲得了改善，而低阻抗二極體 Q_1 的連接亦使得 Q_2 速度大幅提升。由輸入端看進去的阻抗值 $(\frac{1}{g_{m1}} + r_1) // (\frac{1}{g_{m3}} + r_3) \approx (\frac{1}{g_m} + r) / 2$ ，因此可以利用低阻值的電阻與調整電晶體的偏壓來達到 50Ω 的寬頻匹配。

此架構的好處在於電路佔 IC 面積很小、單端輸入轉雙端輸出、操作頻寬大，輸入阻抗寬頻匹配、以及可調整的輸入阻抗。

4.2.4 中頻放大器

經過混頻器將訊號降至我們所需要的中頻頻率後，需要一個中頻放大器將訊號再度放大，以增加訊號的靈敏度與選擇性。1963 年 Cherry 與 Hopper 提出一個寬頻回授的放大器，電路實現的方式是在電晶體的汲極或集極組合一回授電阻，即一個 Shunt-Shunt 回授放大器。

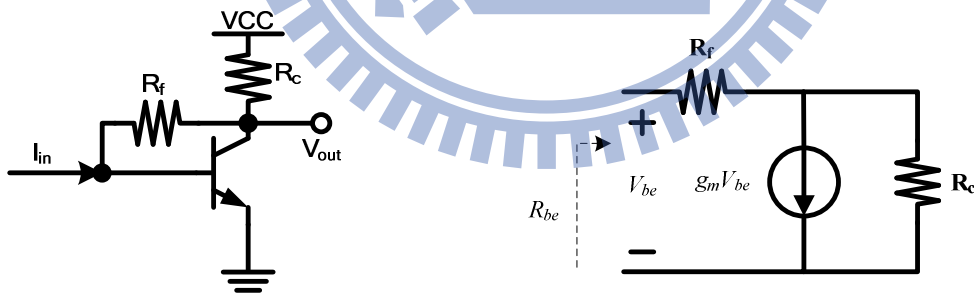


圖 4.4 Shunt-Shunt 回授放大器

為了方便分析放大器的頻率響應，省略基-射極電阻及基-集極電容，而放大器的頻率響應如下：

$$\frac{V_{out}}{I_{in}}(S) = \frac{-R_f}{1 + S\left(\frac{R_f + R_C}{1 + g_m R_C} C_\pi\right)} \quad (4.1)$$

4.3 正交混頻器 (Quadrature or IQ Mixer)

4.3.1 鏡像頻率

在中頻的頻率不為零接收機中，接收器將接收的射頻訊號降頻後，間接的也會將其他雜訊給接收進來作降頻的動作，所以將面臨鏡像帶頻率雜訊抑制的挑戰，鏡像頻率是以本地對稱於射頻的頻率相反的頻率，舉例來說，接收機的射頻頻率小於本地頻率， $f_{RF} = f_{LO} - f_{IF}$ ，其中 f_{IF} 為中頻頻率，鏡像頻率為

$$f_{image} = f_{LO} + f_{IF} = f_{RF} + 2f_{IF} \quad (4.2)$$

當接收機將接受的訊號作降頻的動作時，由於一般的混頻器不具有頻率極性的判別能力，所以射頻訊號與鏡像頻率信號在升降頻時，均會同時被接收呈現重疊的狀況無法分開，因此在混頻前鏡像頻率信號必須先濾除，則在混頻後便無法再分開會產生干擾。

鏡像頻率信號的消除有兩個辦法，一是採用鏡像拒斥濾波器，另一是使正交混頻器。在低中頻接收機中，最常使用正交混頻器輸出正交訊號供後段基頻電路作訊號調變的方式，得以消除映像帶雜訊。

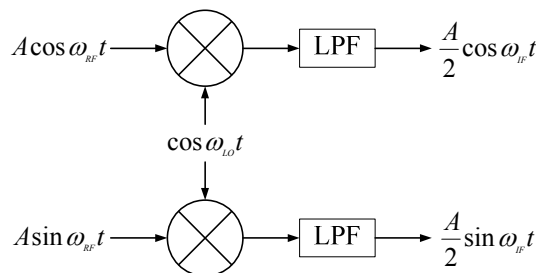


圖4.5 正交混頻器示意圖

4.3.2 常見的單正交降頻器電路架構

正交混頻器是透過射頻及本地震盪源的組合來產生出正交的訊號，一般來說可以分為兩種方式產生：

第一種是射頻輸入一組差動訊號，再跟本地震盪源四相位的訊號混頻，如圖4.3(一)所示。電路由兩組雙平衡式的吉伯特混頻器組成，混頻器的射頻輸入端為一組差動訊號，本地震盪源提供一組四相位的訊號，正交混頻器輸出正交的差動訊號。

第二種是射頻輸入四相位訊號，再跟本地震盪源差動訊號混頻，輸出正交的差動訊號如圖4.3(二)所示。

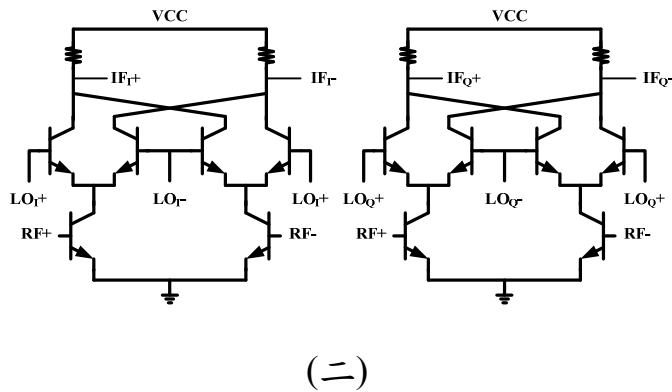
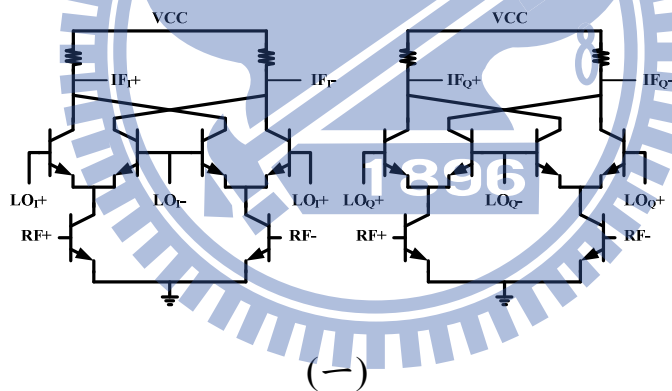


圖4.6 常見的正交混頻器電路

兩種正交混頻器架構，都需要產生一組四相位的訊號，產生四相位訊號較常使用的方式為下，方法一，使用除二除頻器 (Divider) 將差動訊號轉換為四相位訊號，但輸入的差動訊號頻率為輸出四相位訊號頻率的兩倍，在高頻電路設計上將有困難。方法二，正交相位壓控震盪器 (Quadrature VCO)，架構相當多種，電路在相位雜訊及四相位準確度間取捨。方法三、正交相位環形震盪器 (Quadrature Ring Oscillators)，提供了比 LC 震盪器更寬頻的震盪頻率，但無法產生準確的正交訊號與相位雜訊。方法五，由 RC - CR 所組成的正交相位產生器 (Polyphase Filter)，由於製程上的誤差，實作上必須使用多級的 RC - CR 來確保正交相位準確性，但電阻的損耗相對大很多，並且電阻的自振頻率與寄生效應並不適合運用在高頻電路設計。第一種架構，是在本地震盪源輸入後提供混頻器四相位訊號，在一般不整合本地震盪源輸入的混頻器常使用 RC - CR 所組成的正交相位產生器，如圖 4.4。第二種架構是在提供混頻器四相位的射頻訊號，此種架構的混頻器，在電路上較難實現。雙平衡式的正交混頻器以第一種架構實現來的多。

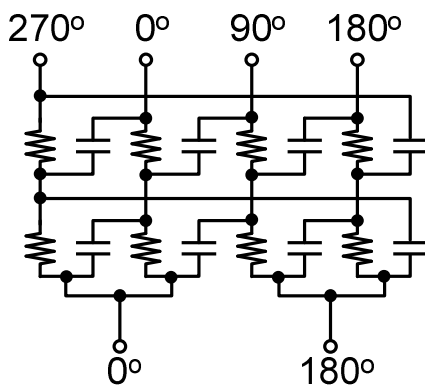


圖 4.7 多相位濾波器

4.4 使用方向耦合器及雙馬爾尚巴倫器之單正交降頻器 (SiGe 0.18- μm)

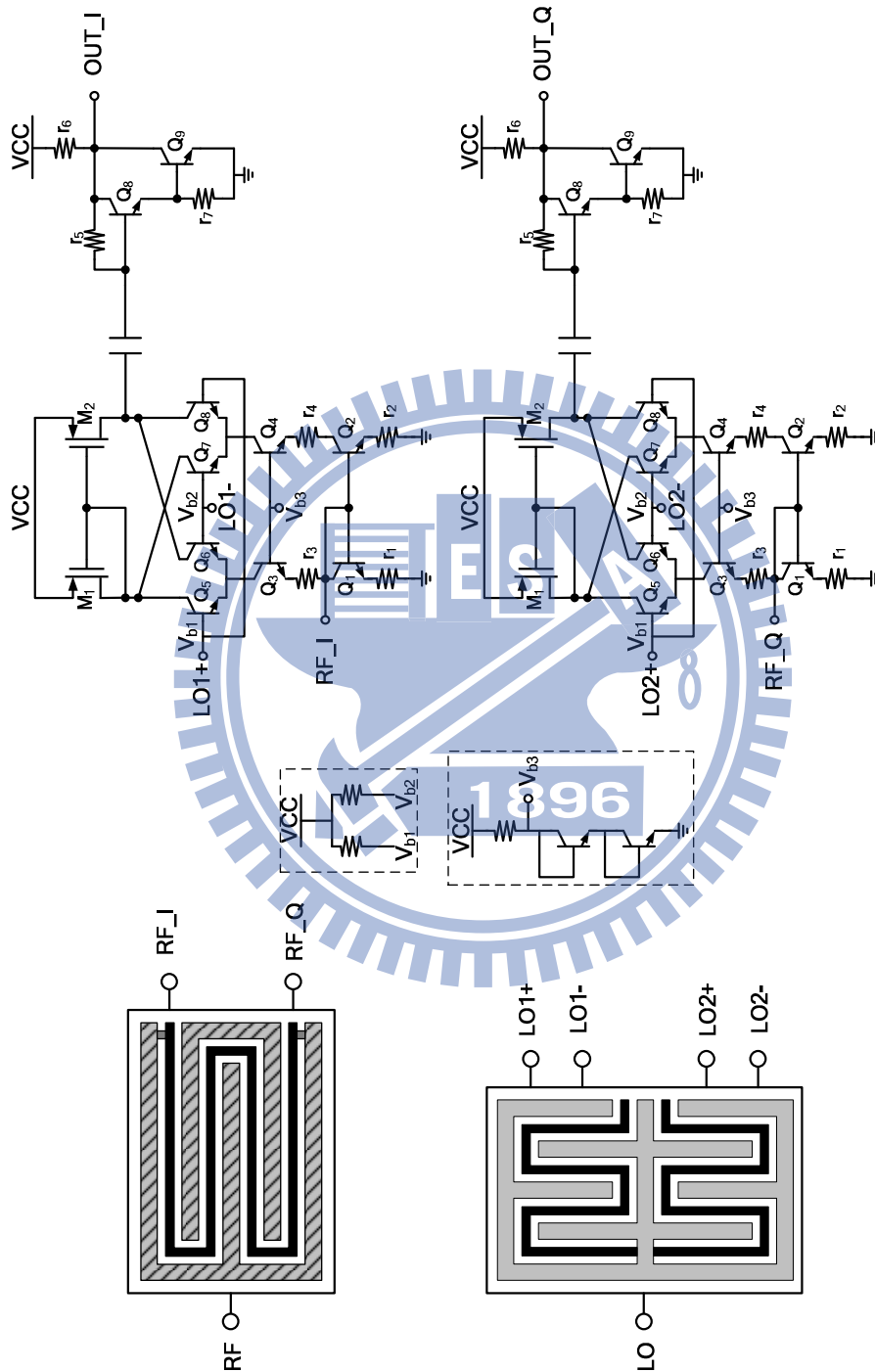


圖4.8 使用方向耦合器及雙馬爾尚巴倫器之正交混頻器

4.4.1 研究動機

正交訊號廣泛運用在許多前端電路中，在一般接收機架構上，會利用正交相位來實現頻率或相位調變，不然在作降頻訊號時會有bit error的情況。由前一小節得知，在低頻時，常見的正交混頻器，是在本地震盪差動輸入使用多相位濾波器產生四相位供混頻器使用。高頻時（大於15 GHz），由於電阻的自振頻率與寄生效應，多相位濾波器並不適合運用在高頻電路設計。此實作中嘗試使用其他架構實現正交混頻器。

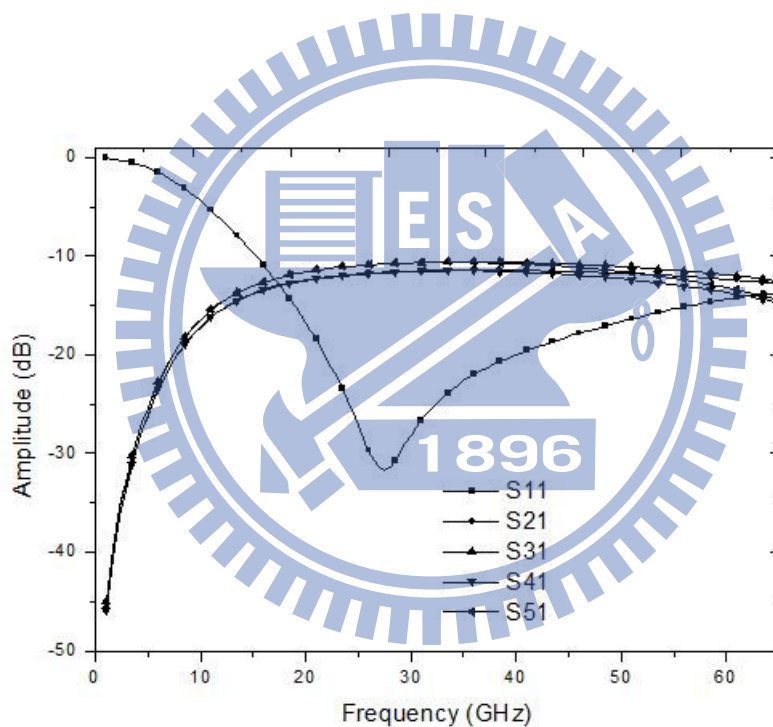
4.4.2 實作電路架構

此實作的電路中共包含三個部分，本地震盪源輸入極、射頻輸入極與混頻器輸出極，會在下面一一的做分析。

本地震盪源輸入極

正交混頻器電路中有兩組混頻器，雖然可將兩組混頻器中同相位的本地震盪源端相連接在一起，並使用一組差動訊號提供混頻，但這樣接法很有可能使得分佈在電晶體基極上的功率大小不一，電流無法正常切換，使得混頻器無法正常混頻。所以學生採用雙馬爾尚巴倫器產生兩組差動訊號提供本地震盪源端功率，將供率平均分給電晶體，不僅避免了供率分配不均的問題，而使用單端訊號輸入較易量測。雙馬爾尚巴倫器已在上一章作分析。使用雙馬爾尚巴倫器分波給吉柏特混頻器的本地震盪源端，如果

提供的訊號不夠平衡（振幅與相位），埠對埠的隔絕性會變差，可是在此架構下，對於振幅誤差的要求並不高，因為只要本地震盪源端輸入功率夠大，輸入至電晶體基極能量就會穩定，並足夠讓混頻器產生電流交換合，達到混頻的效果。混頻器核心中電晶體的基極即本地震盪源端使用大電阻提供所需的直流偏流。下圖為雙馬爾尚巴倫器的輸出振幅及相位差模擬圖。在26到40 GHz輸出振幅約相差0.8 dB，相位相差5度以內。



(a)

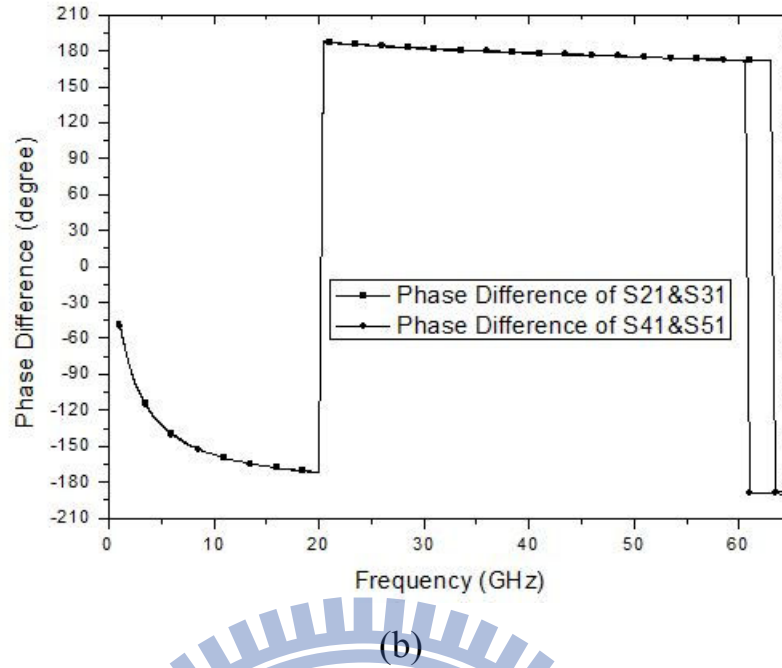
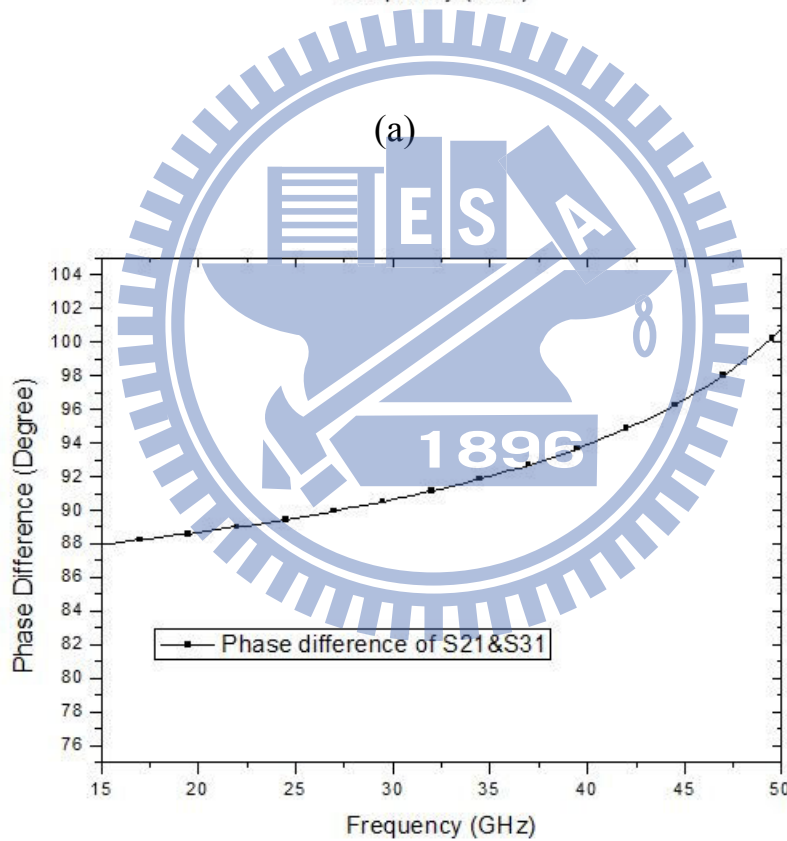
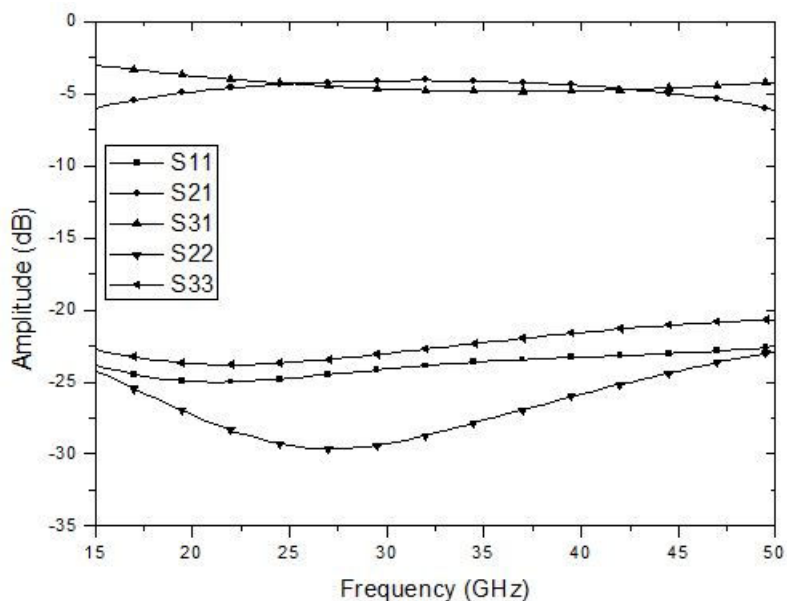


圖4.9 雙馬爾尚巴倫器模擬數據圖

(a)輸入反射損失與輸出振幅 (b)輸出相位差

射頻輸入極

使用微混頻器當混頻器架構，為一個射頻單端輸入的雙平衡混頻器，由輸入端看進去的阻抗值 $(\frac{1}{g_{m1}} + r_1) // (\frac{1}{g_{m3}} + r_3) \approx (\frac{1}{g_m} + r) / 2$ ，因此可以利用低阻值的電阻與調整電晶體的偏壓來達到 50Ω 的寬頻匹配，射頻輸入頻率響應取決於共射極偏壓的電晶體 Q_2 ， Q_3 與 Q_4 兩顆電晶體的基極所需的偏壓乃採用電流鏡來偏壓。由於本地震盪源輸入極提供的是差動輸入訊號，勢必要在射頻輸入極提供一組正交訊號，才能產生正交降頻輸出訊號。學生使用第二章節所提之方向耦合器來提供射頻輸入極所需的正交訊號。如圖 4.10 所示，方向耦合器於 26 到 40 GHz 內的輸出振幅相差小於 1dB 以內，輸出相位差小於 5 度以內。



(b)

圖4.10 方向耦合器模擬數據圖 (a)輸出振幅 (b)輸出相位差

混頻器輸出極

為了使混頻器為單端輸出，使用由一對pMOS組成的電流鏡，也就是主動負載，當作混頻器的負載，用來合併混頻器的輸出差動電流。混頻的輸出極使用一個結合Cherry Hopper放大技術的轉導放大器，shunt-shunt回授放大器，放大中頻訊號，如圖4.11所示，為了加快速度，在放大器中的電晶體此用達靈頓對（Darlington pair）以提高頻寬，圖中的 r_5 為回授電阻， r_6 為負載電阻， r_7 為偏流電阻。混頻器輸出端與放大器輸入端間用一個電容將兩端的偏壓隔離開來，較容易設計電路的偏壓。

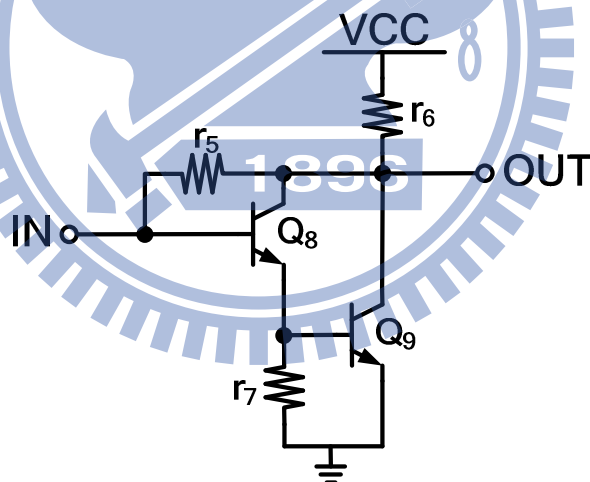


圖4.11 使用達靈頓對之shunt-shunt回授放大器

4.4.3 晶片量測

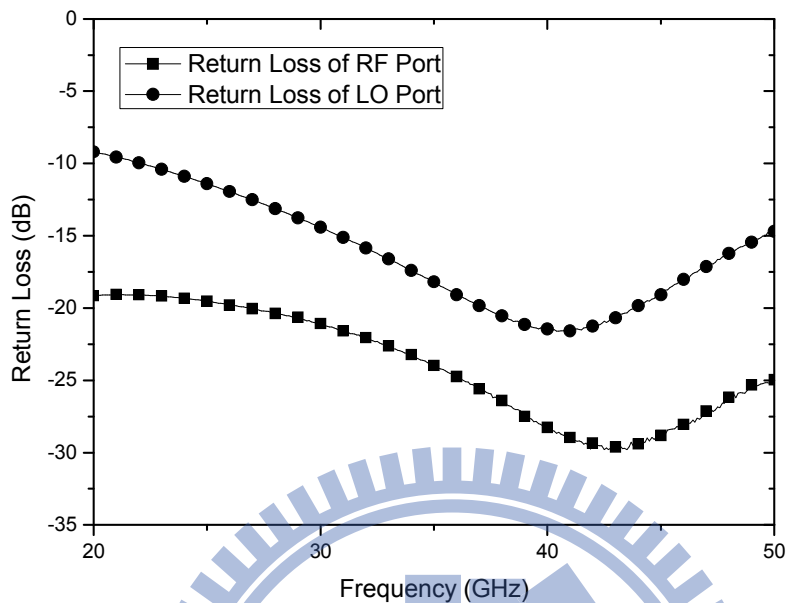


圖4.12 輸入反射損失

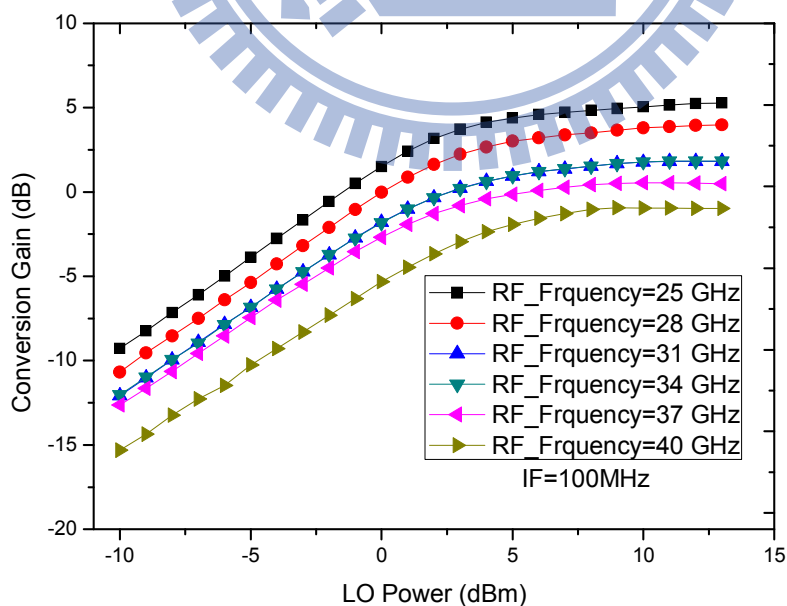


圖4.13 轉換增益對本地震盪源功率

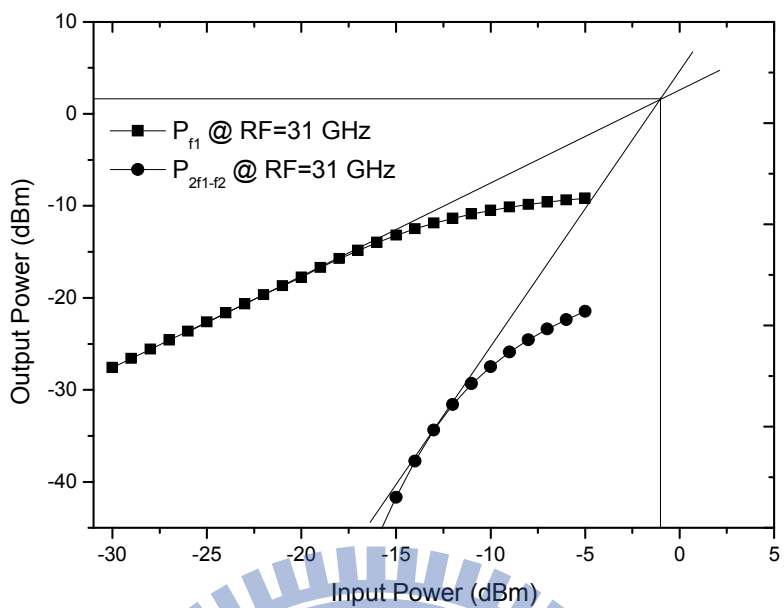


圖4.14 功率線性度

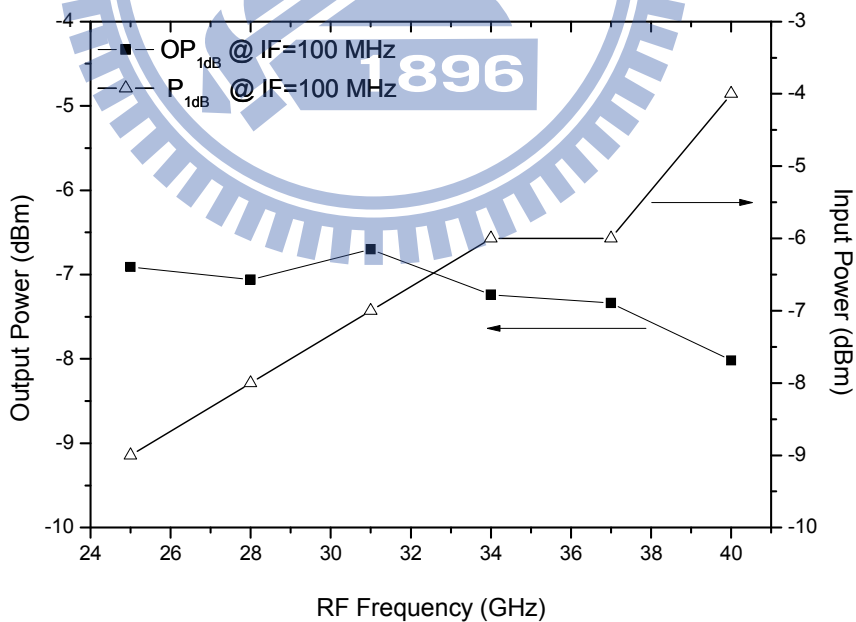


圖4.15 P_{1dB} & OP_{1dB} 對射頻頻率

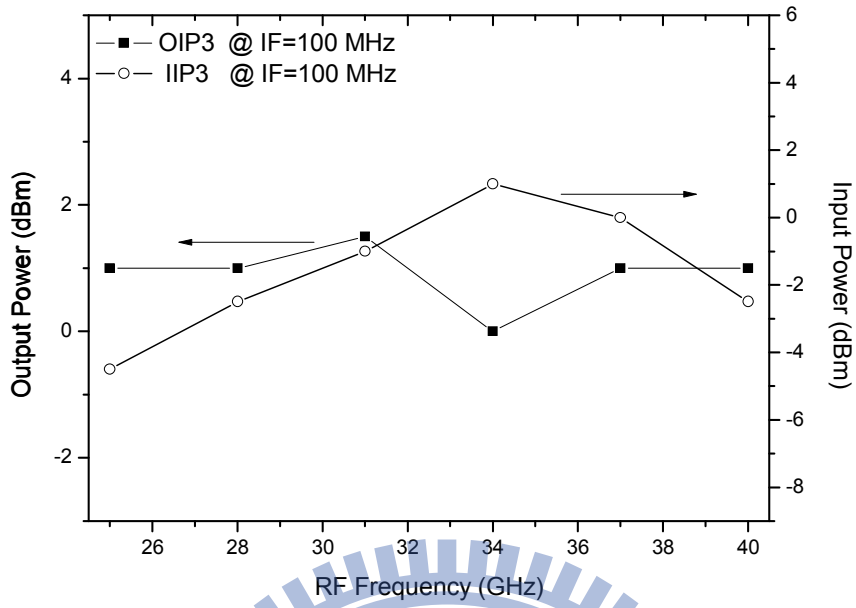


圖4.16 IIP3 & OIP3對射頻頻率

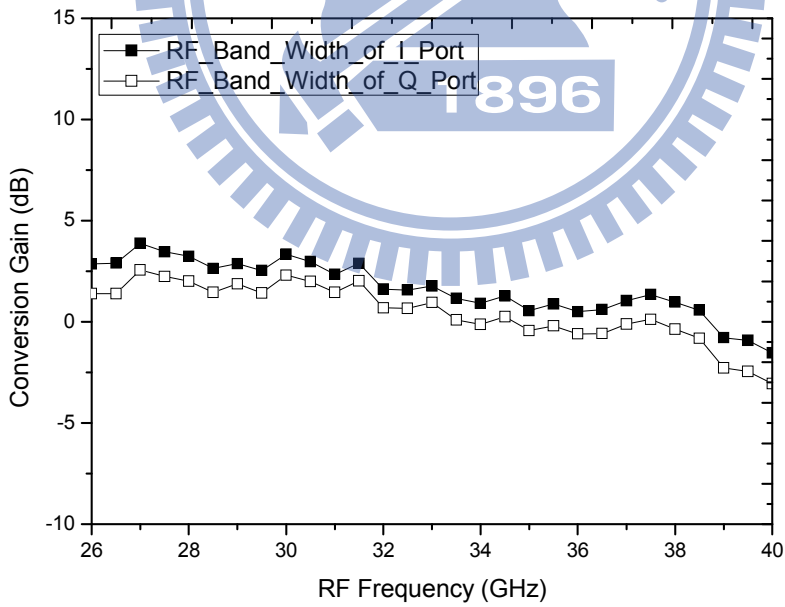


圖4.17 轉換增益對射頻頻率

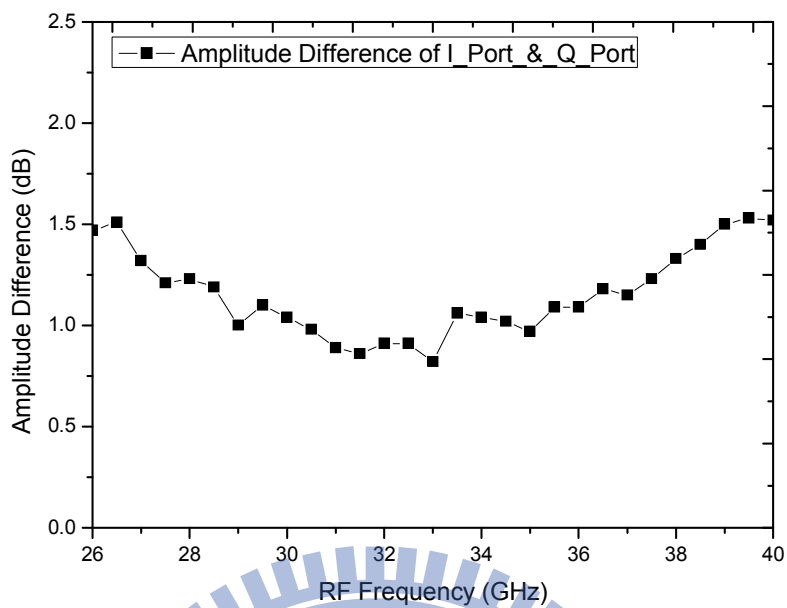


圖4.18 輸出增益不平衡對射頻頻率

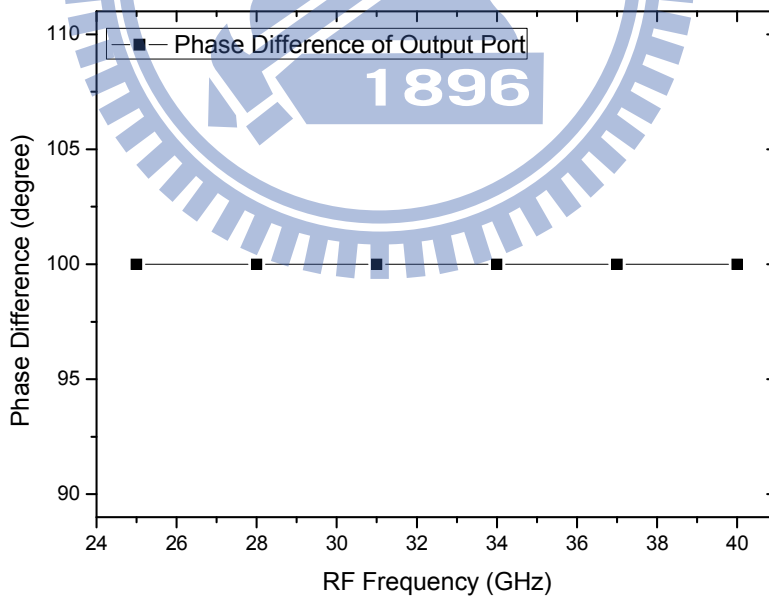


圖4.19 輸出相位不平衡對射頻頻率

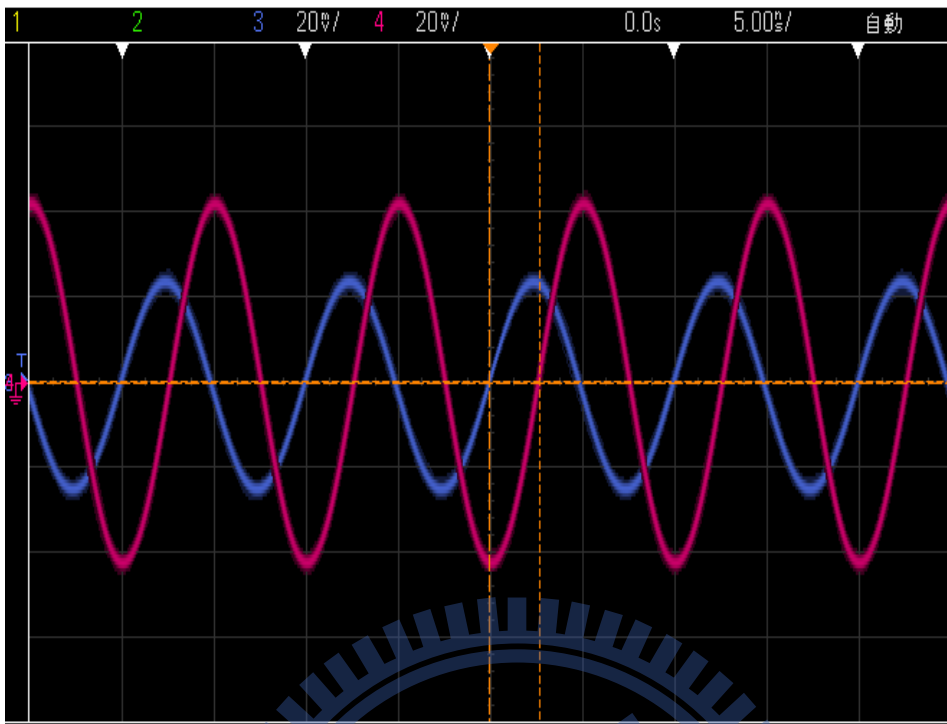


圖4.20 中頻輸出波形圖

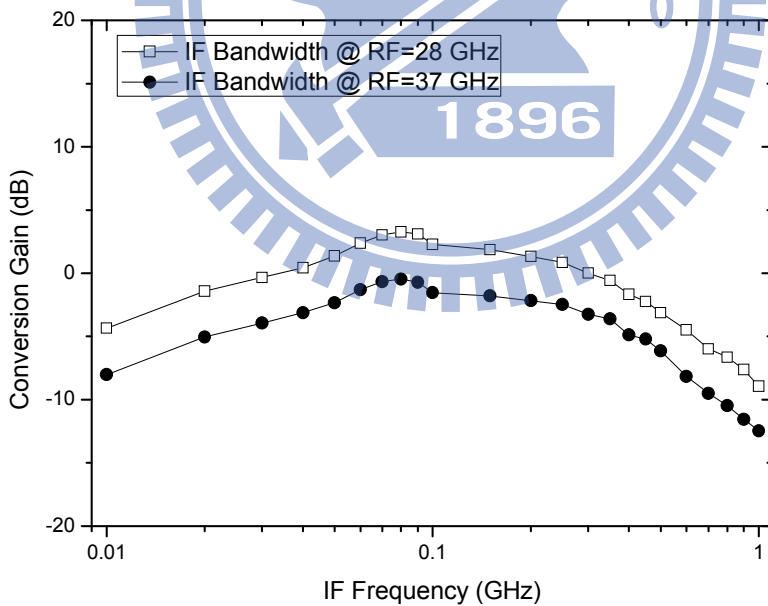


圖4.21 轉換增益對中頻頻率

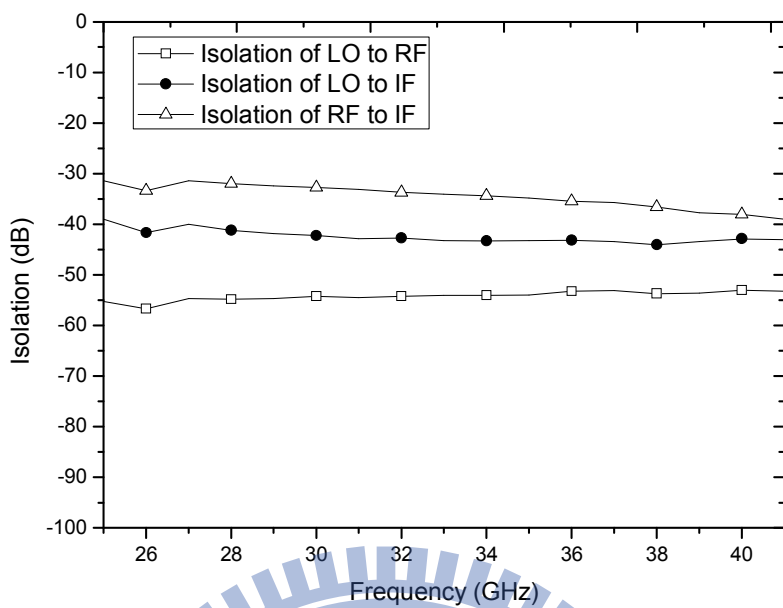


圖4.22 隔絕性

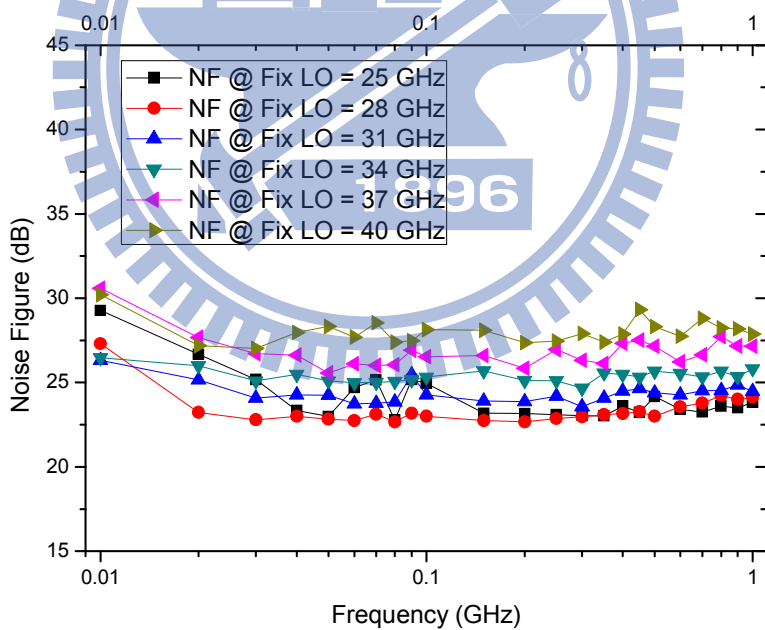


圖4.23 雜訊指數

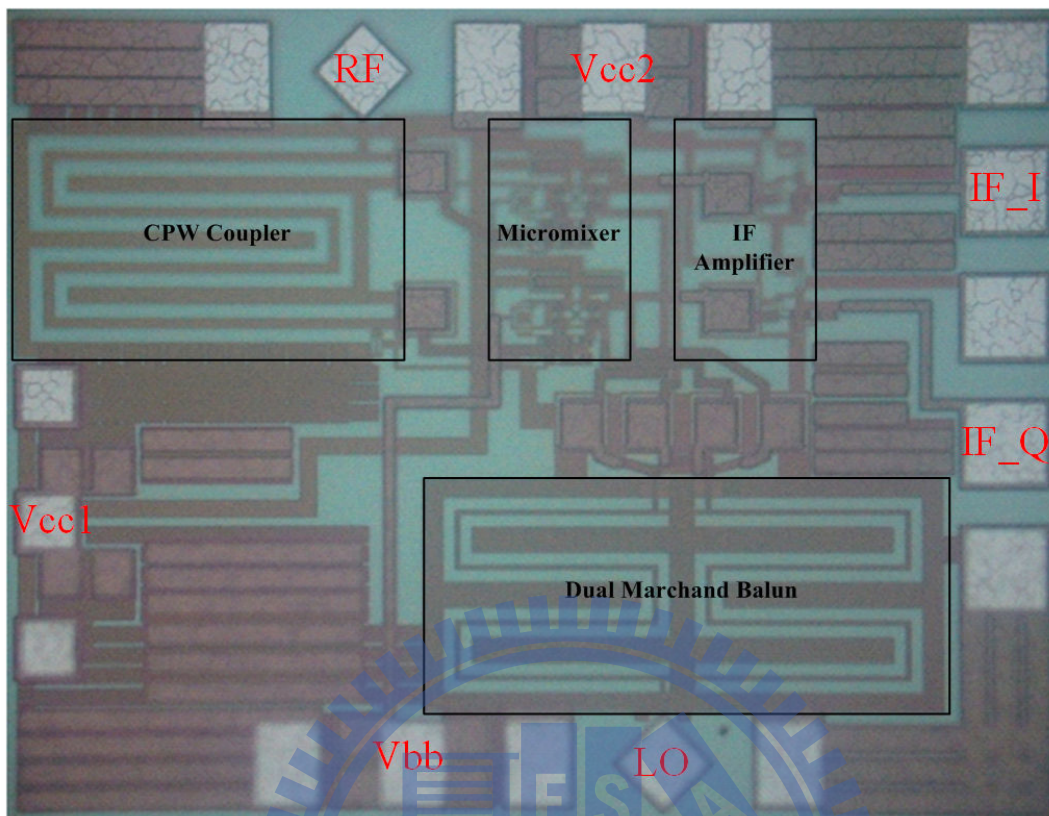


圖4.24 Die Photo (0.63 mm × 0.83 mm)

4.4.4 結果與討論

本電路實現於TSMC SiGe 0.18 μm 製程，晶片照片如圖4.22所示，射頻輸入埠採用上方GSGSG pad的左邊Source端輸入，右邊的Source端為提供Output Buffer的直流電源3.3V。本地震盪源輸入埠採用下方GSGSG pad的右邊Source端輸入，左邊的Source端為提供混頻器的直流電源3.3V。左邊的GSG pad為提混頻器核心的電晶體基極偏壓2.8V。正交的中頻輸出埠採用右方的GSGSG pad。此晶片面積為 $0.63 \times 0.83 \text{ mm}^2$ ，如圖4.24所示。

圖 4.12 是射頻輸入埠與本地震盪源輸入埠的輸入匹配圖，兩埠在 26~40

GHz 間的輸入反射損失都小於-10 dB，算是相當寬頻的匹配。

圖 4.13 是在 26~40 GHz 間射頻頻率的轉換增益對本地震盪源功率作圖，將中頻頻率固定在 100 MHz，在所有的射頻頻率中，本地震盪源功率大於 5 dBm，混頻器的轉換增益就趨近於平坦。

圖 4.14 是射頻頻率等於 31 GHz 時的功率線性度圖，IIP3 約為-1 dBm，OIP3 約為 1 dBm。

圖 4.15 是 P_{1dB} & OP_{1dB} 對射頻頻率作圖，中頻頻率固定在 100 MHz， P_{1dB} 在射頻頻率為 26~40 GHz 約落在-4~-9 dBm 間， OP_{1dB} 在射頻頻率為 26~40 GHz 約落在-6~-8 dBm 間。

圖 4.16 是 IIP3 與 OIP3 對射頻頻率作圖，中頻頻率固定在 100 MHz，IIP3 在射頻頻率為 26~40 GHz 約落在-5~1 dBm 間，OIP3 在射頻頻率為 26~40 GHz 約落在 0~2 dBm 間。

圖 4.17、4.18、4.19 與 4.20 正交輸出訊號的量測圖，固定中頻頻率為 100 MHz，在射頻頻率為 26~40 GHz 間，I Port 的轉換增益為 4~-1 dB，Q Port 的轉換增益為 1~-4 dB，兩埠最大增益不平衡約為 1.5 dB，相位皆相差 100 度。

圖 4.21 為轉換增益對中頻頻率作圖，固定本地震盪源輸入頻率，中頻的-3 dB 增益頻寬約為 400 MHz。

圖 4.22 為電路的隔絕性量測圖，在頻率 26~40 GHz 間，LO 至 RF 的隔

絕性皆小於-50 dB，LO 至 IF 的隔絕性皆小於-40 dB，RF 至 IF 的隔絕性皆小於-30 dB。

圖 4.23 電路的雜訊指數量測圖，固定本地震盪源頻率，雜訊指數約介於 23~28 dB 之間。

直流電源 VCC1 的電流為 4.38 mA，與模擬時約相差 5%，算是可接受的誤差範圍。直流電源 Vbb 的電流很小，為 μA 等級，儀器的刻度無法顯示。直流電源 VCC2 的電流為 9.3 mA，與模擬時相差 3 mA，所以單邊 Output Buffer 的電流相差 1.5 mA。學生認為會有這樣差異是因為電阻製程變異過大及提供的電晶體直流模組不準而導致。電阻製程變異導致電晶體偏壓不準確，較嚴重的為 r_6 與 r_7 。因為 Output Buffer 的直流關係，導致輸出中頻輸出放大與預估不相同，連同影響輸出的中頻頻寬。

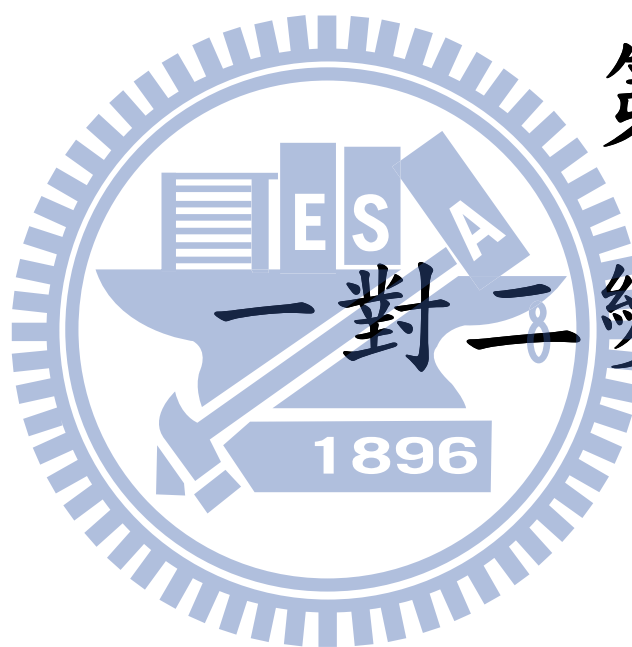
由圖 4.17~20 可知正交訊號輸出平衡未達預期，學生認為是因為 CPW 方向耦合器輸出至微混頻器輸入端的佈局不良導致。因為學生是直接拉一條訊號線至輸入端，所以導致整體耦合量降低了，原本不錯的相位差也連帶影響。

LO 至 RF 的隔絕性皆小於-50 dB，LO 至 IF 的隔絕性皆小於-40 dB，表示雙馬爾尚巴倫器的輸出相位平衡頗佳。

表 4.1 模擬與量測數據比較表

	Post-Simulation	Measurement
Supply Voltage (V)	3.3&2.8	3.3&2.8
Conversion Gain (dB)	14	2
LO Power (dBm)	2	5
IF Bandwidth (MHz)	500	400
Noise Figure (dB)	18	23
IP _{1dB} (dBm)	-15	-7.5
OP _{1dB} (dBm)	-1	-5.5
IIP3 (dBm)	--	-1
OIP3 (dBm)	--	1
LO to RF Isolation (dB)	>50	>50
LO to IF Isolation (dB)	>35	>40
RF to IF Isolation (dB)	>25	>30
Current Consumption (mA)	4.25 (Mixer Core) 12.5 (Output Buffer)	4.4 (Mixer Core) 9.3 (Output Buffer)
Power Consumption (mW)	55.3	45.21
I/Q Imbalance	<1dB/<5°	<2dB/<=10°
Chip Size	0.83 x 0.63 mm ²	





第五章 一對二變壓器

5.1 前言

在無線通訊系統晶片中，射頻前端晶片是訊號進入整個系統中，首先遭遇到的晶片，射頻前端晶片晶片的性能表現越好，可以大幅確保訊號接收的品質。由於射頻前端晶片操作頻率高，在電路設計上，相位與操作頻率需要設計得相當精準才可以達到預期的性能表現。而隨著射頻電路操作頻率日益提高，傳統使用的主動式巴倫器或正交相位產生器在特性或物理結構上都面臨了高頻的瓶頸限制，因此過去在微波電路使用的設計概念均需整合進入積體電路設計中，諸如電感 (inductor)、變壓器 (transformer) 及一對二變壓器 (trifilar transformer) 等。本章節我們將提出在 TSMC SiGe 0.18 μm 製程上實現三種不同匝數比的一對二變壓器，並做分析討論。



5.2 一對二變壓器簡介

在微波被動元件中，變壓器與一對二變壓器是經常被使用到的元件，可將一組差動訊號轉換成兩組差動訊號，如圖 5.1 所示。目前的變壓器與一對二變壓器有平面式結構，使兩個或三個電感在同一個平面上互相纏繞，如圖 5.2 所示。也有堆疊式的變壓器，將兩個或三個電感在不同平面上互相纏繞。

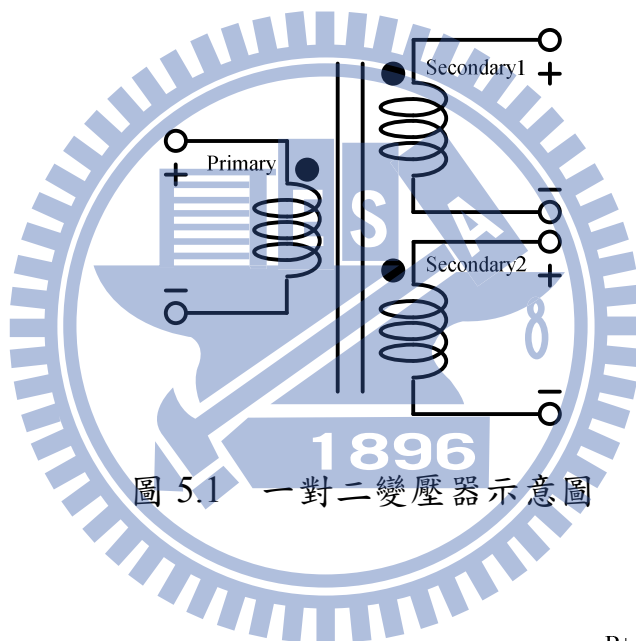


圖 5.1 一對二變壓器示意圖

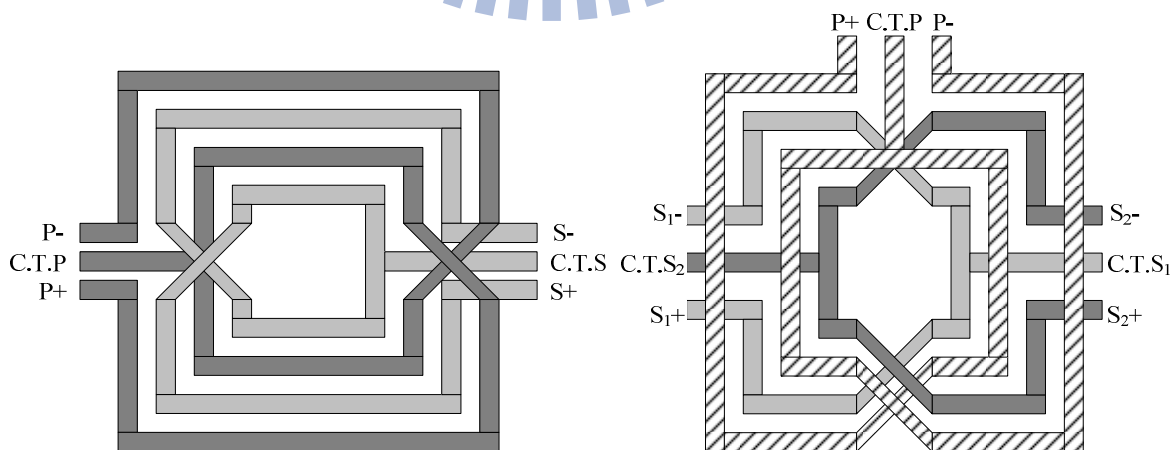


圖 5.2 平面式變壓器

變壓器與一對二變壓器擁有極佳的訊號隔絕性，同時因為是多埠原件，因此很適合用來整合許多訊號處理需求，如分波、合波、產生平衡式訊號及複製平衡式訊號等。因此若能使這類原件的轉換損失減少、相位更匹配的話，就能使得這類原件的實用性大幅提升，並且同時提升相關電路的性能表現。

5.3 差動架構的混模(mixed-mode)散射矩陣

混模(mixed-mode)就是結合共模(common-mode)和差模(differential-mode)。差動架構常應用在射頻、微波或高速寬頻應用，但是使用傳統的 VNA (vector network analyzer) 量測差動架構受到很多限制，最主要是因為大部分的 RF 量測系統都是單端的設備，整個量測的基礎，如校正標準、傳輸線及連接頭甚至標準的參考阻抗都是不對稱的，所以本節我們會討論一套將標準 S 參數和混模 S 參數的轉換方法。

對單端元件而言，射頻的電壓電流有共同的接地點，將功率波正規化後，我們可分成激發波 (stimulus wave) 和響應波 (response wave)，分別定義為進入和離開待測元件 (device under test, DUT)。單端的 4-port 元件方塊圖如下圖所示。

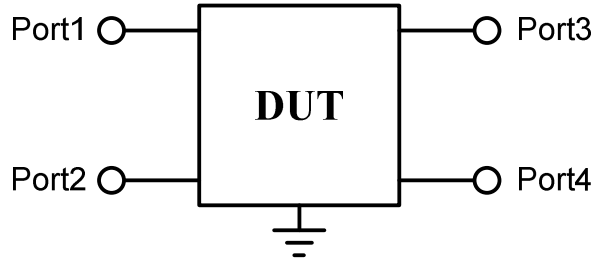


圖 5.3 單端 4-port 之待測元件

散射矩陣關係如下：

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{42} & S_{44} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix} \quad (5.1)$$

可寫成 $B_{std} = S_{std} A_{std}$ ， B_{std} 和 A_{std} 分別表示響應波和激發波矩陣，而 S_{std} 為標準 4-port 的散射矩陣。

而對於平衡(balanced)元件，共模和差模的電壓電流和阻抗也可以平衡埠來定義，如下圖所示。

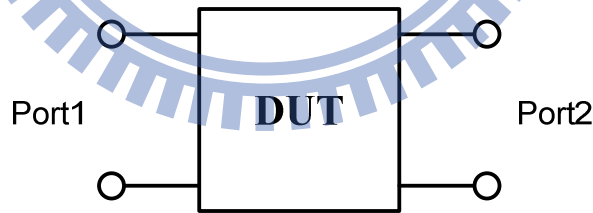


圖 5.4 差動 2-port 之待測元件

在此定出混模的散射矩陣，響應波和激發波也是以共模和差模來表示：

$$\begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \begin{bmatrix} S_{d1d1} & S_{d1d2} & S_{d1c1} & S_{d1c2} \\ S_{d2d1} & S_{d2d2} & S_{d2c1} & S_{d2c2} \\ S_{c1d1} & S_{c1d2} & S_{c1c1} & S_{c1c2} \\ S_{c2d1} & S_{c2d2} & S_{c2c1} & S_{c2c2} \end{bmatrix} \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix} \quad (5.2)$$

其中 S_{cicj} 和 S_{didj} ($I, j=1,2$) 分別為共模和差模的 S 參數，表示共模(差模)激

發，共模(差模)響應，而 S_{dicj} 和 S_{dcij} ($I, j=1,2$) 為轉換模態的 S 參數，表示差模(共模)激發，共模(差模)響應。

只要將圖 5. 的 Port1 跟 3 定義為圖 5 的差動 Port1，Port2 跟 4 定義為差動 Port2，混模的 2-port 散射參數和標準的 4-port 散射參數是可以轉換的，激發波和響應波轉換如下：

$$a_{d1} = \frac{1}{\sqrt{2}}(a_1 - a_3), a_{d2} = \frac{1}{\sqrt{2}}(a_2 - a_4), a_{c1} = \frac{1}{\sqrt{2}}(a_1 + a_3), a_{c2} = \frac{1}{\sqrt{2}}(a_2 + a_4)$$

$$b_{d1} = \frac{1}{\sqrt{2}}(b_1 - b_3), b_{d2} = \frac{1}{\sqrt{2}}(b_2 - b_4), b_{c1} = \frac{1}{\sqrt{2}}(b_1 + b_3), b_{c2} = \frac{1}{\sqrt{2}}(b_2 + b_4)$$

因此我們可導出混模激發波矩陣 A_{mm} ：

$$A_{mm} = MA_{std} = \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix} \quad (5.3)$$

和混模響應波矩陣 B_{mm} ：

$$B_{mm} = MB_{std} = \begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} \begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix} \quad (5.4)$$

其中 M 為轉換混模 S 參數和標準 S 參數的轉換矩陣。因此我們可以定義混模的散射矩陣，並經矩陣轉換可得到如下轉換公式：

$$B_{mm} = S_{mm} A_{mm} \begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \begin{bmatrix} S_{d1d1} & S_{d1d2} & S_{d1c1} & S_{d1c2} \\ S_{d2d1} & S_{d2d2} & S_{d2c1} & S_{d2c2} \\ S_{c1d1} & S_{c1d2} & S_{c1c1} & S_{c1c2} \\ S_{c2d1} & S_{c2d2} & S_{c2c1} & S_{c2c2} \end{bmatrix} \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix} \quad (5.5)$$

$$S_{mm} = MS_{std}M^{-1} = \begin{bmatrix} S_{d1d1} & S_{d1d2} & S_{d1c1} & S_{d1c2} \\ S_{d2d1} & S_{d2d2} & S_{d2c1} & S_{d2c2} \\ S_{c1d1} & S_{c1d2} & S_{c1c1} & S_{c1c2} \\ S_{c2d1} & S_{c2d2} & S_{c2c1} & S_{c2c2} \end{bmatrix}$$

$$= \frac{1}{2} \begin{bmatrix} S_{11} - S_{13} - S_{31} + S_{33} & S_{12} - S_{14} - S_{32} + S_{34} & S_{11} + S_{13} - S_{31} - S_{33} & S_{12} + S_{14} - S_{32} - S_{34} \\ S_{21} - S_{23} - S_{41} + S_{43} & S_{22} - S_{24} - S_{42} + S_{44} & S_{21} + S_{23} - S_{41} - S_{43} & S_{22} + S_{24} - S_{42} - S_{44} \\ S_{11} - S_{13} + S_{31} - S_{33} & S_{12} - S_{14} + S_{32} - S_{34} & S_{11} + S_{13} + S_{31} + S_{33} & S_{12} + S_{14} + S_{32} + S_{34} \\ S_{21} - S_{23} + S_{41} - S_{43} & S_{22} - S_{24} + S_{42} - S_{44} & S_{21} + S_{23} + S_{41} + S_{43} & S_{22} + S_{24} + S_{42} + S_{44} \end{bmatrix} \quad (5.6)$$

5.4 實作：一對二變壓器 (SiGe 0.18 μm)

學生在此節將於 TSMC SiGe 0.18 μm 製程中實現三種不同匝數比的一對二變壓器。分別為 1:1:1、2:1:1 及 1:2:2 (一次側線圈比二次側第一組線圈比二次側第二組線圈)，如圖 5.5 所示，研究目標為研製一個可以操作在 30~50GHz、寬頻、低損耗、高相位精準度的一對二變壓器。採內外繞線的耦合，藉由製程的 Metal 6 層比較厚，利用這一點讓集膚效應降低，可以讓轉換損失降低。設計的理念是根據線寬的粗細控制轉換損失的大小，線與線的寬度控制偶和量，使我們在所需的操作頻率下，有最佳的偶和使相位誤差縮小。在走線方面利用各層間避開走線耦合，才不會造成不必要的相位誤差，另外利用中央抽頭可以在繞線的中間加入直流訊號，不只兩

差動輸出埠的可以達到振幅平橫，也可以使相位誤差降低，不過要注意不能讓中央抽頭的走線影響到走線間的耦合，才不會引起多於的相位誤差。

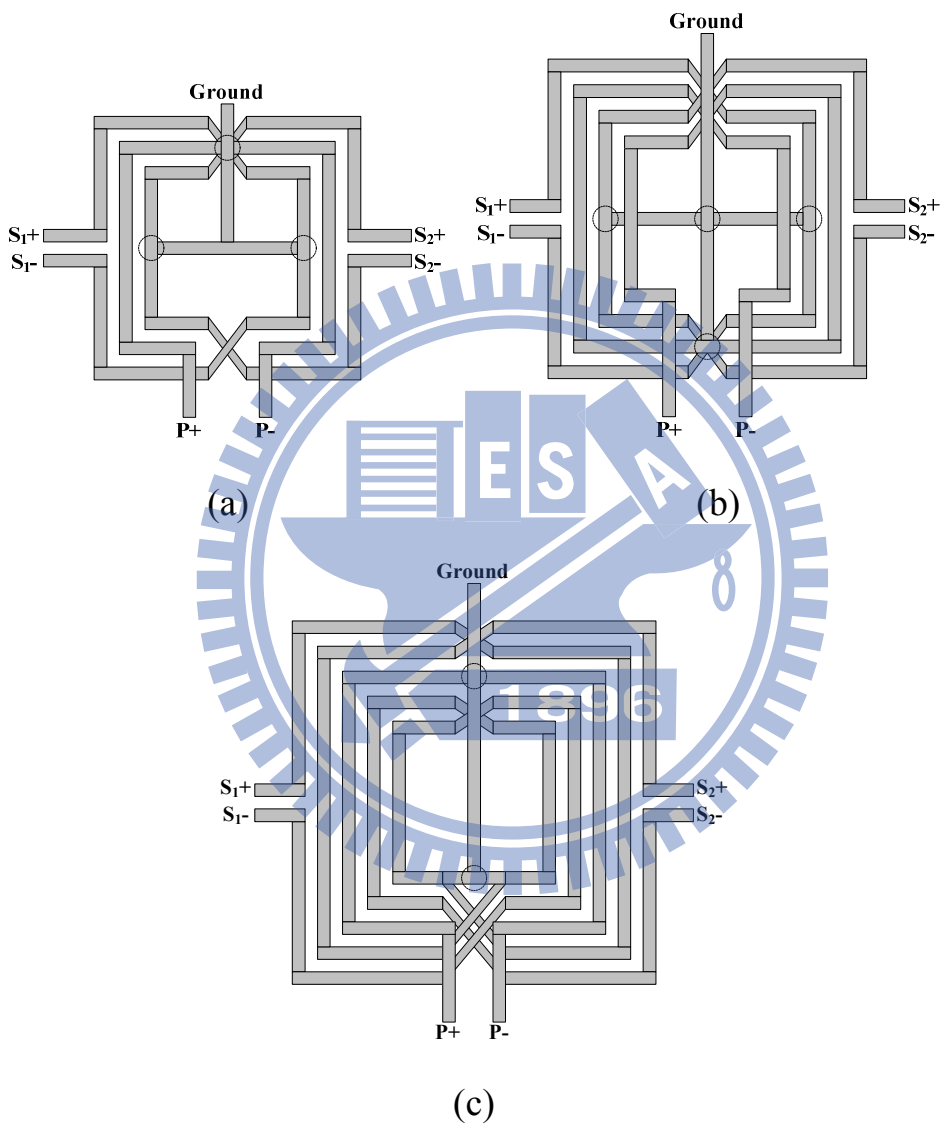


圖 5.5 一對二變壓器 (a) 1 : 1 : 1 (b) 2 : 1 : 1 (c) 1 : 2 : 2

將圖 5.5 的三種變壓器架構利用 Sonet 微波模擬軟體模擬數據

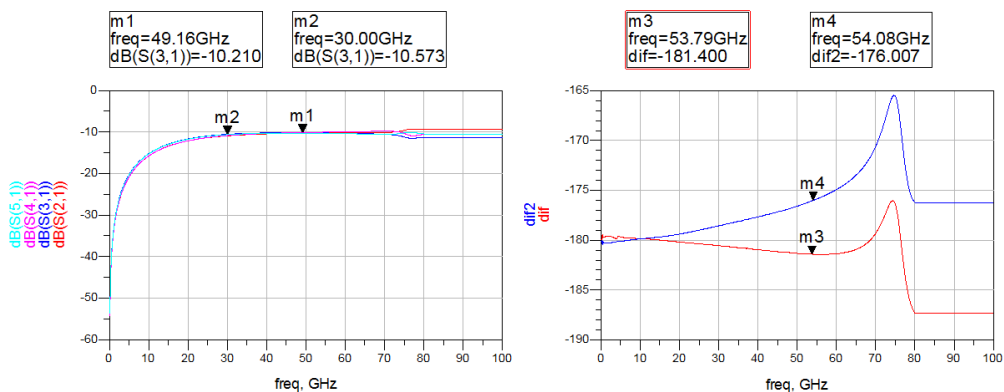


圖 5.6 1 : 1 : 1 一對二變壓器模擬數據

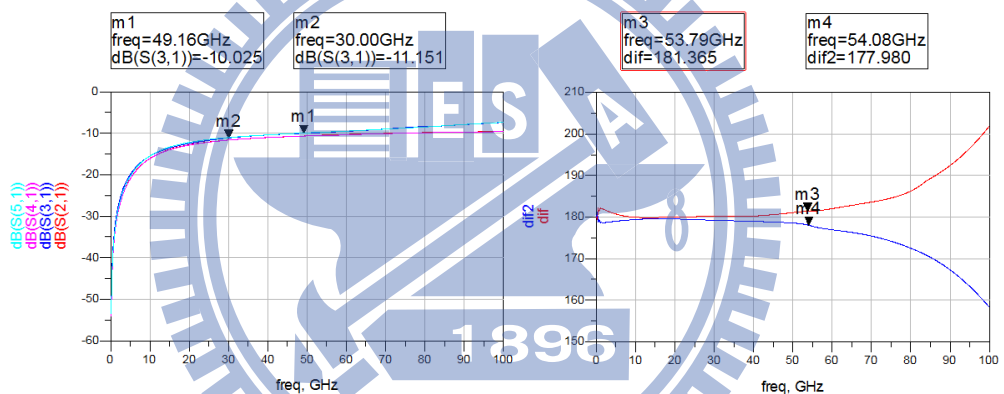


圖 5.7 2 : 1 : 1 一對二變壓器模擬數據

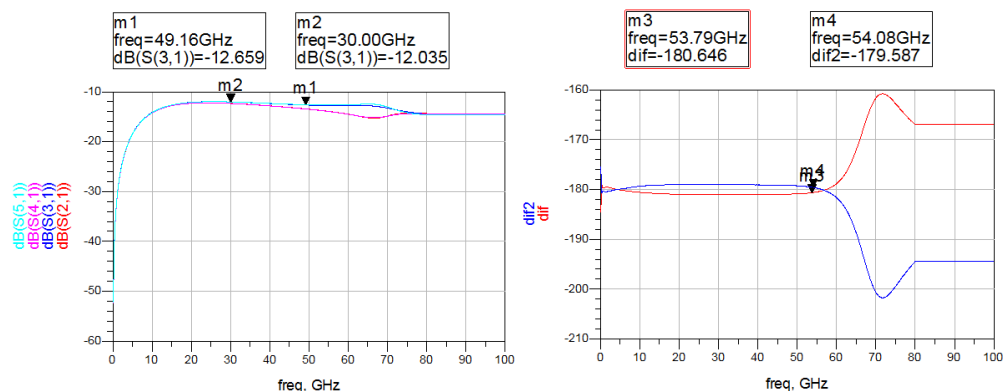


圖 5.8 1 : 2 : 2 一對二變壓器模擬數據

表 5.2 預計規格表

架構	1:1:1	2:1:1	1:2:2
Conversion Loss (dB)	< 12	< 13	< 14
Amp. Imbalance (dB)	<1	<1	<1
Phase Diff. (degree)	180±5	180±5	180±5

由模擬的數據圖看到，當一次側輸入一組差動訊號時，三種一對二變壓器的兩組差動輸出埠在 30 至 50 GHz 的振幅誤差皆小於 1 dB，相位誤差皆小於 5 度以內。預估的規格表如表 5.1 所示。

5.4.1 晶片量測

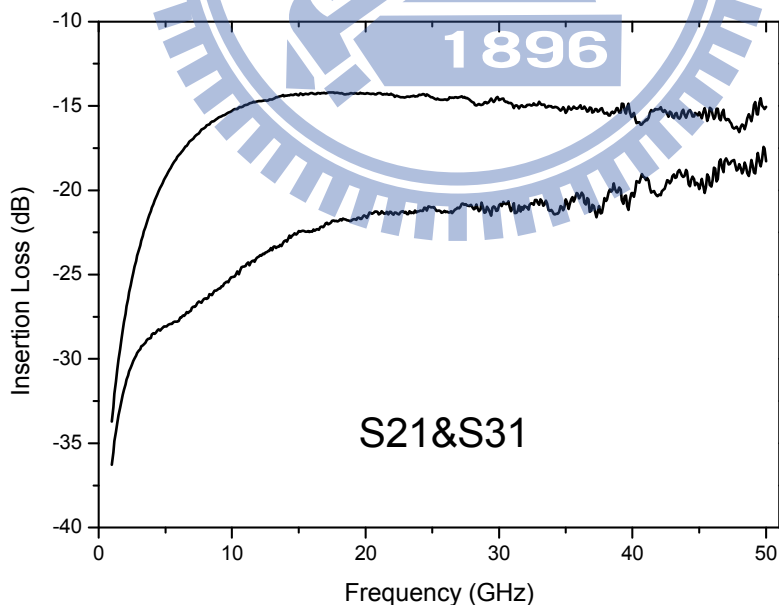


圖 5.9 1 : 1 : 1 一對二變壓器穿透損失

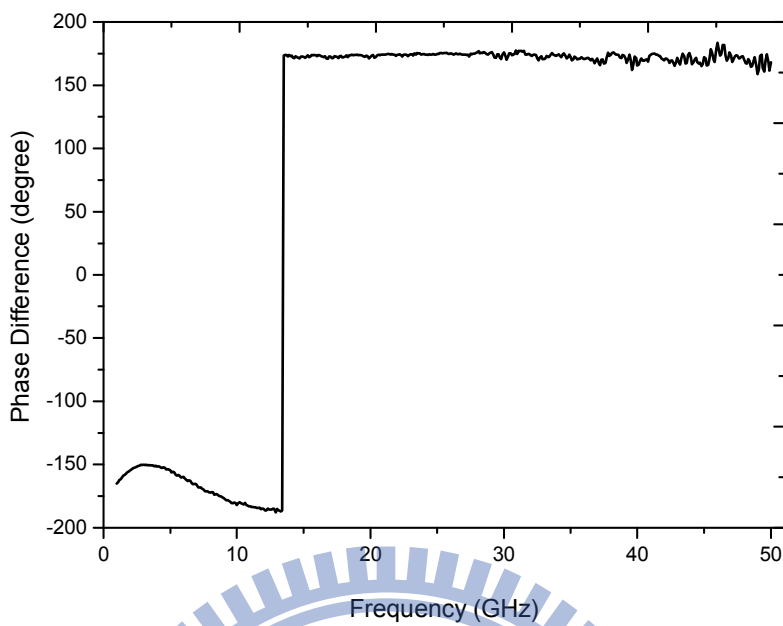


圖 5.10 1:1:1 一對二變壓器輸出相位差

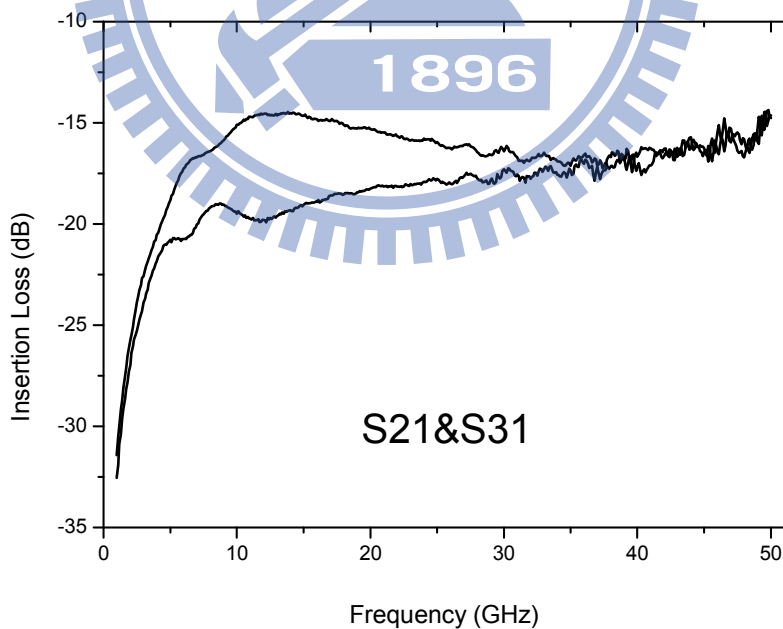


圖 5.11 2:1:1 一對二變壓器穿透損失

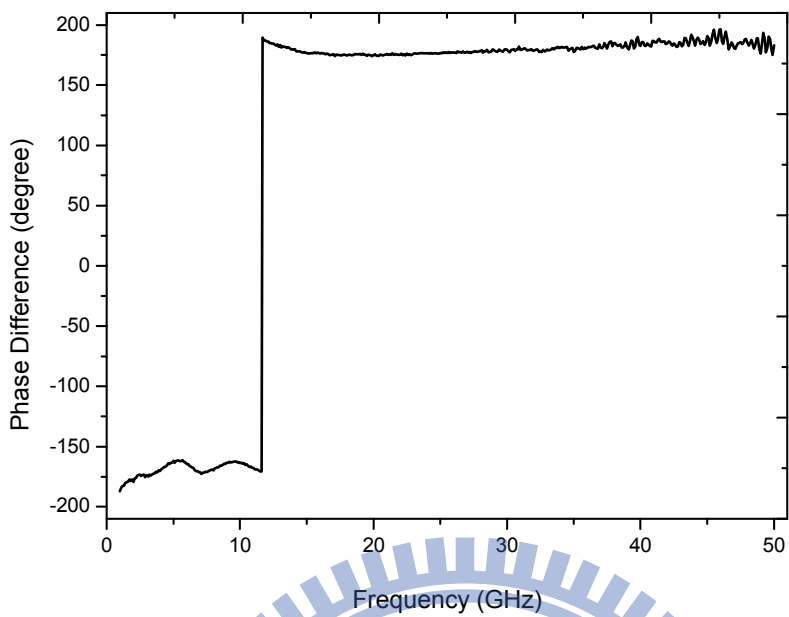


圖 5.12 2 : 1 : 1 一對二變壓器輸出相位差

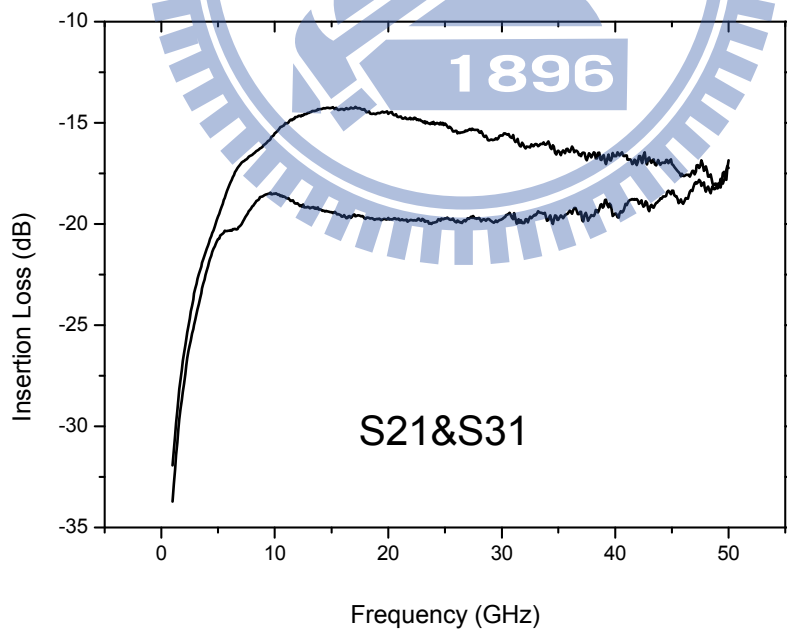


圖 5.13 1 : 2 : 2 一對二變壓器穿透損失

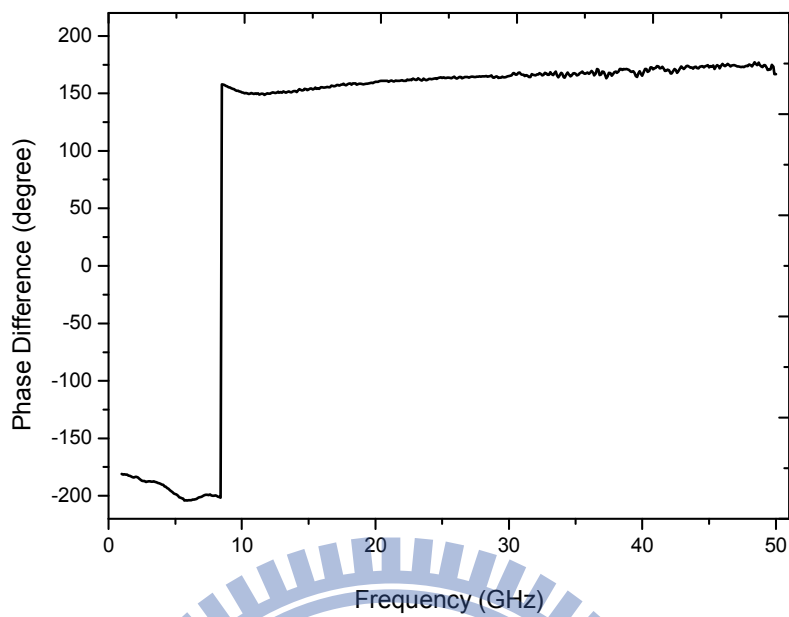


圖 5.14 1:2:2 一對二變壓器輸出相位差

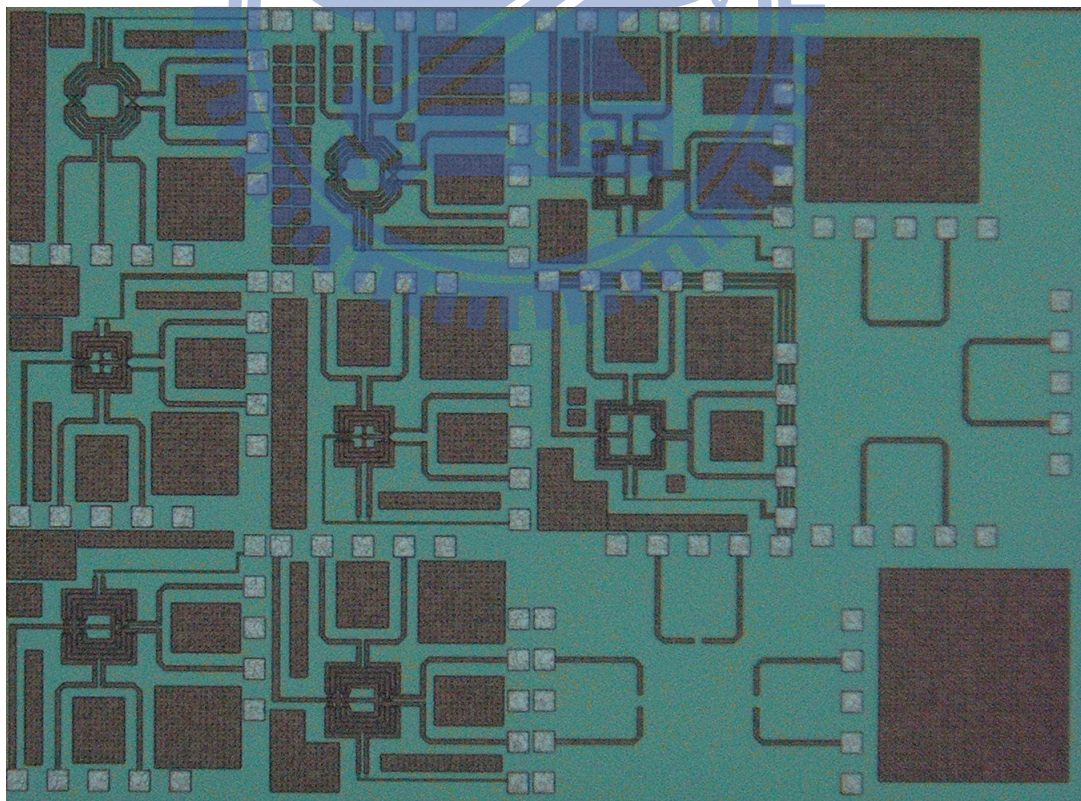


圖 5.15 Die Photo (2.6 mm × 1.9 mm)

本電路實現於 TSMC SiGe 0.18 μm 製程，晶片照片如圖 5.15 所示，輸入及輸出埠皆採用 GSGSG Pad 量測 4 埠散射矩陣。此晶片面積為 $2.6 \times 1.9 \text{ mm}^2$ ，如圖 4.24 所示。

一對二變壓器實際上為一個六埠元件，因為變壓器的輸出埠為對稱結構，所以僅量測一對輸出埠，而未接到 Pad 的輸出埠則各接一個 50 歐姆的阻抗當負載。由量測到的資料中可看到，三組變壓器的輸出振幅在 30 至 50 GHz 間都有相當大的振幅差。輸出相位差數據尚可接受，約介於 180 正負 10 度以內。學生將量測到的 4 埠散射參數，使用一個完美巴倫器提供一次側差動訊號來萃取圖 5.9 至 14 的數據圖。所以學生將 4 埠散射參數轉換成兩埠的混模散射參數，如下圖所示。

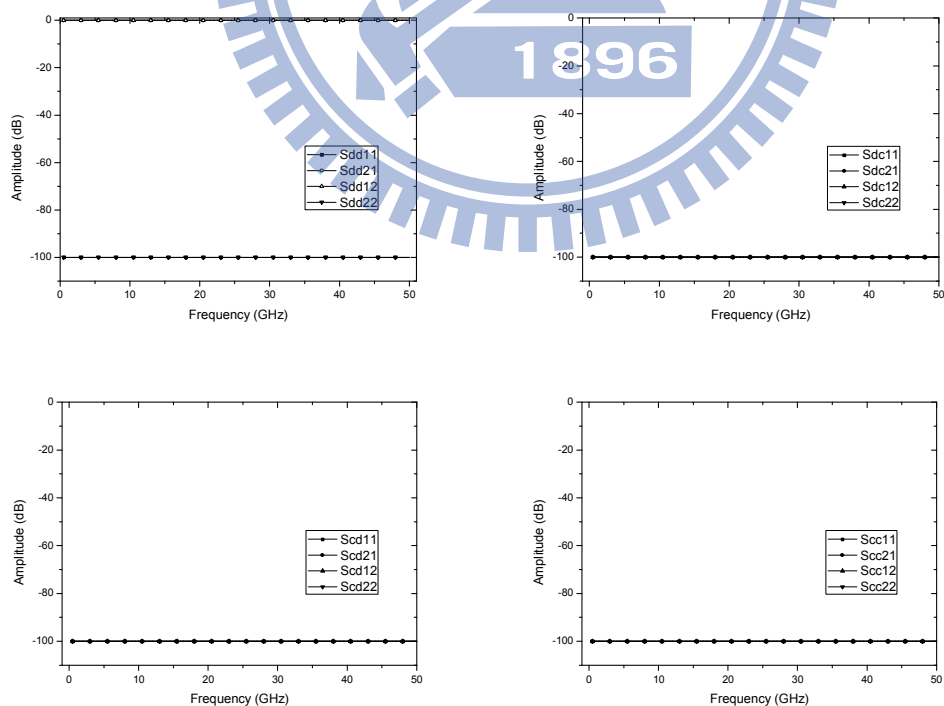


圖 5.16 完美變壓器混模散射參數

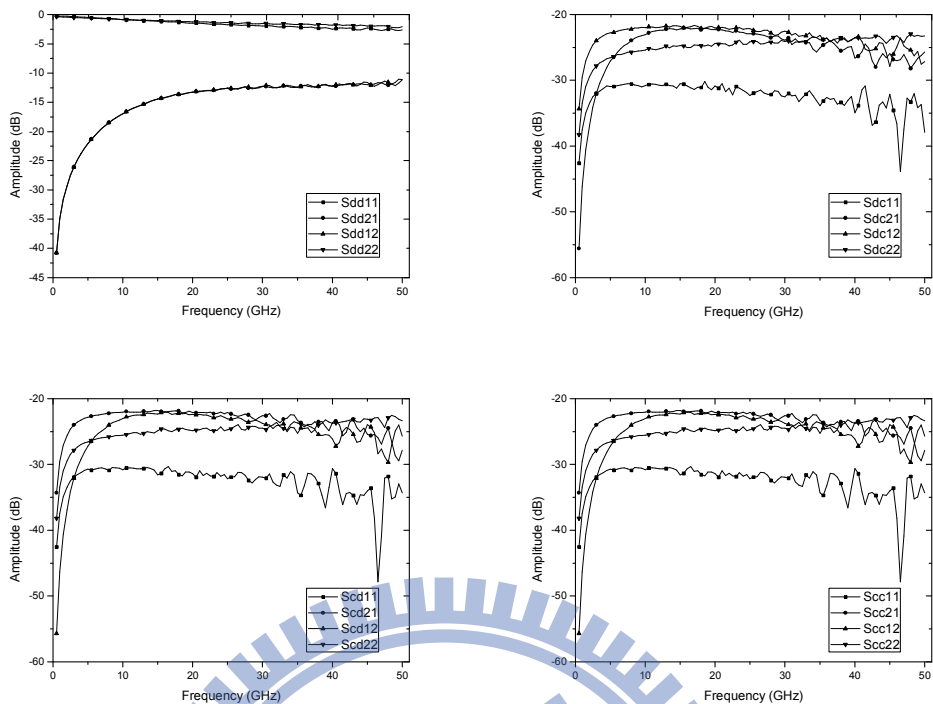


圖 5.17 1:1:1 一對二變壓器混模散射參數

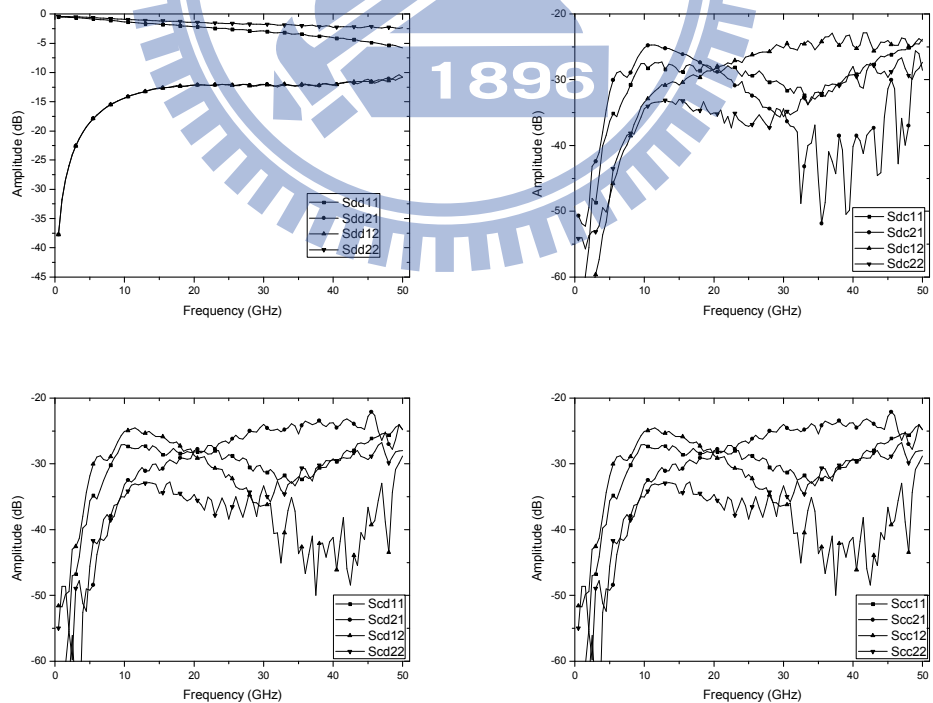


圖 5.18 2:1:1 一對二變壓器混模散射參數

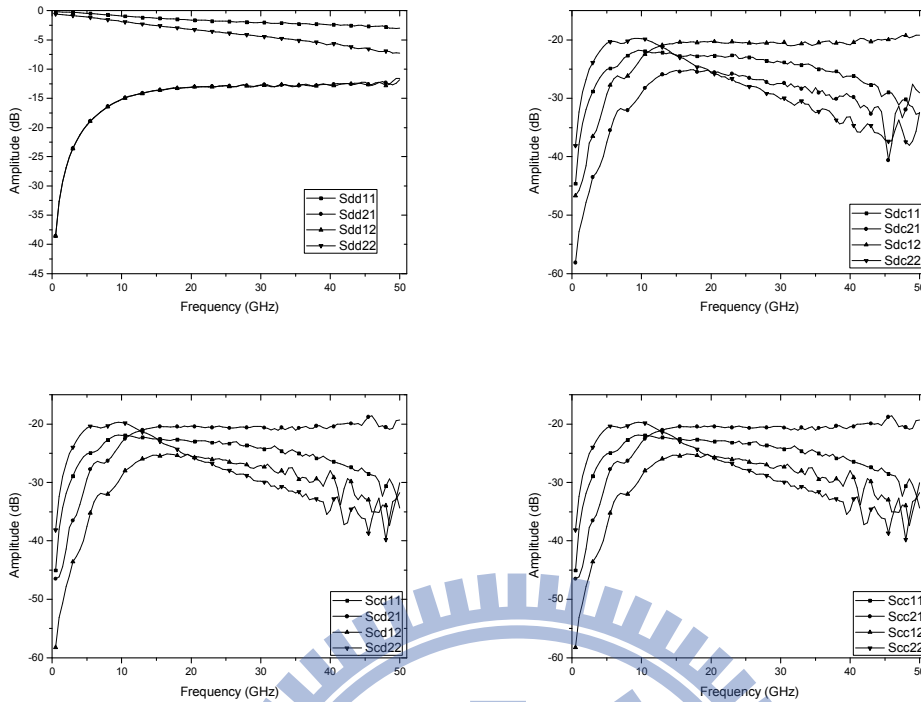


圖 5.19 2 : 1 : 1 一對二變壓器混模散射參數

由圖 5.18 可知，一個完美變壓器的在無耦合、輸出振幅為完美平衡及相位完美相差 180 度下，混模散射參數的 S_{DC} 、 S_{CD} 及 S_{CC} 部分皆等於 0。將圖 5.17 至 5.19 的三種變壓器的混模散射參數與圖 5.16 的完美變壓器混模散射參數比較。可發現此實作一對二變壓器確定沒有達到預期的結果。

學生認為是因為為了使振幅更加平衡及相位誤差減少，將線圈中央接至接地點（中央抽頭），但中央抽頭走線並未考量完善，而直接使用一條不寬的金屬訊號線接至 Pad 的接地點上，變成一個不良接地，影響了一對二變壓器的表現。



第六章 結論

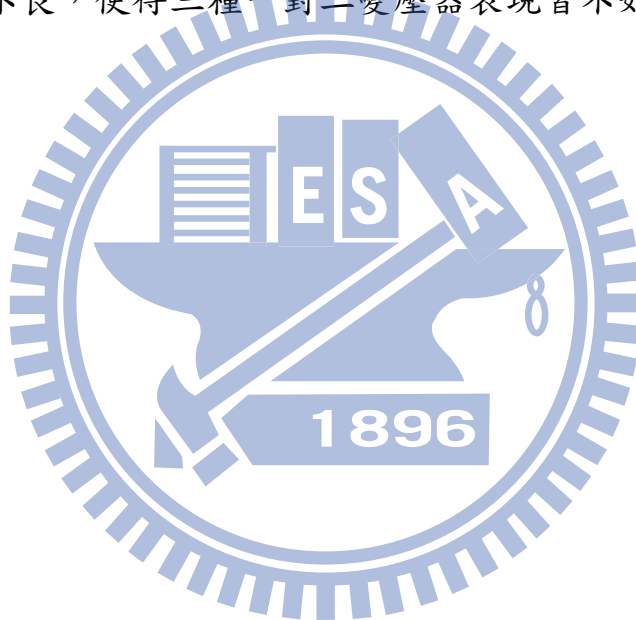
本論文第二章的部分，將文獻提出的一個使用多層板技術實現的寬頻共平面波導管側耦合方向耦合器模擬在 TSMC CMOS 0.18 μm 的多層金屬結構中並利用製程中貫孔將此方向耦合器加以改良。耦合共平面波導上下耦合的耦合器於奇模訊號激發如同具接地面共面波導線傳輸線，於偶模訊號激發如同共面波導傳輸線，利用以上特性可輕易設計出符合應用的方向耦合器。

本論文第三章的部分，利用了 TSMC CMOS 0.18 μm 製程實作一個利用第二章所提出的方向耦合器組合出的雙馬爾尚巴倫器。雙馬爾尚巴倫器的輸入匹配於 16 至 67 GHz 內皆小於 -10 dB，頻寬超過 100%，穿透損失約為 -11.5 dB，振幅誤差小於 1 dB，相位誤差小於 5 度，在 17 至 60 GHz 內相位誤差皆小於 10 度。

本論文第四章的部分，利用 TSMC SiGe 0.18 μm 製程實作一個結合方向耦合器及雙馬爾尚巴倫器降頻正交混頻器。混頻器 26~40 GHz 內輸入匹配皆小於 -10 dB，中頻頻寬約為 400 MHz，最大轉換增益為 4 dB，正交訊號輸出最大振幅誤差為 1.5 dB，最大相位誤差為 10 度，LO 至 RF 的隔絕性皆小於 -50 dB，雜訊指數約介於 23~28 dB 之間。直流電源 VCC1 的電流為 4.38 mA，與模擬時約相差 5%。直流電源 VCC2 的電流為 9.3 mA，與模擬時相差 3 mA，所以單邊 Output Buffer 的電流相差 1.5 mA。因為電阻製程變異過大及提供的電晶體直流模組不準而導致輸出中頻輸出放大與預估不相

同，連同影響输出的中頻頻寬。正交訊號輸出平衡未達預期，是因為 CPW 方向耦合器輸出至微混頻器輸入端的佈局不良導致導致整體耦合量降低了，原本不錯的相位差也連帶影響。LO 至 RF 的隔絕性皆小於-50 dB，LO 至 IF 的隔絕性皆小於-40 dB，表示雙馬爾尚巴倫器的輸出相位平衡頗佳。

本論文第四章的部分利用 TSMC SiGe 0.18 μm 製程實作三種不同一二側匝數比的平面式一對二變壓器。因為變壓器的中央抽頭走線並未考量完善，導致接地不良，使得三種一對二變壓器表現皆不如預期。





第二章：

- [1] David M. Pozar, *Microwave Engineering*, 3rd ed, John Wiley & Sons, Inc., New York, 2005.
- [2] Mourad Nedil and Tayeb A. Denidni, "Quasi-Static Analysis of a New Wide Band Directional Coupler Using CPW Multilayer Technology," *IEEE International Microwave Symposium, IMS-2006*, San Francisco, California, USA, pp. 1133 - 1136, June 2006.
- [3] C. Nguyen, "Investigation of hybrid modes in broadside-coupled coplanar waveguide for microwave and millimeter-wave integrated circuits," *IEEE Antenas and Propagation Society Int. Symp.*, vol. 1, pp. 18-23, June 1995.
- [4] Chun-Lin Liao, Chun-Hsiung Chen, "A Novel Coplanar-Waveguide Directional Coupler with Finite-Extent Backed Conductor," *IEEE Trans. Micro. Theory Tech.*, vol.51, no.1, pp. 200-206, Jan. 2003.
- [5] Rainee N. Simons, *Coplanar Waveguide Circuits, Components, and Systems*, John Wiley & Sons, Inc., New York, 2001.
- [6] K.C. Gupta, R.Garg, I. Bahl and P. Bhartia, *Microstrip Lines and Slotlines*, Artech House, 1996.

第三章：

- [1] Huang, C.-H., Chen, C.-H., Horng, T.-S., "Design of Integrated Planar Marchand Balun Using Physical Transformer Model," *Asia Pacific Microw. Conf. 2009*, Singapore, pp.1004-1007, Dec. 2009.

-
-
- [2] N. Marchand, "Transmission line conversion transformers," *Electronics*, vol. 17, no. 12, pp.142-145, Dec. 1994.
- [3] T. Y. Yang, W. R. Lien, C. C. Yang and H. K. Chiou, "A compact V-Band star mixer using compensated overlay capacitors in dual baluns," *IEEE Microw. Wireless Compon. Lett.*, vol. 17, no. 7, pp. 537-539, July. 2007.
- [4] C. C. Kuo, C. L. Kuo, C. J. Kuo, S. A. Maas and H. Wang, "Novel Miniature and Broadband Millimeter-Wave Monolithic Star Mixers," *IEEE Trans. Microw. Theory Tech.*, vol. MTT-56, no. 4, pp. 793-802, April 2008.
- [5] Chiou, H.-K., W.-R. Lian, and T.-Y. Yang, "A miniature Q-band balanced sub-harmonically pumped image rejection mixer," *IEEE Microw. Wireless Compon. Lett.*, Vol. 17, No. 6, 463-465, Jun. 2007.
- [6] H. K. Chiou and T. Y. Yang, "Low-Loss and Broadband Asymmetric Broadside-Coupled Balun for Mixer Design in 0.18- μm CMOS Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 56, no.4, Apr. 2008.
- [7] Kian Sen Ang, Robertson, I.D., "Analysis and design of impedance-transforming planar Marchand baluns," *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 2, pp. 402-406, Feb. 2001.

第四章：

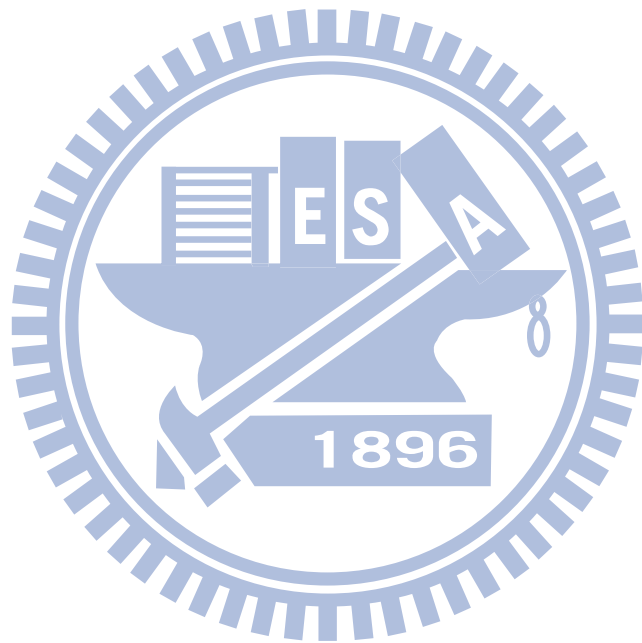
- [1] Mourad Nedil and Tayeb A. Denidni, "Quasi-Static Analysis of a New Wide Band Directional Coupler Using CPW Multilayer Technology," *IEEE International Microwave Symposium, IMS-2006*, San Francisco, California, USA, pp. 1133 - 1136, June 2006.
- [2] S.-C. Tseng, C. Meng, C.-H. Chang, C.-K. Wu and G.-W. Huang, "Monolithic Broadband Gilbert Micromixer With an Integrated Marchand Balun Using Standard Silicon IC Process," *IEEE Trans. Microw. Theory*

Tech., vol. 54, no. 12, Dec. 2006.

- [3] 張智凱, “2.4/5.8 GHz 低功率低雜訊 CMOS 直接降頻接收機,” 交通大學碩士論文, 2010.
- [4] 吳彥鋒, “毫米波注鎖式四倍頻器及應用於衛星直播系統之低雜訊降頻器,” 交通大學碩士論文, 2011.
- [5] 權冠璋, “馬爾尚分合波器之混頻器與利用除頻器與震盪器之訊號產生電路,” 交通大學碩士論文, 2007.

第五章：

- [1] C. C. Meng, J. S. Syu, S. C. Tseng, Y. W. Chang, and G. W. Huang, “Lowphase-noise SiGe HBT VCOs using trifilar-transformer feedback,” *IEEE MTT-S International Microwave Symposium*, pp. 249-251, Jun. 2008.
- [2] Inder Bahl, “Lumped Elements for RF and Microwave Circuits,” 2003.
- [3] Jin-Sing Syu, Chinchun Meng, Guo-Wei Hung, “SiGe HBT quadrature VCO utilizing trifilar transformers,” *2008 IEEE ASIAN SOLID-STATE CIRCUITS CONFERENCE*, Fukuoka, pp. 465-468, 3-5 Nov. 2008.
- [4] 吳柏誼, “鼠徑分合波吉柏特混頻器及次諧波混頻器設計,” 交通大學碩士論文, 2007.



Vita

姓 名：彭永豪

性 別：男

生 日：民國 77 年 04 月 05 號

籍 貫：台灣省彰化縣

學 歷：

國立台中高工 電機科 2003~2006

國立台灣科技大學 電機工程學系 學士 2006~2010

國立交通大學 電信工程研究所 碩士 2010~2012

