

國立交通大學

電信工程研究所

碩士論文

運用 0.18 μm CMOS 製程研製 2.4 GHz 可調式
雙模態主動濾波器及全積體化頻率合成器

2.4 GHz Tunable Dual-Mode Active Filter and Fully
Integrated Synthesizer Using 0.18 μm CMOS Process

研究生：張簡協修

指導教授：孟慶宗

中 華 民 國 一 百 零 一 年 八 月

運用 0.18 μ m CMOS 製程研製 2.4 GHz 可調式 雙模態主動濾波器及全積體化頻率合成器

2.4 GHz Tunable Dual-Mode Active Filter

and Fully Integrated Synthesizer Using 0.18 μ m CMOS Technology

研究生:張簡協修 Student: Hsieh-Hsiu Changchien

指導教授:孟慶宗 博士 Advisor: Dr. Chinchun Meng

國立交通大學



July 2012

Hsinchu, Taiwan, Republic of China

中華民國一百零一年八月

運用 0.18 μm CMOS 製程研製 2.4 GHz 可調式雙模 態主動濾波器及全積體化頻率合成器

學生：張簡協修

指導教授：孟慶宗 博士

國立交通大學

電信工程研究所碩士班

摘 要

本篇論文使用 TSMC 0.18 μm CMOS 製程設計並實現 2.4GHz ISM 頻段的射頻電路，主要可分為兩個主題：第一部份為 2.4GHz CMOS 可調式雙模態主動濾波器，其主要特點為有傳輸零點可調的特性。第二部分為實現全積體化 2.4GHz 頻率合成器。

論文第一部份首先會對集總式雙模態帶通濾波器的設計作探討，再利用主動電感實現主動相位移器，以達到傳輸零點可調的目的，最後將濾波器放在高增益的低雜訊放大器後面，達到壓低雜訊的目的與高帶外訊號抑制的效果。

論文第二部份首先對無線通訊頻帶規範做簡單介紹，接著從系統的角度去分析 2.4GHz 頻率合成器，再來實作頻率合成器使用的多模數除頻器，最後實現並介紹所使用的 2.4GHz 頻率合成器架構。

2.4 GHz Tunable Dual-Mode Active Filter and Fully Integrated Synthesizer Using 0.18 μm CMOS Process

Student : Hsieh-Hsiu Chang Chien

Advisor : Chinchun Meng

Department of Communication Engineering

National Chiao Tung University

Abstract

This thesis using the TSMC 0.18 μm CMOS process design and achieve the 2.4GHz ISM band RF circuits, which can be divided into two parts: The first part is 2.4 GHz Tunable Dual-Mode Active Filter, the main feature is the tunable transmission zeros. The second part is the full Integrated 2.4GHz frequency synthesizer.

In first part, we will discuss the design methodology of lumped dual-mode band- pass filter. Using active inductor to achieve the active phase shifter, in order to achieve the purpose of the adjustable transmission zeros. Finally, we implement the RF circuit which is cascaded the high gain LNA and the previous active filter in sequence to suppress the noise and achieve high out of band signal rejection.

The second part, we briefly introduce wireless communication frequency spectrum specification , and then from a systems perspective to analyze the 2.4GHz frequency synthesizer. Implement the multi-modulus divider part of frequency synthesizer, and finally finish it.

誌謝

一眨眼兩年的研究所時光就這樣過去了，來到實驗室後受到許多人的幫忙，才能完成這篇論文，實在要感謝的人很多。首先感謝孟慶宗教授在我碩士生涯的兩年，學到許多射頻積體電路的知識與寶貴的經驗，得以克服研究中種種的困難。再來感謝特地抽空來參與學生口試的張志揚教授與陳巍仁教授，教授們在口試中所提出的問題，使得本論文內容能更加完整。而在晶片的量測過程中，要感謝國家奈米元件實驗室全體同仁的協助，由於你們的專業技術，使我的量測結果都能有不錯效果。

因為有 918 實驗室的各位，陪我度過充滿回憶的兩年碩士班生活。首先感謝博士班的語鈺、宏儒與金詳學長，在研究上的細心指導與傾囊相授總能給我適時的提點和幫助，讓我解決各種疑難雜症。同時感謝彥鋒與楊雋學長在模擬軟體的詳細教學，使我能及早開始進行研究，讓我對射頻電路有更深一層的認識。而由於有偉程、格偉、永豪的砥礪與協助，使我能順利的完成課業上問題與挑戰。此外，感謝學弟們士德、仁傑與維麟的加入，使實驗室注入新的活力，讓我在碩士班兩年多了許多歡笑。最後，我要感謝我的父母，姊姊和妹妹，因為有你們的背後支持，才能讓我在碩士班的兩年順利完成。在此將此論文獻給所有支持我的人。

張簡協修 謹於
Lab918, 交通大學
2012 年 7 月

目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
圖目錄	vii
表目錄	xii
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 2.4 GHz 可調式雙模態主動濾波器	4
2.1 簡介	5
2.2 集總式相位移器設計與分析	7
2.3 雙模態帶通濾波器設計與分析	9
2.4 主動式電感設計與分析	14
2.5 實作一：2.4 GHz 可調式雙模態主動濾波器	17
2.5.1 整體電路架構	17
2.5.2 模擬及量測結果	18
2.5.3 結果與討論	22
2.6 實作二：使用可調式雙模態主動濾波器研製高帶外訊號抑制低雜訊放大器(CMOS 0.18 μm)	25
2.6.1 低雜訊放大器(LNA)	26
2.6.2 模擬及量測結果	28

2.6.3 結果與討論.....	31
第三章 全積體化頻率合成器.....	33
3.1 無線通訊中頻率合成器之應用.....	34
3.1.1 無線通訊頻帶規範與應用.....	34
3.1.2 射頻收發機應用之頻率合成器.....	36
3.2 頻率合成器基本概念與重要參數.....	38
3.2.1 鎖相迴路基本操作原理.....	38
3.2.2 頻率合成器重要參數.....	39
3.3 頻率合成器系統分析與模擬.....	41
3.3.1 頻率合成器線性系統分析.....	41
3.3.2 頻率合成器相位雜訊來源分析.....	44
3.3.3 頻率合成器線性系統模擬.....	46
3.4 實作一 多模數除頻器.....	49
3.4.1 多模數除頻器系統架構.....	49
3.4.2 電流模式 D 型正反器邏輯電路.....	51
3.4.3 除四除五前置除頻器.....	52
3.4.4 真單相時脈電路(True Single-Phase Clock).....	54
3.4.5 數位邏輯控制電路.....	55
3.4.6 模擬與量測結果.....	57
3.4.7 結果與討論.....	60
3.5 實作二 2.4GHz 頻率合成器.....	61
3.5.1 運用 E-TSPC 之多模數除頻器.....	61
3.5.2 電壓控制振盪器(Voltage Control Oscillator).....	63
3.5.3 相位頻率偵測器(Phase and Frequency Detector).....	72
3.5.4 電荷幫浦(Charge Pump).....	73

3.5.5 迴路濾波器(Loop Filter).....	74
3.5.6 模擬與量測結果.....	75
3.5.7 結果與討論.....	81
第四章 結論.....	83
參考文獻.....	86
附錄 5.2GHz 頻率合成器.....	89
A1.1 電路設計.....	90
A1.2 量測結果.....	91
Vita.....	95



圖目錄

圖 1.1 頻譜運用與標準.....	2
圖 1.2 頻率合成器系統架構圖.....	3
圖 2.1 CMOS 帶拒濾波器(a)串聯諧振型及(b)相位相消型。.....	6
圖 2.2 使用步階阻抗微擾實現雙模環形帶通濾波器[1].....	6
圖 2.3 集總式雙模態帶通濾波器.....	6
圖 2.4 傳輸線與 T 型的 ABCD 矩陣.....	7
圖 2.5 理想集總式雙模態帶通濾波器.....	9
圖 2.6 理想集總式雙模態帶通濾波器奇偶模分析電路.....	10
圖 2.7 環形帶通濾波器奇模態與偶模態的半電路(a)偶模態(b)奇模態 ...	11
圖 2.8 S_{11} 奇偶模態相位及 S_{21} 參數對應.....	12
圖 2.9 改變微擾阻抗的 S_{21} 參數.....	12
圖 2.10 改變微擾阻抗的 S_{11} 參數.....	13
圖 2.11 改變 L_2 值 S_{11} 與 S_{21} 參數.....	13
圖 2.12 (a) 傳統的接地型電感[3](b)疊接(cascode)接地型電感[4].....	14
圖 2.13 主動電感小訊號等效電路[4].....	14
圖 2.14 (a)主動電感示意圖(b)可調式電感示意圖.....	15
圖 2.15 較低感值的主動電感其電感感值與 Q 值.....	16
圖 2.16 主動電感 Smith chart 的頻率響應.....	16
圖 2.17 理想集總式雙模態帶通濾波器.....	17
圖 2.18 實際 2.4GHz 可調式雙模態主動濾波器電路圖.....	17
圖 2.19 濾波器 S_{21} 、 S_{12} 模擬及量測結果.....	18
圖 2.20 濾波器 Return Loss 模擬及量測結果.....	18

圖 2.21 濾波器 Noise Figure 模擬及量測結果.....	19
圖 2.22 濾波器改變控制電壓 V_{ctr} 下的 S_{21} 量測結果.....	19
圖 2.23 濾波器改變 VDD 下的 S_{21} 量測結果	20
圖 2.24 濾波器線性度 IP_1 dB 量測結果	20
圖 2.25 濾波器線性度 IIP_3 量測結果.....	21
圖 2.26 晶片實照圖(0.575mm X 0.432mm).....	21
圖 2.27 低雜訊放大器與主動式濾波器系統架構圖	25
圖 2.28 疊接放大器電路架構.....	25
圖 2.29 輸入級匹配.....	26
圖 2.30 LNA 被動元件設計示意圖	27
圖 2.31 高帶外訊號抑制低雜訊放大器 改變濾波器電壓 S_{21} 量測結果... 28	
圖 2.32 高帶外訊號抑制低雜訊放大器 S_{21} 模擬及量測結果.....	28
圖 2.33 高帶外訊號抑制低雜訊放大器 S_{11} 、 S_{22} 模擬及量測結果	29
圖 2.34 高帶外訊號抑制低雜訊放大器雜訊指數模擬及量測結果	29
圖 2.35 高帶外訊號抑制低雜訊放大器線性度 IP_1 dB 量測結果.....	30
圖 2.36 高帶外訊號抑制低雜訊放大器線性度 IIP_3 量測結果.....	30
圖 2.37 晶片實照圖 (0.819 mm X 0.678 mm)	31
圖 3.1 5GHz 頻段 802.11a 工作頻道	35
圖 3.2 2.4GHz 頻段 802.11g 工作頻道	36
圖 3.3 複數訊號直接降頻接收機架構圖 [12].....	37
圖 3.4 鎖相迴路系統架構.....	38
圖 3.5 理想與實際信號頻譜.....	40
圖 3.6 Spurious 示意圖	40
圖 3.7 二階低通濾波器.....	41
圖 3.8 三階頻率合成器線性模型.....	42

圖 3.9 開迴路系統的波德圖.....	42
圖 3.10 相位雜訊來自輸入參考訊號示意圖.....	44
圖 3.11 相位雜訊來自電壓控制振盪器的控制訊號示意圖.....	45
圖 3.12 鎖相迴路系統頻率規劃[14].....	46
圖 3.13 Simulink 模擬方塊圖.....	48
圖 3.14 Simulink 鎖定時間模擬圖.....	48
圖 3.15 Matlab 模擬開迴路響應波德圖.....	49
圖 3.16 多模數除頻器系統架構圖.....	50
圖 3.17 電流模式 D 型正反器[15].....	51
圖 3.18 傳統除四除五除頻器電路架構.....	52
圖 3.19 併入 AND 閘之電流模式 D 型正反器.....	52
圖 3.20 併入 AND 閘之除四除五除頻器電路架構.....	53
圖 3.21 併入 AND 閘之除四除五除頻器時脈原理推導圖.....	53
圖 3.22 真單相時脈電路[16].....	55
圖 3.23 邏輯電路與除 16 除頻器.....	56
圖 3.24 除 16 除頻器時序圖.....	56
圖 3.25 多模數除頻器之輸出波型模擬結果.....	57
圖 3.26 多模數除頻器之輸出波型量測結果.....	57
圖 3.27 多模數除頻器之輸出頻譜模擬結果.....	58
圖 3.28 多模數除頻器之輸出頻譜量測結果.....	58
圖 3.29 多模數除頻器靈敏度量測結果.....	59
圖 3.30 除頻器晶片實照圖(0.862mm X 0.551mm).....	59
圖 3.31 Dynamic DFF (a)E-TSPC (b)TSPC.....	61
圖 3.32 運用 E-TSPC 之多模數除頻器系統架構圖.....	62
圖 3.33 運用 E-TSPC 之多模數除頻器靈敏度模擬結果.....	62

圖 3.34 壓控振盪器電路圖.....	63
圖 3.35 使用主動電路以提供負電阻.....	63
圖 3.36 負電阻產生示意圖.....	64
圖 3.37 LC-tank 半電路等校示意圖.....	64
圖 3.38 台積電感等效電路示意圖.....	65
圖 3.39 電感的感值 Q 值與寄生電阻值.....	66
圖 3.40 可變電容偏壓與容值變化量示意圖.....	67
圖 3.41 PMOS 與 NMOS 在 $W_p/W_n=3.6$ 倍下的 IV-Curve	67
圖 3.42 電壓控制振盪器的緩衝放大器.....	69
圖 3.43 緩衝放大器小訊號模型.....	69
圖 3.44 壓控振盪器輸出功率對可調範圍模擬結果.....	70
圖 3.45 壓控振盪器可調範圍模擬結果.....	70
圖 3.46 壓控振盪器相位雜訊模擬結果.....	71
圖 3.47 相位頻率偵測器電路圖.....	72
圖 3.48 相位頻率偵測器操作時序圖.....	72
圖 3.49 電荷幫浦電路圖.....	73
圖 3.50 二階低通濾波器.....	74
圖 3.51 輸出頻譜模擬結果(2.24GHz).....	75
圖 3.52 輸出頻譜量測結果(2.28867GHz).....	75
圖 3.53 輸出頻譜模擬結果(2.31GHz).....	76
圖 3.54 輸出頻譜量測結果(2.31GHz).....	76
圖 3.55 Span=1 MHz 輸出頻譜量測結果(2.31 GHz).....	77
圖 3.56 輸出頻譜模擬結果(2.45GHz).....	77
圖 3.57 輸出頻譜量測結果(2.45GHz).....	78
圖 3.58 輸出頻譜模擬結果(2.765GHz).....	78

圖 3.59 輸出頻譜量測結果(2.765GHz)	79
圖 3.60 輸出功率與輸出頻率示意圖	79
圖 3.61 輸入端訊號產生器相位雜訊量測結果	80
圖 3.62 輸出端相位雜訊量測結果	80
圖 3.61 頻率合成器實照圖 (0.761 mm X 0.71 mm)	81
圖 A1.1 鎖相迴路器系統架構圖	90
圖 A1.2 頻率合成器電路架構圖	90
圖 A1.3 輸出頻譜(5.22GHz)	91
圖 A1.4 輸出頻譜(5.26GHz)	91
圖 A1.5 輸出頻譜(5.28GHz)	91
圖 A1.6 輸出頻譜(5.3GHz)	91
圖 A1.7 輸出頻譜(5.32GHz)	91
圖 A1.8 輸出頻譜(5.38GHz)	91
圖 A1.9 輸出頻譜(5.4GHz)	92
圖 A1.10 輸出頻譜(5.42GHz)	92
圖 A1.11 輸入參考訊號波型(10MHz)	92
圖 A1.12 輸入參考訊號相位雜訊(10 MHz)	92
圖 A1.13 輸出相位雜訊(5.22 GHz)	93
圖 A1.14 5.2GHz 頻率合成器實照圖 (0.751 mm X 0.700 mm)	93

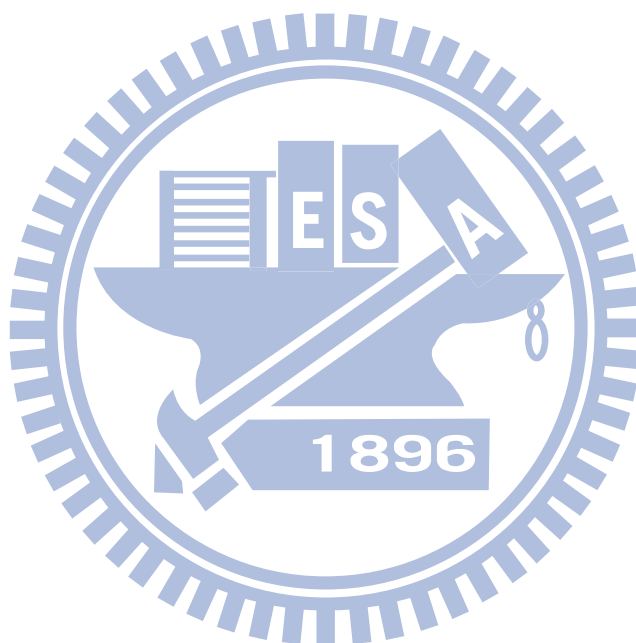
表目錄

表 2.1 2.4 GHz CMOS 可調式雙模態主動濾波器模擬與量測比較表	24
表 2.2 主動濾波器文獻比較表	25
表 2.3 低雜訊放大器模擬與量測比較表	32
表 2.4 低雜訊放大器文獻比較表	32
表 3.1 γ 值對照表[12]	44
表 3.2 頻率合成器參數設定	47
表 3.3 多模數除頻器電路量測摘要	60
表 3.4 2.4GHz 頻率合成器模擬與量測比較表	82
表 A1 5.2 GHz 頻率合成器模擬與量測比較表	94



第一章

導論



1.1 研究動機

近年來無線通訊技術蓬勃發展，2.4 GHz 頻段相關無線網路產品已被廣泛使用而無線通訊系統中，由於前端關鍵被動零組件仍與後端主動元件整合不易，因此本篇論文將提出前端被動濾波器主動化且整合於 CMOS 製程中，此外，CMOS 製程上矽基板及金屬所提供之損耗使得被動濾波器植入損耗不佳，該特性使得被動濾波器不被廣泛應用於 CMOS 製程當中尤其是較常用無線網路之頻段(2.4 GHz)。因此本人於論文中設計中心頻率於 2.45 GHz 主動濾波器，並且植入傳輸零點於帶外中以便於抑制帶外訊號使得帶通響應更為完整。

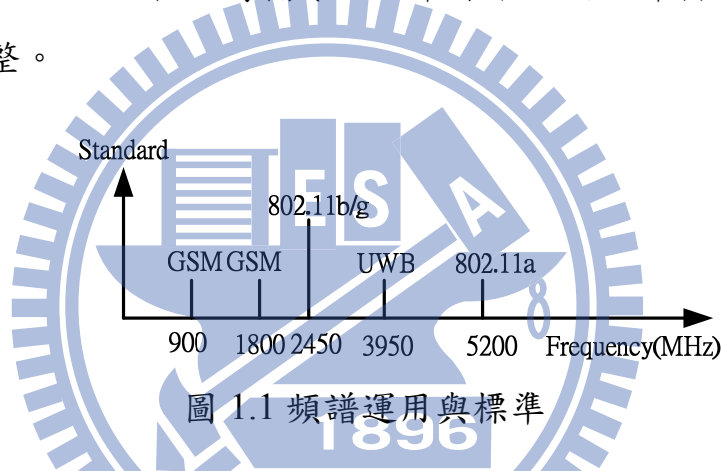


圖 1.1 頻譜運用與標準

頻率合成器在無線通訊架構中佔有重要的地位，因為無線收發機升降頻的動作必須仰賴本地端震盪器(LO)與混頻器調變產生高頻或中頻訊號；而頻率合成器就是用以提供穩定本地訊號、選擇正確頻率並依據所選的通道產生一個精準的載波頻率，完成頻率升降調變的關鍵零組件；然而頻率合成器的相位雜訊(Phase noise)、通道切換速度、迴路頻寬、頻率間隔、輸出功率、功率消耗、電路面積等性能就必須依據無線通訊系統的規格去取捨。頻率合成器電路架構可分為五個關鍵子電路，電壓控制震盪器(Voltage Control Oscillator)、除頻器(Divider)、相頻偵測器(Phase Frequency Detector)、電荷幫浦(Charge Pump)與迴路濾波器(Loop Filter)。

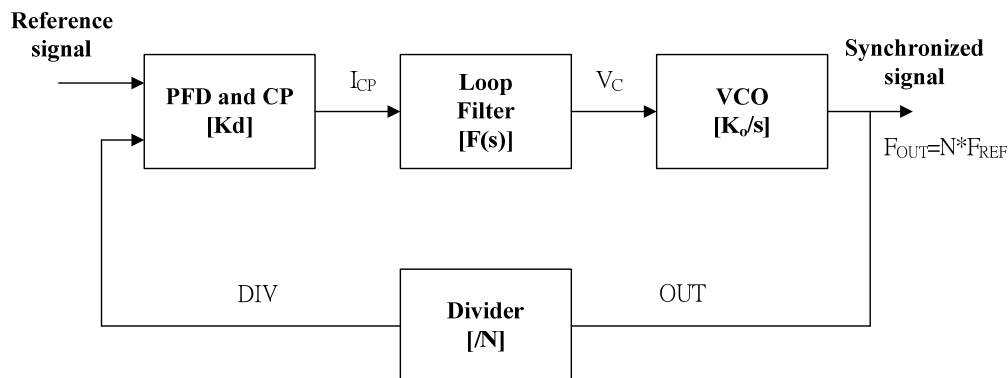


圖 1.2 頻率合成器系統架構圖

1.2 論文組織

本篇論文將利用 TSMC 0.18 μm CMOS 製程技術來設計晶片。本論文分為四個章節，第一章為導論，說明研究動機與論文組織。第二章為 2.4 GHz 可調式雙模態主動濾波器，內容包含環形帶通濾波器的詳細分析設計、主動電感與低雜訊放大器。第三章為全積體化頻率合成器電路設計，先介紹無線通訊頻帶規範，接著從頻率合成器系統觀念進行分析與設計，再來分別實作多模數除頻器與頻率合成器。第四章為對上述的所有電路設計作結論。

第二章

2.4 GHz 可調式雙模態

主動濾波器



2.1 簡介

本論文主要實現 RF 主動式帶通濾波器於 0.18 μm CMOS 製程之中。此濾波器提供兩個傳輸零點有效的帶外訊號抑制。由於主動濾波器雜訊抑制較差，因此，本章節最後將改良低雜訊放大器雜訊指數之特性且整合於主動濾波器設計中來抑制主動濾波器之雜訊。

近年來無線通訊技術蓬勃發展，2.4 GHz 頻段相關無線網路產品已被廣泛使用而無線通訊系統中前端關鍵被動零組件仍與後端主動元件整合不易，因此，本論文提出前端被動濾波器主動化且整合於 CMOS 製程中，就以現今濾波器實現技術多半以印刷電路板(Printed Circuit Board, PCB)及低溫共燒陶瓷(Low Temperature Co-fired Ceramic, LTCC)製程來達到低損耗高帶外雜訊抑制之訴求，而本論文將濾波器實現於 0.18 μm CMOS 製程之中，目前實現於 CMOS 製程上之被動濾波器以 60 GHz 及 77 GHz 為主流，因其操作於高頻其電路尺寸相對低頻濾波器小較易實現。此外，CMOS 製程上矽基板及金屬所提供之損耗使得被動濾波器植入損耗不佳，該特性使得被動濾波器不被廣泛應用於 CMOS 製程當中尤其是較常用無線網路之頻段(2.4 GHz)，因此本論文提出使用可調式主動相位移器研製 2.4 GHz 可調式雙模態主動濾波器於帶外設計二個傳輸零點用以抑制帶外訊號。

傳輸零點產生方式，圖 2.1(a)為傳統使用 LC 在並聯路徑做串聯諧振之方式，可產生二個傳輸零點而圖 2.2(b)則是使用相位相消之概念可產生一個傳輸零點，此兩種方式皆可有效產生傳輸零點，但為了達成零點可調的特性，本論文使用圖 2.3 步階阻抗微擾實現雙模環形帶通濾波器[1]的概念並用集總式相位移器取代其傳輸線，並進一步使用主動電感取代其被動電感，利用主動電感其感值可調的特性實現 2.4

GHz 可調式雙模態主動濾波器。

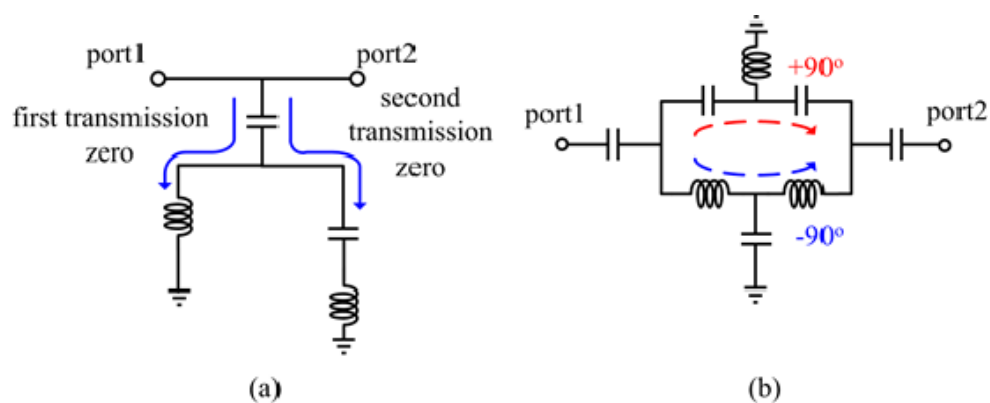


圖 2.1 CMOS 帶拒濾波器(a)串聯諧振型及(b)相位相消型。

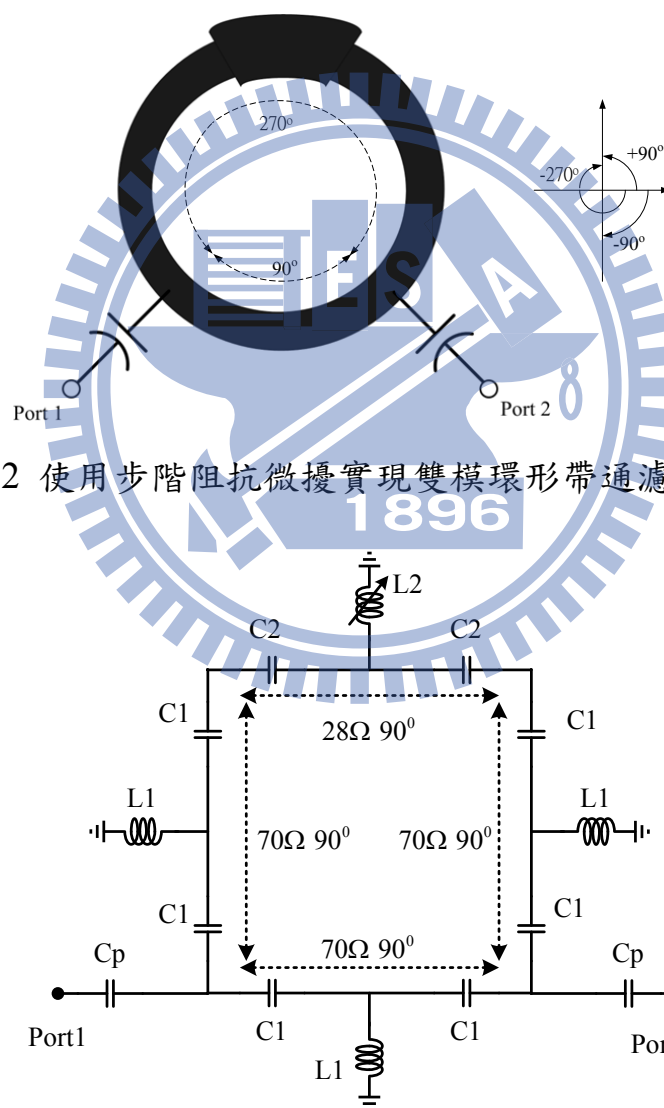
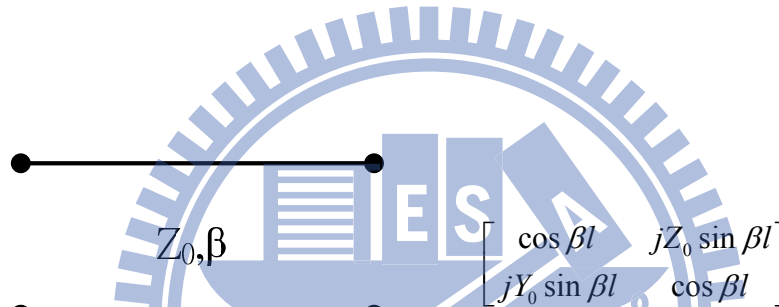


圖 2.2 使用步階阻抗微擾實現雙模環形帶通濾波器[1]

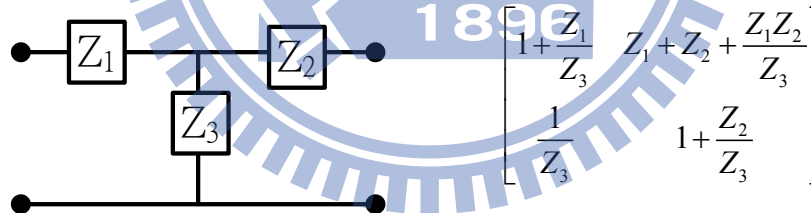
圖 2.3 集總式雙模態帶通濾波器

2.2 集總式相位移器設計與分析

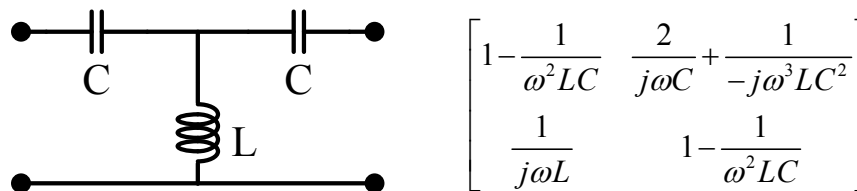
根據 $c = f \times \lambda$ 可算出在頻率等於 2.4GHz 時，1/4 波長為 31250 μm ，為了縮小傳輸線在低頻 2.4GHz 時的面積，使電路大小可以在晶片中實現，使用等效的集總式被動元件組成的相位移器來取代傳輸線。先分析傳輸線與相位移器 T 型的 ABCD 矩陣，再用矩陣參數相等，即可求出所需的電容電感值。而 T 型又可分為高通型 CLC 與低通的 LCL 型式，為了減少主動電感的使用並且實現的主動電感為單端接地的型式，所以使用如圖 2.4 CLC 的相位移器。



$$\begin{bmatrix} \cos \beta l & jZ_0 \sin \beta l \\ jY_0 \sin \beta l & \cos \beta l \end{bmatrix} \quad (2.1)$$



$$\begin{bmatrix} 1 + \frac{Z_1}{Z_3} & Z_1 + Z_2 + \frac{Z_1 Z_2}{Z_3} \\ \frac{1}{Z_3} & 1 + \frac{Z_2}{Z_3} \end{bmatrix} \quad (2.2)$$



$$\begin{bmatrix} 1 - \frac{1}{\omega^2 LC} & \frac{2}{j\omega C} + \frac{1}{-j\omega^3 LC^2} \\ \frac{1}{j\omega L} & 1 - \frac{1}{\omega^2 LC} \end{bmatrix} \quad (2.2)$$

圖 2.4 傳輸線與 T 型的 ABCD 矩陣

由(2.1)的 ABCD 矩陣等於(2.2)的 ABCD 矩陣可推導得(相位落後) [2]

(When $180^\circ < \theta_{lag} < 360^\circ$)

$$L = \frac{Z_c}{-\omega_0 \sin \theta_{lag}} \quad (2.3)$$

$$C = \frac{\sin \theta_{lag}}{\omega_0 Z_c (\cos \theta_{lag} - 1)} \quad (2.4)$$

從相位領先的觀點公式為[2]

(When $0 < \theta_{lead} < 180^\circ$)

$$L = \frac{Z_c}{\omega_0 \sin \theta_{lead}} \quad (2.5)$$

$$C = \frac{\sin \theta_{lead}}{\omega_0 Z_c (1 - \cos \theta_{lead})} \quad (2.6)$$

Z_c 為特徵阻抗，帶入 70 歐姆或低阻抗值， θ_{lead} 帶入 90 度， $\omega_0 = 2\pi f_0$ ， f_0 一開始帶入 2.45GHz，所求出的 LC 值，模擬其整體濾波器的 S 參數響應，此時帶通的中心頻率不會剛好在 2.45GHz，再根據所需要的中心頻率，將 f_0 做些微調整，才能設計出所需要的濾波器。

2.3 雙模態帶通濾波器設計與分析

本節將使用阻抗微擾實現圖 2.5 理想集總式 2.45 GHz 雙模態帶通濾波器。在環形共振器的一端，插入一低阻抗等效的傳輸線，使訊號在傳遞到低阻抗傳輸線時，因阻抗不一致產生微擾，使傳輸零點分離，而形成帶通濾波器，理想 2.45 GHz 雙模態帶通濾波器，因電路架構對稱，遂使用奇、偶模分析方式來做電路分析探討，圖 2.6 中的虛線為分析奇、偶模帶通濾波器的對稱面。圖 2.7 為環形帶通濾波器奇模態與偶模態的半電路。

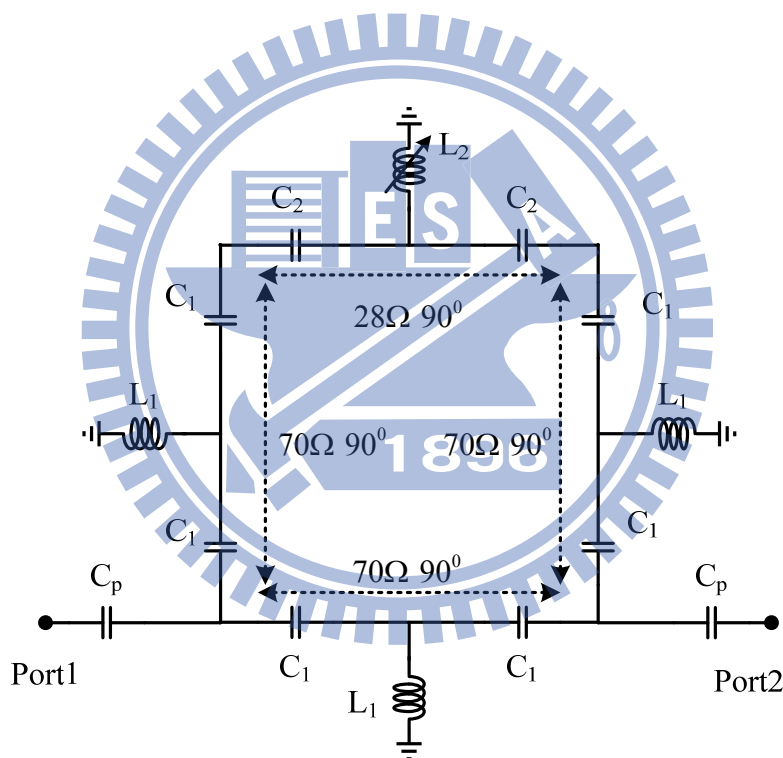


圖 2.5 理想集總式雙模態帶通濾波器

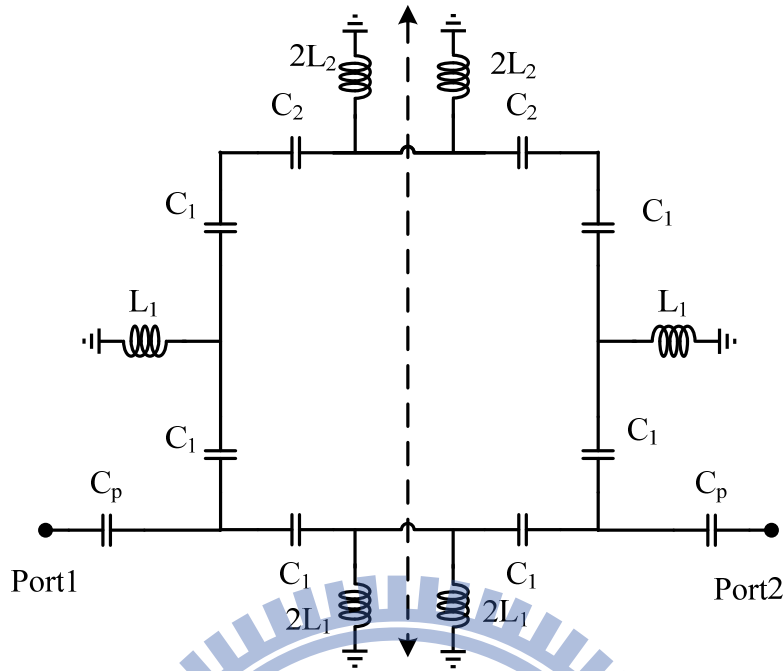


圖 2.6 理想集總式雙模態帶通濾波器奇偶模分析電路

在分析偶模態時，對稱面虛線的地方視為開路，其簡化電路為

圖 2.7(a)，電容電感的阻抗公式為(2.7)(2.8)，推導偶模態的輸入阻抗其公式為(2.9)

$$Z_C = \frac{1}{j\omega C} \quad (2.7)$$

$$Z_L = j\omega L \quad (2.8)$$

$$Z_E = Z_{C_p} + \frac{(Z_{C_1} + 2Z_{L_1}) \times (Z_{C_1} + \frac{Z_{L_1}(2Z_{L_2} + \frac{Z_{C_1}Z_{C_2}}{Z_{C_1} + Z_{C_2}})})}{2Z_{C_1} + 2Z_{L_1} + \frac{Z_{L_1}(2Z_{L_2} + \frac{Z_{C_1}Z_{C_2}}{Z_{C_1} + Z_{C_2}})}{Z_{L_1} + 2Z_{L_2} + \frac{Z_{C_1}Z_{C_2}}{Z_{C_1} + Z_{C_2}}}} \quad (2.9)$$

在分析奇模態時，對稱面虛線的地方視為短路，其簡化電路為

圖 2.7 (b)電容電感的阻抗公式為(2.7)(2.8)，推導奇模態輸入阻抗其公式為(2.10)

$$Z_O = Z_{Cp} + \frac{Z_{C1} \times (Z_{C1} + \frac{Z_{C1}Z_{C2}Z_{L1}}{(Z_{L1} + \frac{Z_{C1}Z_{C2}}{Z_{C1} + Z_{C2}}) \times (Z_{C1}Z_{C2})})}{2Z_{C1} + \frac{Z_{C1}Z_{C2}Z_{L1}}{(Z_{L1} + \frac{Z_{C1}Z_{C2}}{Z_{C1} + Z_{C2}}) \times (Z_{C1}Z_{C2})}} \quad (2.10)$$

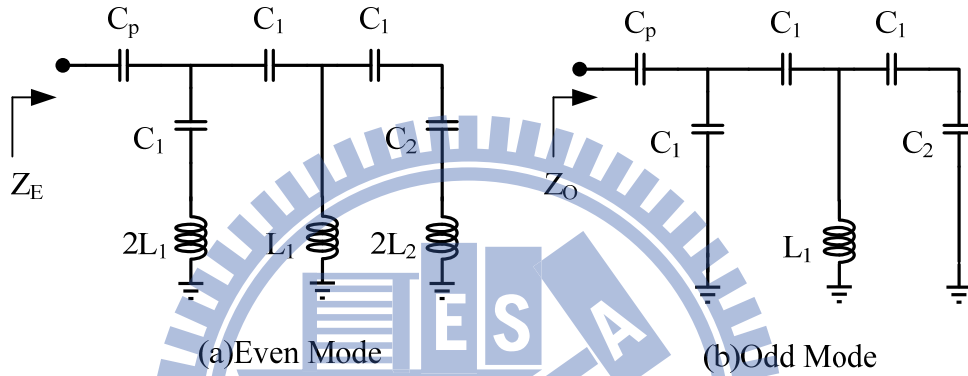


圖 2.7 環形帶通濾波器奇模態與偶模態的半電路(a)偶模態(b)奇模態
由反射係數公式(2.11)可以求得 S_{11} 奇偶模態的公式(2.12)及(2.13)，

$$\Gamma = \frac{Z_{Load} - Z_0}{Z_{Load} + Z_0} \quad (2.11)$$

$$S_{11E} = \frac{Z_E - 50}{Z_E + 50} \quad (2.12)$$

$$S_{11O} = \frac{Z_O - 50}{Z_O + 50} \quad (2.13)$$

則圖 2.5 之濾波器反射係數及穿透係數可表示為(2.14)及(2.15)

$$S_{11} = \frac{1}{2}(S_{11E} + S_{11O}) \quad (2.14)$$

$$S_{21} = \frac{1}{2}(S_{11E} - S_{11O}) \quad (2.15)$$

令 $C_p=1.1\text{pF}$ ， $Z_C=70$ 與 28 歐姆 $\text{Freq}=2.9\text{GHz}$ 帶入(2.5)、(2.6)式即可
求出 L_1 、 L_2 、 C_1 、 C_2 值，將上述數值帶入(2.9)~(2.15)可求出濾波器奇

偶模輸入阻抗值、 S_{11} 奇偶模參數與實際 S_{11} 、 S_{21} 參數。由公式(2.15)式可知當 S_{11E} 和 S_{11O} 相位相同時(S_{11E} 與 S_{11O} 的交錯點)， $S_{21}=0$ 會產生傳輸零點，如圖 2.8 所示。

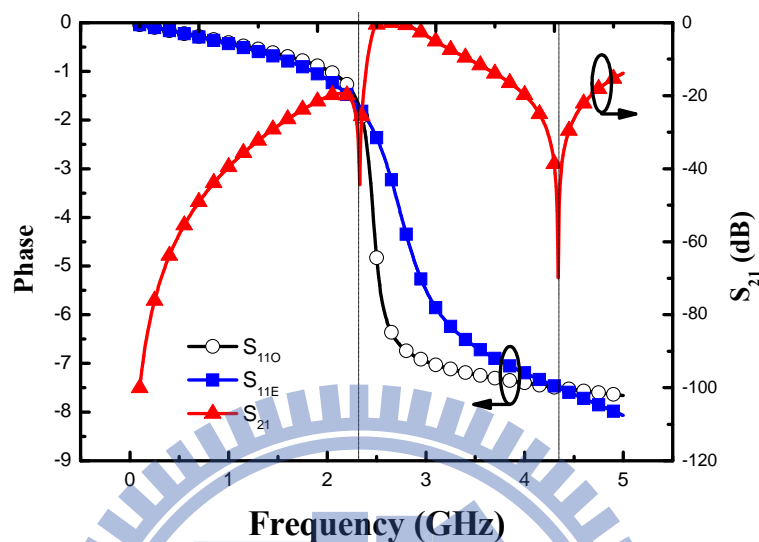


圖 2.8 S_{11} 奇偶模態相位及 S_{21} 參數對應

當微擾阻抗離 70 歐姆越遠，阻抗值越小，所造成的微擾越大其傳輸零點就分得越開；當微擾阻抗離 70 歐姆越近，阻抗值越大，所造成的微擾越小其傳輸零點會較接近，由圖 2.9 改變微擾阻抗的 S_{21} 參數可以觀察到此現象。

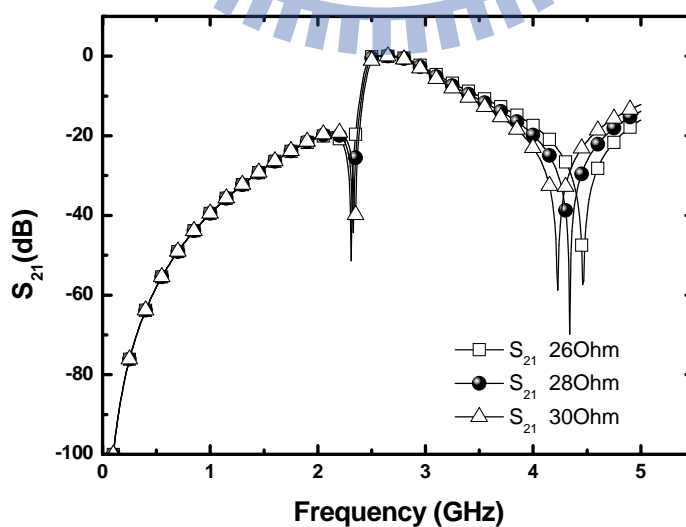


圖 2.9 改變微擾阻抗的 S_{21} 參數

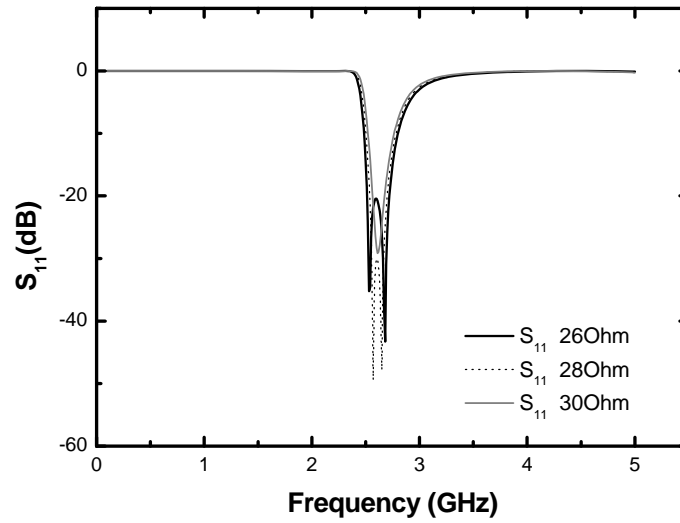


圖 2.10 改變微擾阻抗的 S_{11} 參數

因為高通型相位移器的電感值與特性阻抗成正比 $L = \frac{Z_c}{\omega_0 \sin \theta_{lead}}$ ，小幅度的改變 L_2 值，可視為等效特性阻抗大小成正比的增減。當 L_2 值變小時可視為特性阻抗變小，所以微擾變大，傳輸零點往高頻變化；同理當 L_2 值變大時可視為特性阻抗變大，微擾變小，傳輸零點往低頻變化。

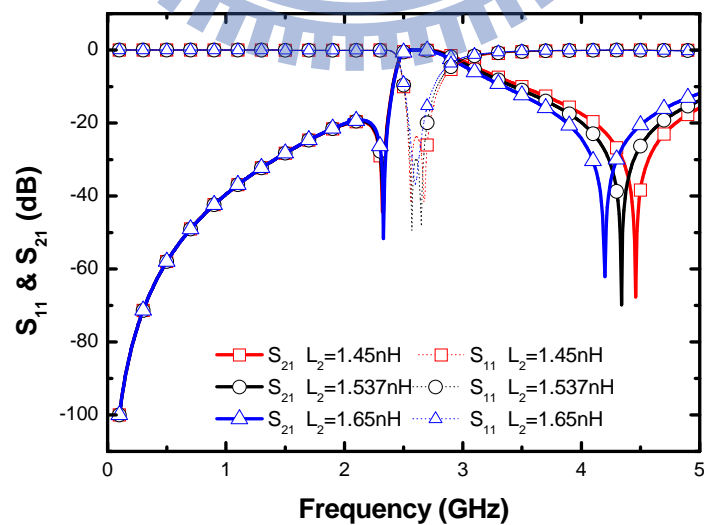


圖 2.11 改變 L_2 值 S_{11} 與 S_{21} 參數

2.4 主動式電感設計與分析

一般使用被動式的 CMOS 螺旋型電感，由於矽基板的損耗其電感的品質因數介於 3~10 之間。使用主動電感的主要優點為較高的品質因數、較小的晶片面積與感值可調的優點，而付出的代價為較高的雜訊指數與直流功率消耗。

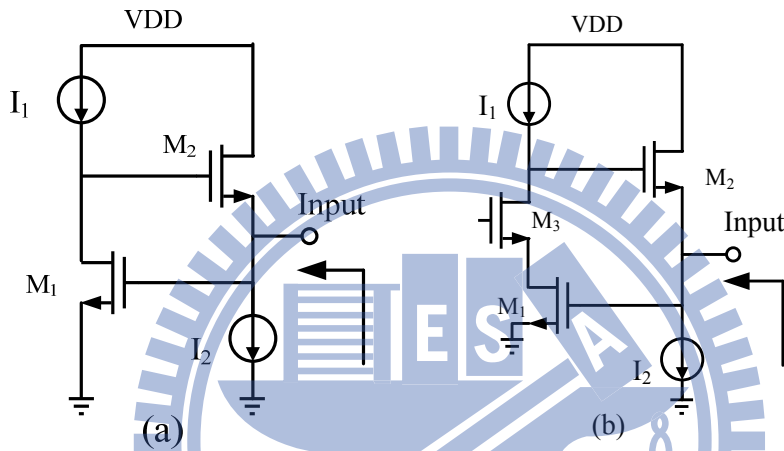


圖 2.12 (a) 傳統的接地型電感[3](b)疊接(cascode)接地型電感[4]

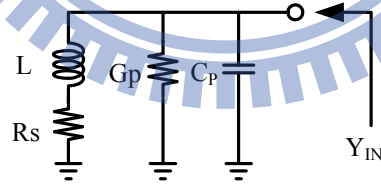


圖 2.13 主動電感小訊號等效電路[4]

$$L \approx \frac{C_{gs2}}{g_{m1}g_{m2}} \quad (2.16)$$

$$R_s \approx \frac{-\omega^2 C_{gs2} C_{gs3}}{g_{m1}g_{m2}g_{m3}} \quad (2.17)$$

$$G_p \approx g_{m1} \quad (2.18)$$

$$C_p \approx C_{gs1} \quad (2.19)$$

由小訊號等效電路公式可知當 I_1 或 I_2 減小時， g_{m1} 、 g_{m2} 變小，可以得到較大的電感與較高的負電阻，當 R_s 與 $1/G_p$ 的阻抗相消時，可以得到較高 Q 值的電感，而加入疊接電晶體 M_3 ，可以更容易的調整負電阻 R_s 使電路在所需要的電感值將 Q 值提高，而且 M_3 的電晶體越小， g_{m3} 變低，負阻抗絕對值會變更大。一開始設計電路時， I_1 、 I_2 先用理想電流源下去模擬，確定 M_1 ， M_2 ， M_3 的大小後，再加入實際電流源的偏壓電路，再進行微調之後即可得到所需要的高 Q 值電感，其整體主動電感架構如圖 2.14(a)所示。由小訊號等效電路公式可知，等效電感量的大小與 I_1 、 I_2 成反比的關係，因此將 I_2 的偏壓電流源獨立給一個偏壓的電路，如圖 2.14 (b)所示，透過改變 V_{ctr} 可改變 I_2 的電流，進而改變等效電感量，當 V_{ctr} 上升， I_2 的電流量上升，會使等效電感下降，當 V_{ctr} 下降時， I_2 的電流量下降，會使等效電感上升。由 2.3 節可知當電感值下降，代表相位移器特性阻抗降低，會使微擾變大，所以當 V_{ctr} 電壓上升時，電感值下降，濾波器的傳輸零點會往高頻移動；同理當 V_{ctr} 電壓下降時，電感值上升，會使傳輸零點會往低頻移動。

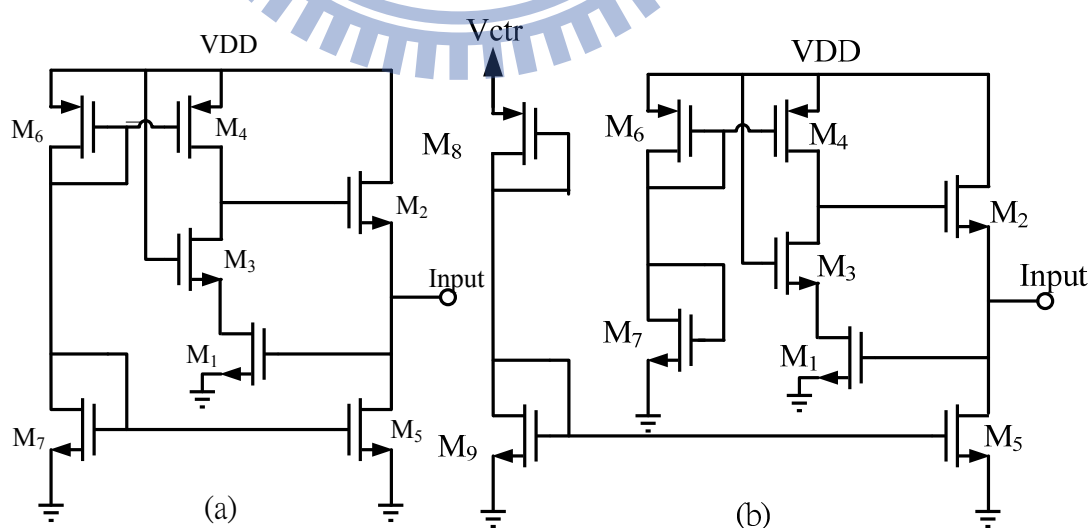


圖 2.14 (a)主動電感示意圖(b)可調式電感示意圖

因為低阻抗傳輸線的等效 T 型電感值較小，由圖 2.16 Smith chart 上所看到的電感量的頻率響應，其感值的改變量較小，所以選擇低阻抗的主動電感，作為可變電感。

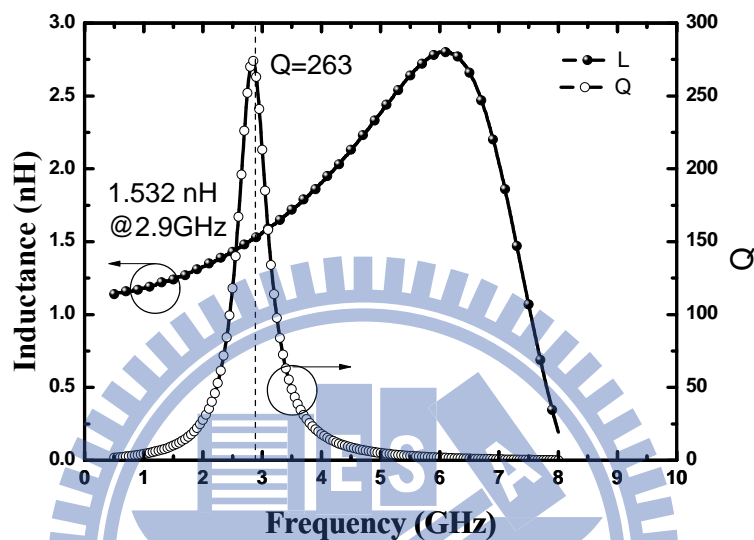


圖 2.15 較低感值的主動電感其電感感值與 Q 值

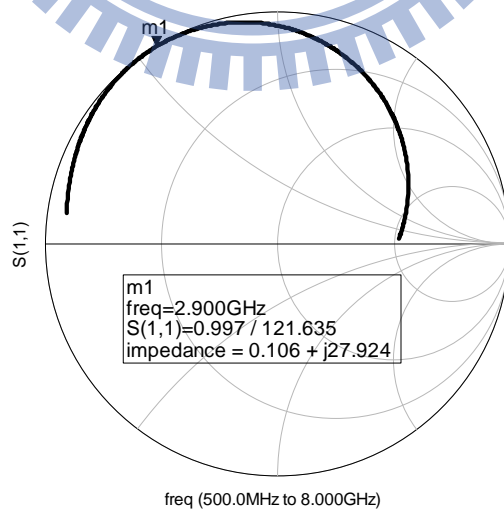


圖 2.16 主動電感 Smith chart 的頻率響應

2.5 實作一：2.4 GHz 可調式雙模態主動濾波器

2.5.1 整體電路架構

將圖 2.17 中理想電感全部換成主動電感即為圖 2.18 實際 2.4GHz CMOS 可調式雙模態主動濾波器的整體架構。

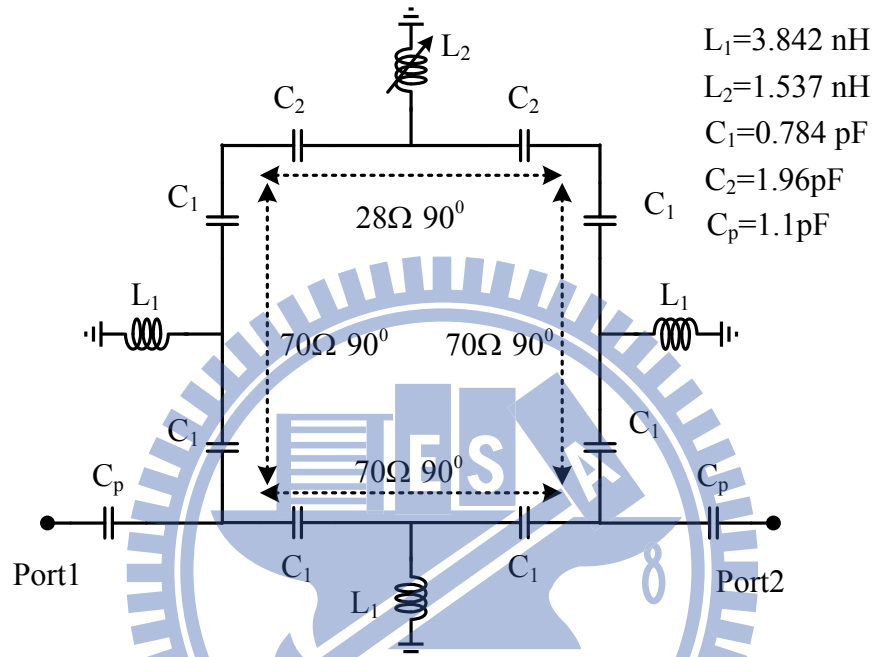


圖 2.17 理想集總式雙模態帶通濾波器

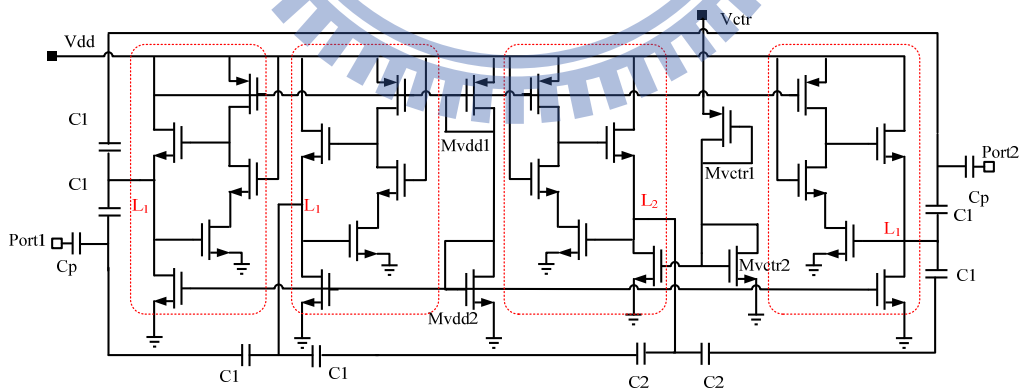


圖 2.18 實際 2.4GHz CMOS 可調式雙模態主動濾波器電路圖

2.5.2 模擬及量測結果

模擬 $S_{21}=-1\text{dB}$ ，量測 $S_{21}=-3.09\text{dB}$

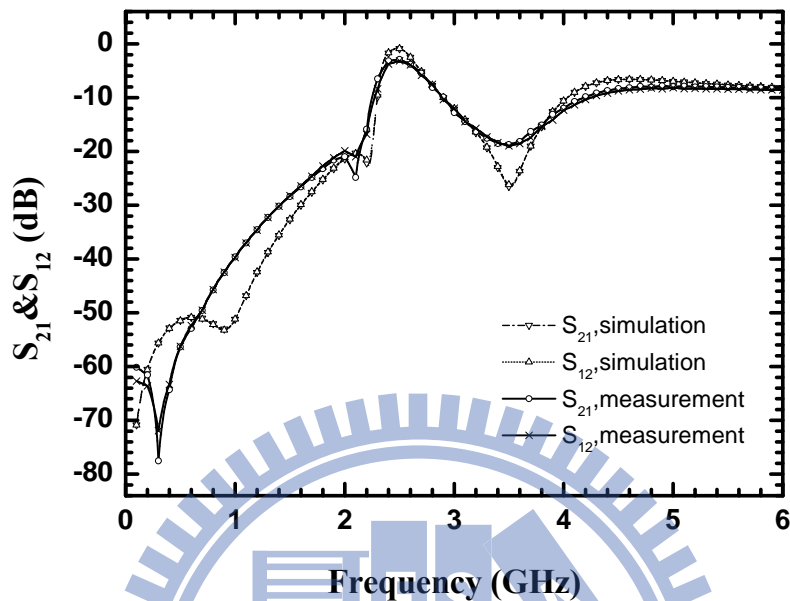


圖 2.19 濾波器 S_{21} 、 S_{12} 模擬及量測結果

模擬 $S_{11}<10\text{dB}$ 範圍從 2.341~2.533GHz，量測 $S_{11}<10\text{dB}$ 範圍從 2.29~2.51GHz

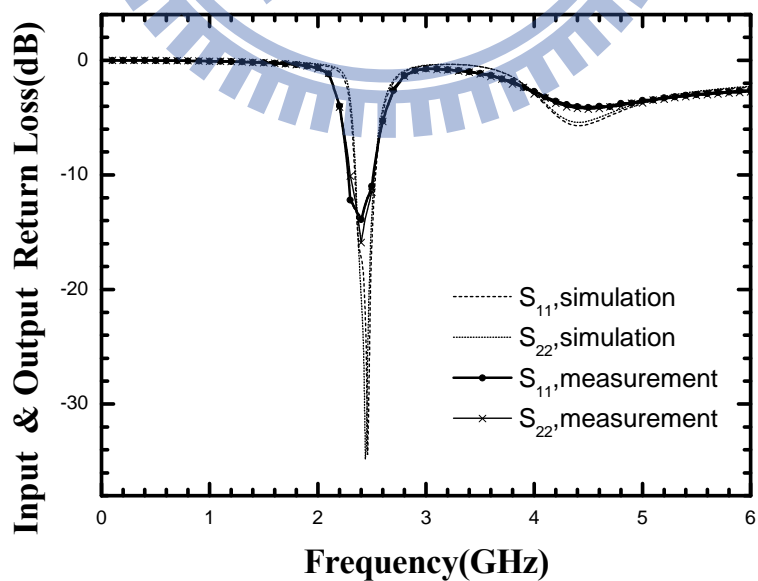


圖 2.20 濾波器 Return Loss 模擬及量測結果

模擬 $NF_{\min}=21.704\text{dB}$ ，量測 $NF_{\min}=23.05\text{dB}$

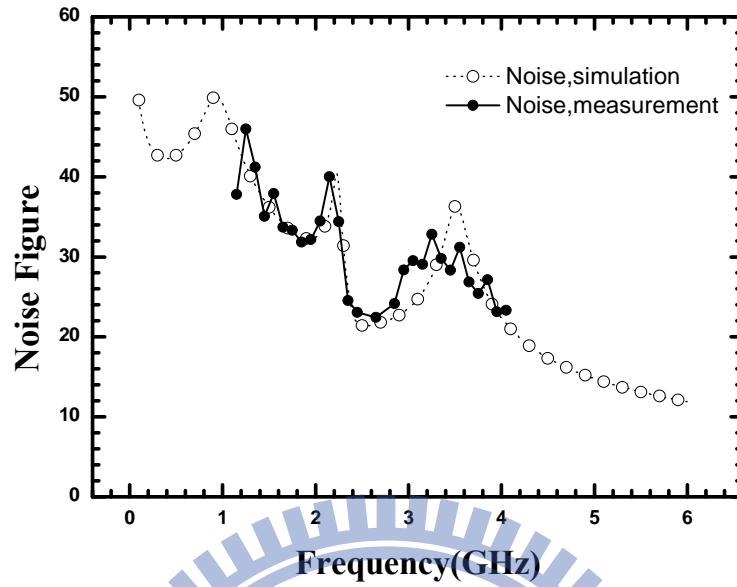


圖 2.21 濾波器 Noise Figure 模擬及量測結果

當 V_{ctr} 電壓升高時，傳輸零點往高頻移動，當 $V_{ctr}=1.25\text{V}$ 時，兩個傳輸零點靠太近，所以 $S_{21\max}$ 下降

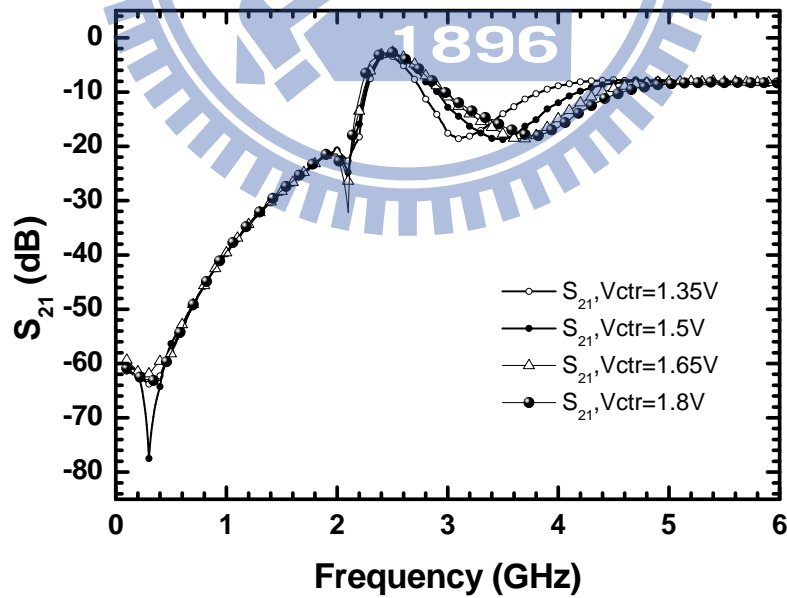


圖 2.22 濾波器改變控制電壓 V_{ctr} 下的 S_{21} 量測結果

當 Vdd 電壓變異時，濾波器中心頻率會隨著電壓升高而上升，當 Vdd 下降時，中心頻率也隨之下降。可將此變異做為調整中心頻率的手段。

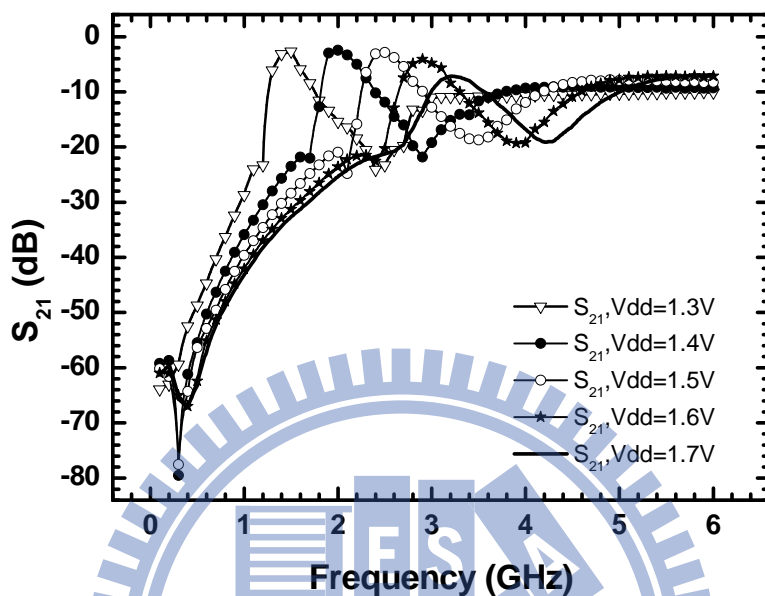


圖 2.23 濾波器改變 VDD 下的 S_{21} 量測結果

線性度 IP_1 dB = -34 dBm, OP_1 dB = -37 dBm

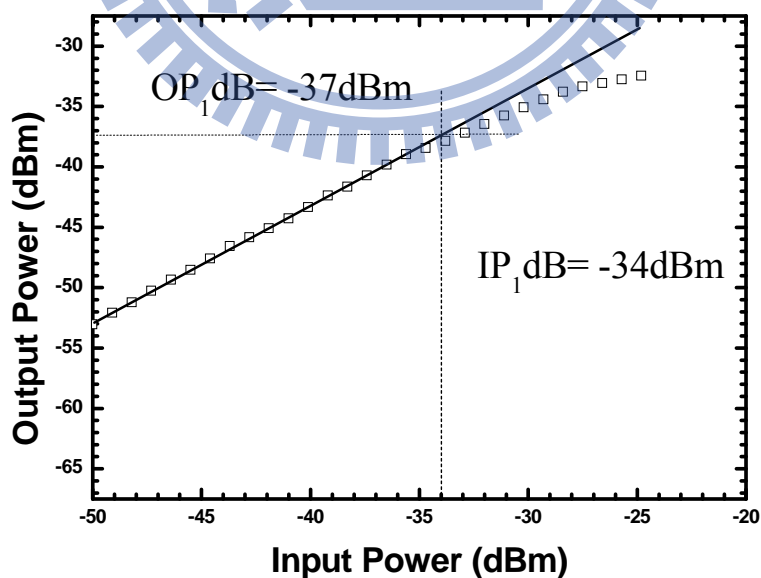


圖 2.24 濾波器線性度 IP_1 dB 量測結果

線性度 $IIP_3 = -23\text{dBm}$ ， $OIP_3 = -26\text{dBm}$

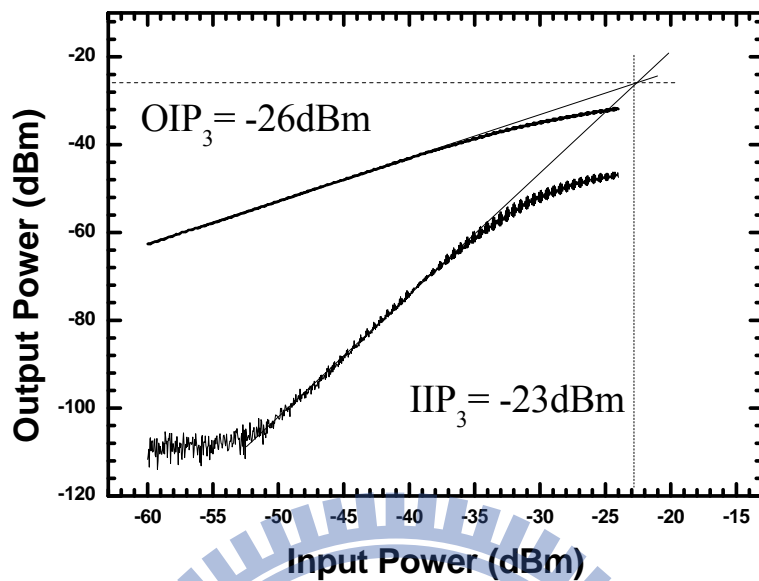


圖 2.25 濾波器線性度 IIP_3 量測結果

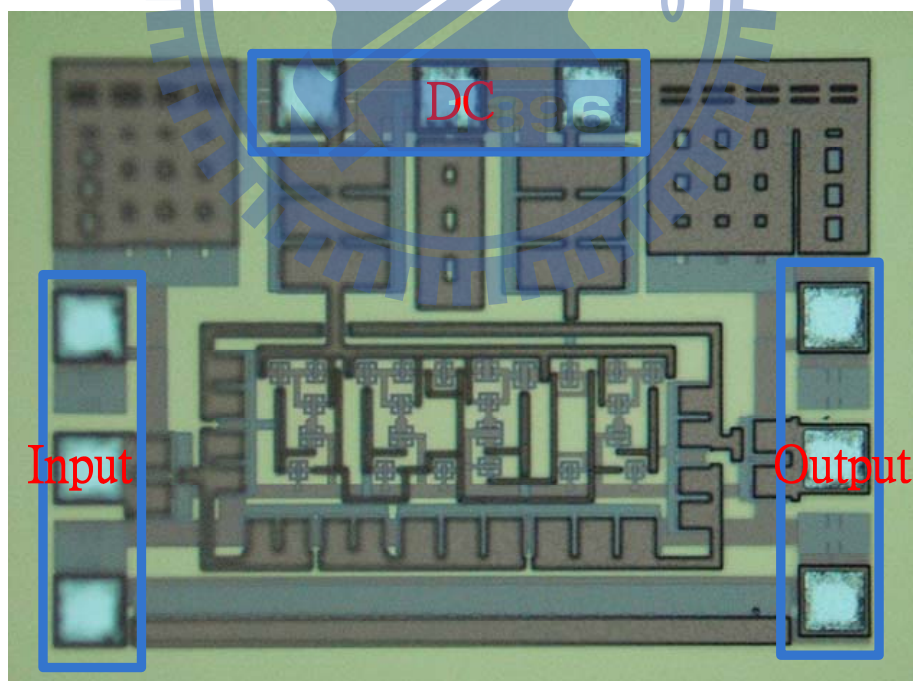


圖 2.26 晶片實照圖(0.575mm X 0.432mm)

2.5.3 結果與討論

本電路採用 CMOS 0.18 μ m 製程，晶片照片如圖 2.26 所示，兩個 RF 埠採用 GSG pad，DC 埠採用 PGP pad，晶片面積為 0.575 × 0.432 mm²。量測結果與模擬非常接近，S₂₁ 增益比預期的低 2dB，但是頻率點幾乎沒有飄動，其誤差的原因可能為 Post-sim 跑 PEX 模擬主動電感的 Q 值對寄生電阻的評估與實際晶片有所誤差。

由圖 2.22 濾波器固定 V_{dd}=1.5V 下改變 V_{ctr}=1.25~1.95V，當 V_{ctr} 電壓上升時，高頻的傳輸零點往高頻移動，其特性與理論相符合。

由圖 2.23 濾波器固定 V_{ctr}=1.5V 下改變 V_{dd}=1.3V~1.7V 的 S₂₁ 量測結果可以發現，調變 V_{dd} 具有選擇頻帶的效果，推測其原因可從相位移器推導出來的電感值公式 $L = \frac{Z_c}{\omega_0 \sin \theta_{lead}}$ 推斷其合理結果，當 V_{dd} 變小時從主動電感公式可知 $L \approx \frac{C_{gs2}}{g_{m1}g_{m2}}$ ，所有電感值 L₁、L₂ 均上升，令特性阻抗 Z_c 不變，所以中心頻率 ω_0 會往低頻飄；同理當 V_{DD} 變大時，主動電感所有電感值 L₁、L₂ 均下降，令特性阻抗 Z_c 不變，所以中心頻率 ω_0 會往高頻飄。而當 V_{dd} 變化時只會改變電感值，而電容值不變，所以 V_{dd} 變化太大，其 S₁₁ 匹配會變差到小於 10dB。

至於線性度的量測表現為 IP₁dB=-34dBm，與模擬的結果 IP₁dB=-32dBm 差不多，而造成濾波器線性度不佳的主因為主動濾波器的線性度不夠，在輸入較大功率的弦波下，如圖 2.12(b)所示，其電晶體因為 I₁ 與 I₂ 的電流源限流下，其電晶體的高階非線性特性會貢獻一些而外的 DC 電流，而貢獻的額外電流會與輸入振幅的平方成正比，在 I₁ 與 I₂ 的限流下會使等效的 g_{m1} 與 g_{m2} 下降，當輸入過大振幅時甚至會使電晶體 M₂ 由飽和區，落入截止區[11]。而[11]提出的 FFCS

改善線性度方法為利用回授的機制去補償電晶體 M_2 的非線性特性所產生的電流，透過增加 I_2 ，使等效的 g_{m2} 在大訊號進入主動電感時，不會下降的太快；然而此改善線性度架構的代價為快 2 倍的主動電感功率消耗。



表 2.1 2.4 GHz 可調式雙模態主動濾波器模擬與量測比較表

2.4 GHz Tunable Dual-Mode Active Filter Using 0.18 μm CMOS Process		
Item	Simulation	Measurement
VDD	1.5 V	
Center Frequency	2.45 GHz	
S_{21} (dB)	-1.008	-3.09
3dB bandwidth	312 MHz	400 MHz
$S_{11}(<-10\text{dB})$ and Min	2.341~2.533 GHz	2.29~2.51 GHz
	2.463 GHz(-36.3dB)	2.4 GHz(-13dB)
BW	312 MHz	400 MHz
	2.345~2.657 GHz	2.32~2.72 GHz
NF(dB)	21.704	23.05
Transmission zero Vctr=1.5V	2.219 GHz(-22dB)	2.1 GHz(-24dB)
	3.512 GHz(-26dB)	3.5 GHz(-18dB)
Transmission zero Vctr=1.8V	2.2 GHz(-24dB)	2.1 GHz(-32dB)
	3.872 GHz(-23dB)	3.8 GHz(-18dB)
Transmission zero Vctr=1.35V	2.239 GHz(-21dB)	2.1 GHz(-22dB)
	3.125 GHz(-25dB)	3.1 GHz(-18dB)
IP_1 (dBm)	-32	-34
IIP_3 (dBm)	-25	-23
Power Consumption (mW)	7.23	9

表 2.2 主動濾波器文獻比較表

Ref.	Process (CMOS)	Center Frequency	Supply Voltage	Power Consumption	Noise Figure	Transmission Zeros
[5]	0.35um	2.19 GHz	1.3 V	5.2 mW	26.8	0
[6]	0.25um	2.14 GHz	2.5 V	17.5 mW	19	0
[7]	0.18um	2.03 GHz	1.8 V	16.56 mW	15	0
This work	0.18um	2.45 GHz	1.5 V	9 mW	23.05	2

2.6 實作二：使用可調式雙模態主動濾波器研製高帶外訊號抑制低雜訊放大器(CMOS 0.18 μm)

由於可調式雙模態主動濾波器雜訊指數過高，因此在濾波器前加入高增益的低雜訊放大器如圖 2.27 所示，來抑制濾波器的雜訊貢獻。由於濾波器由高通型相位儀器所組成，又 LNA 前端匹配電路使用低通架構，因此在帶外訊號有較好的抑制效果。

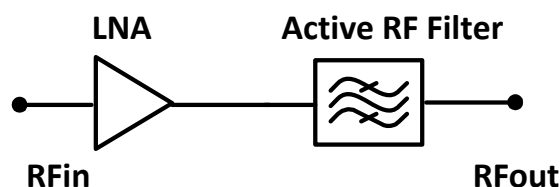


圖 2.27 低雜訊放大器與主動式濾波器系統架構圖

2.6.1 低雜訊放大器(LNA)

疊接放大器如圖 2.28 所示，這是一個最常見的疊接低雜訊放大器架構，電晶體 M_1 提供增益並且降低電晶體 M_2 的雜訊貢獻，而共閘極操作的電晶體 M_2 由於低輸入阻值的特色，減小了電晶體 M_1 米勒電容，使電路能寬頻操作，而整個疊接組態也提供了較好的反相隔離度。

輸入阻抗公式為

$$Z_{in} = \frac{g_m}{C_{gs}} \times L_s + \frac{1}{sC_{gs}} + s(L_g + L_s) \quad (2.20)$$

M_1 電晶體大小可以決定第一級放大器的偏壓電流，決定 M_1 電晶體大小後，調整 L_s 可以達到實部阻抗匹配到 50Ω ，調整 L_g 以達到虛部阻抗匹配。本次結構在輸入級部分做了一些改善，並接一個電容在閘極和源極之間，由於外接電容的引入 C_{gs} 變大，負電抗的絕對值變小，減小了 L_g 達到匹配所需的感值，進而達到縮小晶片面積的好處。

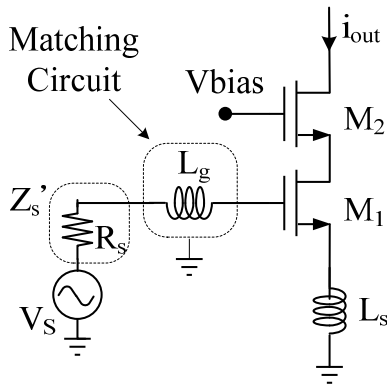


圖 2.28 疊接放大器電路架構

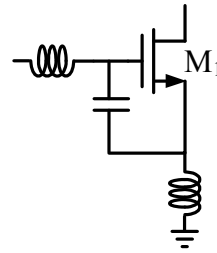


圖 2.29 輸入級匹配

因為低雜訊放大器的匹配電路是用低通的 L_g 下去匹配，可以彌補主動式環形帶通濾波器，高頻響應的不佳的地方，且因為濾波器是用主動元件下去實現的，雜訊指數稍差。

接收機的整體雜訊指數公式

$$NF_{total} = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots \quad (2.21)$$

由(2.21)可知，必須靠 LNA 的高增益來抑制濾波器的雜訊指數，整體系統的雜訊才會表現得較好，所以使用兩級的放大器來達到高增益的目的。

當電晶體大小決定後，並聯諧振的 L_d 和 C_d 可以決定 LNA 的共振頻率，大於 2.45 GHz 的頻率透過 C_d 流入 Vdd(小訊號的地)，小於 2.45 GHz 的頻率透過 L_d 流入 Vdd(小訊號的地)，因此可達到選頻的目的，接者再調整 L_s 達到實部阻抗匹配，調整 L_g 與外接的 C_{GS} 電容可以達到虛部阻抗匹配。

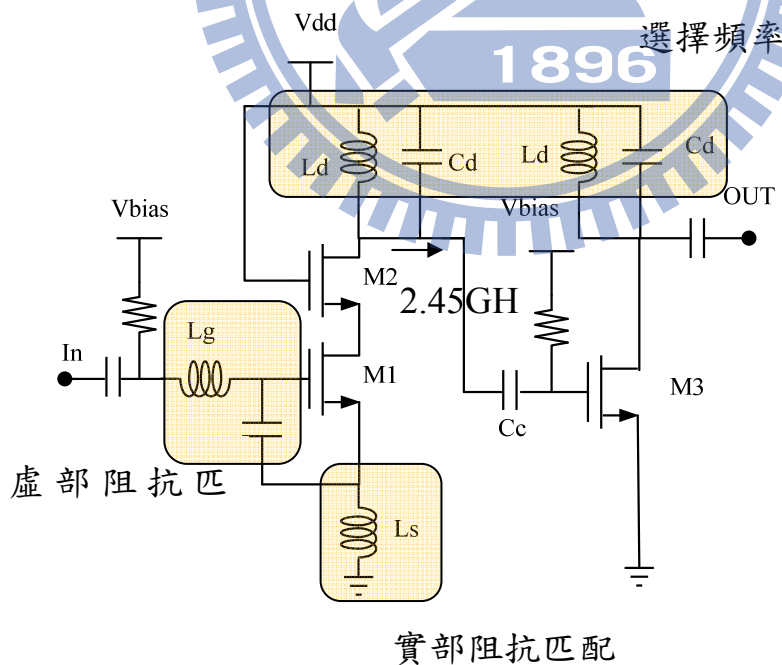


圖 2.30 LNA 被動元件設計示意圖

2.6.2 模擬及量測結果

由實作一可知調整濾波器 Vdd 可以改變其中心頻率，由圖 2.31 可知，LNA 的中心頻率頻飄到約 2.2GHz(LNA 與濾波器中心頻一致會有最大增益)，調整 Filter Vdd=1.6V 時，可以與模擬中心頻重合。

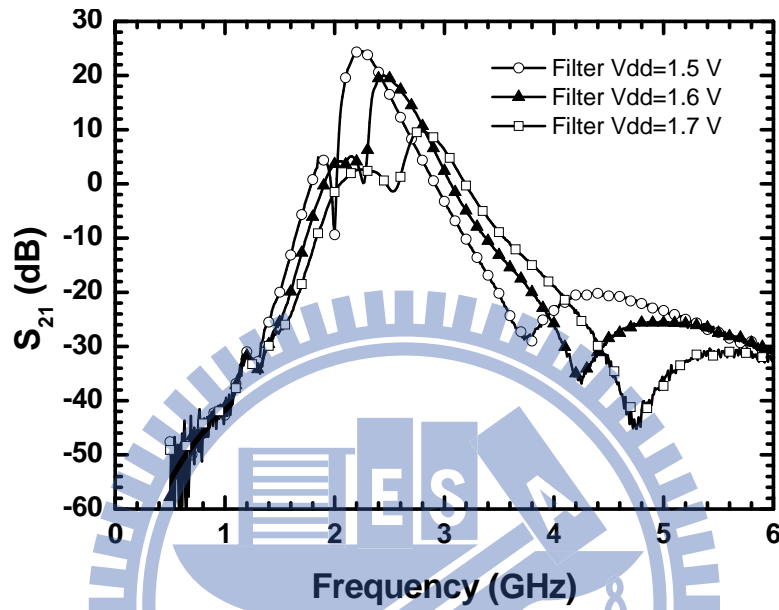


圖 2.31 高帶外訊號抑制低雜訊放大器 改變濾波器電壓 S_{21} 量測結果

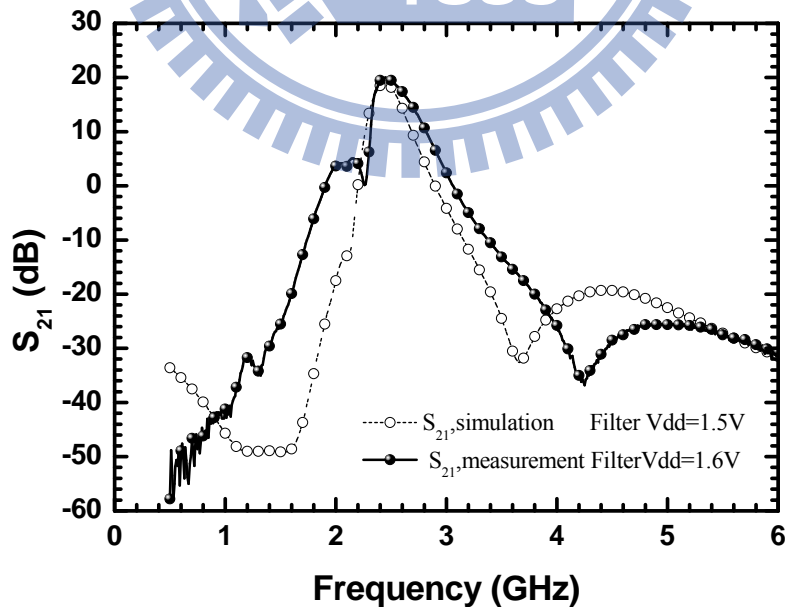


圖 2.32 高帶外訊號抑制低雜訊放大器 S_{21} 模擬及量測結果

S_{11} 模擬與量測結果一致，而量測 S_{22} 時，濾波器 V_{dd} 升高至 1.6V，濾波器中心頻率往高頻移動，所以 S_{22} 匹配往高頻飄。

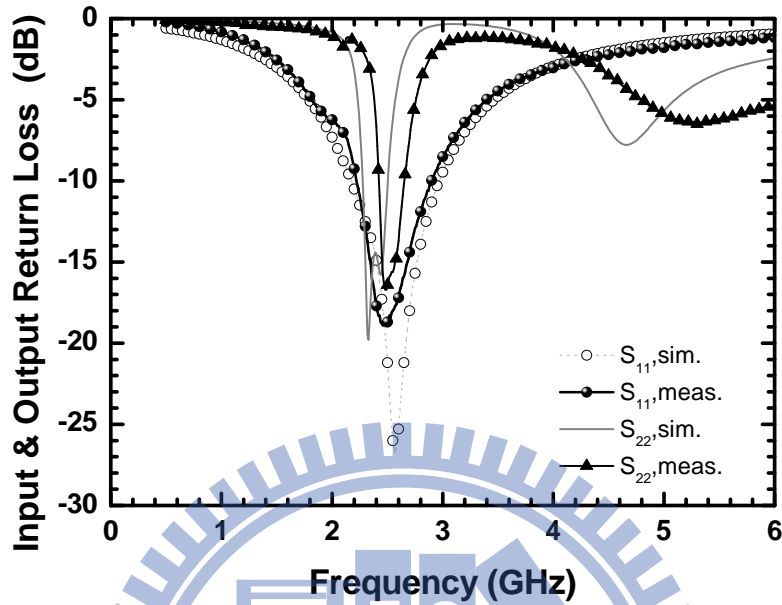


圖 2.33 高帶外訊號抑制低雜訊放大器 S_{11} 、 S_{22} 模擬及量測結果

模擬 $NF_{min}=4.584\text{dB}$ ，量測 $NF_{min}=6.861\text{dB}$ ，其結果與主動式濾波器的 $NF_{min}=23.05\text{dB}$ ，相差約 17dB，LNA 確實將可調式雙模態主動濾波器的雜訊壓抑下來。

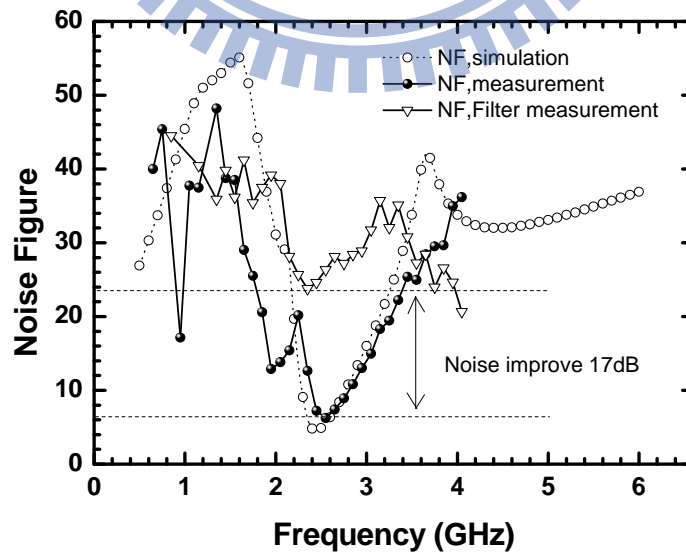


圖 2.34 高帶外訊號抑制低雜訊放大器雜訊指數模擬及量測結果

線性度 IP_1 dB=-52dBm， OP_1 dB=-33dBm。

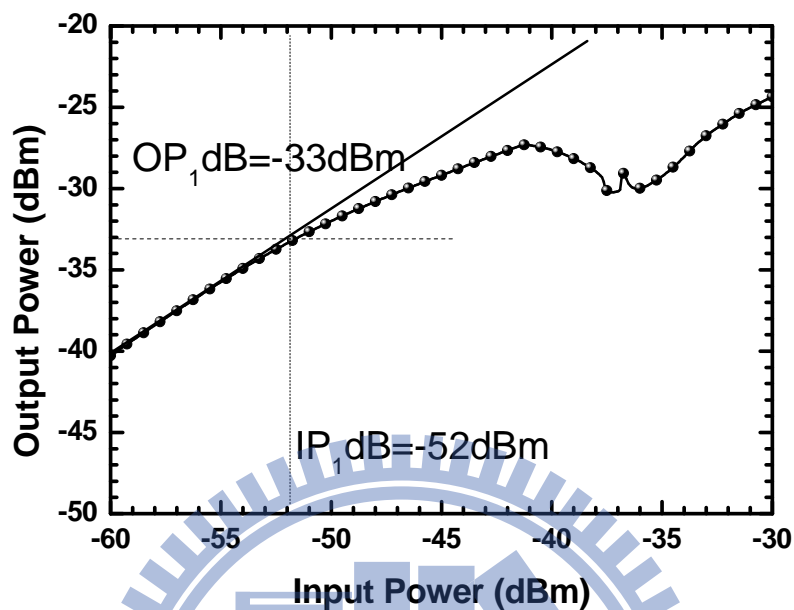


圖 2.35 高帶外訊號抑制低雜訊放大器線性度 IP_1 dB 量測結果

線性度 IIP_3 dB=-40dBm， OIP_3 dB=-26dBm。

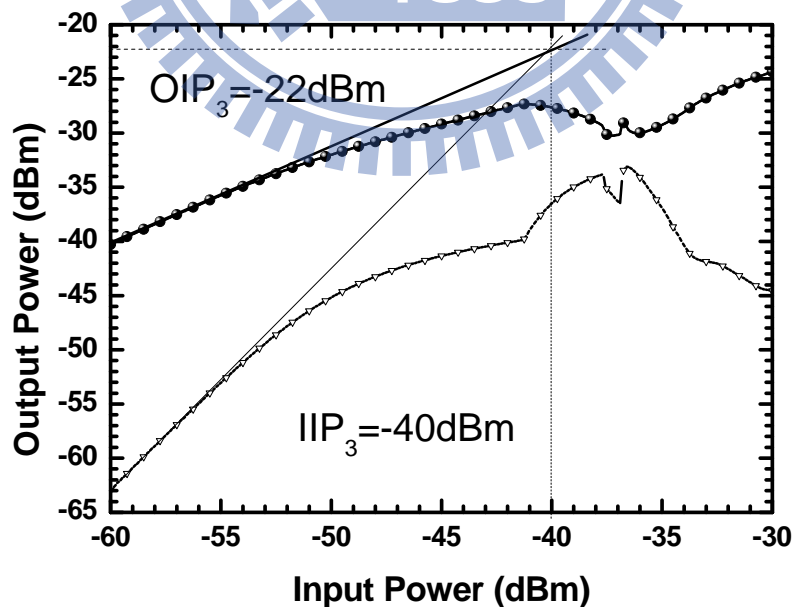


圖 2.36 高帶外訊號抑制低雜訊放大器線性度 IIP_3 量測結果

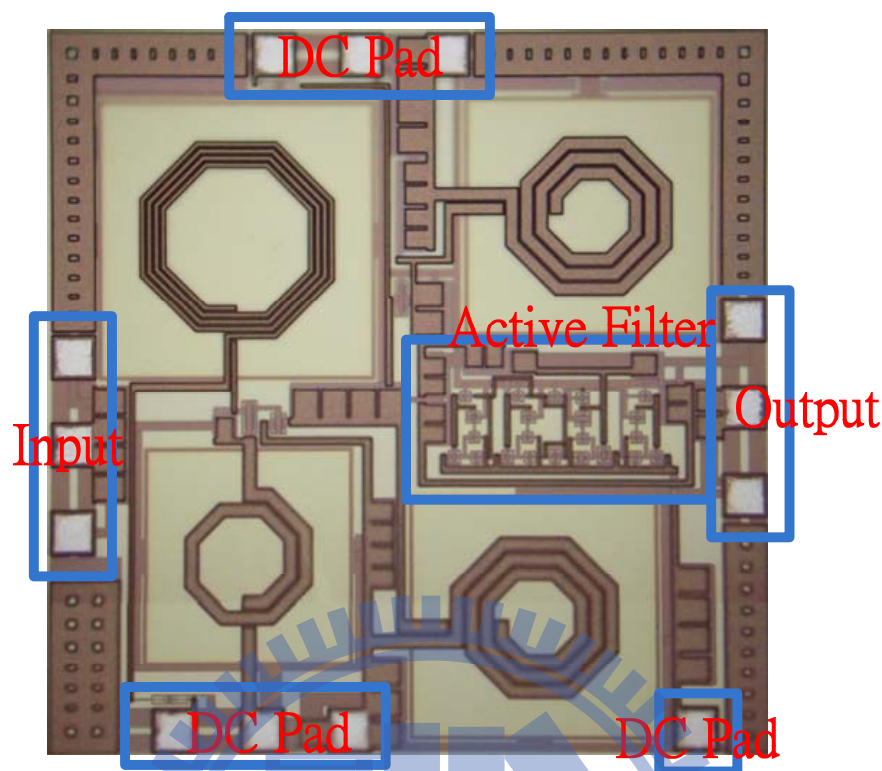


圖 2.37 晶片實照圖 (0.819 mm X 0.678 mm)

2.6.3 結果與討論

由上一節圖 2.23 主動濾波器改變 Vdd 偏壓，可以改變濾波器的中心頻率與傳輸零點的位置。由圖 2.31 高帶外訊號抑制低雜訊放大器改變濾波器 Vdd 的 S_{21} 參數量測結果可推知，在實際晶片中的 LNA 部分，其中心頻率往低頻飄約 200MHz，當 LNA 與濾波器的中心頻率重疊時會有較高的增益與較窄的 3dB 頻寬。與為了將中心頻率調回 2.45 GHz，透過增加 Filter Vdd 到 1.6V 來達到調整濾波器的頻帶平移，代價是 Filter 電流從 5mA 增加至 6.96mA、3dB 頻寬增加與傳輸零點往高頻移動，增益則和模擬結果差不多，雜訊指數方面量測比模擬結果多了約 2dB 與可調式雙模態主動濾波器的雜訊相比，改善了約 17dB。

表 2.3 低雜訊放大器模擬與量測比較表

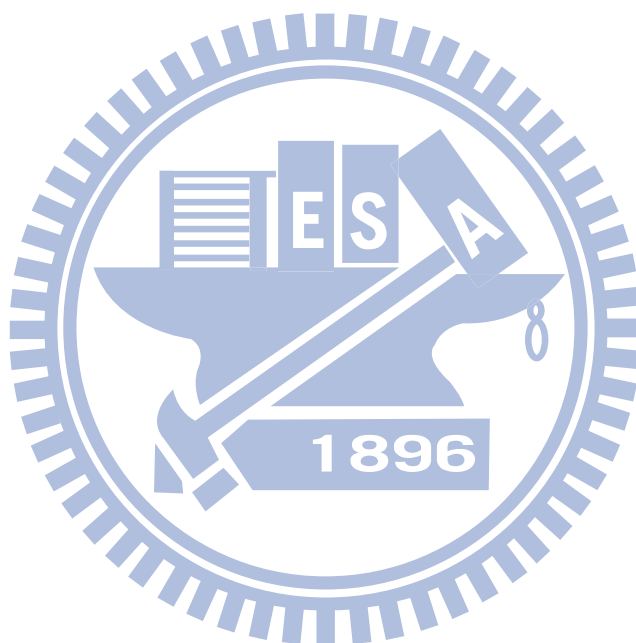
	Post-sim	Measure
Lna VDD	1.5 V	1.5V
FilterVDD	1.5V	1.6V
3-dB BW [GHz]	220MHz	250MHz
	2.34~2.56	2.36~2.61
NF(dB)	4.584	6.861
Out-band rejection	61.43dB@0.89GHz 49.037dB@1.85GHz 42.673dB@3.95GHz 43.886dB@5.25GHz	63.73dB@0.89GHz 23.104dB@1.85GHz 44.417dB@3.95 GHz 45.963dB@5.25GHz
IP₁dB(dBm)	-52	-52
IIP₃(dBm)	-43	-40
Power Consumption (mW)	16.6	23

表 2.4 低雜訊放大器文獻比較表

Process	CMOS 0.18um[8]	CMOS 0.18um[9]	CMOS 0.13um[10]	CMOS 0.18um (This work)
BW [GHz]	3~4.8	3~4.8	3~5	2.36~2.61
S₂₁[dB]	19.7	15	19.4	20
NF	4	3.5	3.5	6.861
Power Consumption	24 mW	5 mW	31.5 mW	23mW
Out-band rejection	13dB@2.4 GHz 20dB@5.8 GHz	55dB@1.8GHz 48dB@2.4GHz 45dB@5.2GHz	6dB@2.4GHz 44dB@5.2GHz	63.7dB@0.89GHz 23.1dB@1.85GHz 44.4dB@3.95 GHz 45.9dB@5.25GHz

第三章

全積體化頻率合成器



3.1 無線通訊中頻率合成器之應用

3.1.1 無線通訊頻帶規範與應用

1985 年，美國聯邦通訊委員會(FCC)決定開放三個 ISM(Industrial Scientific Medical) 頻帶，即 902~928MHz、2.4~2.483GHz、5.725~5.875GHz 等三個頻帶。此作法不僅滿足了當時對通訊頻帶日益增加的需求，對於無線通訊網路發展更有著重要的影響。到了 90 年代初期，使用 ISM 頻帶的通訊產品紛紛出現在市場上，為了使各種競爭的產品間能夠互通，標準的制定就成了重要的工作，而後便有了 IEEE 802.11 無線區域網路(Wireless LAN)的標準產生。

近年來智慧型手機市場成長迅速，上網的方式有 3G 上網外，或使用 WiFi 上網，而通常家用 WiFi 的傳輸速度又遠快於電信業者所提供的 3G 上網方式。1999 年 IEEE 802.11a 定義在干擾較少的 5GHz ISM 頻段上的資料傳輸速率可達 54Mbit/s 的物理層，該標準使用正交頻分複用 OFDM 調變技術；規格上 IEEE 802.11b 以直序展頻(又稱為 DSSS：Direct Sequence Spread Spectrum)作為調變技術，傳輸速率最高可達 11Mbps，採用 2.4GHz ISM 頻帶。2.4GHz 的 ISM 頻段為世界上絕大多數國家通用，因此 802.11b 得到最為廣泛的應用。蘋果公司把自己開發的 802.11 標準起名叫 AirPort。在 2.4GHz 的 ISM 頻帶的使用包括 Home RF、Bluetooth、IEEE 802.11b、無電電話及無線鍵盤滑鼠等相關符合使用規定的應用。

由於 IEEE802.11a 與 802.11b 規格之間，頻帶與調變方式均不同，使得彼此不能夠相容，已經擁有 802.11b 產品的消費者可能不會在 802.11a 設備問世之後就立即購買，而 802.11g 就是為這段過度時間所發展的規格，它建構在既有的 IEEE802.11b 實體層與媒體層標準基礎

上，選擇 2.4GHz 頻帶、具有 54Mbps 的高傳輸速率(調變技術使用 OFDM)，讓已擁有 802.11b 產品的使用者能夠以 802.11g 的產品達到一個速度升級的需求。事實上無線區域網路是一個新興的產業，802.11b(Wi-Fi)只能夠說是這項產業發展初期的一項標準，由於它的傳輸速率只有 11Mbps，在未來相關應用市場成熟之後將會不敷使用，因此更高速的無線區域網路標準 802.11a、802.11g 的發展將受到矚目，其最積極發展的應用分別為 2.4GHz 的 ISM 頻帶以及 5.2GHz 的 U-NII 頻帶。

IEEE 802.11a 的頻率是使用 U-NII 5GHz 到 6GHz 的頻段，分成低、中、高三個頻帶如下圖 3.1 所示，頻帶內的每個頻道寬皆為 20MHz，低頻帶 (5150-5250 MHz) 與中頻帶 (5250-5350MHz) 共佔頻寬 200MHz，發射功率分別規定為 40mW、200mW；高頻帶 (5725-5825MHz) 佔頻寬 100MHz，發射功率規定為 800mW。[12]

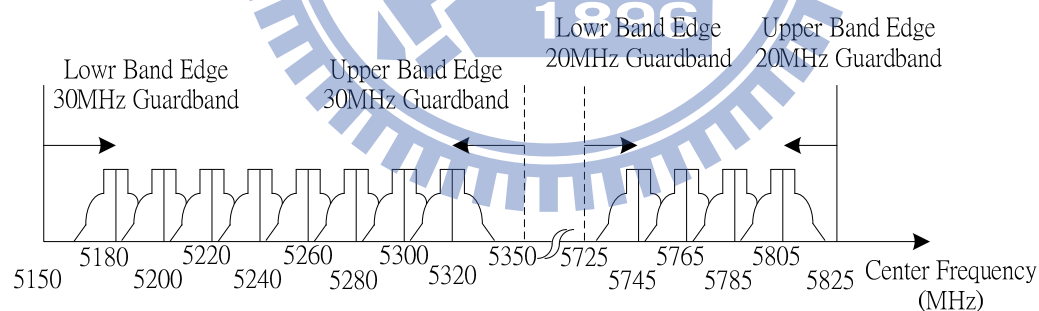


圖 3.1 5GHz 頻段 802.11a 工作頻道

802.11b 和 802.11g 將 2.4 GHz 的頻段區分為 14 個頻道，每個頻道的中心頻率相差 5 MHz。一般常常被誤認為互不干擾的是頻道 1，6 和 11（還有有些地區的頻道 14），因為互不重疊所以利用這些不重疊的頻道，多組無線網路的互相涵蓋，互不影響，這種看法太過簡單。802.11b 和 802.11g 並沒有規範每個頻道的頻寬，規範的是中心頻率和

頻譜屏蔽 (spectral mask)。802.11b 的頻譜屏蔽需求為：在中心頻率 ± 11 MHz 處，至少衰減 30 dB， ± 22 MHz 處要衰減 50 dB。由於頻譜屏蔽只規定到 ± 22 MHz 處的能量限制，所以通常認定使用頻寬不會超過這個範圍。實際上，當發射端距離接收端非常近時，接收端接受到的有效能量頻譜，有可能會超過 22 MHz 的區域。所以，一般認定頻道 1，6 和 11 互不重疊的說法，應該要修正為：頻道 1，6 和 11，三個頻段互相之間的影響比使用其它頻段來得小。雖然頻道 1，6 和 11 互不干擾的說法是不正確的，但是這個說法至少可以用來說明：頻道距離在 1，6 和 11 之間雖然會對彼此造成干擾，而卻不會大大地影響到通訊的傳輸速率。圖 3.2 所示為 2.4GHz 頻段 802.11g 之操作頻道。

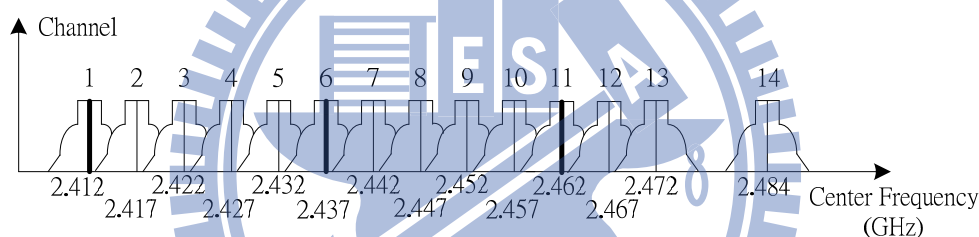


圖 3.2 2.4GHz 頻段 802.11g 工作頻道

3.1.2 射頻收發機應用之頻率合成器

阿姆斯特壯發明超外差接收架構後，雖然被廣泛採用，但是其使用較多元件，成本較高。1922 年，羅本生(Roberson)提出“載波再生”架構(Carrier Reinforcement)，將射頻訊號偶合一部份功率後，利用高 Q 值濾波器將載波取出，再與原有設頻訊號混頻，得到基頻訊號。1924 年，柯布魯克(Colebrook)利用相似的觀念發展出最早的直接降頻接收機架構(當初命名為 Homodyne)。可是本地振盪頻率不構穩定，因此輸出訊號品質不好。現今以知是頻率漂移的問題(Frequency

Drifting)。1932 年，法國貝里賽斯(de Bellescize)改進本地振盪訊號的頻率穩定度，大幅改良了直接降頻接收的品質，他比較本地振盪訊號和射頻訊號的頻率差，修正本地振盪訊號的頻率，讓本地振盪訊號鎖定射頻頻率，這個電路是當今鎖相迴路(Phase Lock Loop)的起源。此後在 1930 至 1950 年代，更有效地同步振盪器是研究的重點，最具代表性的是 1947 年在英國出現的同步解調技術，其更深入發展貝里賽斯的鎖相電壓壓控振盪器，當時作者將之命名為 Synchrodyne。

直接降頻接收機又稱為零中頻(Zero IF)接收機或同調接收機(Homodyne Receiver 或 Sychrodyne Receiver)。零中頻接收機為將所要的射頻訊號直接降至基頻，利用高 Q 值的低通濾波器當通道濾波器，由於沒有中頻，所以沒有鏡像頻率，因此可以省略鏡像濾波器(Image Filter)與高 Q 值的中頻濾波器，使整個射頻接收機更容易整合成單一晶片[12]。

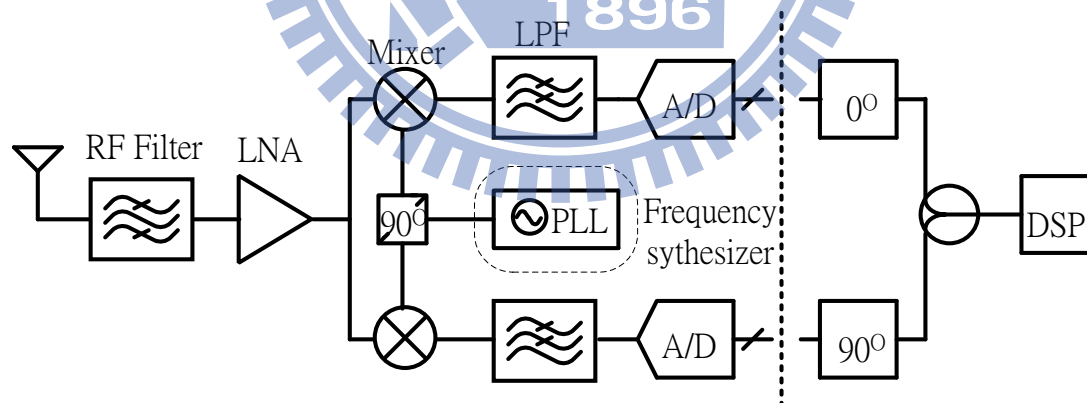


圖 3.3 複數訊號直接降頻接收機架構圖 [12]

3.2 頻率合成器基本概念與重要參數

3.2.1 鎖相迴路基本操作原理

如圖 3.4 鎖相迴路基本架構可由相頻偵測器(Phase Frequency Detector)、電荷幫浦(Charge pump)、迴路濾波器(Loop Filter)、電壓控制振盪器(VCO)與除頻器(Divider)所組成。鎖相的原理為：以相位頻率偵測器來偵測輸出訊號經除頻器後 F_{DIV} 與石英震盪器產生較精準的低頻參考信號 F_{REF} 做比較，當參考頻率低於 F_{DIV} 訊號頻率時，相位頻率偵測器送出高准位的 UP 信號，使下一級的電荷幫浦充電，反之則送出低准位的 DN 信號，使下一級的電荷幫浦放電；再經過迴路濾波器濾除電荷幫浦輸出的高頻訊號，並將電流訊號經迴路濾波器充放電後轉為控制電壓的電壓訊號，此電壓的大小進而控制壓控振盪器的輸出頻率，而輸出訊號經除頻器再回到相位頻率偵測器中，如此不斷地比較機制改變壓控振盪器的控制電壓，使 F_{DIV} 與 F_{REF} 相位差縮至最小，最終輸出的頻率為 $F_{OUT} = N \times F_{REF}$ ，其中 N 為除頻器除數。

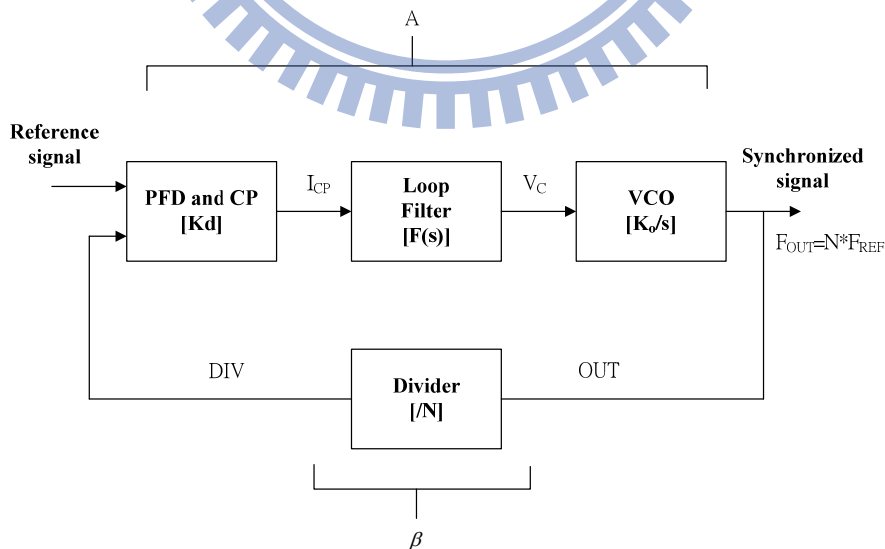


圖 3.4 鎖相迴路系統架構

3.2.2 頻率合成器重要參數

頻率合成器的幾個重要參數為：輸出頻率範圍(Frequency range)、通道解析度(Channel resolution)、輸出功率(Output power)、迴路頻寬和相位邊界(Loop Bandwidth and Phase margin)、相位雜訊(Phase noise) 與比較脈衝溢漏引起的雜訊(Spurious)。

輸出頻率的範圍與多模數除頻器的除數範圍、參考頻率 F_{REF} 和電壓控制振盪器的可調範圍(Tuning range)有關，鎖相迴路的輸出頻率為 $(2^n + b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_0 \cdot 2^0) \times F_{REF} = F_{OUT}$ ，其中 b 為除頻器中控制輸出頻率的數位邏輯訊號，此時電壓控制振盪器的可調範圍(Tuning range)必須涵蓋此範圍，否則會造成輸出頻率的範圍變小。假設有四條數位控制訊號 $b_0 \sim b_3$ ，輸出頻率的範圍為 $2^n \times F_{REF} \sim (2^n + 15) \times F_{REF}$ ，而 $b_0 \sim b_3$ 可以產生 0 至 15 的連續正整數，此時通道解析度等於參考頻率 F_{REF} 。如果要設計符合通訊標準應用的應用，從圖 3.1 可知 802.11a 的通道解析度為 20MHz，從圖 3.2 可知符合 802.11b 和 802.11g 的通道解析度為 5MHz，參考頻率要依據規格做適當的選取。

而鎖相迴路的輸出功率要依據接收機中的混頻器(Mixer)設計而定，從混頻器的轉頻增益(Conversion gain)對本地振盪訊號功率(LO Power)作圖，可以得知在最大轉頻增益下本地振盪訊號所需最小的功率，而決定鎖相迴路的輸出功率的元件主要與電壓控制振盪器(VCO)的設計有關。

理想的弦波是單一頻率的頻譜，然而實際上鎖相迴路所產生的弦波會因為元件中的熱雜訊與閃爍雜訊造成輸出訊號相位抖動，此現象從時域上稱為抖動(Jitter)，頻域上稱為相位雜訊(Phase noise)。

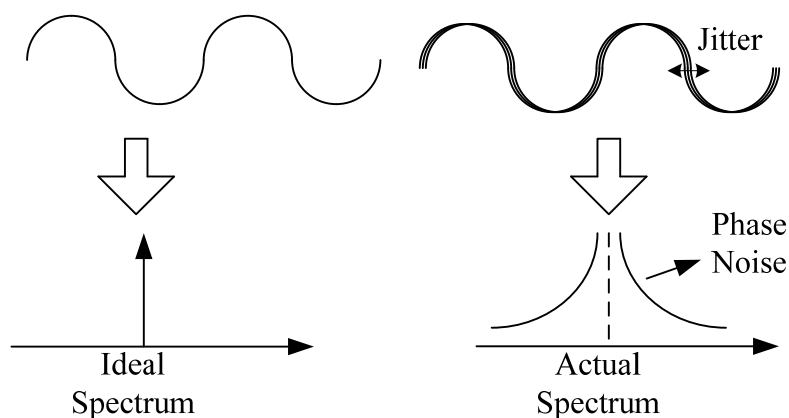


圖 3.5 理想與實際信號頻譜

如圖 3.6 所示，Spurious 為在中心頻率的旁帶信號的突波，而評估其量值大小為與主要載波的功率差，單位為 dBc。一般整數型鎖相迴路(Integer N PLL) 其 Spurious 其產生的原因為電荷幫浦輸出經過濾波器後仍有參考頻率的訊號洩漏至壓控振盪器的控制電壓。

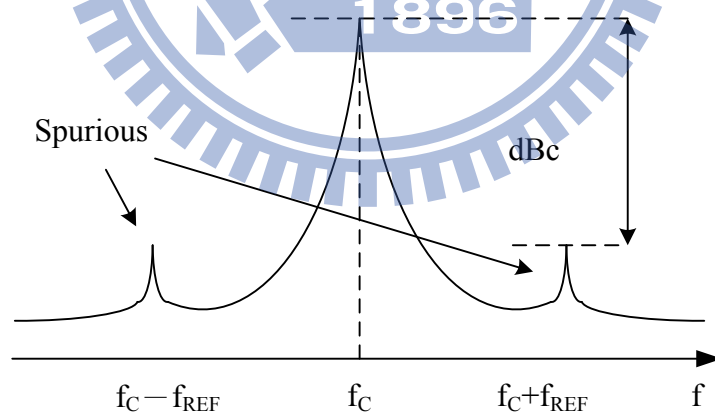


圖 3.6 Spurious 示意圖

3.3 頻率合成器系統分析與模擬

3.3.1 頻率合成器線性系統分析

迴路濾波器是鎖相迴路頻率合成器在系統分析與設計的關鍵元件，其可以決定頻率合成器是否可以穩定運作，本節迴路濾波器先分析二階低通濾波器的轉移函數，再探討頻率合成器系統穩定度設計。

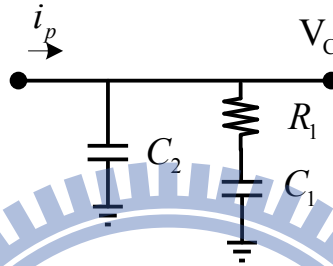


圖 3.7 二階低通濾波器

其阻抗與極點、零點分析公式如下：

$$Z(s) = \frac{1}{sC_2} // (R_1 + \frac{1}{sC_1}) = \frac{\frac{1}{sC_2} (R_1 + \frac{1}{sC_1})}{\frac{1}{sC_2} + R_1 + \frac{1}{sC_1}} = \frac{s + \frac{1}{R_1C_1}}{s \frac{C_1 + C_2}{R_1C_1} + s^2C_2} = K_h \frac{s + \omega_2}{s(\frac{s}{\omega_3} + 1)} \quad (3.1)$$

$$K_h = \frac{R_1C_1}{C_1 + C_2} \quad (3.2)$$

$$\omega_2 = \frac{1}{R_1C_1} \quad (3.3)$$

$$\omega_3 = \frac{C_1 + C_2}{R_1C_1C_2} = \omega_2(1 + \frac{C_1}{C_2}) \quad (3.4)$$

ω_2 是零點，可以決定整個鎖相迴路的相位邊限(phase margin)， ω_2 頻率越低會使所需要的電容值越大，越難整合在積體電路中，如果 ω_2 頻率太接近系統的迴路頻寬，會使相位邊限不夠，導致系統不穩定。

ω_3 是極點，其大小設計為 ω_2 的 16 倍，所以 C_1 、 C_2 電容比會差 15 倍，其主要目的是將比較脈衝抑制得很乾淨，否則會對 VCO 產生調

變致使頻譜產生兩旁突波。 ω_3 一般設計在 3~4 倍迴路頻寬，太小會使 overshoot 過大，但亦不可太靠近比較頻率，否則會失去濾波的作用。

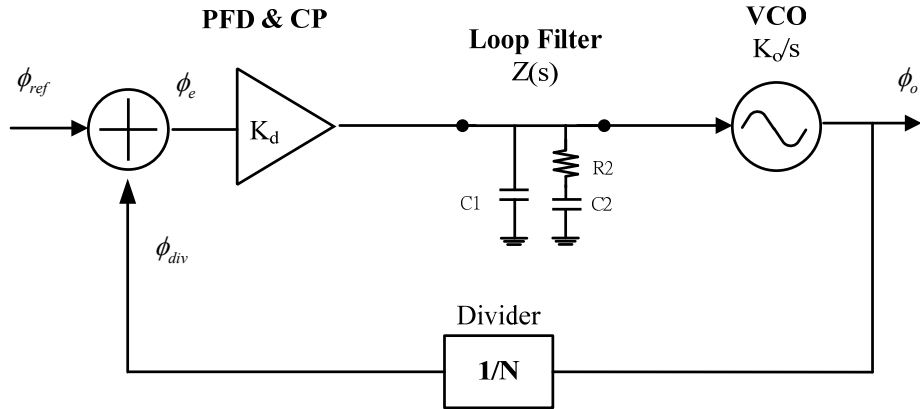


圖 3.8 三階頻率合成器線性模型

鎖相迴路為一個回授系統，要讓整個鎖相迴路系統穩定運作，要使單位增益的開迴路迴路頻寬(Loop Bandwidth)所對應到的相位邊界(Phase Margin)要足夠大。假設在開迴路增益為 1 時相位為 180 度，會使閉迴路增益無窮大，造成系統不穩定。

$$\text{Open loop gain} = A(s)\beta(s) = K_d Z(s) \cdot \frac{K_o}{s} \cdot \frac{1}{N} \quad (3.5)$$

$$\text{Close loop gain} = \frac{A(s)}{1 + A(s)\beta(s)} \quad (3.6)$$

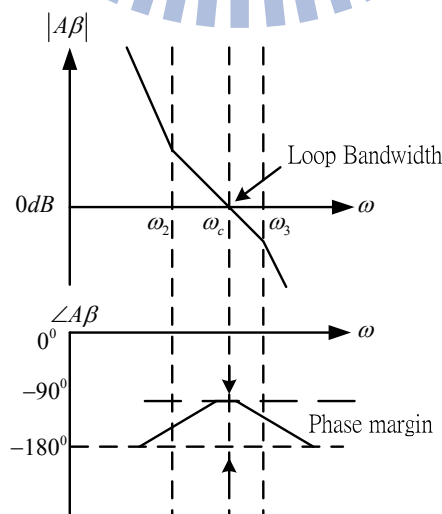


圖 3.9 開迴路系統的波德圖

K_d 由電荷幫浦流入迴路濾波器的電流所決定

$$K_d = \frac{I_{cp}}{2\pi} \quad (3.7)$$

K_o 為壓控震盪器電路靈敏度

$$K_o = 2\pi \times K_{VCO} (\text{MHz/V}) \quad (3.8)$$

由(3.1)式帶入(3.5)式，可求得系統的開迴路轉移函數為：

$$A\beta = K_d \cdot Z(s) \cdot \frac{K_o}{s} \cdot \frac{1}{N} = \frac{I_{cp} K_{VCO}}{N} \cdot \frac{sR_1 C_1 + 1}{s^2 (sR_1 C_1 C_2 + C_1 + C_2)} \quad (3.9)$$

$$A\beta|_{s=j\omega} = -\frac{I_{cp} K_{VCO}}{N\omega^2} \cdot \frac{j\omega R_1 C_1 + 1}{(C_1 + C_2)(j\omega \frac{R_1 C_1 C_2}{C_1 + C_2} + 1)} = -\frac{I_{cp} K_{VCO}}{N\omega^2} \cdot \frac{\frac{j\omega}{\omega_2} + 1}{(C_1 + C_2)(\frac{j\omega}{\omega_3} + 1)} \quad (3.10)$$

其相位為

$$\phi(\omega) = \tan^{-1}\left(\frac{\omega}{\omega_2}\right) - \tan^{-1}\left(\frac{\omega}{\omega_3}\right) + 180^\circ \quad (3.11)$$

求系統相位邊界(Phase Margin)的最大值，也就是對(3.11)式取一次微分並令其值為零，將求出的相位極值 ω 令為截止頻率 ω_c 。

$$\phi_{m,\max}(\omega) : \frac{d\phi(\omega)}{d\omega} = \frac{1}{\omega_2} \cdot \frac{1}{1 + (\frac{\omega}{\omega_2})^2} - \frac{1}{\omega_3} \cdot \frac{1}{1 + (\frac{\omega}{\omega_3})^2} = 0 \quad (3.12)$$

$$\omega_c = \sqrt{\omega_2 \cdot \omega_3} \quad (3.13)$$

將 ω_2 、 ω_c 、 ω_3 的關係比值用 γ 做代換

$$\gamma = \frac{\omega_c}{\omega_2} = \frac{\omega_3}{\omega_c} \Rightarrow \frac{C_1}{C_2} = \gamma^2 - 1 \quad (3.14)$$

將上式帶回(3.11)式可以找出相位邊界與 γ 的對照表[13]：

表 3.1 γ 值對照表[13]

γ	1	2	3	4	5	6
Phase Margin	0°	36.9°	53.1°	61.9°	67.4°	71°

當開迴路增益 $A\beta=1$ 時，由(3.10)式計算後，可以得到截止頻率 ω_c 的近似值約為系統的迴路頻寬 K ，可以定義為開迴路轉移函數在增益為 1 時的頻寬，即單位增益頻寬(unity gain bandwidth)，當迴路頻寬越高，系統迴路反應就越快，鎖定時間就越短。

$$\omega_c \approx K = \frac{K_d K_h K_o}{N} = \frac{I_{cp} \times R_1 C_1 \times K_{VCO} (\text{MHz/V})}{N(C_1 + C_2)} \quad (3.15)$$

3.3.2 頻率合成器相位雜訊來源分析

相位雜訊可視為額外加入的隨機相位，在鎖相迴路中，任何元件均有造成相位雜訊的貢獻，但主要雜訊來源可分為輸入參考訊號及電壓控振盪器所造成的雜訊，一般情況下壓控振盪器的相位雜訊大於輸入參考訊號，以下將比較此兩種雜訊來源經過迴路之響應做討論。

1. 相位雜訊來自輸入參考訊號

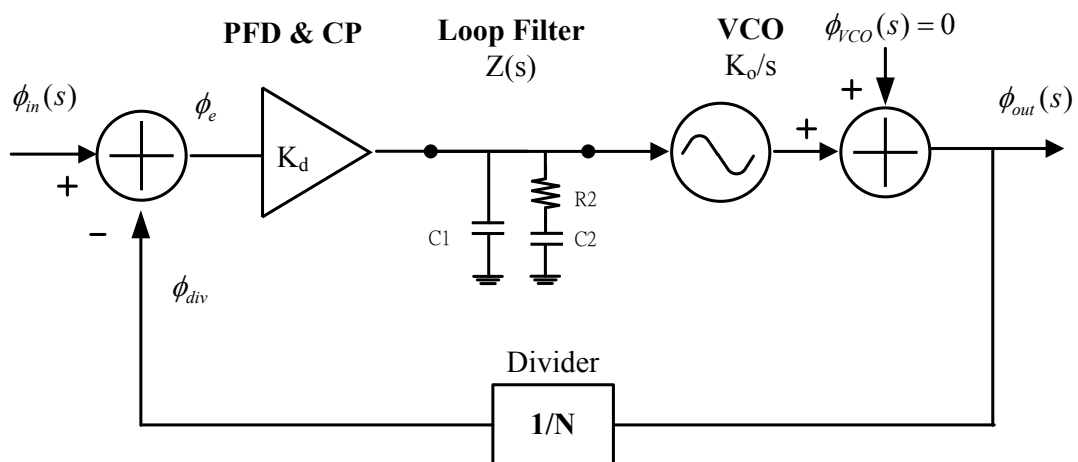


圖 3.10 相位雜訊來自輸入參考訊號示意圖

當相位雜訊只由輸入參考訊號造成，則令輸入相位雜訊為 $\phi_{in}(s)$ ，輸出相位雜訊為 $\phi_{out}(s)$ ，而等效相位雜訊之閉迴路轉移函數 $H_{in}(s)$ 為：

$$H_{in}(s) = \frac{\phi_{out}(s)}{\phi_{in}(s)} \Big|_{close} = \frac{A(s)}{1 + A(s)\beta(s)} = \frac{K_d \times Z(s) \times \frac{K_o}{s}}{1 + K_d \times Z(s) \times \frac{K_o}{s} \times \frac{1}{N}} \quad (3.16)$$

再用二階迴路濾波器(3.1)代入(3.16)式可得：

$$H_{in}(s) = \frac{I_d K_{VCO} N (R_1 C_1 s + 1)}{s^3 (R_1 C_1 C_2 N) + s^2 (C_1 + C_2) N + s (I_d K_{VCO} R_1 C_1) + I_d K_{VCO}} \quad (3.17)$$

由(3.17)式可知轉移函數為低通型態，因此迴路頻寬取越窄，越能減少由輸入參考訊號所造成的雜訊。

2. 相位雜訊來自電壓控制振盪器的控制訊號

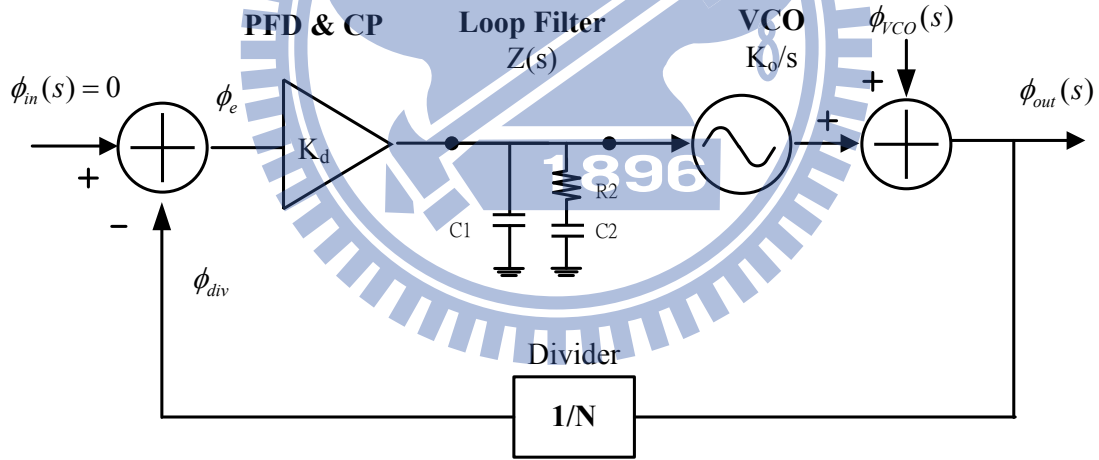


圖 3.11 相位雜訊來自電壓控制振盪器的控制訊號示意圖

當相位雜訊只由電壓控制振盪器造成，則令 VCO 相位雜訊為 $\phi_{VCO}(s)$ ，輸出相位雜訊為 $\phi_{out}(s)$ ，而等效相位雜訊之轉移函數 $H_{VCO}(s)$ 為：

$$H_{VCO}(s) = \frac{\phi_{out}(s)}{\phi_{VCO}(s)} \Big|_{close} = \frac{1}{1 + A(s)\beta(s)} = \frac{1}{1 + K_d \times Z(s) \times \frac{K_o}{s} \times \frac{1}{N}} \quad (3.18)$$

再用二階迴路濾波器(3.1)代入(3.18)式可得：

$$H_{VCO}(s) = \frac{s^3(NR_1C_1C_2) + s^2(C_1 + C_2)N}{s^3(R_1C_1C_2N) + s^2(C_1 + C_2)N + s(I_dK_{VCO}R_1C_1) + I_dK_{VCO}} \quad (3.19)$$

由(3.19)式可知轉移函數為高通型態，因此迴路頻寬取越寬則越能減少由電壓控制振盪器所造成的雜訊。

為了抑制相位雜訊來自輸入參考訊號與電壓控制振盪器的控制訊號必須將產生折衷 (trade-off) 的考量。以下為粗略的結論：若電壓控制振盪器相較於參考訊號有更嚴重的雜訊時，適當的調高迴路頻寬可以降低整體鎖相迴路的輸出雜訊；同理若輸入參考訊號有更嚴重的雜訊時，降低迴路頻寬，可以降低整體鎖相迴路的輸出雜訊。

3.3.3 頻率合成器線性系統模擬

綜合以上公式，可以做頻率合成器的頻率規劃，並計算設計頻率合成器所需的各個參數值，其設計步驟為：

- 1.設計壓控振盪器的靈敏度(K_{VCO})及輸出頻率(F_{OUT})。
- 2.決定除頻器的除數(N)→決定參考頻率訊號頻率(F_{REF})。
- 3.設計電流幫浦輸出電流值(I_{CP})。
- 4.選定安全相位邊界(Phase Margin)→定 γ 值
- 5.決定迴路頻寬 K 、 ω_2 與 ω_3 的位置。
- 6.由(3.15)式選定 R_1 值，由(3.3)式算出 C_1 值，由(3.14)式算出 C_2 值。
- 7.經由 Matlab 模擬工具，探討其理想系統穩定性與鎖定情況。
- 8.實作頻率合成器個別子電路。

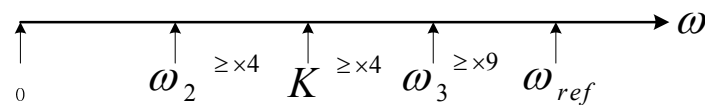


圖 3.12 鎖相迴路系統頻率規劃[14]

一般而言迴路頻寬 K 會小於參考頻率 F_{REF} 的 $1/10$ 以下，不能太小也不能太大，迴路頻寬太小會使迴路反應速度慢，太大會較靠近比較頻率其中間無法再加入 ω_3 ，或是無法將比較脈衝清除乾淨；為了相位邊界考量，一般會選擇 $50^\circ \sim 70^\circ$ 之間， γ 選擇太小相位邊界會不夠， γ 選擇太大，其電容比例差距過大，會相當佔面積，並且容易受到寄生電容的影響，因此本文選定 γ 為 4，相位邊界為 61.9° 。

以下為本論文設計之頻率合成器之所需參數：

表 3.2 頻率合成器參數設定

Item	Spec
K_{VCO}	547MHz/V
F_{OUT}	2.24~2.765GHz
N	64~79
F_{REF}	35MHz
I_{CP}	0.1mA
γ	4
Phase Margin	61.9°
Loop Bandwidth	1.8MHz
R_1	15.539k Ω
C_1	28.548pF
C_2	1.903pF
Locked Time	2u sec

由 Matlab Simulink 模擬鎖定情形：

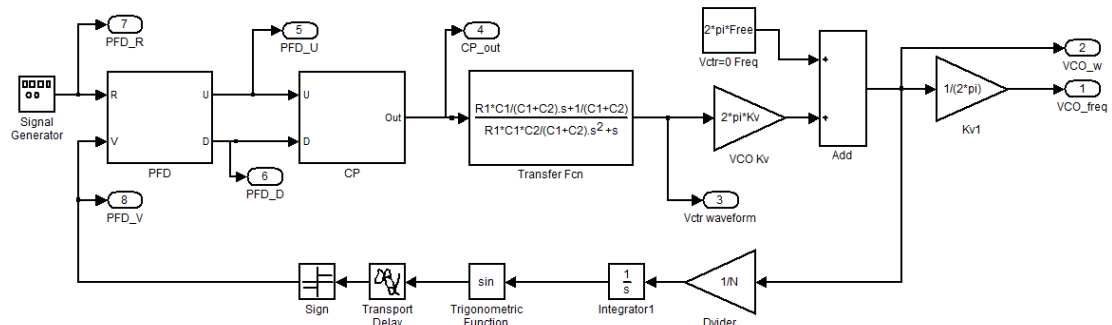


圖 3.13 Simulink 模擬方塊圖

模擬輸出頻率 2.45GHz 下的輸出頻率的鎖定情況

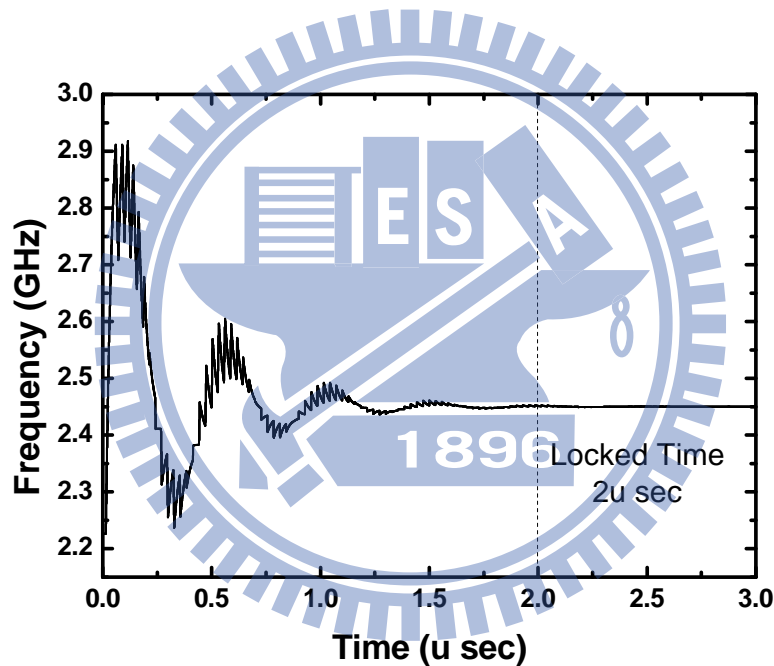


圖 3.14 Simulink 鎖定時間模擬圖

當除數 $N=70$ 時，由迴路頻寬近似公式(3.15)可算出約為 1.8MHz：

$$K = \frac{I_{cp} \times R_1 C_1 \times K_{VCO} (\text{MHz/V})}{N(C_1 + C_2)} = \frac{10^{-4} \times 15.539 \times 10^3 \times 28.548 \times 10^{-12} \times 547 \times 10^6}{70 \times (28.548 + 1.903) \times 10^{-12}} = 1.14 \times 10^7 (\text{rad / sec}) = 1.8 (\text{MHz}) \quad (3.20)$$

由圖 3.15 Matlab 計算實際迴路頻寬為 $1.03 \times 10^7 (\text{rad / sec})$

$= 1.64 (\text{MHz})$ ，相位邊界為 61 度，符合設計需求。

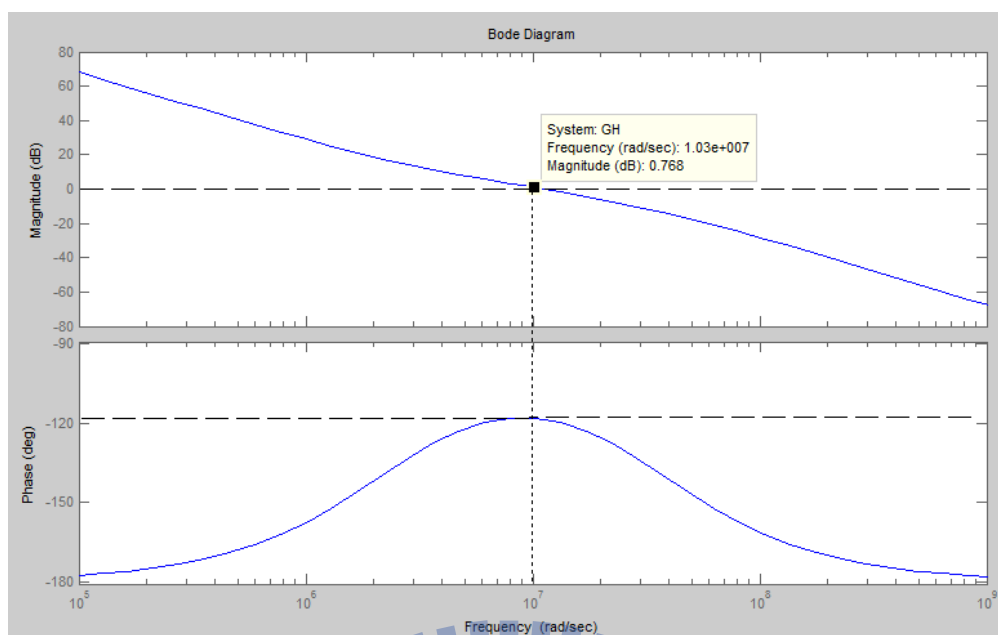


圖 3.15 Matlab 模擬開迴路響應波德圖

3.4 實作一 多模數除頻器

3.4.1 多模數除頻器系統架構

目前於文獻上，除頻器的電路設計可區分為兩類：(1)數位電路，利用數個 D-type Flip-Flop(DFF)做邏輯的推算形成計數器(counter)的設計方式，可實現寬頻高除數的除頻器，但操作頻率較低。(2)類比電路，適合於高頻、窄頻寬、低消耗功率的設計，常見有訊號再生式(Regenerative frequency divider)除頻電路與注入鎖定式除頻電路(Injection locked frequency divider)兩種架構。本次實作因主要應用頻段為2.4GHz，因此以數位電路的實現方式為主要架構。

本實作設計之多模數除頻器主要由三個部分所組成，使用 Current-Mode Logic(CML)架構之 D-type Flip-Flop 除四除五前置除頻器作為除頻電路的高速鏈路，以求達到較高的頻段，再加上使用真單

相時脈電路 True Single-Phase Clock(TSPC)方塊，達到低功耗除二電路的目的是，將使用 TSPC 正反器架構的除二電路，串接四級而組成較低頻除十六之 Ring circuit，形成漣波計數器(異步計數器)，以及利用數位邏輯控制電路由 NAND 與 NOR 的電路組合，控制除頻器的除數，本除頻器可以選擇的除數範圍為除64~79 如下圖所示：

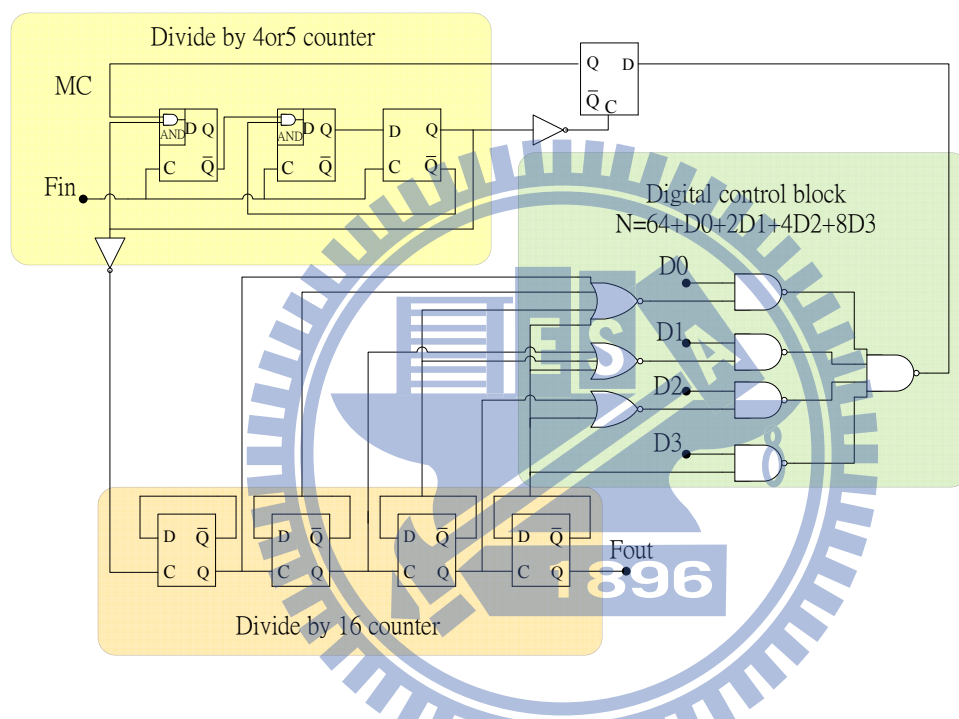


圖 3.16.多模數除頻器系統架構圖

以下將介紹，本次實作電流模式 D 型正反器邏輯電路(Current Mode Logic D-type Flip Flop)所組成的除四除五除頻器與使用真單相時脈電路(True Single-Phase Clock)所組成的異步計數器，與數位邏輯控制電路。

3.4.2 電流模式 D 型正反器邏輯電路

電流模式 D 型正反器邏輯電路為全差動方式操作，只需非常微小的電壓變化，即可判斷出邏輯準位，並且可以有效的降低外界雜訊及直流電壓不穩定的干擾，此種電路架構適合處理較高頻的訊號，其缺點為功率消耗較大。

如圖 3.17 所示，在電流模式邏輯架構下實現出來的 Latch 電路是由差動對加上 Regenerative pair 所組成的，其操作方式分為兩個步驟：

1. 當週期時脈 Clock 1 進入
 - a. CK 為高準位時，主取樣端差動對讀入資料 Data1，其他電路暫不動作。
 - b. CK 為低準位時，主存鎖端(Regenerative Pairs)再生資料 Data1：副取樣端差動對讀取主存鎖端保存的資料 Data1。
2. 當下一個週期時脈 Clock 2 進入
 - a. CK 為高準位時，主取樣端差動對讀入資料 Data2，副存鎖端再生資料 Data1 輸出。
 - b. CK 為低準位時，主存鎖端再生資料 Data2：副取樣端差動對讀取主存鎖端保存的資料 Data2。

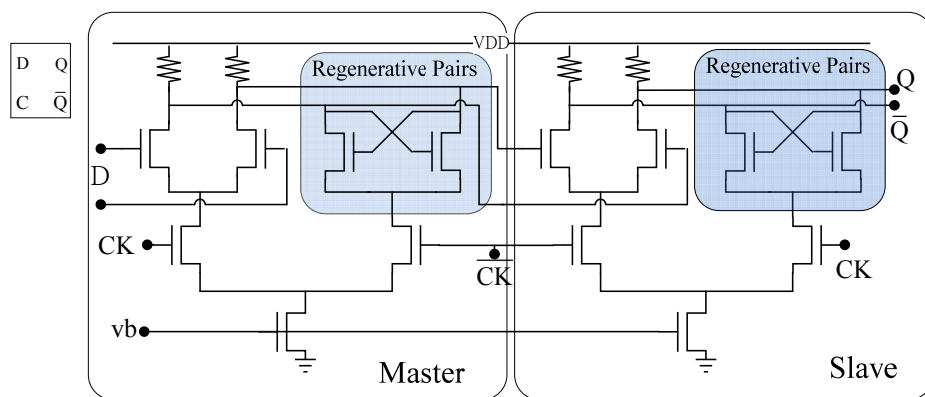


圖 3.17 電流模式 D 型正反器[15]

3.4.3 除四除五前置除頻器

傳統的除四除五頻器架構如下圖所示，由於此電路除了 D-type flip-flop 之外必須另外加兩個 NAND 邏輯閘，為了減少 gate-delay 以增加最高工作頻率，使用併入 AND 閘之電流模式 D 型正反器如圖 3.19 所示。

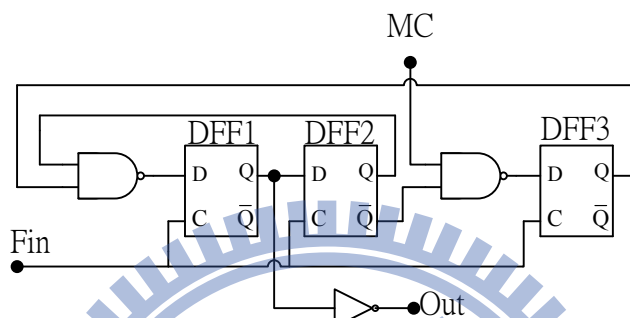


圖 3.18 傳統除四除五除頻器電路架構

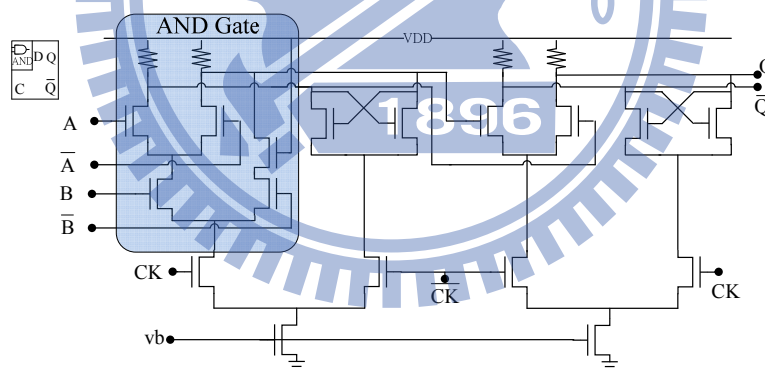


圖 3.19 併入 AND 閘之電流模式 D 型正反器

併入 AND 閘之除四除五除頻器如下圖所示，根據控制訊號 MC 位準的高低，可控制輸出除數為 4(MC=Low)或 5(MC=High)，其操作描述如下：

1. 輸出除數為 4：若 MC 為 low，有效作用的電路由一個簡單的循環位移暫存器所組成；DFF1 被省去(\bar{Q} 輸出永遠為 high)。

2. 輸出除數為 5：若 MC 為 high，DFF1 與 DFF3 的輸出訊號將送入 DFF2，使得循環位移暫存器有兩個 high 週期與三個 low 週期。

$$\begin{aligned} Q1(n+1) &= Q3(n) \times MC \\ Q2(n+1) &= \overline{Q3(n)} \times \overline{Q1(n)} \\ Q3(n+1) &= Q2(n) \end{aligned} \quad (3.21)$$

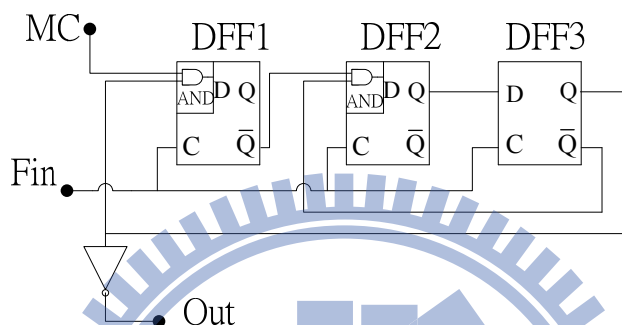


圖 3.20 併入 AND 閘之除四除五除頻器電路架構

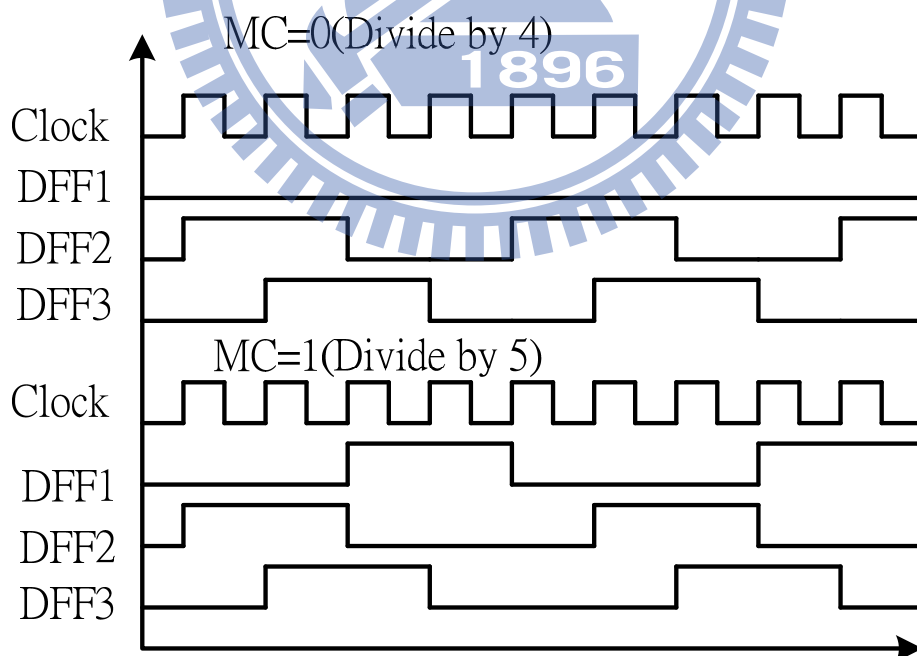


圖 3.21 併入 AND 閘之除四除五除頻器時脈原理推導圖

3.4.4 真單相時脈電路(True Single-Phase Clock)

為了使除頻器的速度達到最快，降低正反器內外部端點的寄生電容來降低傳遞延遲與功率損耗，是相當重要的。圖 3.22 是 Yuan 和 Svensson 所提出 TSPC 電晶體架構(true single phase clock)[16]。TSPC 與 CML 的 D Flip-Flop 相比，使用的電晶體數更少(TSPC 11 顆，CML 17 顆)，功率消耗更小。其缺點為工作頻率較低與輸入的 Data 端訊號必須為全擺幅(rail-to rail)的邏輯訊號，如果輸入的 Data 端訊號非全擺幅的邏輯訊號，會使輸出的邏輯準位錯誤，適合用在低頻的處理可以有效降低功耗。[13][14]

當 TSPC 接為除二電路時，其最主要考量的特性為最高操作頻率與功率消耗。 t_{pLH} 所代表的意義為從低準位到高準位的傳輸延遲， t_{pHL} 所代表的意義為從高準位到低準位的傳輸延遲，其最高操作頻率可表示為：[16]

$$f_{\max} = \frac{1}{2 \times \max(t_{pLH}, t_{pHL})} \quad (3.22)$$

功率消耗的主要來源為切換功率損耗，切換功率損耗可表示為 (3.23)。C_L 為負載電容，f_{clk} 為輸入的 Clock 頻率，V_{dd} 為提供電壓，由公式可知輸入操作頻率與功率消耗成正比。[17]

$$P_{\text{switching}} = C_L f_{\text{clk}} V_{\text{dd}}^2 \quad (3.23)$$

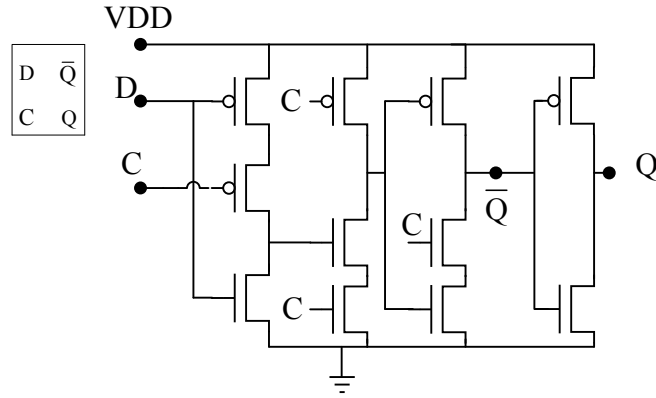


圖 3.22 真單相時脈電路[16]

3.4.5 數位邏輯控制電路

利用除四除五的可選擇性與除 16 的除頻器相乘可以得到平均除數為 64~79。其想法為在除 16 的週期中選擇 A 個週期使除四除五除頻器由除四變成除五，其平均除數為：

$$N = 16 \times \frac{5 \times A + 4 \times (16 - A)}{16} = 64 + A \quad (3.24)$$

如圖 3.23 所示， $A = D_0 + 2D_1 + 4D_2 + 8D_3$ ， $D_3 = \text{high}$ 代表 16 個週期中有 8 個週期使除四除五除頻器除數設定成除五， $D_2 = \text{high}$ 代表 16 個週期中有 4 個週期使除四除五除頻器除數設定成除五， $D_1 = \text{high}$ 代表 16 個週期中有 2 個週期使除四除五除頻器除數設定成除五， $D_0 = \text{high}$ 代表 16 個週期中有 1 個週期使除四除五除頻器除數設定成除五，並且為了使不同的週期可以相加，其 $Y_0 \sim Y_3$ ，所代表的週期必須錯開，由迪摩根定理可推知邏輯的輸出端為：

$$Z = [(D_0 \times Y_0)' \times (D_1 \times Y_1)' \times (D_2 \times Y_2)' \times (D_3 \times Y_3)'] = D_0 Y_0 + D_1 Y_1 + D_2 Y_2 + D_3 Y_3 \quad (3.25)$$

$$\text{NAND} : (A \times B)' = \overline{A + B} ; \quad \text{NOR} : (A + B)' = \overline{A \times B}$$

令 $Z = (D_0 Q_4 Q_3 Q_2 \overline{Q_1}) + (D_1 Q_4 Q_3 \overline{Q_2}) + (D_2 Q_4 \overline{Q_3}) + (D_3 \overline{Q_4})$ ，所以 Y_3 接 $\overline{Q_4}$ ， Y_2 接

$\overline{Q_4}$ 與 Q_3 的 NOR₂， Y_1 接 $\overline{Q_4}$ 與 $\overline{Q_3}$ 與 Q_2 的 NOR₃， Y_0 接 $\overline{Q_4}$ 與 $\overline{Q_3}$ 與 $\overline{Q_2}$ 與 Q_1 的 NOR₄。

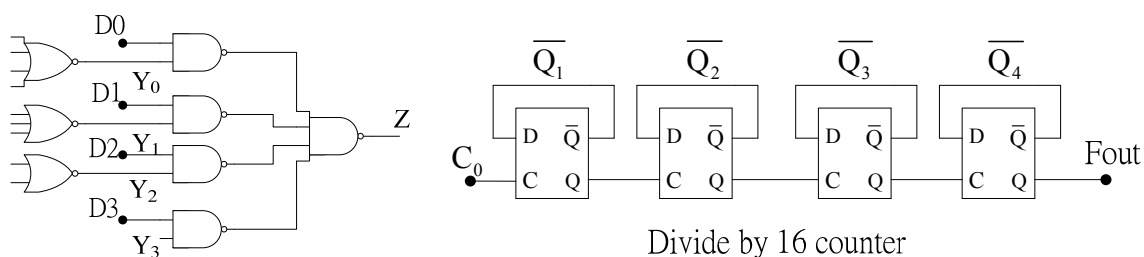


圖 3.23 邏輯電路與除 16 除頻器

邏輯電路接法確定後，在模擬除頻器的過程中發現，在 $Q_1 \sim Q_4$ 訊號同時上升或下降時，邏輯運算電路 NAND 與 NOR 會產生誤判的突波，而突波會使除頻器的除數產生誤差，為了解決此問題，在邏輯電路的輸出接到一個 DFF，並且以除 16 除頻器的輸入端接到此 DFF 的 Clock 端，使 Sample 到的邏輯準位避開可能發生誤判的突波。

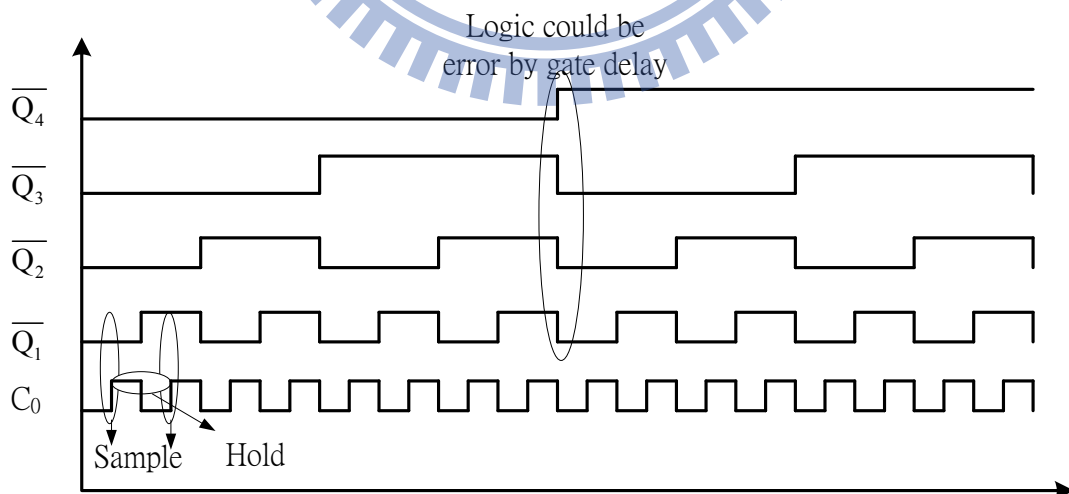


圖 3.24 除 16 除頻器時序圖

3.4.6 模擬與量測結果

當輸入 2.432GHz，除數為除 64，輸出為 38MHz 的時域輸出波型

$$T = \frac{1}{f} = \frac{1}{38\text{MHz}} \approx 26.32\text{nsec}$$

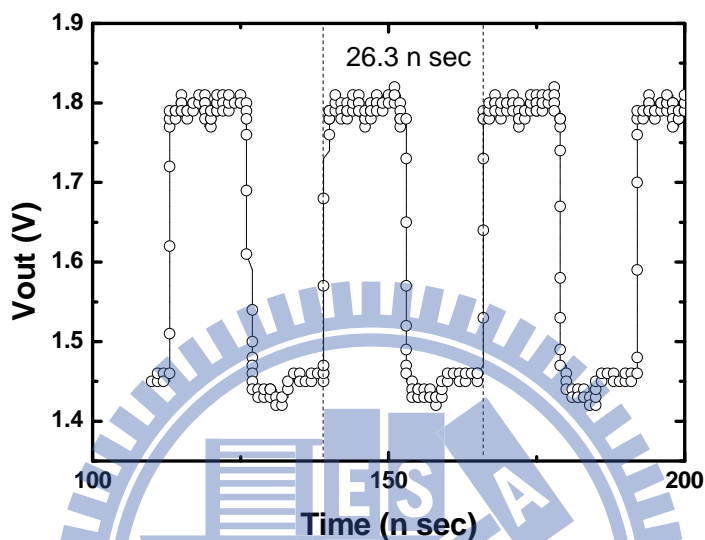


圖 3.25 多模數除頻器之輸出波型模擬結果

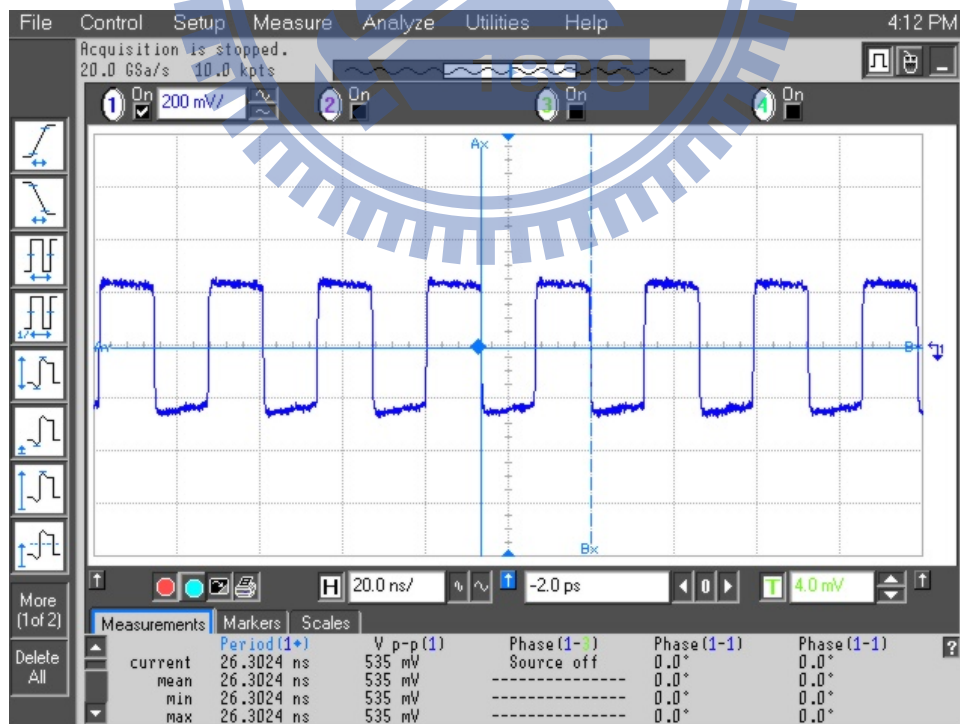


圖 3.26 多模數除頻器之輸出波型量測結果

當輸入 2.432GHz，輸出為 38MHz 的頻域輸出頻譜

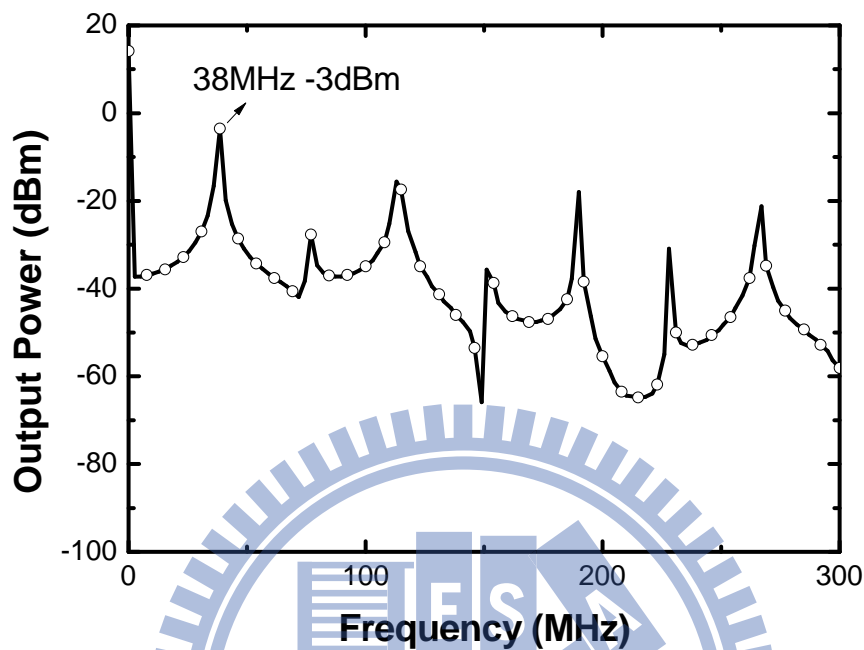


圖 3.27 多模數除頻器之輸出頻譜模擬結果

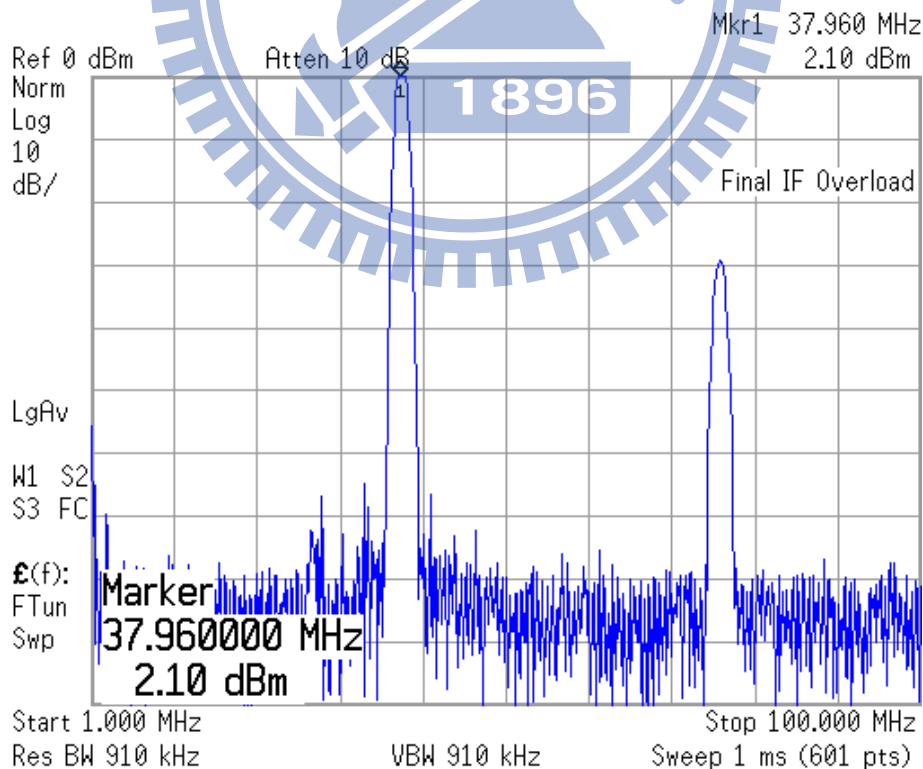


圖 3.28 多模數除頻器之輸出頻譜量測結果

由多模數除頻器的靈敏度量測結果可知，操作頻率會被最高除數除 79 的靈敏度所限制，輸入功率 0dBm 時，最高頻率為 2.3GHz，輸入功率 10dBm 時，最高頻操作頻率為 2.528GHz。

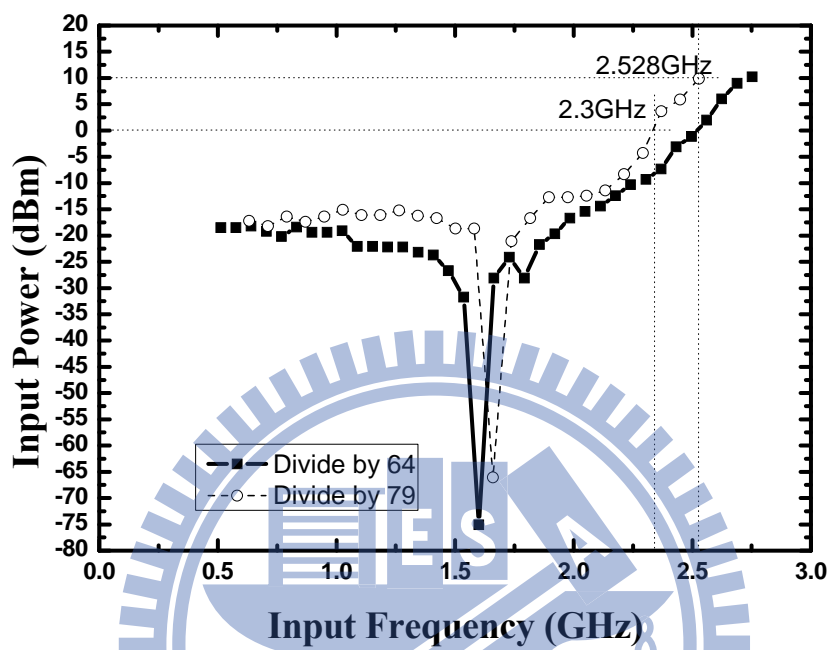


圖 3.29 多模數除頻器靈敏度量測結果

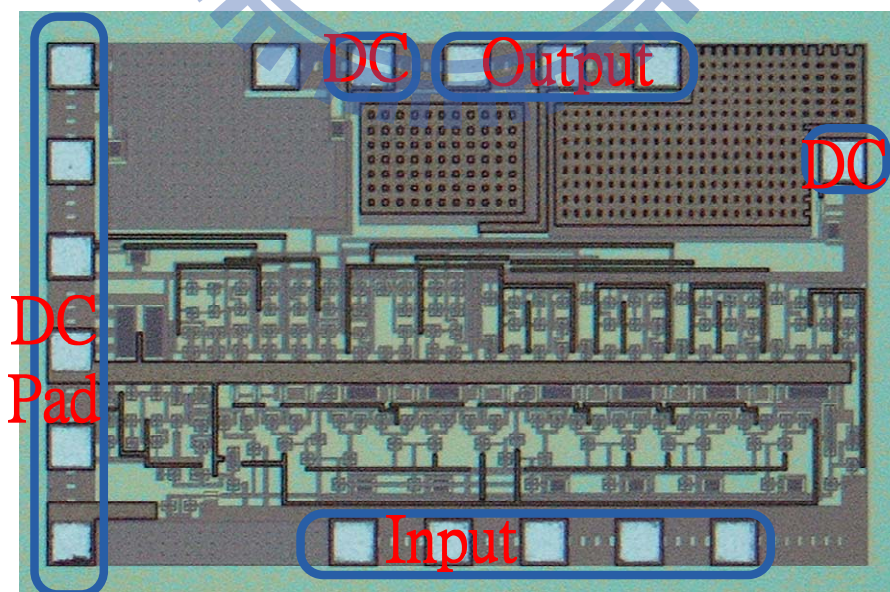


圖 3.30 除頻器晶片實照圖(0.862mm X 0.551mm)

3.4.7 結果與討論

本電路使用 CMOS 0.18 μ m 之製程來實現，從靈敏度圖 3.29 可知當最大輸入功率為 10dBm 下，除 64 的最高輸入頻率為 2.752GHz，除 79 的最高輸入頻率為 2.528GHz，當最大輸入功率為 0dBm 時，除 64~79 均可工作的最高頻率約為 2.3GHz，其結果顯示此多模數除頻器無法滿足預期頻率合成器操作頻率在輸出頻率 2.765GHz 下，可操作除 79 的需求，必須有所改進。

從靈敏度量測結果可知低除數(除 64)的最高工作頻率比高除數(除 79)的最高工作頻率還要高，分析其原因為在除四除五除頻器使用除五的狀況下如圖 3.21，會增加 DFF1 所造成的 Delay，所以較高除數的最高工作頻率會比低除數的最高工作頻率低。

表 3.3 多模數除頻器電路量測摘要

Item	Measure
Supply Voltage (V)	1.8
Supply Current (mA)	11.2
Power consumption (mW)	20.16
Maximum Operation Frequency (GHz)	2.528GHz@ 10dBm 2.3 GHz@ 0dBm
Input Power (dBm)	-75~10
Modulus Modes	Divide by 64~79
Die size	0.862mm × 0.551mm

3.5 實作二 2.4GHz 頻率合成器

3.5.1 運用 E-TSPC 之多模數除頻器

由公式 $f_{\max} = \frac{1}{2 \times \max(t_{pLH}, t_{pHL})}$ 與圖 3.31 可知，E-TSPC 架構比 TSPC 少了 1 個 PMOS 與 2 個 NMOS 所造成的延遲，因此可以工作到更高的頻率。

此架構功率消耗的主要來源除了切換功率損耗 $P_{\text{switching}} = C_L f_{\text{clk}} V_{dd}^2$ 還有短路功率損耗，短路功率損耗可表示為(3.26)。分析靜態邏輯時，當 PMOS 與 NMOS 同時導通，會產生從 VDD 到 Ground 的短路電流 I_{SC} ，其大小與 W_p/W_n 的比值呈現 triode 與 saturation 的關係[19]。而考量減少負載電容與較小的短路電流，本實作的 E-TSPC 在 CMOS 0.18um 的製程下，所有電晶體通道長度使用 0.18um， $W_n=W_p=2 \text{ um}$ 。

$$P_{\text{short}} = I_{SC} V_{dd} \quad (3.26)$$

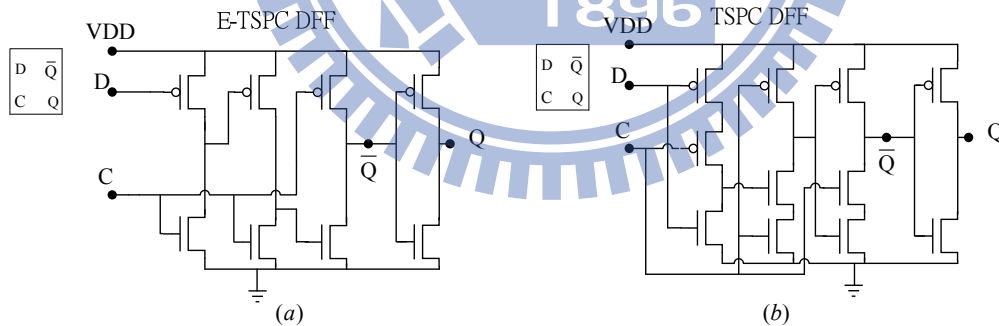


圖 3.31 Dynamic DFF (a)E-TSPC (b)TSPC

為了解決實作一圖 3.16 中除頻器消耗功率過大，本實作如圖 3.32 使用 Extended -true single phase clock (E-TSPC)架構來取代除四除五除頻器中的電流模式 D 型正反器以降低功耗。雖然 E-TSPC 比 TSPC 架構消耗的功率還大，多了短路功率損耗，但是與電流模式 D 型正反器相比，功耗相對較小。實作一的多模數除頻器共消耗 11.2mA，

然而運用 E-TSPC 之多模數除頻器其模擬僅需消耗 2.04mA，可節省非常多的功率損耗。

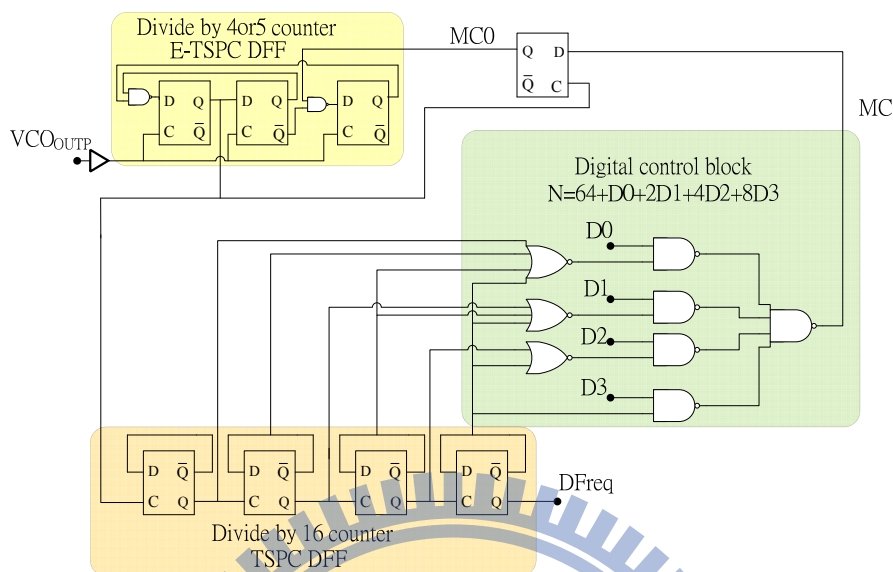


圖 3.32 運用 E-TSPC 之多模數除頻器系統架構圖

本實作中使用數位 MOS 取代 RF MOS，縮短 Layout 走線，使寄生電容更小，以提高其工作頻率，由圖 3.33 可知當輸入功率 0dBm 時，最高工作頻率可達 3.3GHz 符合頻率合成器 2.765GHz 的需求。

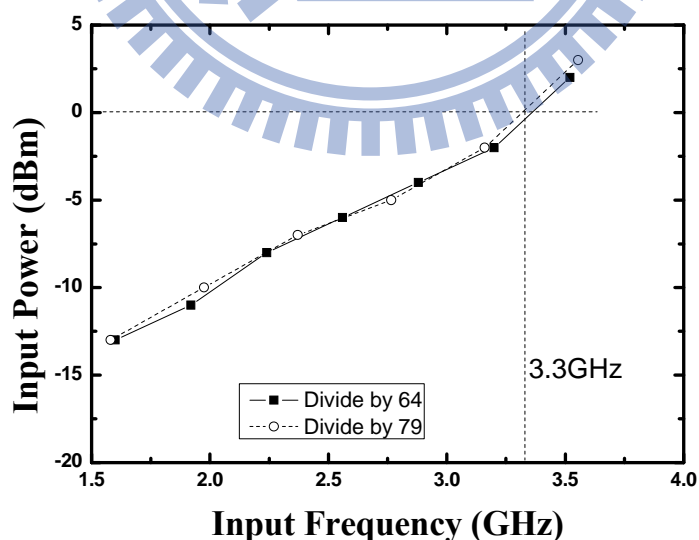


圖 3.33 運用 E-TSPC 之多模數除頻器靈敏度模擬結果

3.5.2 電壓控制振盪器(Voltage Control Oscillator)

本實作設計的壓控振盪器如圖 3.34，主要由幾個部分所組成：第一部分是 LC 共振腔結構，其功能為儲存能量及決定輸出頻率；第二部分是主動電路的交連耦合對，主要是提供負電阻來達到起振的目的；第三部分是輸出緩衝放大器，目的是將輸出振盪能量耦合至負載端。

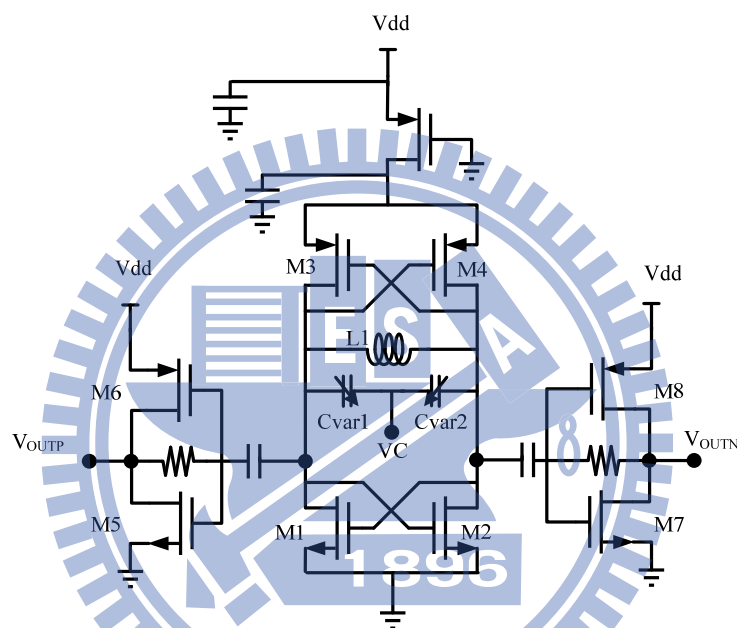


圖 3.34 壓控振盪器電路圖

1. 壓控振盪器負電阻產生原理

本實作的 LC 壓控振盪器其振盪原理為利用電晶體交連耦合對 (Cross-coupled pair) 產生的負電阻抵抗 LC-tank 中的寄生電阻 R_p ，使輸出端產生正回授，來達到電路起振的目的。

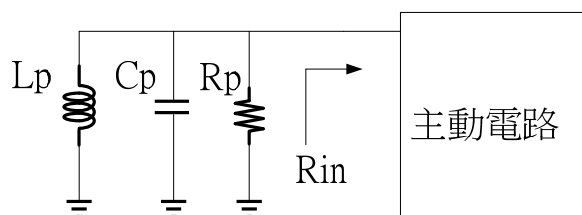


圖 3.35 使用主動電路以提供負電阻

運用簡易的小訊號模型如圖 3.36，可以推導得到以下公式：

$$I_{in} = g_{m2}V2 = -g_{m1}V1 \quad (3.27)$$

$$V_{in} = V1 - V2 = -\frac{I_{in}}{g_{m1}} - \frac{I_{in}}{g_{m2}} \quad (3.28)$$

$$R_{in} = \frac{V_{in}}{I_{in}} = -\left(\frac{1}{g_{m1}} + \frac{1}{g_{m2}}\right) \quad (3.29)$$

當 $g_m = g_{m1} = g_{m2}$ ，則可以得到等校的負電阻

$$R_{in} = \frac{V_{in}}{I_{in}} = -\frac{2}{g_m} \quad (3.30)$$

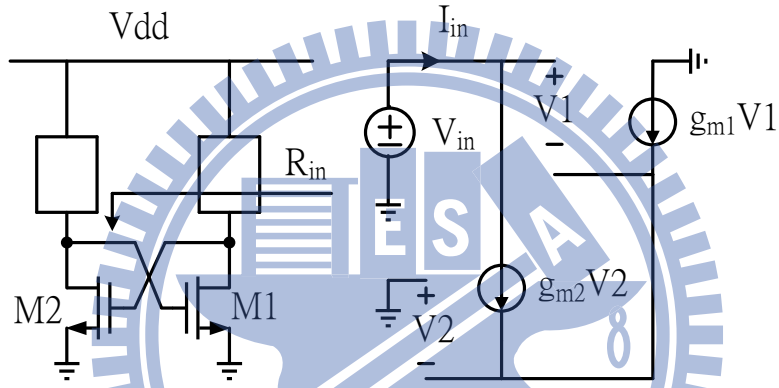


圖 3.36 負電阻產生示意圖

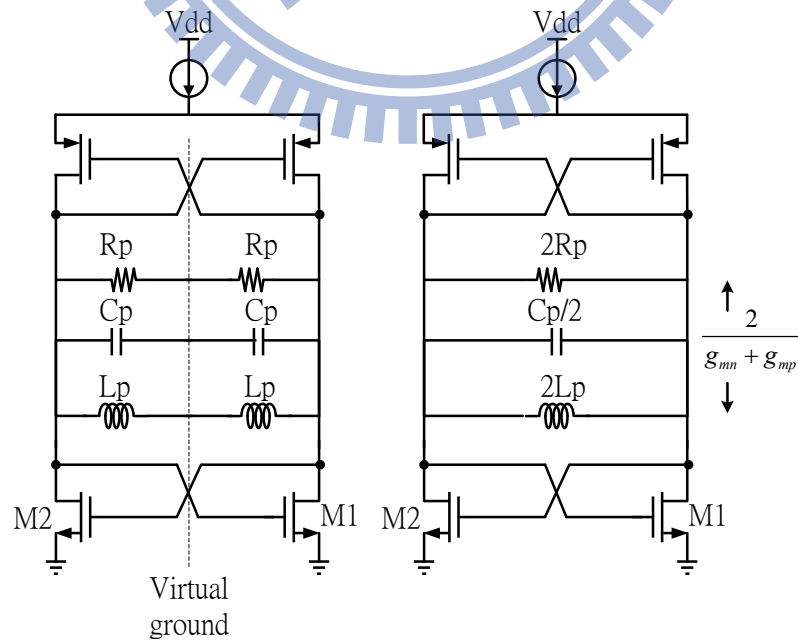


圖 3.37 LC-tank 半電路等校示意圖

另並聯電路中寄生電阻 $2R_p$ 的導納與負電阻的導納相加小於零時，電路才會開始起振：

$$\frac{1}{2R_p} - \frac{g_{mn} + g_{mp}}{2} < 0 \quad (3.31)$$

$$\frac{1}{2R_p} < \frac{g_{mn} + g_{mp}}{2} \quad (3.32)$$

$$R_p > \frac{1}{g_{mn} + g_{mp}} \quad (3.33)$$

2. LC 共振腔

電感使用 TSMC CMOS 0.18 μ m 製程，3 圈線寬 9 μ m 且內徑 35 μ m，其電感的感值為 1.415 nH，Q 值為 6.66，寄生電阻為 3.27 歐姆。利用阻抗串聯與並聯的轉換公式，可求得等校的並聯阻抗值。由於電感的 Q 值比可變電容低很多，因此並聯阻抗值主要由電感所決定。

$$2R_p = 2R_s(1 + Q_s^2) = 3.27 \times (1 + 6.66^2) = 148.31 \quad (3.34)$$

$$R_p = 74.16\Omega \quad (3.35)$$

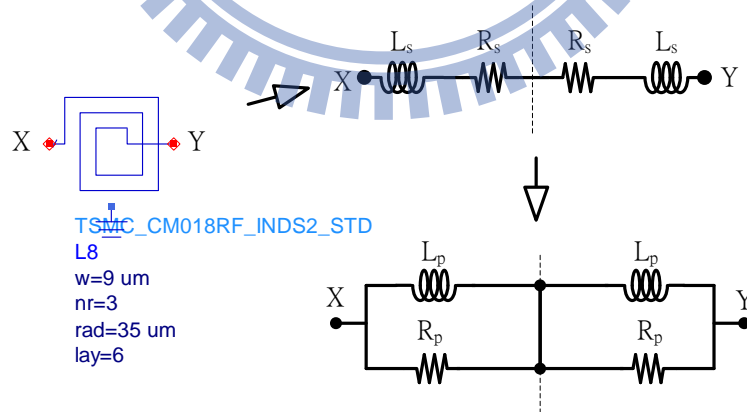


圖 3.38 台積電感等效電路示意圖

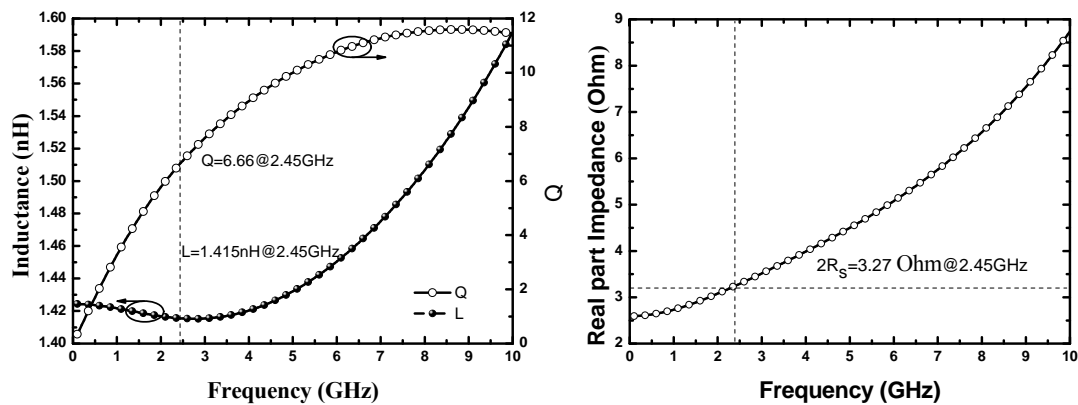


圖 3.39 電感的感值 Q 值與寄生電阻值

而壓控振盪器的振盪頻率將由 LC 共振腔決定，其頻率為：

$$f_{osc} = \frac{1}{2\pi\sqrt{L_p C_p}} \quad (3.36)$$

而電壓控制振盪器的調頻範圍(Tuning range)，主要是受到可變電容的容值變化量來決定。從頻率合成器的需求來看，輸出頻率涵蓋 2.24~2.765 GHz，其最高頻除以最低頻的比值為 1.234，從壓控振盪器輸出頻率的公式可知，可變電容的比值量必須為輸出頻率變化比值的平方倍，因此可變電容的容值變化量至少為 1.523 倍才符合需求。

$$\left(\frac{f_{max}}{f_{min}}\right)^2 = \frac{C_{max}}{C_{min}} \quad (3.37)$$

可變電容的 X 端為電晶體交連耦合對的偏壓點，VC 端的電壓範圍為 0V~1.8V，可等效為一端接地，另一端電壓範圍從 -1.079~0.721V，可變電容的容值範圍為 3.076~6.065 pF，比例為 1.972 倍。

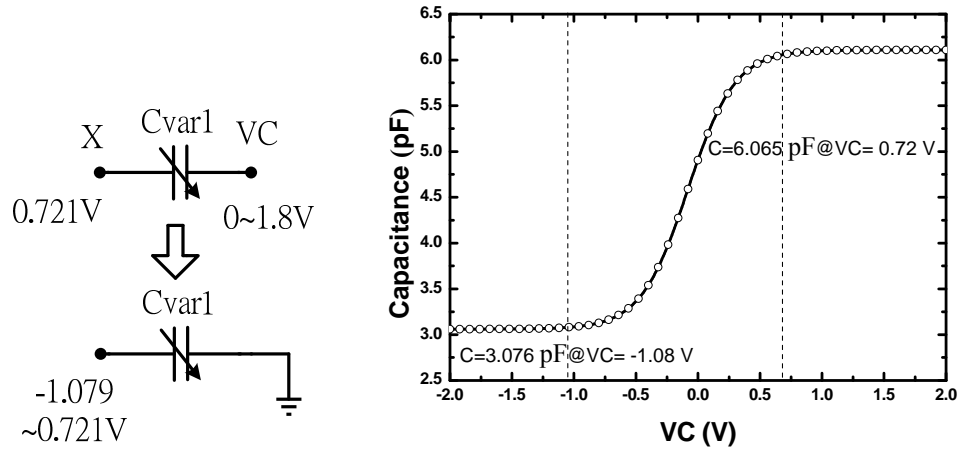


圖 3.40 可變電容偏壓與容值變化量示意圖

3. 主動電路 CMOS cross coupled pair

主動電路 CMOS cross coupled pair 設計的部分，除了要注意起振條件外，因為 PMOS 的遷移率(μ)較 NMOS 低，因此需要使用較大的 W 值，才能使輸出波型較對稱。在 NMOS 的 $V_{gs}=0.72V$ 的條件下， W_p/W_n 約為 3.6 倍，才能使 PMOS 與 NMOS 的 IV-Curve 貼齊，如圖 3.41 所示。

$$g_{mn} + g_{mp} > \frac{1}{R_p} = \frac{1}{74.16} = 13.484(mA/V) \quad (3.38)$$

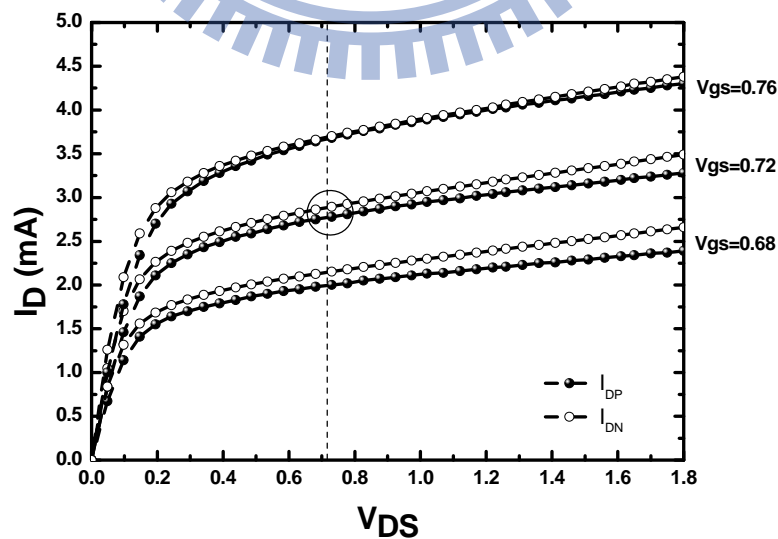


圖 3.41 PMOS 與 NMOS 在 $W_p/W_n=3.6$ 倍下的 IV-Curve

4. 偏壓電流源

在設計 VCO 時，相位雜訊為重要參數之一，除了電路內部元件所產生的雜訊外，外部連結的儀器也會產生雜訊，對 VCO 本身造成影響，而 power supply 的雜訊則為其中之一。針對為了降低 power supply 雜訊對 VCO 的影響，一般會外加電晶體來產生一個穩定的電流源(tail current source)，以抑制因 power supply 所產生的雜訊。但是由於使用電晶體元件，本身有 flicker noise 的問題，若輸出波形不夠對稱，在差動對電晶體開關切換時，類似一混波器，有可能將 flicker noise 升至 2 倍振盪頻率，並且在之後混頻的動作將 flicker noise 混入中心頻率，導致整體相位雜訊惡化。因此，本實作於電流源出來後，並聯數個電容到地，以減少 cross-couple pair 的電壓變動，可以使輸出波形更為對稱，讓諧波項造成的失真減少。由於 PMOS 的 flicker noise 以及 white noise 較 NMOS 佳，故採用 PMOS 做為本實作之電流源。

5. 緩衝放大器

在 VCO 主架構產生出穩定振盪波形後，為了避免輸出負載及外在量測環境對 VCO 電路本身運作產生影響，以及方便 50 歐姆的量測系統進行量測，所以必須在輸出端加上緩衝放大器。假設不加緩衝放大器，VCO 主架構的輸出就直接接到電容負載，會產生拉頻效應(Load pulling)影響到原本產生的振盪頻率，使輸出的頻率改變甚至造成無法振盪的狀況。因此設計高輸入阻抗的緩衝放大器並接在 VCO 輸出端，等效成開路狀態，因此 VCO 幾乎不會看到緩衝放大器的效應，但是在設計緩衝放大器時還需考量 C_{gs} 的電容值對諧振頻率的影響。本次設計中所使用的緩衝放大器為 inverter type，如圖 3.42 所示，此電路的 G 端偏壓主要是利用輸出輸入兩邊都接電容，所以中間接

一電阻，可將汲極端電壓傳到閘極端又不會有直流電流流入，接著適當調整 PMOS 和 NMOS 的寬長比，使 PMOS 和 NMOS 具有電氣對稱性，使輸出波形不失真。

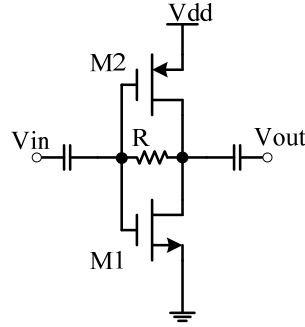


圖 3.42 電壓控制振盪器的緩衝放大器

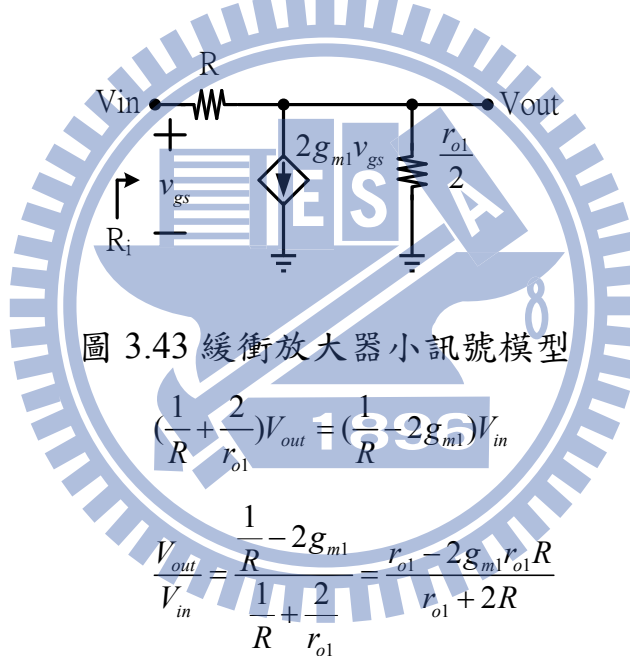


圖 3.43 緩衝放大器小訊號模型

$$\left(\frac{1}{R} + \frac{2}{r_{o1}}\right)V_{out} = \left(\frac{1}{R} - 2g_{m1}\right)V_{in} \quad (3.39)$$

$$\frac{V_{out}}{V_{in}} = \frac{\frac{1}{R} - 2g_{m1}}{\frac{1}{R} + \frac{2}{r_{o1}}} = \frac{r_{o1} - 2g_{m1}r_{o1}R}{r_{o1} + 2R} \quad (3.40)$$

$$R_i = \frac{R}{1 - \frac{V_{out}}{V_{in}}} = \frac{R \times (r_{o1} + 2R)}{2R(1 + g_{m1}r_{o1})} = \frac{r_{o1} + 2R}{2(1 + g_{m1}r_{o1})} \quad (3.41)$$

由輸入阻抗公式可知 R 值不能選太小，否則輸入阻抗會變成 $\frac{1}{2g_{m1}}$ ，並且增益也會近似於 1，而選擇較大的 R 值時 $R_i = \frac{R}{g_{m1}r_{o1}}$ ，增益為 $\frac{V_{out}}{V_{in}} = -2g_{m1}r_{o1}$ 。

5. 壓控振盪器模擬結果

壓控振盪器輸出功率模擬從 0.636 dBm~3.021 dBm

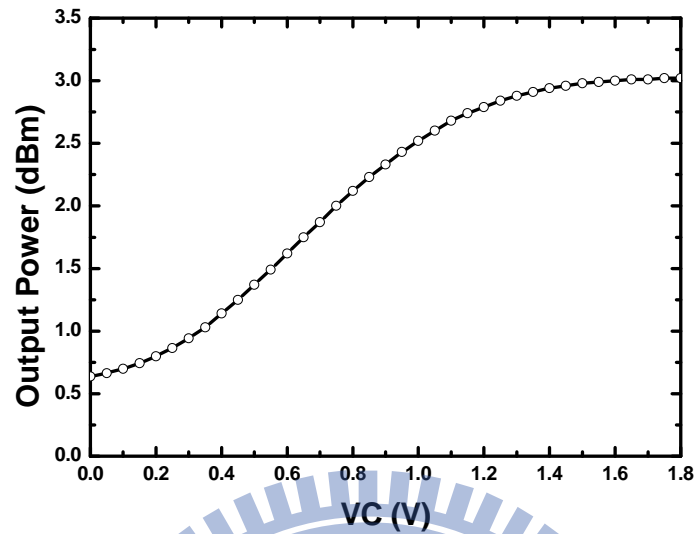


圖 3.44 壓控振盪器輸出功率對可調範圍模擬結果

可調範圍從 2.209GHz~2.849GHz，約有 640MHz 的可調範圍。

分析線性區間的靈敏度如下所示：

$$\text{Vtune}=0\sim0.4\text{V} \quad K_{vco} = \frac{(2.287 - 2.209) * 1000}{0.4} = 195 \text{ MHz/V}$$

$$\text{Vtune}=0.4\sim1.2\text{V} \quad K_{vco} = \frac{(2.725 - 2.287) * 1000}{1.2 - 0.4} = 547.5 \text{ MHz/V}$$

$$\text{Vtune}=1.2\sim1.8\text{V} \quad K_{vco} = \frac{(2.849 - 2.725) * 1000}{1.8 - 1.2} = 207 \text{ MHz/V}$$

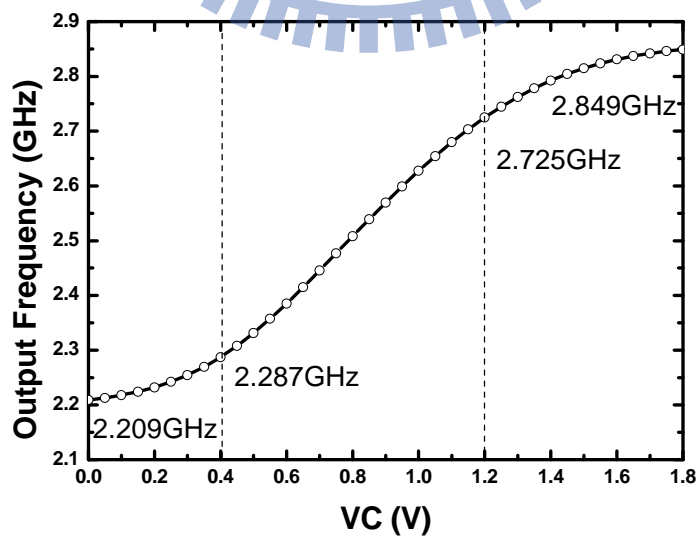


圖 3.45 壓控振盪器可調範圍模擬結果

由圖 3.46 中可以看到壓控振盪器相位雜訊為 $-107.8\text{dBc}/\text{Hz}@1\text{MHz}$

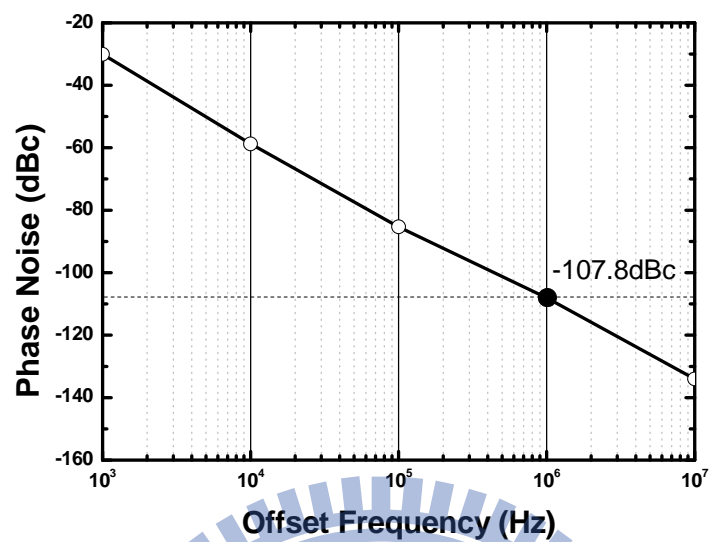


圖 3.46 壓控振盪器相位雜訊模擬結果



3.5.3 相位頻率偵測器(Phase and Frequency Detector)

本實作選用的是動態相頻率檢測器，如圖 3.47 所示使用兩組負緣觸發半穿透暫存器，可實現偵測雙向的相位誤差，比傳統的靜態相頻偵測器速度較快且低延遲的特性。為減少 Dead zone 效應，在 UP 與 DN 端各接上兩個反向器接入電荷幫浦，圖 3.48 為其操作時序圖。

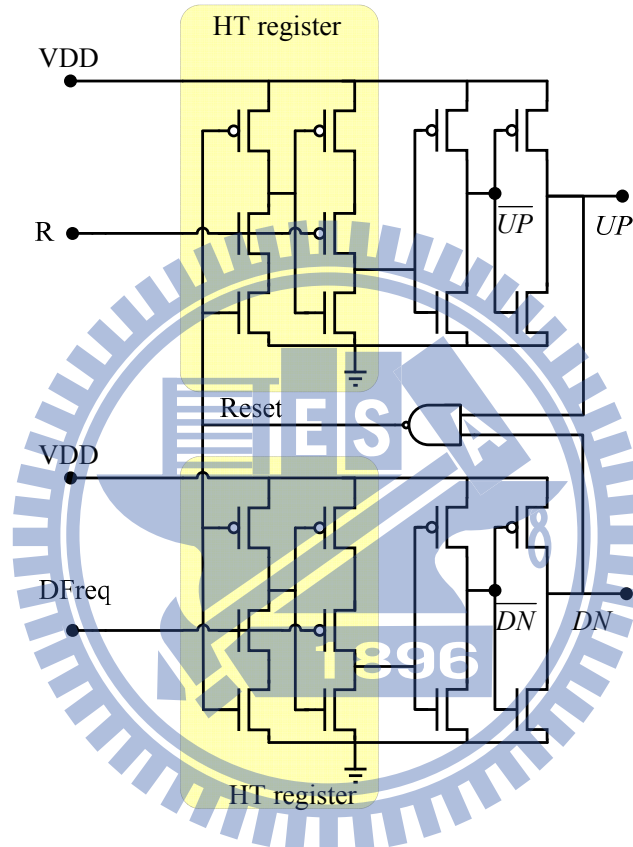


圖 3.47 相位頻率偵測器電路圖

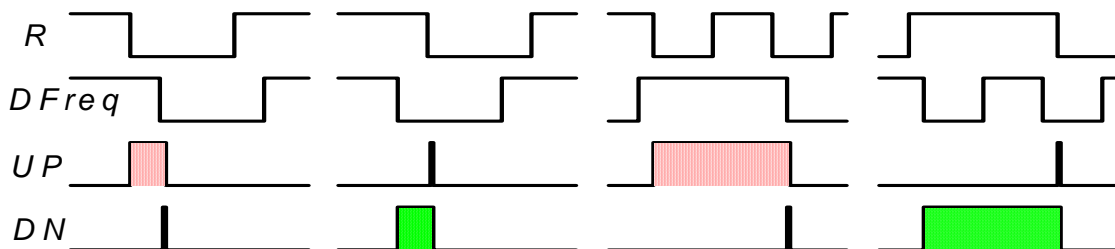


圖 3.48 相位頻率偵測器操作時序圖

3.5.4 電荷幫浦(Charge Pump)

使用電流模式電荷幫浦電路，由於是固定的偏壓電流，可以得到較低的電源雜訊，與傳統將開關設計在 PMOS 與 NMOS 上的充電幫浦相比，僅以 NMOS 為開關的充電幫浦可以避免因 PMOS 與 NMOS 製程上的差異，對於 UP 與 DN 訊號造成不同的切換時間。

由於系統模擬時， I_{CP} 定為 $0.1\text{mA}=100\mu\text{A}$ ，電流量非常小，為了達到此等級的充放電電流，電荷幫浦所有通道長度由 $0.18\mu\text{m}$ 改為 $0.5\mu\text{m}$ 。

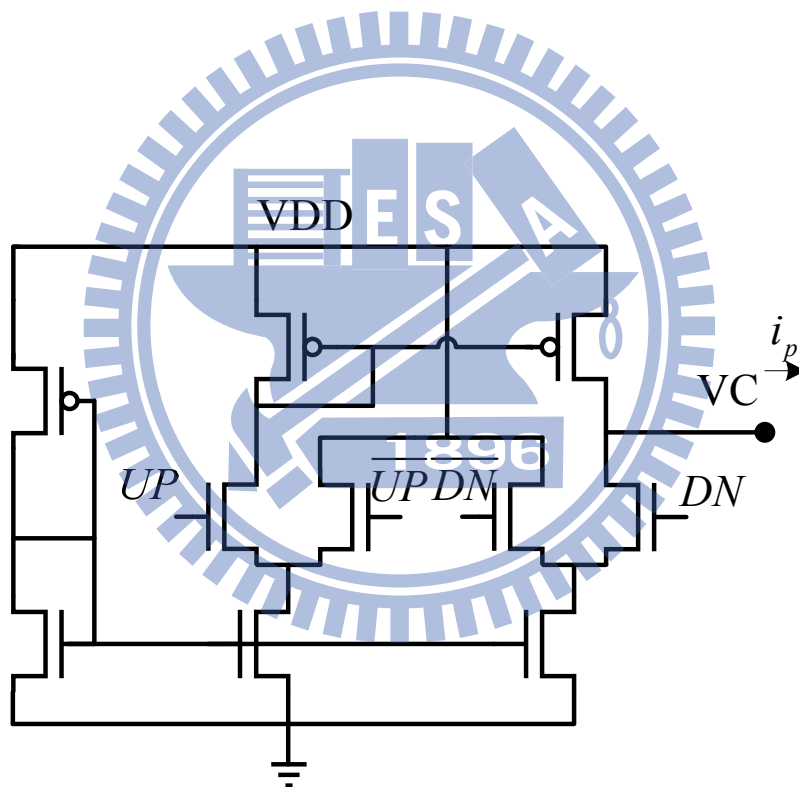


圖 3.49 電荷幫浦電路圖

3.5.5 迴路濾波器(Loop Filter)

本實作使用二階低通濾波器作為迴路濾波器，而所謂迴路濾波器其主要的功能是将電荷幫浦輸出的修正相位脈衝，積分為壓控震盪器之控制電壓 V_C 用以控制壓控震盪器調整輸出頻率。其極點、零點阻抗分析與系統設計考量在 3.3.1 節中已詳細介紹。以下為所設計的迴路濾波器參數：

R_1	15.539k Ω
C_1	28.548pF
C_2	1.903pF
w2(Zero)	0.359MHz
w3(Pole)	5.74 MHz

由於 C_2 量值較小，為了增加 C_2 的準確性和減少寄生電容對 C_2 值的影響，先並聯兩個 C_2 再串聯兩個 C_2 ，使並串後所看過去的電容值仍為 C_2 。

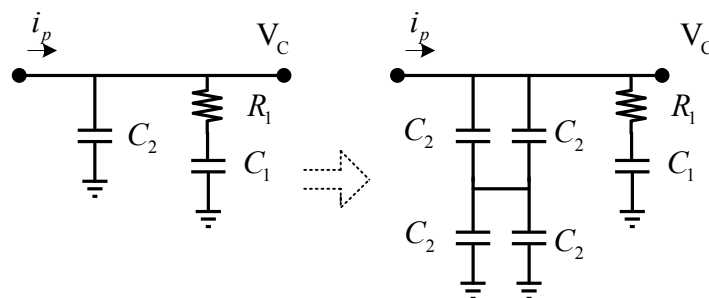


圖 3.50 二階低通濾波器

3.5.6 模擬與量測結果

輸入頻率 35MHz，除頻器除數 $N=64$ ，預期輸出為 2.24GHz，下圖分別為模擬與量測輸出頻譜

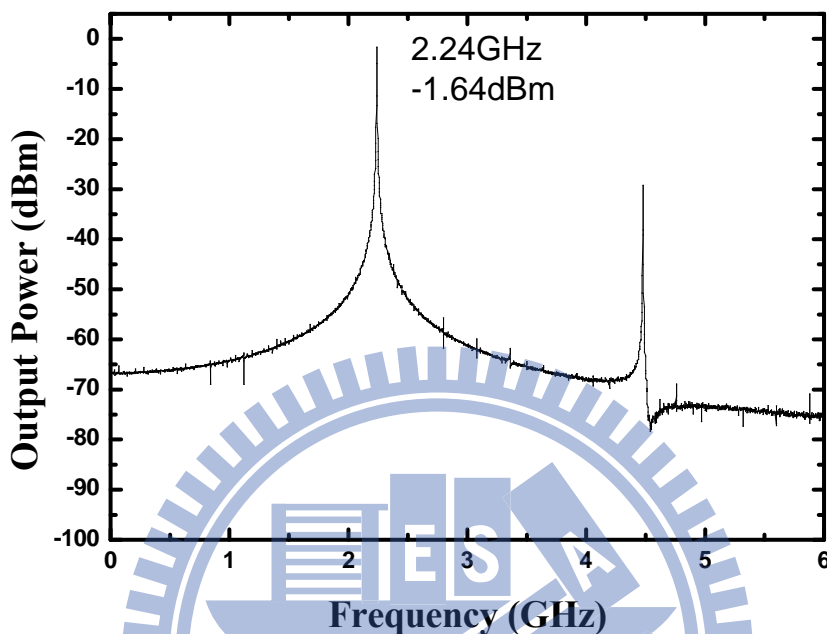


圖 3.51 輸出頻譜模擬結果(2.24GHz)

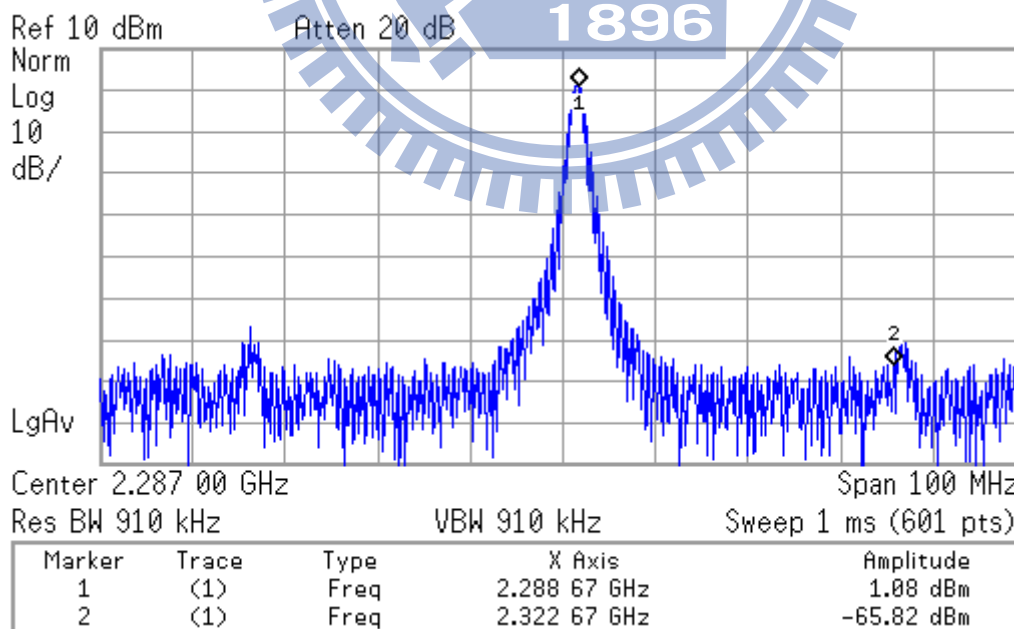


圖 3.52 輸出頻譜量測結果(2.28867GHz)

輸入頻率 35MHz，除頻器除數 $N=66$ ，預期輸出為 2.31GHz，下圖分別為模擬與量測輸出頻譜

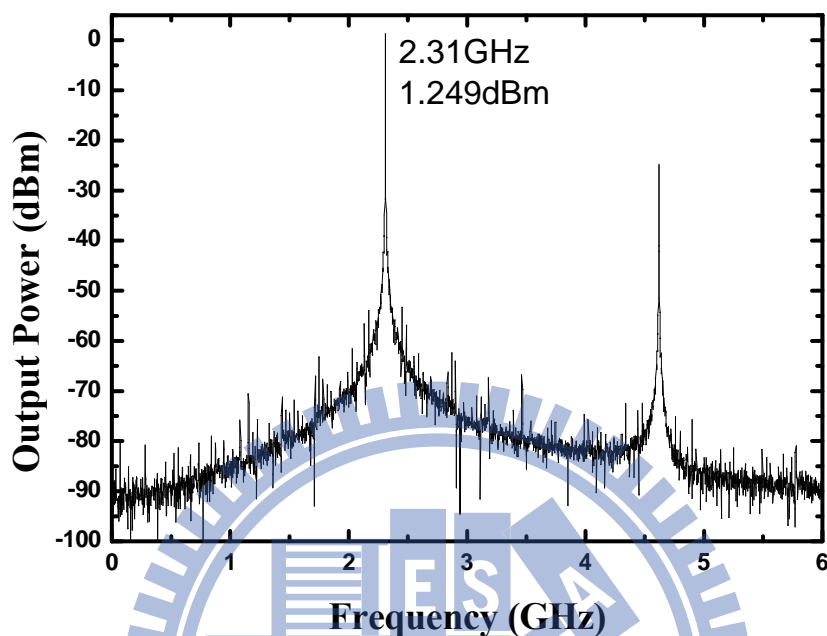


圖 3.53 輸出頻譜模擬結果(2.31GHz)

量測輸出頻譜 Spur 為 -62.26 dBc

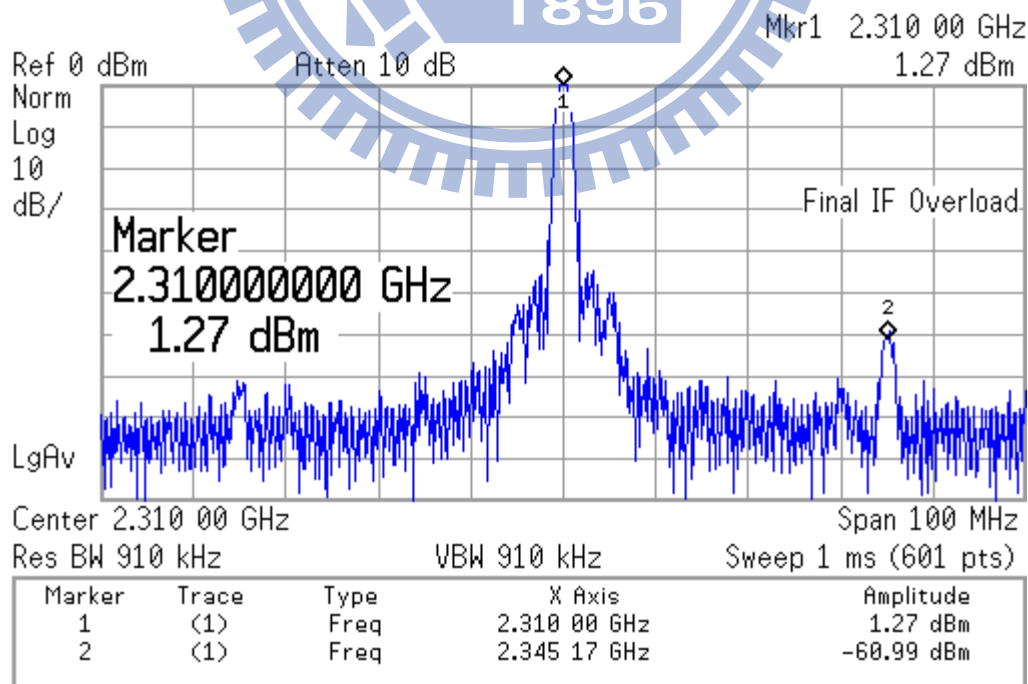


圖 3.54 輸出頻譜量測結果(2.31GHz)

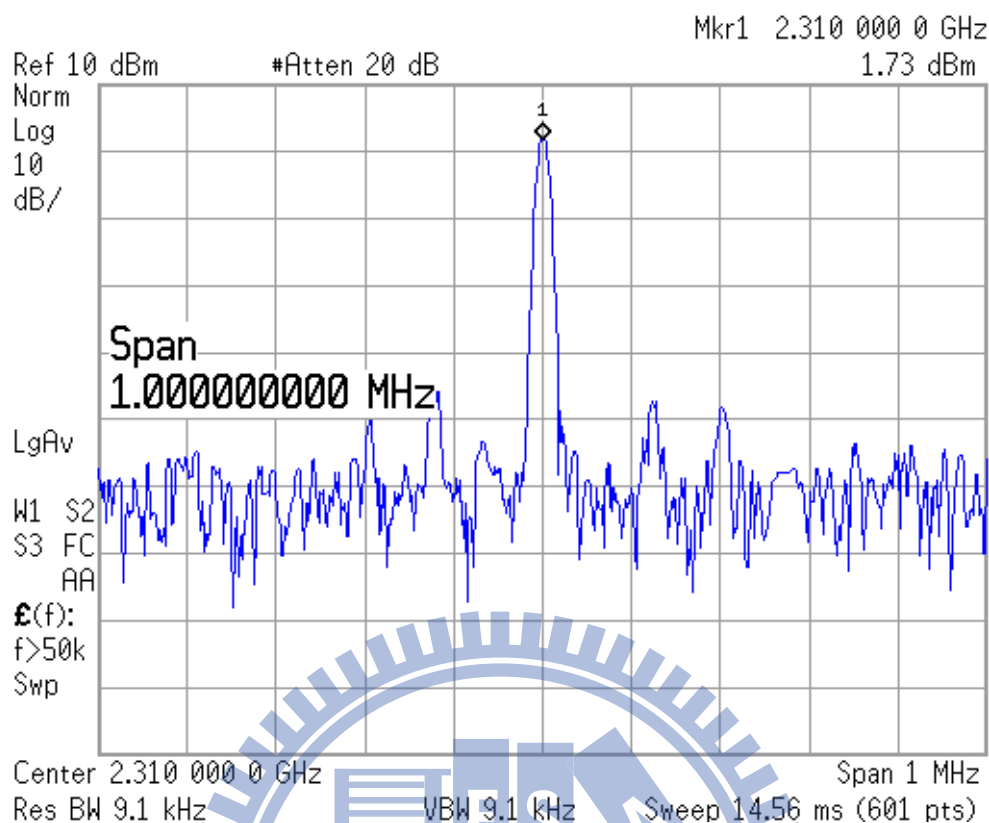


圖 3.55 Span=1 MHz 輸出頻譜量測結果(2.31 GHz)

輸入頻率 35MHz，除頻器除數 $N=70$ ，預期輸出為 2.45GHz，下圖分別為模擬與量測輸出頻譜

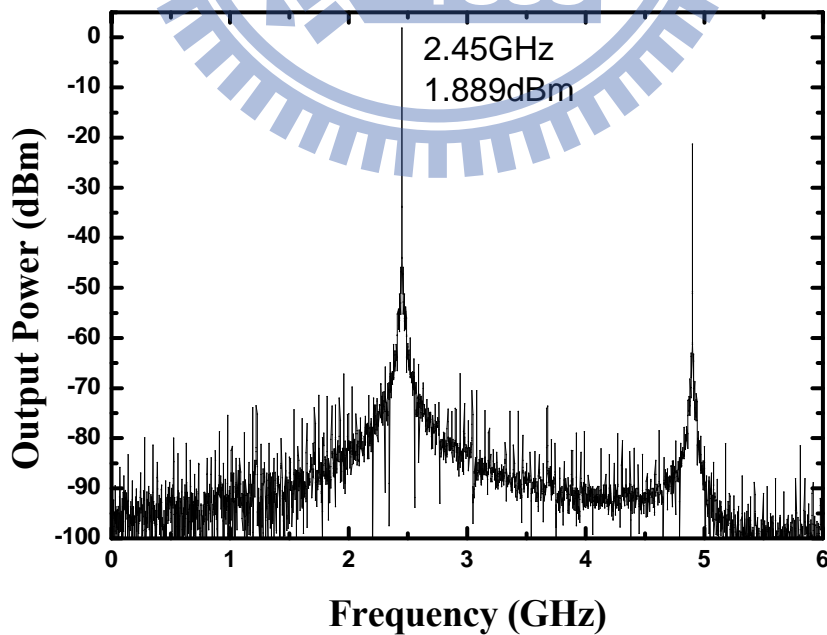


圖 3.56 輸出頻譜模擬結果(2.45GHz)

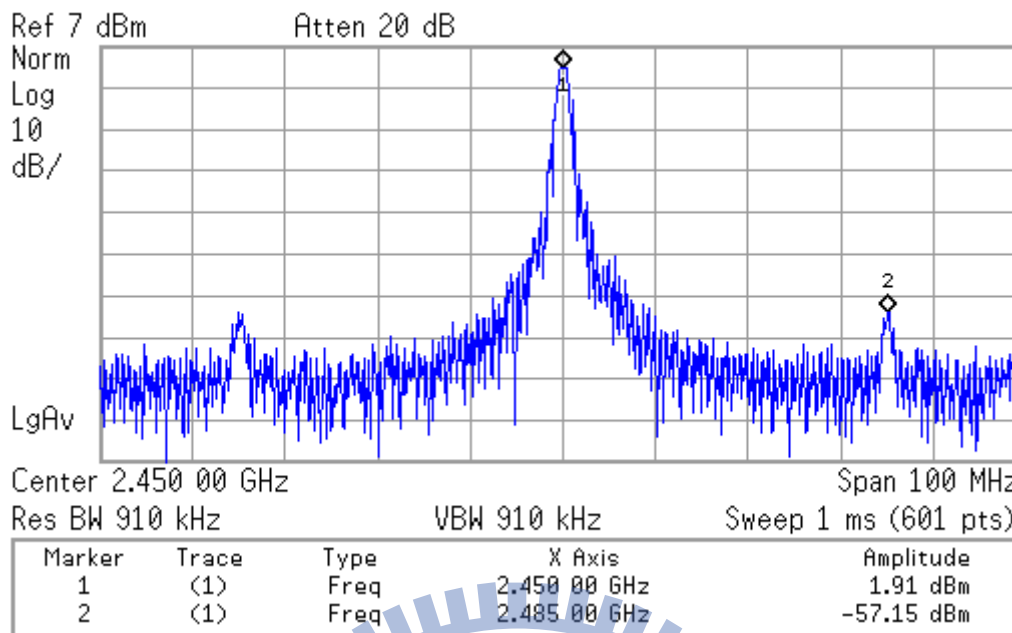


圖 3.57 輸出頻譜量測結果(2.45GHz)

輸入頻率 35MHz，除頻器除數 $N=66$ ，預期輸出為 2.765GHz，下圖分別為模擬與量測輸出頻譜

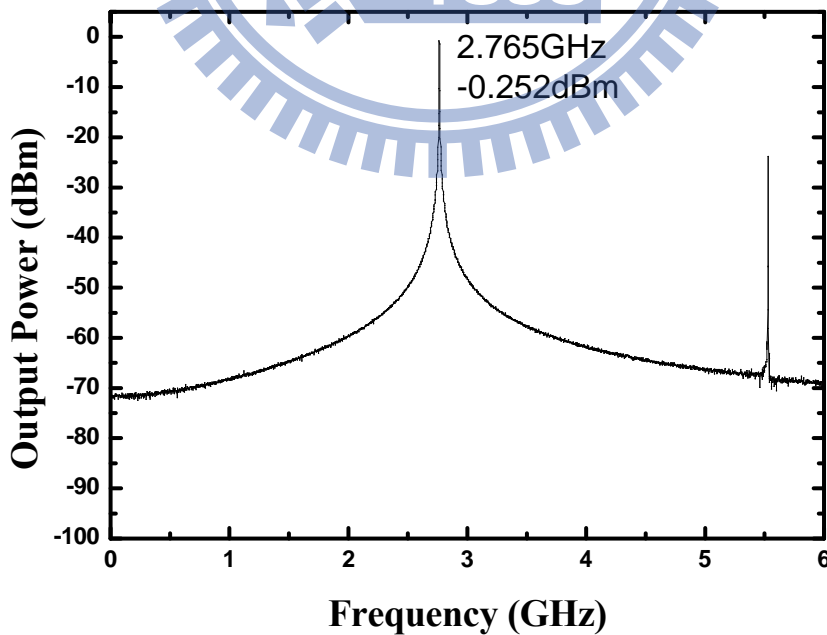


圖 3.58 輸出頻譜模擬結果(2.765GHz)

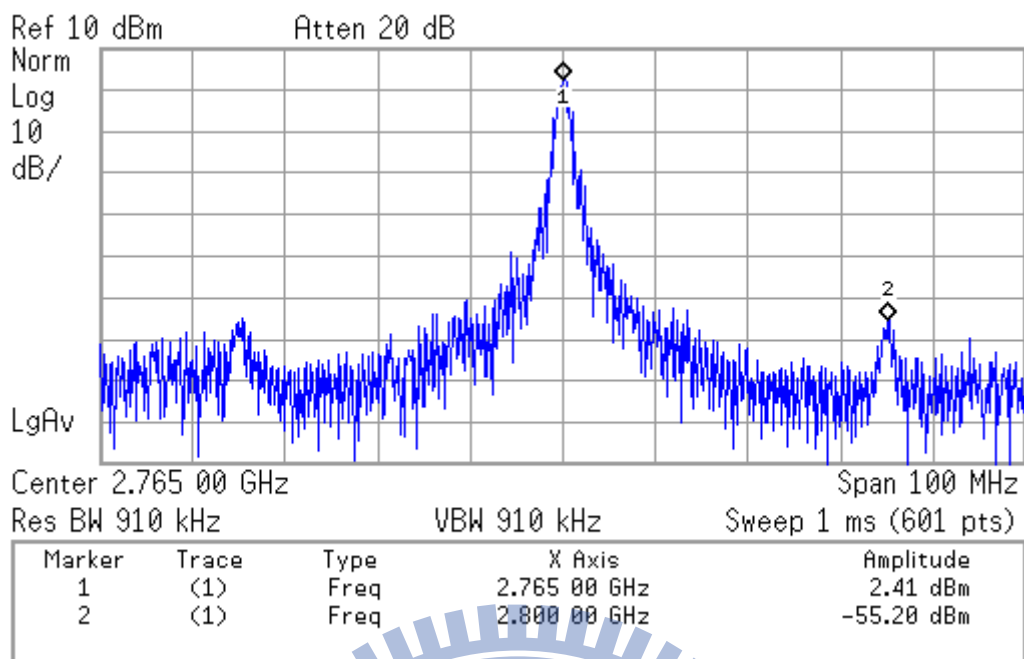


圖 3.59 輸出頻譜量測結果(2.765GHz)

在輸出頻率 2.31~2.765GHz 時，輸出功率最低為 0.76dBm，最高輸出功率為 2.37dBm。

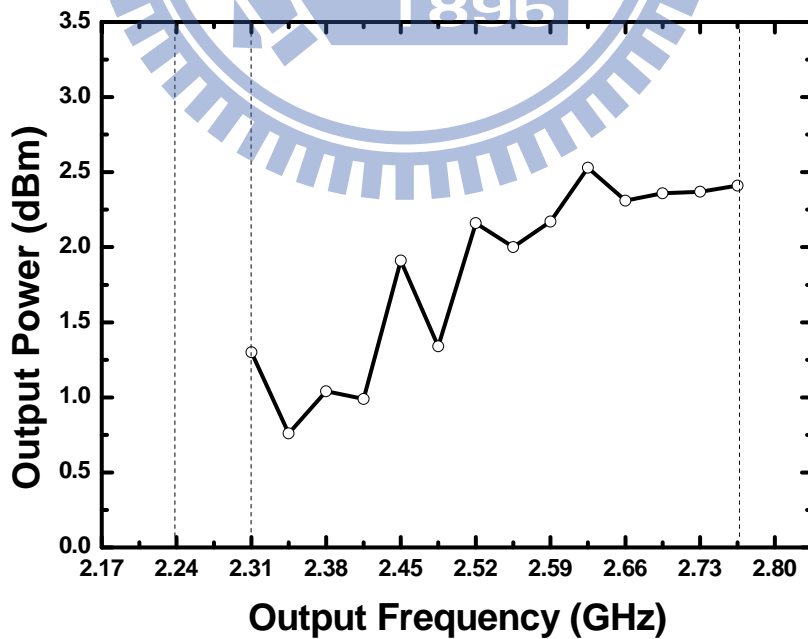


圖 3.60 輸出功率與輸出頻率示意圖

訊號產生器的輸入參考頻率為 35MHz，其 In-Band Phase noise, 約為 -120 dBc。

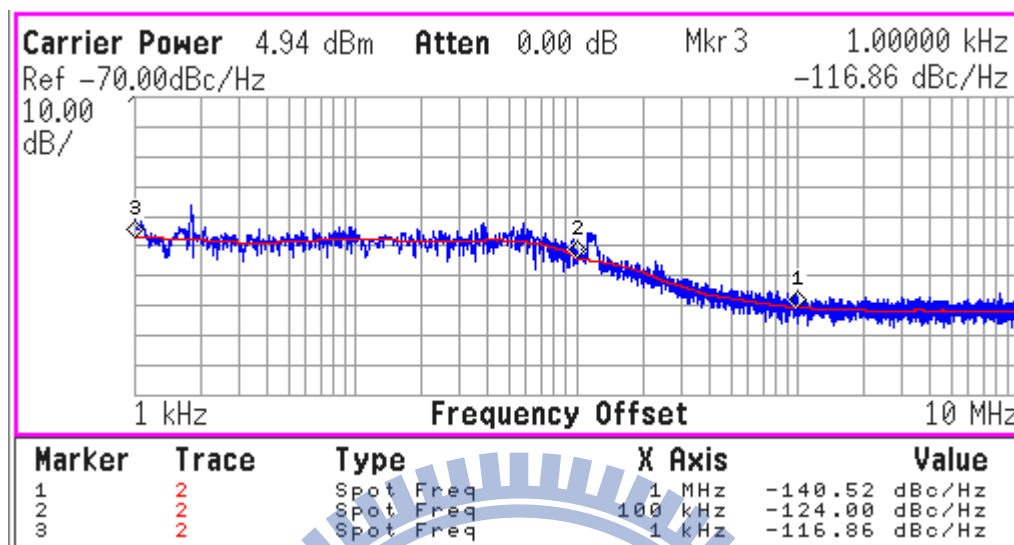


圖 3.61 輸入端訊號產生器相位雜訊量測結果

相位雜訊在 1MHz offset 為 -103.86 dBc，In-band phase noise 約略為 -92 dBc。

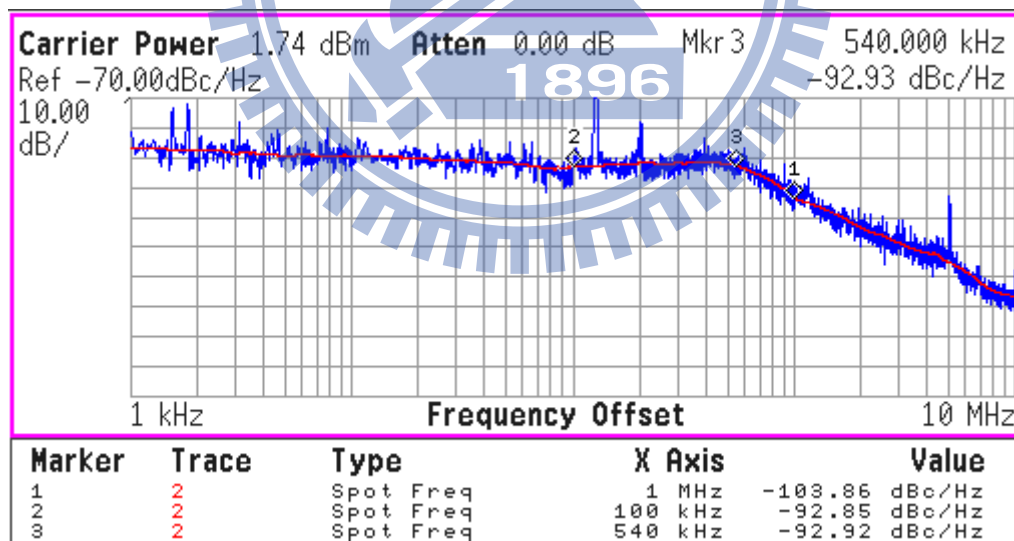


圖 3.62 輸出端相位雜訊量測結果

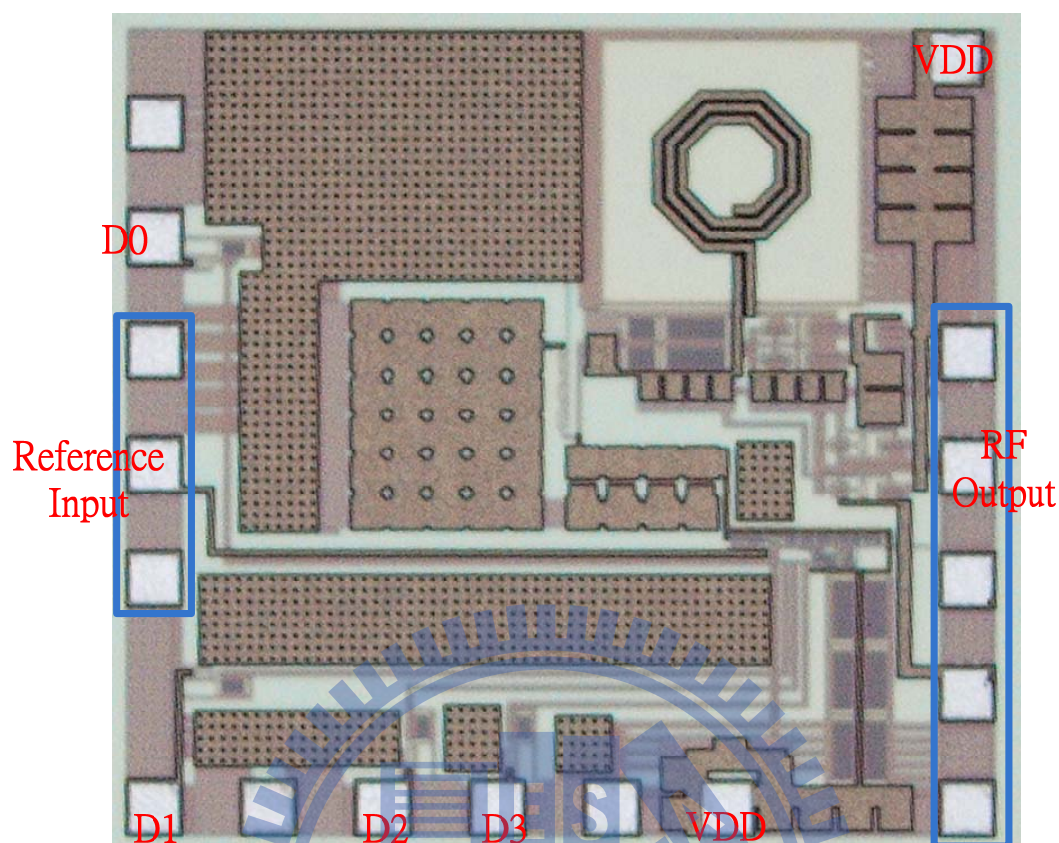


圖 3.63 頻率合成器實照圖 (0.761 mm X 0.71 mm)

3.5.7 結果與討論

模擬的頻率操作範圍為 2.24~2.765GHz，頻率間隔為參考頻率 35MHz，共有 16 個 Channels，而從量測結果可知頻率操作範圍為 2.31~2.765GHz，頻率間隔為參考頻率 35MHz，共有 14 個 Channels，其中 2.24GHz 與 2.275GHz 的 Channels 因為 VCO 的 Tuning Range 往高頻飄，量測最低頻率被鎖相迴路鎖定到 2.288GHz。而在 Spurious 的抑制方面，在輸出頻率為 2.31GHz 時，其抑制量為 -62.26 dBc，在輸出頻率為 2.765GHz 時，其抑制量為 -57.61 dBc。

而輸出功率模擬與量測相差不大，模擬 2.24~2.765GHz 中輸出功率從 -0.2~1dBm，而量測 2.31~2.765GHz 中輸出功率從 0.76~2.53dBm；而功率消耗方面模擬與量測相差不大，約略為消耗 31mW。

在相位雜訊的表現方面，Post-simVCO 在 1MHz offset 的表現為 -107.8dBc，而從量測鎖相迴路的相位雜訊的表現方面為 -103.86dBc，In-Band 相位雜訊為 -92 dBc/Hz。而訊號產生器 In-Band 相位雜訊表

現為 -120 dBc/Hz，理論上輸出頻譜的 In-Band 相位雜訊相較於輸入參考信號的相位雜訊會劣化 $20 \times \log(N)$ ，N 為除數，以除數 N=66 為例， $20 \times \log(66) = 36.39$ dBc，所以理論上輸出 In-Band 相位雜訊為 -83.61 dBc。

表 3.4 2.4GHz 頻率合成器模擬與量測比較表

Item	Post-sim	Measure
Supply Voltage	1.8V	
Supply Current	17.61mA	17.3mA
Power consumption	31.71mW ----- VCO +Buffer=26.24mW Divider=3.67mW PFD+CP =1.8 mW	31.14mW ----- VCO+Buffer=26.64mW Divider+PFD+CP=4.5mW
Output Power	-0.2~1dBm	0.76~2.53dBm
Phase noise	-107.8 dBc/Hz@1MHz(VCO)	-103.86 dBc/Hz@1MHz(PLL)
Reference Spur	NA	-62.26 dBc
Reference Frequency	35MHz	
Operation Frequency	2.24~2.765GHz (16 channel)	2.31~2.765GHz (14 channel)
Die size	761um x 710um	

第四章

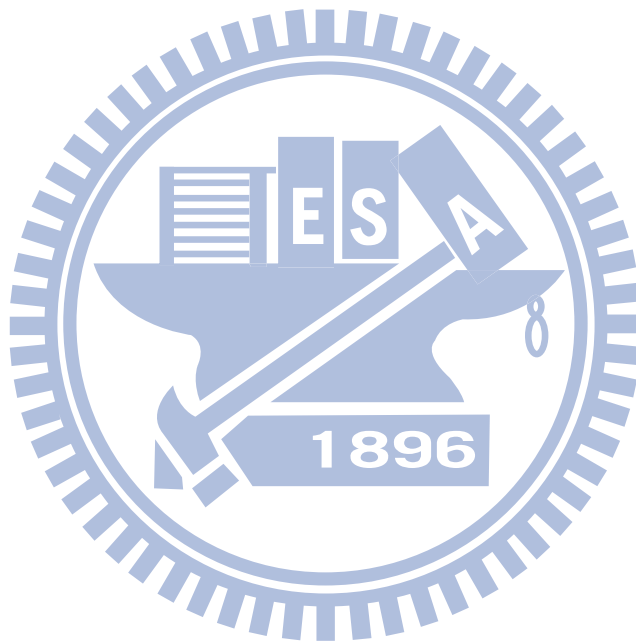
結論



本論文第二章的部分，利用 TSMC 0.18 μm CMOS 製程實現了 2.4 GHz 可調式雙模態主動濾波器。其主要原理用可調式的相位移器來實現，改變主動電感的感值使等效阻抗的改變造成傳輸零點的變化。其量測結果為 $S_{21}=-3.09\text{dB}$ ，傳輸零點可調範圍為 3.1GHz~3.8GHz， $\text{NF}=23.05$ ， $\text{IP}_1\text{dB}=-34\text{dBm}$ 。由於其 NF 值太大，於是使用高增益的 LNA 放在環形帶通濾波器的前一級來抑制，量測結果為 $S_{21}=20\text{dB}$ ， NF 被抑制到 6.861dB，然而代價是線性度 IP_1dB 變差到 -52dB。結論是使用主動電感來實現零點可調的濾波器，其線性度與雜訊指數表現都不好，未來可從改用其他架構，如使用實際電感用 Q-Enhance 的方式著手，或許能解決這兩個問題。

本論文第三章的部分，先利用 TSMC 0.18 μm CMOS 製程來實作除 64 到 79 的多模數除頻器，而其中高速鍊的除四除五的邏輯電路使用電流模式 D 型正反器 (CML) 來實現，低速鍊使用真單相時脈電路 (TSPC) 來實現，其在 0dBm 的輸入功率下，最高可工作的頻率為 2.3GHz，功率消耗為 20.16mW，其量測結果無法直接用到頻率合成器中。在實作的頻率合成器中，除頻器的高速鍊改用 E-TSPC 架構與除頻器的所有 MOS 改用數位的形式，其除頻器的模擬結果最高工作頻率可達 3.3GHz，而實作的頻率合成器量測的工作範圍為 2.31~2.765GHz，整體功耗為 31.1mW，而除頻電路的功耗為 4.5mW 因此可以判斷其用 E-TSPC 架構改善多模數除頻器的最高工作頻率與功率消耗為非常有效的。而從頻率合成器的相位雜訊表現來看，-103.86 dBc/Hz@1MHz，未來可從加大 VCO 中的電感量與 Q 值著手，雖然晶片面積會稍微加大，但因該可以有效的改善其相位雜訊的表現。而在量測的操作頻率方面，比預期的操作頻率 2.24~2.765GHz，

少了 2.24 與 2.275GHz 兩個 Channel，推測其原因為 VCO 往高頻頻偏了，量測最低鎖定頻率為 2.288GHz，Post-sim 的可調範圍為 2.209~2.849GHz，所以最低頻率的部分往高頻頻偏了 $2.288 - 2.209 = 0.079\text{GHz} = 79\text{MHz}$ ，其解決製程變異導致頻飄的辦法可為在 LC-tank 的設計，多加上一兩個切換式電容，透過改變其開關使操作頻率仍落在可調頻率範圍內，代價是增加的並聯電容會使可調頻率範圍略為下降，與在量測時多了控制開關的 Pad，Layout 上必須小心安排其擺放位置，才不會有撞針的問題。



參考文獻

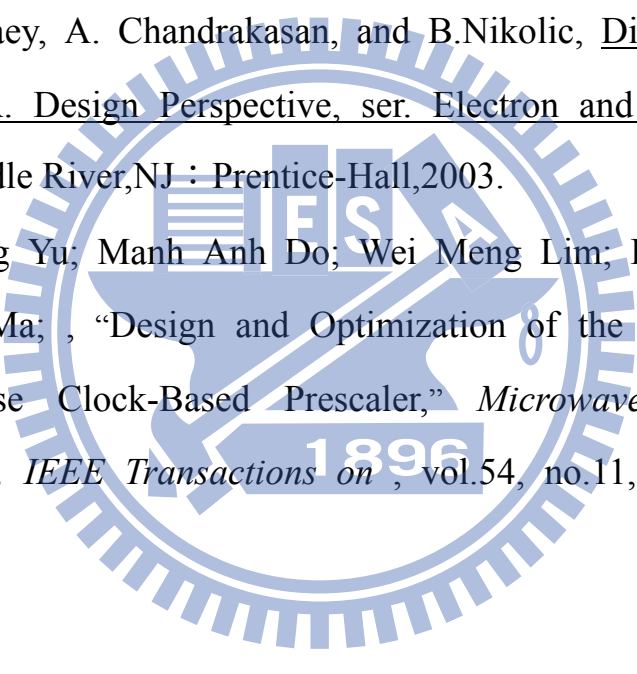
第二章：

- [1] Matsuo, M.; Yabuki, H.; Makimoto, M.; , "Dual-mode stepped-impedance ring resonator for bandpass filter applications," *Microwave Theory and Techniques, IEEE Transactions on* , vol.49, no.7, pp.1235-1240, Jul 2001
- [2] D.Kuylensstierna,S.E. Gunnarsson and H. Zirath, "Lumped-Element Quadrature Power Splitters Using Mixed Right/Left-Handed Transmission Lines," *IEEE Trans. on Microwave Theory and Techniques*, vol 53, issue 8, pp. 2616 – 2621, Aug. 2005.
- [3] L. H. Lu, Y. T. Liao and C. R. Wu, "A Miniaturized Wilkinson Power Divider with CMOS Active Inductors," *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 11, pp. 775–777, Nov. 2005.
- [4] H. H. Hsieh; Y. T. Liao; L. H. Lu, "A Compact Quadrature Hybrid MMIC Using CMOS Active Inductors," *IEEE Trans. on Microwave Theory and Techniques*, pp.1098 – 1104, Vol.55, Issue 6, June 2007.
- [5] F.Dülger, E. Sanchez-Sinencio, and J. Silva-Martinez, "A1.3-V 5-mW fully integrated tunable bandpass filter at 2.1 GHz in 0.35-umCMOS,"*IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 918–928, Jun. 2003.
- [6] T. Soorapanth and S. S. Wong, "A 0-dB IL 2140_30 MHz bandpass filter utilizing Q-enhanced spiral inductors in standard CMOS," *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 579–586, May 2002.

-
-
- [7] B. Georgescu, I. G. Finvers, and F. Ghannouchi, "2 GHz Q-enhanced active filter with low passband distortion and high dynamic range," *IEEE J. Solid-State Circuits*, vol. 41, no. 9, pp. 2029-2039, Sep. 2006.
- [8] Y. Gao, Y. J. Zheng, and B. L. Ooi, "0.18-um CMOS dual-band UWB LNA with interference rejection," *Electron. Lett.*, vol. 43, no.20, pp.1096–1098, Sep. 2007.
- [9] Ching-Piao Liang, Pei-Zong Rao, Tian-Jian Huang, and Shyh-Jong Chung, "Analysis and Design of Two Low-Power Ultra-Wideband CMOS Low-Noise Amplifiers With Out-Band Rejection" *IEEE Trans. on Microwave Theory and Techniques*, vol. 53, no. 2, pp. 277-286, Feb. 2010
- [10] A. Bevilacqua, A. Vallese, C. Sandner, M. Tiebout, A. Gerosa, and A. Neviani, "A 0.13-um CMOS LNA with integrated balun and notchfilter for 3 to 5 GHz UWB receivers," in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, Feb. 2007, pp. 420–421.
- [11] Chun-Lee Ler; A'ain, A.; Kordesch, A.V.; , "CMOS Active Inductor Linearity Improvement Using Feed-Forward Current Source Technique," *Microwave Theory and Techniques, IEEE Transactions on* , vol.57, no.8, pp.1915-1924, Aug. 2009

第三章：

- [12]張盛富，張嘉展，無線通訊射頻晶片模組設計-射頻系統篇，全華圖書股份有限公司，民國九十八年。
- [13]劉深淵，楊清淵，鎖相迴路，滄海書局，民國一百年。

-
-
- [14] 高曜煌，射頻鎖相迴路 IC 設計，滄海書局，民國九十四年。
- [15] B. Razavi, Design of Integrated Circuits for Optical communications, Mc Graw Hill, 2003.
- [16] Yuan, J.; Svensson, C. , “High-speed CMOS circuit technique,” *Solid-State Circuits, IEEE Journal of* , vol.24, no.1, pp.62-70, Feb 1989
- [17] R. X. Gu, K. M. Sharaf, and M. I. Elmasry, High-Performance Digital VLSI Circuit Design. Norwell, MA : Kluwer, 1996.
- [18] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, Digital Integrated Circuits, A. Design Perspective, ser. Electron and VLSI, 2nd ed. Upper Saddle River, NJ : Prentice-Hall, 2003.
- [19] Xiao Peng Yu; Manh Anh Do; Wei Meng Lim; Kiat Seng Yeo; Jian-Guo Ma; , “Design and Optimization of the Extended True Single-Phase Clock-Based Prescaler,” *Microwave Theory and Techniques, IEEE Transactions on* , vol.54, no.11, pp.3828-3835, Nov. 2006
- 

附錄

5.2GHz 頻率合成器



A1.1 電路設計

本附錄使用 SiGe 0.18 μm 製程實現 5.2GHz 頻率合成器，與第三章實作二 2.4GHz 頻率合成器的主要差異為除頻器的設計、參考頻率與輸出 VCO 頻率的選取。

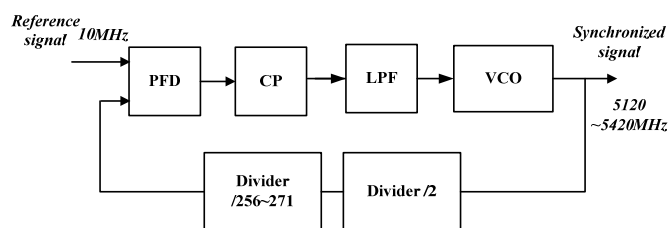


圖 A1.1 鎖相迴路器系統架構圖

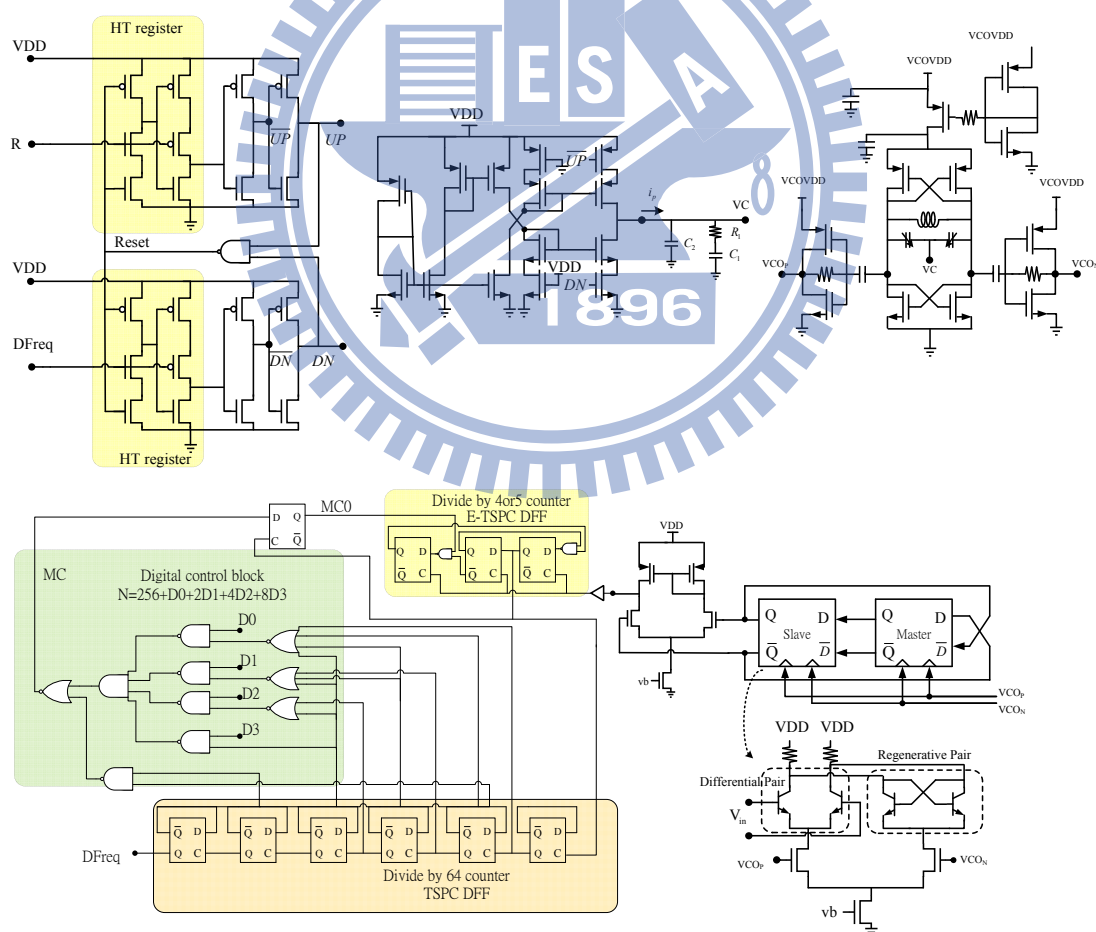


圖 A1.2 頻率合成器電路架構圖

A1.2 量測結果

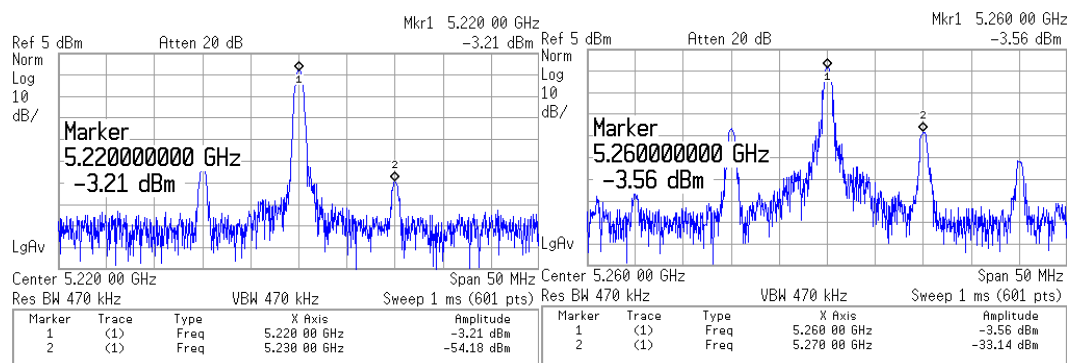


圖 A1.3 輸出頻譜(5.22GHz)

圖 A1.4 輸出頻譜(5.26GHz)

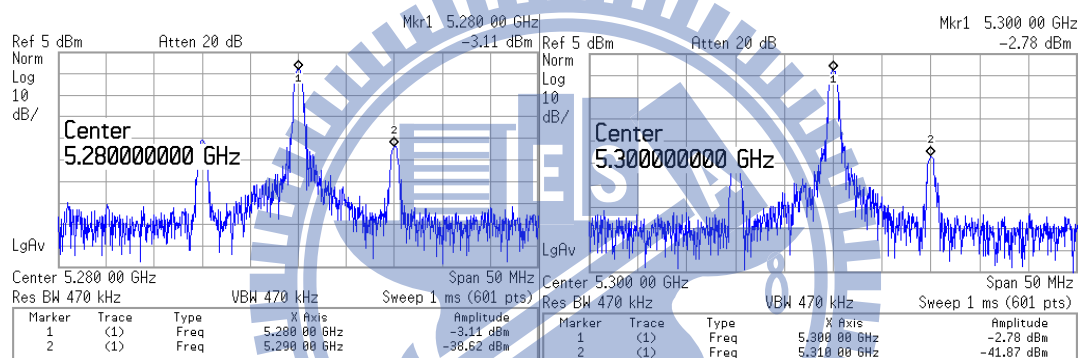


圖 A1.5 輸出頻譜(5.28GHz)

圖 A1.6 輸出頻譜(5.3GHz)

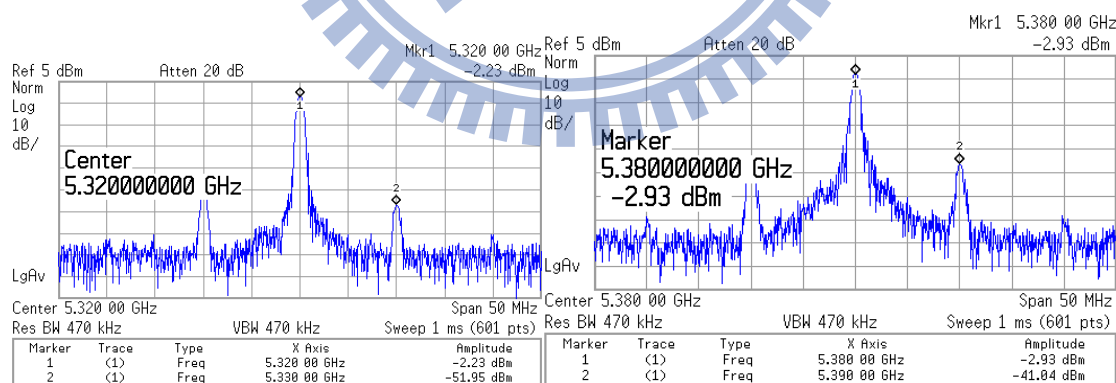


圖 A1.7 輸出頻譜(5.32GHz)

圖 A1.8 輸出頻譜(5.38GHz)

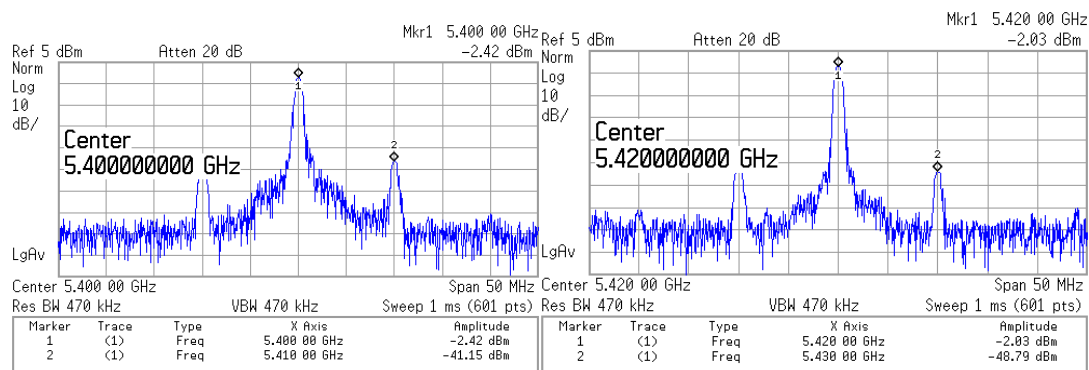


圖 A1.9 輸出頻譜(5.4GHz)

圖 A1.10 輸出頻譜(5.42GHz)

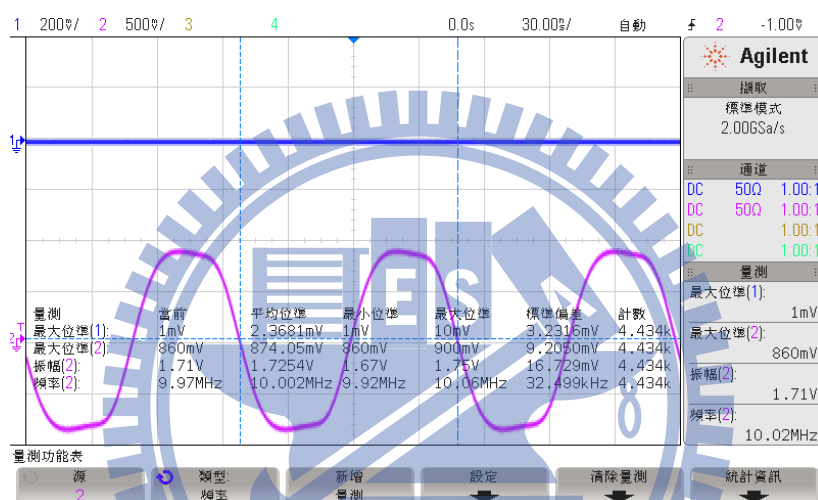


圖 A1.11 輸入參考訊號波型(10MHz)

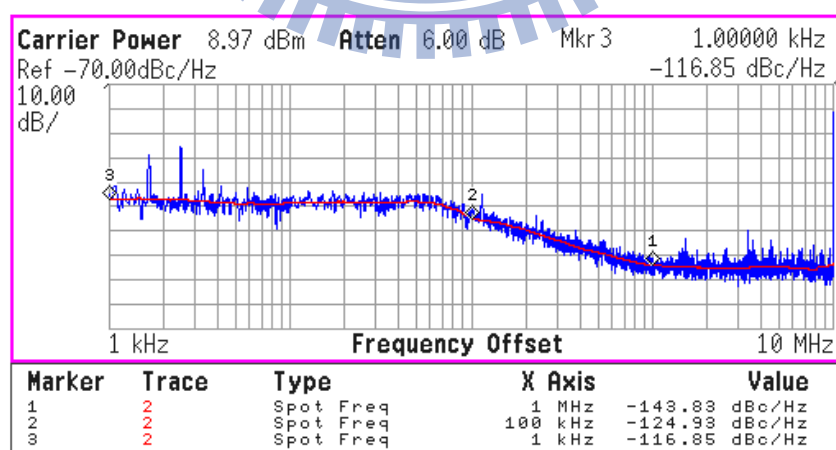


圖 A1.12 輸入參考訊號相位雜訊(10 MHz)

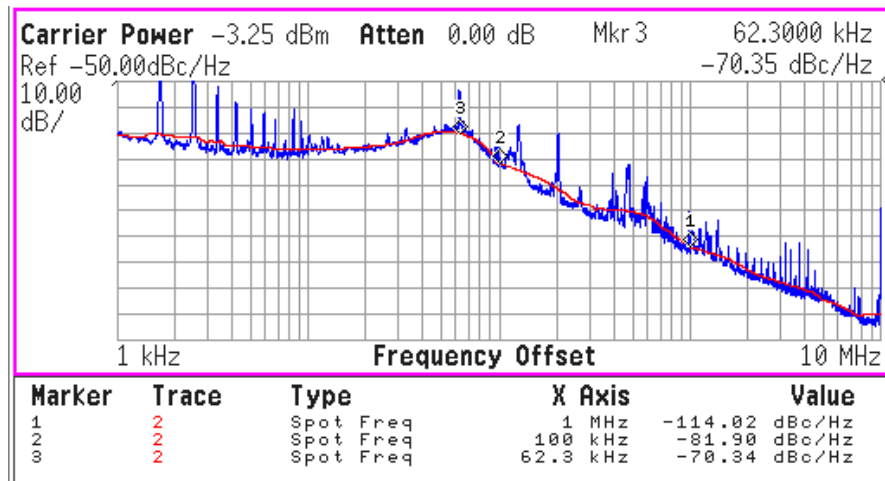


圖 A1.13 輸出相位雜訊(5.22 GHz)

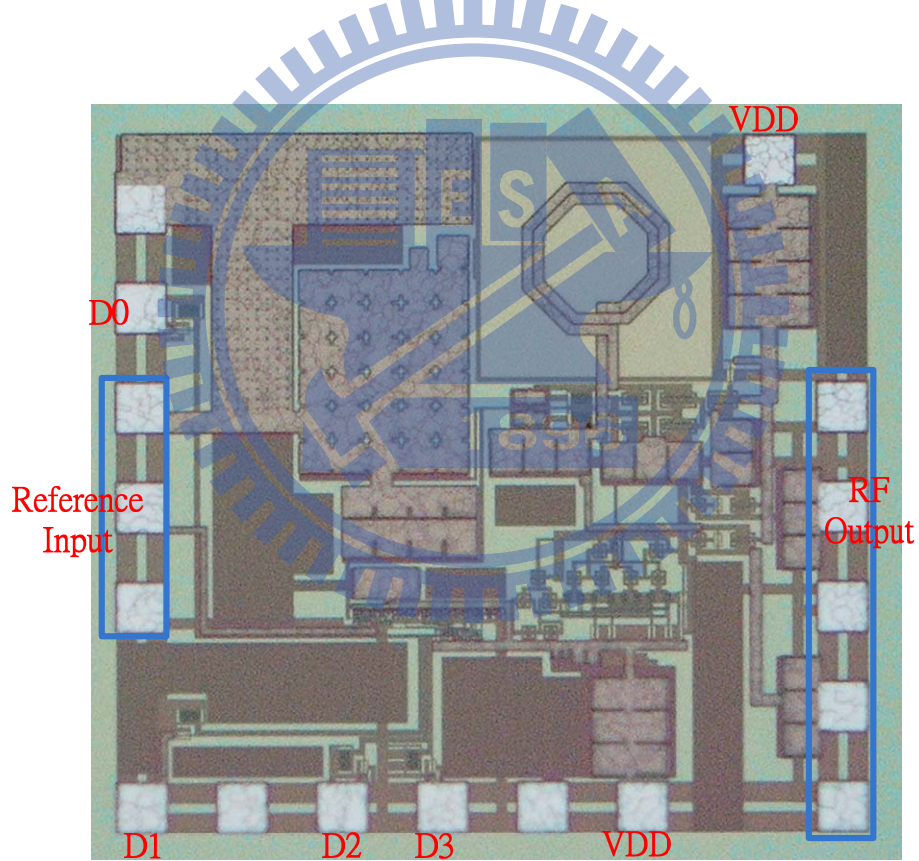


圖 A1.14 5.2GHz 頻率合成器實照圖 (0.751 mm X 0.700 mm)

表 A1 5.2 GHz 頻率合成器模擬與量測比較表

Item	Post-Sim.	Meas.
Supply Voltage	1.8V	1.8V
Supply Current	15mA	14.4mA
Power consumption	27mW	25.92mW
Phase noise	-114.6dBc/Hz@1MHz (VCO)	-114.02dBc/Hz@1MHz (PLL)
Operation Frequency	5.12~5.42GHz	5.22~5.42GHz
Die size	751um x 700um	

Vita

姓 名：張簡協修

性 別：男

出生年月日：民國 76 年 09 月 20 日

籍 貫：台灣省高雄市

學 歷：

國立新營高中 2003-2006

國立高雄大學 電機工程學系 學士 2006-2010

國立交通大學 電信工程學所 碩士 2010-2012

經 歷：

交通大 學	電信 系	助教	20011/09-2012 /01	射頻積體電路課程助 教
交通大 學	電信 系	助教	20011/02-2011/ 06	電子學課程助教
交通大 學	電信 系	助教	20010/09-2011 /01	電子學課程助教

論文題目：

運用 0.18 μm CMOS 製程研製 2.4 GHz 可調式雙模態主動濾波器及
全積體化頻率合成器