

國立交通大學

機械工程學系

碩士論文

適用 AlGaN/GaN HEMT 功率電晶體的兩種驅動電路設計

Two Gate Driver Designs for AlGaN/GaN HEMT

Power Transistors

研究生：黃士維

指導教授：陳宗麟 博士

中華民國一零一年六月

適用 AlGaIn/GaN HEMT 功率電晶體的兩種驅動電路設計

Two Gate Driver Designs for AlGaIn/GaN HEMT

Power Transistors

研究生：黃士維

Student : Shih-wei Huang

指導教授：陳宗麟 博士

Advisor : Dr. Tsung-Lin Chen

國立交通大學

機械工程學系

碩士論文



A Thesis

Submitted to Department of Mechanical Engineering

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Mechanical Engineering

June 2012

Hsinchu, Taiwan, Republic of China

中華民國一零一年六月

適用 AlGaN/GaN HEMT 功率電晶體的兩種驅動電路設計

學生：黃士維

指導教授：陳宗麟

國立交通大學機械工程學系 碩士班

中文摘要

本論文針對操作於高電壓下的氮化鎵功率電晶體提出兩種驅動電路設計。一個完整開關電路包含上橋開關電路及下橋開關電路，為了提升開關電路的性能，上橋的功率電晶體採用 N 型電晶體，此作法使得上橋的功率電晶體的源極成為浮動電壓，進而使得上橋驅動電路更為複雜。另外，一般功率電晶體為增強型 (enhancement mode)，而氮化鎵電晶體為空乏型 (depletion mode)，因此傳統的驅動電路設計無法直接應用於氮化鎵功率電晶體的驅動。

在上橋驅動電路中，其控制輸入為一具邏輯位準的輸入電壓，其輸出為一具備控制功率電晶體的高電壓，因此必須藉由「電位位準轉換電路」來將邏輯位準的電壓轉成高電壓。也由於此功能需求，傳統的「電位位準轉換電路」中的電晶體必須能承受高的電壓差，例如採用高壓製程所生產的 LDMOS 來製作電位位準轉換電路。本論文所提出的第一種驅動電路設計的特點在於採用電容來承受高電壓差，因此相關的電晶體不需承受高電壓差，可由一般 IC 製程來製作，藉此降低驅動電路的製作成本。

氮化鎵電晶體的特性與其電壓崩潰機制與閘極漏電流密切相關。本論文所提出的第二種驅動電路的設計特點在於在驅動電路中包含電流限制電路來限制閘極漏電流，並進而提升氮化鎵電晶體的崩潰電壓。

此兩種驅動電路皆透過 SPICE 模擬，並完成實驗驗證。在第一種驅動電路設計中，我們成功製作 24V、10kHz 的上橋驅動電路，實驗證明驅動電路中的電晶體皆不需承受高電壓差。在第二種驅動電路設計中，我們完成限流電路的設計與製作，並實驗證明具備限流功能。惟氮化鎵電晶體的崩潰電壓提升有限，僅 10V 左右。

Two Gate Driver Designs for AlGaN/GaN HEMT Power Transistors

Student: Shih-wei Huang

Advisor: Dr. Tsung-Lin Chen

Department of Mechanical Engineering National Chaio Tung University

Abstract

This study proposes two gate driver designs for the AlGaN/GaN HEMT power transistors. A full bridge power control circuit consists of a high-side bridge and low-side bridge. And, in order to improve the performance, the power transistor in the high-side bridge is N-type. This would make the source of the power transistor floating and complicate the high-side gate driver design. Besides, most of the gate driver circuits are designed for the enhancement mode power transistors. However, the AlGaN/GaN HEMTs are depletion mode transistors. Thus, the conventional gate driver designs cannot be directly applied to drive the AlGaN/GaN HEMT.

The power transistor in the upper bridge controls the on/off of a high voltage (hundreds of volts). And, its control signals are in the level of logic signals. Therefore, a “level shifter” is needed to convert the logic level signal to a high-voltage level signal. This implies that the transistors in the level sifter must sustain a large voltage difference. Usually, these transistors, such as LDMOS, are fabricated from high-end process and thus expensive. In our first gate driver design, we use capacitance to sustain the high voltage and thus the transistors can be exempted from the high voltage. This can greatly reduce the fabrication cost of the transistors and the high-side gate driver circuit.

One of the unique properties of the AlGaN/GaN HEMT is that its breakdown voltage is closely related to the gate leakage current. Therefore, in our second gate driver design, we include a “current limiter” to constraint the gate leakage current and to boost the breakdown voltage of the AlGaN/GaN HEMT.

Both gate driver circuits are designed and simulated using SPICE, and then verified by experimental results. In the first gate driver design, the experimental results show that it can work at 24V, 10kHz. And, no large voltage drop on transistors. In the second gate driver design, the proposed circuit successfully limits the gate leakage current. However, the increase of the breakdown voltage of AlGaN/GaN HEMT is quite limited to 10V.

致謝

本論文能順利完成，首先要感謝指導教授 陳宗麟 老師這些日子的細心教導，使我在研究的過程中，不但學習到相關專業知識以及技術上的應用，更能了解如何去面對各種問題並培養解決問題的能力。同時感謝博士班學長 許齡元 對研究與課業上的指導以及 蔡俊胤 學長對找工作方面的幫忙；感謝 張哲維 學長在我開始接觸電路給了我很大的幫助；感謝 張正暘 學長、吳健彰 學長、李泓輝 同學在我實驗遇到難題的時候給予我協助；也感謝其他的同學以及學弟妹們在艱困的研究之路上相互扶持與砥礪。

最後要將本論文獻給父親 黃英濱 與母親 陳玲蘭，感謝他們多年來付出的辛勞，提供最好的學習環境與資源，讓我能無後顧之憂地往學術與未來的道路上持續前進，在此獻上最誠摯之謝意。



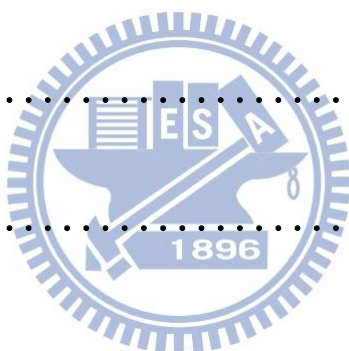
目錄

中文摘要	I
英文摘要	II
致謝.....	III
目錄.....	IV
圖表目錄	VII
數學符號	X
第一章 緒論.....	1
1.1 研究動機與目的	1
1.2 閘極驅動電路運用.....	2
1.3 AlGaIn/GaN 功率電晶體崩潰電壓機制	6
1.4 GaN HEMT 優勢與應用.....	9
1.5 文獻回顧	11



1.6 論文章節組織與安排.....	11
第二章 基本開極驅動電路設計理論.....	12
2.1 開極驅動電路簡介.....	12
2.2 下橋開極驅動電路介紹.....	13
2.3 上橋開極驅動電路介紹.....	14
2.3.1 自舉式電路與電位位準轉換電路.....	15
2.3.2 光耦合器.....	19
2.4 空乏型開極驅動電路介紹.....	21
第三章 功率電晶體開極驅動電路設計實現.....	26
3.1 Si 電晶體和 AlGaIn/GaN 電晶體在設計上的差異性.....	26
3.2 下橋開極驅動電路.....	26
3.3 不使用高崩潰電壓元件之加強型上橋驅動電路.....	29
3.3.1 改良加強型上橋驅動電路.....	29
3.3.2 加強型上橋驅動電路之 Hspice 模擬結果.....	36
3.3.3 加強型上橋驅動電路實驗結果.....	37
3.4 空乏型上橋驅動電路設計.....	40
3.4.1 使用負電壓源之啟動電路設計.....	42
3.4.2 使用正電壓源之啟動電路設計.....	43
3.4.3 空乏型上橋驅動電路之 Hspice 模擬結果.....	48
3.4.4 空乏型上橋驅動電路實驗結果.....	49

第四章 提升氮化鎵電晶體崩潰電壓之驅動電路	50
4.1 漏電流對崩潰電壓之影響.....	50
4.2 限制電流之電路	51
4.3 限制電流之電路 Hspice 模擬結果.....	59
4.4 實際元件量測與電路實驗結果.....	60
第五章 結論與未來計畫	66
5.1 結論	66
5.2 未來計畫	67
參考文獻.....	68



圖表目錄

圖 1.1 現今電力能源使用效率.....	2
圖 1.2 傳統升壓式轉換器.....	3
圖 1.3 傳統降壓式轉換器.....	3
圖 1.4 升壓轉換器電壓與電流對時間關係圖.....	4
圖 1.5 開極驅動電路運用在升壓式轉換器架構.....	4
圖 1.6 開極驅動電路運用在降壓式轉換器架構.....	5
圖 1.7 傳統三相變頻器電路.....	5
圖 1.8 AlGaIn/GaN 為導通電荷分佈情形.....	6
圖 1.9 AlGaIn/GaN 為關閉電荷分佈情形.....	7
圖 1.10 不同 VGS 所導致不同的接面崩潰.....	8
圖 1.11 各種材料的崩潰電壓.....	9
圖 1.12 矽和氮化鎵電晶體的 raise time & fall time 比較.....	10
圖 2.1 圖騰式驅動電路.....	13
圖 2.2 上橋 P 通道驅動電路.....	14
圖 2.3 自舉式電路.....	15
圖 2.3(a) C _{boot} 電容充電階段.....	16
圖 2.3(b) 開關 MN 為導通階段.....	17
圖 2.4 電位位準轉換電路.....	18
圖 2.4(a) C _{boot} 電容充電階段.....	18
圖 2.4(b) 輸出電壓 Out 為零.....	19
圖 2.5 光耦合器構造圖.....	20
圖 2.6 光耦合器及其驅動電路.....	20
圖 2.7 JFET/MOSFET 複合式加強型元件.....	21
圖 2.8 下橋空乏型驅動電路.....	22
圖 2.9 上橋空乏型驅動電路.....	23
圖 2.9(a) 電容 C1 充電階段，開關 MH 為導通.....	24
圖 2.9(b) 開關 MH 為關閉，輸出電壓 V _{out} 為零.....	24
圖 3.1 正電壓控制之下橋空乏型驅動電路.....	27
圖 3.1(a) 開關 ML 導通階段.....	28
圖 3.1(b) 開關 ML 關閉階段.....	28
圖 3.2 參考論文(Low power CMOS level shifters by bootstrapping technique)之電路.....	29
圖 3.2(a) 開關 MP3 關閉，輸出電壓為零.....	30
圖 3.2(b) 開關 MP3 導通，輸出電壓為 V _{DDH}	31

圖 3.3 本論文之電路架構	32
圖 3.3(a) 初始狀態：對自舉式電容 C_{boot} 充電	33
圖 3.3(b) 電晶體 MH 關閉，輸出電壓 V_{out} 為零	34
圖 3.3(c) 電晶體 MH 導通，輸出電壓 V_{out} 為 V_D	35
圖 3.4 HSPICE 模擬： V_{in1} 、 V_{in2} 、MP2 (V_{GS})、MP1 (V_{GS})、 V_{out} 電壓變化圖	36
圖 3.5 HSPICE 模擬： V_A 、 V_B 、 V_{C1} 、 V_{C2} 、 V_{top} 電壓變化圖	37
圖 3.6 Altium Designer layout	38
圖 3.7 加強型上橋驅動電路實驗之電路	38
圖 3.8 加強型驅動電路實際量測之波形圖	39
圖 3.9 氮化鎵上橋驅動電路示意圖	40
圖 3.10 氮化鎵上橋驅動電路圖	41
圖 3.11 負電壓源之啟動電路	42
圖 3.12 正電壓源之啟動電路	43
圖 3.12(a) 初始狀態：電晶體 MH 導通，輸出電壓為 V_D	44
圖 3.12(b) 啟動電路運作階段：使自舉電容 C_{boot} 能夠充電	45
圖 3.12(c) 電晶體 MH 完全導通，輸出電壓 V_{out} 為 V_D	46
圖 3.12(d) 電晶體 MH 關閉，輸出電壓 V_{out} 為零	47
圖 3.13 HSPICE 模擬：輸入電壓 V_{in1} 、輸入電壓 V_{in2} 、啟動電壓 V_{start} 、電晶體 MH (V_{GS})、輸出電壓 V_{out} 電壓變化圖	48
圖 3.14 HSPICE 模擬：A 點電壓 V_A 、B 點電壓 V_B 、電容 $C1$ 跨壓 V_{C1} 、電容 $C2$ 跨壓 V_{C2} 、 V_{top} 電壓變化圖	48
圖 3.15 GaN HEMT 開極驅動電路實驗結果	49
圖 4.1 各極間的漏電流和 V_{ds} 的關係圖	51
圖 4.2 GaN 電晶體驅動電路	51
圖 4.3 電流限制電路設計一	52
圖 4.4 電流限制電路設計二	54
圖 4.4(a) 驅動電晶體 MGaN 正常導通，限流電路不運作	54
圖 4.4(b-1) 開關 M3 導通，使 MGaN 開極能快速放電	55
圖 4.4(b-2) 開關 M3 關閉，限流電路開始運作	55
圖 4.5 電流限制電路設計三	56
圖 4.5(a) 驅動電晶體 MGaN 正常導通，限流電路不運作	57
圖 4.5(b-1) 開關 M3 導通，電阻 R_G 短路，使 MGaN 開極能快速放電	58
圖 4.5(b-2) 開關 M3 關閉，開關 M_{add} 關閉，限流電路開始運作	58
圖 4.6 限流電路：輸出電壓 V_{out} 、開極電壓 V_{gate} 、電晶體 M3 (V_{GS})、電晶體 M_{add} (V_{GS})、輸入電壓 I_n	59
圖 4.7 限流電路直流分析：輸入電壓 I_n 、電晶體 MGaN 開極電壓 V_{gate} 、開關 M3 (V_{GS})、開關 M_{add} (V_{GS})、開極漏電流 i_g	60
圖 4.8(a) 商品化元件 RF3934	60

圖 4.8(b) 交通大學大自行研發元件	60
圖 4.9 崩潰電壓量測示意圖	61
圖 4.10(a) IG_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制 閘極漏電流 260uA、限制閘極漏電流 280uA、限制閘極漏電流 300uA、輸出 電壓 Vout 電壓變化圖	61
圖 4.10(b) ID_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制 閘極漏電流 260uA、限制閘極漏電流 280uA、限制閘極漏電流 300uA ..	62
圖 4.10(c) IS_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制 閘極漏電流 260uA、限制閘極漏電流 280uA、限制閘極漏電流 300uA ...	62
圖 4.11(a) IG_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制 閘極漏電流 50uA、限制閘極漏電流 60uA、限制閘極漏電流 80uA	63
圖 4.11(b) ID_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制 閘極漏電流 50uA、限制閘極漏電流 60uA、限制閘極漏電流 80uA	63
圖 4.11(c) IS_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制 閘極漏電流 50uA、限制閘極漏電流 60uA、限制閘極漏電流 80uA	64
圖 4.12 閘極漏電流 IG 和閘極電壓 VG 的關係圖	65
圖 4.13 不同閘極電壓下的 ID_VD 曲線圖	65
表 1 加強型驅動電路各參數值	39
表 2 空乏型驅動電路各參數值	49



數學符號

變數符號

M_{GaN}	: GaN 材質之電晶體
M_N	: N 型電晶體
M_p	: P 型電晶體
V_{thN}	: N 型電晶體導通所需電壓
V_{thP}	: P 型電晶體導通所需電壓
V_{DD}	: 被驅動電晶體汲極電壓
V_D, V_{CC}	: 外加電壓
V_{In1}	: 控制訊號 1, 為方波輸入
V_{In2}	: 控制訊號 2, 為方波輸入
C_{boot}	: 自舉式電容
C_{in}	: 電晶體寄生電容
R_g	: 電晶體寄生電阻
V_{in}	: 驅動電路輸入控制訊號
Q_1, Q_2, M_1, M_2	: 電晶體
V_g	: 閘極電壓
V_D	: 汲極電壓

變數符號

V_{gs}	: 電晶體閘極-源極電壓差
V_{SD}	: 電晶體源極-汲極電壓差
V_{top}	: 電路最上層之電壓
GND	: 電路接地端
t	: 時間
i	: 電流值
V_{DDH}	: 電壓為高電位
V_{DDL}	: 電壓為低電位
V_B	: B點電壓
V_A	: A點電壓
C_1, C_2	: 外加電容
D_1, D_2	: 二極體
d_{b1}, d_{b2}	: 電晶體之 body diode
V_{Out}	: 輸出電壓
R_O	: 輸出電阻
V_{BV}	: 電晶體崩潰電壓




第一章

緒論

本篇論文針對 GaN HEMT 電晶體操作在高功率下，設計出一組不需額外加入 LDMOS 製程之閘極驅動電路，以及一組提升電晶體的崩潰電壓的保護電路，使元件能節省製作成本和提高操作電壓。

本章節將依序介紹：1.1 研究動機與目的 1.2 閘極驅動電路運用 1.3 AlGaN/GaN 功率電晶體崩潰電壓機制 1.4 GaN HEMT 優勢與應用 1.5 文獻回顧 1.6 論文章節組織與安排

1.1 研究動機與目的



隨著科技的發展，能源的需求愈來愈大，但是天然能源卻愈來愈少，除了發展替代及再生能源之外，提高能源的使用效率也是重要的課題，其中又以電力的節省最為重要。因為電力易於傳輸和易於控制等特性，其應用比其他能源更為廣泛，所以電力在能源消耗上往往占了很大的比例，像是歐盟諸國約為 40%，美國和日本則約為 41%，在未來石油等化石能源短缺的情況下，電力的使用比例只會愈來愈增加。

然而現今的電力應用，處處顯現浪費的跡象，圖 1.1 是各應用面的效率統計，也就是電力使用效率有很大改善空間。歐盟研究機構估算，其區域內的 25 國，到 2020 年，若能改善電力使用效率以減少 30% 耗電用量相當於 115 大型火力電廠的發電量，對環境保護效能是很可觀的，在中短期內，電力使用的節省，遠比再生能源的應用更有立竿見影之效，電力電子能明顯提升馬達驅動及電力轉換等效能，是提升電力使用效率的重要技術。



圖 1.1 現今電力能源使用效率

近年來功率元件發展之趨勢在於「智慧型高效能整合性功率模組之開發」，其目的在於針對特定應用範疇，開發出符合該項應用之專用功率控制模組，甚至將所有驅動功能、保護電路甚至診斷單元集成在單一功率晶片模組上，以期達到高效能，高穩定性之要求，更重要的是讓系統應用工程師在設計時只需針對系統上層需求做規劃設計，不須對各別元件之效能與安全性做浩瀚繁瑣之細部電路設計，就算針對個別元件進行鉅細靡遺的後續細部電路設計，有時還是無法避免應用上之盲點與障礙，因為可能的瓶頸有時是在於功率元件本身結構先天之缺陷，如果沒有在晶片集成上做硬體驅動及製程的整合提出最佳化之解決方案，後天的補償也是有限且低效益的。

其次，傳統高電壓功率裝置是採用矽 MOSEFT 架構。然而，多數應用在材料上已經達到極限。由於氮化鎵裝置是基於 AlGa_N/Ga_N 高電子遷移率電晶體 (high-electron mobility transistor); HEMT 具有優越切換特質與高電場的操作能力，能夠在功率轉換解決方案帶來革命性的改進。因此，以 AlGa_N/Ga_N 為主的各型功率轉換器的開發已屬於一刻不容緩的議題，尤其是在大功率式電源轉換器的應用，提高電源轉換器效率，對綠能的目標將有絕大的助益。

1.2 開極驅動電路運用

本論文設計的半橋型開極驅動電路可運用在以下兩種電路當中：(a) 直流轉換器(DC-DC converter)，(b) 變頻器(inverter)。

(a) 直流轉換器

此電路提供直流輸入以及直流輸出，當在一般電路運作時，輸入直流電壓太高或太低無法達到電路運作的需求，需使用此直流轉換器將電壓調整到需要的輸出電壓上，直流轉換器又可分為升壓式轉換器(如圖 1.2)和降壓式轉換器兩種(如圖 1.3)。

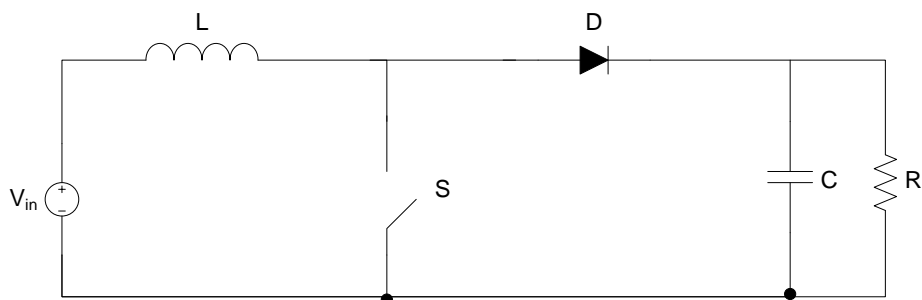


圖 1.2 傳統升壓式轉換器

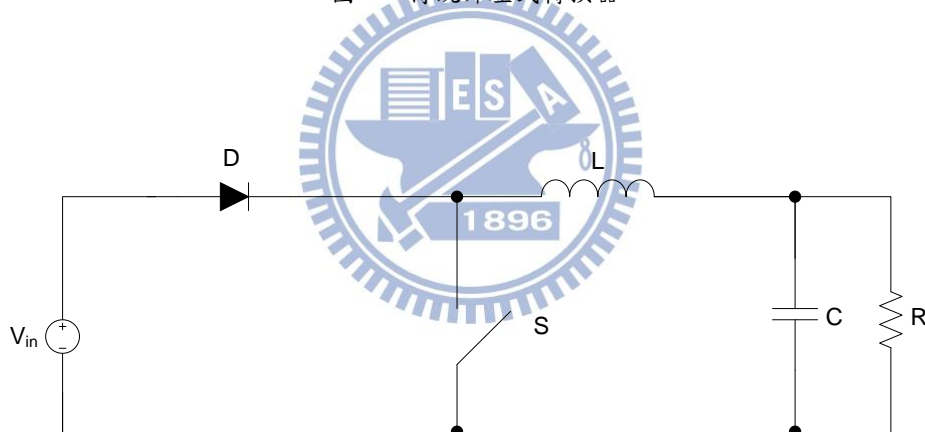


圖 1.3 傳統降壓式轉換器

以傳統升壓式轉換器為例，當開關 S 導通時，輸入電壓 V_{in} 將會對電感 L 儲存能量；接著將開關 S 關閉，則電感會將原本儲存的能量輸出，並藉由電感的伏秒平衡(Volt-second balance)特性，我們可以得到下式：

$$V_{in}t_{on} + (V_{in} - V_{out})t_{off} = 0 \quad (1.1)$$

並將上式整理可得：

$$\frac{V_{out}}{V_{in}} = \frac{T}{t_{off}} = \frac{1}{1-D} \quad (1.2)$$

其中 T 為圖 1.4 中，一次完整的開關循環週期，D 則是一次完整的開關循環週期中開關導通所佔的時間比例($\frac{t_{on}}{T}$)。由於 D 永遠小於 1，因此 $\frac{V_{out}}{V_{in}}$ 將永遠大於 1，輸出電壓將比輸入電壓高。

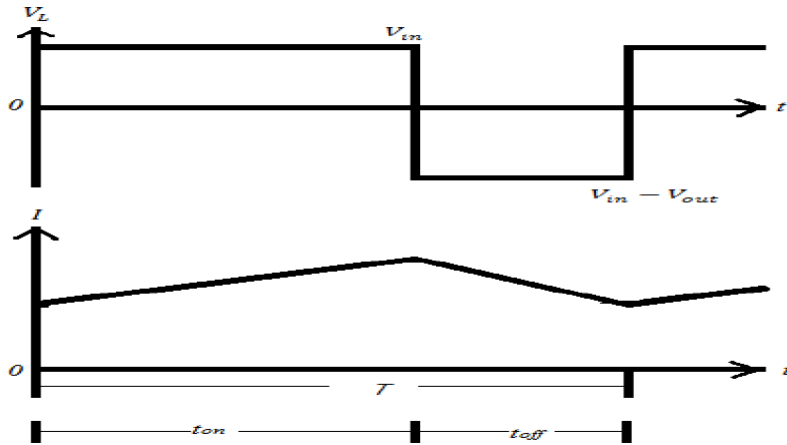


圖 1.4 升壓轉換器電壓與電流對時間關係圖

在實際應用上，一般直流轉換器使用 Si-IGBT 為開關元件，而本論文設計之驅動電路因使用 GaN HEMT 作為元件，其的能源效率遠高於 Si-IGBT (導通電阻為 Si-IGBT 之 1/10)，且 GaN HEMT 的開關速度遠高於 Si-IGBT 為 (為 Si-IGBT 之 10 倍)，其可大幅降低被動元件尺寸，使電路體積縮小化，圖 1.5 以及圖 1.6 為使用本論文的驅動的電路架構。

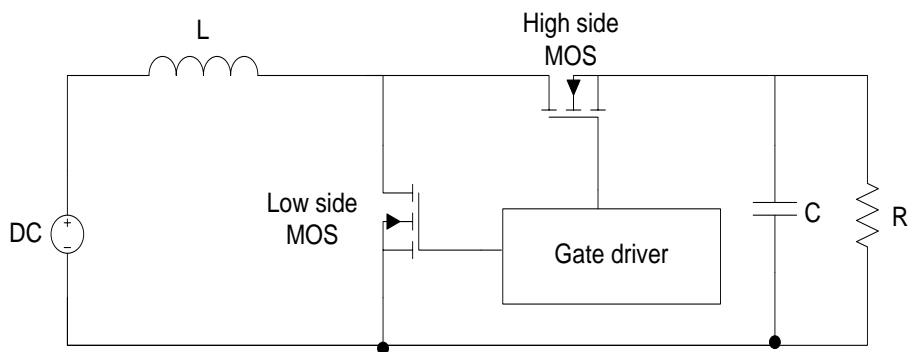


圖 1.5 開極驅動電路運用在升壓式轉換器架構

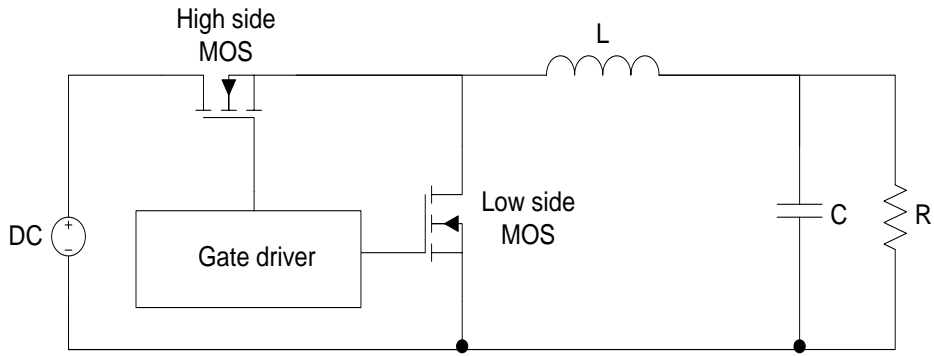


圖 1.6 閘極驅動電路運用在降壓式轉換器架構

(b) 變頻器

電路操作在輸入直流電壓，輸出交流電壓，需使用到變頻器把直流電轉交流電，此作法廣泛運用在馬達驅動電路上，圖 1.7 為傳統三相變頻器電路連接至三相負載的圖，其中共有三組半橋電路，分別為 M1、M2；M3、M4；M5、M6，所以共需三組閘極驅動電路控制。

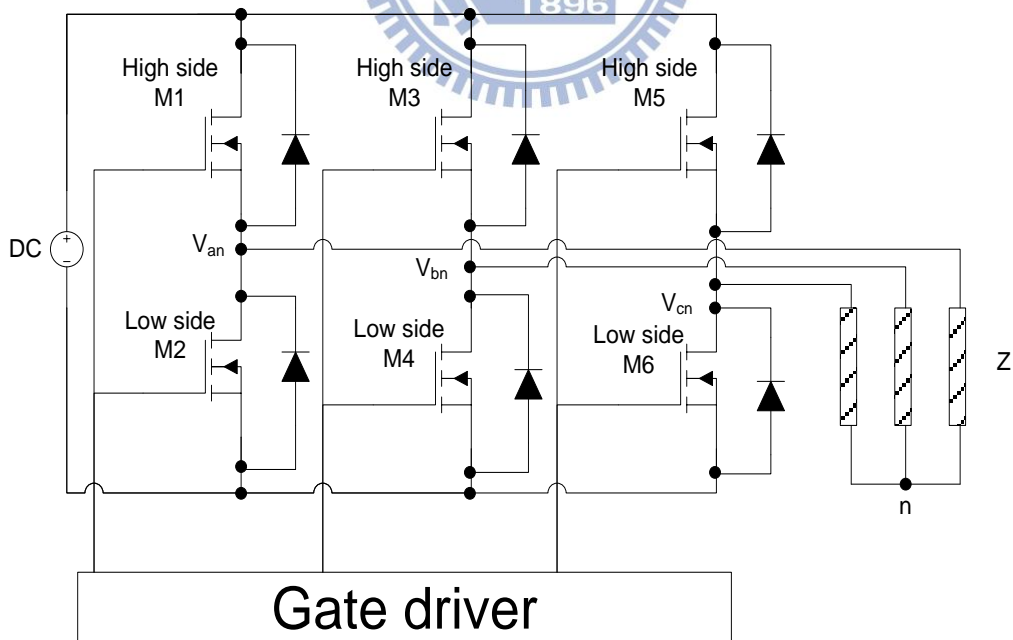


圖 1.7 傳統三相變頻器電路

1.3 AlGaIn/GaN 功率電晶體崩潰電壓機制

AlGaIn/GaN HEMT 電晶體材質和一般市面上最常見的 Si 材質的功率電晶體不同點為 AlGaIn/GaN HEMT 傳輸通道是靠二維電子雲所形成，不需要靠任何的摻雜就可形成 2DEG(2-D electron gas)層，電子傳輸是在 AlGaIn/GaN 異質通道界面處所產生的二維電子雲，電子在通道中是靠強大的極化電場在 AlGaIn 所感應出表面類施體(donor-like)[1][2]和表面空缺陷(trap)遺留正電荷所造成，2DEG 濃度可在沒有任何內部摻雜的情況下可達 $1 \times 10^{13} \sim 4 \times 10^{13} \text{ cm}^{-2}$ ，圖 1.8 為 AlGaIn/GaN 導通狀態(on-state)的電荷分佈情形。

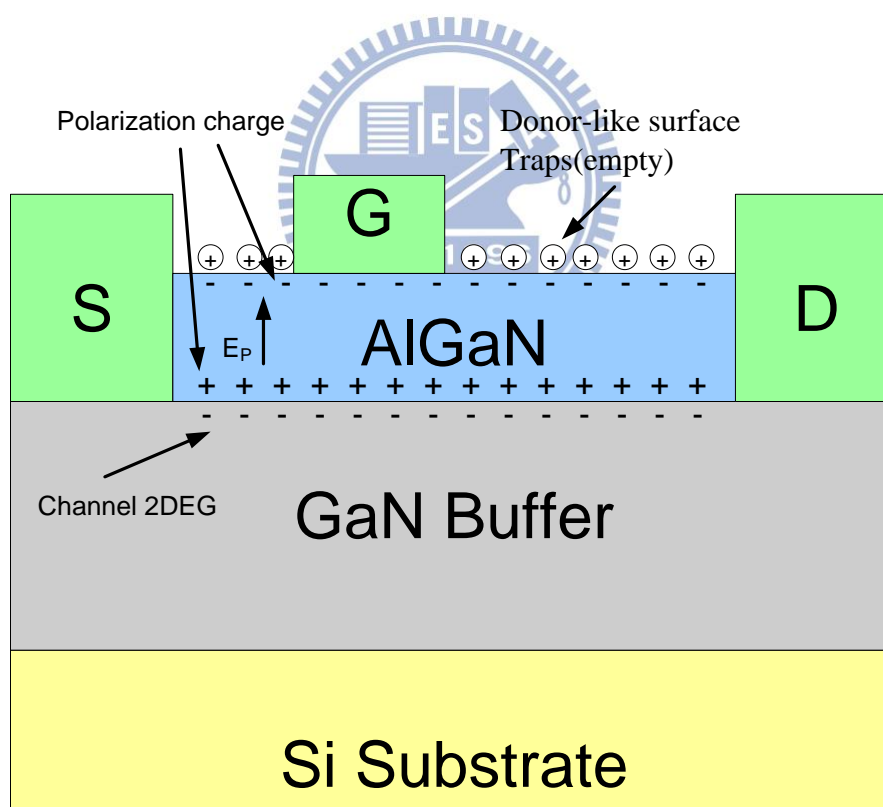


圖 1.8 AlGaIn/GaN 為導通電荷分佈情形

元件的關閉狀態(off-state)可參考圖 1.9, AlGaIn/GaN HEMT 操作在閘極偏壓在截止(pinch-off)、汲極偏壓為正, 電子會從閘極注入到表面 traps, 表面的 traps 會被電子注入所填滿, 通道內電荷以垂直式空乏以保持元件內部電中性。

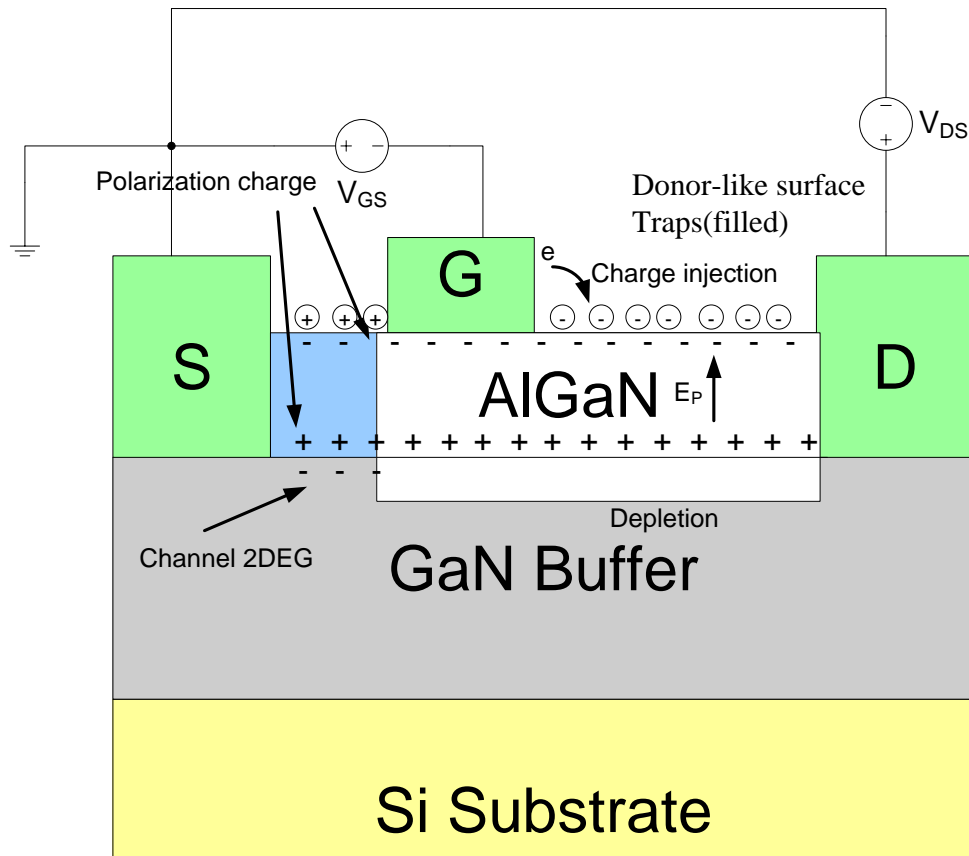


圖 1.9 AlGaIn/GaN 為關閉電荷分佈情形

一般而言 AlGaIn/GaN HEMT 崩潰電壓的定義為：在電晶體關閉情況下汲極漏電流達 1mA/mm 時的汲極電壓，而不同 V_{GS} 的大小會使 AlGaIn/GaN HEMT 功率電晶體崩潰分為兩種方式[3][4]如圖 1.10 所示。

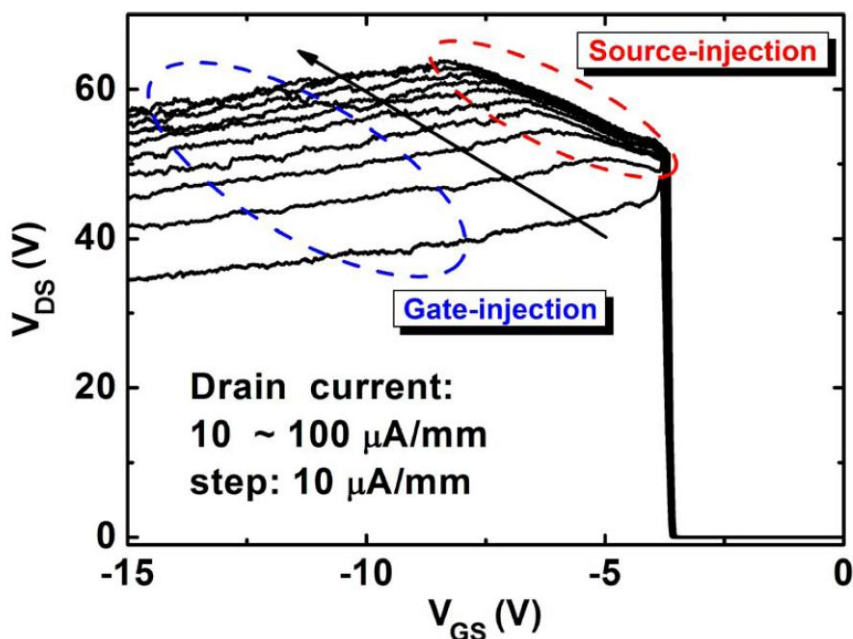


圖 1.10 不同 V_{GS} 所導致不同的接面崩潰

(1) 汲-閘極崩潰

當 V_{GS} 輸入的跨壓較小，汲極電壓達崩潰電壓，閘極電場不足以阻止 Depletion 區通過的電流，大部分的漏電流將直接流到閘極造成電晶體損毀[4]，在此圖中約為-15V~-10V，而 V_{DS} 電壓為 50V~60V 之間， V_{DG} 電位差變化小(在圖中 V_{DS} - V_{GS} 曲線幾乎為正比關係)，汲極電流急遽上升(從 10~60 μ A/mm)，此現象為汲-閘極崩潰。

(2) 汲-源極崩潰

當 V_{GS} 輸入的跨壓較大，汲極電壓達崩潰電壓，電流直接往下貫穿 GaN Buffer 從 Si Substrate 流出，在此圖中約為-7V~-4V，而 V_{DS} 電壓為 50V~60V 之間，因 V_{DS} 在相同的電壓下，汲極電流急遽上升(從 10~80 μ A/mm)，此現象為汲-源極崩潰。

本論文藉由設計限制閘極漏電流電路進而延後汲極-閘極崩潰的發生，將在第四章有詳細討論。

1.4 GaN HEMT 優勢與應用

目前功率元件以 GaN HEMT 電晶體為主要發展目標，主要是因為此新興材料有以下優勢：(1)具有寬能隙，(2) 電子遷移率高、低內阻、低輸入電容，(3) 較高的導熱性

(1) 具有寬能隙

此半導體材料的晶體為六角型 wurtzite 的結構，此結構的特性就是寬能隙 (bandgap) 較大，也就是說，需要很大的能量才能產生自由電子使其離子化，也因此可以得到較大的崩潰電壓(圖 1.11)和能操作在高溫的環境下。

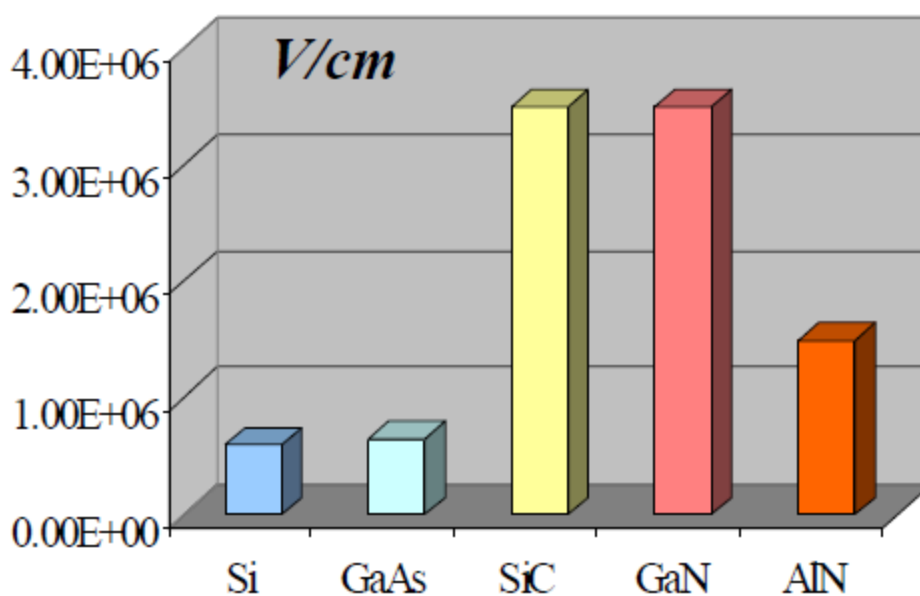


圖 1.11 各種材料的崩潰電壓

(2) 電子遷移率高、低內阻、低輸入電容

此特性使氮化鎵電晶體應用在閘極驅動電路的效果將會比一般的電晶體更好。如圖 1.12，可以看到在同樣的脈衝波輸入之下，以氮化鎵為材料的電晶體在開關切換時的時間只要一般電晶體的五分之一倍。

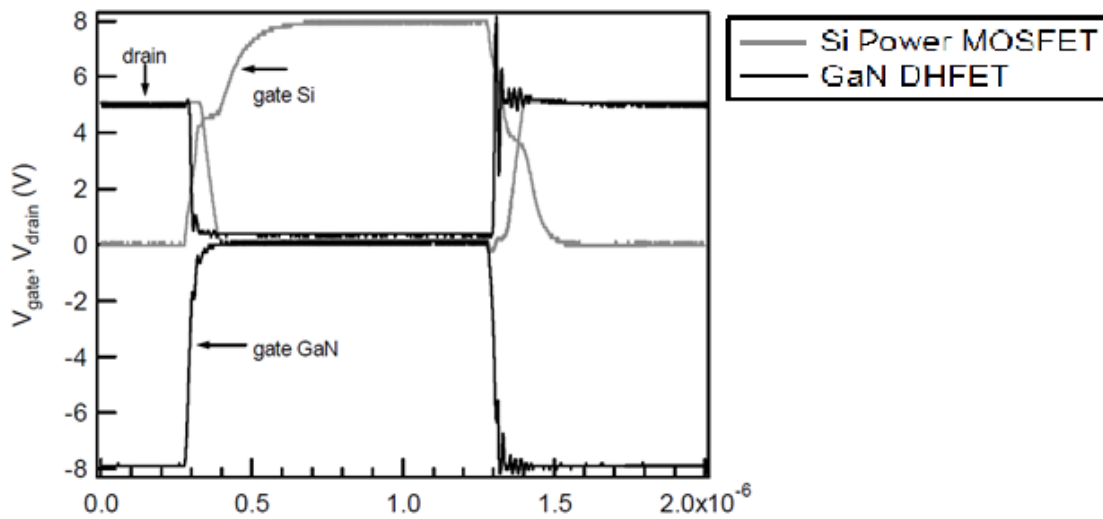


圖 1.12 矽和氮化鎵電晶體的 raise time & fall time 比較

(3) 較高的導熱性

在實際應用上可使元件散熱較佳，更不容易燒壞。

在技術發展上，與 GaN 同列為新興功率電力電子元件材料的還有 SiC。Baliga 性能係數(Baliga's Figure of Merit, BFOM)顯示 GaN 還優於 SiC，若採用 GaN on Si 磊晶，雖會略犧牲磊晶品質，但預測及實驗證實元件特性可達到與 SiC 相當的程度，但有成本低於 SiC 的優勢。

目前可實際應用在無線通訊的 RF，可開發無電流、高電壓與低電阻的下一代功率電子零組件；而潛在應用市場包含：在太陽能轉換器內之高功率切換、AC-DC 功率轉換、DC-DC 功率轉換、馬達驅動、照明、高密度音效與混合電汽車或切換模式的電源供應器。

1.5 文獻回顧

在一般開極驅動電路的部分，2002 年 S. C. Tan 和 X. W. Sun [5] 發表一開極驅動電路改良一般驅動電路耗能問題，在輸入電壓為 5V，輸出電壓為 12V 的操作下，至少比一般的驅動電路節省 50% 的功率耗損，2007 年 Y.-J. Woo, G.-H. Cho and G.-H. Cho [6] 運用在升壓轉換器的驅動電路做改善，2010 年 Yan-Ming Li, Chang-Bao Wen 等人[7]改良降壓式轉換器，但以一般的 SiC 電晶體作為驅動元件已經不足以應付更高功率以及高效能的需求，所以 2007 年 Torregrosa[8]發展 AlGaIn/GaN 大訊號模型並包含溫度效應。Jardel[9]探討 AlGaIn/GaN 於開關應用中產生非線性效應並提出模型。Nomura[10] 將 AlGaIn/GaN 應用於半橋架構並討論晶體開關特性與溫度效應。Saito[11] 應用於電壓上升(boost)轉換器，其功率為 120W。國際整流器公司(International Rectifier，簡稱 IR)於 2008 宣布成功開發革命性氮化鎵 (GaN) 功率元件技術平台，但關於 AlGaIn/GaN 晶體應用相關論文能仍在元件特性與較簡單功率轉換器應用中。

1.6 論文章節組織與安排

本篇論文針對高功率電路設計出驅動控制電路並根據 GaN HEMT 電晶體特性設計提升崩潰電壓的保護電路，論文共包含五個章節，第一章節介紹研究動機與文獻回顧。第二章節介紹電晶體開極驅動電路設計理論。第三章節介紹功率電晶體開極驅動電路設計實現。第四章節介紹提升氮化鎵電晶體崩潰電壓之電路。第五章將本論文歸納整理後做出結論，並對未來發展做進一步探討。

第二章

電晶體開極驅動電路設計理論

控制器產生的 PWM 訊號需要經由開極驅動電路來推動功率元件，在小功率應用中，會使用單極共地驅動電路。而中高功率應用中，其驅動電路的架構分別有半橋、全橋等開關方式，且扮演著保護控制器的腳色。本章節一開始會簡介開極驅動電路的主要功能和分類，然後介紹基本的上下橋開極驅動電路。最後會討論空乏型電晶體的驅動方式並討論這些方式的優缺點，以利於設計出適合的氮化鎵開極驅動電路。本章節將依序介紹：2.1 開極驅動電路簡介 2.2 下橋開極驅動電路介紹 2.3 上橋開極驅動電路介紹 2.4 空乏型開極驅動電路介紹

2.1 開極驅動電路簡介

驅動電路為控制電路和功率開關之間的界面電路，主要的功能就是能正確切換功率元件的導通與截止狀態，並在元件導通時提供適當的驅動電力（如 BJT 的基極電流或 MOSFET 的開極電壓）使其維持在導通的狀態。

一般而言，功率電晶體可分為上橋和下橋，下橋元件因為其源極接地，電壓固定為 0V 而易於控制，其驅動電路也較上橋單純。上橋元件在選擇上有 P 通道和 N 通道兩種，P 通道元件雖然控制簡單，但在成本和性能的表現上皆不如 N 通道元件，所以應用上還是以 N 通道元件為主，但是 N 通道元件的源極電壓並非定值造成控制上的困難，需要仰賴適當的開極驅動電路穩定提供開極電壓。目前發展出許多不同的驅動方式，較常見的有自舉式驅動電路(Bootstrap Circuit)、光耦合器 (Photo-coupler) 等。

2.2 下橋開極驅動電路介紹

要切換功率元件，最簡單的方式就是直接用 PWM(Pulse Width Modulation) 控制器產生的邏輯訊號作切換，這種方式的優點為便宜和節省空間，但是 PWM 控制器所能提供的驅動電流有限，會限制功率元件的切換速度。而且過大的電流尖波 (Current Spike) 也容易破壞控制器內較敏感的電氣元件。為了提升功率開關的切換速度和保護控制器等目的，使用上仍會添加驅動電路來做驅動。

圖 2.1 是一般常見的圖騰式 (Totem-pole) 驅動電路，(a) 是由一個 NPN 和一個 PNP 電晶體組成的 BJT 型式的驅動電路，(b) 則是由 NMOS 和 PMOS 組合而成。此兩種圖騰式驅動電路的功能及操作方法極為類似，最大的不同為 BJT 型式的驅動電路其輸入和輸出訊號同相，而 MOSFET 型式的驅動電路則為反向。在切換功率元件導通或者關閉的過程中，圖騰式驅動電路能提供一個低阻抗的路徑使驅動電流更大，進而提升元件的切換速度，且驅動電流並不會流進 PWM 控制器內，避免控制器內的電器元件受到損害，達到保護的作用[12]。

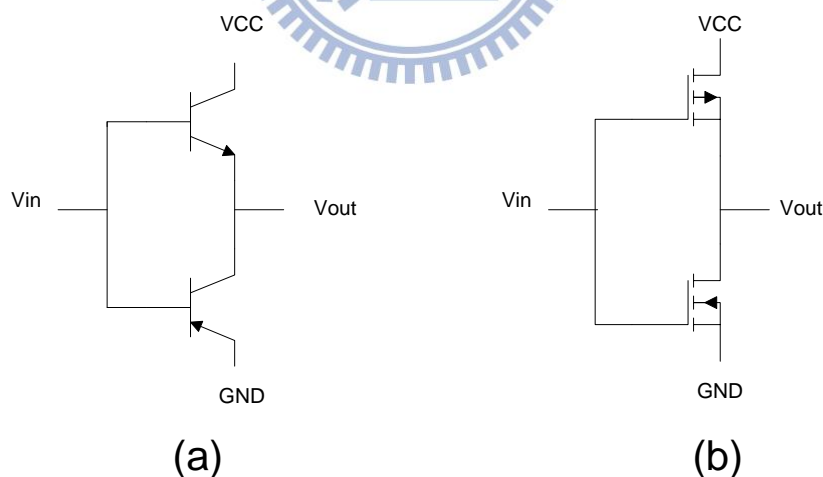


圖 2.1 圖騰式驅動電路

BJT 圖騰式電路的另一個好處為兩個電晶體的基極-射極接面可以互相保護，避免接面二極體的反向崩潰現象 (Reverse Breakdown)。且基極-射極接面

二極體可以限制功率元件的閘極電壓在 $V_{CC} + V_{BE}$ 和 $GND - V_{BE}$ 之間，避免過高的閘極電壓導致功率元件損壞。不過需要注意不能讓 BJT 電晶體進入到飽和狀態，否則會降低切換速度。與 BJT 圖騰式驅動電路相比，MOSFET 因為材料特性而更適合操作在高頻。且在功率元件閘極電壓的控制上，因為 BJT 基極-射極接面造成的電壓降 V_{BE} 使其不如 MOSFET 圖騰式電路來的準確，這也是 MOSFET 圖騰式電路被較多人作為驅動電路的原因。

2.3 上橋閘極驅動電路介紹

上橋驅動電路依照功率元件的型式不同可以分為 P 通道驅動電路和 N 通道驅動電路。由於 P 通道功率元件的源極與電壓源 V_D 相連接使其電壓值固定不變，所以操作上也較為簡單。

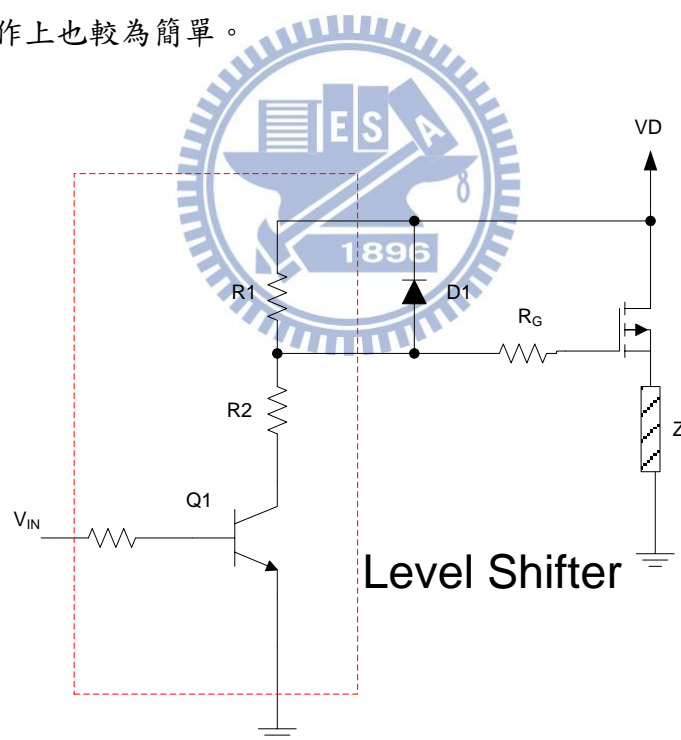


圖 2.2 上橋 P 通道驅動電路

圖 2.2 為簡單的 P 通道閘極驅動電路[13]，由電晶體 Q1 和兩個電阻 R1、R2 組成一位準轉換電路 (Level Shifter)，目的就是提供一個相對於源極的負電壓訊號將功率元件導通。而二極體 D1 的作用在於防止功率元件的開—源極電壓差 (V_{GS}) 過大使元件損壞。此電路的功率損耗主要在上橋元件的輸入電容和 Q1 導通時流過 Level Shifter 的電流上。

在一般高效率、大功率的系統應用中，仍會採用性能較佳且價格也較便宜的 N 通道元件作為上橋功率電晶體，但是該功率元件的源極為浮動電壓，無法直接用一固定的閘極電壓來進行開關控制，以下將介紹兩種常見的解決方法。

2.3.1 自舉式電路與電位位準轉換電路

圖 2.3 所示為一個簡單的自舉式上橋閘極驅動電路[12][14][15]，用以驅動增強型 N 通道功率電晶體 M_N 。為了解決 M_N 的源極電壓不固定的問題，添加一自舉電容 C_{boot} 作為浮動的電壓源使用，讓 M_N 閘極電壓能隨著源極電壓一起改變。

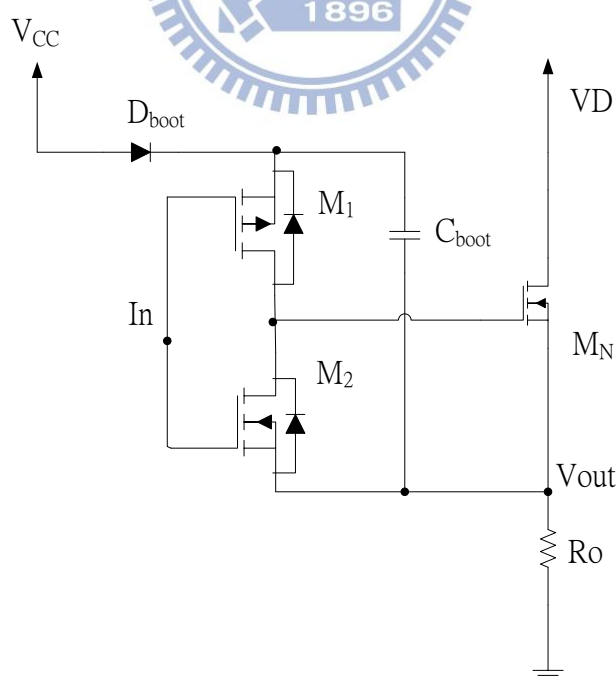


圖 2.3 自舉式電路

此自舉式上橋閘極驅動電路的工作原理如下：

(a) 第一階段：輸入電位 In 為高電位 V_h

開關 M_1 為關閉，開關 M_2 為導通， V_{CC} 對電容 C_{boot} 充電，此時電容 C_{boot} 的負端（即 M_N 之源極電壓）電壓為零，正端電壓為 V_{CC} ，當開關 M_N 的閘-源極電壓 V_{GS} 為零，開關 M_N 為關閉，第一階段等效電路圖如圖 2.3(a)所示。

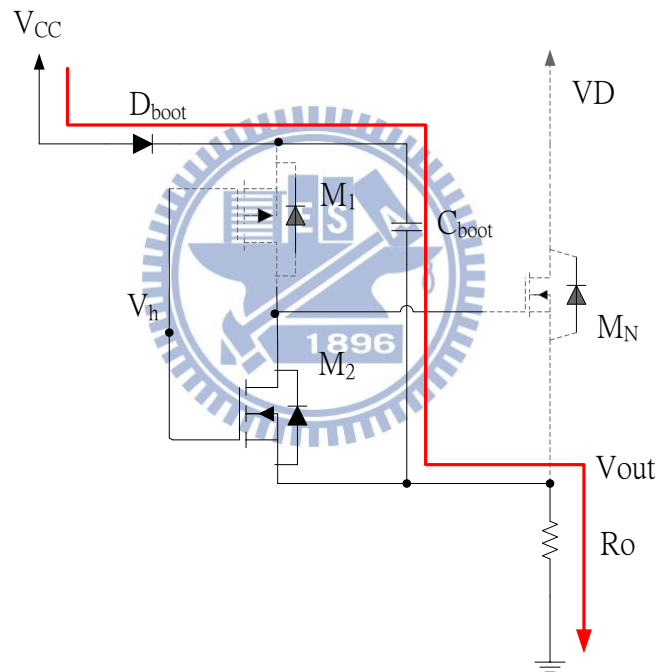


圖 2.3(a) C_{boot} 電容充電階段

(b) 第二階段：輸入電位 In 為低電位 V_l

開關 M_1 為導通，開關 M_2 為關閉時，開關 M_N 之 V_{GS} 即為 V_{CC} 使其導通，其等效電路圖如圖 2.3(b-1)所示。

在開關 M_N 為導通過程中，其源極電壓也隨之上升到 VD ，此時電容 C_{boot} 跨壓因為二極體 D_{boot} 逆偏的關係，幾乎維持不變，其正端電壓約為 $V_{DD}+V_{CC}$ ，可提供 M_N 穩定的 V_{GS} ，使其得以持續導通，等效電路圖如圖 2.3(b-2)所示。

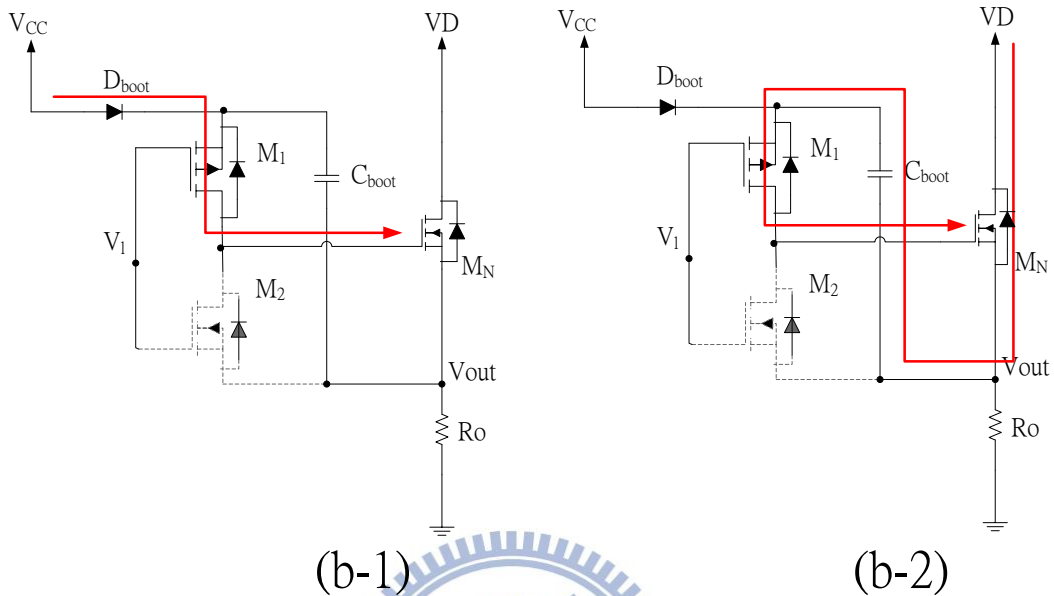


圖 2.3(b-1)、(b-2) 開關 M_N 為導通階段

(c) 第三階段：輸入電位 In 回到高電位 V_h

開關 M_1 為關閉、開關 M_2 為導通，開關 M_N 之 V_{GS} 為零，使開關 M_N 為關閉，回到第一階段。

使用自舉式電路作法的困難點在於如何讓開關 M_1 為關閉以及開關 M_2 為導通，因為此時 M_2 的源極電壓已經是 VD (高電壓位準)，因此必須藉由一個 level shifter 將控制訊號的邏輯位準提升至 VD 位準，方能將開關 M_1 為關閉以及開關 M_2 為導通，如圖 2.4 所示。

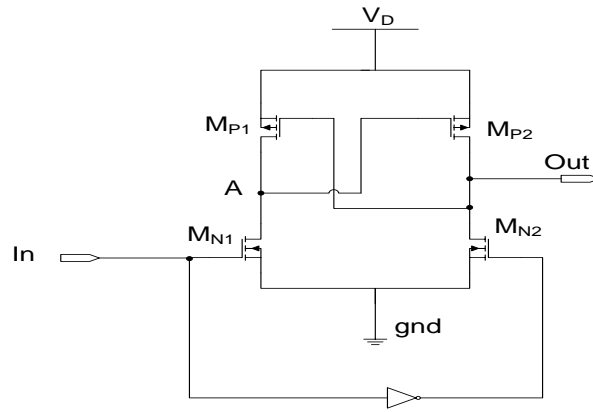


圖 2.4 電位位準轉換電路

一般的電位位準轉換電路，工作原理舉例如下：

(a) 第一階段：輸入電位 In 為低電位 V_1

開關 M_{N1} 為關閉，開關 M_{N2} 為導通，電壓 Out 被拉到零，開關 M_{P1} 為導通， A 點電壓為 V_D ，開關 M_{P2} 為關閉，如圖 2.4(a) 所示。

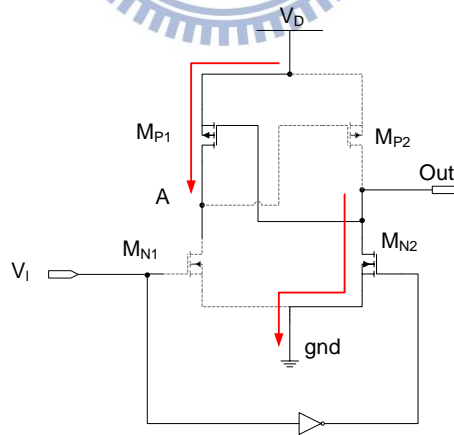


圖 2.4(a) 輸出電壓 Out 為零

(b) 第二階段：輸入電位 V_h 為高電位 V_h

開關 M_{N1} 為導通，開關 M_{N2} 為關閉，A 點電壓被拉到零，開關 M_{P1} 為關閉，開關 M_{P2} 為導通，電壓 Out 被拉到 V_D 。

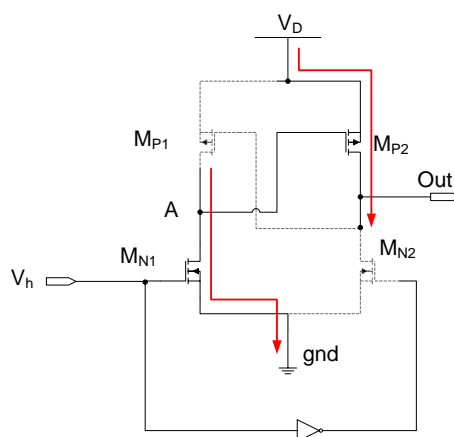


圖 2.4(b) 輸出電壓 Out 為 V_D

由以上的例子可得知電位位準轉換電路跨接於 V_D 位準與 $0V$ 中間，因此電位位準轉換電路內的元件 M_{N1} 、 M_{N2} 、 M_{P1} 、 M_{P2} 必須要能承受高電壓差。例如使用 LDMOS(Laterally double diffused MOS)代替一般的 MOSFET。然而製作 LDMOS 或是其它具高崩潰電壓電晶體需要特殊的製程，製作上較為複雜，本論文根據這點對電路做改良，詳細內容在第三章討論。

2.3.2 光耦合器

圖 2.5 中方框的部分即為光耦合器[16]，一般由三部分組成，分別是光的發射、光的接收及信號放大。輸入的電信訊號驅動發光二極體，使其發出一定波長的光，被光探測器接收後產生電流輸出，完成電—光—電的轉換。由於光耦合器輸入輸出間互相隔離，電信訊號的傳輸具有單向性特點，因此具有良好的電絕緣能力和抗干擾能力，所以也可以在長線傳輸資訊中作為終端隔離元件。

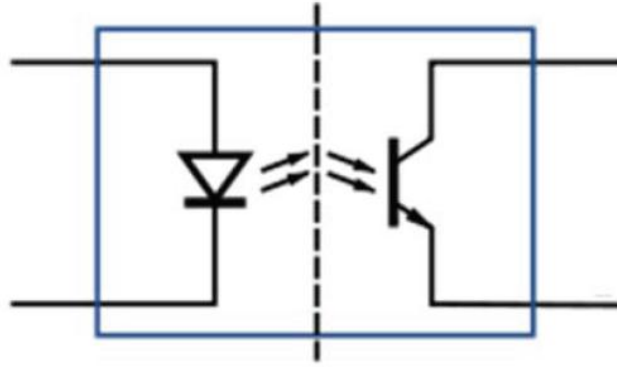


圖 2.5 光耦合器構造圖

圖 2.6 所示，PWM 控制器的輸出接腳需串連一個電阻 R1 做為限流用，避免電流過大造成發光二極體毀壞，另外在光耦合輸出側加上一電阻 RG 可以控制驅動速度的快慢。

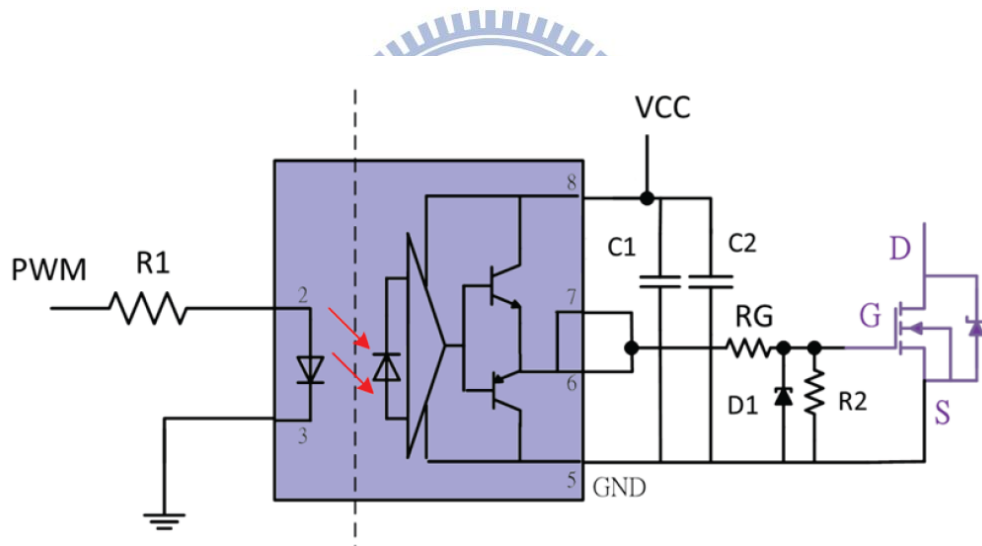


圖 2.6 光耦合器及其驅動電路

2.4 空乏型開極驅動電路介紹

空乏型電晶體與加強型電晶體的不同在於其臨界電壓（Threshold Voltage, V_{th} ）為負值，所以當 V_{GS} 為零時電晶體導通； V_{GS} 為負值時電晶體關閉。為了驅動空乏型電晶體，可以利用一 MOSFET 與高效能之空乏型元件結合，使之成為一複合式的加強型元件（如圖 2.7），如此便可利用現有的加強型電晶體驅動技術來進行元件開關控制[17]。但是這種作法會增加功率元件的導通電阻使效能降低，且操作溫度也會被 MOSFET 限制而無法提升。在保有材料優勢的情況下，本文將介紹二種下橋空乏型驅動電路和一種上橋空乏型驅動電路[18]。

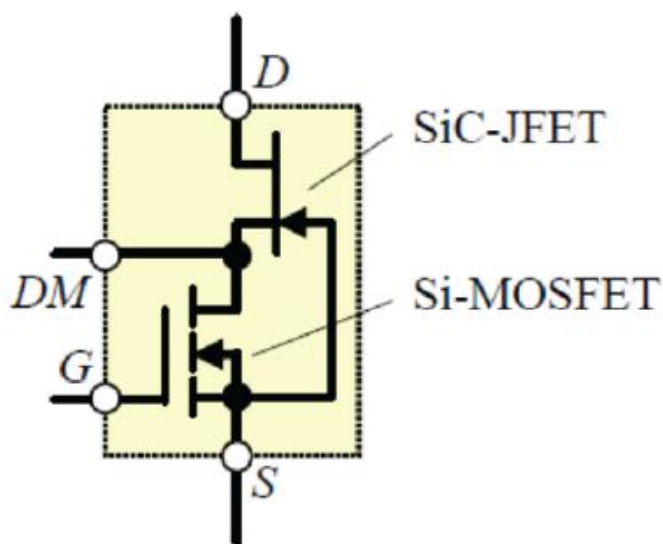


圖 2.7 JFET/MOSFET 複合式加強型元件

下橋空乏型驅動電路

如圖 2.8，此驅動電路是由一個 NMOS 和一個 PMOS 組成圖騰式的電路架構，其操作方式也與加強型驅動電路相同，不同之處在於電路之中的 PMOS 源極由 V_{CC} 改為接地（ GND ），而原本 NMOS 的源極也由接地改為連接負的電壓源 V_{SS} 。當開關 $M1$ 為導通、開關 $M2$ 為關閉時， V_{GS} 約為零使電晶體 ML 導通；當開關 $M1$ 為關閉、開關 $M2$ 為導通時便藉由 V_{SS} 提供負的電壓來關閉空乏型電晶體，在設計上只需要符合 $|V_{SS}| > |V_{th}|$ 此一關係式即可。此驅動電路

有兩個需要解決的問題，其一是要額外設計電路以提供負電壓源；其二是 PWM 控制器的邏輯訊號為正，無法直接控制此驅動電路，需要添加 Level Shifter 將正訊號轉為負訊號。

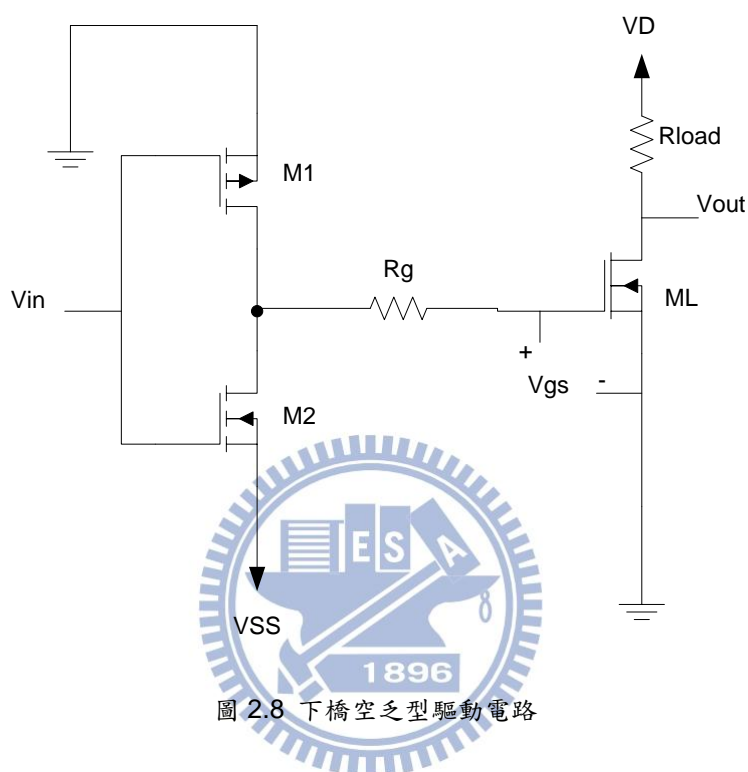


圖 2.8 下橋空乏型驅動電路

上橋空乏型驅動電路

圖 2.9 為上橋開極驅動電路，其架構與加強型的自舉式電路非常類似，都是利用自舉電容來提供開極需要的電壓。圖中電容 C1、二極體 D1 和浮動電壓源 VCC 形成新的空乏型自舉式電路，有別於加強型的自舉電容是在功率電晶體關閉時被充電，此電路的充電時機則在功率電晶體導通時。

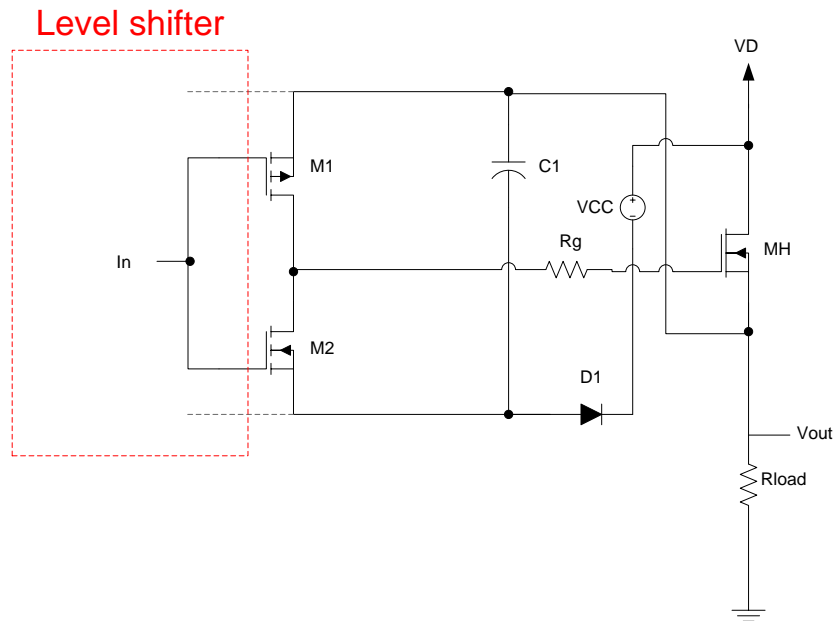


圖 2.9 上橋空乏型驅動電路

其操作原理如下：

- (a) 第一階段：輸入電位 In 為低電位 V_1

開關 $M1$ 導通、開關 $M2$ 關閉時，電晶體 MH 的 V_{GS} 為零使其導通並使 V_{out} 電壓（電容 $C1$ 的正端電壓）被拉到 VD ，此時電容 $C1$ 的負端電壓約等於 $VD - V_{CC}$ ， VD 則藉由電容 $C1$ 、二極體 $D1$ 、 V_{CC} 形成的迴路對電容 $C1$ 充電，所以當電容 $C1$ 被充飽時其跨壓會約等於 V_{CC} ，如圖 2.9(a)所示。

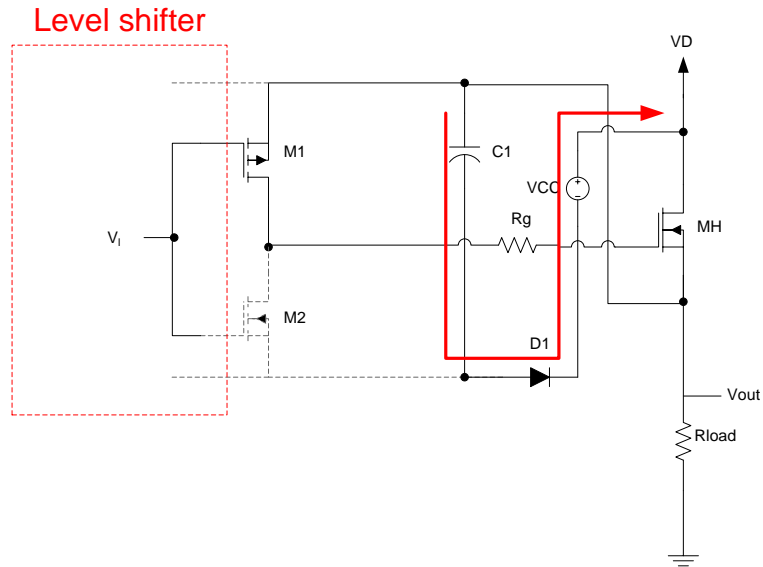


圖 2.9(a) 電容 C1 充電階段，開關 MH 為導通

(b) 第二階段：輸入電位 V_i 為高電位 V_I

開關 M1 關閉、開關 M2 導通時，電晶體 MH 的閘極電壓約為 $-V_{CC}$ 而被關閉，其源極電壓會下降至零，這段過程空乏形元件的閘極電壓藉由電容 C1 維持在 $-V_{CC}$ ，使其持續關閉。當 V_{out} 電壓為零時，電容 C1 的負端電壓會低於零，約為 $-V_{CC}$ ，如圖 2.9(b)所示。

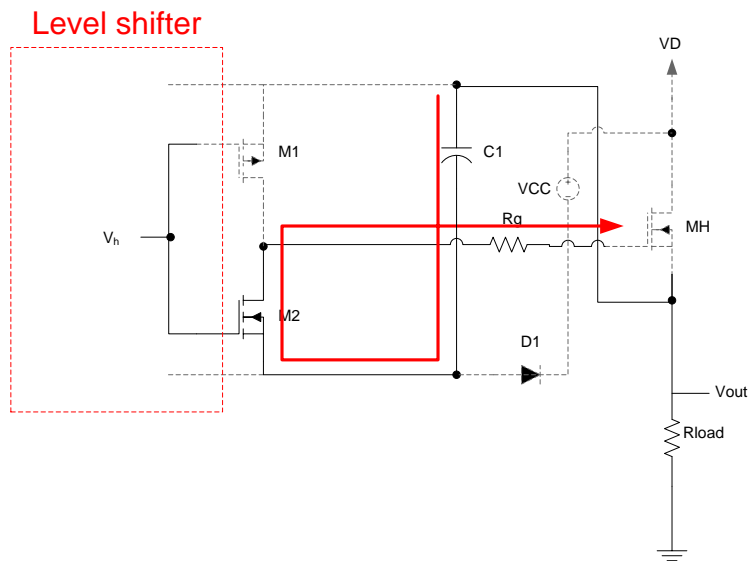
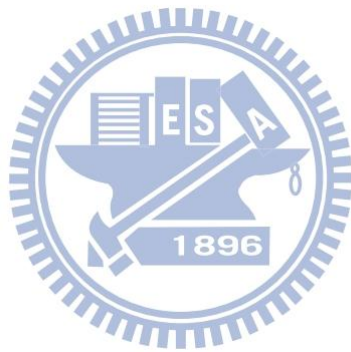


圖 2.9(b) 開關 MH 為關閉，輸出電壓 V_{out} 為零

此作法雖可以解決空乏型電晶體上橋驅動的問題，但是在實際應用上會有困難，最大的問題就在於需要額外提供電壓源，除了要設計 VCC 這個浮動電壓源之外，當自舉電容 C1 的負端，也就是 M2 的源極電壓為負的時候，M2 的閘極電壓也要為負才可關閉，所以還要另外設計出產生負電壓源的電路，且在 M1 和 M2 的切換上也無法直接使用正訊號作控制，增加其實現的困難度，本論文將在第三章詳細介紹如何將電路改良成可直接使用正訊號控制，並且也不必設計負電壓源電路。



第三章

功率電晶體閘極驅動電路設計實現

本章節將驅動電路分成上橋電路以及下橋電路討論，下橋驅動電路是使用 AlGaIn/GaN 電晶體來作為驅動對象，上橋則是先使用一般 Si 材質之加強型電晶體作為驅動對象，最後改為 AlGaIn/GaN 材質之空乏型電晶體，並分別以 hspice 模擬與電路實作驗證。

本章節將依序介紹：3.1 Si 電晶體和 AlGaIn/GaN 電晶體在設計上的差異性
3.2 下橋驅動電路 3.3 不使用高崩潰電壓元件之加強型上橋驅動電路 3.4 空乏型上橋驅動電路設計

3.1 Si 電晶體和 AlGaIn/GaN 電晶體在設計上的差異性

由於本論文並不是使用一般的 Si 材質之 Power MOS 來當作電晶體材料，而是使用 AlGaIn/GaN 來作為電晶體之材質，這兩種材質在運作上最大的不同就是 Si 材質之 MOS 是加強型之電晶體，需要在閘極加入一個正伏特的電壓 V_{th} 才能使汲極-源極導通，而沒加電壓則會使之關閉；AlGaIn/GaN 材質之 MOS 是空乏型之電晶體，在閘極不需要加入任何電壓就會使汲極-源極導通，反而需要加入一負電壓 V_{th} 才能使其關閉，基本操作方法在第二章已詳細介紹過。

3.2 下橋閘極驅動電路

本論文使用 AlGaIn/GaN 電晶體當下橋主要開關，因 GaN 電晶體是空乏型電晶體，符合第二章第四節的介紹，但第二章介紹的下橋驅動電路(圖 2.8)需要額

外加入負電壓源VSS，且控制訊號Vin也需要負電壓控制，不符合實際運用情形，圖 3.1 為改良後之空乏型電晶體的閘極驅動電路。開關 M1 和開關 M2 同樣組成圖騰式架構，但是在電晶體閘極之前添加了電容 C1 和二極體 D1，用以提供負的 VGS 使電晶體關閉。

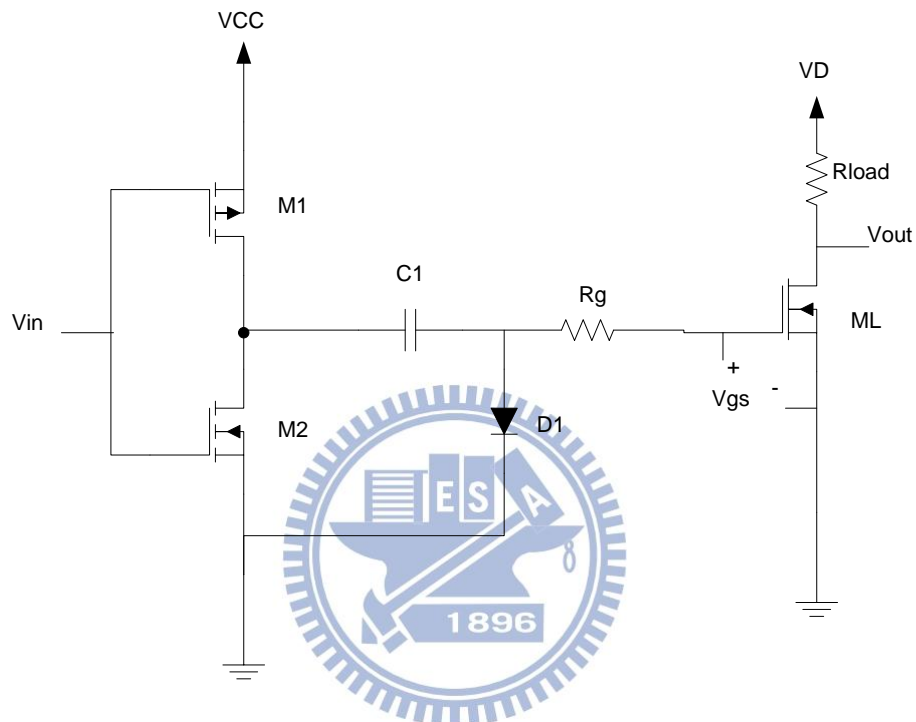


圖 3.1 正電壓控制之下橋空乏型驅動電路

其操作方式如下：

(a) 第一階段：輸入電位 V_{in} 為低電位 V_1

開關 M1 導通，開關 M2 關閉，VCC 經由開關 M1、電容 C1、二極體 D1 形成的迴路對電容 C1 充電，使其跨壓約等於 VCC，此時電容 C1 的負端電壓趨近於零使功率電晶體 M_L 導通，如圖 3.1(a)所示。

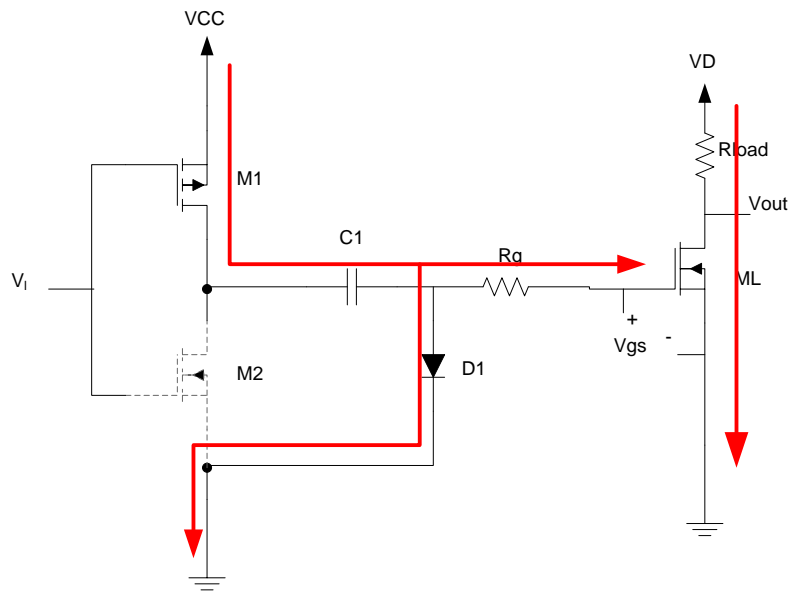


圖 3.1(a) 開關 ML 導通階段

(b) 第二階段：輸入電位 V_{in} 為高電位 V_h

開關 M1 為關閉、開關 M2 為導通，電容 C1 的正端電壓被拉到零，因為電容 C1 兩端電壓差使電晶體 ML 的閘極電壓為 $-V_{CC}$ 而將功率電晶體關閉，如圖 2.9(b) 所示。

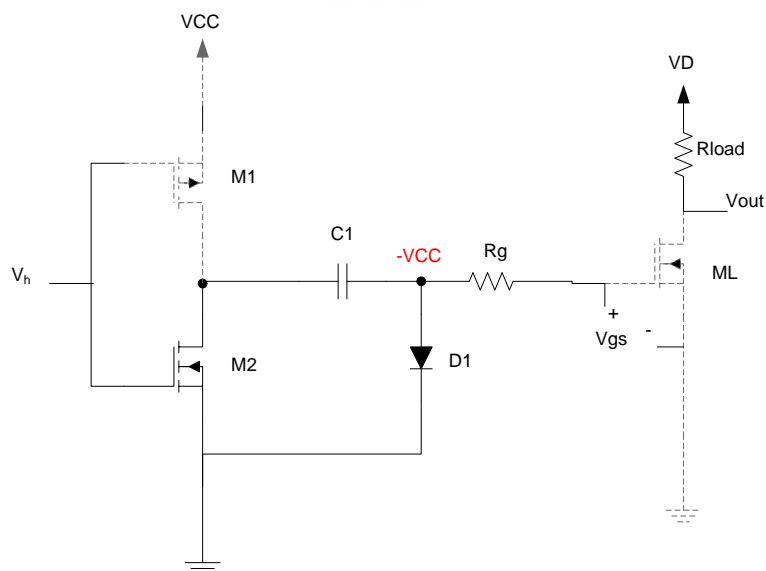


圖 3.1(b) 開關 ML 關閉階段

電路工作原理如下：

(a) 第一階段：輸入電位 V_{in} 為電位零

開關 M_{P1} 為關閉，開關 M_{P2} 為導通，高電位 V_{DDH} 除了經由開關 M_{P2} 對電容 $C2$ 充電，同時也經由二極體 $D1$ 對電容 $C1$ 充電，A 點的電位為 $V_{DDH} - V_{D1}$ ，B 點電位為 V_{DDH} ，此時開關 M_{P3} 為關閉，開關 M_{N3} 為導通，輸出電壓 V_{out} 為零，如圖 3.2(a) 所示。

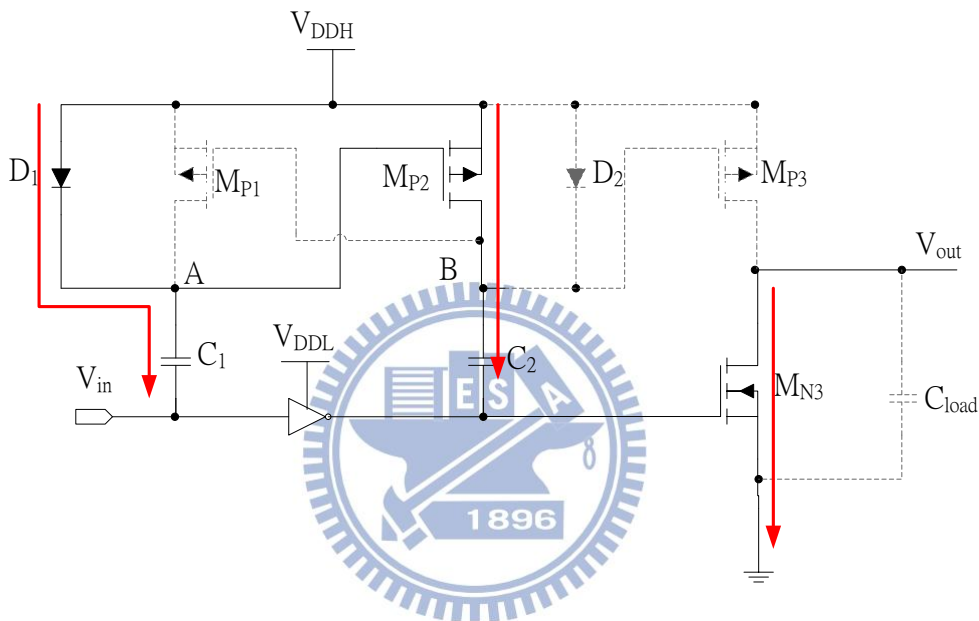


圖 3.2(a) 開關 M_{P3} 關閉，輸出電壓為零

(b) 第二階段：輸入電位 V_{in} 為電位 V_{DDL}

瞬間 A 點電壓被提升到 $V_{DDL} + V_{DDH} - V_{D1}$ ，B 點電壓被降低到 $V_{DDH} - V_{DDL}$ ，開關 M_{P1} 為導通，開關 M_{P2} 為關閉，開關 M_{P3} 導通，開關 M_{N3} 關閉，此時 A 點電壓放電到 V_{DDH} ，B 點電壓提升到 $V_{DDH} - V_{D2}$ ，輸出電壓 V_{out} 為 V_{DDH} ，如圖 3.2(b) 所示。

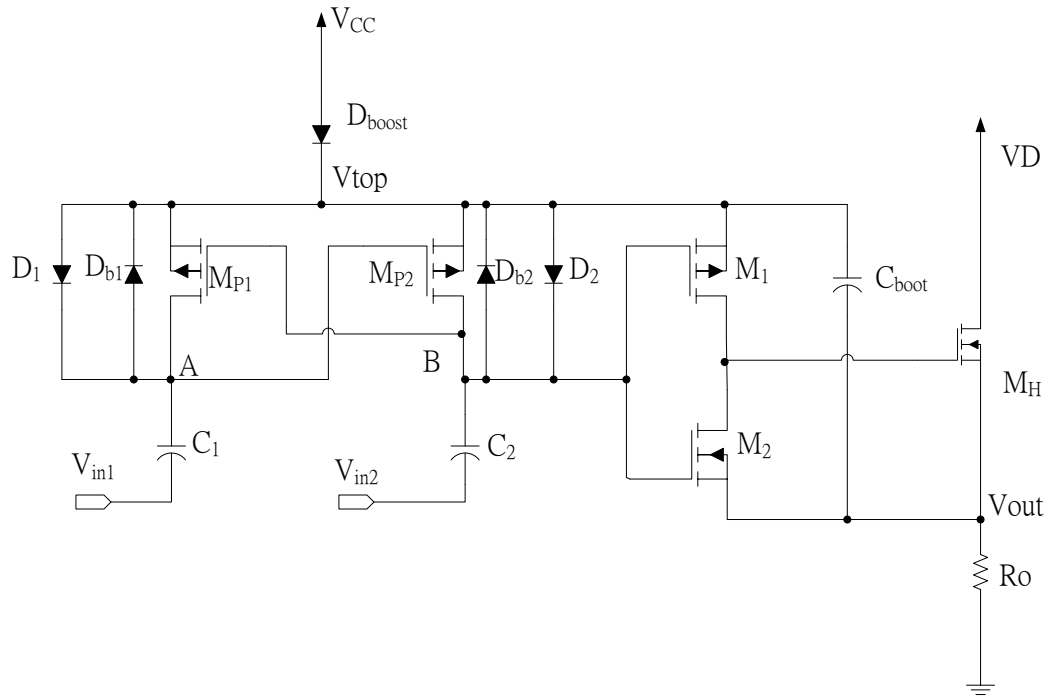


圖 3.3 本論文之電路架構

M_H 為上橋的功率電晶體，分別由 M_1 、 M_2 兩電晶體驅動。電路的控制電壓由 V_{in1} 、 V_{in2} 輸入，其位準分別為零以及 V_h ； D_{b1} 、 D_{b2} 為二極體(body diode)，其導通電壓為 V_{DB} ； D_1 、 D_2 為二極體，其導通電壓為 V_{thd} 。 M_{P1} 、 M_{P2} 、 M_1 為 PMOS，其臨界電壓 V_{thP} ， M_2 為 NMOS，臨界電壓為 V_{thN} 。此電路設計的要點之一在於， $V_{CC} > V_{thN}$ ， $V_{thd} > |V_{thP}|$ ， $V_h - V_{thd} > 0$ 。

電路工作原理如下：

(a) 第一階段(初始狀態)：輸入電位 V_{in1} 為電位零，輸入電位 V_{in2} 為電位零

瞬間開關 M_{P1} 為導通、開關 M_{P2} 為導通，A 點和 B 點電壓同時上升到 V_{CC} ，此時開關 M_{P1} 為關閉，開關 M_{P2} 為關閉，電壓源 V_{CC} 經由二極體 D_{boot} 對自舉式電容 C_{boot} 充電，且電容 C_1 與電容 C_2 的跨壓為 V_{CC} ，如圖 3.3(a)所示。

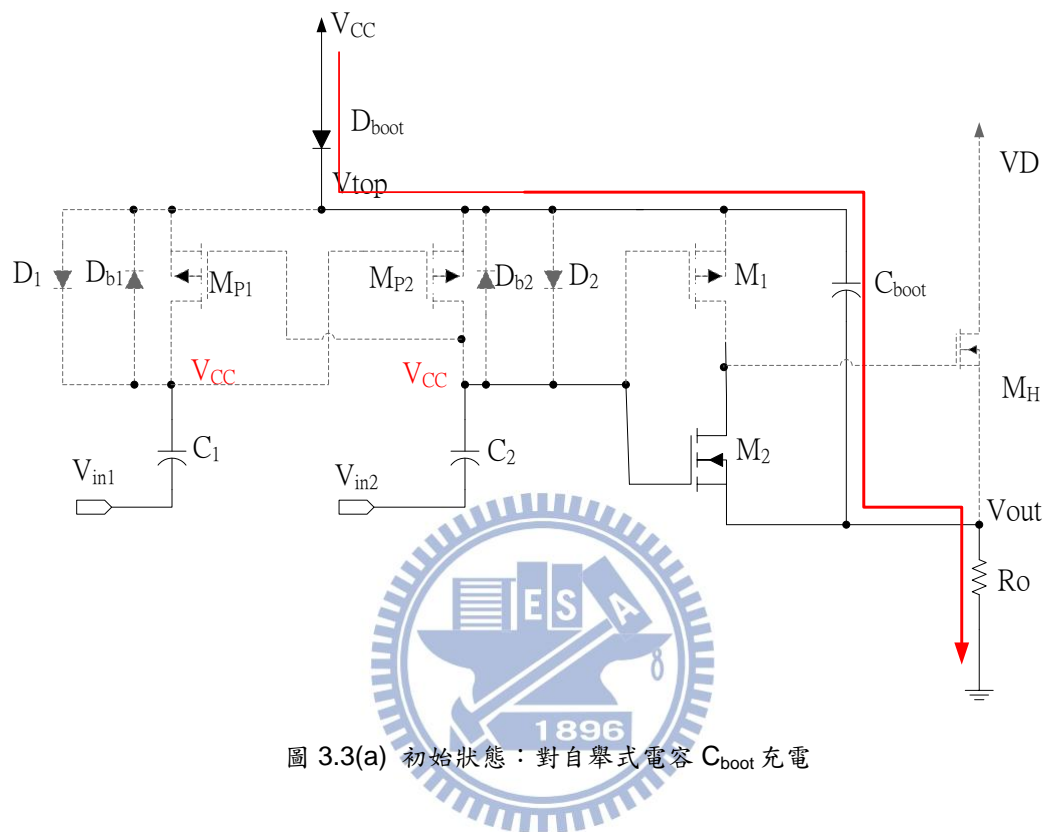


圖 3.3(a) 初始狀態：對自舉式電容 C_{boot} 充電

(b) 第二階段：輸入電位 V_{in1} 為電位零，輸入電位 V_{in2} 為電位 V_h

開關 M_{P1} 關閉，開關 M_{P2} 關閉，由於二極體 D_{b2} 的存在，此時電流主要由電容 C_2 透過二極體 D_{b2} 對電容 C_{boot} 充電直到 B 點電壓從 $V_{CC} + V_h$ 下降到 $V_{CC} + V_{DB}$ 為止，而 A 點則維持電壓 V_{CC} 。而電容 C_1 的跨壓為 V_{CC} ，電容 C_2 的跨壓下降到 $V_{CC} + V_{DB} - V_h$ ，開關 M_1 關閉，開關 M_2 導通，電晶體 M_H 的 VGS(閘-源極電位差)為零，因此電晶體 M_H 關閉，輸出電壓 V_{out} 電壓為零，如圖 3.3(b)所示。

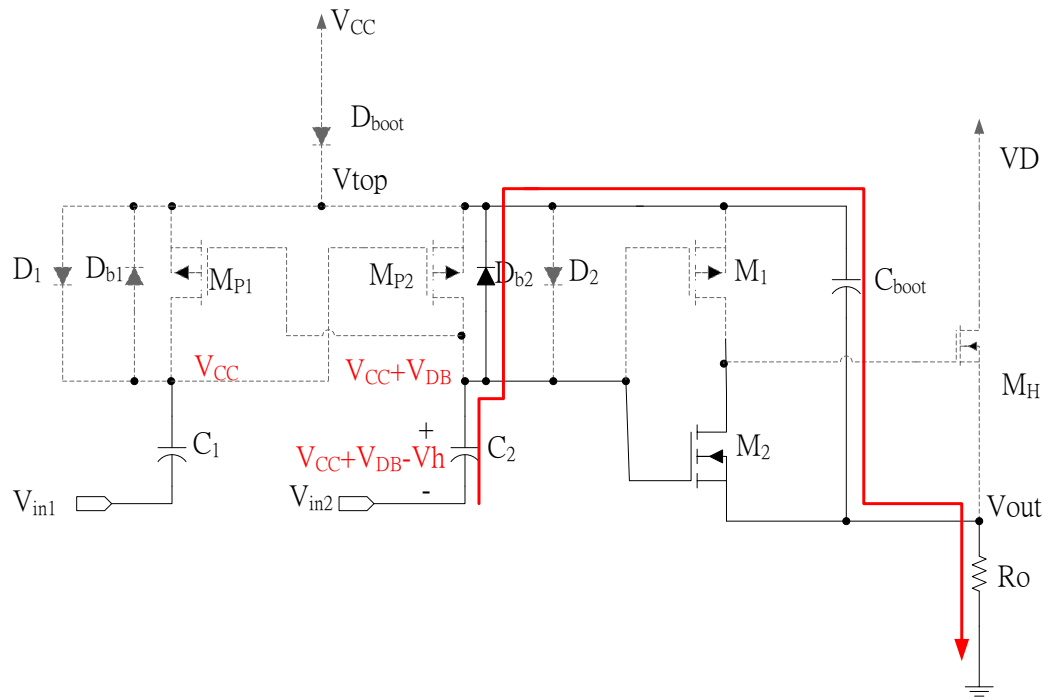


圖 3.3(b) 電晶體 M_H 關閉，輸出電壓 V_{out} 為零

(c) 第三階段：輸入電位 V_{in1} 為電位 V_h ，輸入電位 V_{in2} 為電位零

輸入切換後，A 點瞬間電壓為 $V_{CC} + V_h$ ，B 點瞬間電壓下降為 $V_{CC} + V_{DB} - V_h$ ，由於二極體 D_{b1} 的存在，A 點電壓下降到 $V_{CC} + V_{DB}$ ，因此開關 M_{P1} 導通，開關 M_{P2} 關閉。此外，B 點電壓使得開關 $M1$ 導通以及開關 $M2$ 關閉，因此電晶體 M_H 導通， V_{out} 電壓開始上升。由於自舉式電容 C_{boot} 的 Bootstrap 的技術，使得 V_{top} 電壓往上提升，A 點電壓由於開關 M_{P1} 導通，其值約等於 V_{top} 。因此，開關 M_{P2} 持續關閉、開關 M_{P1} 、開關 $M1$ 持續導通。電壓提升至一定程度後，電容 C_{boot} 透過二極體 $D2$ 對電容 $C2$ 充電。最後 V_{top} 電壓為 $V_{CC} + V_D$ 、A 點電壓約等於 V_{top} 、B 點電壓約等於 $V_{top} - V_{thd}$ 。此時，電容 $C1$ 的跨壓為 $V_{top} - V_h$ ，電容 $C2$ 的跨壓為 $V_{top} - V_{thd}$ ，如圖 3.3(c)所示。

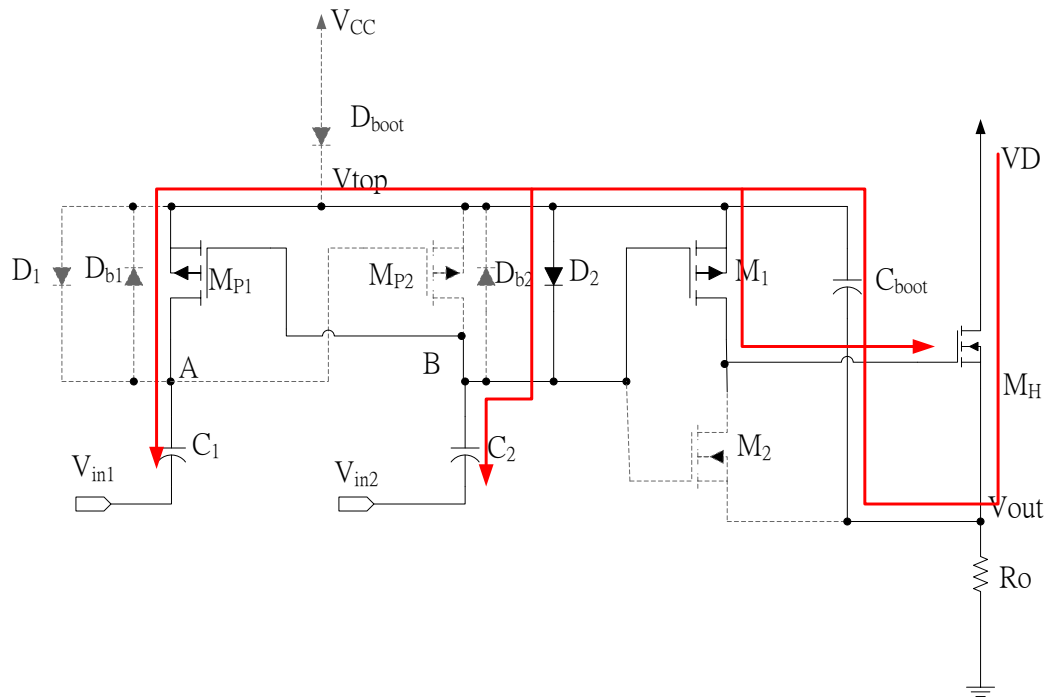


圖 3.3(c) 電晶體 M_H 導通，輸出電壓 V_{out} 為 V_D

(d) 第四階段：輸入電位 V_{in1} 為電位零，輸入電位 V_{in2} 為電位 V_h

輸入切換後，A 點瞬間電壓為 $V_{top} - V_h$ ，B 點電壓為 $V_{top} - V_{thd} + V_h$ 。由於二極體 D_{b2} 的存在，B 點電壓維持在 V_{top} ，因此開關 M_{P1} 關閉，開關 M_{P2} 導通、開關 M_1 關閉、開關 M_2 導通，進而使得電晶體 M_H 關閉， V_{out} 電壓開始往下降，當 V_{top} 電壓比 A、B 點電壓低時，電容 C_1 、 C_2 分別透過二極體 D_{b1} 、 D_{b2} 對 C_{boot} 充電；A、B 點電壓約等於 $V_{top} + V_{DB}$ ，因此開關 M_{P1} 關閉，開關 M_{P2} 關閉。最後 V_{top} 約等於 V_{CC} ， V_{out} 電壓為零。此時個開關運作的狀態和各點電壓與第二階段相同。

因此，重複上述第三階段與第四階段，即可利用控制訊號 (V_{in1} 、 V_{in2}) 完成加強型上橋功率電晶體的開關控制。

3.3.2 加強型上橋驅動電路之 Hspice 模擬結果

HSPICE 的電路模擬分別顯示於圖 3.4 與圖 3.5。在此電路設計中，輸出電壓為 24V，開關切換頻率為 10KHz，此電路架構未來可運用在輸出電壓 600V 下運作。此外，由模擬圖中可以看出，在圖 3.4 中開關 M1 與開關 M2 導通的 VGS (| VDS |) 小於 VCC，開關 M_{P1} 的 VSD 即是開關 M_{P2} 的 VSG；開關 M_{P2} 的 VSD 即是開關 M_{P1} 的 VSG，其電壓皆小於 V_{thd}。因此開關 M_{P1}、開關 M_{P2}、開關 M1、開關 M2 皆不需要具備高崩潰電壓，而在圖 3.5 中則顯示電容 C1 的跨壓 V_{C1} 以及電容 C2 的跨壓 V_{C2} 代替電晶體承受高電位差，此作法的好處為未來電路整合成積體電路架構，不須額外加入 LDMOS 製程，也可以使電路的運作功率更往上提升。

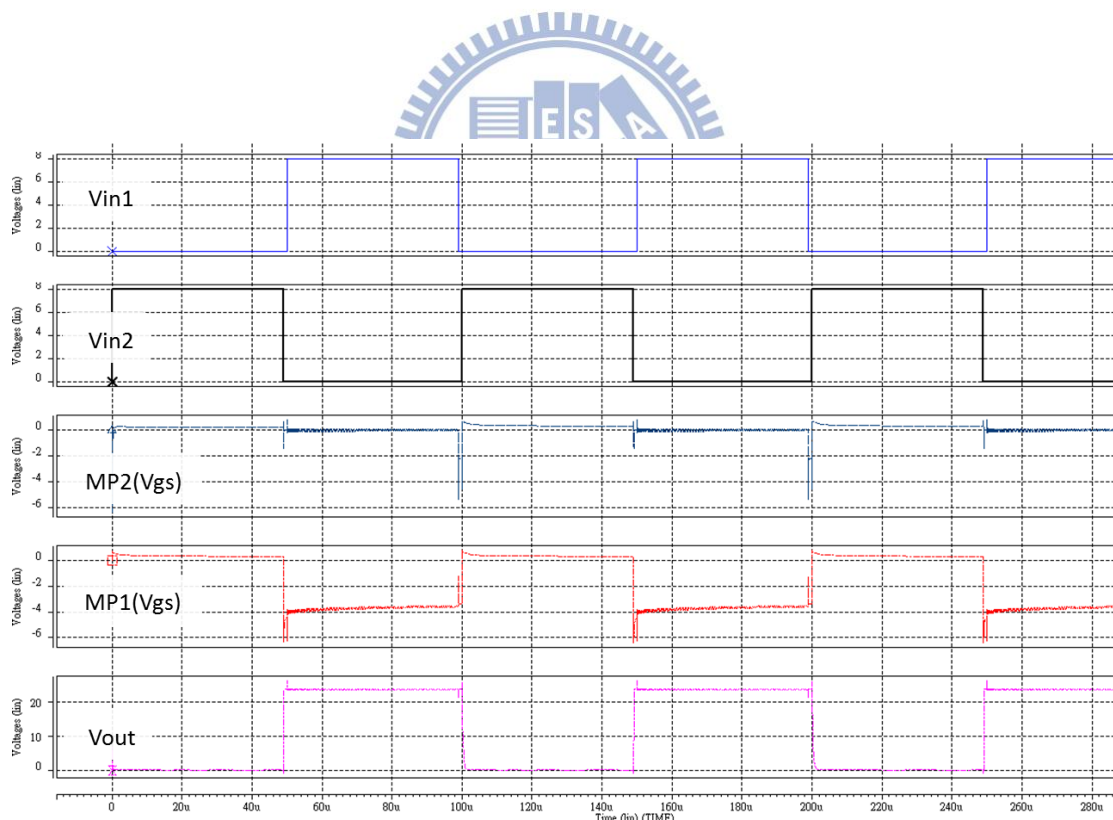


圖 3.4 HSPICE 模擬： V_{in1} 、 V_{in2} 、 M_{P2} (V_{GS})、 M_{P1} (V_{GS})、 V_{out} 電壓變化圖

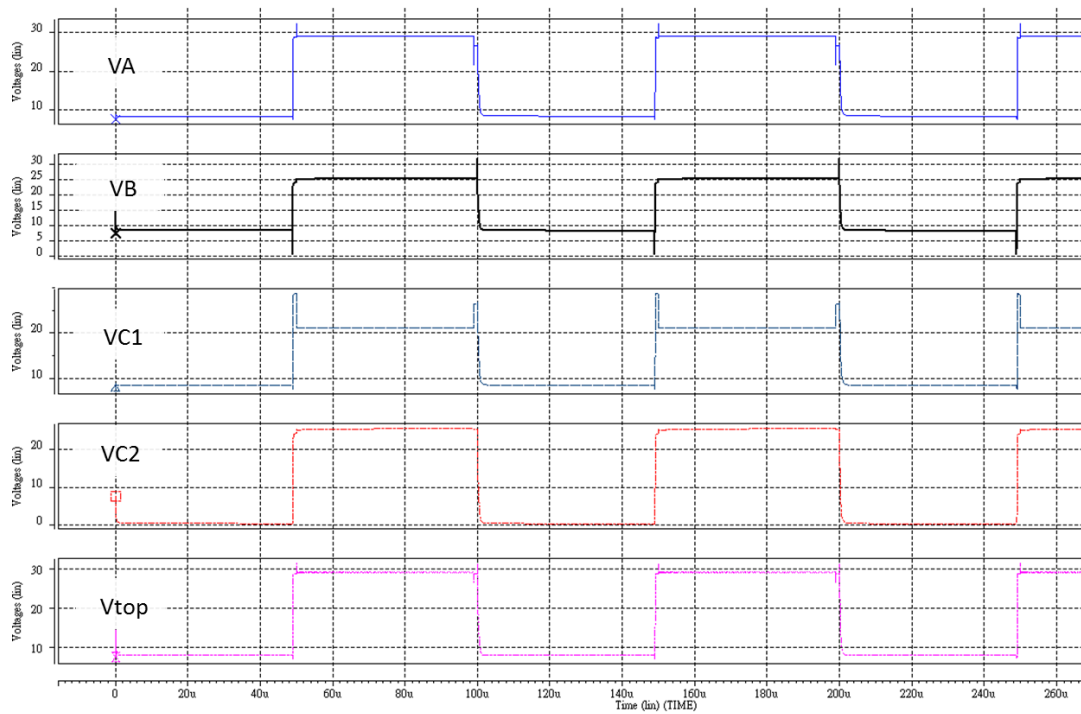


圖 3.5 HSPICE 模擬： V_A 、 V_B 、 V_{C1} 、 V_{C2} 、 V_{top} 電壓變化圖



3.3.3 加強型上橋驅動電路實驗結果

圖 3.6 為做完上橋模擬分析以後，以電路繪製軟體 Altium Designer layout 後之結果，圖 3.7 為實際接上電路板上之情形，圖 3.8 為實際量測之波形圖，在此實驗中各項參數如表 1 所示，其中 V_{in1} 和 V_{in2} 為相位相差 180 度且工作週期(duty cycle)為 50%之方波，從實驗結果可得知此電路架構可在輸出電壓 24V，開關切換頻率 10KHz 下正常運作。

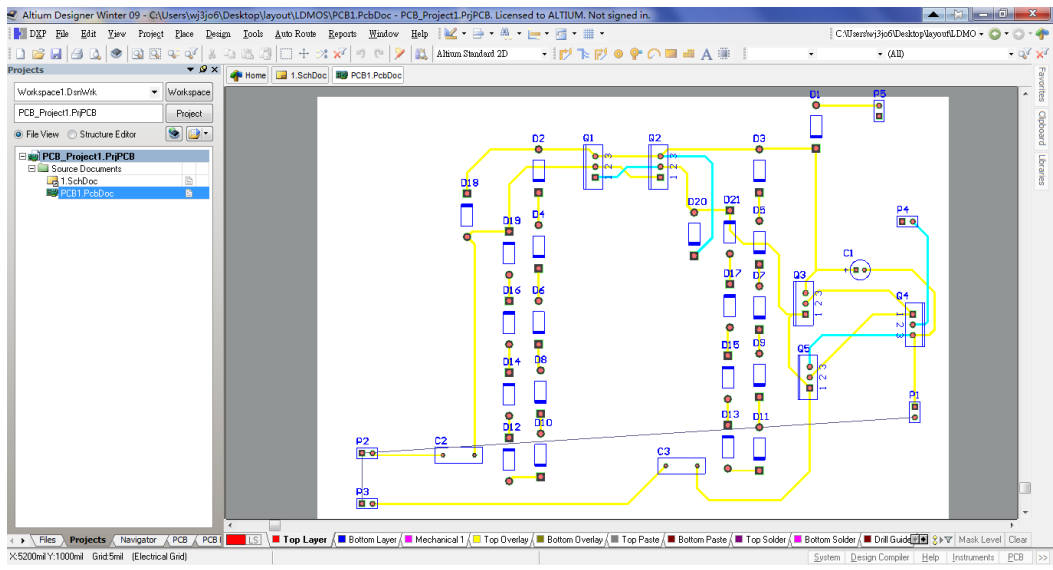


圖 3.6 Altium Designer layout

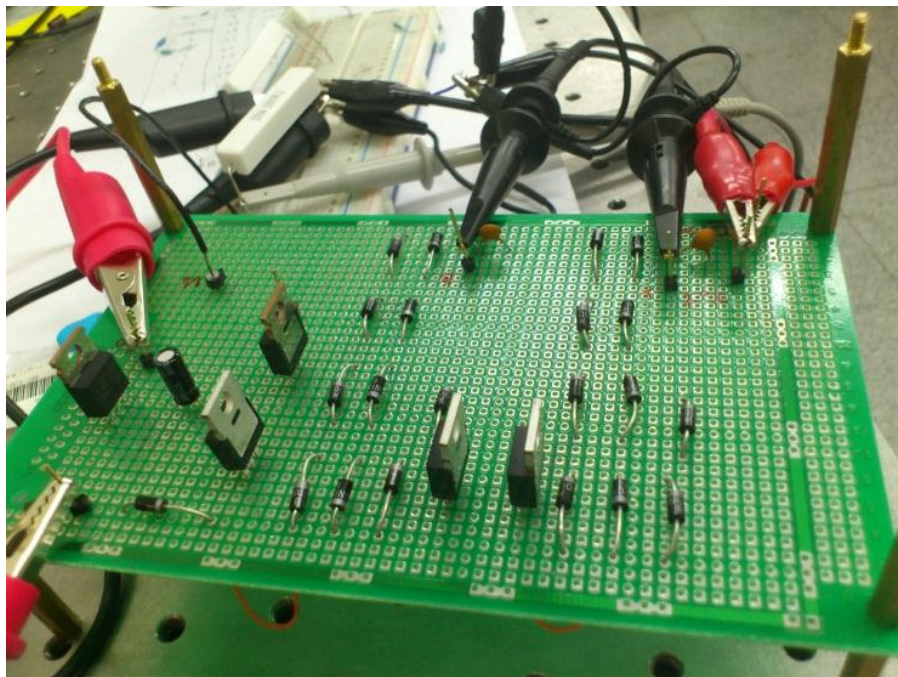


圖 3.7 加強型上橋驅動電路實驗之電路

參數符號	參數值
VCC	10 V
VD	24V
In ₁	8 V 10K HZ(duty cycle 50% 方波)
In ₂	8 V 10K HZ(duty cycle 50% 方波)delay 180°
C ₁	33n F
C ₂	33n F
C _{boost}	470n F
V _{thP}	-3.45 V
V _{thN}	3.79 V
R _o	100 Ω

表 1 加強型驅動電路各參數值

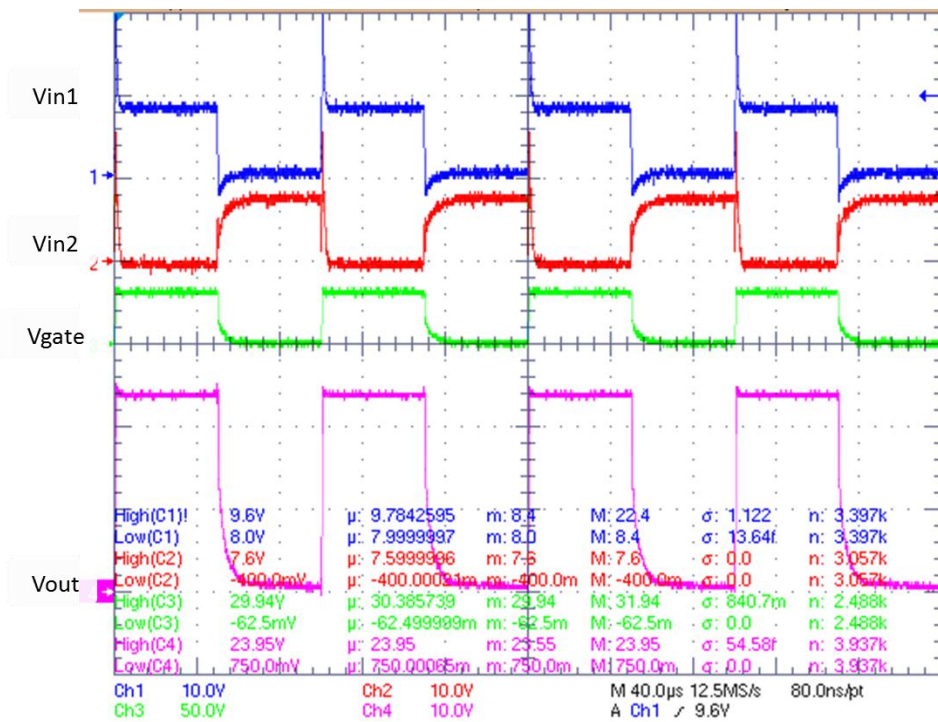


圖 3.8 加強型驅動電路實際量測之波形圖

3.4 空乏型上橋驅動電路設計

在本論文第二章節討論到的上橋驅動電路雖然可以切換空乏型電晶體，但是需要另外設計一個電路提供浮動電壓源，且在控制上也無法直接使用 PWM 控制器提供的正訊號作控制，如此將增加電路的複雜性，其切換速度也會因為龐大的附加電路而變慢，無法適用於高頻操作的氮化鎵電晶體。為了使控制簡單，本研究將下橋閘極驅動電路的架構直接應用於上橋驅動電路中，其電路架構如圖 3.9 所示。

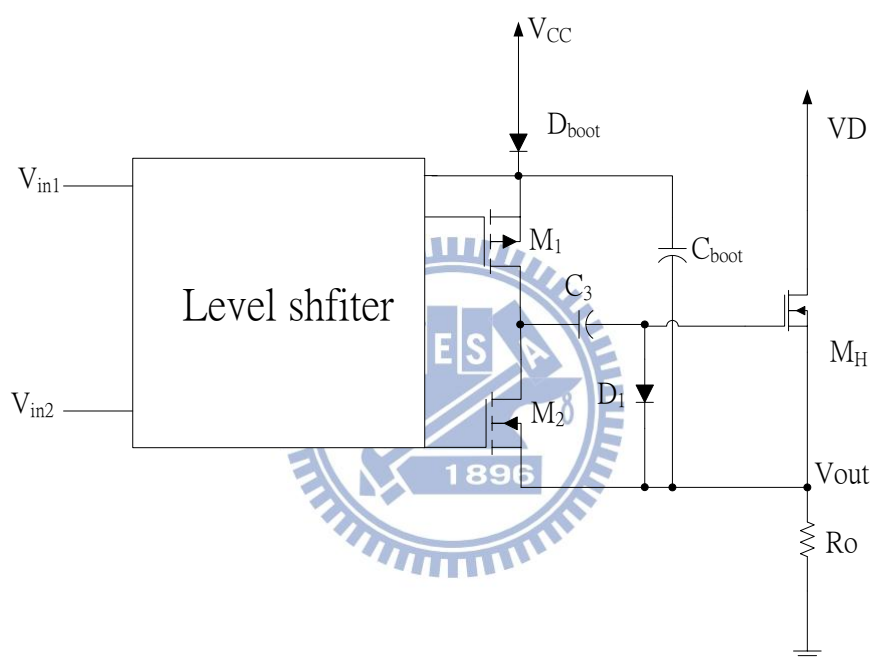


圖 3.9 氮化鎵上橋驅動電路示意圖

上橋驅動的方式使用之前介紹過的自舉式電路，利用自舉電容提供功率電晶體穩定的 VGS，由於添加了 C3 和 D1 在驅動電路中，使自舉式電路的操作方式與加強型的操作方式相同，我們將完整的驅動電路加入後如圖 3.10 所示。

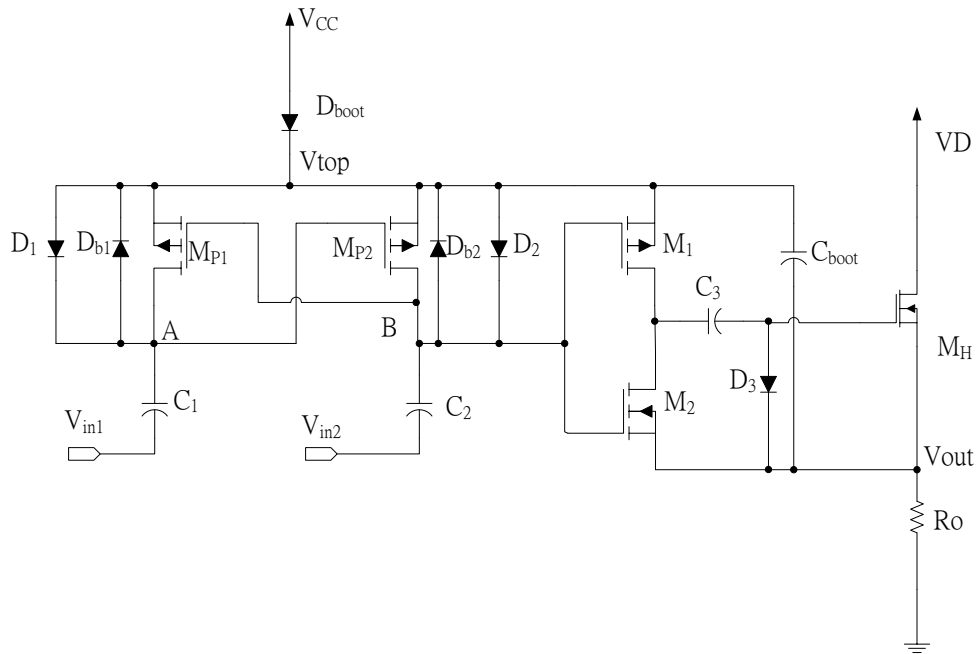


圖 3.10 氮化鎵上橋驅動電路圖

但在實際操作上發現電路仍然不能運作，因為上橋功率電晶體為一空乏型電晶體，其 Normally-on 的特性會使其一開始即無法關閉，縱使 M1/M2 關閉時，MH 之 VGS 仍然會藉由寄生電容 CGS 維持在 0V，MH 的源極電壓也會迅速到達 VDD，使得 VCC 無法藉由 D 對 C1 充電進而導致電容跨壓不足，使 Mtop 無法正常關閉。為解決此問題，尚須設計一電路來啟動上橋開關級驅動電路。

3.4.1 使用負電壓源之啟動電路設計

圖 3.11 中的虛線部分即為啟動電路的設計，包含電晶體 M3、Level Shifter 電路和負電壓源 VSS。在電路開始運作時，啟動電路中的電晶體 M3 導通，使上橋空乏型電晶體的閘極電位約等於 VSS，將上橋電晶體 M_H 關閉，此時電壓源 VCC 經由二極體 D_{boot} 對自舉電容 C_{boot} 充電，當電容 C_{boot} 跨壓充至 VCC 時，便可以將啟動電路的開關 M3 關閉。因為 C_{boot} 內存在足夠的跨壓，使此驅動電路正常進行切換電晶體的動作。

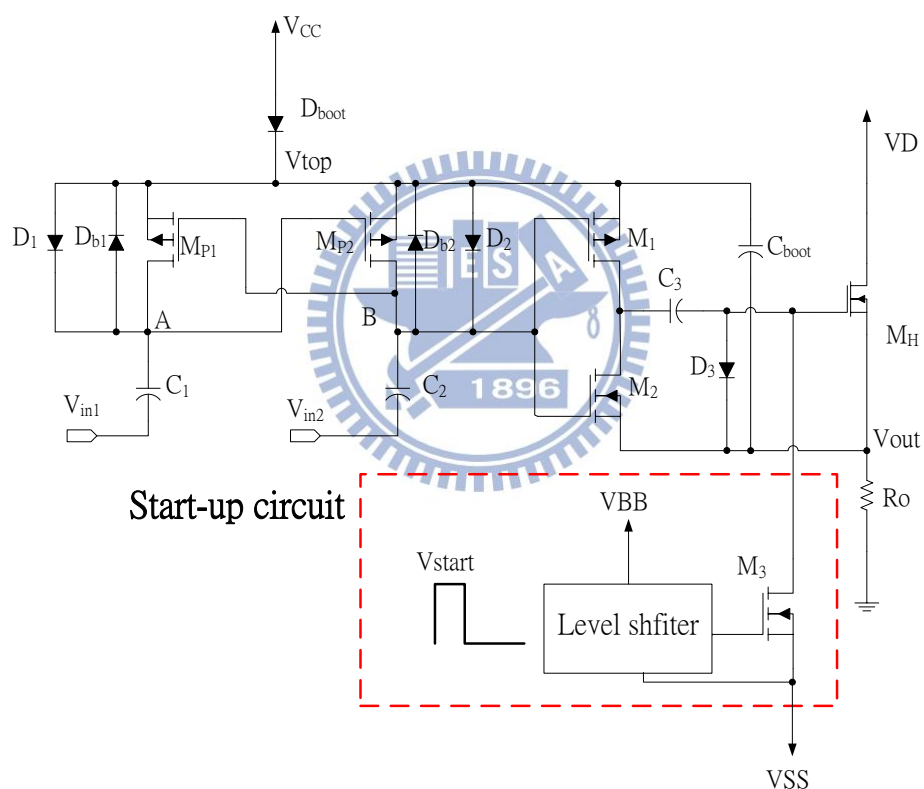


圖 3.11 負電壓源之啟動電路

要控制 M3 的導通狀態，在啟動電路中需要設計一 Level Shifter 電路，將邏輯訊號的正位準轉換成負位準，進行此一負電壓（VSS）的開關控制[18]。

3.4.2 使用正電壓源之啟動電路設計

上述的作法雖然可以正確完成上橋空乏型電晶體的驅動，但是其啟動電路需要一負電壓源 V_{SS} 及複雜的 level shifter 電路。增加實行的困難性，因此本論文設計出另一作法，如圖 3.12 所示。

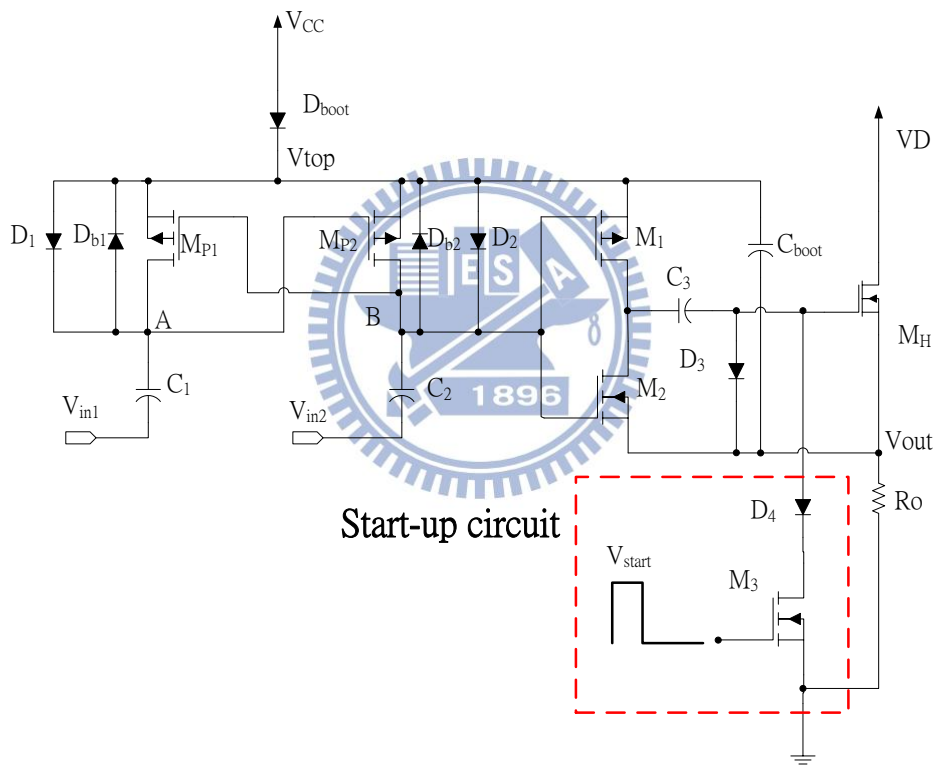


圖 3.12 正電壓源之啟動電路

此作法將圖 3.11 的負電壓源 (V_{SS}) 改為接地，如此便可以直接利用電位 VC 的脈衝訊號 V_{start} (在一開始電路運作前半週期輸入 VC 電壓，後來皆為零) 訊號來控制啟動電路，不需要額外的 Level shifter。其操作方式與圖 3.11 相似，詳細的電路運作如下：

(a) 第一階段(初始狀態)：輸入電位 V_{in1} 為電位零，輸入電位 V_{in2} 為電位零

瞬間開關 M_{P1} 為導通、開關 M_{P2} 為導通，A 點和 B 點電壓同時上升到 V_{CC} ，此時開關 M_{P1} 為關閉，開關 M_{P2} 為關閉，開關 M_1 關閉，開關 M_2 導通，因為電晶體 M_H 導通，輸出電壓 V_{out} 為 V_D ，電容 C_{boot} 因為還沒充電，所以 V_{top} 無法拉到電壓 V_D ，此時電容 C_1 與電容 C_2 的跨壓為 V_{CC} ，如圖 3.12(a)所示。

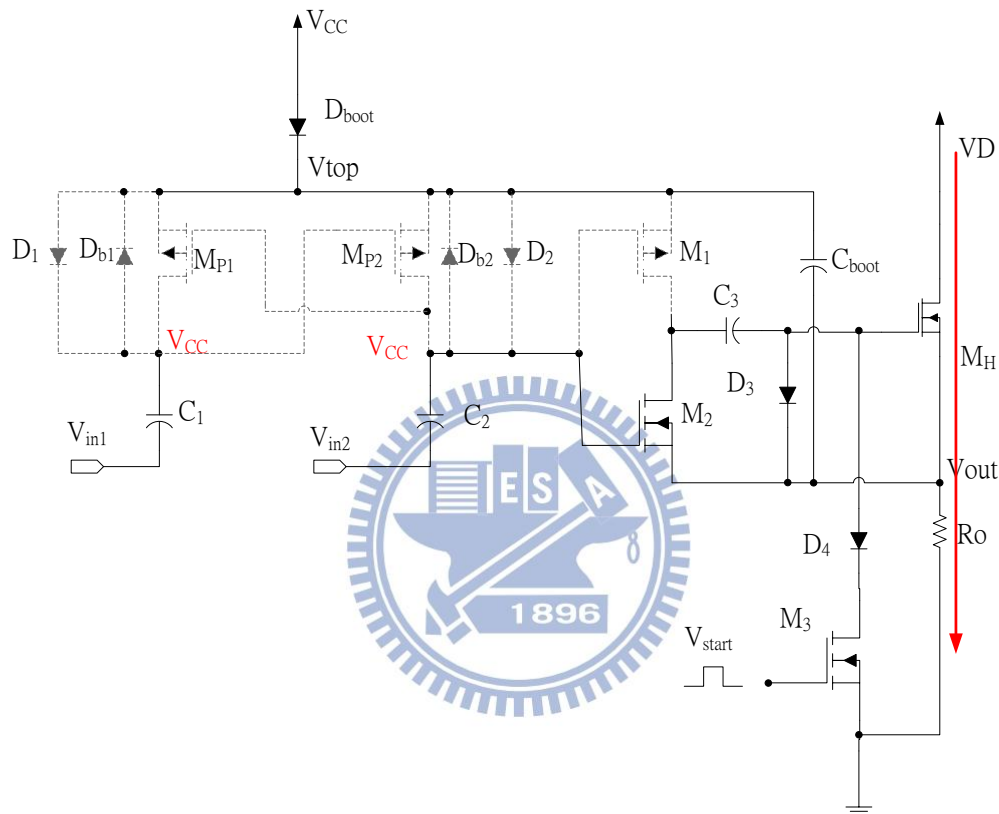


圖 3.12(a) 初始狀態：電晶體 M_H 導通，輸出電壓為 V_D

(b) 第二階段：輸入電位 V_{in1} 為電位零，輸入電位 V_{in2} 為電位 V_h ，輸入電位 V_{start} 為電位 V_C

在一開始由於啟動電路中的開關 M_3 導通，使上橋電晶體 M_H 的閘極電位約為零，如此電位 V_{out} 將會被限制在電晶體 M_H 的臨界電壓上（若是上橋電晶體的

V_{th} 為 $-4V$ ，則 V_{out} 會約為 $4V$)，電容 C_3 的跨壓可充電到約 $|V_{th}|$ ，開關 MP_1 關閉，開關 MP_2 關閉，由於二極體 D_{b2} 的存在，此時電流主要由電容 C_2 透過二極體 D_{b2} 對電容 C_{boot} 充電直到 B 點電壓從 $V_{CC} + V_h$ 下降到 $V_{CC} + V_{DB}$ 為止，而電容 C_{boot} 可充電到跨壓為 $V_{CC} - V_{out}$ ，而 A 點則維持電壓 V_{CC} 。而電容 C_1 的跨壓為 V_{CC} ，電容 C_2 的跨壓下降到 $V_{CC} + V_{DB} - V_h$ ，如圖 3.12(b)所示。

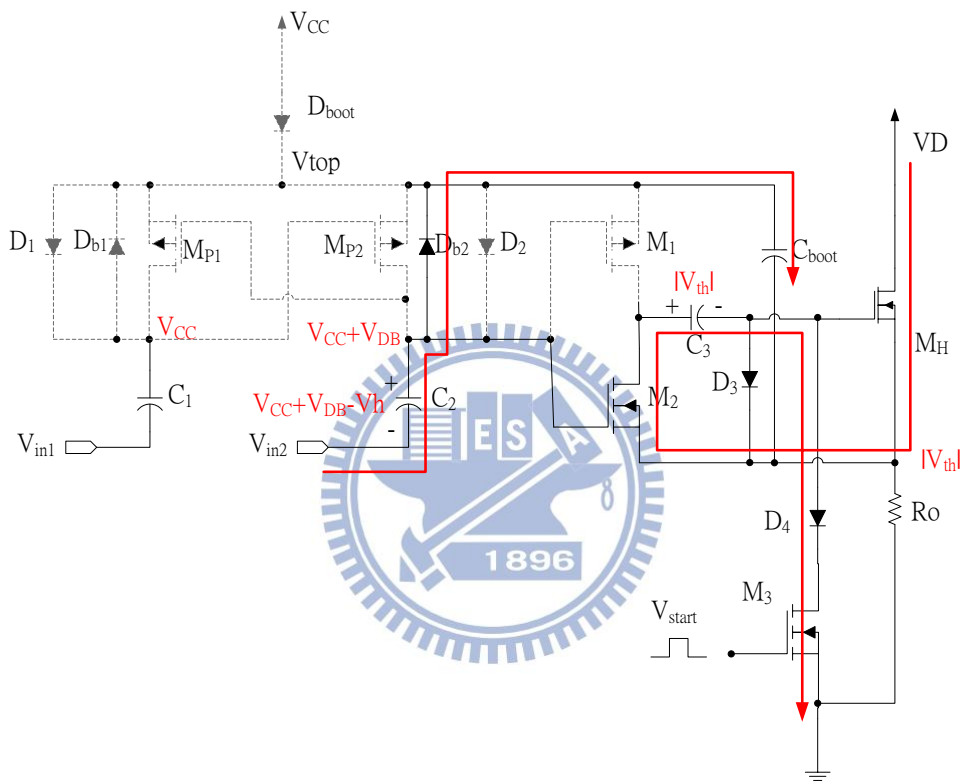


圖 3.12(b) 啟動電路運作階段：使自舉電容 C_{boot} 能夠充電

(c) 第三階段：輸入電位 V_{in1} 為電位 V_h ，輸入電位 V_{in2} 為電位零，輸入電位 V_{start} 為電位零

開關 M_3 關閉， A 點瞬間電壓為 $V_{CC} + V_h$ ， B 點瞬間電壓下降為 $V_{CC} + V_{DB} - V_h$ ，由於二極體 D_{b1} 的存在， A 點電壓下降到 $V_{CC} + V_{DB}$ ，因此開關 MP_1 導通，開關

M_{P2} 關閉。此外，B 點電壓使得開關 M_1 導通以及開關 M_2 關閉，因此電晶體 M_H 導通， V_{out} 電壓開始上升。此時自舉式電容 C_{boot} 在前一階段已經充電，使得 V_{top} 電位可以往上提升，A 點電壓由於開關 M_{P1} 導通，其值約等於 V_{top} 。因此，開關 M_{P2} 持續關閉、開關 M_{P1} 、開關 M_1 持續導通。電壓提升至一定程度後，電容 C_{boot} 透過二極體 D_2 對電容 C_2 充電，同時也透過開關 M_1 對電容 C_3 充電。最後 V_{top} 電壓為 $V_{CC}+V_D$ 、A 點電壓約等於 V_{top} 、B 點電壓約等於 $V_{top}-V_{thd}$ 。 V_{out} 電壓此時為 V_D ，電容 C_1 的跨壓為 $V_{top}-V_h$ ，電容 C_2 的跨壓為 $V_{top}-V_{thd}$ ，電容 C_3 的跨壓為 $V_{CC}-V_{thd}$ ，如圖 3.12(c)所示。

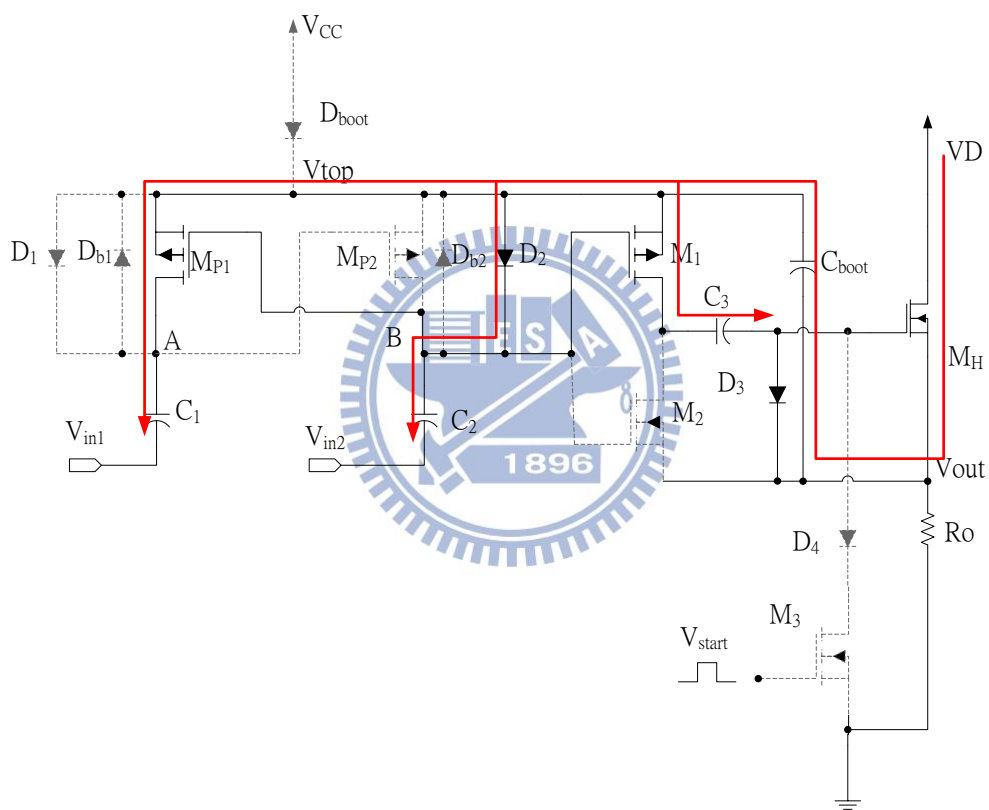


圖 3.12(c) 電晶體 M_H 完全導通，輸出電壓 V_{out} 為 V_D

(d) 第四階段：輸入電位 V_{in1} 為電位零，輸入電位 V_{in2} 為電位 V_h ，輸入電位 V_{start} 為電位零

A 點瞬間電壓改變為 $V_{top}-V_h$ ，B 點電壓為 $V_{top}-V_{thd}+V_h$ 。由於二極體 D_{b2} 的存在，B 點電壓維持在 V_{top} ，因此開關 M_{P1} 關閉，開關 M_{P2} 導通、開關 M_1 關閉、

開關 M_2 導通，進而使得電晶體 M_H 的閘極電壓為 $-V_{CC}$ ，使電晶體 M_H 關閉， V_{out} 電壓開始往下降，當 V_{top} 電壓比 A、B 點電壓低時，電容 C_1 、 C_2 分別透過二極體 D_{b1} 、 D_{b2} 對 C_{boot} 充電；A、B 點電壓約等於 $V_{top} + V_{DB}$ ，因此開關 M_{P1} 關閉，開關 M_{P2} 關閉。最後 V_{top} 約等於 V_{CC} ， V_{out} 電壓為零，如圖 3.12(d) 所示。

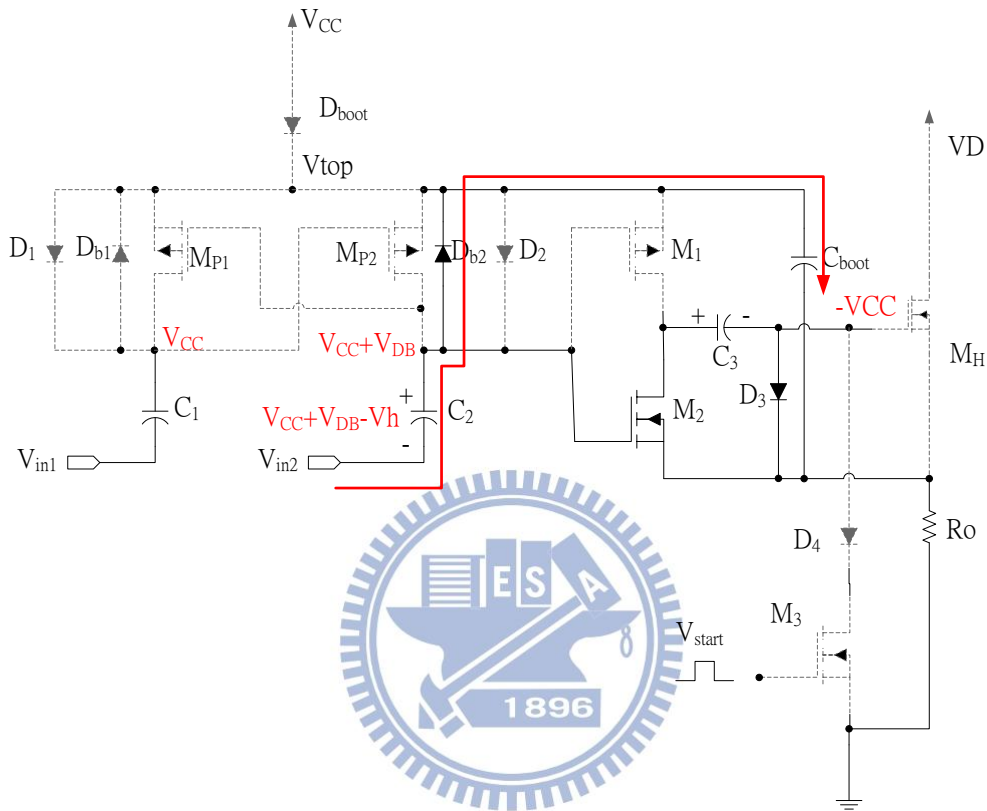


圖 3.12(d) 電晶體 M_H 關閉，輸出電壓 V_{out} 為零

重複上述第三階段以及第四階段，即可利用控制訊號 (V_{in1} 、 V_{in2} 、 V_{start}) 完成加強型上橋功率電晶體的開關控制，值得注意的是，一開始自舉式電容 C_{boot} 的跨壓只能充到 $V_{CC} - V_{out}$ ($\sim V_{CC} - |V_{th}|$)，因此必須選定 V_{CC} ，使得 $-(V_{CC} - |V_{th}|) < V_{th}$ ，方能將 M_H 關閉。因此圖 3.12 中 V_{out} 一開始不會被拉至零，需先對自舉式電容 C_{boot} 充電後便可在電位 VD 及電位零正常切換。另外，若電晶體 M_3 具有一 Body Diode，將使 M_H 的閘極電壓無法低於零，導致 M_H 無法正常切換，故需要添加二極體 D_4 來限制電流流向。

3.4.3 空乏型上橋驅動電路之 Hspice 模擬結果

圖 3.13 與圖 3.14 為空乏型上橋驅動電路的模擬結果，由模擬圖中可得知：空乏型驅動電路除了受驅動電晶體 M_H 的 V_{gs} 跨壓確實有拉到零位準(導通)與 $-V_{CC}$ 位準(關閉)外，其餘各點電位與電路運作方式皆與 3.3.2 的結果相似，模擬結果顯示可在輸出電壓 24V，開關切換頻率 10KHZ 下操作。

此空乏型驅動電路和上一節所介紹的加強型驅動電路最大的不同點為：雖然在電位位準轉換器中不需要高崩潰電晶體，但在啟動電路裡的電晶體 $M3$ 仍然需要高崩潰電壓元件。

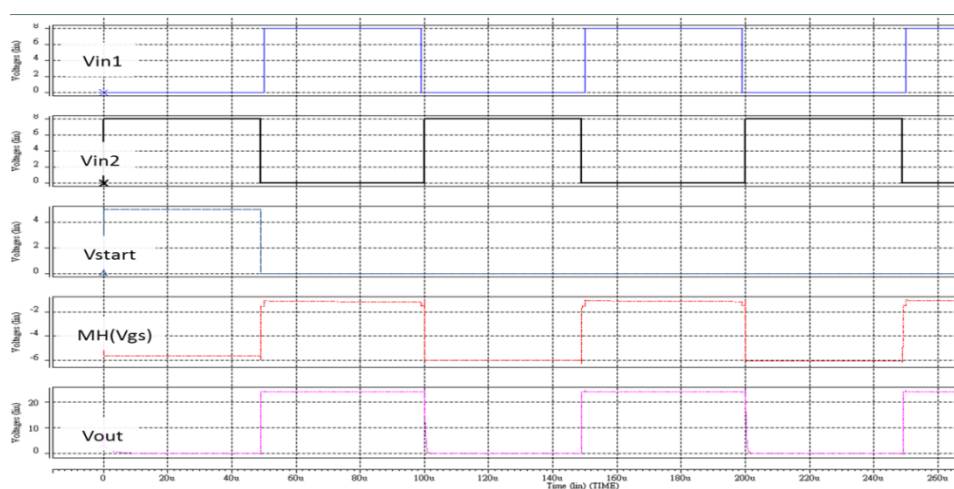


圖 3.13 HSPICE 模擬：輸入電壓 V_{in1} 、輸入電壓 V_{in2} 、啟動電壓 V_{start} 、電晶體 M_H (V_{GS})、輸出電壓 V_{out} 電壓變化圖

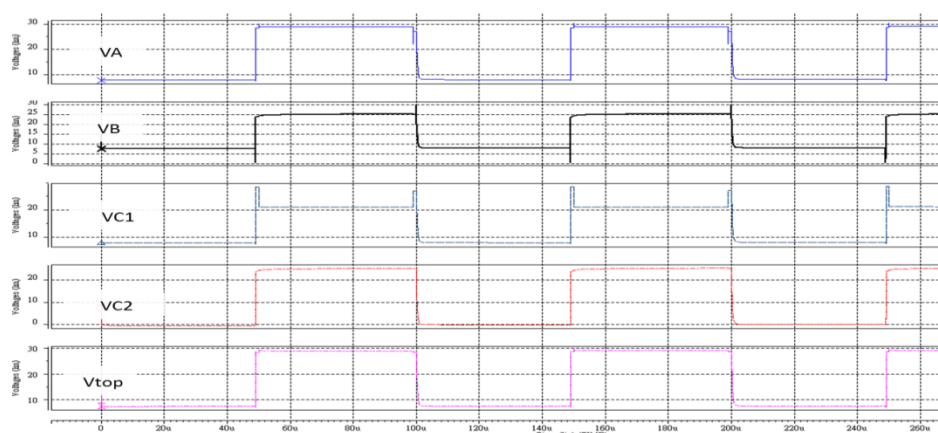


圖 3.14 HSPICE 模擬：A 點電壓 V_A 、B 點電壓 V_B 、電容 $C1$ 跨壓 V_{C1} 、電容 $C2$ 跨壓 V_{C2} 、 V_{top} 電壓變化圖

3.4.4 空乏型上橋驅動電路實驗結果

圖 3.15 為 GaN HEMT 驅動電路的實驗結果，從實驗結果可得知此電路架構可在輸出電壓 24V，開關切換頻率 10KHz 下正常運作。

參數符號	參數值
VCC	10 V
VD	24V
Vstart	5V(pluse)
In ₁	8 V 10K HZ(duty cycle 50% 方波)
In ₂	8 V 10K HZ(duty cycle 50% 方波)delay 180°
C ₁	33n F
C ₂	33n F
C ₃	33n F
C _{boot}	470n F
V _{thP}	-3.45 V
V _{thN}	3.79 V
R _o	100 Ω

表 2 空乏型驅動電路各參數值

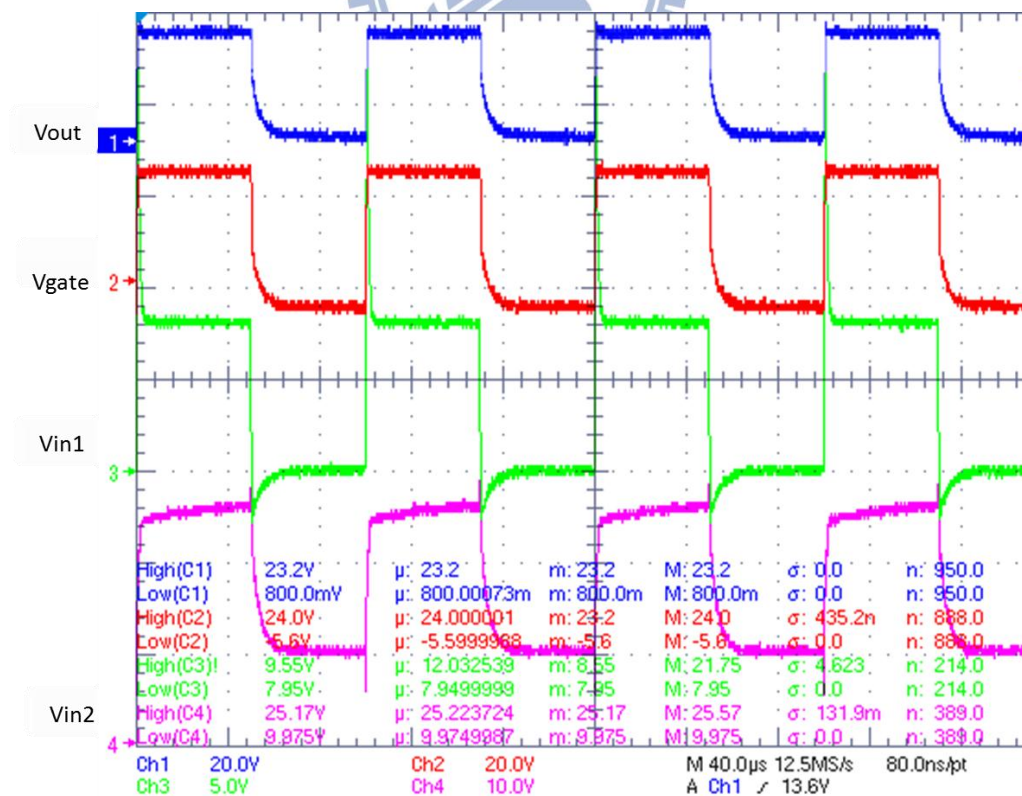


圖 3.15 GaN HEMT 開極驅動電路實驗結果

第四章

提升氮化鎵電晶體崩潰電壓之驅動電路

氮化鎵電晶體具有低的導通電阻、快速切換、等優點，因此被視為下一世代的功率電晶體的可能作法之一。大量的金錢與研究人力也都在近期投入氮化鎵電晶體的研發中。功率電晶體的崩潰電壓是其性能的重要指標之一，因此許多的氮化鎵電晶體的研究都在於如何提升其崩潰電壓，惟大部分的作法都是利用特殊的製程設計、元件設計，其技術層次高，且相當昂貴。本論文根據 1.3 節的介紹，利用電路設計的方式來增加氮化鎵電晶體於操作時的崩潰電壓，且可應用於已製作完成的氮化鎵電晶體，為一相當便宜且極具競爭力的作法。

本章節將依序介紹：4.1 漏電流對崩潰電壓之影響 4.2 限制電流之電路 4.3 限制電流之電路 Hspice 模擬結果 4.4 實際元件量測與電路實驗結果



4.1 漏電流對崩潰電壓之影響

由 1.3 節的介紹可知當要發生汲-閘極崩潰時，汲極和源極的電壓差越高，漏電流越大，且當到達崩潰電壓時，汲極漏電流會幾乎全部流向閘極。[3]利用製程方式限制住閘極漏電流，圖 4.1(a)以及圖 4.1(b)所示為使用製程改善前和改善後的 AlGaIn/ GaN HEMT 電晶體操作在截止區 (cut-off) 時各個輸出／輸入端點的電流(漏電流)關係圖，從兩圖可知使用製程改善後元件的崩潰電壓明顯提升，本論文是利用此一 AlGaIn/ GaN 電晶體獨有的特點，設計一電路來限制當 AlGaIn/ GaN HEMT 電晶體關閉時汲極流向閘極的電流，進而提高電晶體的崩潰電壓。

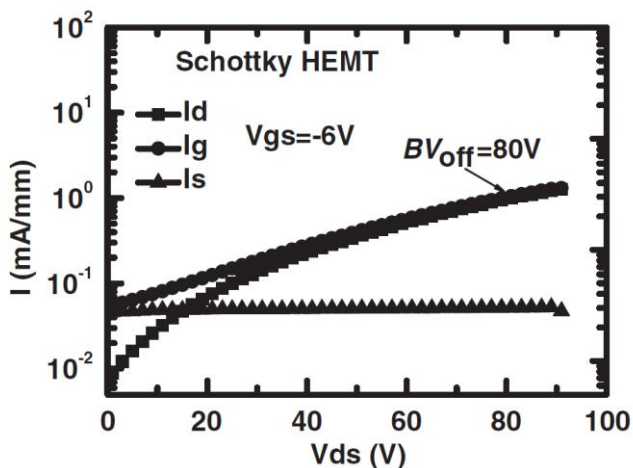


圖 4.1(a) 製程改善前各極間的漏電流和 V_{ds} 的關係圖

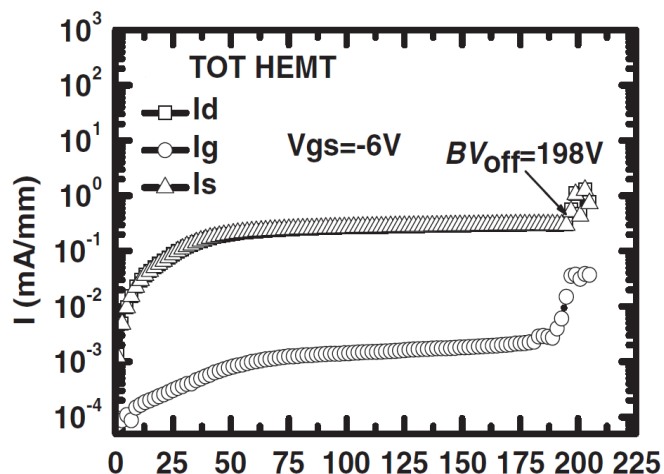


圖 4.1(b) 用製程改善後各極間的漏電流和 V_{ds} 的關係圖

4.2 限制電流之電路

圖 4.2 為本作法增加 GaN 電晶體崩潰電壓的方式。圖中的最右邊 (M_{GaN}) 為 GaN 電晶體，左邊為基本的電晶體驅動電路 (gate driver)，本發明在電晶體的閘極位置加入一電流限制電路。此電流限制電路必須在不能影響 GaN 電晶體的正常開關下，在電晶體關閉時，限制閘極電流大小

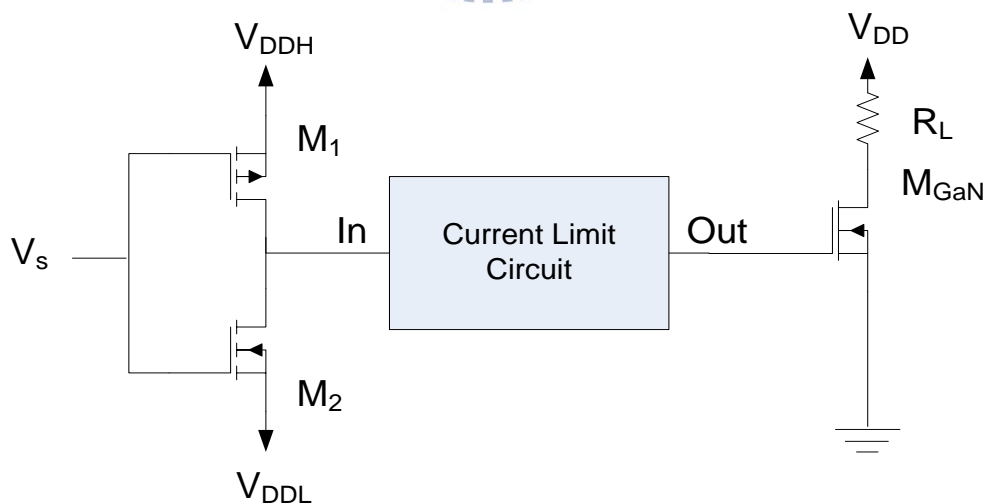


圖 4.2 GaN 電晶體驅動電路

圖 4.3 所示為上述「電流限制」(current limit) 電路的設計實例之一。其基本概念為利用一電阻 R_G 來獲得流經閘極的電流， R_G 電阻值不能太大，因為它會降低 GaN 電晶體開啟／關閉的切換速度。

然而若是 R_G 電阻值小，電流變化造成的電壓變化就會小，因此另外設計一電路來獲得 V_{ref} ，透過 V_{ref} 的設計，只要 V_1 有些許的電壓變化，便可以開啟／關閉 M_3 電晶體，進而達到限制電流的目的。為了說明方便起見，假設 M_3, M_4 的臨界電壓 (threshold voltage) 皆為 V_{thN} ， V_s 為 M_{GaN} 電晶體開／關的控制訊號，主要有兩個位準 V_{DDH} (使電晶體 M_{GaN} 導通的零位準)、 V_{DDL} (使電晶體 M_{GaN} 關閉的負位準)。

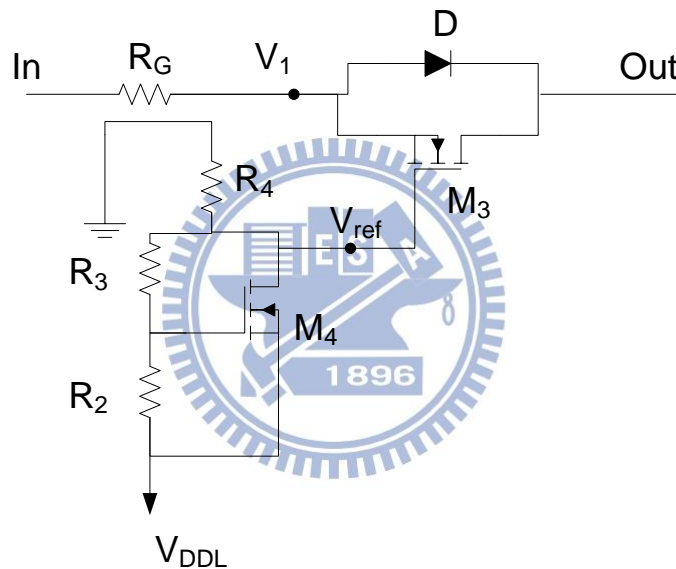


圖 4.3 電流限制電路設計一

電路工作原理大致如下：當 $V_s = V_{DDL}$ 時， M_1 導通，電流由電壓源 V_{DDH} ，透過二極體，流向電晶體 M_{GaN} ，電晶體 M_{GaN} 可以順利開啟。當 $V_s = V_{DDH}$ ，開關 M_2 為導通，電流應由電晶體 M_{GaN} 閘極流向電壓源 V_{DDL} ，此時 V_1 電壓可表示成如下：

$$V_1 = V_{DDL} + \Delta V \quad (4-1)$$

其中 ΔV 代表電阻 R_G 的壓降。此時 V_{REF} 可表示如下：

$$V_{REF} = V_{thN} \left[\frac{R_2 + R_3}{R_2} \right] + V_{DDL} \quad (4-2)$$

M₃ 的導通條件可表示如下：

$$V_{REF} - V_1 > V_{th} \quad (4-3)$$

將方程式 1 和 2 帶入上式後可得：

$$\Delta V < V_{thN} \frac{R_3}{R_2} \quad (4-4)$$

已知 ΔV 代表電阻 R_G 的壓降，因此可表示成：

$$\Delta V = i_G R_G \quad (4-5)$$

將方程式 5 代入 4 如下

$$i_G < V_{thN} \frac{R_3}{R_2 R_G} \quad (4-6)$$

因此可知，當閘極的流出電流小於某一定值(4-6) 時，開關 M₃ 會導通。反之，電流太大，開關 M₃ 就會關閉，藉此提高電晶體 M_{GaN} 的崩潰電壓。

上述作法相當簡潔，惟必須考慮的是，若電晶體 M_{GaN} 的瞬間關閉電流與所欲限制的崩潰時閘極電流相近，此作法很可能會降緩電晶體 M_{GaN} 的關閉速度。因此提出另一設計實例(圖 4.4)，讓電流限制電路僅在 M_{GaN} 電晶體關閉後才發揮作用。

此作法與上述作法類似，但額外增加 M₅ 與 M₆ 電晶體。其中 V_{thG} 為介於 M_{GaN} 電晶體臨界電壓與零電壓之間的負電壓，其數值會影響開關切換速度。

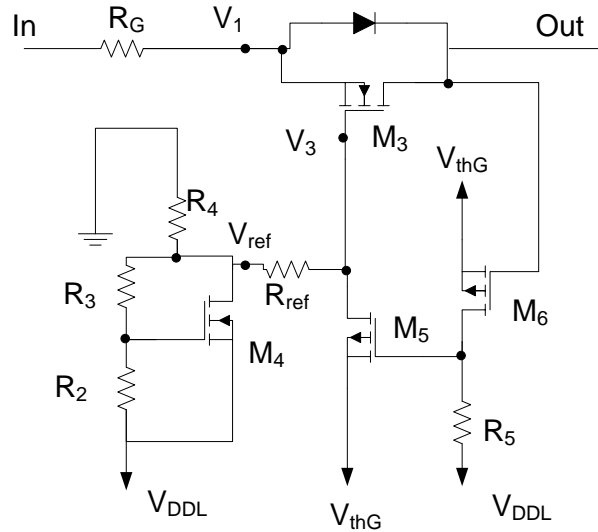


圖 4.4 電流限制電路設計二

電路的工作原理如下：

(a) 第一階段：輸入電壓 In 為 V_{DDH}

電流經由電阻 R_G 通過二極體 D 流到輸出 Out ，此時輸出電壓 V_{out} 約為 V_{DDH} ，開關 M_6 關閉，開關 M_5 導通，電位 V_3 被拉到 V_{thG} ，開關 M_3 關閉，因 V_{out} 電位為 V_{DDH} ，電晶體 M_{GaN} 正常導通，如圖 4.4(a)所示。

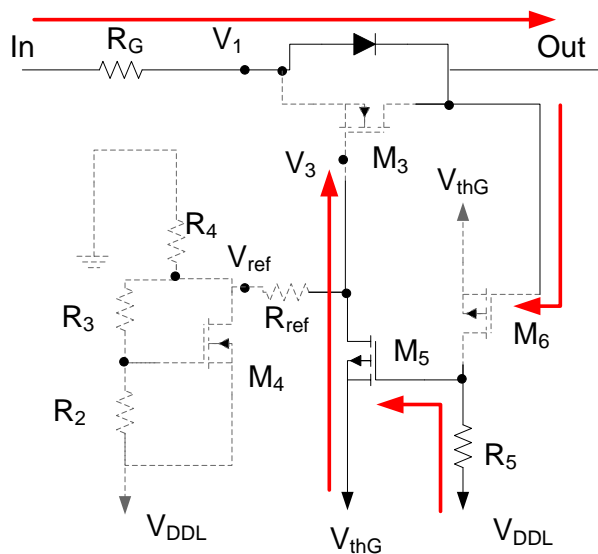


圖 4.4(a) 驅動電晶體 M_{GaN} 正常導通，限流電路不運作

(b) 第二階段：輸入電壓 In 為 V_{DDL}

電晶體 M_{GaN} 由開啟至關閉的瞬間，電晶體 M_{GaN} 的閘極電壓約為 V_{DDH} ，開關 $M6$ 關閉、開關 $M5$ 導通， V_3 大約等於 V_{thG} ，則開關 $M3$ 導通，電流順利由閘極流出，如圖 4.4(b-1) 所示；此狀況會一直維持直到 M_{GaN} 的閘極電壓約為 $V_{thG}+V_{thP}$ ，確保 M_{GaN} 進入關閉狀態，此時 M_{GaN} 的閘極電壓會繼續降低，開關 $M6$ 導通、開關 $M5$ 關閉， V_3 等於圖 4.3 中 V_{ref} 的值，限流電路開始運作。

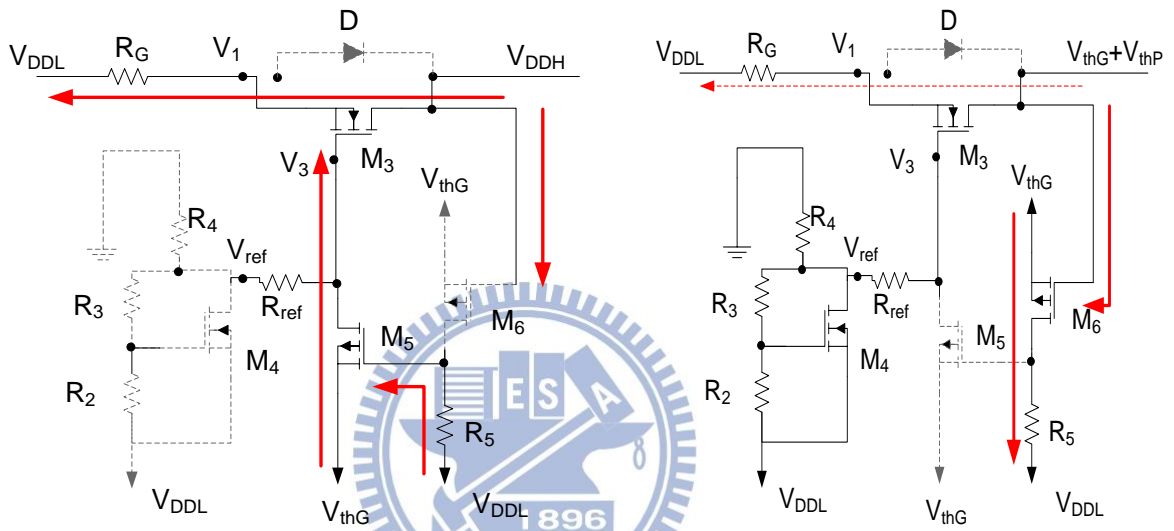


圖 4.4(b-1) 開關 $M3$ 導通，使 M_{GaN} 閘極能快速放電

圖 4.4(b-2) 開關 $M3$ 關閉，限流電路開始運作

在使用圖 4.4 架構模擬電路運作時發現此電路架構操作頻率仍然不能很高，因此再次將電路改成如圖 4.5 所示，此電路與圖 4.4 最大的差別在於在電阻 R_G 上增加控制開關 M_{add} ，並以 V_1 電壓為回授電壓，使電路在電晶體 M_{GaN} 關閉瞬間切換更為快速，其運作原理與電流限制電路設計二類似。

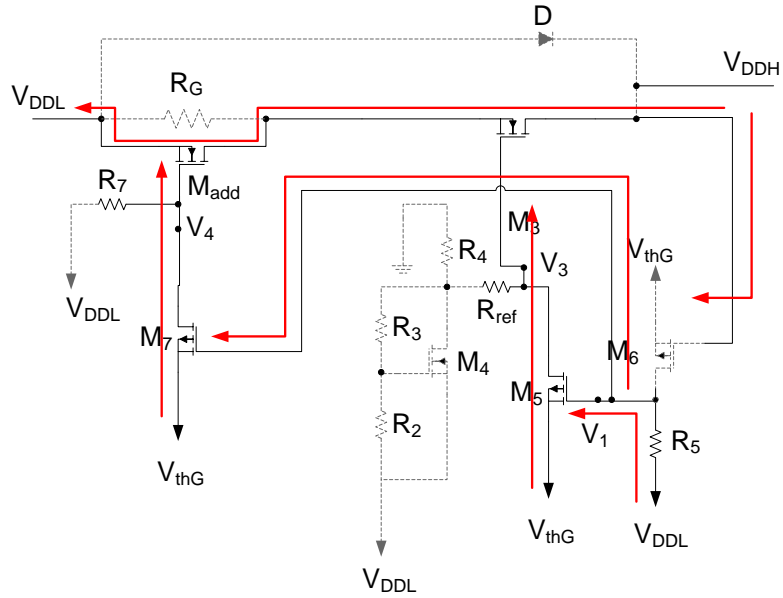


圖 4.5(b-1) 開關 M3 導通，電阻 R_G 短路，使 M_{GaN} 閘極能快速放電

上述狀況會一直維持直到 M_{GaN} 的閘極電壓約為 $V_{thG} + V_{thP}$ ，確保 M_{GaN} 進入關閉狀態，此時 M_{GaN} 的閘極電壓會繼續降低，開關 M6 導通、開關 M5 關閉， V_3 電壓等於圖 4.3 中 V_{ref} 的值，同理開關 M7 關閉， V_4 電壓等於 V_{DDL} ，限流電路開始運作。

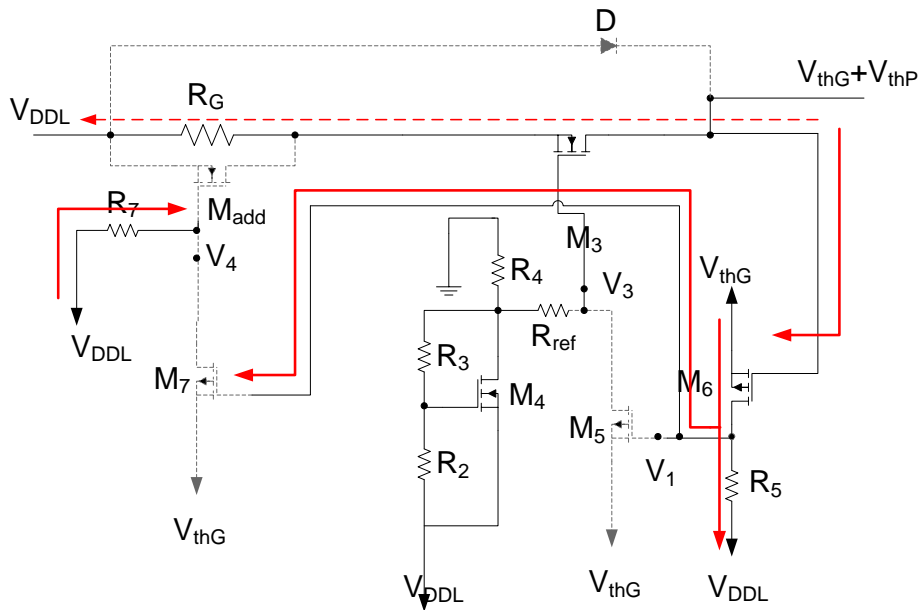


圖 4.5(b-2) 開關 M3 關閉，開關 M_{add} 關閉，限流電路開始運作

4.3 限制電流之電路 Hspice 模擬結果

圖 4.6 為此限流電路在 Hspice 模擬的結果，從模擬結果可得知此電路架構可在輸入電壓 24V，操作頻率 10K Hz 下之 AlGaN/GaN 閘極驅動電路下運作正常。

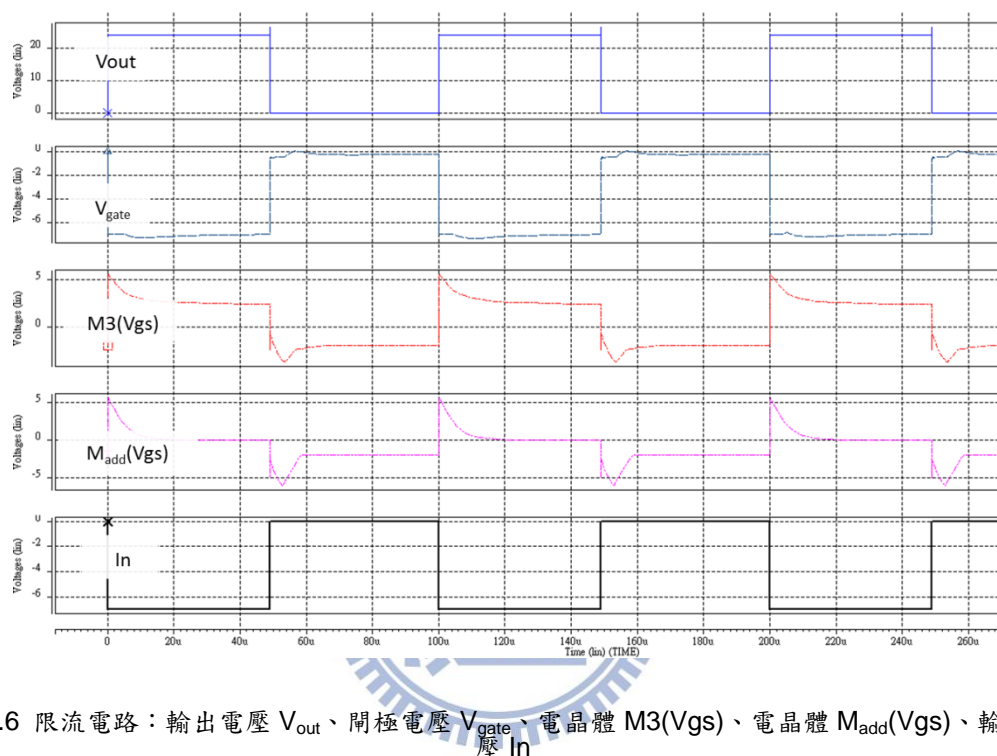


圖 4.6 限流電路：輸出電壓 V_{out} 、閘極電壓 V_{gate} 、電晶體 $M3(V_{gs})$ 、電晶體 $M_{add}(V_{gs})$ 、輸入電壓 In

雖然本論文在圖 4.6 分析了此電路在一般切換下正常運作，但是因 Hspice 無法分析電晶體的漏電流大小，所以本論文另外做了電路的直流分析，確保我們所預期的限流電路所限制的電流大小是正確的，圖 4.7 為固定輸入電壓 -7V，對電晶體 M_{GaN} 閘極電壓做從電壓零到電壓 -7 的直流分析，從模擬結果可得知在電晶體 $M3$ 以及電晶體 M_{add} 皆關閉時，驗證確實可限制閘極漏電流 i_g 。

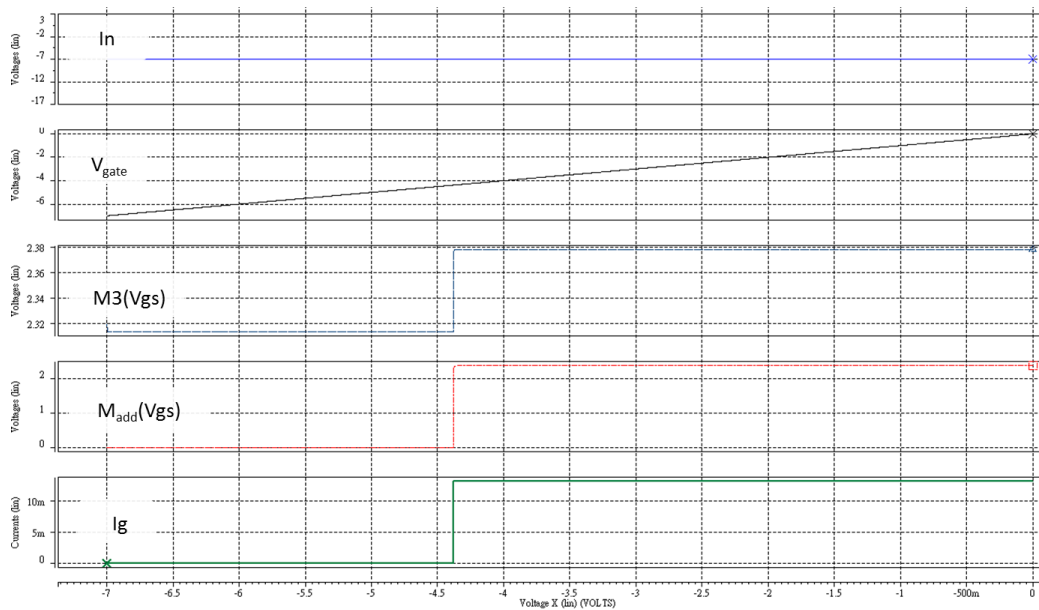


圖 4.7 限流電路直流分析：輸入電壓 In 、電晶體 M_{GaN} 閘極電壓 V_{gate} 、開關 $M3(V_{gs})$ 、開關 $M_{add}(V_{gs})$ 、閘極漏電流 I_g

4.4 實際元件量測與電路實驗結果

本論文分別量測商品化元件 RF3934(圖 4.8(a))與交通大學大自行研發元件 X5A137146A0351-2(圖 4.8(b))，兩元件皆是以 GaN HEMT 為材質的功率電晶體，本論文分別對其原始崩潰電壓與閘極限流後的崩潰電壓進行量測，量測崩潰電壓的條件為：閘極輸入直流電壓 $-7V$ 確保電晶體關閉，汲極輸入直流電壓 $0V \sim V_{BV}$ (崩潰電壓)，分別量測汲極、閘極、源極漏電流，如圖 4.9 所示。



圖 4.8(a) 商品化元件 RF3934



圖 4.8(b) 交通大學大自行研發元件

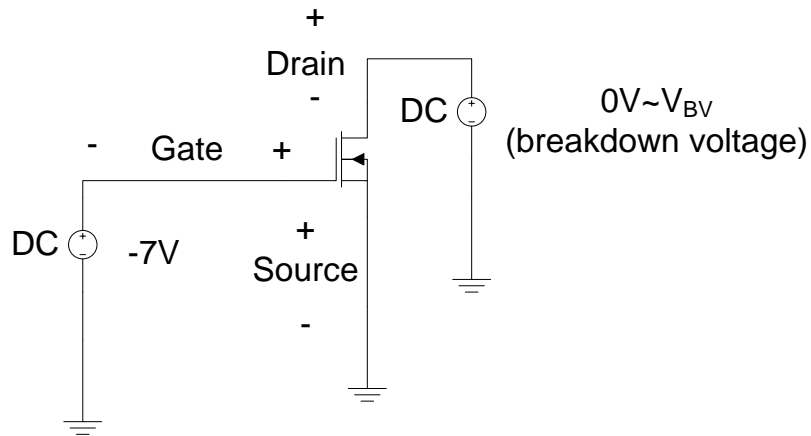


圖 4.9 崩潰電壓量測示意圖

以下是商品化元件 RF3934 在國研院奈米元件實驗室(NDL)量測結果，其中的 4 條曲線分別為是沒限制任何閘極漏電流曲線、限制閘極漏電流 260uA、限制閘極漏電流 280uA、限制閘極漏電流 300uA。結果如下：分別是 IG_VD 曲線(圖 4.10(a))、ID_VD 曲線(圖 4.10(b))、IS_VD 曲線(圖 4.10(c))。

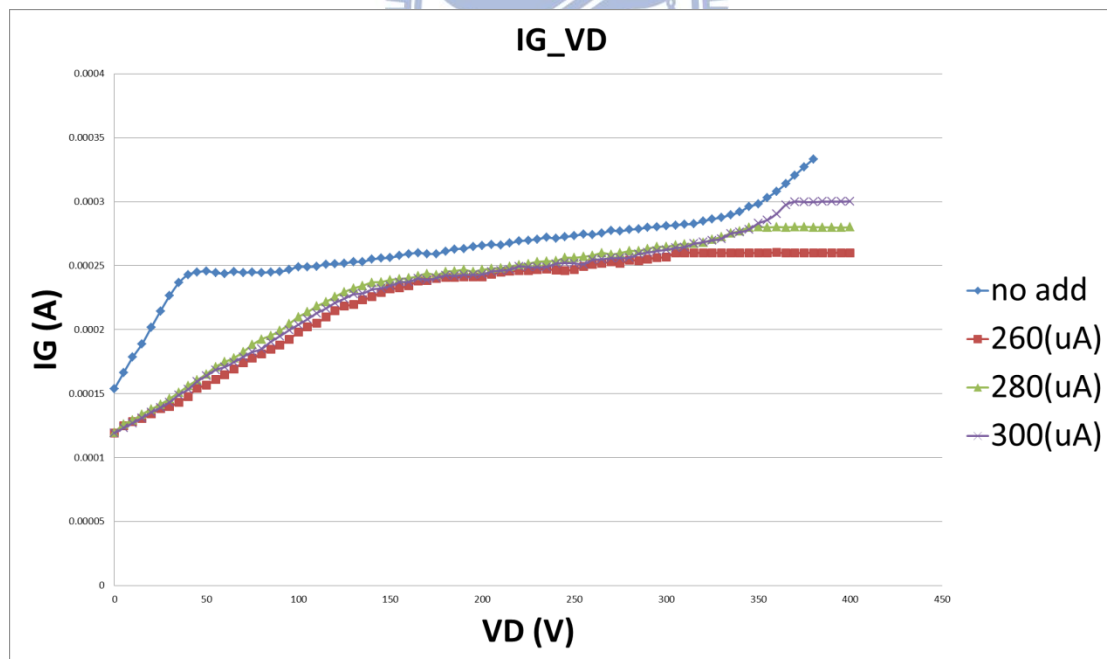


圖 4.10(a) IG_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制閘極漏電流 260uA、限制閘極漏電流 280uA、限制閘極漏電流 300uA

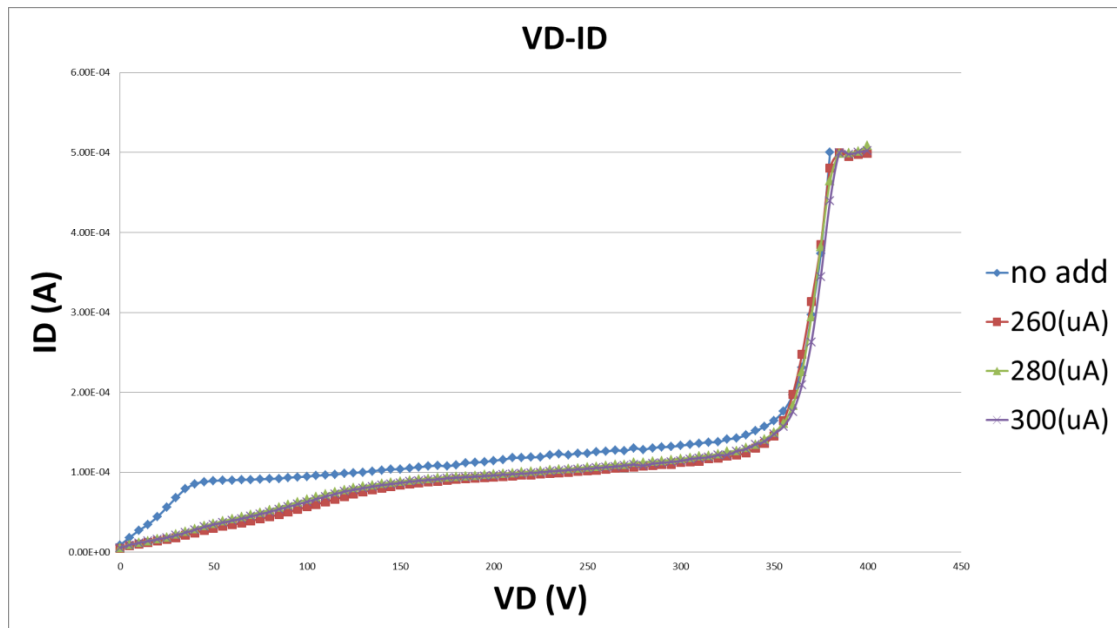


圖 4.10(b) ID_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制閘極漏電流 260uA、限制閘極漏電流 280uA、限制閘極漏電流 300uA

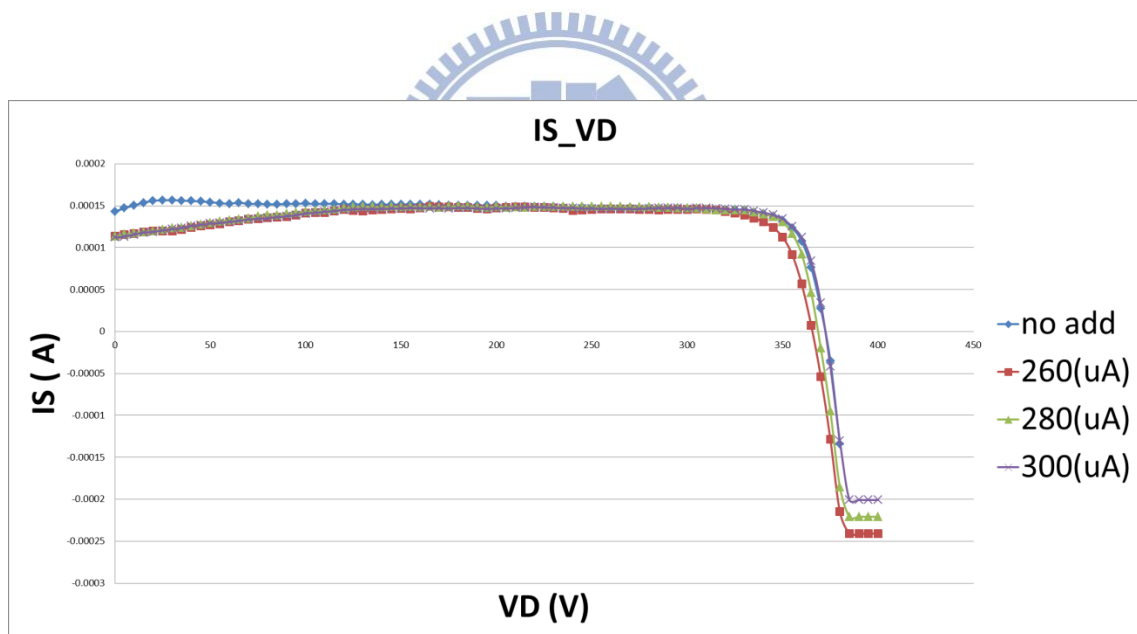


圖 4.10(c) IS_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制閘極漏電流 260uA、限制閘極漏電流 280uA、限制閘極漏電流 300uA

以下是交通大學大自行研發元件 X5A137146A0351-2 在國研院奈米元件實驗室(NDL)量測結果，其中的 4 條曲線分別為是沒限制任何閘極漏電流曲線、限制閘極漏電流 50uA、限制閘極漏電流 60uA、限制閘極漏電流 80uA。結果如下：分別是 IG_VD 曲線(圖 4.11(a))、ID_VD 曲線(圖 4.11(b))、IS_VD 曲線(圖 4.11(c))。

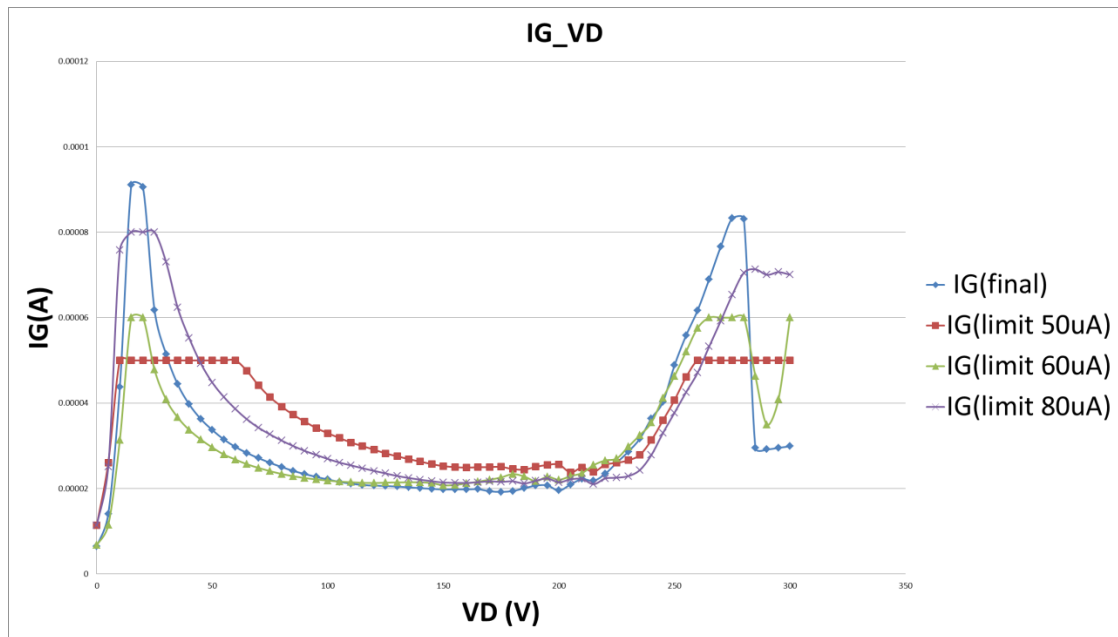


圖 4.11(a) IG_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制閘極漏電流 50uA、限制閘極漏電流 60uA、限制閘極漏電流 80uA

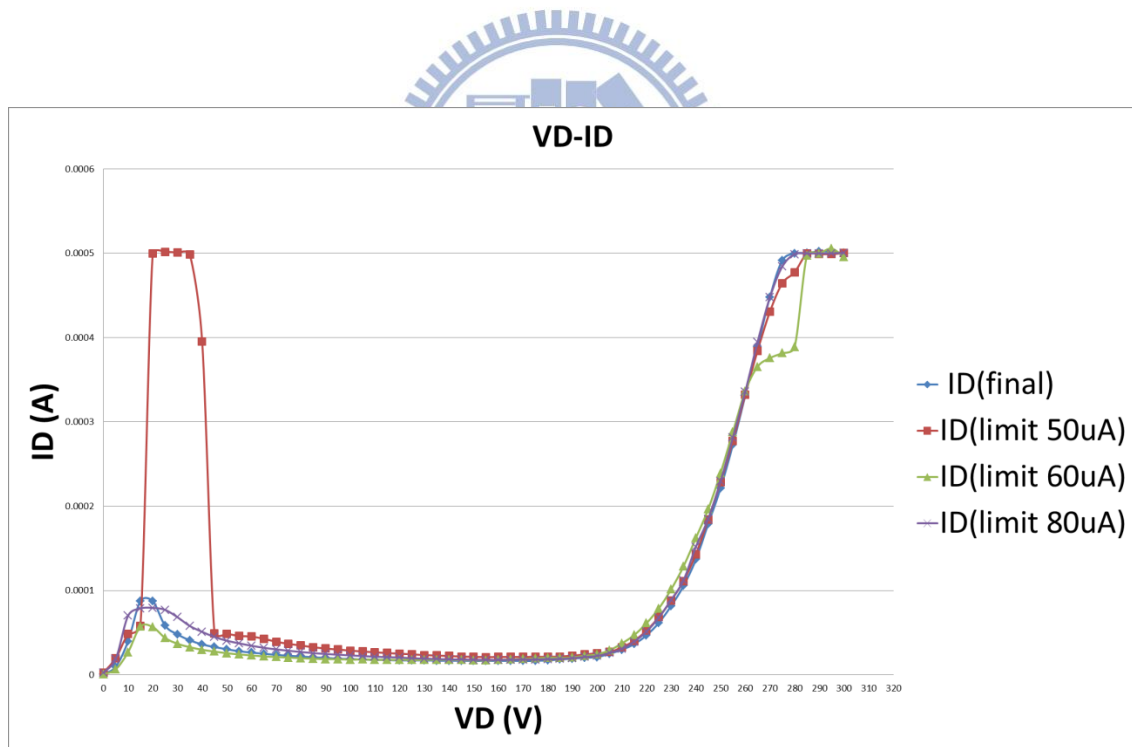


圖 4.11(b) ID_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制閘極漏電流 50uA、限制閘極漏電流 60uA、限制閘極漏電流 80uA

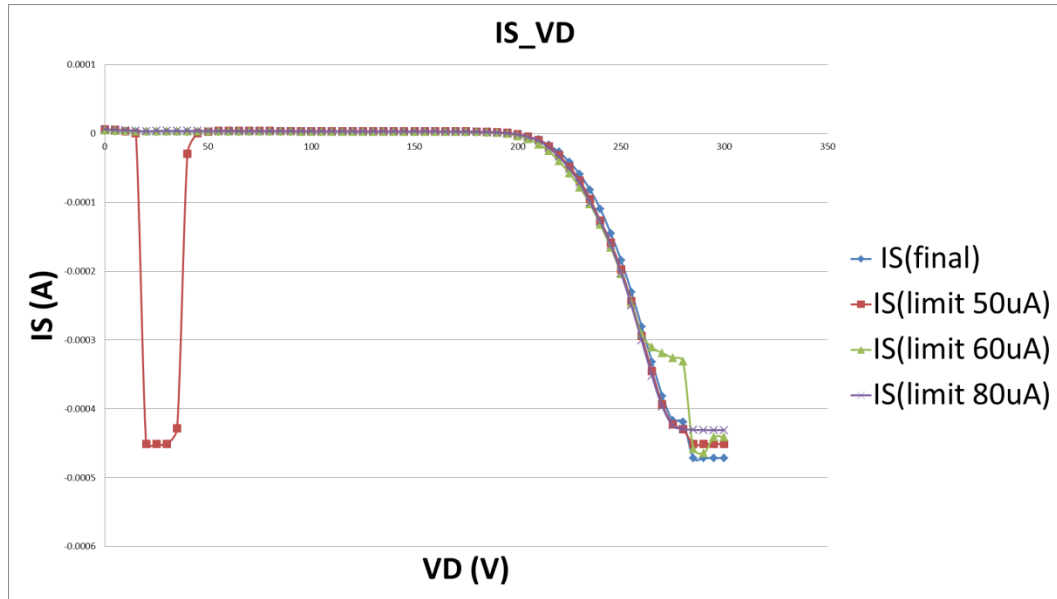


圖 4.11(c) IS_VD 曲線圖：上到下依序是沒限制任何閘極漏電流曲線、限制閘極漏電流 50uA、限制閘極漏電流 60uA、限制閘極漏電流 80uA



由實驗結果發現，在 RF3934 這顆電晶體上，原本崩潰電壓大約落在 380V 左右，加了限制閘極漏電流電路以後崩潰電壓大約增加了 5V~10V 左右，利用限制閘極漏電流來提高崩潰電壓的效果有限；而在交大自行研發元件 X5A137146A0351-2 上則看不出崩潰電壓增加的現象，我們發現利用本論文限流電路架構限制閘極漏電流會導致電晶體閘極電壓上升，圖 4.12 為以商品化元件 RF3934 在汲極電壓 380V，閘極漏電流從 280uA 到 320uA 測量閘極電壓變化的結果圖，圖中可發現我們所限制的漏電流越小，電晶體閘極的電壓會越高，而電晶體閘極的電壓也會影響電晶體的崩潰電壓，圖 4.13 為不同閘極電壓下的 VD_ID 曲線示意圖，當閘極電壓上升會使得元件的崩潰電壓下降。

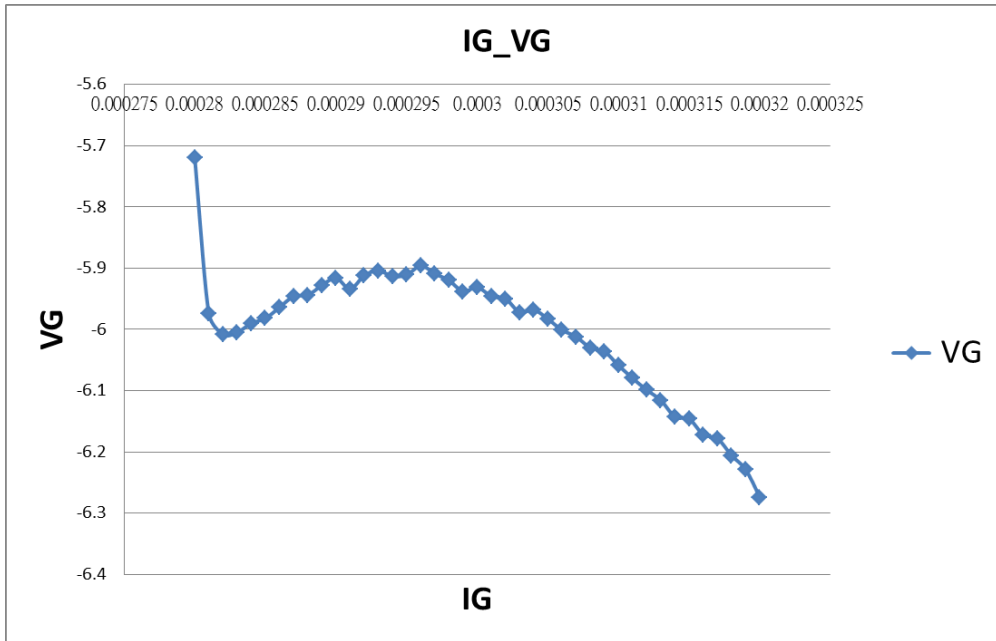


圖 4.12 閘極漏電流 I_G 和閘極電壓 V_G 的關係圖

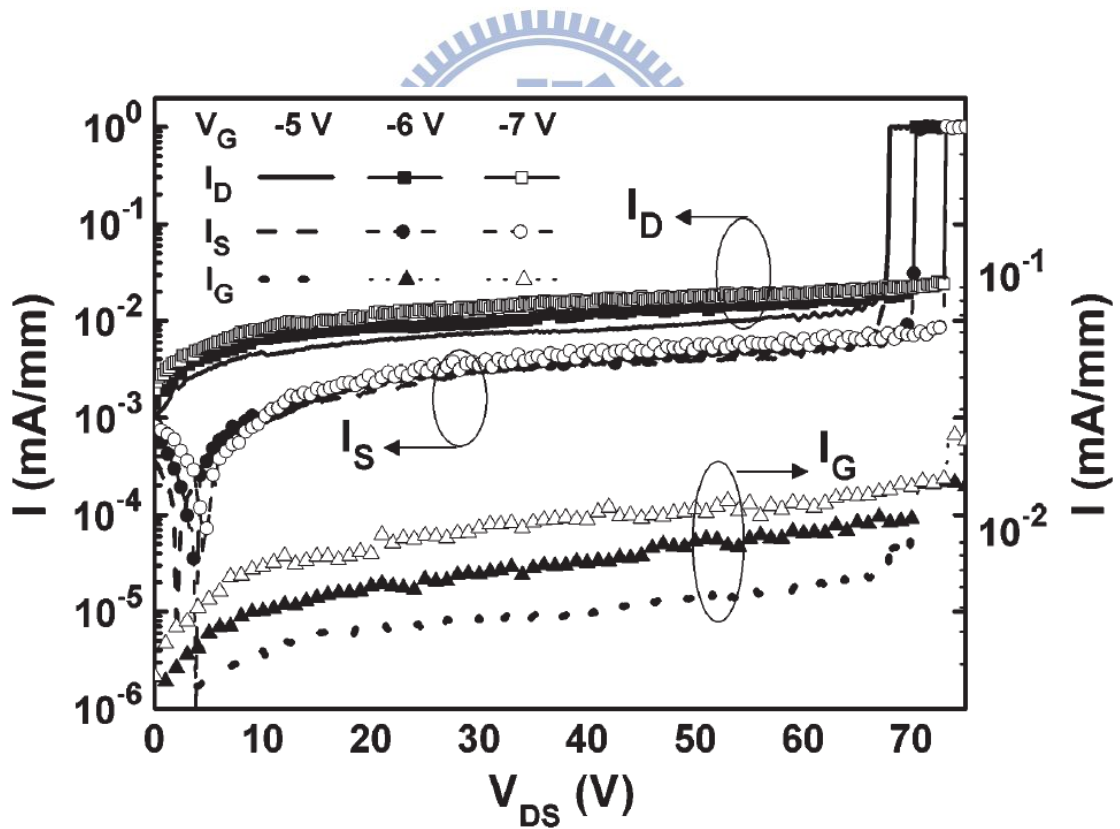


圖 4.13 不同閘極電壓下的 I_D - V_{DS} 曲線圖

第五章

結論與未來計畫

5.1 結論

本論文所提出之適用於 AlGaIn/GaN HEMT 功率電晶體二驅動電路設計，主要著重於上橋電路設計部份，在驅動一般加強型電晶體下，可以藉由本論文 3.3 節所設計的不使用高崩潰電壓元件之加強型上橋驅動電路，先使用二極體來限制其中的電晶體的「汲極－源極」電壓差，再利用電容來承受高電壓差。此時其位準轉換器就不必包含具高崩潰電壓的電晶體來承受大的電壓差；而在驅動 AlGaIn/GaN HEMT 功率電晶體下，可以使用本論文 3.4 節所設計之空乏型上橋驅動電路設計，雖然輸出電壓高電位下啟動電路仍需要高崩潰電壓的電晶體，但已可讓電路正常運作，並改善效率。

3.4.3 節 Hspice 模擬以及 3.4.4 節實際做實驗中可驗證 AlGaIn/GaN HEMT 開極驅動電路在輸出 24V，切換頻率 10K Hz 下運作正常。

在增加 AlGaIn/GaN HEMT 崩潰電壓開極驅動電路設計的部分，因傳統的提高氮化鎵電晶體崩潰電壓的方式大多是透過製程設計、製程參數設計或是元件設計來達成。這些作法可能面臨提高崩潰電壓與增加漏電流之間的取捨，且無法適用於已製作完成的氮化鎵電晶體。本論文提出以電路設計方式來增加氮化鎵電晶體的崩潰電壓，因此非常具有彈性，且可應用於已製作完成的氮化鎵電晶體，雖然在 4.4 節顯示實際運用在 GaN 電晶體上增加崩潰電壓的幅度並不大，但在運用上已是一項突破。

本論文同時提出兩種電路設計，並詳細說明此二驅動電路如何在不影響氮化鎵電晶體正常開關的情形下，達成上述目的。

5.2 未來計畫

AlGaIn/GaN HEMT 閘極驅動電路未來的工作上，除了將啟動電路也改為可以不使用高崩潰電壓電晶體之電路外，也須提升電路操作頻率，並將此電路設計成積體電路(ICs)，可使電路運作上減少許多不必要的寄生元件效應(寄生電容、寄生電感、寄生電阻)增加運作效率，並讓以後在閘極驅動電路運用上更為方便。

增加 AlGaIn/GaN HEMT 崩潰電壓閘極驅動電路設計未來的工作上，除了改善限制電流後反而導致 AlGaIn/GaN 電晶體閘極電壓上升的問題外，也需要改善此驅動電路的操作頻率，使操作頻率能更一步的提高，凸顯 AlGaIn/GaN 電晶體的優勢。



参考文献

- [1] O.Ambacher et al., "Two-dimension electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGa_N/Ga_N heterostructures," Journal of Applied Physics, Vol 85, Num 6,(3222), 1999.
- [2] B. J. Baliga, "Semiconductors for high-voltage, vertical channel FET's," J.Appl. Phys., vol. 53, pp. 1759-64, 1982.
- [3] Shenghou Liu, Jinyan Wang, Rumin Gong, Shuxun Lin, Zhihua Dong, Min Yu, C. P. Wen, Chunhong Zeng, Yong Cai, Baoshun Zhang, Fujun Xu, Jincheng Zhang, and Bo Shen "Enhanced Device Performance of AlGa_N/Ga_N High Electron Mobility Transistors with Thermal Oxidation Treatment" Japanese Journal of Applied Physics 50 (2011)
- [4] Maojun Wang, Kevin J. Chen, "Off-State Breakdown Characterization in AlGa_N/Ga_N HEMT Using Drain Injection Technique." IEEE Transactions on Electron Devices - IEEE TRANS ELECTRON DEVICES , 2010.
- [5] S.C. Tan and X.W. Sun., "Low power CMOS level shifters by bootstrapping technique." ELECTRONICS LETTERS 1st August 2002 Vol. 38 No. 16.
- [6] Woo, Y.-J., Cho, G.-H. Power-efficient gate control of synchronous boost converters with high output voltage. Electron. Lett., 2007, 43, (3), pp. 156-157.
- [7] Yan-Ming Li, Chang-Bao Wen, Bing Yuan, Li-Min Wen, Qiang Ye, "A high speed and power-efficient level shifter for high voltage buck converter drivers", Solid-State and Integrated Circuit Technology (ICSICT), 2010 10th IEEE International Conference on, On page(s): 309 - 311, Volume: Issue: , 1-4 Nov. 2010
- [8] G. Torregrosa, J. Grajal, M. Peroni, A. Serino, A. Nani, and A. Cetrone, "Large-Signal Modeling of Power Ga_N GEMTs Including Thermal Effects," Proceedings of the 2nd European Microwave Integrated Circuits Conference, pp. 36-39, 2007.

- [9] O. Jardel, G. Callet, C. Charbonniaud, J. C. Jacquet, N. Sarazin, E. Morvan, R. Aubey, M. A.D. F. Poisson, J. P. Teyssier, S. Piotrowicz and R. Quere, "A New Nonlinear HEMT Model for AlGaIn/GaN Switch Applications," Proceedings of the 4th European Microwave Integrated Circuits Conference, pp.73-76,2009.
- [10] T. Nomura, M. Masuda, N. Ikeda, and S. Yoshida, "Switching Characteristics of GaN HEMTs in a Half Bridge Package for High Temperature Applications," IEEE Trans. On Power Electronics, " Vol. 23, No. 2, pp. 692-696, 2008.
- [11] W. Saito, T. Nitta, Y. Kakiuchi, Y. Saito, K. Tsuda, I. Omura, and M. Yamaguchi, "A 120W Boost Converter Operator Using a High-Voltage GaN-HEMT," IEEE Electron Device Letters, Vol. 29, No. 1, pp.8-10, 2008.
- [12] L. Balogh, "Design and Application Guide for High Speed MOSFET Gate Drive Circuits," Texas Instruments, Application Note.
- [13] "Three Phase Bridge MOSFET Power Module", M.S.KENNEDY CORP., Application Note.
- [14] "HV Floating MOS-Gate Driver ICs", International Rectifier, Application Note.
- [15] "Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC," Fairchild, Application Note.
- [16] 方志行, "閘極驅動電路," Motor Express ,第 46 期, Sep. 24, 2003.
- [17] C.L. Pai, "Circuit for Driving a Depletion-type JFET," United Patent, US7116153, Oct. 3, 2006.
- [18] B. Yang, J. Zhang and M. A. Briere, "Gate Driving Scheme for Depletion Mode Devices in Buck Converters", United Patent, US7839131, Nov. 23, 2010.
- [19] Bo Wang, Naveen Tipirneni, Marco Riva, Antonello Monti, Grigory Simin, and Enrico Santi, "An Efficient High-Frequency Drive Circuit for GaN Power HFETs" IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 45, NO. 2, MARCH/APRIL 2009

- [20] M. A. Khan, G. Simin, S. G. Pytel, A. Monti, E. Santi, and J. L. Hudgins, "New developments in gallium nitride and the impact on power electronics," in *Proc. IEEE Power Electron. Spec. Conf.*, Recife, Brazil, 2005, pp. 15–26.
- [21] Yuhui Chen, , Fred C. Lee, Luca Amoroso, and Ho-Pu Wu" A Resonant MOSFET Gate Driver With Efficient Energy Recovery" IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 19, NO. 2, MARCH 2004
- [22] Y. Chen, "Resonant gate drive techniques for power MOSFETs," M.S.thesis, Virginia Polytech. Inst. State Univ., Blacksburg, VA, 2000.
- [23] I. D. de Vries, "A resonant power MOSFET/IGBT gate driver," in *Proc. IEEE APEC*, Mar. 10–14, 2002, vol. 1, pp. 179–185.
- [24] S. Yoshida, J. Li, T. Wada and H. Takehara. "High-power AlGaIn/GaN HFET with lower on-state resistance and higher switching time for an inverter circuit, on *IEE Proc. On Circuits Devices and Systems*, vol. 151, N. 3, June 2004, pp.
- [25] 張哲維, "AlGaIn/GaN HEMT 開極驅動電路設計與實現," 碩士論文, 國立交通大學機械所, 2012.

