

# 國立交通大學

材料科學與工程學系碩士班

碩士論文

不同金屬墊層在低錫銀鉛錫厚度下的電遷移破壞模式分析

**The electromigration failure mode of  
low-bump-height Sn2.3Ag solder with  
different under-bump-metallizations**

研究生：吳俊毅

指導教授：陳智教授

中華民國 101 年 9 月

# 不同金屬墊層在低錫銀鉛錫厚度下的電遷移破壞模式分析

研究生：吳俊毅

指導教授：陳智教授

國立交通大學材料科學與工程學系碩士班

## 摘要

隨著電子元件輕、薄、短、小化的趨勢，電子封裝技術需要達到更多性質上的提升以滿足這樣的趨勢，例如：鉛錫接點體積的縮小、良好的電性表現以及高 I/O 密度傳輸。這些特性上的需求使得鉛錫接點縮小到 10~20 微米，這樣的尺寸下使得部分問題顯得漸趨嚴重。首先，電流密度隨著鉛錫接點的微小化產生大幅度的上升。第二，焦耳熱效應會更趨顯著，當電流密度跟溫度梯度達到一個臨界值，電遷移及熱遷移現象就會發生，這些現象對元件可靠度的影響會是個非常嚴重的議題。

本研究中，利用三種不同的金屬墊層結構，分別為銅銅墊層、鎳銅墊層以及鎳鎳墊層於錫銀鉛錫接點下做電遷移測試分析，三種結構的上端皆有 50 微米的銅柱，根據文獻報導，銅柱結構有助於電流分散以及抵抗電遷移的功能，因此能降低電流集中效應。在量測上，利用凱文結構來觀測鉛錫

接點在電遷移下電阻變化情形，在阻值達到 1.1、1.2、1.5 倍時分別做微結構觀測。測試條件分別在 150 °C 的加熱盤上施以 1.6 安培，不同金屬墊層所造成的破壞機制將各別被討論，我們發現孔洞生成在介金屬化合物與金屬墊層之間。此外，錫接點內部因焦耳熱效應造成的溫升，也將藉由試片內所架設的銅導線電阻係數來量測內部實際溫度，此一方式提供了一個較為準確的溫度提供後續的結果分析。



# The electromigration failure mode of low-bump-height Sn2.3Ag solder with different under-bump-metallizations

Graduate student: Chun-Yi Wu

Advisor: Chih Chen

Department of Materials Science and Engineering

National Chiao Tung University

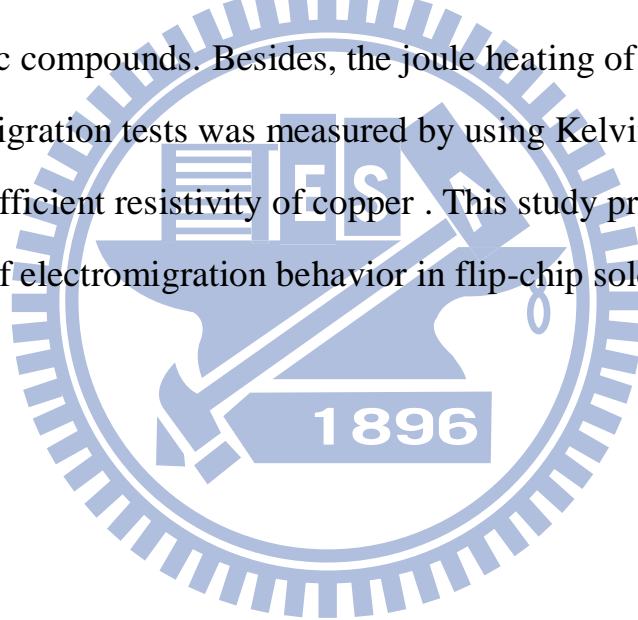
The logo of National Chiao Tung University is a circular emblem with a gear-like outer border. Inside the circle, there is a stylized representation of a building or industrial structure, and the year '1896' is inscribed at the bottom. The word 'Abstract' is overlaid in the center of the logo.

## Abstract

With the trend of miniaturization, the electronic device becomes smaller and smaller. In addition, the electronic device require some more features, such as small volume of solder bump, better electrical performance and higher I/O density. With all these demands, the size of solder bump shrinkage into micro scale inevitably. Microbumps have been adopted for interconnects in 3D IC packaging. The bump height decreases to about 10-20  $\mu\text{m}$ . Due to the small volume of the solder, some problems may occur. First, the current density inside the bump increased rapidly due to the reduced cross section area. Second, the joule heating effects occur severely. Once the current density and temperature gradient reach a critical value, electromigration and thermomigration effects occur and endanger the microbumps. Therefore, the electromigration performance of the micro-bump becomes a critical issue.



In this study, three different under-bump-metallizations (UBMs) are used, which are Cu-Cu, Ni-Cu and Ni-Ni UBMs with the Sn2.3Ag solder between. There is a copper column on the chip side with 50 $\mu$ m height. It had been reported that copper column had a better performance in resisting the electron wind force and it can also make the current flow uniformly. Electromigration tests were performed at a current density of  $2 \times 10^4$  A/cm<sup>2</sup> at 150 °C. The bump resistance was measured by using Kelvin structure, and defined the bump resistance to increase 10%, 20%, 50% of its initial bump resistance as failure stages. We found that Voids formed in the interface of under-bump-metallization and intermetallic compounds. Besides, the joule heating of the solder joints during electromigration tests was measured by using Kelvin structure and temperature coefficient resistivity of copper . This study provides better understanding of electromigration behavior in flip-chip solder joints with low bump heights.



# 誌謝

碩士班生涯中，我最感謝的就是我的指導教授陳智教授，從我要進實驗室之前，就細心的引領我進入半導體封裝領域，從懵懵懂懂到現在能搭上別人研究的腳步，在每一次的開會，老師與我們討論的過程中，總會激發出很多不同的點子，我們也總能從中獲得不少。除了在課業上的指導外，老師也會教導我們非常多做人的道理，讓我這準備出社會的新鮮人在許多做人處事上能更為圓滑。而在今年三月多，老師也給了我個機會能夠出國參加會議，這趟國外行讓我大開眼界，也體會了多外國生活，真的非常感謝老師當初的鼓勵。另外，也特別謝謝高振宏老師與陳信文老師特地抽空參加我的口試演說，並給了很多寶貴的意見讓我的論文能夠更加完整。

CClab 中，許多學長姐的都非常照顧我。首先我最感謝的是寬寬哥，這兩年來我最麻吉的就是你了，雖然平常你非常的嘴砲，但是每當我們需要你的幫忙時，你都會用 120% 的力量幫我們，你真的是超級夠朋友；翔耀學長，你在新加坡工作了，很謝謝你帶著我融入這個實驗室，好懷念跟你打球阿；阿丸，你的研究功力一直都讓我非常佩服，很謝謝口試前你花很多時間幫我看投影片；健民學長，能見證你的婚禮真是太開心了；佳凌學姐，謝謝妳 SEM 一直都罩著我們，雖然我們常常闖禍；聖翔學長，謝謝你給我非常多的面試技巧指導，讓我可以一路過關斬將；筱雲學姐，謝謝妳的幫

忙與指導，以後去公司後多多指教；Q毛學長，謝謝你帶我做 FIB，我很敬佩你的做事能力；菜頭學長，感謝每次做通電實驗時的幫助；以撒學長，謝謝你總是不辭辛勞帶我做 FIB，讓我能順利完成我的論文；朝俊學長，你帶我融入整個實驗室，一路上也幫助我很多，真心的謝謝學長姐們的幫忙。而通電組的兩位好夥伴偉豪及秉儒，能跟你們一同打拼這兩年真是非常幸福，不管任何困難我們都是同進退，一起奮鬥的感覺真的很棒。小手跟小莫常不時的伸出援手解救我，也很謝謝你們。另外，韋嵐、天麟、玉龍以及所有學弟妹們，這段生活有你們陪伴生活增添很多樂趣，祝福你們的未來一切順利。最後我特別感謝我家人以及女朋友 Ruby 一路上的鼓勵與支持，你們的支持是每次我低落時最大的動力。

碩士班兩年生活終於要在這本論文誕生後畫上句點了，這段生活真是苦甜夾雜的一段回憶，兩年中，不僅是在專業的知識上有所精進，CCLab 實驗室也帶給我一個非常美好充實的生活。

# 目錄

摘要.....	I
ABSTRACT .....	III
誌謝.....	V
目錄.....	VII
圖目錄.....	VIII
表目錄.....	X
第一章 緒論.....	1
第二章 文獻回顧.....	3
2-1 電子封裝技術簡介.....	3
2-2 電遷移理論.....	6
2-2.1 鉛錫凸塊的電遷移行為.....	9
2-2.2 電流集中效應.....	11
2-2.3 焦耳熱效應.....	13
2-2.4 電遷移對鉛錫結構的破壞機制.....	14
2-3 厚銅柱(COPPER PILLAR)墊層的優異性質.....	16
第三章 試片結構及實驗方法.....	18
3-1 試片結構.....	18
3-2 實驗方法與步驟.....	19
3-3.1 試片前處理.....	19
3-3.2 電遷移加速測試及凱文結構量測電阻值.....	20
3-3.3 以銅導線的 TCR effect 校正鉛錫凸塊實際溫度.....	21
3-3 分析工具與方法.....	23
第四章 結果與討論.....	28
4-1 三維數值分析法模擬電流密度分佈.....	28
4-2 不同金屬墊層的電遷移測試.....	31
4-2.1 Cu/Cu 金屬墊層破壞模式.....	32
4-2.2 Ni/Cu 金屬墊層破壞模式.....	38
4-2.3 Ni/Ni 金屬墊層破壞模式.....	46
4-3 以溫度感測儀校正鉛錫凸塊溫度.....	53
第五章 結論.....	56
參考文獻.....	58

# 圖目錄

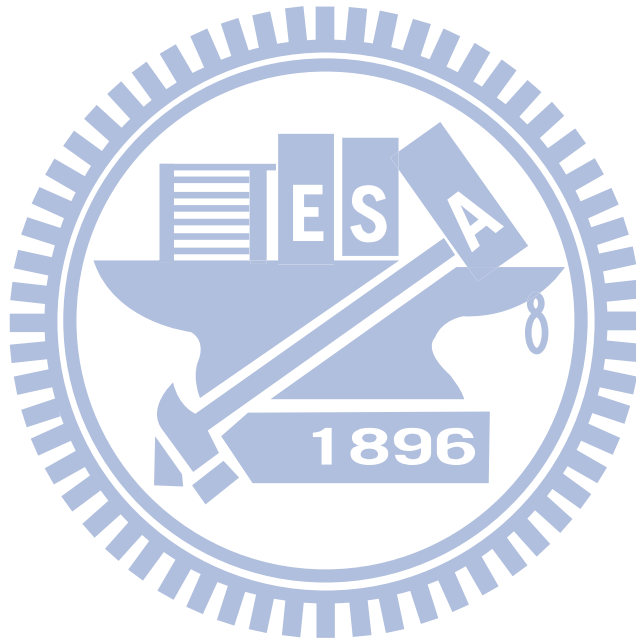
圖 2-1 封裝發展示意圖[6]。.....	5
圖 2-2 封裝層級示意圖[6]。.....	5
圖 2-3 鋁原子靜電力與電子風力之晶格位能變化示意圖[7]。.....	8
圖 2-4 電遷移在鋁導線上的效應[7]。.....	8
圖 2-5 鬆餅狀孔洞生成於 IMC 與鉛錫球界面[11]。.....	10
圖 2-6 BLECH 結構上的電流集中效應示意圖：(A)電子流流向，(B)電流密度模擬圖[7]。.....	12
圖 2-7 覆晶封裝中鉛錫凸塊的電流密度模擬示意圖：(A)二維模擬示意圖，(B)覆晶鉛錫接點電子流示意圖[12]。.....	12
圖 2-8 銅墊層快速反應示意圖[18]。.....	15
圖 2-9 電遷移造成的孔洞生成：(A)不同電阻上升階段的孔洞成長圖，(B)模擬孔洞成長趨勢圖[19]。.....	15
圖 2-10 厚銅柱結構的電流密度分佈模擬圖[23]。.....	17
圖 3-1 Cu/Cu 金屬墊層鉛錫凸塊結構圖。.....	25
圖 3-2 Ni/Cu 金屬墊層鉛錫凸塊結構圖。.....	25
圖 3-3 Ni/Ni 金屬墊層鉛錫凸塊結構圖。.....	26
圖 3-4 通電凱文結構俯視圖。.....	27
圖 3-5 通電凱文結構剖面側視圖。.....	27
圖 4-1 Cu/Cu 與 Ni/Cu 墊層結構以 IN-SITU 方式通 1.6 安培電流密度模擬圖：(A)電子流向下，(B)電子流向上。.....	30
圖 4-2 Ni/Ni 墊層結構以 IN-SITU 方式通 1.1 安培電流密度模擬圖：(A)電子流向下，(B)電子流向上。.....	30
圖 4-3 電子流向下微結構在不同階段剖面示意圖：(A)通電前，(B)10%，(C)20%，(D)50%，(E)電子流方向。.....	35
圖 4-4 電子流向上微結構在不同階段剖面示意圖：(A)通電前，(B)10%，(C)20%，(D)50%，(E)電子流方向。.....	36
圖 4-5 Cu/Cu 金屬墊層的鉛錫凸塊電阻曲線圖。.....	37
圖 4-6 電子流向下微結構在不同階段剖面示意圖：(A)通電前，(B)10%，(C)20%，(D)50%，(E)電子流方向。.....	42
圖 4-7 電子流向上微結構在不同階段剖面示意圖：(A)通電前，(B)10%，(C)20%，(D)50%，(E)電子流方向。.....	43
圖 4-8 Ni/Cu 金屬墊層的鉛錫凸塊電阻曲線圖。.....	44
圖 4-9 銅層與 $\text{Cu}_3\text{Sn}$ 介面的微小孔洞離子影像示意圖。.....	44
圖 4-10 介金屬化合物 $\text{Cu}_3\text{Sn}$ 在不同階段電阻上升示意圖。.....	45

圖 4-11 電子流向下微結構在不同階段剖面示意圖：(A)通電前，(B)10%，(C)20%，(D)電子流方向。 .....	49
圖 4-12 電子流向上微結構在不同階段剖面示意圖：(A)通電前，(B)10%，(C)20%，(D)電子流方向。 .....	50
圖 4-13 銅層與 $\text{Cu}_3\text{Sn}$ 介面的微小孔洞離子影像示意圖。 .....	51
圖 4-14 鎳層與 $\text{Ni}_3\text{Sn}_4$ 介面的微小孔洞離子影像示意圖。 .....	51
圖 4-15 $\text{Ni}_3\text{P}$ 層間的柱狀結構晶界。 .....	52
圖 4-16 Ni/Ni 金屬墊層的鉛錫凸塊電阻曲線圖：(A)電子流向下，(B)電子流向上。 .....	52
圖 4-17 Cu/Cu、Ni/Cu、Ni/Ni 墊層下熱感應元件電阻對溫度變化圖。 .....	55



# 表目錄

表 4-1 不同金屬墊層的各部位電流密度(A/cm<sup>2</sup>)。 ..... 31  
表 4-2 TCR 校正後，Cu/Cu、Ni/Cu、Ni/Ni 墊層鉛錫凸塊溫升表。 ..... 55





# 第一章 緒論

自從第一個積體電路(Integrated Circuit, IC)在 1985 年被 Jack Kilby 與 Robert Noyce 發明後，積體電路在二十世紀開始改變人們的生活。微積電系統主要分為兩大部分，一者為晶片科技，二者為封裝科技，而隨著摩爾定律的預測，IC 上可容納的電晶體數目，約每隔 18 個月便會增加一倍，性能也將提升一倍，封裝科技也隨著這樣的趨勢走向高密度輸入與輸出系統(I/O System)，也因此微縮製程將面臨物理極限的挑戰。為了解決此問題，三維積體電路堆疊整合技術(3D Integrated Circuit Stacking Technology)應運而生，此技術主要的概念是將不同性能的晶片利用堆疊的方式，用錒錫接點將晶片在垂直方向上做接合，如此垂直整合的方式大大降低了外觀的形狀尺寸，也因訊號傳遞距離的降低改善了訊號失真的現象，不僅如此，在散熱問題、成本考量上也都有一定程度的優勢，但也相對的在許多可靠度的議題上面產生了以往沒碰過的問題，因此三維積體電路的發展，也正以覆晶封裝為基礎的考量下在發展中[1]。

近年來，隨著環境保護意識的抬頭，對於覆晶封裝帶來了新的革命。歐盟於西 2006 年宣佈「限用有害物質指令」(RoHS) [2]法案，因此電子封裝中最常被使用的錒鉛材料已漸漸被無鉛錒錫所取代，在此條件下，以錒為基底的無鉛錒錫開始被大家重視，而在所有無鉛錒錫中，又以錒銀合金較



受到關注，除了在製程上較容易量產外，也具備良好的機械性質[3,4]，但此種鉛錫材料相較於以往必定有非常大的衝擊，在各個可靠度議題上都有新的性質值得去探討。而在不同材料的交替下，必定衍生出許多新的問題，在可靠度的議題上面，大致上分為三大主軸，分別為金屬墊層與鉛錫材料的冶金反應，熱機械應力以及電遷移破壞，而電遷移破壞的分析也是本文要探討的主題。

本研究中，主要以錫銀鉛錫為主軸，並在鉛錫高度約為 10 至 20 微米的尺度下，模擬在三維積體電路堆疊整合技術中的鉛錫高度，做電遷移的測試來分析後期鉛錫凸塊的破壞模式。在電遷移測試上主要是利用凱文結構 (Kelvin structure)，此結構的相關研究可追溯到 70 年代，如此量測方式的優點在於可以針對特定範圍做定性的量測。而在如此矮高度的鉛錫結構下，介金屬化合物的成長勢必較為快速，因此當鉛錫結構全部轉換成介金屬化合物後的破壞模式也是我們想要關注的重點。

## 第二章 文獻回顧

### 2-1 電子封裝技術簡介

隨著半導體產業飛速的發展下，電子封裝技術在其中扮演了一個舉足輕重的角色，其主要的目的為提供晶片傳輸訊號的途徑，保護晶片不受到外力的影響，以及分散熱能。而隨著摩爾定律的預測，IC 上可容納的電晶體數目，約每隔 18 個月便會增加一倍，性能也將提升一倍，這也意謂著封裝技術將朝向尺寸縮小，高密度的方向發展。

封裝技術在半導體工業的發展上大略可粗分為四個階段，發展示意圖如圖 2-1 所示，第一階段為 70 年代以 DIP(dual in line)和 PGA(Pin grid array) 為代表，主要的原件是以插入及通孔的模式接合。第二階段是在 80 年代左右發展的 QFP(Quad Flat Package)，此階段的封裝技術將一維引腳結構推向四面引腳。第三階段為 90 年代初期，P/C-BGA 封裝模式興起，大大提升了晶片傳輸訊號的 I/O 密度，使得晶片在最小的面積內有高密度的輸出。最後一階段為 90 年代後期，FC(flip chip)技術廣泛的應用在電子元件上，此技術的起源在 60 年代由 IBM 公司所引進，也稱為 C4(controlled collapse chip connection)[5]，此技術最大的突破點在於其應用面積陣列的概念，比起以往周列式大幅度的增加接點數目，且此技術不但克服了製程上面的困難，也大大提升了元件的效能。

封裝技術大抵上可以分為三種不同的層級，如圖 2-2 所示[6]，第一層級是將 IC 晶片黏著於封裝基板上並完成其中的電路連線與密封保護之製程，包含晶片黏著(Die attach)、連線(Interconnect)、與密封(Sealing)等；第二層級是將第一層級封裝完成的組件與其他電子元件組合於印刷電路板上；第三層級則是把數個電路板組合於一主機板上。而本文主要探討的是第一層級的封裝。



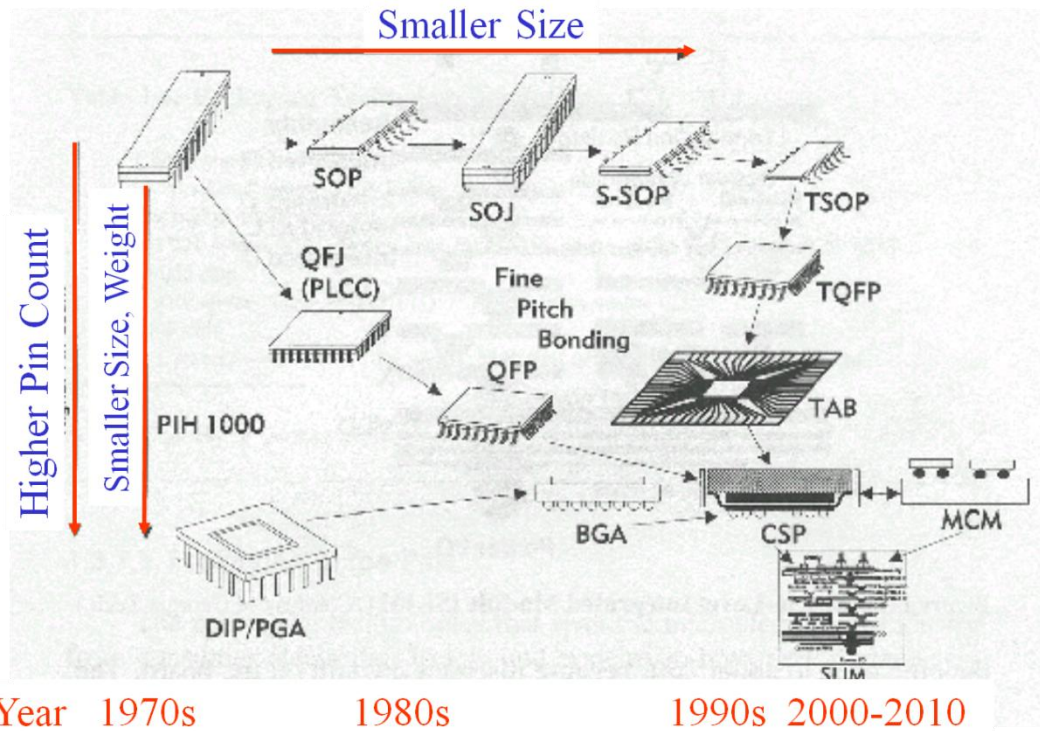


圖 2-1 封裝發展示意圖[6]。

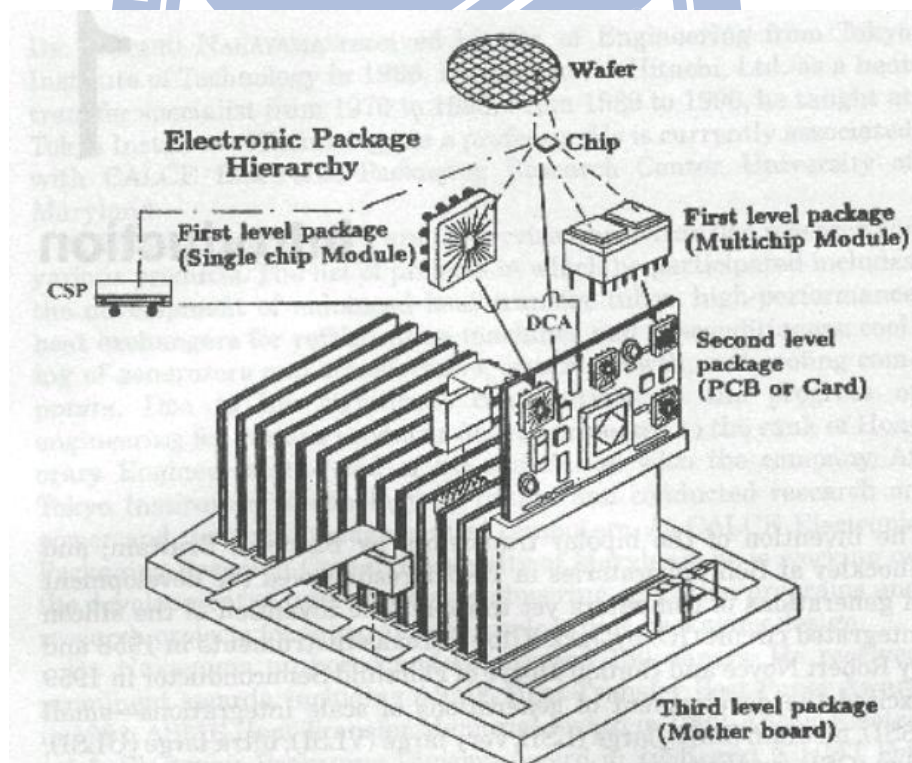


圖 2-2 封裝層級示意圖[6]。

## 2-2 電遷移理論

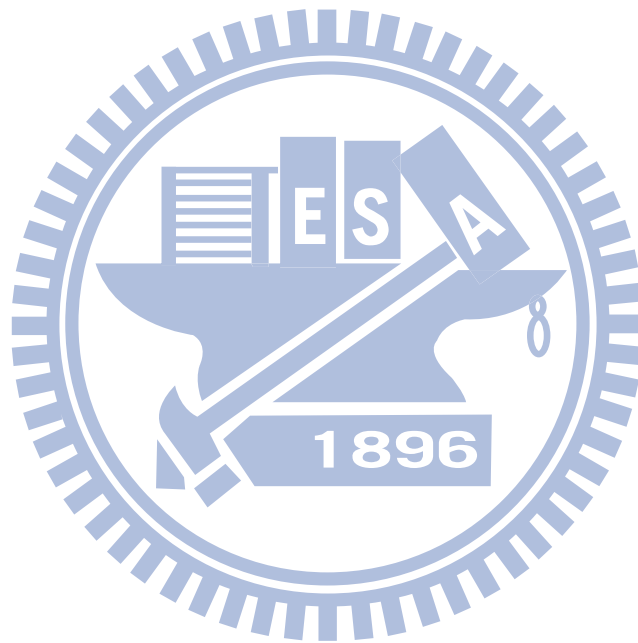
電遷移是一種由熱與電混合使得質量產生移動的效應，這種質量移動的效應主要來自電場與自由電子對金屬離子的交互作用力。雖自由電子在導電金屬內可自由移動而不受到晶格原子的拘束，但當自由電子與晶格原子產生碰撞時，會產生散射的現象導致聲子的震動，而這樣的震動會帶來焦耳熱能使得晶格原子處於激發狀態，當能量大於鍵結位能時，晶格原子就會脫離原本的位置而產生移動，如圖 2-3 所示，這種來自於電子推動所產生的遷移，就稱之為電遷移效應。Blech 結構為電遷移現象一最典型的例子[7]，由圖 2-4 所示，上端的鋁導線在施加電流的情況下，在陽極端形成凸起物，而陰極端則產生孔洞。

電遷移效應在早期被 Huntington 與 Grone 量化成一方程式，如下式：[7]

$$F_{em} = Z^* eE = (Z_{el}^* + Z_{wd}^*) eE \quad (1.1)$$

$E$  表示電場， $Z^*$  為有效價數， $Z_{el}^*$  可視為金屬離子有效價數，而  $Z_{wd}^*$  為金屬離子受電子風力影像下的有效價數。由此式可知，電遷移的驅動力主要是來自於電場靜電力與電子風力的加成效應。而所謂的電場靜電力，為單純的離子受到電場的作用所產生的驅動力。而電子風力，為當一金屬材料施加電流時，電子與金屬離子不斷的碰撞下，產生動量轉換的過程，而使金屬離子產生遷移的驅動力[8]，所以，電子風力對於擴散的原子來說，是扮演

著一個牽引力(friction force)的角色。一般來說，對良好的導電體，電子風力的驅動力都大於電場靜電力十倍以上，因此對於金屬材料來說，例如 Ag、Al、Cu、Pb、Sn 等元素[9]，電子風力的影響不容小覷。





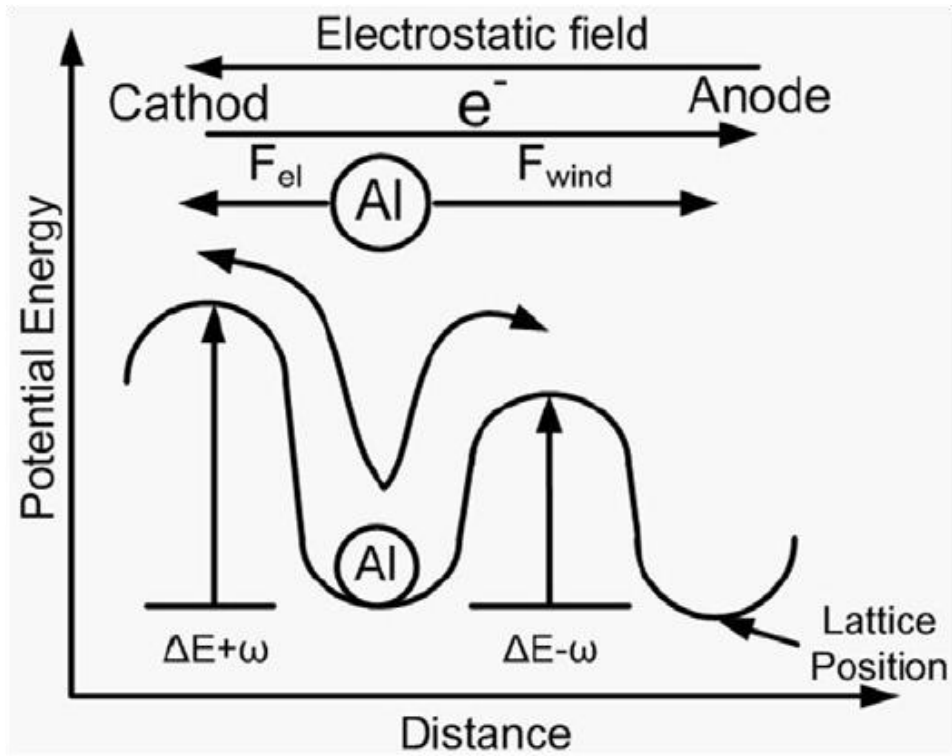


圖 2-3 鋁原子靜電力與電子風力之晶格位能變化示意圖[7]。

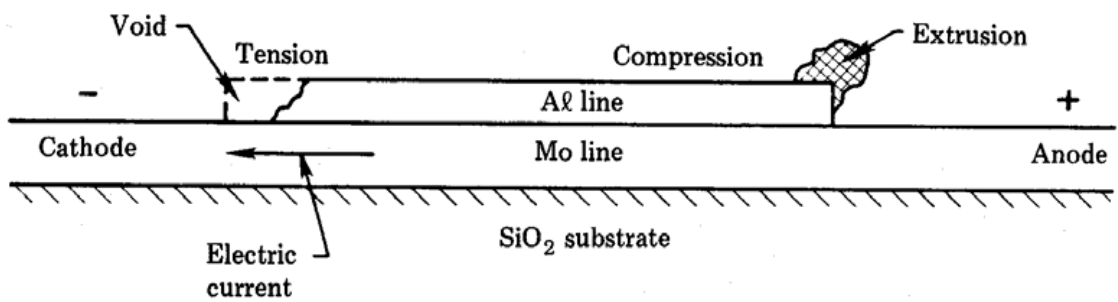


圖 2-4 電遷移在鋁導線上的效應[7]。

## 2-2.1 鐳錫凸塊的電遷移行為

覆晶封裝的概念早在 1960 年代就由 IBM 公司提出，此技術的最大突破點是在晶片上以面積陣列的方式增加訊號傳遞 I/O 數，但由於製程上的不易，因此隨後的 30 年裡，金屬導線的電遷移現象還是主流。但直到 1990 年代後期，電子原件高效能與高功率化的需求，覆晶封裝的概念又再度興起，因此其電遷移現象等可靠度問題又受到聚焦。

在 1998 年，Brandenburg 與 Yeh 兩位學者報導了在覆晶封裝內錫鉛鐳錫的電遷移現象[10]，他們發現了鐳錫凸塊內有 pancake 狀的孔洞生成在晶片端與陰極接觸的界面，如圖 2-5[11]，如此的孔洞會隨著通電時間的增加而沿著界面不斷擴張，直到整個結構斷路為止，此現象的發現使得電遷移的議題受到很大的重視。然而，覆晶封裝的複雜結構，使其電遷移現象顯得難解，當電流從導線進入鐳錫凸塊後，電流密度的分佈、局部溫升的現象、金屬墊層的不同以及鐳錫凸塊的尺度等等因素，都會影響到電遷移所造成的破壞模式，幾個較為明顯的現象，如電流集中、焦耳熱效應等也將在後續進一步討論。

現今，覆晶封裝已被廣泛的運用到各個高效能的電子產品中，隨著產品微小化的趨勢，鐳錫凸塊內部需承受的電流密度勢必倍增，這也意味著電遷移的可靠度問題將會是個非常嚴重的議題。



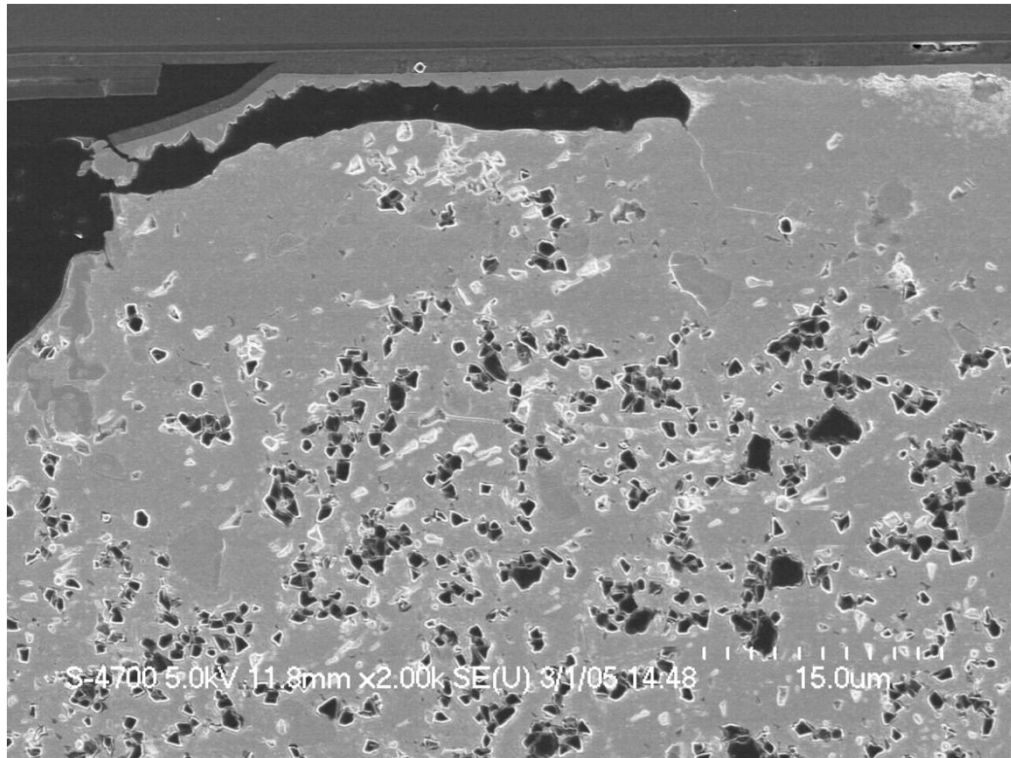


圖 2-5 鬆餅狀孔洞生成於 IMC 與錐錫球界面[11]。



## 2-2.2 電流集中效應

當電流發生轉向或是收斂時，會傾向走阻力最小的(即最短路徑)，因而產生電流集中的現象，此現象會造成局部電流密度的上升，使同一區域產生高低電位差，此位能差產生一驅動力使得缺陷(如空孔等)向低位能方向擴散，因此，有孔洞的生成在低電流密度處。圖 2-6(a)為一典型的 Blech 結構[7]，圖中所用的結構為鋁導線架在 TiN 的基線上，電子流從左端(陰極端)往右端(陽極端)流動，由於鋁的電阻比起 TiN 來的小，因此電流會在鋁端界面做一個轉折，這個轉折處即為電流集中位置，由圖 2-6(b)的模擬圖可以看出其電流密度集中的趨勢。除此之外，由於發熱功率是與電流密度的平方成正比，電流密度的增大也會造成局部溫度上升，因此電流集中效應扮演了雙重的角色，對電流密度與溫度方面都有一定的貢獻。

在覆晶封裝中，電流集中效應對鉅錫凸塊的影響更為顯著，由於鉅錫凸塊連接到晶片端內連接線與基板端的導線，而導線的截面積積維度比起鉅錫球小兩個維度，且電流從導線進入鉅錫球時，方向將近轉了 90 度，因而電流從導線流經鉅錫球時發生電流密度的轉變，通常在轉折處電流密度達到最大值。圖 2-7(a)為電流密度在鉅錫凸塊的二維模擬示意圖，圖 2-7(b)為覆晶鉅錫接點電子流示意圖。可發現電流集中效應造成電流密度分佈的不均勻，且在電流密度集中處，會因電遷移現象的顯著使鉅錫凸塊產生破壞。

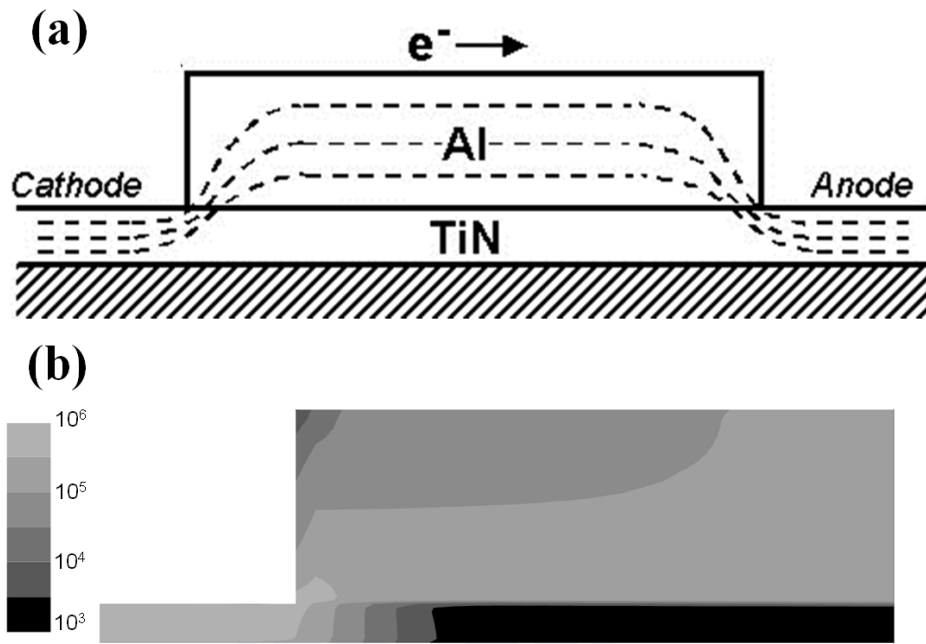


圖 2-6 Blech 結構上的電流集中效應示意圖：(a)電子流流向，(b)電流密度模擬圖[7]。

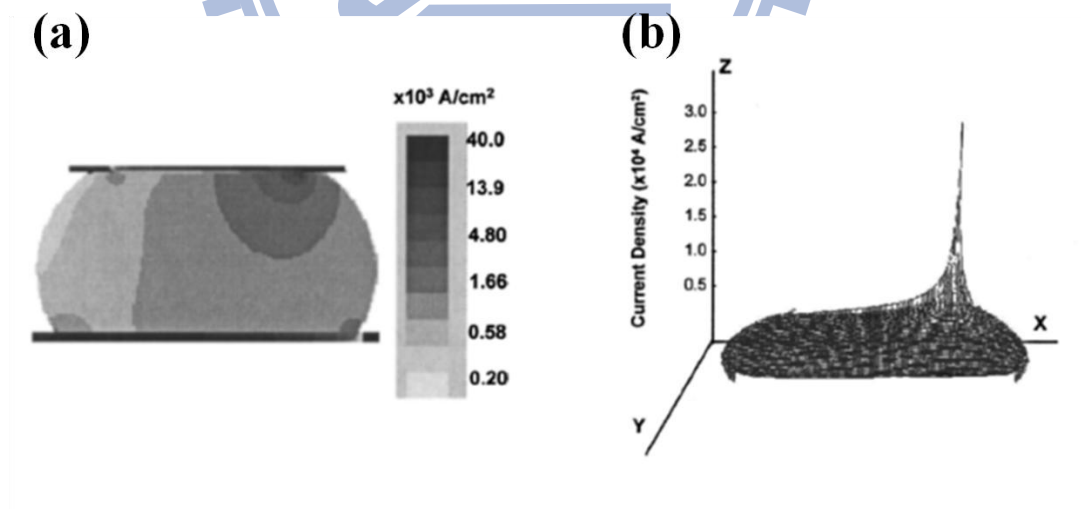


圖 2-7 覆晶封裝中鉍錫凸塊的電流密度模擬示意圖：(a)二維模擬示意圖，(b)覆晶鉍錫接點電子流示意圖[12]。

## 2-2.3 焦耳熱效應

焦耳熱效應指得是當對一導體材料施以電流，會對導體材料產生溫度上升的現象，此效應最早是在 1841 年由 James Prescott Joule 所發現[13]。焦耳熱來自於電流的移動載子與導體內的原子發生碰撞而產生，移動載子因電場的驅動下加速運動，但在與原子發生碰撞時失去部分動能，此動能使得原子產生震盪，因而溫度上升。此熱能可以下式表示：

$$P = I^2 R = j^2 \rho V \quad (1.2)$$

其中 P 為發熱功率，I 為施加電流，R 為導體電阻值，j 為電流密度， $\rho$  為導體電阻率，V 為導體體積。由此式可知，發熱功率主要由兩個因子決定，一為電流，二為導體電阻值。

在覆晶封裝結構中也有發現焦耳熱效應，由於一般覆晶封裝內所採用的導線為鋁或銅材料，長度可達數百到數千微米等級，且電流通過的截面積較小，相較於鉍錫凸塊來說，導線擁有較大的電阻值，因此，焦耳熱效應主要的貢獻來自於導線端[14-15]。除此之外，由於電流集中效應的關係，電流密度在鉍錫內呈現的分佈不一致，而造成溫度分佈不均的現象，在電流密度集中的位置可發現熱點[16-17]。焦耳熱效應的影響使得鉍錫結構在通電過程中，溫度會較外部環境溫度來的嚴酷，因而影響試片的平均破壞時間。

## 2-2.4 電遷移對鉛錫結構的破壞機制

電遷移效應在覆晶封裝結構中會造成的破壞模式主要分成兩大類，第一種為電遷移效應促使金屬墊層的溶解而產生破壞，第二種為電遷移下造成孔洞的生成。以下為兩種模式的詳細解釋。

首先，由於電流密度集中效應，在導線與鉛錫凸塊介面處會有一電流密度極大區域，此區域不管是電流密度或是溫度都是整個鉛錫凸塊內最大值，因而使得金屬墊層快速的溶解，到後期甚至連導線部分也被消耗掉，而這樣的溶解會使得鉛錫材料被反向擴散至原本導線的位置，造成鉛錫凸塊的加速破壞，鉛錫取代了原本導線的位置，且鉛錫材料比起銅抵抗電遷移的能力差，使得導線位置的破壞更加劇烈，破壞示意圖如圖 2-8 所示[18]。

電遷移所造成的孔洞生成主要發生的位置在導線與鉛錫凸塊介面，前文中有提到，電流集中效應會發生在導線與鉛錫凸塊的介面，此處的電流密度大小大約為鉛錫凸塊內的 10 倍，因而此處較易因電遷移效應而產生孔洞，一旦孔洞生成後，就形成一孔洞成核處，孔洞會因電遷移效應延著此介面生長到橫越整個接觸面，此時整個迴路就會變成斷路，因而無法繼續過電。圖 2-9(a)為不同電阻上升階段的孔洞成長圖，圖 2-9(b)為模擬孔洞成長趨勢圖[19]。



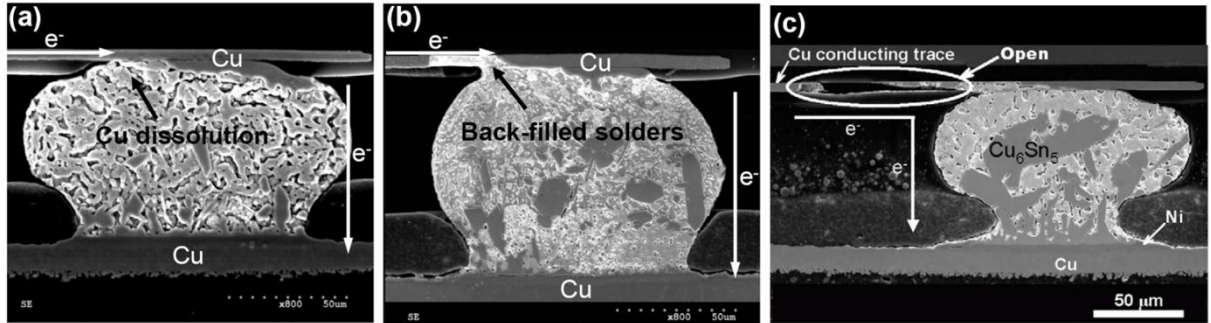


圖 2-8 銅墊層快速反應示意圖[18]。

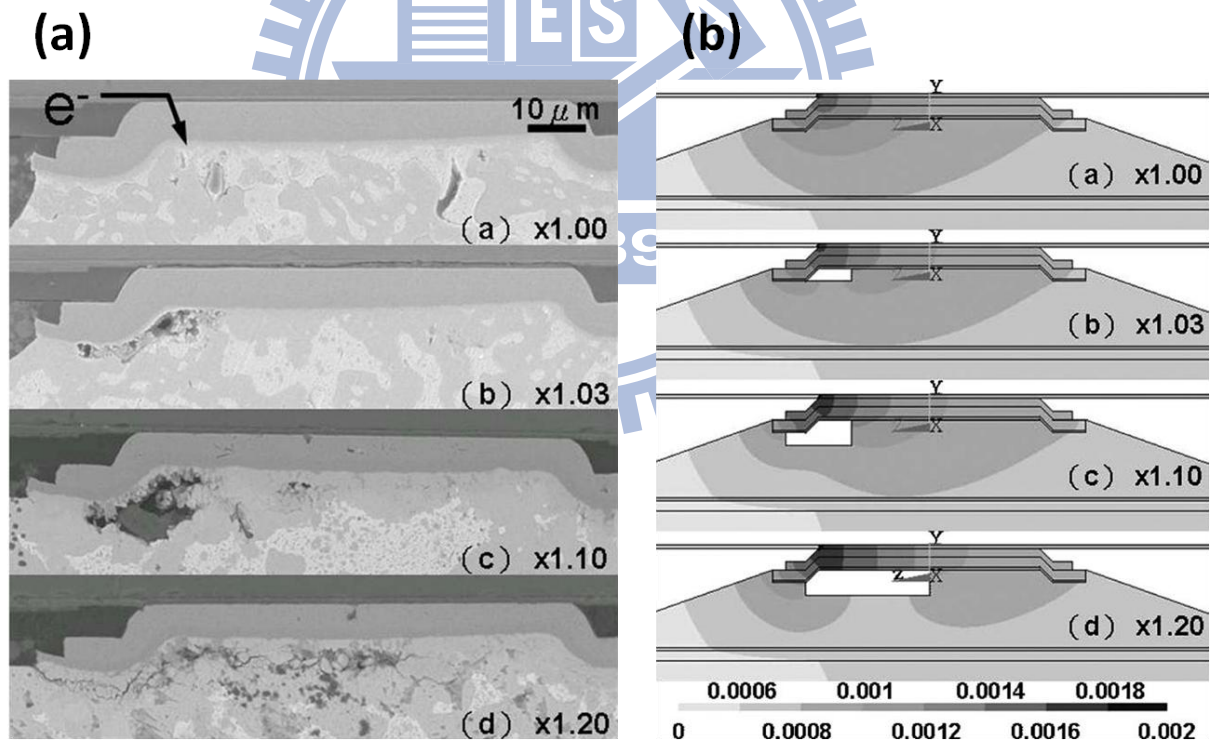


圖 2-9 電遷移造成的孔洞生成：(a) 不同電阻上升階段的孔洞成長圖，(b) 模擬孔洞成長趨勢圖[19]。

## 2-3厚銅柱(Copper Pillar)墊層的優異性質

厚銅柱(Copper Pillar)墊層為覆晶封裝的一環，差別只是將以往銅墊層的厚度增加，大約為 60 至 70 微米，相較於以往整個結構內以鉛錫材料為主，厚銅柱的覆晶封裝結構有更優異的性質[20-22]。在高階電子產品微小化的趨勢下，高密度 I/O 使得鉛錫接點間距縮小是不可避免的，這樣的縮小必定會達到物理極限，因此，厚銅柱墊層的應用興起，由於厚銅柱能夠在更小的鉛錫接點間距下，維持一定的 Stand-off 高度，且由於鉛錫所使用的量不多，因而不容易去濕潤接合到銅柱以外的區域，在製程上能達到更低成本且良率較為穩定。

銅在熱與電的特性上也較鉛錫凸塊優異，從報導中指出，銅柱的引進對於電遷移效應引發的可靠度問題為一正向的改變，由於銅的熔點高，化學鍵結能量也較高，因此對於抵抗電遷移的能力是較強的。以往文獻指出，電流密度集中區域大致在金屬墊層以及鉛錫凸塊介面，鍵結強度較低的鉛錫材料因無法抵抗電遷移而產生孔洞，但在厚銅柱墊層結構，電流集中區域發生在銅柱層，因而能夠利用銅的高強度特性來抵擋電遷移的影響，除此之外，在圖 2-10 的電流密度模擬圖中可看出電流密度能在厚銅柱層達到分散的效果[23]，使得電流在流經鉛錫凸塊時能以較均勻的電流通過。因此，銅柱結構對於覆晶封裝是一利多的改良。

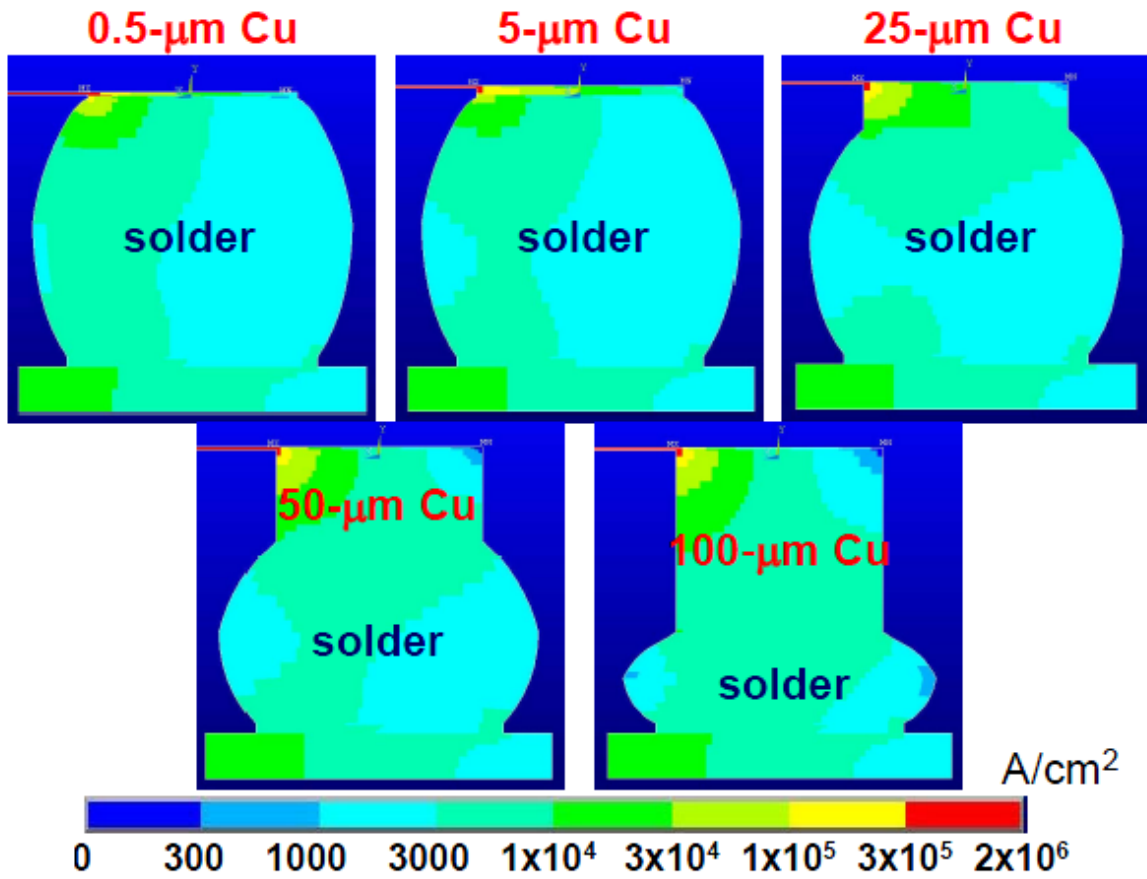


圖 2-10 厚銅柱結構的電流密度分佈模擬圖[23]。



## 第三章 試片結構及實驗方法

### 3-1 試片結構

本研究中所使用的是由本實驗室所設計出來的試片，實驗上會用到的試片分成三類，以錫銀銲錫接點上下端金屬墊層的不同做區隔，分別為 Cu/Cu、Ni/Cu 與 Ni/Ni 為金屬墊層的錫銀銲錫凸塊。

試片的結構如圖 3-1、圖 3-2 及圖 3-3 所示，三者的結構差異只有在銲錫凸塊上下兩端的金屬墊層不同，其餘結構皆相同。最上下端的銅導線為界線，晶片端的墊層結構分別為 Ti/Cu/Cu Column，厚度分別為  $1\mu\text{m}$  /  $2\mu\text{m}$  /  $50\mu\text{m}$ ，其中 Ti/Cu 層是以濺鍍的方式鍍在上端銅導線上，中間  $2\mu\text{m}$  的銅做為種子層，再電鍍  $50\mu\text{m}$  厚的銅柱。鈍化層開口 (Passivation Opening) 大小則以黃光微影製程來定義其開口大小，再以濕式蝕刻方式來除去不必要的區域，因此 Passivation Opening 的直徑為  $85\mu\text{m}$ ，銅柱的直徑為  $140\mu\text{m}$ 。上層銅導線的寬度為  $100\mu\text{m}$ ，厚度為  $5\mu\text{m}$ ，兩個銲錫凸塊的間距 (pitch) 為  $1\text{mm}$ 。下端基板部分所採用的是 FR5 基板，而基板上的金屬導線為銅，銅導線寬度為  $100\mu\text{m}$ ，厚度為  $27\mu\text{m}$ 。銲錫凸塊所使用的材料為 Sn2.3Ag，其製程方式是以電鍍方式電鍍在晶片端金屬墊層上，再以回銲方式與基板端接合，銲錫球高度皆在  $10\sim 20\mu\text{m}$ ，直徑為  $150\mu\text{m}$ 。以上的敘述為金屬墊層為 Cu/Cu 的試片，如圖 3-1 所示。

第二種金屬墊層為 Ni / Cu 的試片主要不同的地方是在銅柱下端有電鍍一層 3 $\mu$ m 的鎳層，再與銲錫凸塊相接，如圖 3-2 所示。第三種結構的金屬墊層為 Ni / Ni，其結構為銲錫凸塊上端為 3 $\mu$ m 的電鍍鎳層，下端為 5 $\mu$ m 的鎳(磷)層，且下端導線厚度為 20 $\mu$ m，如圖 3-3 所示。

## 3-2 實驗方法與步驟

### 3-3.1 試片前處理

取出三種不同結構的試片，其中 Cu/Cu 及 Ni/Cu 試片因其反應較為快速，因此採取的方式是沒有做任何前處理的情況下進行通電，並可同步觀測到在什麼條件下能夠全部轉換成介金屬化合物，進而做後續的通電測試。而 Ni/Ni 金屬墊層由於反應較為緩慢，所以採用的方法為利用通電的方式來使得銲錫凸塊全部轉換成介金屬化合物，通電的條件為電流密度  $1.17 \times 10^4$  A/cm<sup>2</sup>，通電時間為 400 小時。

為了確定試片初始結構，以利觀測各階段微結構變化，本實驗採用 in-situ 的觀測方式。首先，將六種試片依序以不同號數的 SiC 砂紙由 1000、2000、4000 做研磨，再依續以 1 $\mu$ m 及 0.3 $\mu$ m 氧化鋁粉進行拋光，並以 Keithley2400 電錶觀測銲錫凸塊的電阻值以確定是否將銲錫凸塊磨至中間面，最後會在

試片的表面上濺鍍上一層鉑金屬層以防止表面氧化，亦可增加試片在做電子顯微鏡觀測時的導電度。

### 3-3.2 電遷移加速測試及凱文結構量測電阻值

為了使試片結果能夠在較短的時間內以達到模擬後期破壞的結果，本實驗所採用的測試條件相對較為嚴苛，而測試的參數主要是以 Black's equation 為主軸。首先，將三種試片分別放置 150 °C 加熱盤上，以耐熱膠帶將其固定，做一小時的時效熱處理，待試片達穩定後，再分別施以通電測試。其中金屬墊層為 Cu/Cu、Ni/Cu 的試片施與 1.6 安培的電流，以 UBM opening 為計算底面積的半徑，換算成電流密度為  $2.08 \times 10^4 \text{ A/cm}^2$ ，而 Ni / Ni 金屬墊層的則施與 1.1 安培，換算成電流密度為  $1.25 \times 10^4 \text{ A/cm}^2$ 。

通電的過程中，以凱文結構來同步觀測鉍錫凸塊的電阻值，其結構平面視圖及剖面視圖分別以圖 3-4、圖 3-5 表示。圖中接點由左到右依序標示 b1、b2、b3、b4，四個接點上端由銅導線串連，導線寬度 100 $\mu\text{m}$ ，厚度 5 $\mu\text{m}$ ，下方接著 50 $\mu\text{m}$  厚的銅柱。而基板端有銅導線分別連接至各個鉍錫球下，導線寬度 100 $\mu\text{m}$ ，厚度 27 $\mu\text{m}$ ，接出的導線用以做測試分析，六個節點依序為 n1 到 n6，其中 n2、n5 為電流輸入輸出端，n1、n3、n4、n6 量測電壓降。

電遷移測試開始時，電子流由 n2 往上通過 b2，然後經銅導線，往下通過 b3，最後由 n5 節點離開，在通電的同時，量測 n1、n3 的電壓降，可得知 b2 電子流向上的鉚錫凸塊電阻值，而 n4、n6 可得 b3 電子流向下的鉚錫凸塊電阻值，如此的量測方式，可以即時偵測到單顆鉚錫凸塊在電遷移測試時的電性變化，因此可以在電阻值上升到定義破壞的阻值時停止通電測試並做微結構的觀測，也由於電子流向下(b3)的鉚錫凸塊在先前的研究中發現較容易有破壞現象的產生，加上有銅柱分散電流的效果，因此觀測的重點也放在電子流向下這顆鉚錫凸塊，且在其電阻值上升 1.1、1.2、1.5 倍時做微結構觀測。

### 3-3.3 以銅導線的 TCR effect 校正鉚錫凸塊實際溫度

本研究所採用的試片皆有設計銅導線做為熱感應原件，以利觀測試片內部真實溫度，此導線設計的位置位於基板端，與電遷移測試迴路為分開的部分。首先，在尚未做電遷移測試時，會先將試片放進加熱爐中，對熱感應元件通以 0.1 安培的電流，並在溫度分別為 50 °C、100 °C、150 °C、200 °C 時量測其電阻，最後會對電阻與溫度兩參數做線性圖線性迴歸法找出其方式，以求得銅導線的電阻溫度係數(TCR)。為了避免所測得的關係式會受到

焦耳熱效應的影響，我們採用 0.1 安培的電流，並利用紅外線顯像儀做二次確認，其焦耳熱效應不到 1 °C，因此可以確認通以 0.1 安培的電流所產生的焦耳熱效應可以忽略。而實際做電遷移測試時熱感應元件的電阻值就可以用外插的方式，來得到通電下鉚錫凸塊的真實溫度。



### 3-3分析工具與方法

本實驗在做電遷移測試時，定義其電阻上升 1.1、1.2、1.5 倍時為破壞階段，因此在各個階段會將試片取下，以 0.3 $\mu\text{m}$  氧化鋁粉進行拋光，除去其氧化物部分，並做微結構金相觀測。觀測金相所使用的儀器為 6500 型熱場發掃描式電子顯微鏡(Field Emission Scanning Electron Microscope, FESEM)，其為日本電子光學株式會社(Japan Electron Optics Laboratory, JEOL)所製造的機台。此外也會搭配能量散佈光譜儀(Energy Dispersive Spectrometers, EDS)對特定區域做成分分析，以利於確認試片各成分組成。

掃描式電子顯微鏡主要能提供兩種不同的影像圖，第一種為二次電子影像(Secondary Electrons Image)，此種影像主要來自於弱鍵結的電子遭到入射電子撞擊所偵測到的訊號，其訊號會受到試片表面起伏影響，可以觀測到試片表面形貌。而第二種為反射電子影像(Backscattered Electrons Image)，其訊號來自於入射電子束與原子彈性碰撞產生的反射電子，其訊號會因試片元素不同而有所差異，因此此種影像能提供較強的原子序對比影像。

本研究中為確定不同界面層內是否有微小孔洞的生成，使用聚焦離子束與電子束顯微系統(Focus Ionic Beam, FIB)做微結構上的分析。試片在進入 FIB 前，會先將其研磨拋光至剖面位置，再利用離子束轟擊試片表面做蝕刻處理，此方式可以確定界面層的小孔洞清晰的成現，以消除因研磨拋光造

成的孔洞阻塞的因素；接著利用離子束進行試片縱向的切割，觀察試片內部的微結構。





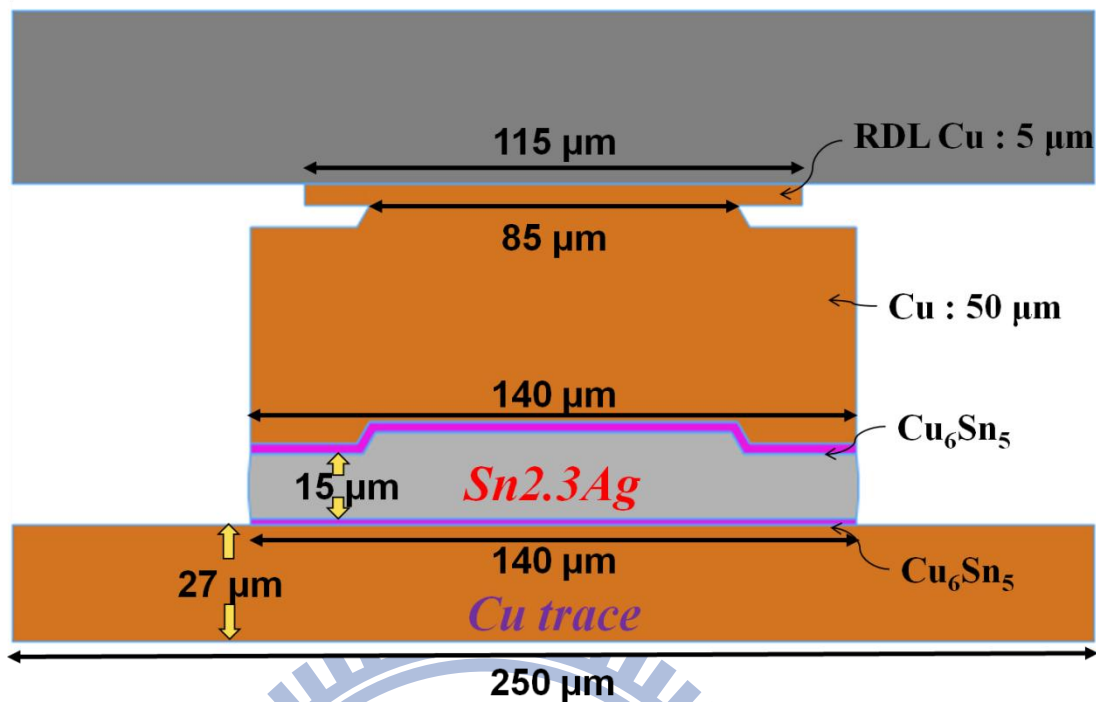


圖 3-1 Cu/Cu 金屬墊層銲錫凸塊結構圖。

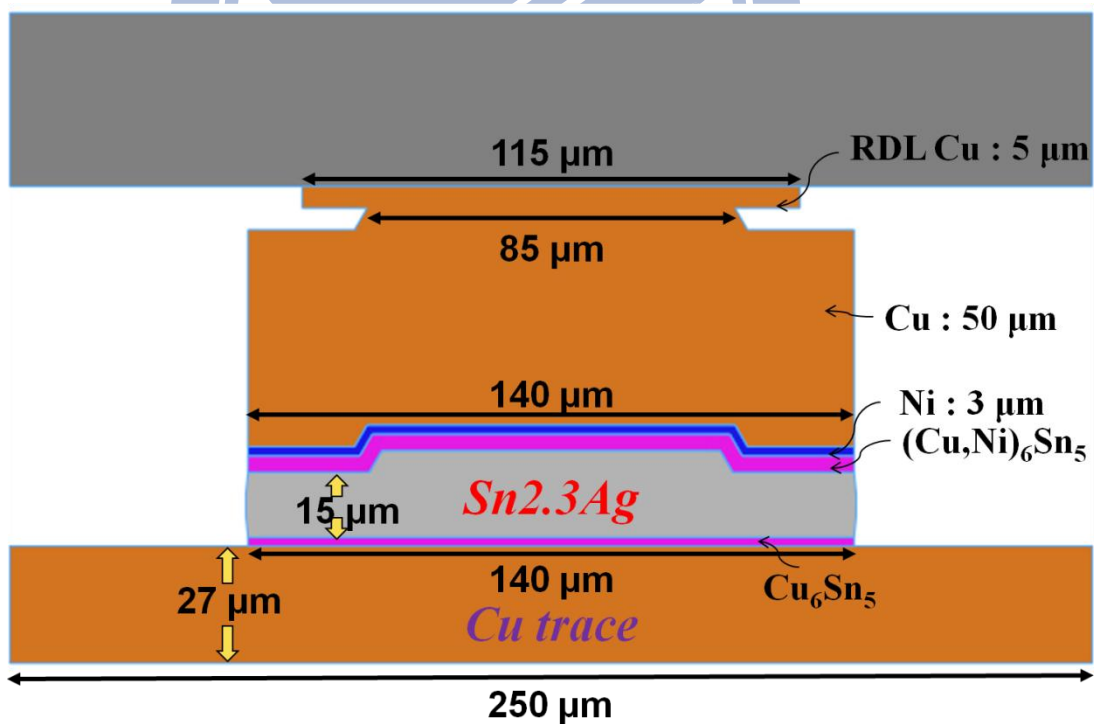


圖 3-2 Ni/Cu 金屬墊層銲錫凸塊結構圖。



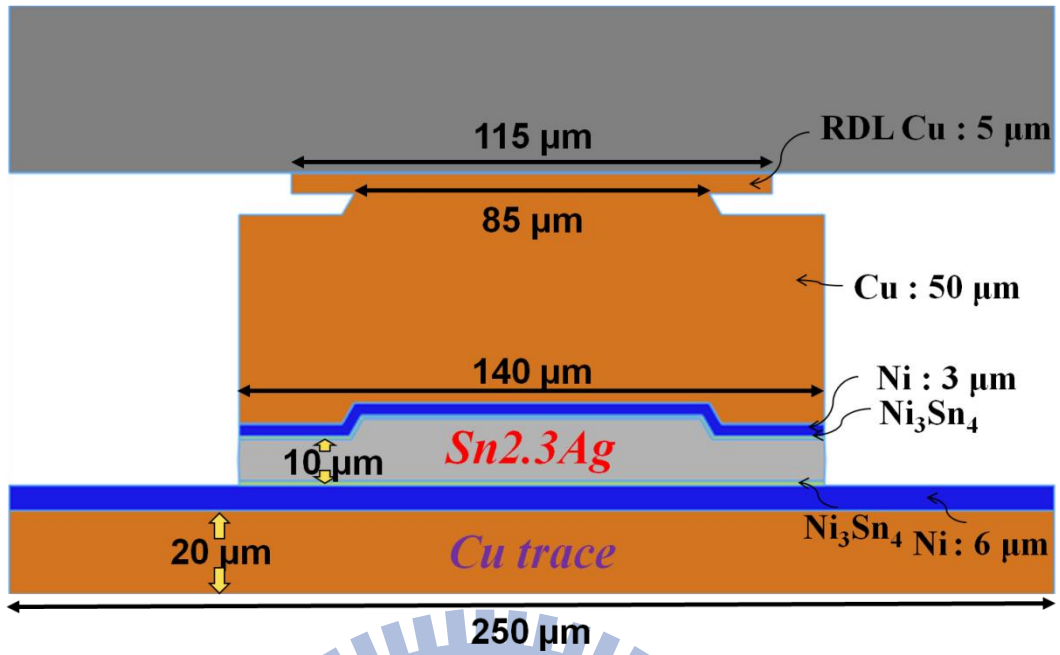


圖 3-3 Ni/Ni 金屬墊層鉍錫凸塊結構圖。



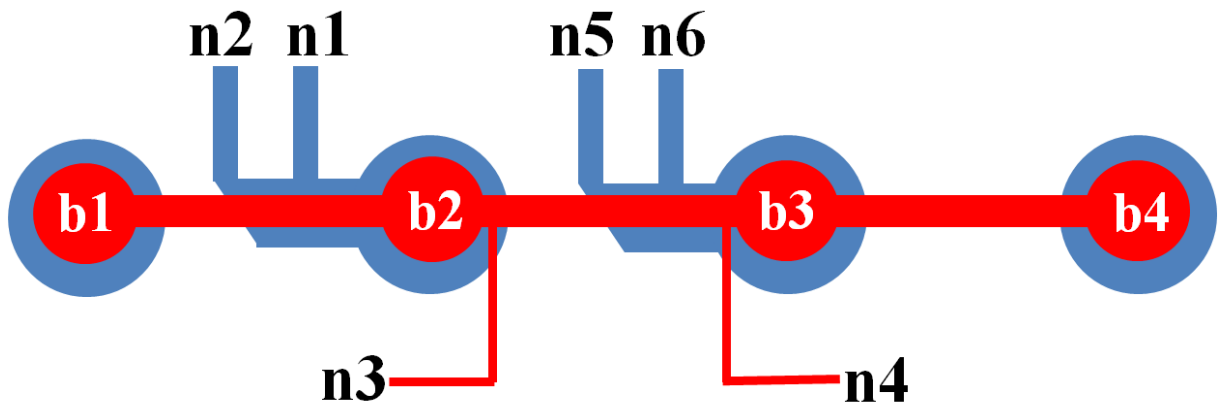


圖 3-4 通電凱文結構俯視圖。

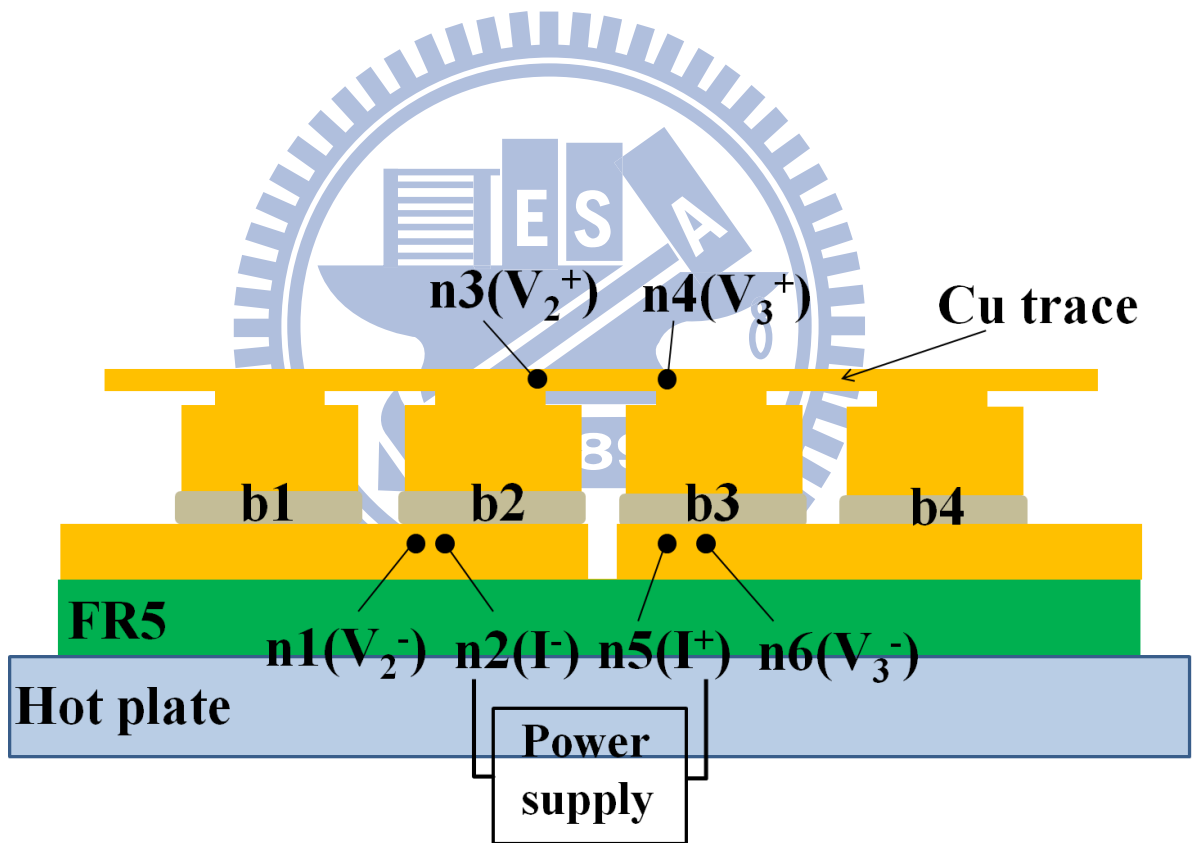


圖 3-5 通電凱文結構剖面側視圖。

## 第四章 結果與討論

本章節大約分三個部分，第一步分為利用三維數值分析法來模擬試片電流密度分佈以利後續破壞結構分析，第二部分分別將三種不同金屬墊層試片做微結構分析，以電阻不同的上升幅度作為各階段的分界，最後，說明如何以溫度感測設置來校正鉛錫凸塊的實際溫度。

### 4-1 三維數值分析法模擬電流密度分佈

本研究中，主要探討的是電遷移效應對於鉛錫結構的破壞，前文文獻回顧提到，在覆晶封裝的鉛錫結構中，電子流由導線轉向鉛錫凸塊後，會產生一電流集中效應，電流密度因而重新分佈。因此本章先以三維有限元素分析法來模擬電流密度的分佈以利後續分析電遷移效應對鉛錫凸塊造成的影響。

圖 4-1 為模擬整個鉛錫結構在  $150^{\circ}\text{C}$ ，通以 1.6 安培的電流電流密度分佈情形，由於本實驗是以 semi in-situ 的方式通電，因此在模擬此結構時，也將試片切割成一半大小，使其電流密度分佈情形較趨近於實際狀況。由於在模擬 Cu/Cu 與 Ni/Cu 結構時電流密度分佈趨勢大致上相同，因此僅以一張圖代表兩種試片的模擬圖。圖 4-1(a) 為電子流向下的電流密度分佈圖，電子流由左上端往左下端流，由圖中得知，電流密度最大區域在左上端導

線轉進銅柱區，因此電流密度集中區域可以遠離鉍錫，使鉍錫內部的電流密度較均勻分佈。但在鉍錫結構區域中明顯發現，左半部的鉍錫區是較大電流密度區，大約為  $5 \times 10^4 \text{ A/cm}^2$ ，比起右邊區域大約為  $2 \times 10^4 \text{ A/cm}^2$ ，約為二到三倍的差距，並沒有預期中完全均勻的分佈，主要原因來自於電子流由左上進左下出。但在如此大的電流密度下，初期的破壞位置預期可能發生在上端金屬墊層進入鉍錫凸塊的位置，且此區域的金屬墊層會因電遷移效應快速的溶解而產生大量介金屬化合物，加速整個鉍錫凸塊轉變成介金屬化合物的時間。圖 4-1(b) 為電子流向上的電流密度分佈圖，電子流由左下端往右上端流，電流密度集中最大區域依然為上端銅柱往導線端，而鉍錫左下端觀察到電流密度較大區域，因此在初期電遷移發生孔洞破壞的位置可能發生在此。

而圖 4-2(a) 與 4-2(b) 為 Ni/Ni 墊層通電的電流密度分佈圖，此試片通電的條件為在  $150^\circ\text{C}$ ，通以 1.1 安培的電流，電流比起前兩種試片來的小，但其電流密度分佈圖大致上相同。

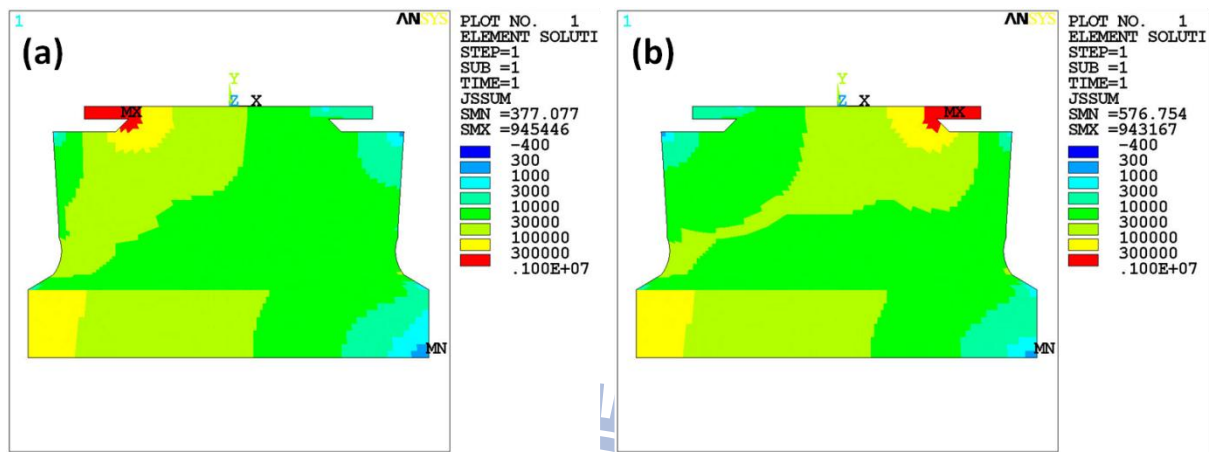


圖 4-1 Cu/Cu 與 Ni/Cu 墊層結構以 in-situ 方式通 1.6 安培電流密度模擬圖：

(a)電子流向下，(b)電子流向上。

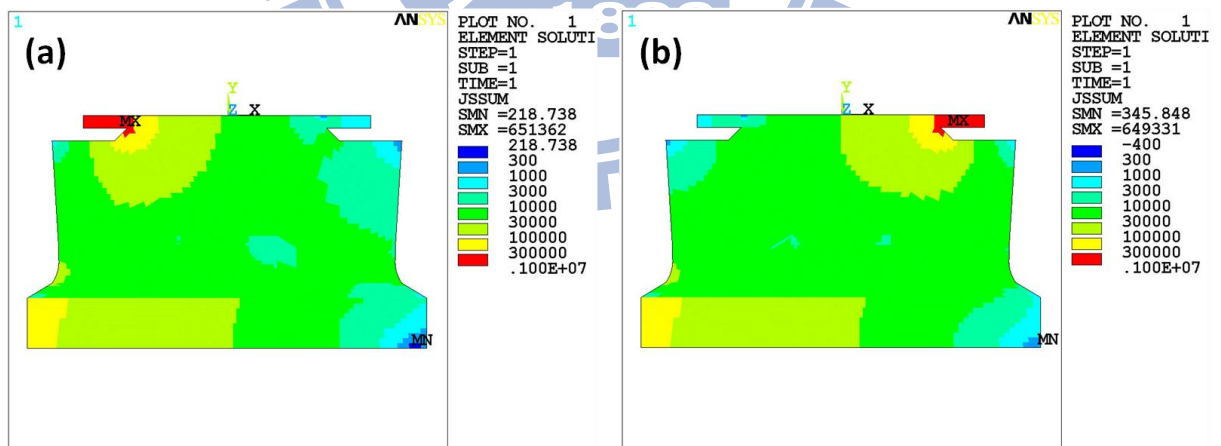


圖 4-2 Ni/Ni 墊層結構以 in-situ 方式通 1.1 安培電流密度模擬圖：

(a)電子流向下，(b)電子流向上。

## 4-2 不同金屬墊層的電遷移測試

本節主要將三種不同金屬墊層的試片分開做探討，所有試片皆以 semi in-situ 的方式做觀測，而由一般的研究發現，破壞主要是發生在電子流向下的銲錫凸塊，且由於電子流向下會先經過銅柱的分流，使得電子流進入銲錫凸塊後更均勻的分佈，因此在觀測電阻值上升的各個階段，是以電子流向下這顆銲錫凸塊的阻值為準，並觀察各階段的微結構變化。文中也會分別將電子流向上與向下的銲錫凸塊分開做討論。各試片通電條件如表 4-1 所示，由於 Ni/Ni 結構試片在導線上的尺度不同，通電的條件也略為不同，因此以此表各別算出其晶片端導線、銲錫凸塊內部及基板端導線的電流密度以利比較。

金屬墊層\各部位電流密度 (A/cm <sup>2</sup> )	晶片端導線	基板端導線	銲錫凸塊
<b>Cu/Cu</b>	<b>6.4 x 10<sup>5</sup></b>	<b>1.19 x 10<sup>5</sup></b>	<b>2.08 x 10<sup>4</sup></b>
<b>Ni/Cu</b>	<b>6.4 x 10<sup>5</sup></b>	<b>1.19 x 10<sup>5</sup></b>	<b>2.08 x 10<sup>4</sup></b>
<b>Ni/Ni</b>	<b>4.4 x 10<sup>5</sup></b>	<b>1.10 x 10<sup>5</sup></b>	<b>1.25 x 10<sup>4</sup></b>

表 4-1 不同金屬墊層的各部位電流密度(A/cm<sup>2</sup>)。



## 4-2.1 Cu/Cu 金屬墊層破壞模式

### A. 電子流向下的微結構分析

圖 4-3 的(a)、(b)、(c)、(d)分別為試片從通電前、電阻上升 10%、20% 及 50% 電子流向下的 SEM 影像圖，由這四個影像可以看出整個鍍錫凸塊在各個階段的微結構變化。首先，由電阻上升 10% 的微結構圖(圖 4-3(b))可看出，大約通電 150 小時後，中間鍍錫部分幾乎都反應成介金屬化合物  $\text{Cu}_6\text{Sn}_5$ ，且在  $\text{Cu}_6\text{Sn}_5$  上下兩端皆有一層薄薄的  $\text{Cu}_3\text{Sn}$  層，此外， $\text{Cu}_6\text{Sn}_5$  層內還夾雜一些白色顆粒狀的物質，經由 EDS 成分分析後，證實為  $\text{Ag}_3\text{Sn}$  析出物，而在  $\text{Cu}_6\text{Sn}_5$  層上方位置，也發現了一個很大的孔洞，由 4-1 節的電流模擬分部圖中發現，雖然孔洞生成的位置不是在電流密度最大區域，但由於銅柱分流的效應下，使得鍍錫凸塊內部的電流密度相對不會落差太大，孔洞生成區域的電流密度約達  $2 \times 10^4 (\text{A}/\text{cm}^2)$ ，因而鍍錫凸塊是有可能因為電遷移效應而留下一孔洞在此，但鍍錫材料一旦全部轉換成  $\text{Cu}_6\text{Sn}_5$  後，孔洞的大小就不會再擴張了。除此之外，在上方的銅柱，有非常明顯的消耗現象，主要由於電子流對銅原子產生電遷移的效應，使銅原子為主要擴散原子，加快銅原子溶進下方與  $\text{Cu}_6\text{Sn}_5$  反應生成  $\text{Cu}_3\text{Sn}$ ，因此上方的銅層與  $\text{Cu}_3\text{Sn}$  產生一個不規則的形貌。

在電阻值上升 20% 的微結構圖(圖 4-3(c))中，比起 10% 有更多的殘餘鍍

錫轉換成  $\text{Cu}_6\text{Sn}_5$ ，且上下兩端的  $\text{Cu}_3\text{Sn}$  也較前者來得厚， $\text{Cu}_3\text{Sn}$  主要是來自於在高溫下的熱時效處理而產生成長的現象，但在此階段並沒有看到介金屬化合物有任何的破壞產生。從 20% 到 50% 這個階段中，有一段電阻上升較為緩慢的區域，推測這個階段因銲錫已完整的轉換成介金屬化合物了。最後，電阻值上升 50% 的微結構圖(圖 4-3(d))，相較於前一個階段，介金屬化合物依舊非常完整，並沒有發現任何介金屬化合物電遷移的現象，上方的孔洞也沒有隨著通電時間的拉長而有擴大的趨勢，但唯一發現較為明顯的破壞在晶片端的銅導線，有非常多的孔洞生成在電流通過的路徑上，此一明顯的破壞也是電阻大幅上升的主要因素。電阻曲線圖如圖 4-5 所示。

## B. 電子流向上的微結構分析

圖 4-4 的(a)、(b)、(c)、(d)分別為電子流向上的銲錫凸塊各階段示意圖。首先，在電阻上升 10% 時，發現中間所有的銲錫部分全部都轉換成  $\text{Cu}_6\text{Sn}_5$  了，相較於電子流向下的銲錫凸塊有較短的時間，且在左下角的位置有發現一些小孔洞的生成，下端銅墊層也消耗的較快速，從電流分佈模擬圖一樣發現，此區域為電子流轉折處，有較大的電流密度發生在左下端，在銲錫尚未轉換成  $\text{Cu}_6\text{Sn}_5$  時，錫原子會因電遷移效應而被推動，因此會有孔洞的生成，但當所有銲錫轉換成  $\text{Cu}_6\text{Sn}_5$  時，孔洞的大小就不再擴增。

而從理論上分析，當銲錫部分完全轉換成  $\text{Cu}_6\text{Sn}_5$  後，電阻會上升大約 7%，分析方法如下，先假設所有的銲錫成分全部轉換成介金屬化合物，由化學反應方程式推算出形成化合物所需要消耗的銅層厚度，最後在以電阻公式依串聯的方式計算電阻總值，比較前後上升的電阻來推測全部轉換成介金屬化合物會上升的比率。由實驗結果得知，整顆銲錫凸塊轉換成介金屬化合物的電阻值上升介於 5% 到 10%，與理論值推估的相差不遠。而電子流向下的銲錫需要達到 20% 才全部轉換成介金屬化合物，推測主要的原因來自銲錫上方有一個大孔洞，而這個孔洞會阻擋銅原子擴散下來與錫原子反應，因此全部轉換的時間較長。

圖 4-4(c)與 4-4(d)分別是電阻上升 20%與 50%的微結構，由微結構圖中並沒有發現任何電遷移造成破壞的現象，此階段與電子流向下的機制差不多，皆是  $\text{Cu}_3\text{Sn}$  在上下兩端有變厚，且在 50%的圖中發現到導線裂化的情形。

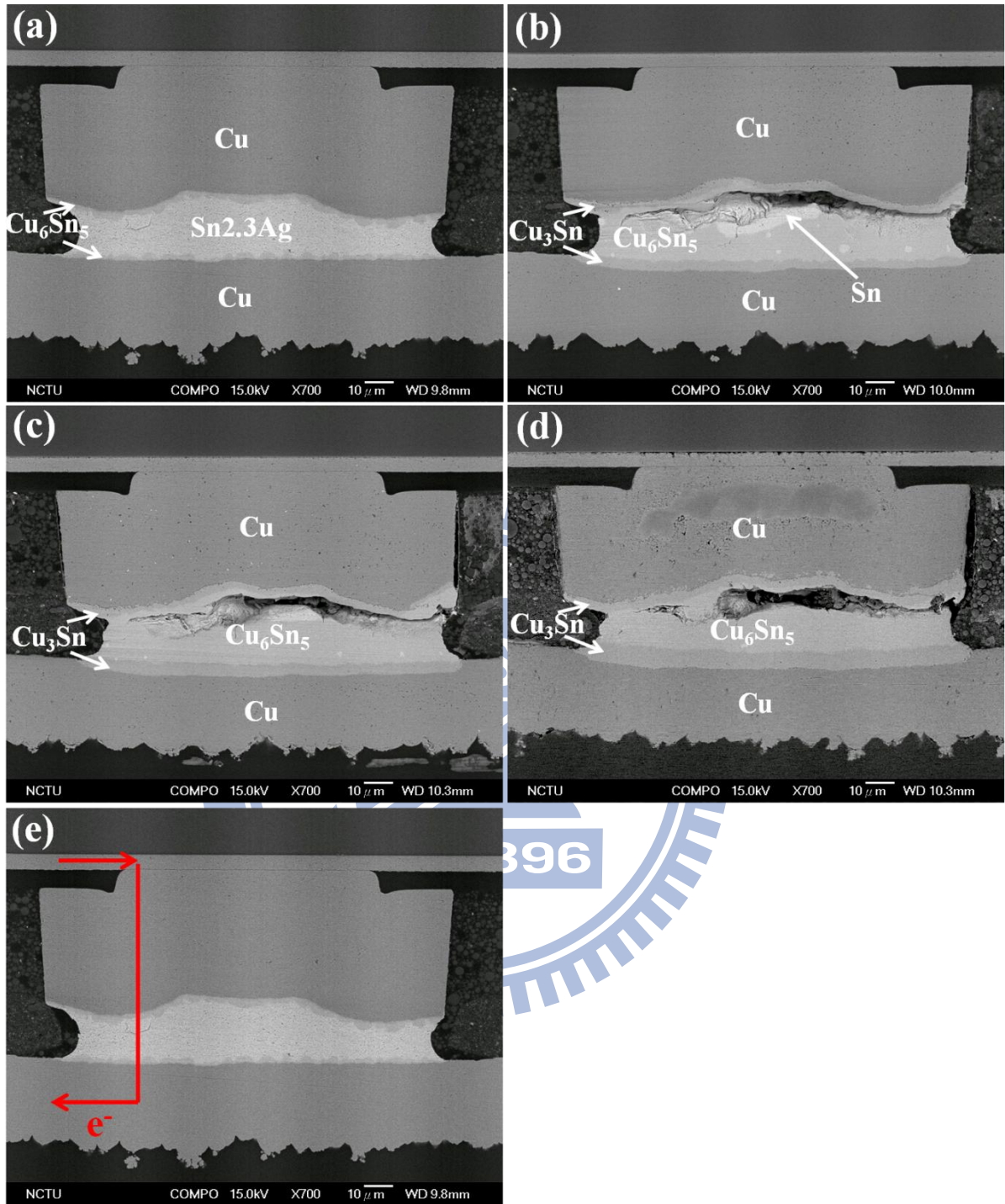


圖 4-3 電子流向下微結構在不同階段剖面示意圖：(a)通電前，(b)10%，(c)20%，(d)50%，(e)電子流方向。



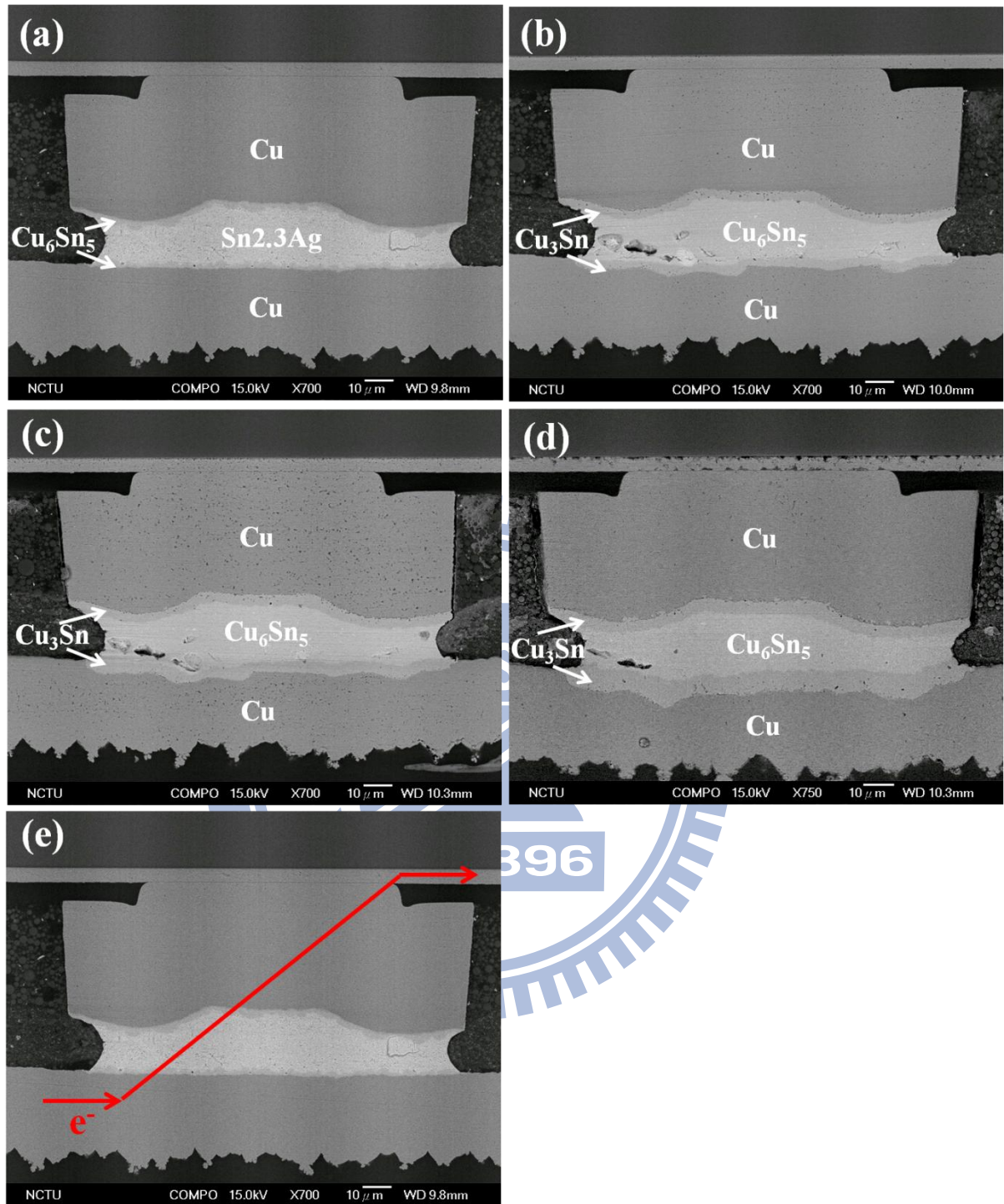


圖 4-4 電子流向上微結構在不同階段剖面示意圖：(a)通電前，(b)10%，(c)20%，(d)50%，(e)電子流方向。

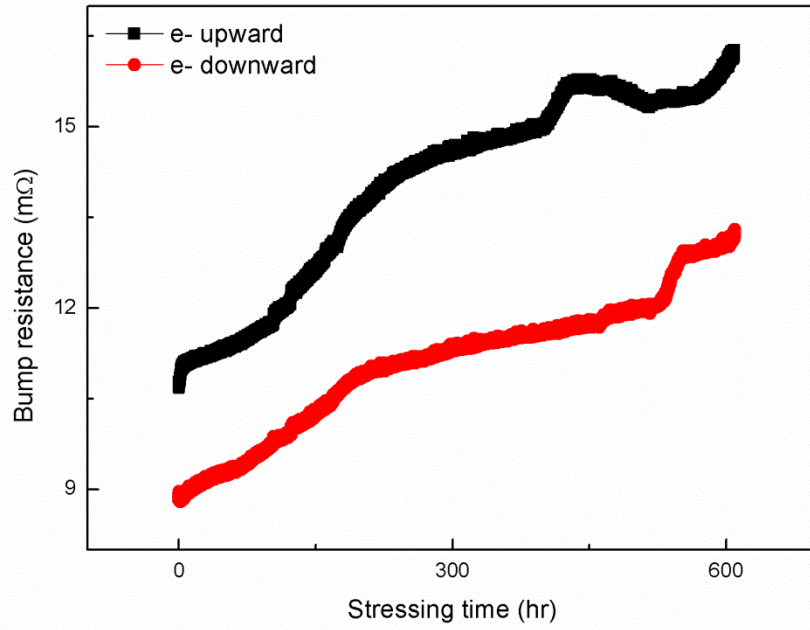


圖 4-5 Cu/Cu 金屬墊層的鋅錫凸塊電阻曲線圖。





## 4-2.2 Ni/Cu 金屬墊層破壞模式

### A. 電子流向下的微結構分析

圖 4-6 的(a)、(b)、(c)、(d)分別為試片從通電前、電阻上升 10%、20% 及 50% 電子流向下的 SEM 影像圖。在尚未通電前，對銲錫凸塊做成分分析，發現銲錫上下兩端各有一層介金屬化合物，經由 EDS 成分分析後證實上端為  $(\text{Cu},\text{Ni})_6\text{Sn}_5$ ，下端為  $\text{Cu}_6\text{Sn}_5$ 。在大約通了 100 小時後，電阻迅速上升 10%，如圖 4-6(b)，圖中發現幾個不同的現象，第一，所有的銲錫皆轉換成  $(\text{Cu},\text{Ni})_6\text{Sn}_5$ ，且由於電子流不斷向下推動鎳層原子，因此整層介金屬化合物中，皆有鎳原子的成分被偵測到，第二，在上方電流密度較高的區域，發現了部分鎳層被消耗殆盡而使得銅層原子與介金屬化合物層產生接觸，如此的接觸使得銅原子在電子流不斷的推動下，向下溶解至  $(\text{Cu},\text{Ni})_6\text{Sn}_5$  層，一旦銅原子含量高於一個臨界點後， $(\text{Cu},\text{Ni})_6\text{Sn}_5$  就會轉變成能量更為穩定的  $\text{Cu}_3\text{Sn}$ ，因而在鎳層消耗完的區域會發現  $\text{Cu}_3\text{Sn}$  的存在，也伴隨著非常多的 Kirkendall voids 生成在銅柱與  $\text{Cu}_3\text{Sn}$  層間，第三，在銲錫凸塊的左上端，有一個很大的孔洞生成，此區域主要是電流密度較高之區域，因此推測在銲錫尚未完整的轉換成  $(\text{Cu},\text{Ni})_6\text{Sn}_5$  前，銲錫原子因電子流產生電遷移效應，使得錫原子向下反應，因而留下一個大孔洞在此，然而，當全部  $(\text{Cu},\text{Ni})_6\text{Sn}_5$  生成後，孔洞的大小就不再擴增了。

電阻上升 20%的圖中(圖 4-6(c))，並未發現明顯的變化，且由電阻曲線圖(圖 4-8)發現，電阻從 10%過後上升至 50%的趨勢明顯緩和，推測主要是因為鉍錫轉換成介金屬化合物後，就不會有因為成分的轉換而有大幅度的電阻變化，此階段開始可以比擬成介金屬化合物的電遷移測試，但由於結構內部處於高溫的狀態，相似於熱時效處理，因此  $\text{Cu}_3\text{Sn}$  層會不斷的成長， $\text{Cu}_3\text{Sn}$  的電阻率較  $(\text{Cu,Ni})_6\text{Sn}_5$  來的低，因此在成長的過程會使得總電阻值往下降，但  $\text{Cu}_3\text{Sn}$  層的成長會伴隨著更多的 Kirkendall voids 生成，這些 voids 對電阻值會有上升的作用，在此兩種機制加成的結果下，電阻會緩緩的上升，但此上升並不劇烈。

最後一個階段是電阻上升 50%之後，如圖 4-6(d)，此階段的導線發現了明顯的裂化現象，且由電阻曲線圖發現，電阻一旦跨過 50%後，會有一個急遽上升的趨勢，推測此階段後導線裂化漸趨嚴重，導致電流密度不斷上升，局部的溫升也不斷增加，因而使得外導線部分變得脆弱，更進一步的通電甚至會造成導線的燒毀。為了更進一步確定是否有其他剖面圖看不到的微小孔洞，我們也針對特定介面利用離子束轟擊試片表面做蝕刻處理，此方式可以確定界面層的小孔洞清晰的成現，以消除因研磨拋光造成的孔洞阻塞的因素，圖 4-9 為 FIB 所拍的離子影像圖，發現在銅層與  $\text{Cu}_3\text{Sn}$  層間的確有非常多微小的孔洞，這些微小孔洞的生成亦為電阻上升的因素。

## B. 電子流向上的微結構分析

圖 4-7 的(a)、(b)、(c)、(d)分別為試片從通電前、電阻上升 10%、20% 及 50% 電子流向上的 SEM 影像圖。首先由電阻上升 10% 的圖(圖 4-7(b))可看出，在電子流進入端有一些小孔洞的生成，且電流密度集中區域的銅墊層消耗較快速，此現象與 Cu/Cu 墊層電子流向上的結果一致，而整層的鍍錫也都轉換成介金屬化合物(Cu,Ni)<sub>6</sub>Sn<sub>5</sub>，與電子流向下的鍍錫凸塊唯一不同的是，上端鎳層並未因為消耗完全而反應成 Cu<sub>3</sub>Sn 層，且利用 EDS 成分分析(Cu,Ni)<sub>6</sub>Sn<sub>5</sub> 層，發現只有在靠近鎳層端的(Cu,Ni)<sub>6</sub>Sn<sub>5</sub> 有發現鎳原子訊號，偏銅層端並未發現鎳原子訊號，推測鎳原子要溶進(Cu,Ni)<sub>6</sub>Sn<sub>5</sub> 層，主要的驅動力有兩個，第一，電遷移所造成的向上驅動力，第二，來自於高溫下原子擴散的驅動力，由原子擴散路徑公式計算( $x = \sqrt{Dt}$ )算出，鎳原子在 Cu<sub>6</sub>Sn<sub>5</sub> 層內的擴散長度約為 1 $\mu$ m，因此鎳原子因擴散而溶進 Cu<sub>6</sub>Sn<sub>5</sub> 層不多，而又有電遷移驅動使鎳原子向上，造成鎳原子的訊號只有在上端被發現。反觀來看電子流向下的鍍錫凸塊，其電子流與擴散的驅動力都向下，因而造成整個(Cu,Ni)<sub>6</sub>Sn<sub>5</sub> 內都有偵測到鎳原子的訊號。

在電阻上升 20% 與 50% 的圖中(圖 4-7(c)與圖 4-7(d))，並未發現有任何電遷移所產生的破壞，值得一提的是，在 50% 的圖中發現 Cu<sub>3</sub>Sn 層有非常

明顯增厚的趨勢，相較於電子流向下的鉍錫凸塊，此微結構中的  $\text{Cu}_3\text{Sn}$  層幾乎成長到超過一半的位置，而在先前的文獻中有提到，鎳原子在  $\text{Cu}_6\text{Sn}_5$  內含量多寡會造成  $\text{Cu}_3\text{Sn}$  的成長遭到抑制[24]。圖 4-10 為  $\text{Cu}_3\text{Sn}$  層厚度隨著時間成長的厚度，明顯的看出在電子流向下的鉍錫凸塊成長的曲線有被抑制的現象。



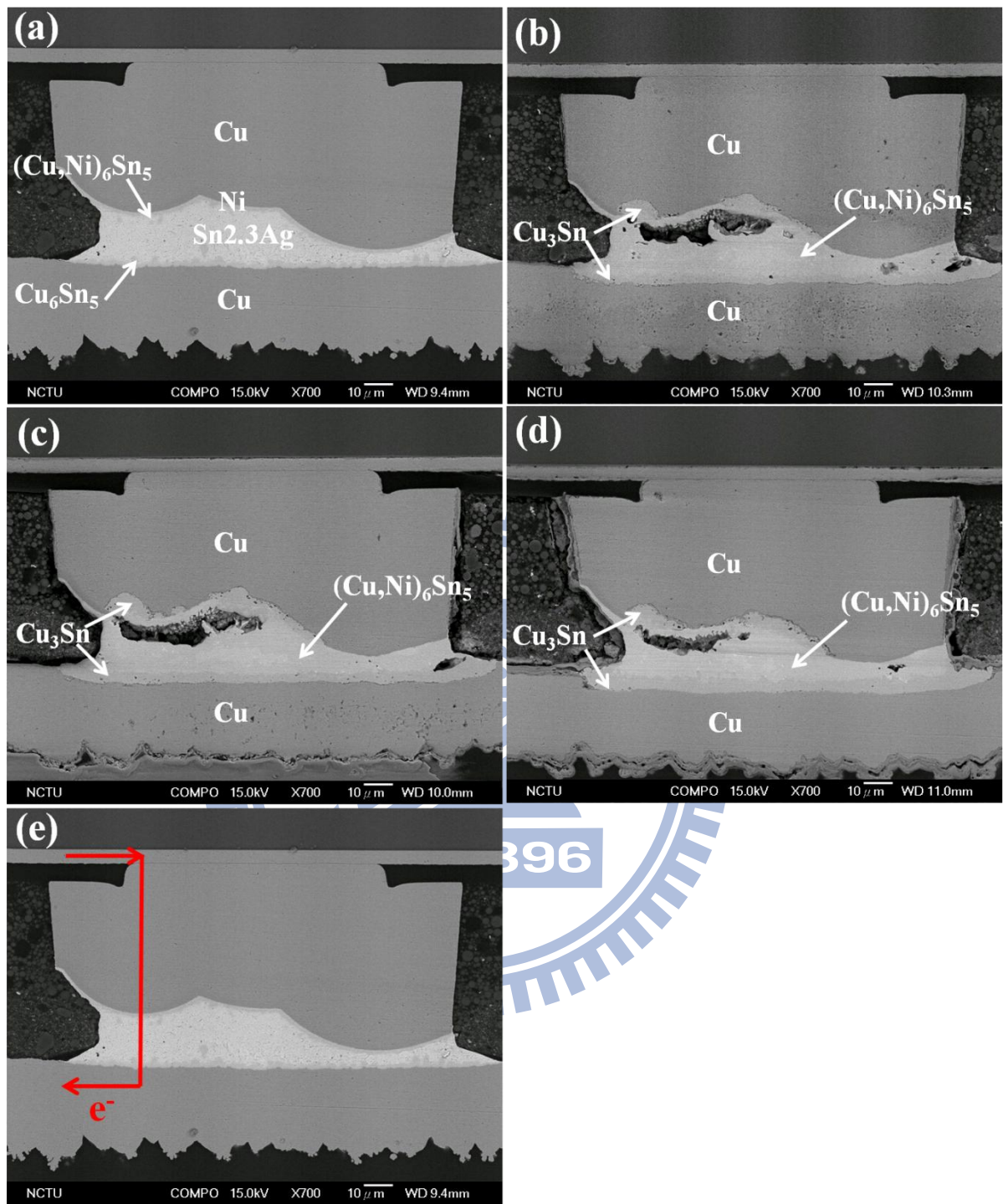


圖 4-6 電子流向下微結構在不同階段剖面示意圖：(a)通電前，(b)10%，(c)20%，(d)50%，(e)電子流方向。



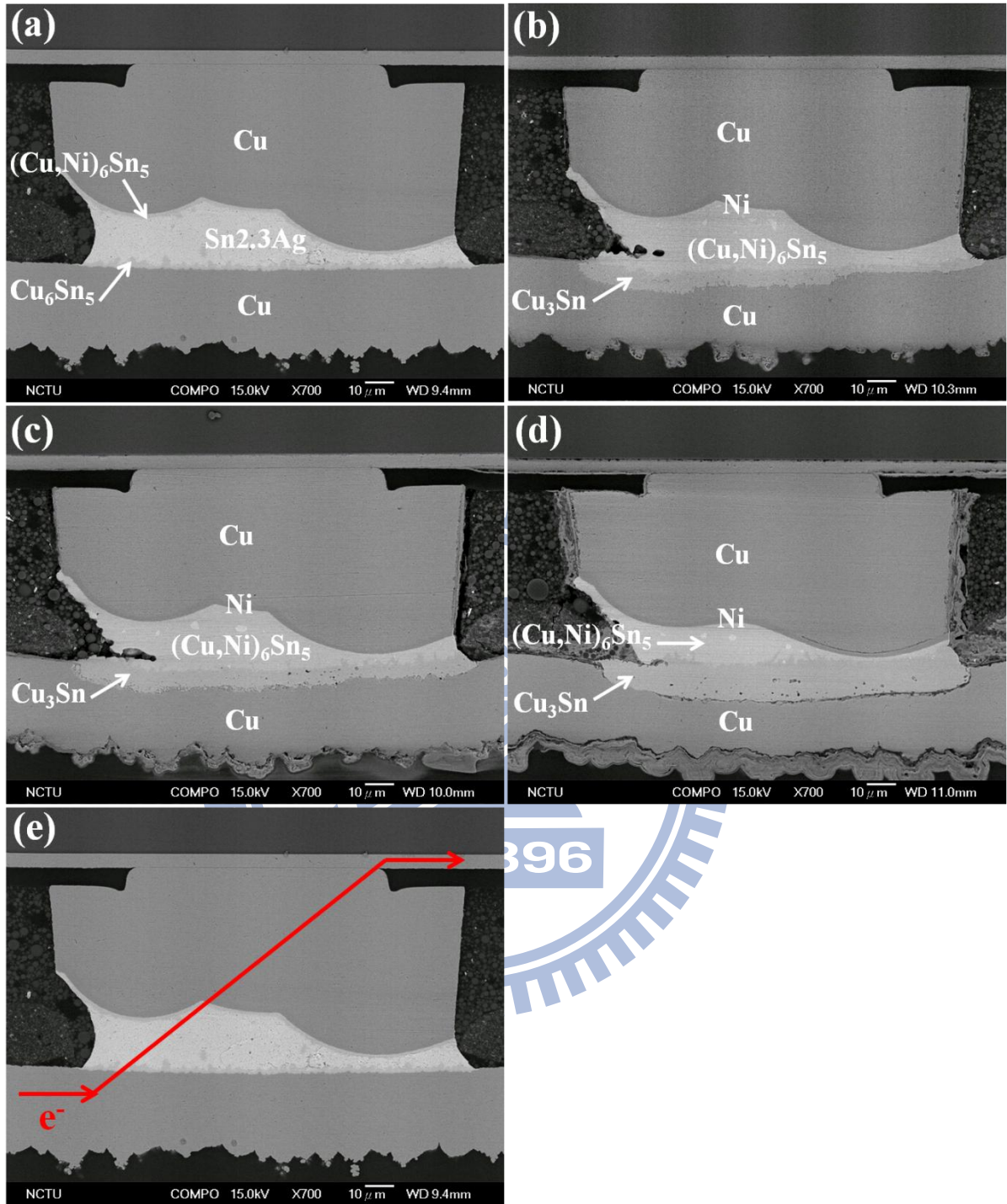


圖 4-7 電子流向上微結構在不同階段剖面示意圖：(a)通電前，(b)10%，(c)20%，(d)50%，(e)電子流方向。



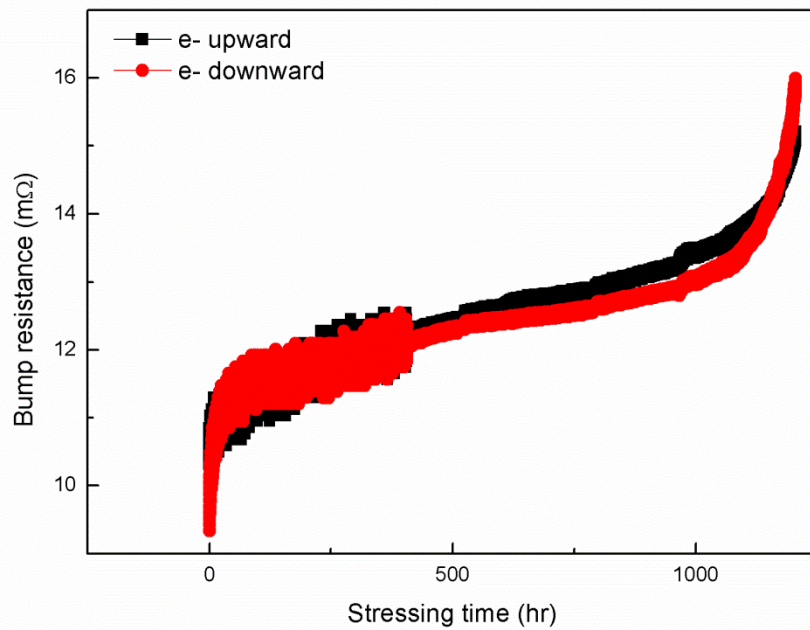


圖 4-8 Ni/Cu 金屬墊層的鉚錫凸塊電阻曲線圖。

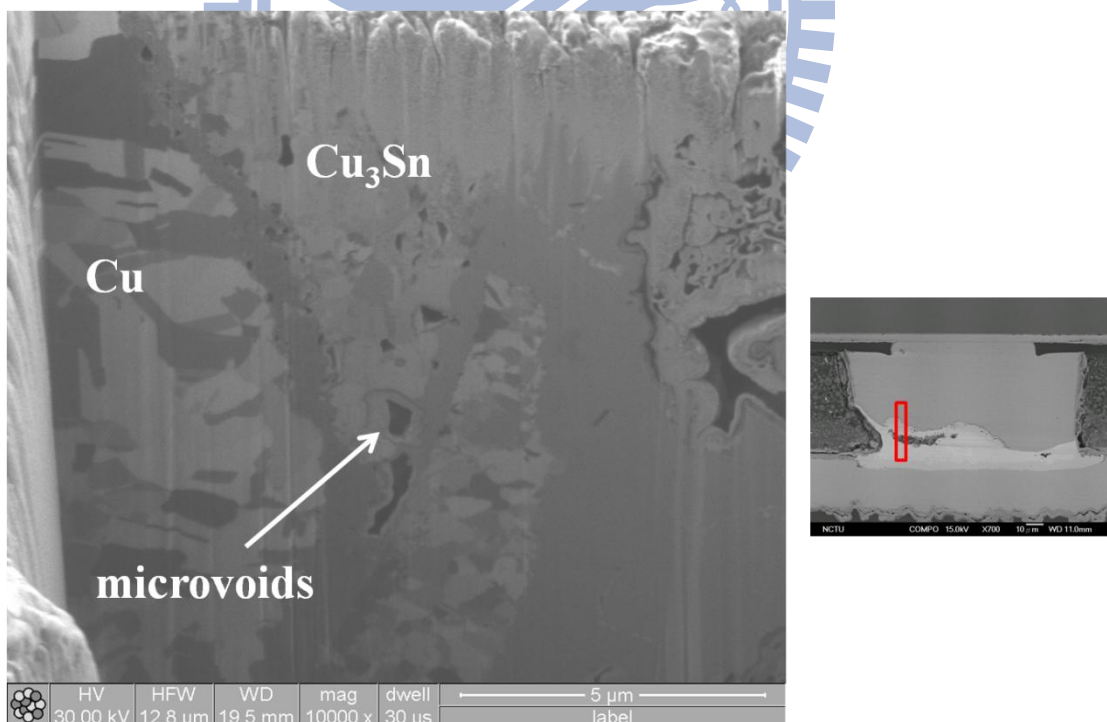


圖 4-9 銅層與 Cu<sub>3</sub>Sn 介面的微小孔洞離子影像示意圖。

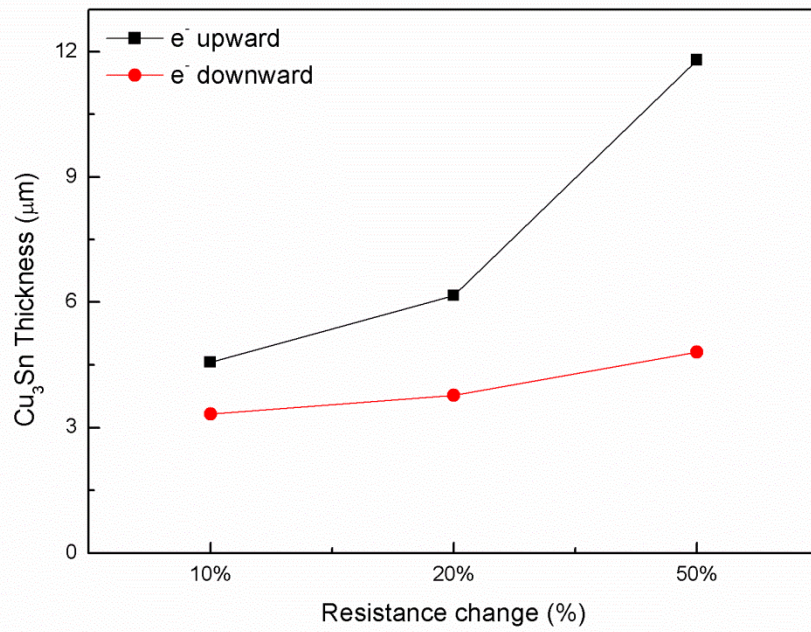


圖 4-10 介金屬化合物 Cu<sub>3</sub>Sn 在不同階段電阻上升示意圖。



## 4-2.3 Ni/Ni 金屬墊層破壞模式

### A. 電子流向下的微結構分析

此章節所採用的實驗方式及實驗條件與前兩種試片略有不同，原因有二，一為基板端導線的厚度較薄，導線能承受的電流密度較低，二為鎳金屬與錫金屬反應的速度較慢，因此為了觀測此結構在後期的破壞模式，我們先將試片施加電流使其快速反應成全介金屬化合物結構，再做研磨拋光使其到錫錫凸塊一半的位置，最後在以 semi in-situ 方式做通電測試。因此此節討論的所有結構為 Ni/Ni 金屬墊層的後期破壞模式。

#### 電子流向下的微結構分析

此節所討論的結構，是以錫全部轉換成全介金屬化合物為初始狀態，並對後續通電結果做微結構分析。圖 4-11 的(a)、(b)、(c)分別為試片從初始狀態(全介金屬化合物)、電阻上升 10% 及 20% 電子流向下的 SEM 影像圖。圖 4-10(a)中，中間部分已由 EDS 成分分析儀鑑定為  $\text{Ni}_3\text{Sn}_4$  化合物，上端與銅柱交界處有一層  $\text{Cu}_3\text{Sn}$ ，此處由於是電流密度較高區域，因此鎳層消耗較快速，一旦鎳層原子消耗殆盡，銅層原子就會進入  $\text{Ni}_3\text{Sn}_4$  層使其成為三元成分化合物  $(\text{Cu},\text{Ni})_6\text{Sn}_5$ ，而在電子流不斷的將銅原子往下推動後，銅元素的溶解度不斷上升，而使得  $(\text{Cu},\text{Ni})_6\text{Sn}_5$  再轉換成能量較為穩定的  $\text{Cu}_3\text{Sn}$  層，此為  $\text{Cu}_3\text{Sn}$  層生成在此之故。

從電阻上升 10% 到 20% 的圖中(圖 4-11(b)、(c))，並沒有發現到介金屬化合物有受到破壞的現象，但  $\text{Cu}_3\text{Sn}$  層有變厚的趨勢，上面也有非常多小孔洞的生成，為了確定電阻上升是否為這些微小孔洞的生成，也以 FIB 做表面的蝕刻處理來確認，圖 4-13 是 Cu 與  $\text{Cu}_3\text{Sn}$  層界面的 10000 倍放大圖，圖 4-14 為 Ni 層與  $\text{Ni}_3\text{Sn}_4$  的界面的 10000 倍放大圖，圖中可以清楚的發現，在兩個介面處都有非常連續的微小孔洞生成，因此推測這些孔洞的生成為電阻上升的主要因素。

## B. 電子流向上的微結構分析

圖 4-12 的(a)、(b)、(c)分別為試片從初始狀態(全介金屬化合物)、電阻上升 10% 及 20% 電子流向上的 SEM 影像圖。此結構與電子流向下的錒錫凸塊最大的不同在於其上層並未發現鎳層消耗而產生的  $\text{Cu}_3\text{Sn}$  層，且在下端有較明顯的  $\text{Ni}_3\text{P}$  層。由於下端鎳層是採用無電鍍鎳，在初期的時候基板端的無電鍍鎳層就會與錒銀錒錒產生  $\text{Ni}_3\text{Sn}_4$  介金屬化合物，電子流不斷的向上推動鎳原子，使得化學反應的更加劇烈，而一旦無電鍍鎳層持續消耗，在  $\text{Ni}_3\text{Sn}_4$  介金屬化合物與無電鍍鎳層的界面處，會有一層鎳原子與磷原子比例為 3:1 的化合物層，此層經 EDS 成分分析後為鎳與磷結晶所形成的  $\text{Ni}_3\text{P}$ ，然而， $\text{Ni}_3\text{P}$  層為一柱狀結構的結晶層，能提供一條快速擴散路徑，

在電子流不斷往上推動的過程下，鎳原子不斷的往上遷移，因而加速了下端鎳層的消耗，預測若持續通電，一旦下端鎳層被完全消耗，就會使得銅層原子參與反應，而空孔通量就會往反方向進入導線端，使破壞容易發生在此。如圖 4-15 所示，圖中所示有一條顏色較深的化合物層即為  $\text{Ni}_3\text{P}$  層。然而，由電阻曲線圖(圖 4-16)發現，最後電阻呈現一突然爆衝的現象，使得試片無法繼續做電遷移測試，由三用電表量測後發現，斷路現象發生在電流進入端，推測這條導線也因裂化的現象發生因而使整個回路呈現斷路的現象。





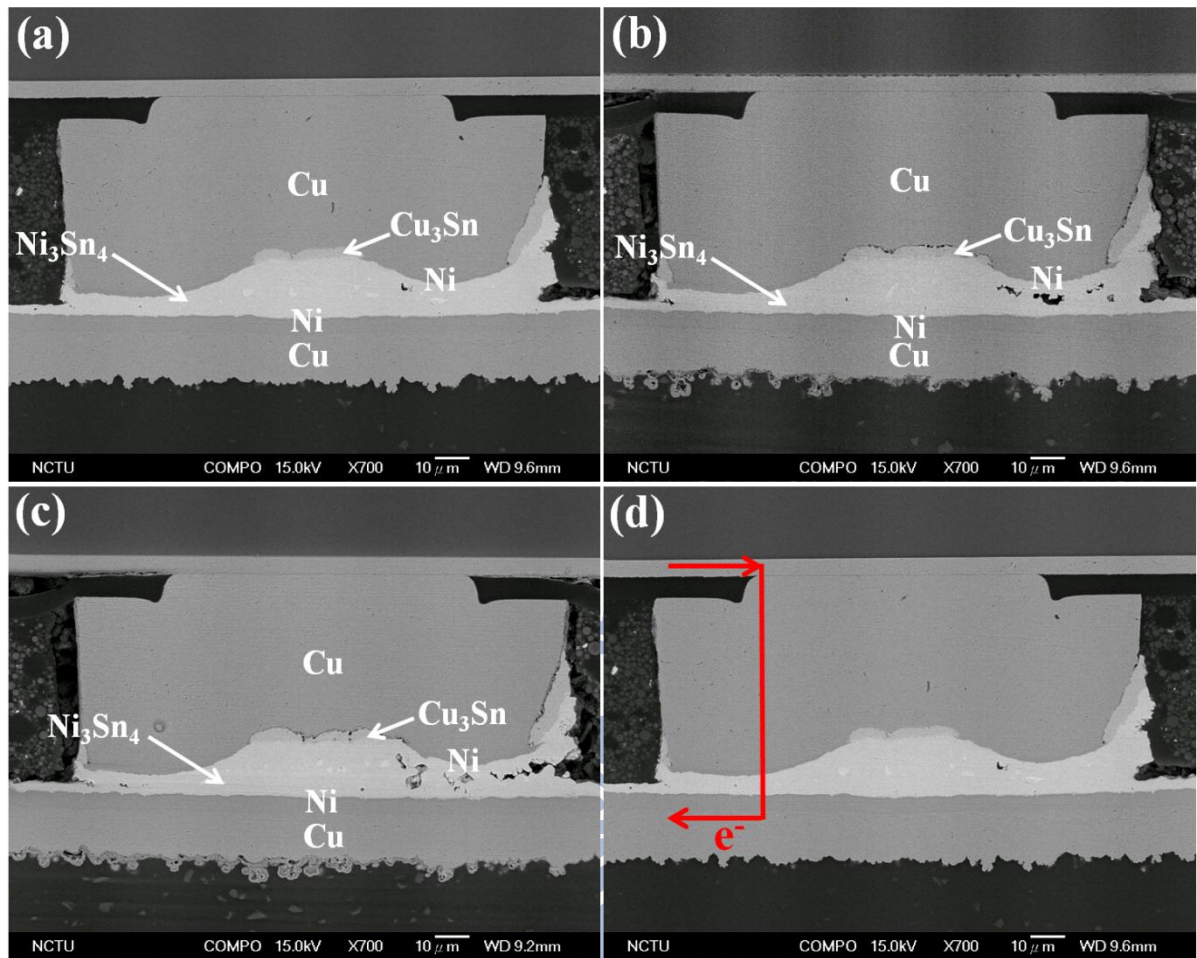


圖 4-11 電子流向下微結構在不同階段剖面示意圖：(a)通電前，(b)10%，(c)20%，(d)電子流方向。



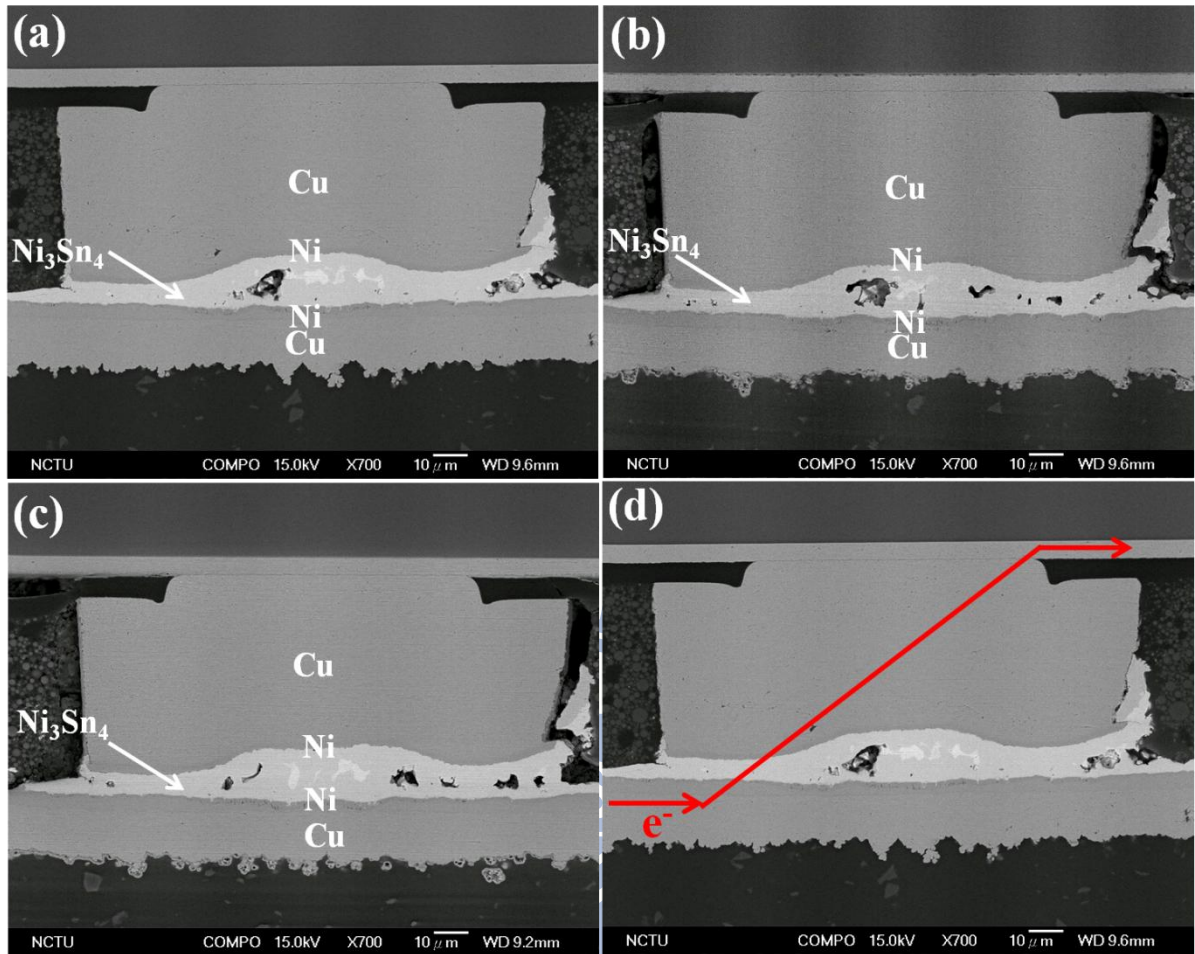


圖 4-12 電子流向上微結構在不同階段剖面示意圖：(a)通電前，(b)10%，(c)20%，(d)電子流方向。

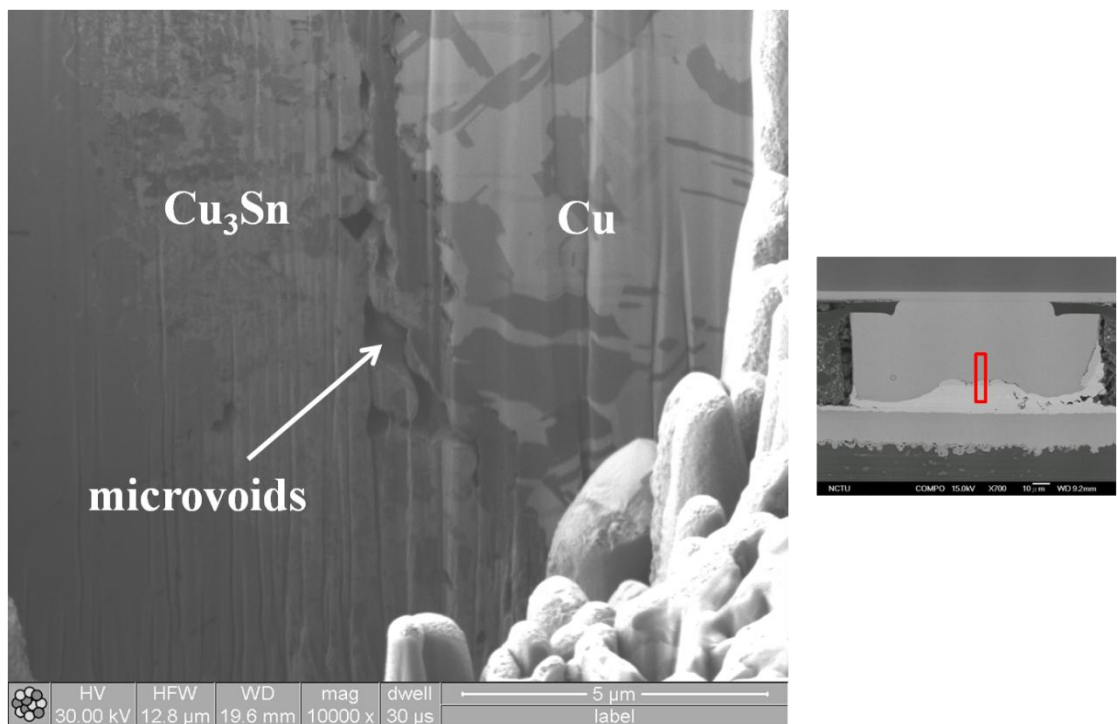


圖 4-13 銅層與  $\text{Cu}_3\text{Sn}$  介面的微小孔洞離子影像示意圖。

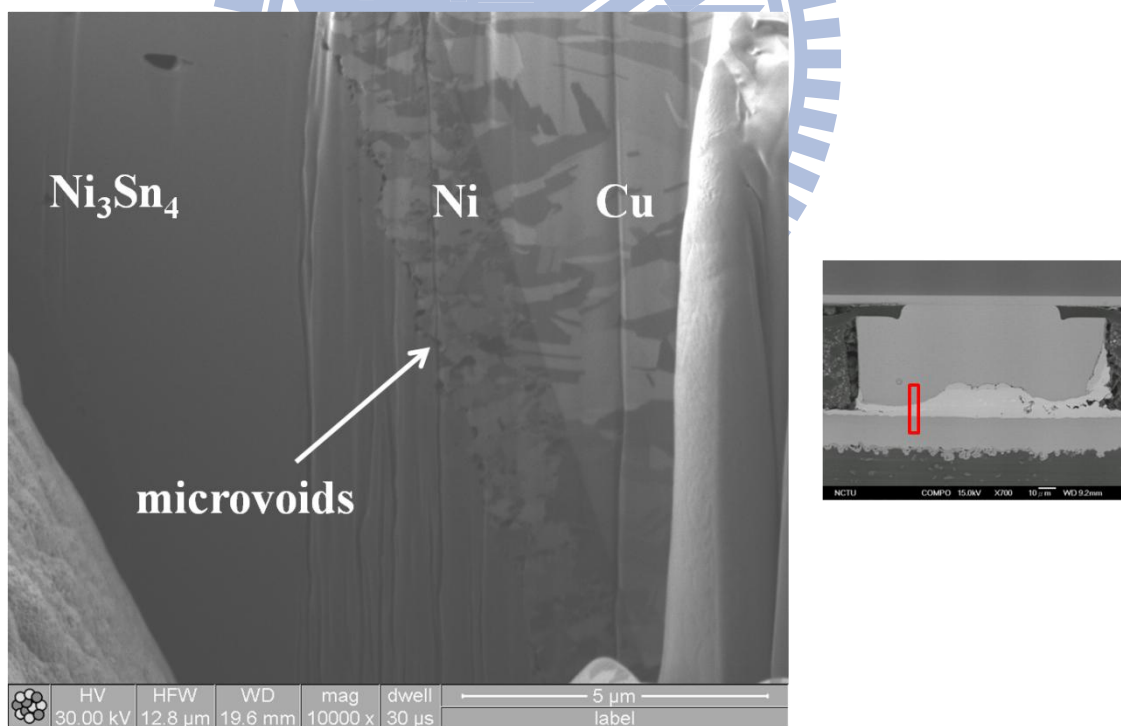


圖 4-14 鎳層與  $\text{Ni}_3\text{Sn}_4$  介面的微小孔洞離子影像示意圖。

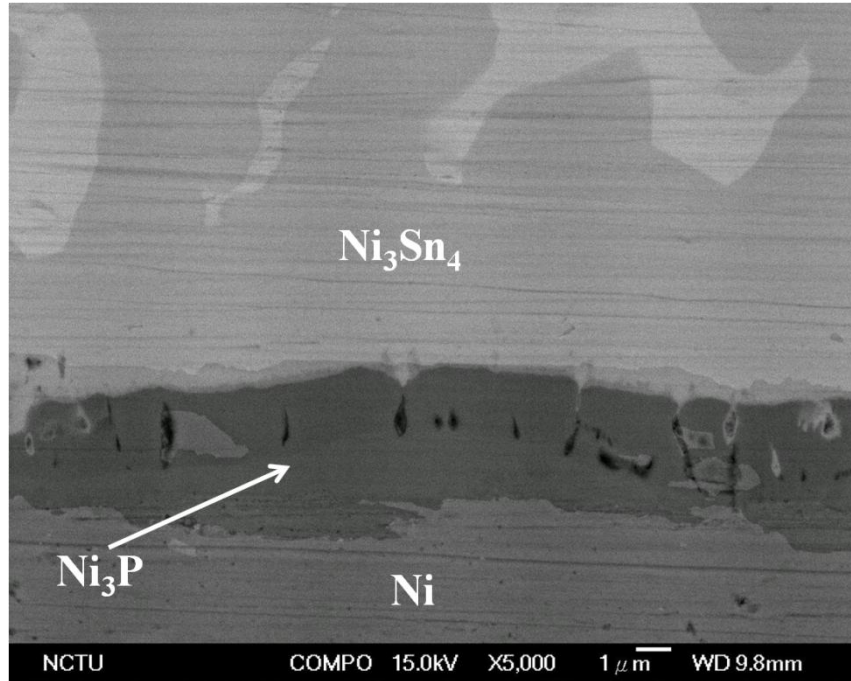


圖 4-15  $\text{Ni}_3\text{P}$  層間的柱狀結構晶界。

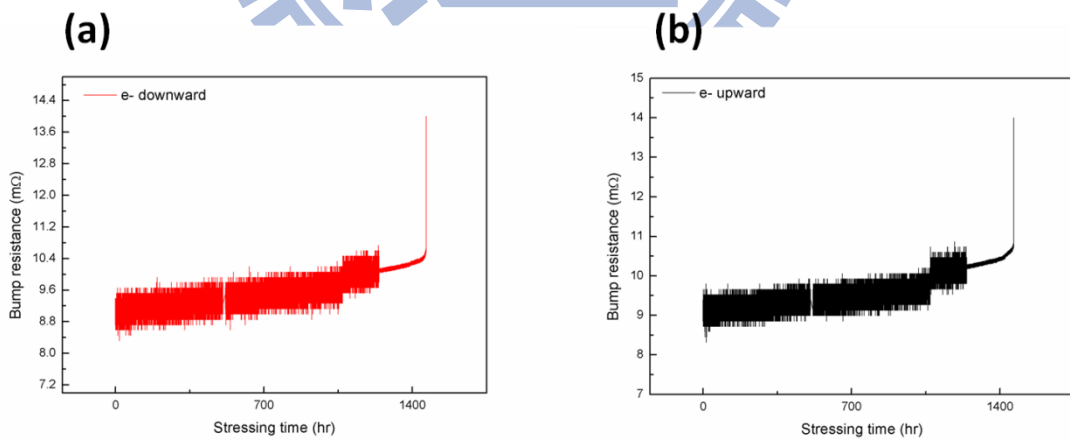


圖 4-16 Ni/Ni 金屬墊層的鍍錫凸塊電阻曲線圖：(a)電子流向下，(b)電子流向上。

### 4-3以溫度感測儀校正鉚錫凸塊溫度

在本研究中，我們所採用的通電結構下方有設計銅導線做為熱感應原件，並可單獨量測銅導線的電阻，藉由電阻與溫度的線性關係轉換而得到通電情況下試片的實際溫度。且由於金屬材料的電阻為溫度的函數，溫度的改變會很明顯的呈現在電阻的變化上，因此利用銅導線的電阻與溫度關係式，我們更能確定在電遷移測試下鉚錫凸塊的真實溫度。一般金屬材料的電阻與溫度關係能夠以下式呈現：

$$R_{(T)}=R_{0(T_0)} [1+\alpha \cdot \Delta T] \quad (4.1)$$

$R_{(T)}$  為溫度在  $T$  時的電阻值； $R_{0(T_0)}$  為溫度在  $T_0$  時的電阻值； $\alpha$  為溫度係數； $\Delta T$  為溫度變化，為了方便計算，假設  $T_0$  為  $0^\circ\text{C}$  時，並將此公式做進一步的化簡：

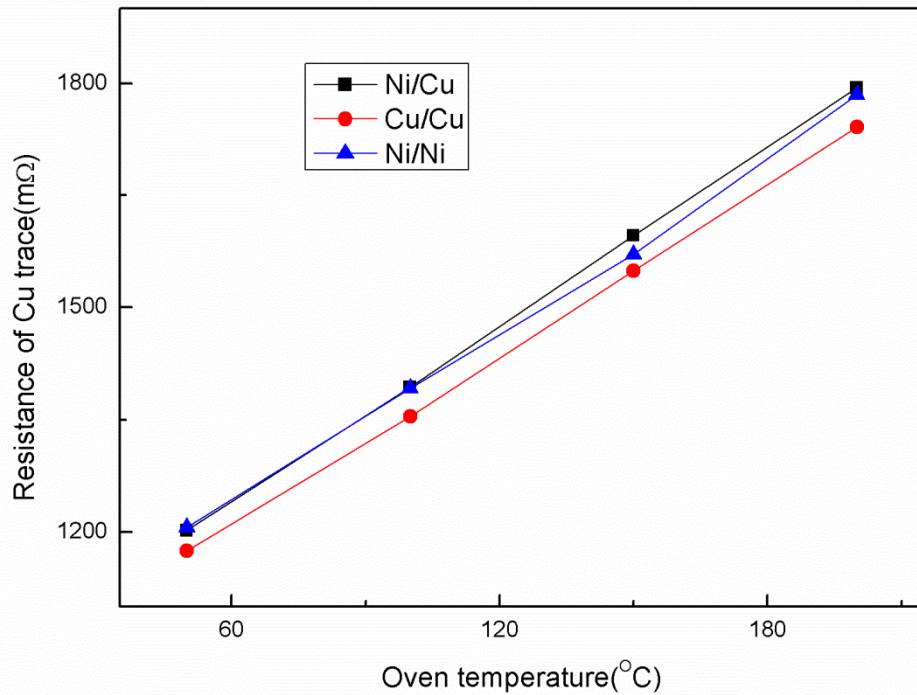
$$R_{(T)}=R_{0(T_0)}+\alpha' \cdot T \quad (4.2)$$

其中  $\alpha' = R_{0(T_0)} \cdot \alpha$ ，因此公式即簡化成  $R_{(T)}$  與  $T$  的線性方程式， $\alpha'$  為斜率， $R_{0(T_0)}$  為其截距。圖 4-17 為三種試片的銅導線電阻與加熱爐關係式，我們一共取四個溫度，分別為  $50^\circ\text{C}$ 、 $100^\circ\text{C}$ 、 $150^\circ\text{C}$ 、 $200^\circ\text{C}$ ，在各溫度下量測其對應的銅導線電阻值，並對此兩種參數做線性回歸法來找出  $0^\circ\text{C}$  時銅導線電阻值  $R_{0(T_0)}$  與電阻係數  $\alpha'$ ，三組線性分別為 Cu/Cu，Ni/Cu，Ni/Ni 的方程式，個別為  $R_{\text{Cu}}=980.3+189.9 \cdot T$ 、 $R_{\text{Cu}}=1001.5+198.0 \cdot T$ 、 $R_{\text{Cu}}=1009.7+191.5 \cdot T$ ，其中 980.3、1001.5 與 1009.7 分別代表  $0^\circ\text{C}$  下各別銅導線的電阻值，而 189.9、

198.0 與 191.5 則代表各別的電阻係數  $\alpha'$ 。當我們得到此三式後，即可在通電情況下量測銅導線的電阻值，並以內插的方式來求得在通電下的實際溫度，三者所量測的電阻值與轉換溫度以下表 4-2 表示之，明顯的看到三者的電阻值將其轉換回溫度後，皆在 190 °C 附近，分別為 192.7 °C、189.3 °C 與 188.1 °C，至於為何 Ni/Ni 墊層的基板端導線較薄，因此其電流通過的截面積較小，在一樣的導線長度下，電阻較大，因而會造成較高的溫升，但可以確定的是，此三種試片是在相近的溫度條件下進行電遷移測試。







$$\text{Cu/Cu: } R_{\text{Cu}} = 980.3 + 189.9 \cdot T$$

$$\text{Ni/Cu: } R_{\text{Cu}} = 1001.5 + 198.0 \cdot T$$

$$\text{Ni/Ni: } R_{\text{Cu}} = 1009.7 + 191.5 \cdot T$$

圖 4-17 Cu/Cu、Ni/Cu、Ni/Ni 墊層下熱感應元件電阻對溫度變化圖。

墊層種類(電流大小)\測試溫度	150 °C
Cu/Cu (1.6A)	192.7 °C ( $\Delta T = 42.7$ °C)
Ni/Cu (1.6A)	189.3 °C ( $\Delta T = 39.4$ °C)
Ni/Ni (1.1A)	188.1 °C ( $\Delta T = 38.1$ °C)

表 4-2 TCR 校正後，Cu/Cu、Ni/Cu、Ni/Ni 墊層銲錫凸塊溫升表。



## 第五章 結論

在本研究中，我們利用凱文結構針對鉛錫凸塊在電遷移測試下進行觀測，並定義不同電阻上升幅度做為分界，藉由 semi in-situ 的方式同步觀察各階段微結構變化。

由實驗結果，我們可依電阻上升曲線圖分為三個階段：首先，通電初期會有大孔洞的生成，以及鉛錫接點全轉換成介金屬化合物，種類依各金屬墊層的不同而定，此兩因素為電阻急遽上升的原因，值得一提的是，不管金屬墊層是否為銅或鎳，都會有  $\text{Cu}_3\text{Sn}$  層的出現，伴隨著許多微小孔洞的生成；第二階段為電阻上升較為平緩階段，此階段可以相仿於介金屬化合物的電遷移測試，由於介金屬化合物相對於鉛錫結構抵抗電遷移能力較強，因此並沒有明顯發現孔洞破壞的生成，但由於  $\text{Cu}_3\text{Sn}$  層的增厚，會有更多的微小孔洞累積在銅層與  $\text{Cu}_3\text{Sn}$  層的介面處；最後一階段為電阻驟升階段，由於銅導線在通電的過程會產生裂化的現象，導致導線內部的電流密度及溫升上升，因而使最後斷路位置出現在導線部位。

當鉛錫凸塊高度達到 10 至 20 微米尺度後，介金屬化合物在鉛錫凸塊內部佔得比例較高，使得其抵抗電遷移破壞的能力也跟著上升，因而使後期破壞模式轉為微小孔洞的生成及導線的裂化。而在本實驗所比較的三種不同金屬墊層中，鎳鎳墊層的通電時間為三者中最久的，由於其反應速率較

銅墊層較慢的原故，鉍錫接點整個形成介金屬化合物後不會看到明顯的破壞模式，因此鎳鎳金屬墊層的結構為三種最適合應用在低鉍錫厚度的封裝結構上。



## 參考文獻

1. K.N. Tu, "Reliability challenges in 3D IC packaging technology", Microelectronics Reliability, 51, 517-523, 2011.
2. V.B. Fiks, Soviet Physics-Solid State, Vol.1, pp.14-28, 1959.
3. Tomlinson, W. and A. Fullylove, "Strength of tin-based soldered joints", Journal of materials science, 27 (21): p. 5777-5782, 1992.
4. Abtey, M. and G. Selvaduray, "Lead-free solders in microelectronics", Materials Science and Engineering: R: Reports, 27 (5-6): p. 95-141, 2000.
5. V. B. Fiks, "On the Mechanism of the Ions in Metals", Soviet Physics-Solid State, Vol. 1, pp. 14-28. 1959.
6. Intel Technology Journal, Vol. 9, Issue 4, 2005.
7. K.N. Tu, J.W. Mayer and L.C. Feldman, "Electronic Thin Film Science" Macmillan, New York, 1992.
8. H.B Huntington and A.R. Grone, J., "Current-induced marker motion in gold wires", Phy. & Chem. Solids, Vol. 20, Issue 1-2, pp. 76-87, 1961.
9. K. N. Tu, J. Appl. Phys, 94(9), 5451, 2003.
10. S. Brandenburg and S. Yeh, "Proceedings of Surface Mount International Conference and Exhibition", SMI98, San Jose, CA, pp. 337-344, 1998.
11. L. Y. Zhang, S. Q. Ou, J. Huang, K. N. Tu, S. Gee, and L. Nguyen, Appl. Phys. Lett. 88, 012106, 2006.
12. T. L. Shao, Shih-Wei Liang, T.C. Lin, and Chih Chen, J. Appl. Phys. 98, 044509, 2005.
13. Joule, J. P. Philosophical Magazine, Vol. 19, pp. 260, Scientific Papers 65, 1841.
14. H. Ye, C. Basaran, and D. Hopkins, Appl. Phys. Lett, 82, 7, 2003.
15. T. L. Shao, S. H. Chiu, Chih Chen, D. J. Yao, and C. Y. Hsu, J. Electron. Mater. 33, 1350, 2004.
16. S. H. Chiu, T. L. Shao, Chih Chen, D. J. Yao, and C. Y. Hsu, "Infrared microscopy of hot spots induced by Joule heating in flip-chip SnAg solder joints under accelerated electromigration", Appl. Phys. Lett, 88, 022110, 2006.
17. S. H. Chiu, Thesis, National Chiao Tung University, 2007.
18. Y. C. Hu, Y. H. Lin, C. R. Kao, K. N. Tu., "Electromigration failure in flip chip solder joints due to rapid dissolution of copper", J. Mater. Res., Vol. 18, No. 11, 2003.
19. Y. W. Chang, S. W. Liang and Chih Chen, "Study of voids formation due to electromigration in flip-chip solder joints using Kelvin bump probes.", Appl. Phys. Lett, 89, 032103, 2006.
20. Bernd Ebersberger, Charles Lee, "Cu Pillar Bumps as a Lead-Free Drop-in Replacement

- for Solder-Bumped, Flip-Chip Interconnects.”, Electronic Components and Technology Conference, pp. 59-66, Lake Buena Vista, FL, U.S.A, May, 2008.
21. Riet Labie, et al, “Outperformance of Cu Pillar Flip Chip Bumps in Electromigration Testing.”, Electronic Components and Technology Conference, pp. 312-316, Lake Buena Vista, FL, USA, May, 2011.
  22. Andrew Yeoh, “Copper die bumps (first level interconnect) and low-K dielectrics in 65nm high volume manufacturing. ”, Electronic Components and Technology Conference, San Diego, CA, USA, July, 2006.
  23. S. W. Liang, Y. W. Chang and Chih Chen, “Relieving hot spot temperature and current crowding effects during electromigration in solder bumps by using Cu columns.”, J. Electron. Mater., Vol. 36, No. 10, 2007.
  24. Y.W.Wang, C.C. Chang and C.R. Kao, “Minimum effective Ni addition to SnAgCu solders for retarding Cu<sub>3</sub>Sn growth.”, Journal of Alloys and Compounds, 478 , L1-L4, 2009.

