

國立交通大學

管理學院科技管理學程

碩士論文

台灣半導體產業 3D IC 技術選擇模式

A 3D IC Technology Selection Model for Taiwan
Semiconductor Industry

研究生：吳尚祁

指導教授：洪志洋 博士

中華民國一百零一年六月

台灣半導體產業 3D IC 技術選擇模式

**A 3D IC Technology Selection Model for Taiwan
Semiconductor Industry**

研 究 生：吳尚祁

Student : Shang-Chi Wu

指 導 教 授：洪志洋

Advisor : Dr. Chih-Young Hung



Submitted to Graduate Institute of Management of Technology

College of Management

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Business Administration

in

Management of Technology

June 2012

Hsinchu, Taiwan, Republic of China

中華民國 一 百 零 一 年 六 月

台灣半導體產業 3D IC 技術選擇模式

學生：吳尚祁

指導教授：洪志洋 博士

國立交通大學管理學院科技管理學程

中文摘要

選擇適當的技術有助於企業作出更具競爭力的產品和服務，或是開發更有效的流程，為企業創造全新的解決方案，以利企業在競爭激烈的商業環境中取得競爭優勢。但先進技術多樣且日益複雜，使得企業在技術選擇的決策上更加的困難。3D IC 是半導體產業中下一個世代的關鍵技術，如何在各種不同的 3D IC 技術中選擇出一個具有發展潛力且能夠創造商業價值之核心技術，實為目前有意投入 3D IC 產業之各個廠商必需思考且急需面對的問題。

本文提出適用於 3D IC 技術選擇決策之 5 項構面與 18 項準則，以協助企業在技術選擇決策時有所依據。在技術選擇決策方法上則使用了基於決策實驗室法之網路程序分析(DEMATEL Based ANP, DANP)以求得各項構面準則之因果關聯性及重要性排序，再搭配折衷排序法(Vlsekriterijumska Optimizacija I Kompromisno Resenje, VIKOR)以求得個別適選技術之整體績效，來協助判斷是否投入該項技術開發，以及若投入該技術開發時應注意的關鍵重點。本研究數據顯示目前最佳的 3D IC 技術為 Si Interposer，Via-Middle 次之，再其次為 Via-Last，最後為 Via-First。企業欲投入 3D IC 之技術開發應首重產業鏈之完整度以提高技術開發成功率。

關鍵字：3D IC，技術選擇，DANP，折衷排序法，VIKOR

A 3D IC Technology Selection Model for Taiwan Semiconductor Industry

Student : Shang-Chi Wu

Advisor : Dr. Chih-Young Hung

Institute of Management of Technology

National Chiao Tung University

Abstract

Selecting an appropriate technology helps companies to make more competitive products and services, and gains competitive advantage in a competitive business environment. It's more difficult to do technology selection due to advanced technologies are diverse and increasingly complex. 3D IC is the key technology of the semiconductor industry in the next generation, how to select a 3D IC technology, which creates high business value, is the key problem that manufacturers are facing now.

In this paper, 5 dimensions with 18 criteria for 3D IC technology selection are developed. In order to know the causal association and the importance of each dimension and criterion, Decision Making Trial and Evaluation Laboratory based Analytic Network Process (DEMATEL Based ANP, DANP) is used for this study, VlseKriterijumska Optimizacija I Kompromisno Resenje (VIKOR) is also used to evaluate overall performance of each candidate. These data suggest that the best 3D IC technology is the Si Interposer. The companies want to develop 3D IC technology should consider the completeness of industrial chain in order to improve the success rate of technology development.

Keywords : 3D IC, technology selection, DANP, VIKOR

誌謝

本論文得以順利完成，首先必須感謝指導教授洪志洋老師在研究期間的悉心指導，無論是研究的題目、研究目的與方法、以及結果的討論等，洪老師總是細心說明並提供建議與改進方向。其次，承蒙論文計畫審核口試委員袁建中老師及黃仕斌老師針對論文的研究方向與方法的建議，最後口試委員徐作聖老師與王淑芬老師在論文完整性及結論上的討論及建議，本論文也因此得以完整呈現，在此更是由衷感謝。

回顧於科管所就讀期間，同學們的相互鼓勵與支援是最令人難忘的。感謝洪門同學蔡至哲、蔡政育、徐碧君及衛俊宏的幫助，尤其是至哲、政育及碧君在論文寫作最後階段的相互督促、鼓勵與協助，才能如期完成這篇論文。另外，也感謝博士班莊豐光、李文毅、李延春等三位學長在論文寫作期間的協助，尤其是李文毅學長在研究方法上的支援與指導，更是完成本論文最關鍵之處。

離開學校十幾年後再度回到學校當學生，除了自己的意志與決心外，家人的支持更是最大的動力來源。感謝內人劉明華女士的體諒與支持，在我無法兼顧家庭與學業時獨自照顧兩個小兒，這份愛此生銘記於心。在此願將兩年多來的努力成果獻給我摯愛的父母親、內人明華女士、小兒智皓、智元與家人們。

吳尚祁 謹誌

於 新竹 國立交通大學

中華民國一〇一年六月

目錄

中文摘要	I
ABSTRACT	II
誌謝	III
圖目錄	VI
表目錄	VII
一、緒論	1
1.1 研究背景與動機	1
1.2 研究問題與目的	4
1.3 研究架構與流程	4
二、文獻探討	5
2.1 技術選擇	5
2.1.1 技術選擇的定義	5
2.1.2 技術選擇的考量因素	6
2.1.2 技術選擇的方法	12
2.2 基於決策實驗室法之網路程序分析(DEMATEL BASED ANP, DANP)	12
2.2.1 決策實驗室法(DEMATEL)	12
2.2.2 網路程序分析法(ANP)	13
3.1 半導體市場的演進與趨勢	14
3.2 IC 構裝技術之演進	16
3.2.1 雙排式直插構裝	17
3.2.2 四邊引出扁平構裝	17
3.2.3 針狀柵列構裝	18
3.2.4 球狀柵列構裝	18
3.2.5 晶片尺寸構裝	19
3.2.6 多晶片模組構裝	19
3.2.7 系統級構裝	19
3.3 3D IC 與傳統 IC 之差異	20
3.4 3D IC 之製程技術	23
3.5 3D IC 的應用與市場概觀	26
4.1 DEMATEL 建立因果影響關係	28
4.2 DANP 評估準則的重要性	32
4.3 折衷排序法(VLSEKRITERIJUMSKA OPTIMIZACIJA I KOMPROMISNO RESENJE, VIKOR)	35

4.4 資料收集	37
五、資料分析與討論	39
5.1 資料背景	39
5.2 3D IC 技術選擇系統結構模型及構面準則間影響關聯分析	39
5.2.1 數據分析	39
5.2.2 構面層級系統結構模型分析	41
5.2.3 準則層級系統結構模型分析	42
5.3 結合 DEMATEL 與 ANP 找出權重	47
5.4 運用 VIKOR 評估適選方案績效	49
六、結論與建議	56
6.1 結論	56
6.2 研究限制與建議	56
參考文獻：	58
附錄	63



圖目錄

圖 1-1:台灣半導體產業整體產值(資料來源:工研院 IEK, 本研究重製).....	1
圖 1-2:摩爾定律(資料來源:INTEL).....	2
圖 1-3:研究流程(資料來源:本研究整理).....	4
圖 3-1: METAL 1 WIRE DELAY VS GATE DELAY (資料來源:ITRS 2005).....	15
圖 3-2: DIP 構裝結構 (資料來源:WIKIPEDIA).....	17
圖 3-3: QFP 構裝結構 (資料來源:WIKIPEDIA).....	17
圖 3-4: PGA 構裝結構 (資料來源:WIKIPEDIA).....	18
圖 3-5: BGA 構裝結構 (資料來源:WIKIPEDIA).....	18
圖 3-6: MCM 構裝結構 (資料來源:WIKIPEDIA).....	19
圖 3-7: 封裝堆疊 (資料來源:CHIPPAC).....	21
圖 3-8: 晶片堆疊 (資料來源:CHIPPAC).....	21
圖 3-9: 3D IC (資料來源:YOLE).....	22
圖 3-10: TSV 製程技術 (資料來源:YOLE).....	23
圖 3-11: SI INTERPOSER WITH TSV STRUCTURE (資料來源:YOLE).....	25
圖 3-12: 3D IC INTERPOSER 出貨晶圓數預估(資料來源:YOLE).....	26
圖 4-1: 研究架構及流程 (資料來源:本研究整理).....	28
圖 4-2: 評估者學歷分佈(資料來源:本研究整理).....	37
圖 4-3: 評估者專長領域分佈 (資料來源:本研究整理).....	38
圖 4-4: 評估者工作年資分佈 (資料來源:本研究整理).....	38
圖 5-1: 構面影響關聯圖(資料來源:本研究整理).....	42
圖 5-2:技術效益構面內各準則影響關聯圖(資料來源:本研究整理).....	43
圖 5-3:商業效益構面內各準則影響關聯圖(資料來源:本研究整理).....	43
圖 5-4: 產品特徵需求構面內各準則影響關聯圖(資料來源:本研究整理).....	44
圖 5-5:產業鏈完整度構面內各準則影響關聯圖(資料來源:本研究整理).....	45
圖 5-6:風險性構面內各準則影響關聯圖(資料來源:本研究整理).....	45

表目錄

表 2-1:技術選擇定義	6
表 2-2:技術選擇的考量因素	8
表 2-3:3D IC 技術選擇的考量構面與準則	11
表 5-1:各構面指標的總影響與相對影響效果	39
表 5-2:各準則指標的總影響與相對影響效果	40
表 5-3:各構面準則重要性程度(權重值)及排序	47
表 5-4:各準則整體重要性程度(權重值)及排序	48
表 5-5:3D IC 產業整體績效 GAP 指標	50
表 5-6:VIA-FIRST 技術整體績效 GAP 指標	51
表 5-7:VIA-MIDDLE 技術整體績效 GAP 指標	52
表 5-8:VIA-LAST 技術整體績效 GAP 指標	53
表 5-9:SI INTERPOSER 技術整體績效 GAP 指標	54
表 5-10:3D IC 技術整體績效	55



一、緒論

1.1 研究背景與動機

隨著人類文明的進步，電子產品已融入現代人生活中，成為每天生活所需的必需品，而半導體則是電子產品中不可或缺的關鍵組件之一。因此，全球各主要工業國家無不以半導體產業為優先發展目標，台灣亦不例外。台灣半導體產業發展自引進積體電路(IC)封裝迄今已有超過四十年歷史，在政府的推動及協助之下，建立了獨步全球的科學園區模式，形成半導體產業聚落，從上游晶圓材料到 IC 設計業、IC 製造業、IC 封裝業、IC 測試業等，產業結構可謂相當完整[1][2]，產值亦屢創新高。依據工研院產業經濟與趨勢研究中心統計資料，台灣整體半導體產業的產值在 2004 年為一兆零九百九十億元，成為台灣各個產業中首先突破兆元關卡的標竿產業，並且在 2010 年產值達到一兆七千一百六十億元[3]，半導體產業對於台灣經濟發展的重要性不言而喻。

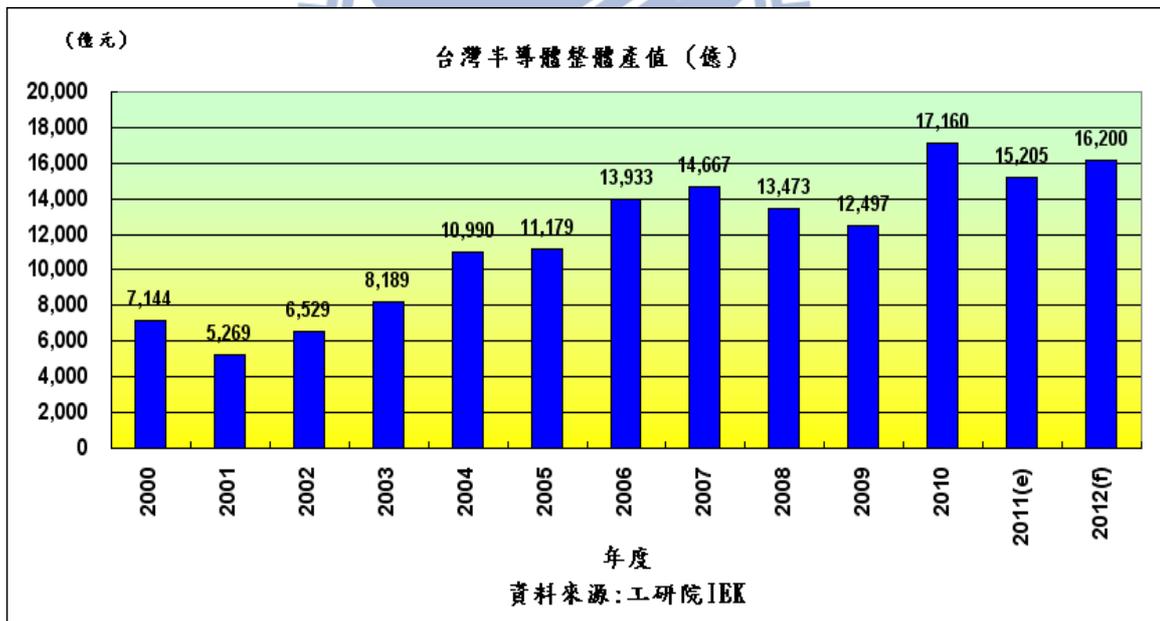


圖 1-1:台灣半導體產業整體產值(資料來源:工研院 IEK，本研究重製)

半導體產業兼具資本密集與技術領導的特性，尤其在 IC 製造業上這樣的特性更加明顯。全球半導體產業龍頭廠商英特爾 (Intel) 創始人之一戈登·摩爾 (Gordon Moore) 於 1965 年提出積體電路上可容納的電晶體數目，約每隔 24 個月 (1975 年

更改為 18 個月) 便會增加一倍, 效能也將提升一倍[4]。此也意味著: 相同的晶圓面積成本可以製造出多一倍的晶片; 或者反過來說: 相同的晶片可用過往的一半成本來製造, 這就是半導體產業間所為人熟知的摩爾定律 (Moore's law)。

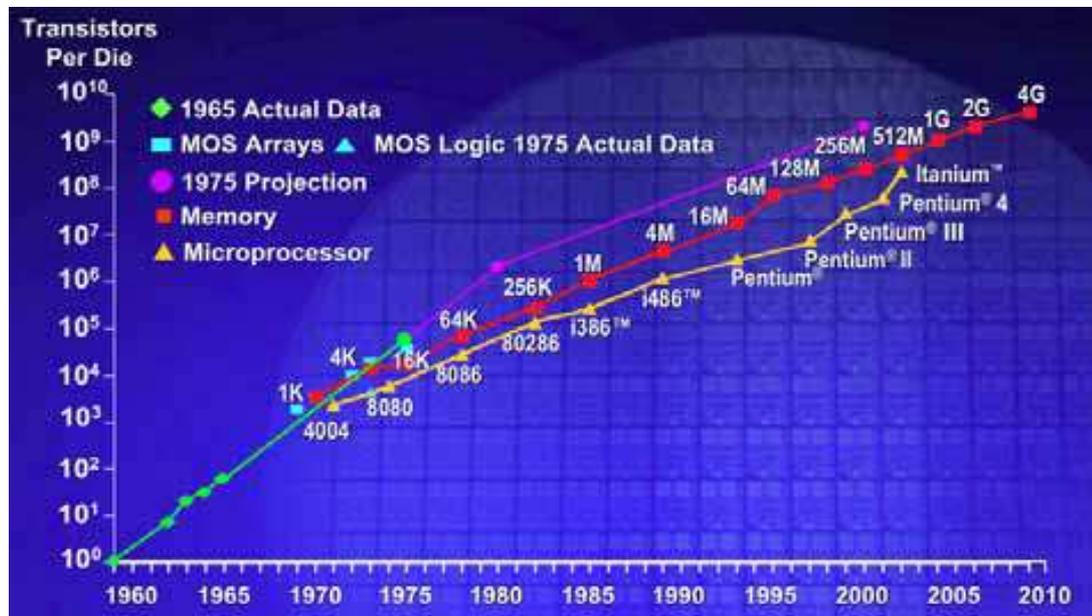


圖 1-2: 摩爾定律 (資料來源: Intel)

長久以來, IC 製造業者透過縮小積體電路中電晶體的尺寸—即半導體元件製造過程中曝光的線寬—來增加 IC 晶片的密度與積集度, 半導體製程每一個世代就是用製程的最小線寬來表示: 例如較早期的 0.25 微米製程, 持續往下微縮到 0.18 微米、0.13 微米、90 奈米、65 奈米、45 奈米等, 一直到目前已經進入量產的最先進的 28 奈米製程, 半導體產業因此而遵循著摩爾定律不斷地發展。但是根據物理特性, 當曝光線寬不斷持續地縮小, 終有一日會達到其物理極限, 摩爾定律也會有結束的一天。依據研究機構 iSuppli 的判斷, 至 2014 年時, 一旦半導體先進製程到達 18 奈米時, 摩爾定律就將告一段落[5]。台積電董事長張忠謀於 2011 年 4 月 25 出席「全球科技高峰論壇」時亦表示, 全球半導體產業奉為圭臬的摩爾定律, 大約再過 6 到 8 年, 就會發展到極限[6]。張忠謀說, 摩爾定律平均每兩年都會進入新的世代, 但他認為, 大約再過 6 到 8 年, 摩爾定律就會走到極限, 未來勢必要往新的應用發展, 例如低耗電、影像等產品。而未來 IC 微縮的發展空間已不大, 倒是電路板方面還有朝更微小化發展的空間。

除了 IC 製程的微縮即將面臨物理極限之外，在製程微縮的同時，必需不斷投資能夠支援先進製造技術的設備，這些設備的巨大投資無疑墊高了 IC 製造的成本。另外，在 IC 製造上游的光罩部分，其成本也是指數性的上升；而在 IC 製造下游的封裝、測試部分，因為電晶體的積集度更高了，相對的電路也更加複雜，其所對應的封裝與測試也愈來愈繁瑣、困難，其成本亦不斷往上增加。若以整體的半導體產品來看，在半導體製程進入奈米世代後，要達到如摩爾定律所言每一個世代成本減半則更顯困難。在這樣的疑慮下，3D IC 的封裝技術提供了另一個思考的面向與解決方式。有別於傳統平面式封裝架構，3D IC 的封裝是將 IC 晶片以立體堆疊的方式作封裝，這樣的設計及封裝技術，可以有效提高單位面積內的電晶體密度，如此將可不用作大規模的新設備投資，就達到在相同面積下電晶體數目倍增的需求。而且，3D IC 的封裝可以縮短元件在不同晶片間的訊號傳輸距離，進而減緩訊號傳輸的延遲，同時傳輸時的雜訊及耗能也都可以降低。3D IC 這項技術在近幾年逐漸受到重視，並且被視為是延續摩爾定律的關鍵技術，甚至可以利用此技術達成超越摩爾定律(More than Moore)的目標[7]。

由於台灣的半導體產業上下游產業鏈相當完整，且在 IC 製造及封裝測試的市佔率均為全球最大，面對 3D IC 興起的趨勢，台灣的廠商自然也積極投入新技術的研發，以期能延續現有的競爭優勢，在下一個新技術的世代中繼續保有領先的地位。然而在面對新技術的興起，投入新技術的研發成本往往所費不貲，若是在新技術選擇的決策上失誤，小則損失研發成本，大則可能失去市場先機，被競爭者大幅超前而失去競爭優勢。因此，技術選擇與決策也成為科技管理領域中一個重要的課題。

一般而言，技術型企業依靠現有的技術資源來持續提升技術或是開發新技術以保持競爭力和持續增長[8]。然而，科技的發展飛快且多樣，在資源有限的情況下，一個企業不可能全面性的發展各方面的技術，企業需要專業的技術規劃和策略去維護其競爭優勢，把握新的機遇[9]。因此，技術的選擇是這類型企業最具挑戰性之一的決策領域。所謂技術選擇與決策即當企業面臨新技術的興起時，透過評估在眾多領域中選擇適合企業本身發展的技術項目，投入資源發展或取得技術的過程。基本上，技術選擇是屬於一種多準則的決策[10]，一般的程序過程為建立一組評估準則來衡量備選技術的重要性、可產生效益及風險，並考量企業本身能力之後，再選擇一個最適合企業的技術領域來投入。

1.2 研究問題與目的

基於上述的背景與動機，本研究希望探討下列問題：

1. 台灣廠商應發展 3D IC 技術的類型為何？
2. 台灣廠商發展 3D IC 技術策略規劃模式為何？

因此，本研究期望能歸納整理有助於灣廠商準備投資 3D IC 之技術開發策略模式，目的為「發展適合台灣廠商作為選擇 3D IC 技術開發的決策模型」。期望利用 DANP 建立一套決策模式，以協助台灣廠商在投入 3D IC 技術研發策略中做選擇，進而幫助台灣半導體產業發展次世代領先技術與提升國際競爭力。

1.3 研究架構與流程

為了達到研究目的，本研究依照圖 1-3 的架構與流程進行。

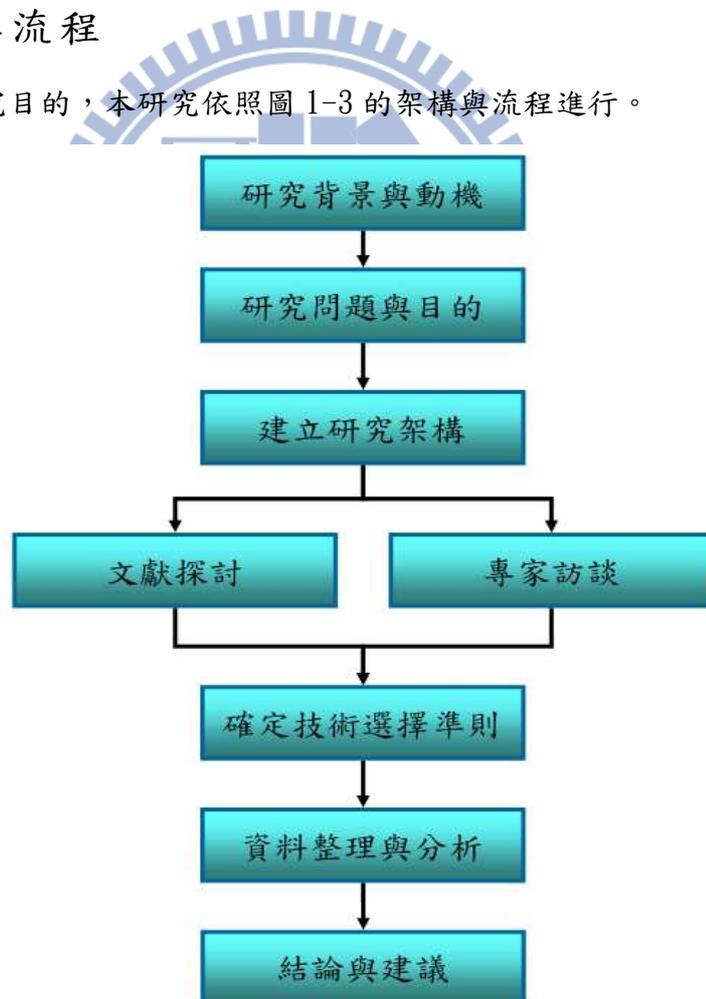


圖 1-3: 研究流程(資料來源:本研究整理)

二、文獻探討

2.1 技術選擇

選擇適當的技術有助於企業作出更具競爭力的產品和服務，或是開發更有效的流程，為企業創造全新的解決方案，以利企業在競爭激烈的商業環境中取得競爭優勢。然而隨著技術的數量不斷地增加，技術也變得越來越複雜，在一些不同的替代技術之間選擇出正確的技術方案對決策者來說始終是一個艱鉅的任務。選擇了正確的技術可以為企業帶來豐碩的利潤，但若是企業投入錯誤的技術，則可能導致喪失競爭優勢的嚴重後果。因此，技術的選擇可謂是科技管理領域中最具挑戰性的決策議題之一[11][12][13]。本節將探討技術選擇的定義，技術選擇時所考量的因素以及一般進行技術選擇的方法。

2.1.1 技術選擇的定義

許多學者對於技術選擇作出不同的闡述與說明。Stacey 與 Ashton(1990)認為技術選擇是在選擇技術投資方案之前的程序，所選擇的技術應考量商業和技術上的風險，以符合組織的目標[14]。Lamb 及 Gregory(1997)認為技術選擇包含蒐集有關替代方案的各種資訊，並且在各個方案之間彼此比較或是以一組準則來評估各個方案後作出選擇[10]。Dussauge、Hart 與 Ramanantosa(1997)則認為技術選擇是在確認並選擇一項組織尋求掌握的新技术的一個程序[15]。F. T. S. Chan， M. H. Chan 與 N. K. H. Tang(2000)則說明技術選擇是一個攸關企業獲利及成長的決策[16]。Torkkeil 與 Tuominen(2002)則詳細地定義技術選擇是科技管理的核心程序，企業必須在複雜的情況之下，利用多個準則在多個技術方案中做出抉擇[12]。Saen(2006)定義技術選擇的目的在於取得新的元件與系統，可以協助企業開發更具競爭力的產品和服務，獲得更有效能的企業流程，或創造出全新的解決方案[17]。Shehabuddeen、Probert 與 Phaal(2006)則定義技術選擇是組織在衡量技術、組織和商業環境後，選擇出一個最適合組織的技術[18]。袁建中等(2007)則認為技術選擇是企業執行科技策略的重要程序，透過各種技術資料的掃描與監控，以一組指標來衡量評估，選出能夠執行重要企業策略的適當技術項目[9]。

茲將各學者對技術選擇的定義整理如表 2-1。

表 2-1:技術選擇定義

學者	定義
Stacey, Ashton(1990)	技術選擇是在選擇技術投資方案之前的程序，所選擇的技術應考量商業和技術上的風險，以符合組織的目標
Lamb, Gregory(1997)	技術選擇包含蒐集有關替代方案的各種資訊，並且在各個方案之間彼此比較或是以一組準則來評估各個方案後作出選擇
Dussauge, Hart, Ramanantosa(1997)	技術選擇是在確認並選擇一項組織尋求掌握的新技術的一個程序
F.T.S. Chan, M.H. Chan, N.K.H. Tang(2000)	技術選擇是一個攸關企業獲利及成長的決策
Torkkeil, Tuominen(2002)	技術選擇是科技管理的核心程序，企業必須在複雜的情況之下，利用多個準則在多個技術方案中做出抉擇
Saen(2006)	技術選擇的目的在於取得新的元件與系統，可以協助企業開發更具競爭力的產品和服務，獲得更有效能的企業流程，或創造出全新的解決方案
Shehabuddeen, Probert, Phaal(2006)	技術選擇是組織在衡量技術、組織和商業環境後，選擇出一個最適合組織的技術
袁建中等(2007)	技術選擇是企業執行科技策略的重要程序，透過各種技術資料的掃描與監控，以一組指標來衡量評估，選出能夠執行重要企業策略的適當技術項目

資料來源：本研究整理

綜合以上學者的說法，本研究將技術選擇定義為：企業組織為達成企業策略目標，利用一組指標來衡量評估各項替代技術方案後，確認並選擇一個最適合該企業組織的技術項目以進行投資。

2.1.2 技術選擇的考量因素

進行技術選擇不能單純依據決策者的直覺，必需考量各種相關的因素之後再作決策。然而技術選擇時應該要考量哪些因素才是恰當，各學者的看法或有不同。Arbel 與 Shapira(1986) 發展的技術選擇模式側重於收益與成本兩大方面的考量[19]。Stacey 與 Ashton(1990)則提出技術選擇應多加考慮商業和技術上的風險，以符合組織的目標[14]。余序江(1998)針對如何進行技術衡量評估提出一組包含六大構面的指標系統[20]：

1. 策略重要性 (Strategic Importance)：該技術對於企業維持競爭優勢之重要性。例如以市場佔有率、產品差異化、成本與滲透市場速度等作為評估標準。

2. 商品化價值 (Commercial Value)：技術發展成功所帶來之經濟價值。例如 NPV、ROI、額外營收之利潤與其他財務指標等。

3. 商品化時程 (Commercial Timing)：市場願意接受該技術之時間點。

4. 風險 (Risks)：技術發展風險或商品化風險。技術風險指發展此技術會失敗的可能性，商品化風險指技術發展成功但商品銷售失敗的可能性。

5. 技術定位 (Current Position)：相對於競爭者，公司在此技術上能力與優勢。可以用已有技術能力或專利數量來評估。

6. 技術可獲得性 (Technology Availability)：由外部取得該商品化技術可能性。如願意提供授權或技轉的單位。

F. T. S. Chan, M. H. Chan 與 N. K. H. Tang(2000)使用技術的彈性、技術的品質及技術的經濟效應等三個構面來作為技術選擇的衡量標準[16]。Laura M. Meade 與 Adrien Presley(2002)認為評選 R&D 專案時應考慮到三項主要因素：(1)評選指標需與組織策略連結。(2)需考慮到品質、收益及風險。(3)需考慮到組織內外各個利害關係人的期望及需求[21]。Huang, Chu 及 Chiang(2006)提出一個科技專案評選決策的架構，其中由四個構面組成[22]：

1. 技術價值構面：判斷競選科技專案的技術是否具有持續發展的價值。其內容包含技術的前瞻性、技術的創新性、技術的關鍵性、技術的專利性、技術的一般性、技術的連結性及技術的擴展性等七項準則來衡量。

2. 潛在利益構面：判斷競選科技專案的執行對國家潛在的經濟性利益及社會性利益為何。衡量指標為研發能量的提升、市場的潛在規模、技術外溢效果、是否符合科技政策、人類生活利益等準則。

3. 專案執行構面：判斷競選科技專案是否能夠順利執行。衡量指標有技術開發內容詳細程度、研究團隊的能力、研發時程是否合理、研發經費是否合理、內部相關技術支援、內部相關設備支援、外部相關技術資源可獲取性等準則。

4. 專案風險構面：判斷競選科技專案技術開發所面臨的風險。評估的指標為相關技術開發成功的經驗、科技可行證據、技術規範風險、研發費用投入風險、研發時間投入風險、專案發展時效性、技術市場化的成功機會及專案執行成功機會等準則。

沈永祺、張菽萱、林亭汝、虞孝成(2010)針對有機發光二極體(OLED)顯示技術選擇建構了一組四個構面的評選架構[23]：

1. 技術效益構面：評估該技術是否具有投入發展的價值。其內容包含技術的前瞻性、技術的創新性、技術的關鍵性、技術的專利性、技術的一般性、技術的連結性及技術的擴展性等七項準則。

2. 商業效益構面：評估若該技術發展成功可帶來多少財務或市場上的貢獻。內容包含對市場佔有率的效益、新市場潛力、市場潛在規模及商業時機等四項準則。

3. 風險構面：評估投入發展此項技術可能遭遇的風險。衡量指標商品化風險、技術風險及財務風險等三項準則。

4. 技術人員支援：評估該項技術開發是否有足夠的技術人員可投入。

茲將各學者對技術選擇的考量因素整理如表 2-2。

表 2-2: 技術選擇的考量因素

學者	技術選擇的考量因素
Arbel, Shapira(1986)	收益與成本
Stacey, Ashton(1990)	利益、成本及商業和技術上的風險
余序江(1998)	策略重要性、商品化價值、商品化時程風險、技術定位及技術可獲得性
F.T.S. Chan, M.H. Chan, N.K.H. Tang(2000)	技術的彈性、技術的品質及技術的經濟效應
Laura M. Meade, Adrien Presley(2002)	(1)評選指標需與組織策略連結。(2)需考慮到品質、收益及風險。(3)需考慮到組織內外各個利害關係人的期望及需求。
Huang, Chu, Chiang(2006)	技術價值構面、潛在利益構面、專案執行構面及專案風險構面
沈永祺、張菽萱、林亭汝、虞孝成(2010)	技術效益構面、商業效益構面、風險構面及技術人員支援
資料來源：本研究整理	

綜合以上文獻資料，搭配針對 3D IC 相關領域專家的訪談結果，本研究將 3D IC 技術選擇的準則歸納為五個主要構面及十八項準則。茲說明如下：

1. 技術效益構面：評估該技術是否具有投入發展的價值。其內容包含技術專利性、技術應用性、技術延續性及技術擴展性等四項準則。

(1)技術專利性：該項技術是否可以產生專利權。若該項技術產生專利權的可能性大，可以建立競爭位障，競爭者無法輕易模仿，則技術專利性佳；若該項技術產生專利權的可能性小，無法建立競爭位障，競爭者可以輕易模仿，則技術專利性差。

- (2)技術應用性：應用該項技術可開發的產品多寡。若應用該項技術可開發的產品多，應用層面廣，則技術應用性佳；若應用該項技術可開發的產品少，應用層面侷限，則技術應用性差。
- (3)技術延續性：該項技術是否可應用現有技術轉移進行開發。若可使用既有技術來開發該技術，開發早期需投入成本相對較小，則技術延續性佳；若無法使用既有技術來開發該技術，開發早期需投入大量成本，則技術延續性差。
- (4)技術擴展性：未來相關技術的開發是否必需運用到此項技術。若該項技術可以持續進展，技術成長發展空間大，則技術擴展性佳；若該項技術為一次性應用，技術成長發展空間小，則技術擴展性差。

2. 商業效益構面：評估若該技術發展成功可帶來多少財務或市場上的貢獻。內容包含投資回收力及市佔提升力等兩項準則。

- (1)投資回收力：該項技術是否能夠創造足夠的銷售利潤以回收投資。若該項技術可以創造足夠的銷售利潤以回收投資，則投資回收力佳；若該項技術所創造之銷售利潤不足以回收投資，則投資回收力差。
- (2)市佔提升力：使用該項技術是否能夠提升市佔率。若使用該項技術能夠大幅提升市場佔有率，市場成長發展空間大，則市佔提升力佳；若使用該項技術僅能提升少許或維持現有市場佔有率，市場成長發展空間小，則市佔提升力差。

3. 產品特徵需求：評估投入發展此項技術對於產品特定的需求可能達成的效果。衡量指標為成本降低力、產品效能提升度、副作用程度及異質晶片整合度等四項準則。

- (1)成本降低力：使用該項技術能否降低產品生產成本。若使用該項技術可明顯降低產品生產成本，則成本降低力佳；若使用該項技術無法明顯降低產品生產成本，則成本降低力差。
- (2)產品效能提升度：使用該項技術能否提升產品效能。若使用該項技術能夠大幅提升產品效能，則產品效能提升度佳；若使用該項技術僅能提升少許或維持產品原有效能，則產品效能提升度差。

(3)副作用程度：使用該項技術是否對產品產生不良副作用。若使用該項技術不會對產品產生不良副作用，則副作用程度低；若使用該項技術會對產品產生不良副作用，則副作用程度高。

(4)異質晶片整合度：該項技術是否可將不同功能晶片整合至同一個 3D IC 之中。若該項技術可輕易將不同功能晶片整合至同一個 3D IC 之中，則異質晶片整合度佳；若該項技術不易將不同功能晶片整合至同一個 3D IC 之中，則異質晶片整合度差。

4. 產業鏈完整度：評估該項技術開發在產業結構中，上下游廠商是否均有足夠的技術資源可投入。衡量指標為相關技術資源可獲得性、技術標準規格完整度、上下游技術成熟度及技術開發競爭度等四項準則。

(1)相關技術資源可獲得性：發展該項技術所需的相關技術資源獲得的容易程度。若可以輕易取得相關技術資源(如專利、舊設備可沿用或以低成本購置新設備等)，則相關技術資源可獲得性佳；若不容易取得相關技術資源(如專利、舊設備無法沿用或購置新設備成本高等)，則相關技術資源可獲得性差。

(2)技術標準規格完整度：該項技術是否已有技術標準規格。若該項技術之標準規格已訂定完整，則技術標準規格完整度佳；若該項技術之標準規格未訂定，則技術標準規格完整度差。

(3)上下游技術成熟度：應用該項技術所需之上下游廠商技術是否已成熟。若產業上下游積極開發相對應配合技術，且多數技術已完備，則上下游技術成熟度佳；若產業上下游相對應配合技術多數仍未完成，且上下游廠商開發意願低，則上下游技術成熟度差。

(4)技術開發競爭度：競爭同業是否正開發相同技術，其開發進度之比較。若僅少數或無競爭同業開發相同技術，則技術開發競爭度低；若多數競爭同業正開發相同技術，則技術開發競爭度高。

5. 風險構面：評估投入發展此項技術可能遭遇的風險。衡量指標為技術風險、產品化風險、協力風險及資金風險等四項準則。

- (1) 技術風險：開發該項技術無法及時成功的可能性。若開發該項技術困難度低，可以及時開發完成，則技術風險低；若開發該項技術困難度高，需克服很多困難才能及時完成，則技術風險高。
- (2) 產品化風險：使用該項技術生產產品無法成功的可能性。若使用該項技術生產產品困難度低，可以順利應用該技術生產產品，則產品化風險低；若使用該項技術生產產品困難度高，需克服很多困難才能用該技術生產產品，則產品化風險高。
- (3) 協力風險：上下游協力廠商無法完成相對應配合技術的可能性。若產業上下游積極開發相對應配合技術，且投入大量開發資源，則協力風險低；若產業上下游開發相對應配合技術態度消極，多數持觀望態度，則協力風險高。
- (4) 資金風險：投入資金不足以支應至技術開發完成的可能性。若所需研發費用投入小，技術能力取得費用低，則資金風險低；若所需研發費用投入大，技術能力取得費用高，則資金風險高。

匯整本研究提出針對 3D IC 技術選擇的考量構面與準則整理如表 2-3。

表 2-3：3D IC 技術選擇的考量構面與準則

構面	準則	說明
技術效益	技術專利性	該項技術是否可以產生專利權
	技術延續性	該項技術是否可應用現有技術轉移進行開發
	技術應用性	應用該項技術可開發的產品多寡
	技術擴展性	未來相關技術的開發是否必需運用到此項技術
商業效益	投資回收力	該項技術是否能夠創造足夠的銷售利潤以回收投資
	市佔提升力	使用該項技術是否能夠提升市佔率
產品特徵需求	成本降低力	使用該項技術能否降低產品生產成本
	產品效能提升度	使用該項技術能否提升產品效能
	副作用程度	使用該項技術是否產生不良副作用
	異質晶片整合度	該項技術是否可將不同功能晶片整合至同一個 3D IC 之中
產業鏈完整度	相關技術資源可獲得性	發展該項技術所需的相關技術資源獲得的容易程度
	技術標準規格完整度	該項技術是否已有技術標準規格
	上下游技術成熟度	應用該項技術所需之上下游廠商技術是否已成熟
	技術開發競爭度	競爭同業是否正開發相同技術，其開發進度之比較
風險性	技術風險	開發該項技術無法成功的可能性
	產品化風險	使用該項技術開發產品無法成功的可能性
	協力風險	上下游協力廠商無法完成相對應配合技術的可能性
	資金風險	投入資金不足以支應至技術開發完成的可能性

資料來源：本研究整理

2.1.2 技術選擇的方法

許多技術選擇的方法已經陸續被發表出來。早期的技術選擇著重在經濟收益的評估，所使用的方法如傳統的淨現值法 (Net Present Value, NPV)，內部收益率 (Internal Rate of Return, IRR)，回收期 (Payback Period, PB) 和對投資回報率 (Return Of Investment, ROI) 等[24]；其後的研究則多將技術選擇當成是一個多準則決策的問題來探討，評估分析的因素則不侷限在經濟收益的部份，更加入了各個層面的因子來作為技術選擇的判斷依據，使用的方法也更為多樣。Moutza Khouja(1995)利用 data envelopment analysis (DEA) 結合 multi-attribute decision making (MADM)，以技術的效能為判斷依據，針對 ROBOT 的技術選擇做出建議[25]。E. Ertugrul Karsak 及 Ethem Tolga(2001)則是引用模糊理論檢視可量化的經濟效益準則及不可量化的策略層面準則對先進製造系統的選擇建立一個模型[26]。Mustafa Yurdakul(2004)使用層級分析法 (Analytic Hierarchy Process, AHP) 以成本、品質及生產效益為構面，對於新型製造機器的選擇提出建言[27]。林佳慧(2007)以品質機能展開 (Quality Function Deployment, QFD) 結合專利分析，針對無線射頻辨識技術 (Radio Frequency Identification, RFID) 的技術策略規劃提出發展方向建議[28]。沈永祺、張菽萱、林亭汝、虞孝成(2010)則更結合德菲法、層級分析法及專利分析針對有機發光二極體 (OLED) 顯示技術選擇建構了一組四個構面的評選架構[23]。

2.2 基於決策實驗室法之網路程序分析 (DEMATEL Based ANP, DANP)

DANP 模式包含了決策實驗室法 (Decision Making Trial and Evaluation Laboratory, DEMATEL) 及網路程序分析法 (Analytic Network Process, ANP) 兩部分，前者分析因素之間影響關係，後者將影響關係轉換成重要度。本節內將分別闡述 DEMATEL 及 ANP。

2.2.1 決策實驗室法 (DEMATEL)

決策實驗室法 (Decision Making Trial And Evaluation Laboratory, DEMATEL) 起源於 1971~1976 年，由日內瓦中心喬治亞大學 Battelle 協會 (Battelle Memorial

Institute of Geneva)為解決科學與人類事務計畫(Science and Human Affairs program)所開發的研究方法，主要是想建構互相關聯的網路模式結構去分析複雜真實世界的情況。此方法藉由觀察各個元素間兩兩影響的程度，並利用矩陣及相關數學理論計算出全體元素間的因果關係及影響的強度，可有效的瞭解複雜的因果關係結構。Tzeng et al. (2007)則指出 DEMATEL 可提升對特殊問題的瞭解、糾結問題的群組以及藉由層級結構來提供識別可行方案[29]。近幾年，DEMATEL 被廣泛運用到各領域中。相關的應用包括企業規劃與決策分析、都市規劃設計、地理環境評估等領域，如 Lin & Wu (2004)應用 DEMATEL 於團體決策[30]；胡雪琴(2003)探討企業問題複雜度[31]；林宗民(2005)研究管理問題的因果關係並建立模式分析[32]；孫曉宇(2008) 研究動態平衡計分卡[33]；李志剛(2009) 研究製造業的企業動態平衡計分卡[34]；管孟忠、林心雅、紀念呈(2010)探討提升 3C 零售業服務品質的關鍵成功因素[35]、管孟忠、紀念呈、林心雅(2010)探討組建專案管理環境的關鍵成功因素等[36]。

2.2.2 網路程序分析法 (ANP)

分析網路程序法 (Analytic Network Process, ANP) 起源於 1996 年，Saaty 為改善層級分析法 (Analytic Hierarchy Process, AHP) 無法處理方案與準則間具有相依性與回饋關係的問題所提出的一種方法，其最大的不同在於 AHP 視各個準則互為獨立，ANP 則考慮準則之間存在著內部相依 (interdependence) 及回饋 (feedback) 的關係，ANP 可視為層級分析法的通用形式，亦或將 AHP 視為是 ANP 的特例。在現實問題上，每個評估構面由各種不同的準則所組成，在同一階層之間的準則相互會有影響，在不同階層之間的準則也會互相影響，所以真實情況中準則之間並不是只有線性的上下階層結構，反而比較類似相互聯結的網路。ANP 目的在於預測準則、目標或方案間精確的內部關係，透過評估尺度進行成對比較，得到互相影響的作用後各構面與準則的權重。

三、3D IC 概述

3.1 半導體市場的演進與趨勢

隨著人類文明的進步，電子產品大量出現在現代人生活中，而半導體則是電子產品中不可或缺的關鍵組件之一，半導體工業也因此蓬勃發展。近年來，消費性電子產品的功能越來越多，電子系統的設計也更趨於複雜化，更小、功能更多且更省電之各式電子裝置已成為現代人不可或缺的日常用品。

舉例來說，以行動電話手機而言，最初只有語音通話功能，為因應各種不同功能需求不斷地增加，行動電話持續地演進，成為整合了許多不同功能的智慧型行動電話，除了具有原本的語音電話功能外，還具備了個人數位助理(PDA)的功能，包括記事簿、行事曆、個人通訊錄、收發簡訊與電子郵件、計算機等，也具備了個人娛樂的功能，如播放音樂、電子遊戲、照相與攝影等，而高階的智慧型行動電話則更具有觸控螢幕、手寫辨識、無線網路、視訊電話、數位電視、全球衛星定位與導航等更先進的功能。

雖然高階智慧型行動電話具備了這麼多的功能，但是為了攜帶與使用的方便性，手機的大小非但沒有增加，甚至更趨向輕薄短小來發展，而且在使用時間及待機時間等也更加被要求。這表示電子裝置系統設計者除了需要加入更多的電路外，還必須要比以往更省電，才能達到多功能且低耗電的要求。

為了在同一個積體電路中加入更多的電路設計，半導體製程的微縮一直是半導體工業發展以來不變的趨勢。在過去的四十幾年來，半導體的製程一直都遵循著摩爾定律(Moore's Law)以每 18 個月積體電路上可容納的電晶體數目增加一倍，效能也提升一倍；或者說製造成本減半的趨勢發展。以往這樣的趨勢是利用製程技術的微縮而達成。製程微縮除了可以讓電晶體密度倍增之外，也同時讓電晶體中邏輯閘的時間延遲縮短，因而電晶體的操作速度也同時加快，達到讓電子裝置效能提升的目的。

不過，在製程技術微縮的同時，電晶體內的金屬連接線線寬隨著變窄，導致金屬線每單位長度的電阻值也同時增加，此時電子訊號在金屬線上的傳輸時間延遲也會增加。在早期，由於邏輯閘時間延遲的縮短遠大過金屬連接線傳輸時間延遲的增加，因此，製程微縮仍然是有效的加快電晶體操作頻率的最好方式。但是，當製程

進入到 0.18 微米以下時，金屬連接線傳輸時間的延遲卻已足以明顯影響到電晶體運作效能。為了解決這個問題，半導體製程改變了以鋁當金屬連接線的製程，引進了電阻值更低的銅作為金屬連接線，也改變了金屬層之間的介電質材料，用介電係數較低的材料來製造電晶體，也就是所謂的銅製程，以銅製程暫時解決了連線延遲快速增加的問題。雖然銅製程有效縮短了金屬連接線的時間延遲，但是，當製程微縮到 90 奈米以下時，金屬連接線傳輸時間的延遲再度急遽增加，並逐漸超過製程微縮讓邏輯閘速度加快的幅度，製程微縮再度遭遇困難[37]。

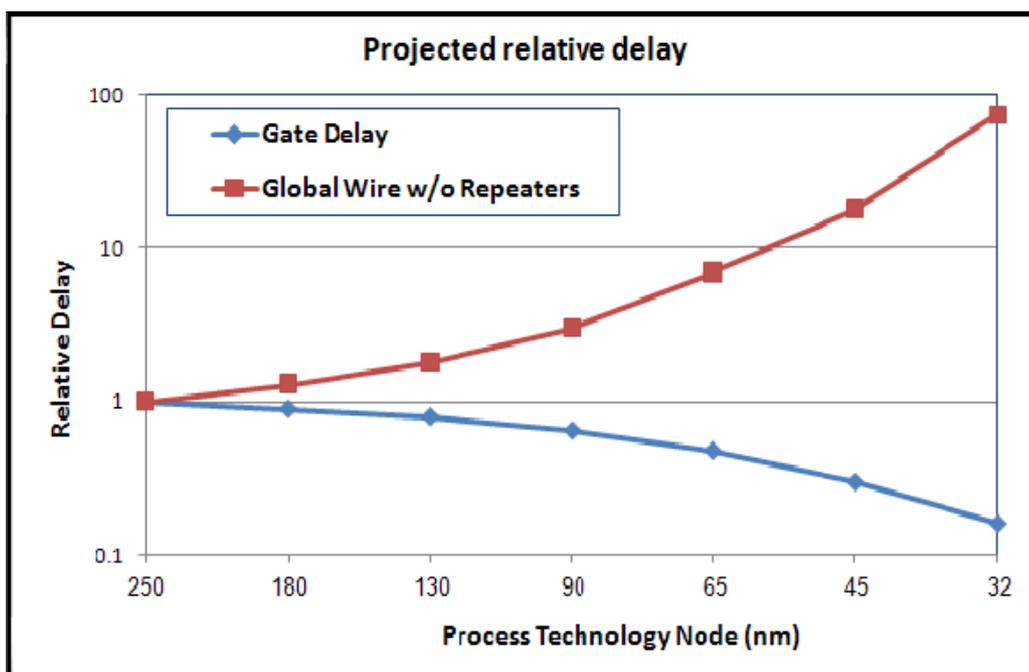


圖 3-1: Metal 1 Wire Delay vs Gate Delay (資料來源：ITRS 2005)

除了效能提升的瓶頸外，持續將製程微縮的困難度也越來越高。研發下一代製程微縮需要能夠支援先進製造技術的先進製程設備，其龐大的投資金額與研發人力更是所費不貲，大幅提高了開發與使用新製程的成本，這與摩爾定律每進入一個新的製程世代將達到成本減半的趨勢已逐漸背離。更而甚者，製程微縮發展至今已逐漸接近元件物理結構上的極限，預估大約再過 6 到 8 年，透過製程微縮來縮小元件結構就會發展到極限[5][6]。無疑地，這樣的發展趨勢愈來愈明確，這也使許多半導體廠商開始朝著另外一個方向思考。為了解決這樣的困境，持續提高電晶體的密度，摒除平面方向的微縮發展，往垂直方向發展成了另一種選擇，3D IC 的構裝技

術因而受到重視，並且被視為是延續摩爾定律的關鍵技術，甚至可以利用此技術達成超越摩爾定律(More than Moore)的目標[7]。

3.2 IC 構裝技術之演進

積體電路(Integrated Circuit; IC)從半導體工廠製造出來稱為晶圓(wafer)，晶圓無法直接運作，需要透過晶圓切割及封裝等程序才能成為一個個 IC 電子元件，一個電子系統或電子產品的運作需要很多不同功能的 IC 電子元件相互搭配，透過導線連接以進行電子訊號溝通(Signal Communication)與傳輸(Transport)，如此才能發揮電子產品的功能。IC 構裝技術就是將各種 IC 電子元件進行導線連接及封裝的技術。IC 構裝的主要功能有四項：即電力傳送、訊號傳輸、元件散熱及電路保護。所有的電子產品都需要以電力能源來驅動電路運作，因此在 IC 構裝需要把電源透過連接線路送達到各個電子元件中。而各個電子元件產生的電子訊號也需要透過電路傳送，才能讓電子產品功能正常運作。各個電子元件在運作時會產生熱，所以在構裝設計上考量如何散熱也是必需的，以保持電子產品的操作溫度不至於超過正常運作範圍。此外，IC 構裝也必須提供產品足夠的機械強度與保護。

隨著科技的發展與電子產品行動化的需求，電子產品不斷朝向小型且多功能的趨勢演進。因應這樣的需求，IC 構裝技術也朝向多腳數、低熱阻抗及超小型化的方向持續推進。IC 構裝技術已經經過好幾個世代的演進，從雙排式直插構裝(Dual In-Line Package; DIP)、四邊引出扁平構裝(Quad Flat Package; QFP)、針狀柵列構裝(Pin Grid Array; PGA)、球狀柵列構裝(Ball Grid Array; BGA)到晶片尺寸構裝(Chip Scale Package; CSP)、多晶片模組構裝(Multi-Chip Module; MCM)，最後演進到系統級構裝(System In Package; SIP)。以下針對這些構裝結構分別說明：

3.2.1 雙排式直插構裝

雙排式直插構裝(Dual In-Line Package; DIP)為 70 年代主流構裝形式。DIP 元件外形為長方形，在其兩側則有兩排平行的金屬接腳，稱為排針。DIP 元件的大小其實比其內部的積體電路裸晶(Die)大很多(如圖 3-2)。

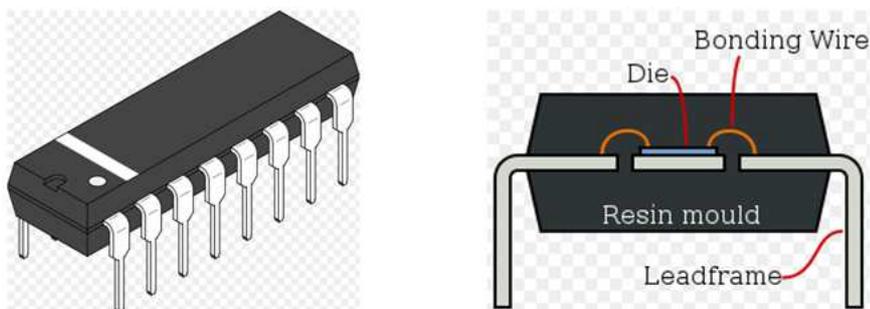


圖 3-2: DIP 構裝結構 (資料來源: WIKIPEDIA)

3.2.2 四邊引出扁平構裝

四邊引出扁平構裝(Quad Flat Package; QFP)是使用表面黏著技術的構裝方式，它的結構是在 IC 元件的四邊都有接腳接出，可使用的訊號輸入/輸出 (Input/Output; I/O)較 DIP 為多(如圖 3-3)。

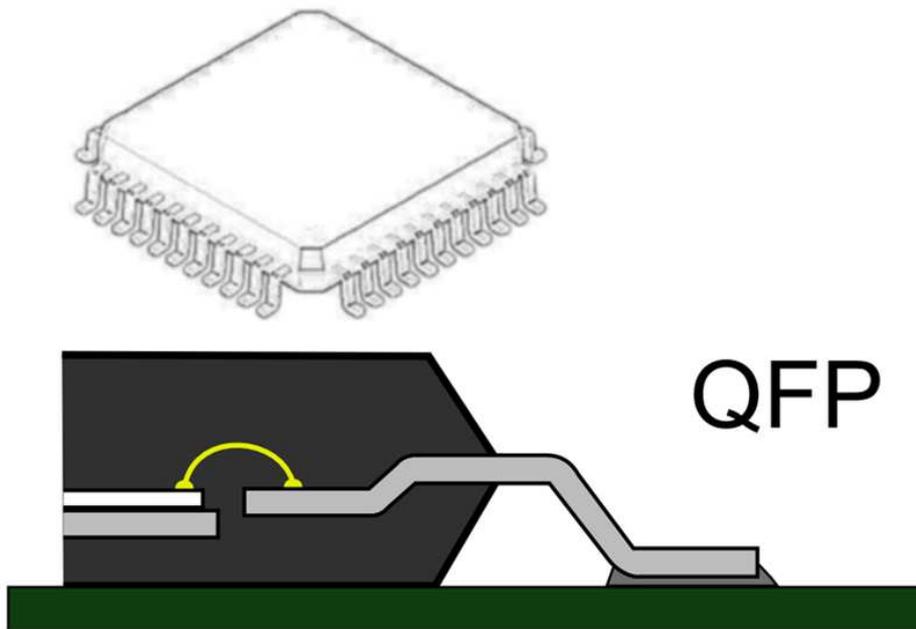


圖 3-3: QFP 構裝結構 (資料來源: WIKIPEDIA)

3.2.3 針狀柵列構裝

針狀柵列構裝(Pin Grid Array; PGA)一般是將 IC 包裝在瓷片內，瓷片的底面是排列成方陣形的插針，這些插針就可以插入或焊接到電路板上對應的插座中，非常適合於需要頻繁插拔的應用場合。早期電腦的中央處理器(CPU)就是採用這種構裝形式。PGA 構裝通常比過去常見的雙列直插構裝(DIP)需用面積更小(如圖 3-4)。

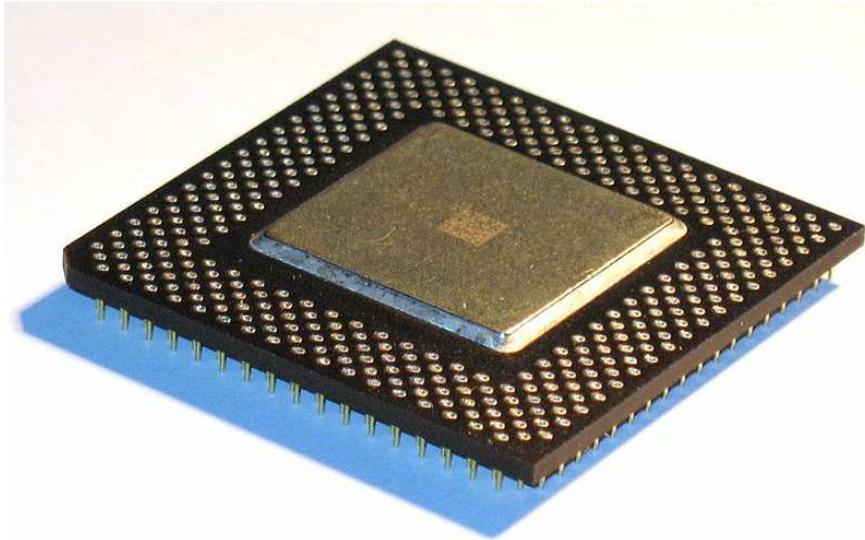


圖 3-4: PGA 構裝結構 (資料來源: WIKIPEDIA)

3.2.4 球狀柵列構裝

球狀柵列構裝(Ball Grid Array; BGA)將單一晶片或多晶片以打線接合或覆晶接合的方式和基板上的導線相連接，而基板則以面積陣列 (Area Array) 分布的錫球作為 IC 對外連接的接點(如圖 3-5)。



圖 3-5: BGA 構裝結構 (資料來源: WIKIPEDIA)

3.2.5 晶片尺寸構裝

若 IC 構裝完成後之面積為積體電路裸晶面積的 1.2~1.5 倍之內即稱為晶片尺寸構裝(Chip Scale Package; CSP)。一般而言，傳統的 DIP 或 QFP 構裝完成後的面積均遠大於裸晶的面積。以 208 隻接腳的 QFP 為例，其 IC 構裝後面積約為裸晶的 40 倍，而其體積更達 200~300 倍[7]。為達到電子產品日趨小型化的需求，CSP 自然成為構裝技術必然之發展結果。CSP 構裝的優點在於構裝尺寸小、構裝厚度薄、構裝成本低以及散熱性佳等。

3.2.6 多晶片模組構裝

多晶片模組 (Multi-Chip Module; MCM)構裝技術能在一個封裝內容納兩個或兩個以上的裸晶，而在此技術未開發前，一個 IC 構裝元件內多半只有一個裸晶。MCM 構裝使用多層連線基板直接組合 IC 晶片與電路零件，使之成為一個特定功能的元件。MCM 構裝可大幅提高電路連接線密度，使構裝更加達到小型化的需求(如圖 3-6)。

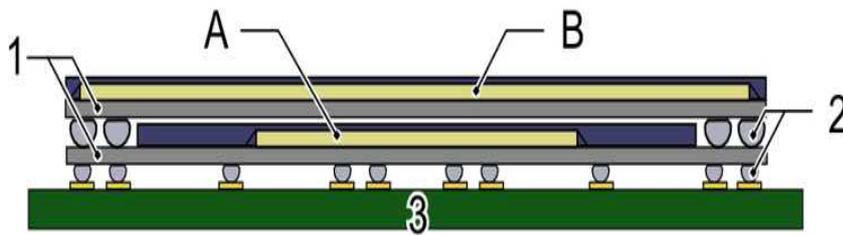


圖 3-6: MCM 構裝結構 (資料來源: WIKIPEDIA)

3.2.7 系統級構裝

系統級構裝(System In Package; SIP)可以整合不同功能的晶片在同一個構裝元件中，在晶片與晶片之間可以作並列的連結或以上下堆疊的方式結合。SIP 可以整合包括類比電路及數位電路等不同功能的元件，甚至可以整合分離式被動元件，進而構成一個單一的標準構裝體，提供完整的電子系統功能。SIP 有許多種分類，其中三維堆疊(3D Stacking)就是屬於 SIP 技術的一種。

3.3 3D IC 與傳統 IC 之差異

長期以來電子產品的發展歷程始終聚焦在追求小型化、多功能整合、高效率、低成本、低功耗、即時上市(Time to Market)等構面。近年來，利用製程微縮提升 IC 效能已逐漸遭遇瓶頸，持續將製程微縮的困難度也越來越高，為了克服這樣的瓶頸，透過 3D IC 構裝技術將晶片往垂直軸方向堆疊遂成為新的研究目標。

3D IC 構裝技術就是利用多個晶片作垂直方向之晶片堆疊立體結構，以提昇電晶體的積集度。利用 3D 垂直立體技術將微處理器、記憶體、高頻晶片、感測晶片等元件，利用垂直導通製程技術的方式，將不同特性之晶片加以整合於多層單晶片上，其優點包括 (1)縮短導線長度：從原來數公分縮短為 1~50 微米，若導線長度能縮短為原本之千分之一的話，即可抑制導線電阻發熱；(2)結構上可採行並列處理，如此可大幅縮小晶片所需之面積，提高堆積密度；(3)縮短導線長度亦可減少訊號傳輸距離，可提供高速處理的特性；(4)低耗電、低成本與新機能、新應用整合的可能性 [38]。

3D IC 構裝技術大致可分為 (1)封裝堆疊(Package Stacking)、(2)晶片堆疊(Die Stacking)、(3)以矽穿孔(Through-Silicon-Via; TSV)為互連之 3D IC 技術等三大類，分別說明如下：

1. 封裝堆疊(Package Stacking)又可分為 PIP (Package in Package)與 POP (Package on Package)兩種構裝方式，PIP 構裝使用兩個獨立構裝體以表面黏著方式作堆疊，這樣的堆疊方式，好處在於可提高產品良率。POP 則因將構裝體包在裡面，使得構裝後晶片體積較大，且線路較長，這樣的堆疊方式則較難應用於需要微型化的晶片(如圖 3-7)。封裝堆疊方式可有效的縮小面積，且組裝成本低。不過，在其他方面，如效能與功率消耗等，並沒有太大的改善。

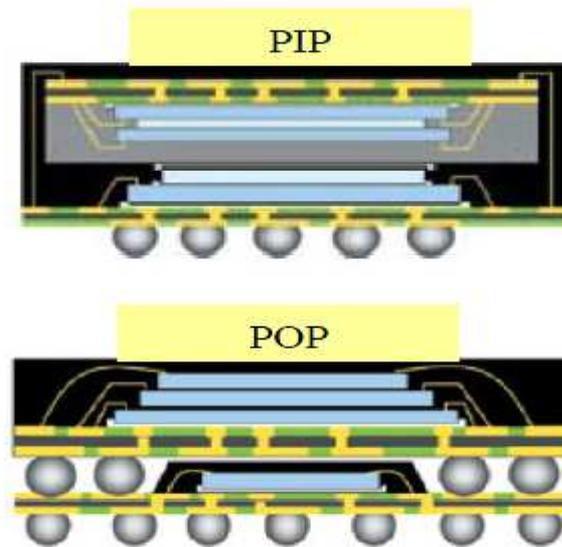


圖 3-7: 封裝堆疊 (資料來源: ChipPAC)

2. 晶片堆疊(Die Stacking)是將晶片以立體打線連接方式做電子訊號連結的構裝技術(如圖 3-8)。此技術優點是技術成熟、成本低，但因晶片構裝是利用打線方式來完成，故其打線數目受到晶片周長所限制，另外，雖然其訊號傳輸路徑較封裝堆疊來的短，但其效能亦可能因打線長度過長在高頻上的應用產生限制。

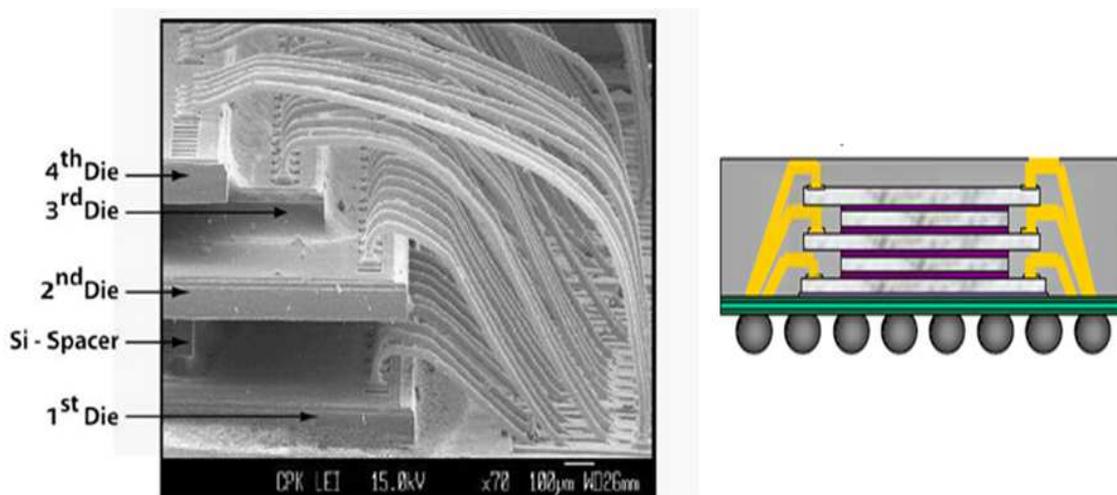


圖 3-8: 晶片堆疊 (資料來源: ChipPAC)

3. 以矽穿孔(Through-Silicon-Via; TSV)為互連之 3D IC 技術(如圖 3-9): 所謂矽穿孔技術是在晶圓上以蝕刻或雷射的方式鑽孔(Via)，再將導電材料如銅、多晶矽、鎢等填入 Via 形成導電的通道(即內部接合線路)，最後則將晶圓或晶粒薄化

再加以堆疊、結合(Bonding)，作為晶片間傳輸電訊號用之堆疊技術。業界泛指利用 TSV 連接晶粒的封裝稱為 3D IC[39]。TSV 技術可達到高密度構裝，同時讓連接線也可在晶片中間，並不侷限於晶片周圍，使得 IC 內部連接路徑更短，相對可使晶片間的傳輸速度更快、雜訊更小、效能更佳，尤其在 CPU 與快取記憶體，以及記憶卡應用中的 Flash 與 controller 間資料的傳輸上，更能突顯 TSV 的短距離內部接合路徑所帶來的效能優勢。TSV 技術非但避開上述兩種構裝技術缺點外，並可應用於異質晶片堆疊，如類比及數位、矽基及三五族、記憶體與射頻等。此外 3D IC 的構裝尺寸等同於晶粒尺寸，在強調多功能、小尺寸的可攜式電子產品領域，3D IC 的小型化特性更是市場導入的首要因素[40]。

由於具 TSV 的 3D IC 製程比 SiP 堆疊有更多的優點，也因此，許多著名的學術與研究機構，以及半導體大廠紛紛加入研發以 TSV 為基礎的 3D 晶片堆疊技術，而近幾年各型研討會都可看到許多有關 TSV 的相關論文，包括製程、可靠性分析、自動化設計、系統設計等，這也證明 TSV 製程已成為 3D 晶片堆疊技術的主流[41]。

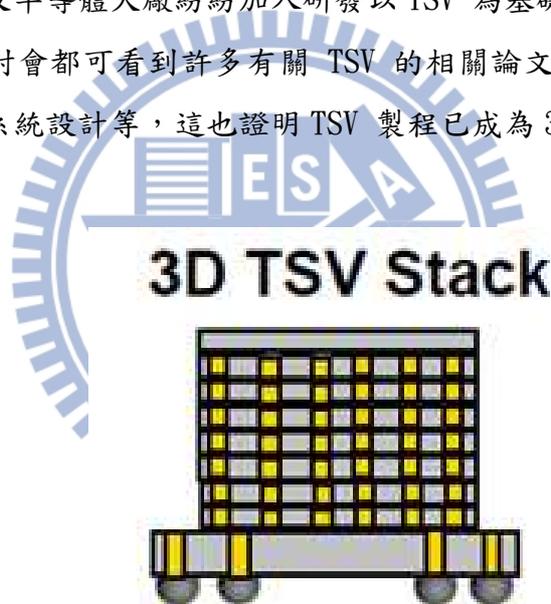


圖 3-9: 3D IC (資料來源：Yole)

3.4 3D IC 之製程技術

TSV 製程又可分成 Via-First、Via-Middle 及 Via-Last 製程(如圖 3-10)，這些製程是根據晶圓製作過程中，在哪一個階段才進行 TSV 製程來區分的，這三種方法所製作的 TSV 孔徑大小與長度有明顯的差異，應用範圍也不盡相同[40]：

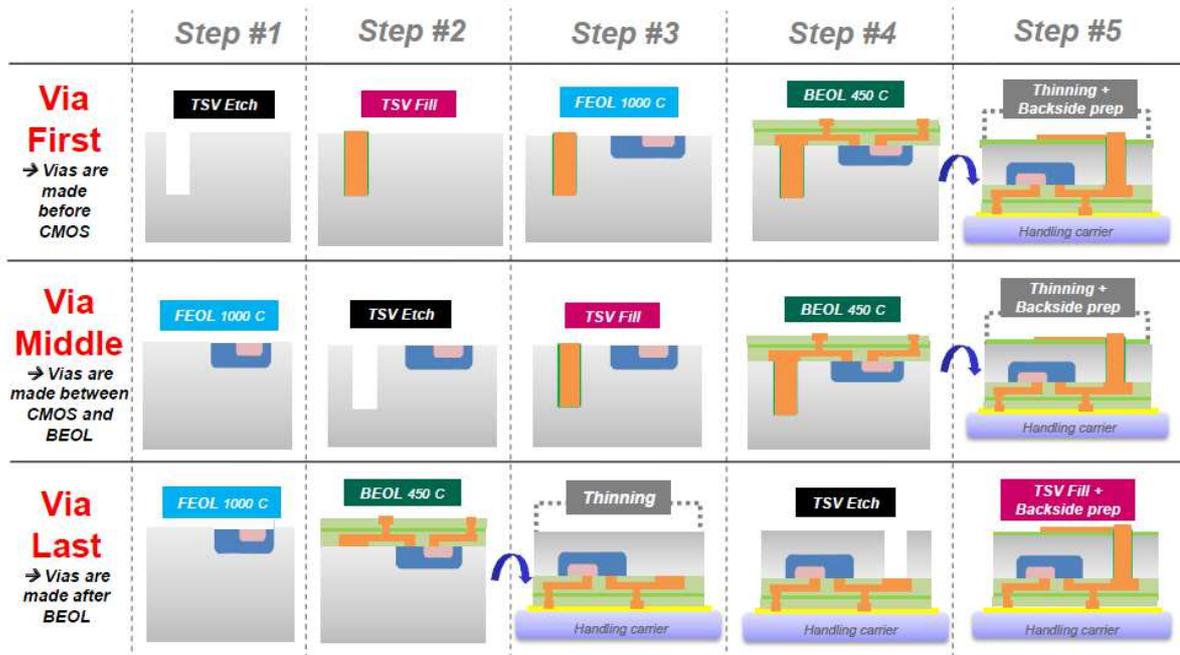


圖 3-10: TSV 製程技術 (資料來源: Yole)

1. Via-First 製程：在晶圓製作的一開始，尚未進入 NMOS/PMOS 等元件製造之前，先行在矽晶圓基材上形成 TSV 通道，並填入導電金屬，導電金屬材質目前以較能夠承受後 CMOS 高溫製程的多晶矽(Poly Silicon)為主要材料，待 TSV 完成後，然後再進行 CMOS 製程。

2. Via-Middle 製程：在 NMOS 與 PMOS 等元件的製程完成後，開始進行通孔形成製程並填入導電金屬，採用的導電金屬材料目前以導電特性較佳的銅(Copper; Cu)為多，而由於銅在填孔時容易產生底部未填滿但頂部已封口的現象，導致通道內出現孔洞(void)而失效，因此亦有部份廠商改以鎢(Tungsten; W)金屬為導電材料，對於高深寬比(Aspect Ratio)的應用，將是較適合的導電材質。比起 Via-Last 製程，Via-Middle 技術可以製作更小孔徑的 TSV，可提供密度非常高的垂直連線，大幅增加兩層晶片之間的資料傳輸頻寬，因此對於需要在各核心間傳輸大量資料的系統而言，此技術的表現優於 Via-Last。

綜合來說，採用 Via-First 或 Via-Middle 製程均需在傳統後段封裝製程前進行 Via Forming 與 Via Filling 的步驟，而此類製程的 Via Forming 不論是 Via-First 製程或是 Via-Middle 製程，均是透過黃光顯影與蝕刻步驟形成 Via，使用的製造設備多以深反應離子蝕刻(Deep Reactive Ion Etching; DRIE)為主，Via 孔徑(Diameter)多在 $20\ \mu\text{m}$ 以下。受限目前技術，Via 孔徑一般最小僅能做到 $2\sim 5\ \mu\text{m}$ ，技術發展持續朝 $1\ \mu\text{m}$ 的孔徑持續微縮，但相較於 CMOS 製程線寬，仍然屬於相對不精細；而 Via 深度則在 $15\ \mu\text{m}$ 至 $25\ \mu\text{m}$ 不等，深寬比則較 CMOS 製程為大。

3. Via-Last 製程：主要是在傳統後段封裝製程前以雷射鑽孔(Laser Drill)方式進行 Via Forming，再接以後續的 Via Filling 步驟，Via 孔徑則視應用產品的不同，一般分佈在 $15\ \mu\text{m}$ 至 $50\ \mu\text{m}$ 之間。由於孔徑規格較蝕刻製程孔徑為大，使得 I/O 間距(Pitch)無法達成太小的規格，也造成晶片所能容納的腳數有限，因而適用於如影像感測器(CMOS Image Sensor; CIS)或快閃記憶體(Flash)等較低腳數的應用產品。而由於 Via Last 製程是在半導體 CMOS 製程後才進行鑽孔的步驟，因此 Via 的深度需視晶圓薄化程度而定，以目前一般晶背研磨(Backside Grinding)厚度來說多介於 $150\sim 200\ \mu\text{m}$ 之間，根據國際半導體技術藍圖(International Technology Roadmap for Semiconductor; ITRS)的技術規劃，由於有越來越多堆疊構裝需求出現，為了符合終端消費者對電子產品的輕薄需求，2007 年已可達到 $50\ \mu\text{m}$ 的厚度量產，此外針對特別薄化需求的產品，則可進一步達到晶圓厚度 $20\ \mu\text{m}$ 的規格；而在深寬比的部分，則分佈在 2:1 至 10:1 不等，深寬比的範圍又較 Via First 製程來得寬。在 Via Filling 的導電金屬材料部分，廠商則多以銅為電極導通的材質。

Via-Last 製程是出晶圓廠後進行，因此許多封裝廠都投入人力與資源，進行 Via-Last 製程的研發。雖然 Via-Last 的缺點是 TSV 孔徑較大，使得 TSV 密度無法提高，但是對於不需要大量 TSV 傳輸資料，也不需要重新設計的影像感測器與記憶體晶片，Via-Last 是把現存晶片從 2D 封裝轉換成 3D IC 的有效解決方案。

除了在晶粒內部製造矽穿孔以連接不同功能的晶粒之外，也有透過矽中介層(Si Interposer)再搭配 TSV 技術將異質晶片結合的 3D IC。其結構也如同 Via-First、Via-Middle、Via-Last 等技術所製造的 3D IC 一樣，但因為是透過中介層來完成晶粒之間的立體堆疊與連接，所以各個功能晶片的訊號繞線佈局不必在晶片電路設計

的一開始就決定，相對的將各種不同功能晶片整合在同一顆 3D IC 的彈性應用空間也就大大的提高了。不過也因為在不同功能晶片之間多了一層中介層，晶片的厚度比起直接將矽穿孔製造在晶粒內部的 3D IC 要來得厚，相對上在體積微縮的效果上就打了折扣。

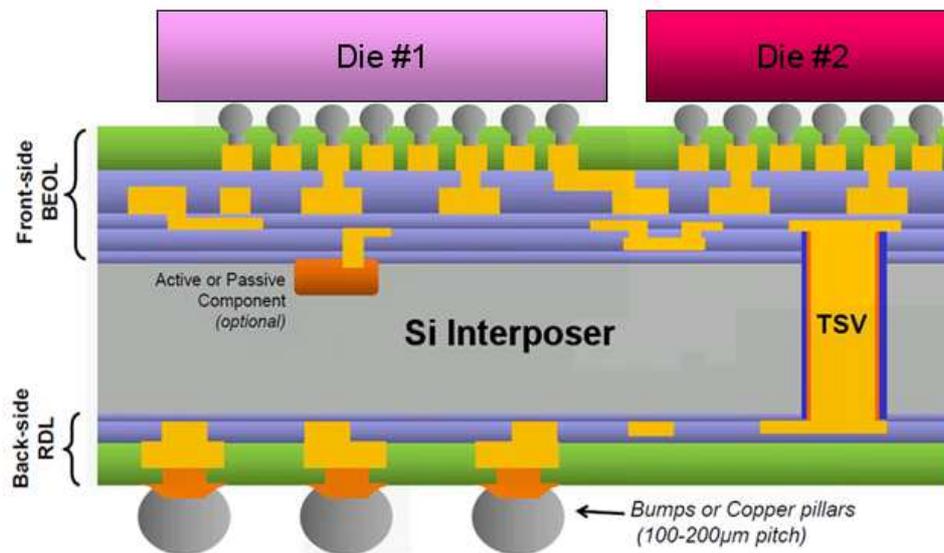


圖 3-11: Si Interposer with TSV structure (資料來源: Yole)



3.5 3D IC 的應用與市場概觀

不同的消費性產品也需要不同的 TSV 技術進行堆疊構裝。目前採用打線接合技術製造的立體堆疊 IC 產品已經普遍，其中又以記憶體應用為最大宗；至於採用矽穿孔電極技術的 3D IC 則涵蓋 CMOS 影像感測器、MEMS、無線通訊、堆疊記憶體、嵌入式記憶體、3D 邏輯 IC，以及發光二極體(LED)等應用領域，其中，又以 CMOS 影像感測器最早開始導入，而堆疊記憶體應用成長最為快速(圖 3-12)。

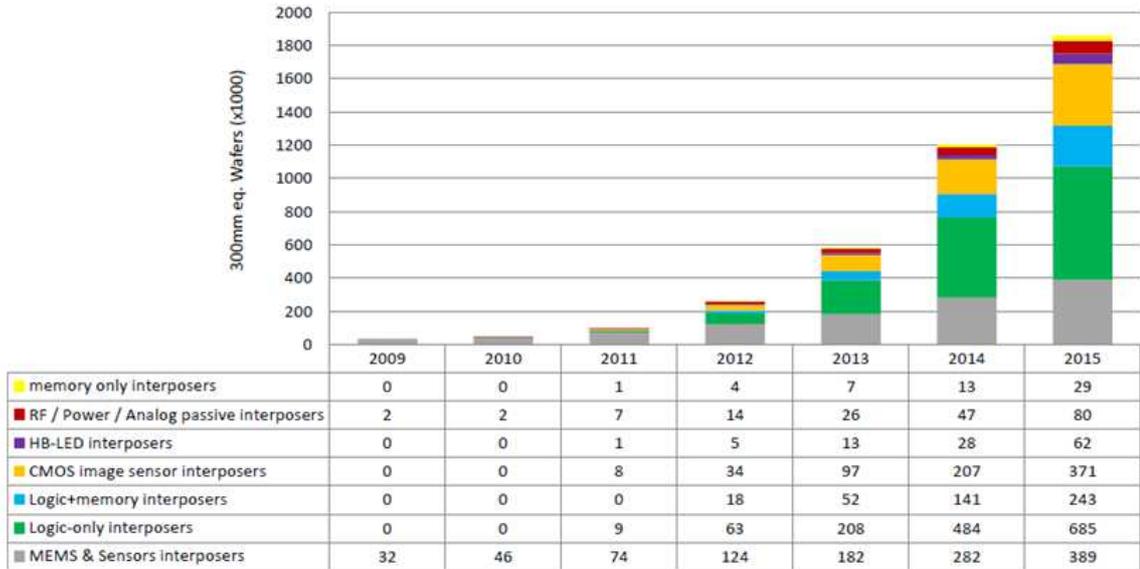


圖 3-12: 3D IC interposer 出貨晶圓數預估(資料來源：Yole)

以產品應用面來看，由於消費者對於手機與數位相機輕薄短小的特性需求日益重視，因此採用 TSV 技術進行相機模組的構裝達到小型化需求，則由於手機相機以及數位相機市場的普及帶動，以及相機模組內的元件結構以影像感測器與鏡頭為主，結構簡單且所需的 I/O 較低，對於 via 的孔徑要求約在 $50\mu\text{m}$ 上下，由後段封裝廠以雷射技術鑽孔進行 TSV 製程即可，相對較易達成量產，已為廠商積極切入的第一大重點市場。而國際主要的影像感測器廠商，如由 Micron 獨立出的 Aptina、STMicroelectronics、Samsung 等均陸續在近兩三年內發佈採用 TSV 技術進行影像感測模組構裝量產的消息，而與 Omnivision 關聯密切的精材科技(Xintec)更早在 2006 年便開始提供 TSV 技術的影像感測模組構裝量產服務。

而在記憶體堆疊的應用部分，雖然韓國的 Samsung 早在 2006 年便發佈其在 TSV 技術上的成果：WSP(Wafer-level Stack Process)，將 8 顆 2GB 的 NAND Flash 採用雷射鑽孔的 TSV 技術加以堆疊，總記憶體容量達 16GB，堆疊後的厚度僅 $560\mu\text{m}$ ，目

前市場對於大容量記憶體的 3D IC 應用需求仍不殷切。然隨著固態硬碟(Solid State Disk ; SSD)的採用於 2008 年逐漸浮現，TSV 構裝又可同步滿足低成本、高效能與小型化的需求，硬碟將不再是過去傳統又厚又重的形象呈現，以 TSV 進行 SSD 構裝的需求亦可望逐漸增加；唯 TSV 在此應用市場的成長速度，仍端視 SSD 與傳統 HDD 硬碟間的價格與效能角逐是否可為消費大眾所接受而定。但長期而言，隨著手機與可攜式電子產品對多媒體應用的日漸普及所帶來的小型化、大容量記憶體需求看漲，與國際 PC 大廠對 SSD 應用推動的決心，3D IC 技術的採用可望 2012 年後大幅躍進。



四、研究方法

本研究透過下列架構與流程進行研究。首先，經由文獻探討及專家訪談決定 3DIC 技術選擇時考量及評估的構面及準則，接著使用 DEMATEL 確認各構面與準則的相互影響關係，並以 ANP 衡量各因子之相互重要性。本章主要分四部份說明，第一部份為透過 DEMATEL 建構網路影響關係，第二部份是說明 DANP 的運用，第三部份闡述如何利用 VIKOR 進行方案績效評估，最後說明資料收集方法。

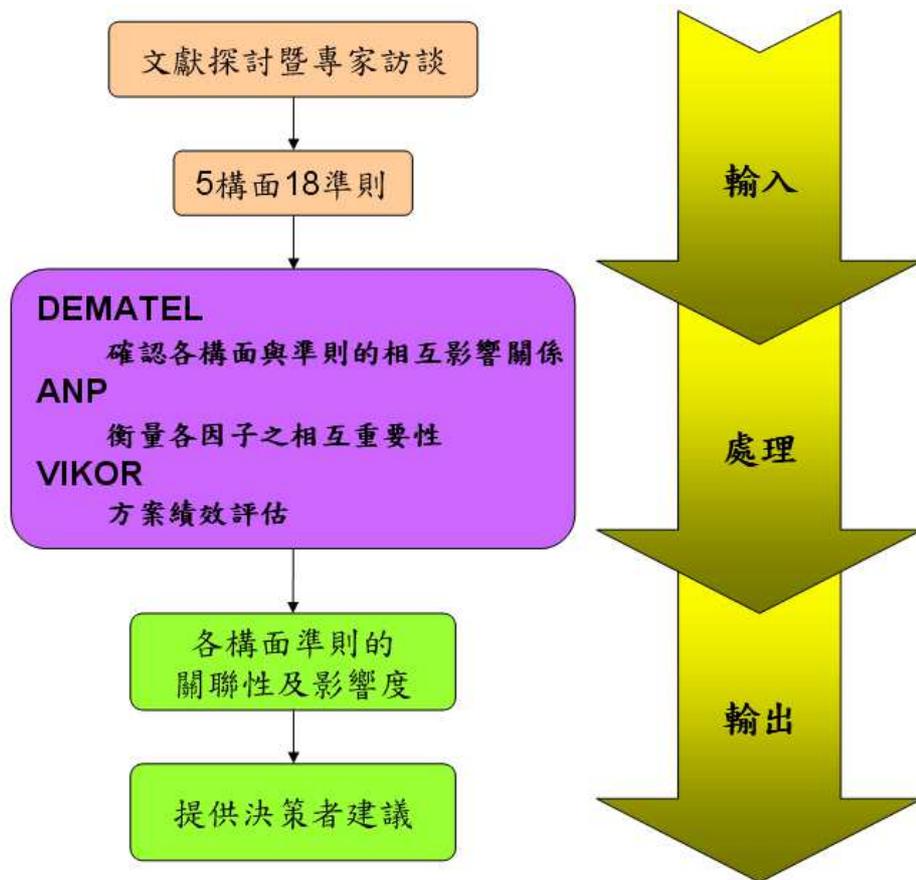


圖 4-1：研究架構及流程（資料來源：本研究整理）

4.1 DEMATEL 建立因果影響關係

DEMATEL 方法發源於 1971~1976 年，此方法被使用於研究一些複雜且困難的問題，如種族、饑餓、環保、能源等問題 [42]。此方法藉由觀察各個元素間兩兩影響的程度，並利用矩陣及相關數學理論計算出全體元素間的因果關係及影響的強度，

可有效的瞭解複雜的因果關係結構。Tzeng et al. (2007)指出 DEMATEL 可提升對特殊問題的瞭解、糾結問題的群組以及藉由層級結構來提供識別可行方案[29]。

DEMATEL 分成五個步驟，分別為(1) 確定模型評估尺度並建立初始直接關係矩陣(Direct relation matrix)；(2) 建立初始化直接關係矩陣(Initially direct-relation matrix)；(3) 計算正規化直接關係矩陣(Normalized direct-influence Matrix)；(4)計算總影響關係矩陣(Total influence- relation matrix)；(5)建立網絡關聯圖(Network relationship map, NRM)，詳細運算步驟與意義分別說明如下：

步驟一為確立模型評估尺度並建立初始直接關係矩陣(Direct relation matrix)：運用構面成對比較的方式來評估每位受訪者對構面影響程度的認知，並運用評估尺度 0、1、2、3、4 為衡量標準，依序代表無影響(0)、低影響(1)、中影響(2)、高影響(3)與極高影響關係(4)。每位受訪者將指標間相互影響性轉換為指標間直接影響程度，即獲得 $n \times n$ 非負值的直接影響矩陣(D)， d_{ij} 表示 i 指標影響 j 指標的影響程度， k 為第幾位受訪者。

$$D = d_{ij}^k \quad (1)$$

步驟二為建立初始化直接關係矩陣(Initially direct-relation matrix)：綜合每位受訪者直接關係矩陣(D)，即獲得單個 $n \times n$ 非負值初始直接影響矩陣(A)， a_{ij} 表示 i 指標影響 j 指標的影響程度。 h 為第幾位受訪者， H 為受訪者總數量， $h=1,2,\dots,H$ 。

$$A = [a_{ij}]_{n \times n} = \frac{1}{H} \sum_{h=1}^H [a_{ij}^h]_{n \times n} \quad (2)$$

步驟三為計算正規化直接關係矩陣(Normalized direct-influence Matrix)：初始直接關係矩陣(A)內指標間影響值，各行列加總並取最大值為正規化基準值為 m ，進行正規化動作，即獲得正規化後直接關係矩陣(X)，其各行列總值介於 0-1 間，最小為 0；最大為 1。

$$m = \max \left(\max_{1 \leq i \leq n} \sum_{j=1}^n a_{ij}, \max_{1 \leq j \leq n} \sum_{i=1}^n a_{ij} \right) \quad (3)$$

$$X = A/m \quad (4)$$

步驟四為計算總影響關係矩陣 (Total influence- relation matrix)：正規化直接關係矩陣(X)內指標間影響程度僅為單次影響，其指標會受到本身或它的直接性影響與間接性影響，並隨著幕次增加影響隨之減少，當受到 m 無限次影響將會達到穩定狀態即 $X^g = [0]_{n \times n}$ ，即獲得總影響關係矩陣(T)，其中 I 為單位矩陣。

$$T = X + X^2 + \dots + X^g = X(I - X)^{-1}, \text{ when } \lim_{g \rightarrow \infty} X^g = [0]_{n \times n} \quad (5)$$

$$T = X + X^2 + \dots + X^g$$

$$= X(I + X + X^2 + \dots + X^{g-1})(I - X)(I - X)^{-1}$$

$$= X(I - X^g)(I - X)^{-1}, \text{ then}$$

$$T = X(I - X)^{-1}, \text{ when } \lim_{g \rightarrow \infty} X^g = [0]_{n \times n}$$

步驟五為建立網絡關係圖 (Network relationship map, NRM)：總影響關係矩陣(T)內指標，行加總為影響程度(r)；列加總為被影響程度(d)， $r+d$ 代表指標總影響程度稱為中心度(prominence)， $r-d$ 代表指標性質及顯著程度稱為原因度(relation)，最後透過二維座標即獲得系統網絡關係圖[43][29]。這種將關係量化，可以有效簡化因素間關聯性的複雜程度[44]。

$$r = [r_i]_{n \times 1} = \left(\sum_{j=1}^n t_{ij} \right)_{n \times 1} \quad (6)$$

$$d = [d_j]_{1 \times n} = \left(\sum_{i=1}^n t_{ij} \right)'_{1 \times n} \quad (7)$$

$r+d$ 代表指標總影響程度稱為中心度(prominence)，亦有學者稱之為重要度，表示該準則影響與被影響的總程度，根據此值可以顯現該準則在所有問題中的

核心程度，其值愈大，代表該準則影響其他準則及被其他準則影響的程度愈大。 $r-d$ 代表指標性質及顯著程度稱為原因度(relation)，也有學者稱之為影響度，表示該準則影響與被影響的差異程度，根據此值可以顯現該準則在所有問題中歸屬的因果程度。如果為正值，則該準則偏向為原因類；如果為負值，則該準則偏向為結果類。

結構網路關係圖即系統結構模型，亦有人稱之為因果矩陣或因果圖，其圖示以 $r+d$ 為橫軸， $r-d$ 為縱軸，將準則座標值($r+d, r-d$)標記在座標圖型中，並結合正負向影響的符號構成網路結構圖。在圖型中的線條關係，如為單向箭頭，表示為單向的直接影響或間接影響；如為雙向箭頭，表示為雙向的直接影響或間接影響關係。運用圖形來表達的目的在於將複雜的因果關係簡化為易懂的視覺性結構，系統中的各項準則在圖形中描繪出彼此具方向性的關係連結，決策者可以根據該準則所在的位置判定該準則歸屬為原因類或結果類，以及該準則影響與被影響的程度，並依其歸屬的類別與影響程度，據以規劃適合的決策以解決問題。

由因果矩陣圖可以得知下列訊息：

(1) 若 $r-d$ 為負值，且 $r+d$ 值很小，即低原因度與低重要度的準則，表示該準則較具獨立性，在改善的選擇順位及其表現的效果較不明顯，不建議列為優先處理的對象。

(2) 若 $r-d$ 為正值，且 $r+d$ 值很小，即高原因度與低重要度的準則，表示該準則亦較具獨立性，在改善的選擇上不宜僅對此準則進行直接改善。

(3) 若 $r-d$ 為負值，而 $r+d$ 值很大，即低原因度與高重要度的準則，表示該準則為急需被解決的核心問題，在並非對此準則進行直接改善。

(4) 若 $r-d$ 為正值，且 $r+d$ 值很大，即高原因度與高重要度的準則，表示該準則為解決核心問題的驅動因子，應列為優先處理的對象。

經由 DEMATEL 分析後，可以找出兩類重要的因子，一為驅動因子，即 $r-d$ 為正值且 $r+d$ 值很大之高原因度與高重要度的準則；另一為結果因子，即 $r-d$ 為負值而 $r+d$ 值很大之低原因度但高重要度的準則。因此，決策者可以根據準則的因果關係及其相互間的影響程度，找出解決複雜系統中核心問題的驅動準則，並依所屬類別與影響程度來規劃適合的決策以解決問題。

4.2 DANP 評估準則的重要性

DANP 是以 DEMATEL 為基礎的 ANP 分析法，它結合了 DEMATEL 及 ANP 兩個方法，可以提供 DEMATEL 所建構的成對比較矩陣自我回饋的能力，因此，DANP 相較於傳統 ANP 在準則重要性的評估上不僅較能反映現實狀況[45]，在複雜度上也遠較於 ANP 來的低。DANP 提供了準則與構面之間影響程度的大小，透過分析影響程度的大小將可以了解哪個構面的影響力較大，單一構面下，哪個準則的影響力最大與影響整體環境的構面中哪個構面的影響程度最大。DANP 運算步驟為(1)建立未加權超級矩陣(the Unweighted supermatrix)；(2)建立加權超級矩陣(Weighted supermatrix)；(3)計算極限化超級矩陣(Limit supermatrix)。

步驟一為建立未加權超級矩陣 (the Unweighted supermatrix)：DEMATEL 總影響關係矩陣(T)為 DANP 未加權超級矩陣的輸入值。將準則的總響關係矩陣 T_c 如公式(8)正規化可獲得 T_c^α 如公式(9)，進行整體正規化可獲得公式(10)與(11)，最後透過公式(13)將整體進行轉置符合 ANP 運算方式如公式(12)。將構面的總響關係矩陣 T_D 如公式(14)，進行整體正規化及獲得 T_D^α 如公式(15)。

$$T_c = \begin{matrix} & \begin{matrix} D_1 & & D_j & & D_n \\ c_{11} \dots c_{1m_1} & \dots & c_{j1} \dots c_{jm_j} & \dots & c_{n1} \dots c_{nm_n} \end{matrix} \\ \begin{matrix} D_1 \\ \vdots \\ D_i \\ \vdots \\ D_n \end{matrix} & \begin{bmatrix} \begin{matrix} \epsilon_{i1} \\ \epsilon_{i2} \\ \vdots \\ \epsilon_{im_1} \end{matrix} & \begin{bmatrix} T_c^{11} & \dots & T_c^{1j} & \dots & T_c^{1n} \\ \vdots & & \vdots & & \vdots \\ \begin{matrix} \epsilon_{i1} \\ \epsilon_{i2} \\ \vdots \\ \epsilon_{im_i} \end{matrix} & \begin{bmatrix} T_c^{i1} & \dots & T_c^{ij} & \dots & T_c^{in} \\ \vdots & & \vdots & & \vdots \\ \begin{matrix} \epsilon_{n1} \\ \epsilon_{n2} \\ \vdots \\ \epsilon_{nm_n} \end{matrix} & \begin{bmatrix} T_c^{n1} & \dots & T_c^{nj} & \dots & T_c^{nn} \\ \vdots & & \vdots & & \vdots \end{bmatrix} \end{bmatrix} \end{matrix} \end{matrix} \quad (8)$$

$$T_c^\alpha = \begin{matrix} & \begin{matrix} D_1 & & D_j & & D_n \\ c_{11} \dots c_{1m_1} & \dots & c_{j1} \dots c_{jm_j} & \dots & c_{n1} \dots c_{nm_n} \end{matrix} \\ \begin{matrix} D_1 \\ \vdots \\ D_i \\ \vdots \\ D_n \end{matrix} & \begin{bmatrix} \begin{matrix} \epsilon_{i1} \\ \epsilon_{i2} \\ \vdots \\ \epsilon_{im_1} \end{matrix} & \begin{bmatrix} T_c^{\alpha 11} & \dots & T_c^{\alpha 1j} & \dots & T_c^{\alpha 1n} \\ \vdots & & \vdots & & \vdots \\ \begin{matrix} \epsilon_{i1} \\ \epsilon_{i2} \\ \vdots \\ \epsilon_{im_i} \end{matrix} & \begin{bmatrix} T_c^{\alpha i1} & \dots & T_c^{\alpha ij} & \dots & T_c^{\alpha in} \\ \vdots & & \vdots & & \vdots \\ \begin{matrix} \epsilon_{n1} \\ \epsilon_{n2} \\ \vdots \\ \epsilon_{nm_n} \end{matrix} & \begin{bmatrix} T_c^{\alpha n1} & \dots & T_c^{\alpha nj} & \dots & T_c^{\alpha nn} \\ \vdots & & \vdots & & \vdots \end{bmatrix} \end{bmatrix} \end{matrix} \end{matrix} \quad (9)$$

$$d_i^{11} = \sum_{j=1}^{m_1} t_{cj}^{11}, \quad i = 1, 2, \dots, m_1 \quad (10)$$

$$\begin{aligned}
\mathbf{T}_c^{\alpha 11} &= \begin{bmatrix} t_{c^{11}}^{11}/d_1^{11} & \cdots & t_{c^{1j}}^{11}/d_1^{11} & \cdots & t_{c^{1m_1}}^{11}/d_1^{11} \\ \vdots & & \vdots & & \vdots \\ t_{c^{i1}}^{11}/d_i^{11} & \cdots & t_{c^{ij}}^{11}/d_i^{11} & \cdots & t_{c^{im_1}}^{11}/d_i^{11} \\ \vdots & & \vdots & & \vdots \\ t_{c^{m_1 1}}^{11}/d_{n_h}^{11} & \cdots & t_{c^{m_1 j}}^{11}/d_{n_h}^{11} & \cdots & t_{c^{m_1 m_1}}^{11}/d_{n_h}^{11} \end{bmatrix} \\
&= \begin{bmatrix} t_{c^{11}}^{\alpha 11} & \cdots & t_{c^{1j}}^{\alpha 11} & \cdots & t_{c^{1m_1}}^{\alpha 11} \\ \vdots & & \vdots & & \vdots \\ t_{c^{i1}}^{\alpha 11} & \cdots & t_{c^{ij}}^{\alpha 11} & \cdots & t_{c^{im_1}}^{\alpha 11} \\ \vdots & & \vdots & & \vdots \\ t_{c^{m_1 1}}^{\alpha 11} & \cdots & t_{c^{m_1 j}}^{\alpha 11} & \cdots & t_{c^{m_1 m_1}}^{\alpha 11} \end{bmatrix}
\end{aligned} \tag{11}$$

$$\mathbf{W} = (\mathbf{T}_c^\alpha)' = \begin{matrix} & \begin{matrix} D_1 & & D_i & & D_n \\ c_{11} \dots c_{1m_1} & & c_{i1} \dots c_{im_i} & & c_{n1} \dots c_{nm_n} \end{matrix} \\ \begin{matrix} D_1 \\ \vdots \\ D_j \\ \vdots \\ D_n \end{matrix} & \begin{bmatrix} W^{11} & \cdots & W^{i1} & \cdots & W^{n1} \\ \vdots & & \vdots & & \vdots \\ W^{1j} & \cdots & W^{ij} & \cdots & W^{nj} \\ \vdots & & \vdots & & \vdots \\ W^{1n} & \cdots & W^{in} & \cdots & W^{nn} \end{bmatrix} \end{matrix} \tag{12}$$

$$\mathbf{W}^{11} = (\mathbf{T}^{11})' = \begin{matrix} c_{11} \\ \vdots \\ c_{1j} \\ \vdots \\ c_{1m_1} \end{matrix} \begin{bmatrix} t_{c^{11}}^{\alpha 11} & \cdots & t_{c^{i1}}^{\alpha 11} & \cdots & t_{c^{m_1 1}}^{\alpha 11} \\ \vdots & & \vdots & & \vdots \\ t_{c^{1j}}^{\alpha 11} & \cdots & t_{c^{ij}}^{\alpha 11} & \cdots & t_{c^{m_1 j}}^{\alpha 11} \\ \vdots & & \vdots & & \vdots \\ t_{c^{1m_1}}^{\alpha 11} & \cdots & t_{c^{im_1}}^{\alpha 11} & \cdots & t_{c^{m_1 m_1}}^{\alpha 11} \end{bmatrix} \tag{13}$$

$$\mathbf{T}_D = \begin{bmatrix} t_D^{11} & \cdots & t_D^{1j} & \cdots & t_D^{1n} \\ \vdots & & \vdots & & \vdots \\ t_D^{i1} & \cdots & t_D^{ij} & \cdots & t_D^{in} \\ \vdots & & \vdots & & \vdots \\ t_D^{n1} & \cdots & t_D^{nj} & \cdots & t_D^{nn} \end{bmatrix} \quad d_i = \sum_{j=1}^n t_D^{ij}, \quad i = 1, 2, \dots, n \tag{14}$$

$$\mathbf{T}_D^\alpha = \begin{bmatrix} t_D^{11}/d_1 & \cdots & t_D^{1j}/d_1 & \cdots & t_D^{1n}/d_1 \\ \vdots & & \vdots & & \vdots \\ t_D^{i1}/d_2 & \cdots & t_D^{ij}/d_2 & \cdots & t_D^{in}/d_2 \\ \vdots & & \vdots & & \vdots \\ t_D^{n1}/d_n & \cdots & t_D^{nj}/d_n & \cdots & t_D^{nn}/d_n \end{bmatrix} = \begin{bmatrix} t_D^{\alpha 11} & \cdots & t_D^{\alpha 1j} & \cdots & t_D^{\alpha 1n} \\ \vdots & & \vdots & & \vdots \\ t_D^{\alpha i1} & \cdots & t_D^{\alpha ij} & \cdots & t_D^{\alpha in} \\ \vdots & & \vdots & & \vdots \\ t_D^{\alpha n1} & \cdots & t_D^{\alpha nj} & \cdots & t_D^{\alpha nn} \end{bmatrix} \quad (15)$$

步驟二為建立加權超級矩陣 (Weighted supermatrix)：將已經建立好準則與構面的未加權矩陣 \mathbf{T}_c^α 與 \mathbf{T}_D^α 相乘為加權超級矩陣 \mathbf{W}^α 如公式(16)所示。

$$\mathbf{W}^\alpha = \mathbf{T}_D^\alpha \times \mathbf{W} = \begin{bmatrix} t_D^{\alpha 11} \times \mathbf{W}^{11} & \cdots & t_D^{\alpha i1} \times \mathbf{W}^{i1} & \cdots & t_D^{\alpha n1} \times \mathbf{W}^{n1} \\ \vdots & & \vdots & & \vdots \\ t_D^{\alpha 1j} \times \mathbf{W}^{1j} & \cdots & t_D^{\alpha ij} \times \mathbf{W}^{ij} & \cdots & t_D^{\alpha nj} \times \mathbf{W}^{nj} \\ \vdots & & \vdots & & \vdots \\ t_D^{\alpha 1n} \times \mathbf{W}^{1n} & \cdots & t_D^{\alpha in} \times \mathbf{W}^{in} & \cdots & t_D^{\alpha nn} \times \mathbf{W}^{nn} \end{bmatrix} \quad (16)$$

步驟三為計算極限化超級矩陣 (Limit supermatrix)：將加權超級矩陣透過多次自我相乘達到收斂且穩定，即取極限化超級矩陣

$$\mathbf{W}^\alpha = \lim_{z \rightarrow \infty} (\mathbf{W}^\alpha)^z$$

，亦求得各準則之權重並可以進行重要度排序，其中 \mathbf{W}^α 為加權超級矩陣， z 為自我相乘次數。

4.3 折衷排序法 (VlseKriterijumska Optimizacija I Kompromisno Resenje, VIKOR)

折衷排序法 (VlseKriterijumska Optimizacija I Kompromisno Resenje, VIKOR) 起源於 1998 年，Opricovic 針對 TOPSIS (Technique for Order Preference by Similarity to Ideal Solution) 加總方式的缺點提出改善 [46]。TOPSIS 與 VIKOR 都是多準則決策中最佳化妥協解方法，都是以方案接近理想解程度為方案排序基準，距離理想解越接近代表方案越佳；距離理想解越遠代表方案越差，但是 TOPSIS 的加總方式會讓對角線附近的方案無法反映距離理想解的實際接近程度，而 VIKOR 的加總方式是由折衷規劃法的 Lp-metric 發展 [47][48]，有效解決 TOPSIS 的問題，並且特色為提供最大化「群體效益」與最小化「反對意見的個別遺憾，所以妥協解可以被決策者接受」。目前許多學者亦將 VIKOR 應用在多個不同領域的議題，劉建浩、林榮禾、曾國雄 (2009) 結合模糊積分評估航空公司服務品質 [49]；林俊宏、曾國雄、任維廉 (2005) 利用 VIKOR 解決企業資源規劃評選問題 [50]；簡瑞瑩、黃士滔 (2007) 透過 VIKOR 協助選擇綠色螺絲供應商 [51]；陳志堅、唐麗英、王春和 (2007) 結合因素分析建立多變量管理程序 [52]。VIKOR 運算步驟為 (1) 建立理想解 (Positive-ideal solution) 與非理想解 (Negative-ideal solution)；(2) 建立方案整體效益與最大個別遺憾；(3) 建立方案綜合效益並排序。各步驟分述如下：

步驟 1: 設立理想值 f_j^* 與非理想值 f_j^-

$$f_j^* = \max_k f_{kj}, \quad j = 1, 2, \dots, n \quad (17)$$

$$f_j^- = \min_k f_{kj}, \quad j = 1, 2, \dots, n \quad (18)$$

步驟 2: 計算群體效果的平均數 S_k 與最大遺憾程度 Q_k .

$$S_k = \sum_{j=1}^n w_j r_{kj} = \sum_{j=1}^n w_j \left(\frac{|f_j^* - f_{kj}|}{(|f_j^* - f_j^-|)} \right) \quad (19)$$

$$Q_k = \max_j \{r_{kj} | j = 1, 2, \dots, n\} \quad (20)$$

步驟 3: 獲得理想指標 R_k 與排序結果

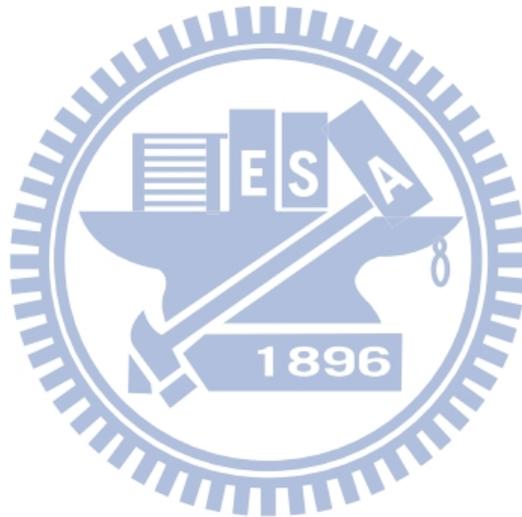
$$R = v(S_k - S^*) / (S^- - S^*) + (1-v)(Q_k - Q^*) / (Q^- - Q^*) \quad (21)$$

$$S^* = \min_k S_k$$

$$S^- = \max_k S_k$$

$$Q^* = \min_k Q_k$$

$$Q^- = \max_k Q_k$$



4.4 資料收集

3D IC 屬半導體產業之先進技術，此課題有其專業性、領域特殊性，故在專家挑選上，首先考慮為具備有該技術專業知識人士，具擁有豐富實務經驗人士亦為主要詢問對象，期讓本研究更加客觀及正確。且為提高問卷的有效性及可用性，大部分問卷發放或回收時亦與專家共同討論，確定專家充分明瞭該問卷之問題，並能正確回答問題。本研究總共發出 15 份問卷，回收有效問卷 12 份，茲將本文專家背景資料彙整說明如下：

參與評估之專家學歷分佈為博士共 1 人，佔全員比重百分之八；碩士共 9 人，佔全員比重百分之七十五；學士共 2 人，佔全員比重百分之十五。評估者學歷分佈狀況如圖 4-2。

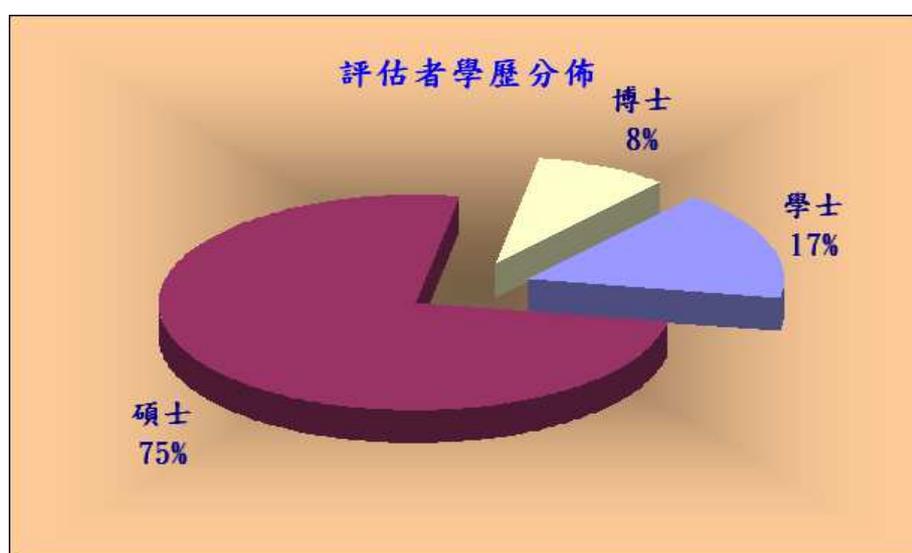


圖 4-2: 評估者學歷分佈(資料來源：本研究整理)

參與評估之專家其專長領域分佈為 IC 製程共 7 人，佔全員比重百分之五十八；IC 封裝測試共 5 人，佔全員比重百分之四十二。評估者專長領域分佈狀況如圖 4-3。

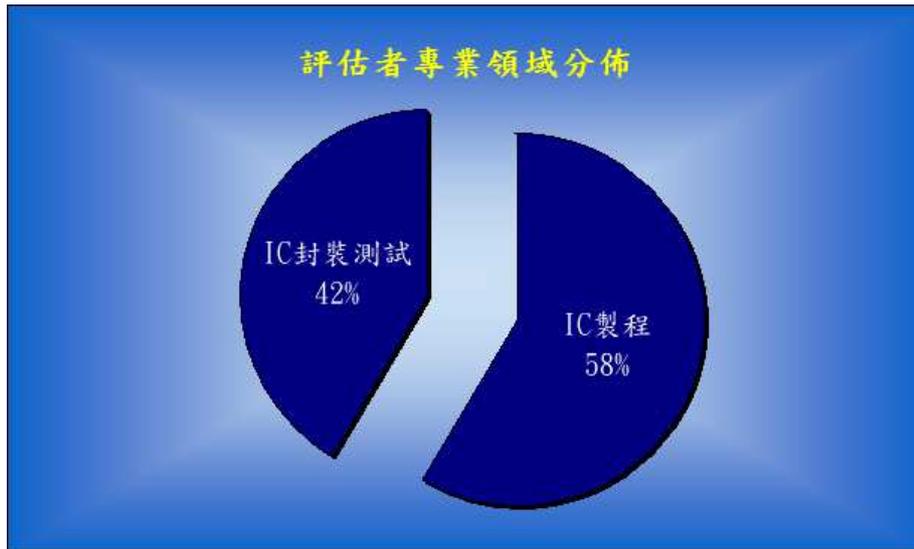


圖 4-3: 評估者專長領域分佈 (資料來源: 本研究整理)

參與評估之專家其工作年資分佈為 10 年以上共 8 人，佔全員比重百分之六十八；5~10 年共 1 人，佔全員比重百分之八；4~5 年共 1 人，佔全員比重百分之八；3~4 年共 1 人，佔全員比重百分之八；2 年以內共 1 人，佔全員比重百分之八。評估者工作年資分佈狀況如圖 4-4。

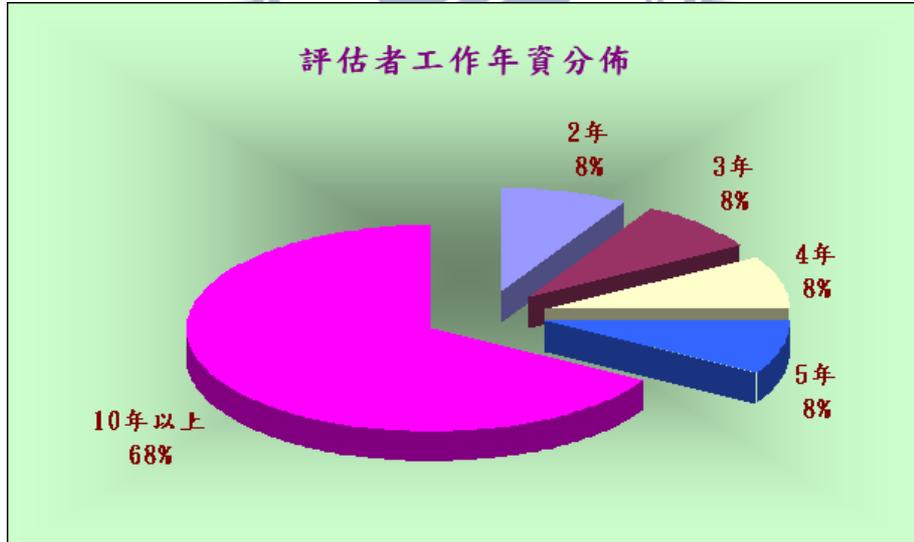


圖 4-4: 評估者工作年資分佈 (資料來源: 本研究整理)

五、資料分析與討論

5.1 資料背景

本研究透過相關文獻之研究及專家訪談法，將影響 3D IC 技術選擇因素分為 5 個構面共 18 項準則來探討，經由問卷調查後作量化及比較分析其相關聯性。本研究探討 3D IC 之技術選擇，依據所建立之研究流程進行數據分析，利用發放專家 DEMATEL 問卷調查，此課題有其專業性、領域特殊性，參與問卷填之評估者均為半導體產業之專業人員，且有百分之六十八擁有十年以上之專業經驗。

5.2 3D IC 技術選擇系統結構模型及構面準則間影響關聯分析

5.2.1 數據分析

利用 DEMATEL 確認 3D IC 技術選擇系統結構模型並計算得出總關係矩陣 T(如表 5-1 所示)，由總關係矩陣可以了解，每一個構面之間都有其相互關係，由表 5-1 顯示其影響程度如下：

3D IC 技術選擇共有 5 項構面分別為 C1「技術效益」、C2「商業效益」、C3「產品特徵需求」、C4「產業鏈完整度」及 C5「風險性」。構面指標中心度(r+d)總影響程度偏高較為顯著為 C4「產業鏈完整度」及 C1「技術效益」；原因度(r-d)影響性質較為顯著為 C1「技術效益」；被影響性質較為顯著為 C5「風險性」。詳細數據如表 5-1。

表 5-1:各構面指標的總影響與相對影響效果

構面指標	影響程度 (r)	被影響程度 (d)	中心度 (r+d)	原因度 (r-d)
C1: 技術效益	2.19	2.00	4.20	0.19
C2: 商業效益	2.01	2.16	4.17	-0.15
C3: 產品特徵需求	1.99	1.89	3.88	0.10
C4: 產業鏈完整度	2.13	2.09	4.22	0.05
C5: 風險性	1.99	2.18	4.18	-0.19

資料來源：本研究整理

3D IC 技術選擇共有 18 項準則分別為 C11「技術專利性」、C12「技術延續性」、C13「技術應用性」、C14「技術擴展性」、C21「投資回收力」、C22「市佔提升力」、C31「成本降低力」、C32「產品效能提升度」、C33「副作用程度」、C34「異質晶片整合度」、C41「相關技術資源可獲得性」、C42「技術標準規格完整度」、C43「上下游技術成熟度」、C44「技術開發競爭度」、C51「技術風險」、C52「產品化風險」、C53「協力風險」及 C54「資金風險」。中心度(r+d) 總影響程度偏高較為顯著為 C43「上下游技術成熟度」；總影響程度偏低較為顯著為 C33「副作用程度」；原因度(r-d)影響性質較為顯著為 C34「異質晶片整合度」，被影響性質較為顯著為 C54「資金風險」。詳細數據如表 5-2。

表 5-2: 各準則指標的總影響與相對影響效果

準則指標	影響程度 (r)	被影響程度 (d)	中心度 (r+d)	原因度 (r-d)
C11: 技術專利性	7.46	6.51	13.96	0.95
C12: 技術延續性	7.95	7.37	15.33	0.58
C13: 技術應用性	8.29	7.52	15.81	0.77
C14: 技術擴展性	7.82	7.47	15.29	0.35
C21: 投資回收力	6.99	7.91	14.90	-0.92
C22: 市佔提升力	7.50	7.74	15.24	-0.25
C31: 成本降低力	7.06	7.68	14.75	-0.62
C32: 產品效能提升度	7.13	6.77	13.90	0.36
C33: 副作用程度	6.18	5.91	12.09	0.28
C34: 異質晶片整合度	8.13	6.94	15.08	1.19
C41: 相關技術資源可獲得性	7.42	7.15	14.57	0.27
C42: 技術標準規格完整度	7.14	6.87	14.01	0.27
C43: 上下游技術成熟度	8.33	7.86	16.19	0.48
C44: 技術開發競爭度	7.64	8.37	16.02	-0.73
C51: 技術風險	7.52	8.10	15.61	-0.58
C52: 產品化風險	7.49	7.98	15.47	-0.49
C53: 協力風險	6.81	7.70	14.51	-0.89
C54: 資金風險	6.74	7.75	14.48	-1.01
資料來源：本研究整理				

5.2.2 構面層級系統結構模型分析

依據 DEMATEL 所產生的中心度及原因度為橫軸及縱軸可以繪製影響關聯圖(或稱因果矩陣圖)，由影響關聯圖可清楚判斷各元素之間的因果關係及相互影響性。3D IC 技術選擇評估之構面影響關聯圖如圖 5-1 所示。

首先由圖 5-1 中兩兩比較各構面之間的關聯性可以了解，當構面 C4「產業鏈完整度」產生變動時，其直接影響到構面 C1「技術效益」、C2「商業效益」及 C5「風險性」。而以整體影響度來看，C4「產業鏈完整度」其影整體響度最高，因此構面 C4「產業鏈完整度」成為 3D IC 技術選擇系統結構模型中之最主要影響因子，對於 3D IC 之技術選擇決策來說，是最關鍵重要因素。由此可知，企業若欲評估 3D IC 之技術選擇並進行決策，在 5 個構面中，應重視構面 C4「產業鏈完整度」的現況及發展性，而此構面也將影響其他 3 個構面的評估。

當構面 C1「技術效益」層面產生變動，可能會直接影響到構面 C4「產業鏈完整度」、C2「商業效益」及 C5「風險性」。而以整體影響度來看，C1「技術效益」亦屬於高影響度因子，因此構面 C1「技術效益」在 3D IC 技術選擇系統結構模型中亦是主要影響因子。進一步來看，C1「技術效益」之整體影響度遠高於 C3「產品特徵需求」，由此可以得知 3D IC 之發展應為技術驅動之模式，即技術發展將領導 3D IC 產業的未來動向。

另外在關聯圖中亦可見 C3「產品特徵需求」會影響 C2「商業效益」及 C5「風險性」，但它不受其他構面的影響，這表示產品需求構面在 3D IC 的技術選擇中也是一個重要的決定因子，因為沒有其他的構面可以含蓋它的影響性，但它的整體影響度為 5 個構面中最小者，因此在評估模型中屬於必要但影響力較小者。

C2「商業效益」受到 C1「技術效益」、C4「產業鏈完整度」及 C3「產品特徵需求」等 3 個構面的影響，在模型中是屬於受影響的因子。雖然其整體影響度頗高，即使在原始評估中其表現不佳，但其他構面的表現或可對這個構面的表現有補償的效果。

從關聯圖中另可看出 C5「風險性」的特性。C5「風險性」沒有影響其他 4 個構面，反而完全受到其他 4 個構面的影響，因此在評估模型中，若是出現風險偏高的狀況，可以再看其他 4 個構面的狀況，以了解真正造成方案高風險的原因，並在訂定決策時採取相對應措施以降低風險。

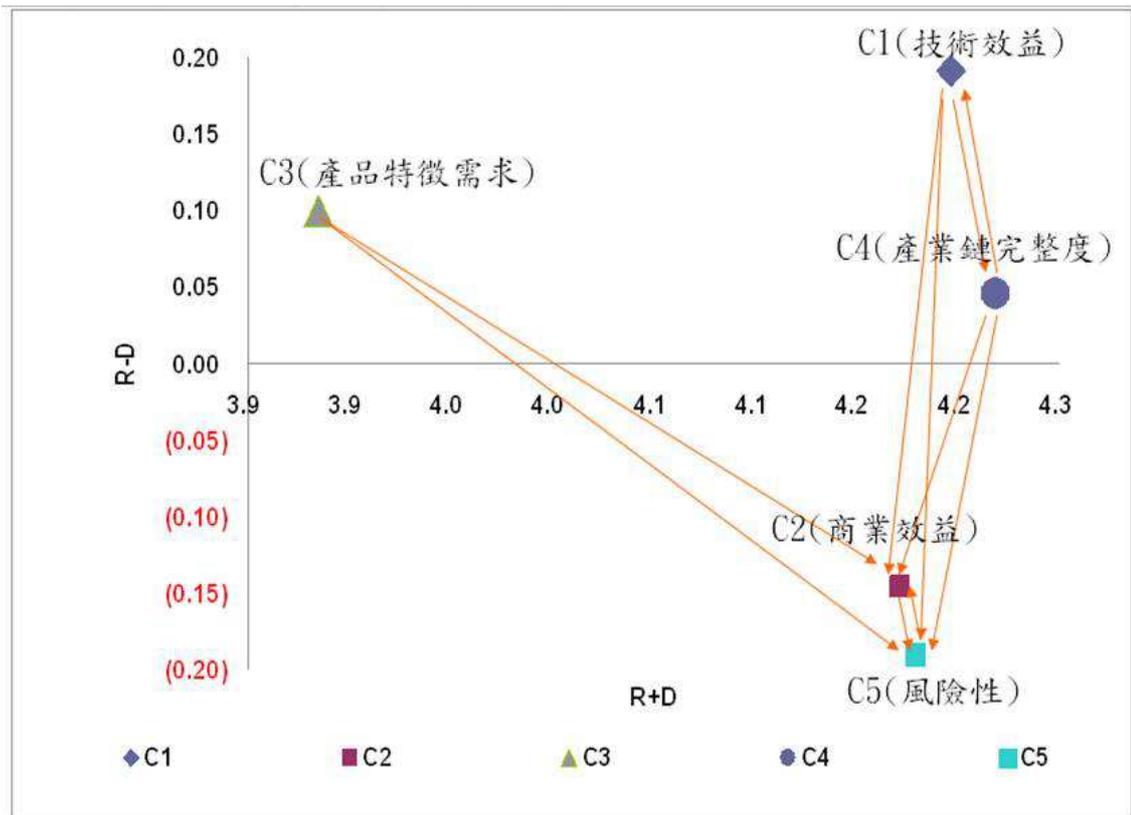


圖 5-1: 構面影響關聯圖(資料來源: 本研究整理)

5.2.3 準則層級系統結構模型分析

在得知各個構面的影響關聯性之後，可以用相同的方法探討各構面中之準則影響關聯性，如此便可得知各構面之中哪些準則是處於重要及關鍵地位，在進行 3D IC 技術選擇決策時應該更加注意評估。

技術效益構面部分包含了 C11「技術專利性」、C12「技術延續性」、C13「技術應用性」及 C14「技術擴展性」等 4 個準則，構面內各準則間之影響關聯圖如圖 5-2 所示。由關聯圖中可以清楚看到，在技術效益構面中，準則 C11「技術專利性」影響了其他 3 個準則，是最源頭的影響因子。但若以整體影響度來看，則以 C13「技術應用性」為最重要，因為它影響了其他 2 項因子，且其中心度指標為最大。簡而言之，針對此一構面，受訪專家大部分認為，技術是否取得專利對於技術的後續開發以及產品應用層面有著顯著的影響，但該項技術是否可以廣泛地應用到不同的產品將是決定技術選擇的關鍵。

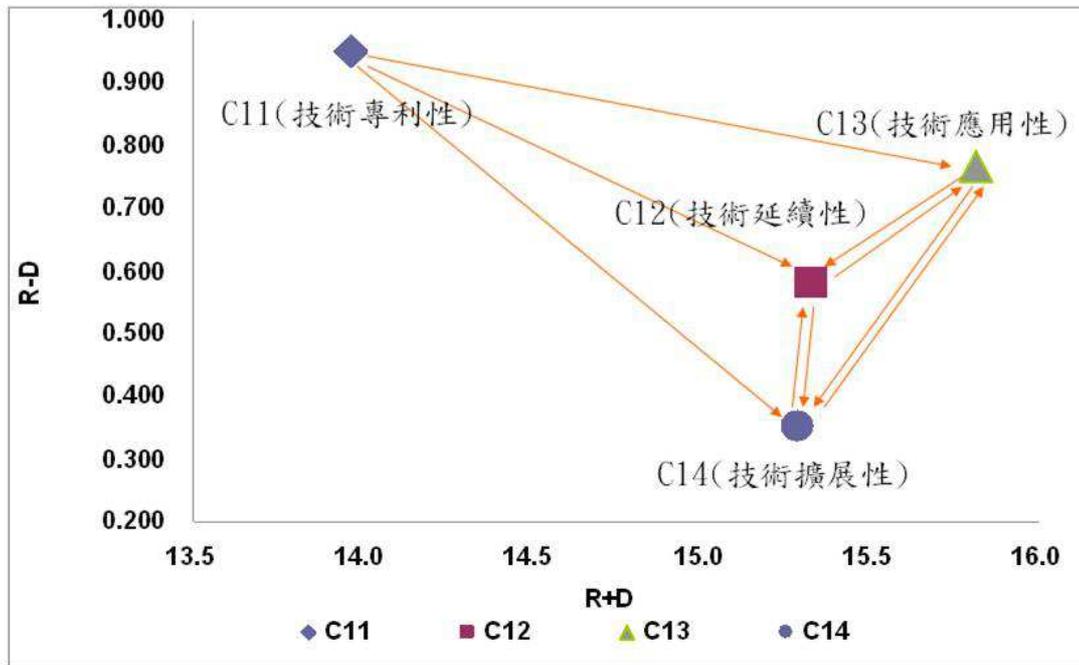


圖 5-2: 技術效益構面內各準則影響關聯圖(資料來源：本研究整理)

商業效益構面部分包含了C21「投資回收力」與C22「市佔提升力」等2個準則，構面內各準則間之影響關聯圖如圖 5-3 所示。關聯圖中顯示，在商業效益構面中，C21「投資回收力」與C22「市佔提升力」兩個準則相互有影響，但以市佔提升力的影響度較大也較重要。受訪專家大部分認為市佔提升力可以影響投資的回收程度，市佔提升力愈強，則投資回收力的能力愈好。

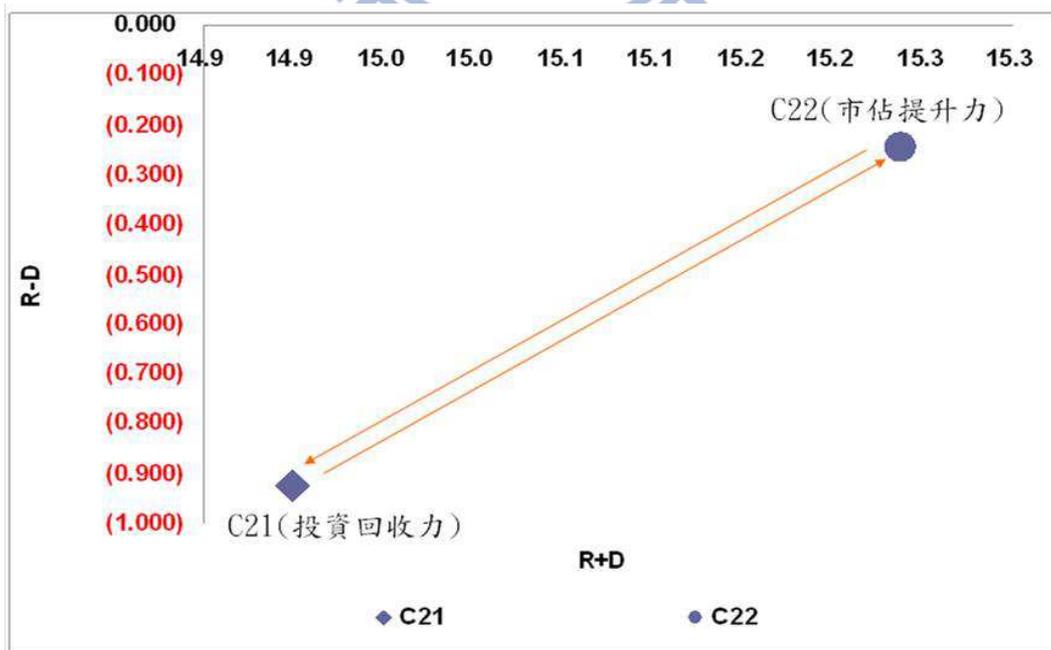


圖 5-3: 商業效益構面內各準則影響關聯圖(資料來源：本研究整理)

產品特徵需求構面中包含了 C31「成本降低力」、C32「產品效能提升度」、C33「副作用程度」及 C34「異質晶片整合度」等 4 個準則，構面內各準則間之影響關聯圖如圖 5-4 所示。由關聯圖中看到，在產品特徵需求構面中，準則 C34「異質晶片整合度」直接影響了其他 3 個準則，且其整體影響度也最大，因此為關鍵因子。針對此一構面，受訪專家一致認同將不同功能晶片整合在同一個 3D IC 之中可以顯著提升產品效能及降低製造成本，雖然也會造成的不良副作用，但不良副作用的整體影響度不如其他準則，在 3D IC 技術選擇時的考慮上相對較不重要。

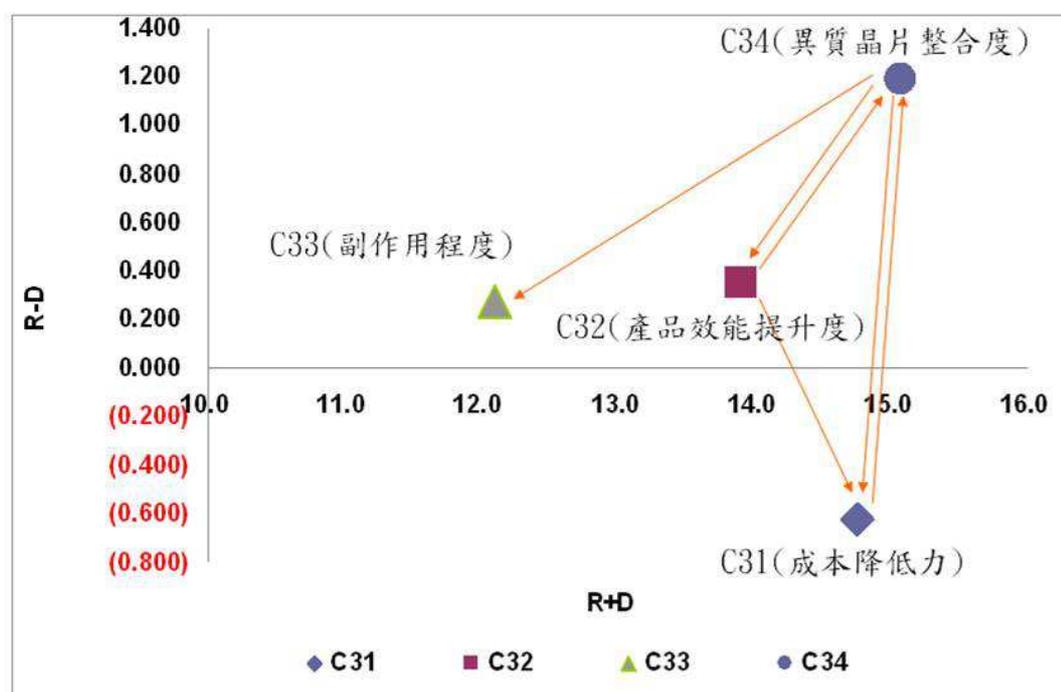


圖 5-4: 產品特徵需求構面內各準則影響關聯圖(資料來源：本研究整理)

產業鏈完整度構面中包含了 C41「相關技術資源可獲得性」、C42「技術標準規格完整度」、C43「上下游技術成熟度」及 C44「技術開發競爭度」等 4 個準則，構面內各準則間之影響關聯圖如圖 5-5 所示。由關聯圖中看到，在產業鏈完整度構面中，準則 C43「上下游技術成熟度」直接影響其他 3 個準則，且其整體影響度也最大，因此為關鍵因子。針對此構面，受訪專家認為上下游技術成熟度愈高，技術標準規格愈完整，且愈可獲得相關技術的資源。但另一方面，在上下游技術均已成熟的狀況之下，競爭者將會明顯增多，競爭狀況勢必更為激烈。

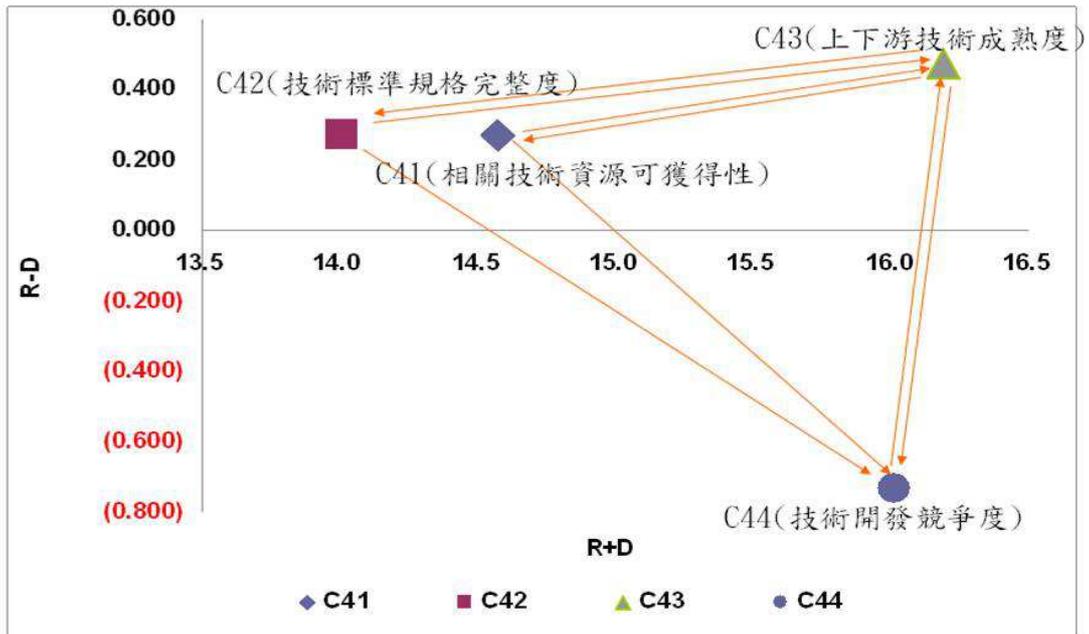


圖 5-5: 產業鏈完整度構面內各準則影響關聯圖(資料來源：本研究整理)

風險性構面中包含了 C51「技術風險」、C52「產品化風險」、C53「協力風險」及 C54「資金風險」等 4 個準則，構面內各準則間之影響關聯圖如圖 5-6 所示。關聯圖中顯示，在風險性構面中，準則 C51「技術風險」與 C52「產品化風險」最為關鍵。當技術開發不順利，技術風險將升高，此時影響到產品無法生產(產品化風險升高)、協力廠商卻步(協力風險升高)，且資金提供者必將考慮是不是再持續投入資金(資金風險升高)。

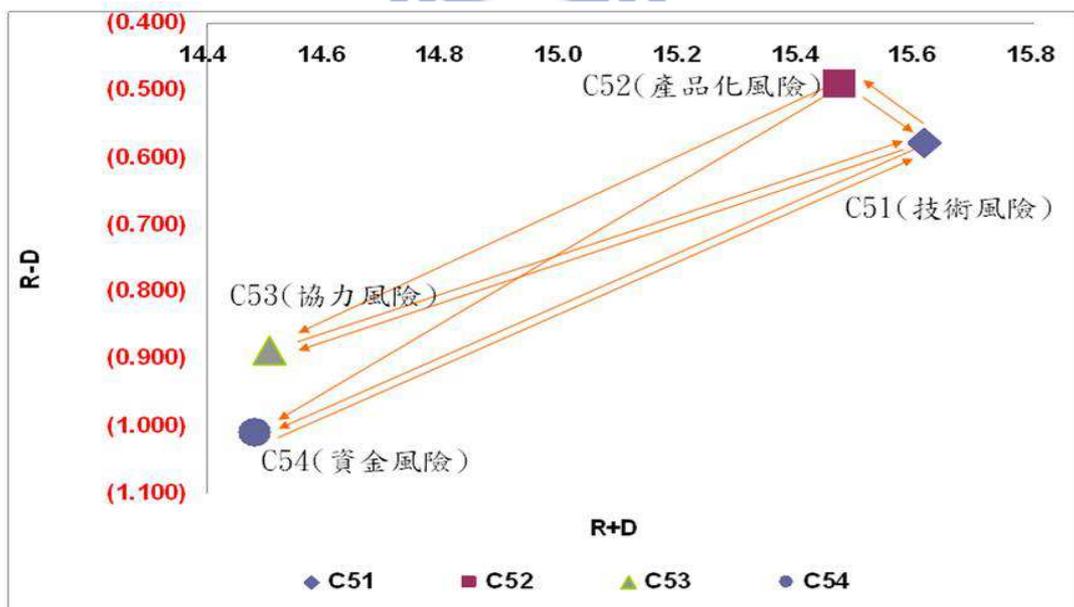


圖 5-6: 風險性構面內各準則影響關聯圖(資料來源：本研究整理)

從以上的資料分析與討論中可以知道，3D IC 技術的考量構面中以「產業鏈完整度」為最關鍵的因素，「產業鏈完整度」直接影響到「技術效益」、「商業效益」及「風險性」等 3 個構面。企業若欲評估 3D IC 之技術選擇並進行決策，在 5 個構面中，應特別注重「產業鏈完整度」的現況及發展性。因為 3D IC 的技術與設計、製造及封測領域都息息相關，3D IC 之關鍵技術 TSV 目前仍屬於較為昂貴的技術，需 IC 設計、EDA、IC 製造、IC 封測以及設備、材料廠共同研發，決非單一次產業可獨立發展完成。而在「產業鏈完整度」構面的準則中則以「上下游技術成熟度」最為關鍵。上下游技術成熟度愈高，愈可獲得相關技術的資源，技術的發展也會更加速。另外，3D IC 的最終目的是希望達到異質間晶片的高度整合，但各個不同廠商產出的晶片若要彼此堆疊，有無產業共通標準或是協定就非常重要，當上下游技術成熟度愈高愈有可能建立共通的技術標準規格。但上下游技術愈成熟，競爭者亦將明顯增多，競爭狀況將更為激烈。



5.3 結合 DEMATEL 與 ANP 找出權重

DEMATEL 僅能計算系統因素間關聯性與因素性質顯著性，但無法得知系統因素重要性程度，因此採用 DANP 計算系統因素被影響程度之重要性程度。在此分別匯整 5 項構面指標佔整體重要性程度(權重值)及 18 項指標在各構面內的重要性程度與排序(如表 5-3)。3D IC 技術選擇評估 18 項準則指標佔整體重要性程度及排序(如表 5-4)。由表中數據得知，構面指標中以「風險性」最受到重視，「商業效益」受重視的程度排序為第二，其次為「產業鏈完整度」，再其次為「技術效益」，最後是「產品特徵需求」。準則指標中則以「投資回收力」及「市佔提升力」分佔第一、二名，受重視的程度排序最後則為「副作用程度」。

表 5-3:各構面準則重要性程度(權重值)及排序

構面指標	權重值	重要性 排序	準則指標	權重值	重要性 排序
C1: 技術效益	0.194	4	C11: 技術專利性	0.225	4
			C12: 技術延續性	0.255	3
			C13: 技術應用性	0.261	1
			C14: 技術擴展性	0.259	2
C2: 商業效益	0.209	2	C21: 投資回收力	0.505	1
			C22: 市佔提升力	0.495	2
C3: 產品特徵需求	0.183	5	C31: 成本降低力	0.282	1
			C32: 產品效能提升度	0.248	3
			C33: 副作用程度	0.216	4
			C34: 異質晶片整合度	0.254	2
C4: 產業鏈完整度	0.202	3	C41: 相關技術資源可獲得性	0.236	3
			C42: 技術標準規格完整度	0.227	4
			C43: 上下游技術成熟度	0.260	2
			C44: 技術開發競爭度	0.277	1
C5: 風險性	0.211	1	C51: 技術風險	0.256	1
			C52: 產品化風險	0.253	2
			C53: 協力風險	0.244	4
			C54: 資金風險	0.246	3

資料來源：本研究整理

表 5-4:各準則整體重要性程度(權重值)及排序

準則指標	權重值	重要性排序
C11: 技術專利性	0.0437	17
C12: 技術延續性	0.0495	12
C13: 技術應用性	0.0506	10
C14: 技術擴展性	0.0502	11
C21: 投資回收力	0.1055	1
C22: 市佔提升力	0.1033	2
C31: 成本降低力	0.0517	8
C32: 產品效能提升度	0.0455	16
C33: 副作用程度	0.0396	18
C34: 異質晶片整合度	0.0466	14
C41: 相關技術資源可獲得性	0.0478	13
C42: 技術標準規格完整度	0.0459	15
C43: 上下游技術成熟度	0.0526	6
C44: 技術開發競爭度	0.0560	3
C51: 技術風險	0.0542	4
C52: 產品化風險	0.0536	5
C53: 協力風險	0.0517	9
C54: 資金風險	0.0520	7
資料來源: 本研究整理		



5.4 運用 VIKOR 評估適選方案績效

本研究將建立的系統模型結合 VIKOR 進行 3D IC 產業整體績效及個別 3D IC 技術績效的評估分析，依據構面與準則分別評定在目前產業的整體績效值與理想值之差距指標(GAP)，差距值越大 GAP 值越小。

目前台灣 3D IC 產業評定其 GAP 指標值如表 5-5。以構面角度來看，績效表現最佳為 C1「技術效益」，其次為 C5「風險性」、C3「產品特徵需求」及 C4「產業鏈完整度」，而以 C2「商業效益」之績效表現最差。其原因為台灣有完整的半導體產業鏈，不論是晶圓製造或封裝測試均為處於全球領先地位，因此在技術效益中，無論是技術的延續性或是技術的應用性均可基於目前台灣半導體產業的基礎而再擴展，對於開發下一代 3D IC 之先進技術確實佔有一定的優勢。

從整體準則指標分析可以發現，3D IC 產業在 C33「副作用程度」績效表現為最差，造成此現象的原因為目前 3D IC 為了達到微小化的需求，當多個晶片堆疊時，會造成兩個重大的問題，一是因為可運用的電源接腳減少，若與相同設計之 2D 晶片相比，每對電源都需要負擔更高的電流，其次是可散熱面積的減少，造成每一層晶片的溫度急遽上升，尤其是離散熱器最遠的晶片。由先前 DEMATEL 因果矩陣圖中得知，C33「副作用程度」受到 C34「異質晶片整合度」的影響，因此若要改善目前的績效瓶頸，則整異質晶片整合度必需有所取捨。另外，3D IC 產業準則績效表現次差者為 C42「技術標準規格完整度」，這是因為目前 3D IC 的開發仍處於技術生命週期的萌芽階段，各研發單位都有自己獨立研發的 TSV 製程，而不同的 TSV 製程有不同的 TSV 特性，包括電性、導熱性、TSV 結構與 TSV 的孔徑。而 TSV 的特性會影響設計時的許多選擇，如：製程、堆疊層數、單層可用之 TSV 數等。正因為各家技術不同，造成了在設計上的困擾，例如，當 3D IC 內的各層晶片是來自不同廠商時，會面臨到整合上問題。

表 5-5: 3D IC 產業整體績效 GAP 指標

準則指標	整體GAP	構面GAP	準則GAP	排序
C1: 技術效益	-	0.553	-	1
C11: 技術專利性	0.023	-	0.217	4
C12: 技術延續性	0.026	-	0.246	3
C13: 技術應用性	0.030	-	0.275	1
C14: 技術擴展性	0.028	-	0.261	2
C2: 商業效益	-	0.445	-	5
C21: 投資回收力	0.043		0.463	2
C22: 市佔提升力	0.050		0.537	1
C3: 產品特徵需求	-	0.510	-	3
C31: 成本降低力	0.021	-	0.226	3
C32: 產品效能提升度	0.027	-	0.288	1
C33: 副作用程度	0.019	-	0.208	4
C34: 異質晶片整合度	0.026	-	0.278	2
C4: 產業鏈完整度	-	0.481	-	4
C41: 相關技術資源可獲得性	0.025	-	0.254	2
C42: 技術標準規格完整度	0.020	-	0.205	4
C43: 上下游技術成熟度	0.022	-	0.230	3
C44: 技術開發競爭度	0.030	-	0.312	1
C5: 風險性	-	0.524	-	2
C51: 技術風險	0.028	-	0.248	3
C52: 產品化風險	0.026	-	0.234	4
C53: 協力風險	0.028	-	0.252	2
C54: 資金風險	0.029	-	0.266	1
資料來源: 本研究整理				

在個別技術方案的績效評估中，首先來看 Via-First 技術的結果。針對其績效評定其 GAP 指標值如表 5-6。以構面角度來看，績效表現最佳為 C3「產品特徵需求」，其次為 C1「技術效益」、C2「商業效益」及 C5「風險性」，績效表現最差為 C4「產業鏈完整度」。若以整體準則指標分析，Via-First 績效表現最差者為 C42「技術標準規格完整度」及 C43「上下游技術成熟度」，此現象的原因與 3D IC 產業整體績效在技術標準規格完整度上較差的原因相同。

表 5-6: Via-First 技術整體績效 GAP 指標

準則指標	整體GAP	構面GAP	準則GAP	排序
C1: 技術效益	-	0.515	-	2
C11: 技術專利性	0.025	-	0.251	3
C12: 技術延續性	0.023	-	0.231	4
C13: 技術應用性	0.026	-	0.258	2
C14: 技術擴展性	0.026	-	0.260	1
C2: 商業效益	-	0.474	-	3
C21: 投資回收力	0.041	-	0.417	2
C22: 市佔提升力	0.058	-	0.583	1
C3: 產品特徵需求	-	0.565	-	1
C31: 成本降低力	0.022	-	0.216	4
C32: 產品效能提升度	0.030	-	0.285	1
C33: 副作用程度	0.024	-	0.236	3
C34: 異質晶片整合度	0.027	-	0.262	2
C4: 產業鏈完整度	-	0.414	-	5
C41: 相關技術資源可獲得性	0.020	-	0.238	2
C42: 技術標準規格完整度	0.015	-	0.178	4
C43: 上下游技術成熟度	0.015	-	0.183	3
C44: 技術開發競爭度	0.034	-	0.401	1
C5: 風險性	-	0.452	-	4
C51: 技術風險	0.024	-	0.255	2
C52: 產品化風險	0.022	-	0.234	4
C53: 協力風險	0.026	-	0.275	1
C54: 資金風險	0.023	-	0.236	3
資料來源：本研究整理				

針對 Via-Middle 技術績效評定其 GAP 指標值如表 5-7。以構面角度來看，績效表現最佳為 C1「技術效益」，其次為 C3「產品特徵需求」、C2「商業效益」及 C5「風險性」，績效表現最差為 C4「產業鏈完整度」。從整體準則指標分析發現，Via-Middle 績效表現最差者為 C42「技術標準規格完整度」，此現象與 Via-First 之結果相同。

表 5-7: Via-Middle 技術整體績效 GAP 指標

準則指標	整體GAP	構面GAP	準則GAP	排序
C1: 技術效益	-	0.627	-	1
C11: 技術專利性	0.027	-	0.221	4
C12: 技術延續性	0.033	-	0.271	1
C13: 技術應用性	0.031	-	0.256	3
C14: 技術擴展性	0.031	-	0.251	4
C2: 商業效益	-	0.566	-	3
C21: 投資回收力	0.057	-	0.483	2
C22: 市佔提升力	0.061	-	0.517	1
C3: 產品特徵需求	-	0.605	-	2
C31: 成本降低力	0.028	-	0.253	2
C32: 產品效能提升度	0.030	-	0.270	1
C33: 副作用程度	0.023	-	0.211	4
C34: 異質晶片整合度	0.029	-	0.266	3
C4: 產業鏈完整度	-	0.505	-	5
C41: 相關技術資源可獲得性	0.025	-	0.242	2
C42: 技術標準規格完整度	0.018	-	0.180	4
C43: 上下游技術成熟度	0.023	-	0.223	3
C44: 技術開發競爭度	0.036	-	0.356	1
C5: 風險性	-	0.529	-	4
C51: 技術風險	0.028	-	0.251	2
C52: 產品化風險	0.027	-	0.240	4
C53: 協力風險	0.030	-	0.269	1
C54: 資金風險	0.027	-	0.240	3
資料來源：本研究整理				

針對 Via-Last 技術績效評定其 GAP 指標值如表 5-8。以構面角度來看，績效表現最佳為 C1「技術效益」，其次為 C5「風險性」、C3「產品特徵需求」及 C2「商業效益」，績效表現最差為 C4「產業鏈完整度」。從整體準則指標分析發現，Via-Last 績效表現最差者亦為 C42「技術標準規格完整度」，此現象與 Via-First 及 Via-Middle 之結果均相同。這個結果很明確地指出，目前產業鏈完整度是 3D IC 中最缺乏的部分，不因採用何種製程技術而有差異。

表 5-8: Via-Last 技術整體績效 GAP 指標

準則指標	整體GAP	構面GAP	準則GAP	排序
C1: 技術效益	-	0.598	-	1
C11: 技術專利性	0.026	-	0.226	4
C12: 技術延續性	0.033	-	0.281	1
C13: 技術應用性	0.029	-	0.251	2
C14: 技術擴展性	0.028	-	0.242	3
C2: 商業效益	-	0.542	-	4
C21: 投資回收力	0.059	-	0.521	1
C22: 市佔提升力	0.054	-	0.479	2
C3: 產品特徵需求	-	0.557	-	3
C31: 成本降低力	0.027	-	0.262	2
C32: 產品效能提升度	0.025	-	0.241	3
C33: 副作用程度	0.022	-	0.220	4
C34: 異質晶片整合度	0.028	-	0.277	1
C4: 產業鏈完整度	-	0.516	-	5
C41: 相關技術資源可獲得性	0.028	-	0.271	2
C42: 技術標準規格完整度	0.020	-	0.187	4
C43: 上下游技術成熟度	0.025	-	0.243	3
C44: 技術開發競爭度	0.031	-	0.299	1
C5: 風險性	-	0.569	-	2
C51: 技術風險	0.033	-	0.274	1
C52: 產品化風險	0.029	-	0.245	3
C53: 協力風險	0.030	-	0.247	2
C54: 資金風險	0.028	-	0.234	4
資料來源：本研究整理				

針對 Si Interposer 技術績效評定其 GAP 指標值如表 5-9。以構面角度來看，績效表現最佳為 C1「技術效益」，其次為 C2「商業效益」、C5「風險性」及 C4「產業鏈完整度」，績效表現最差為 C3「產品特徵需求」。從整體準則指標分析發現，Si Interposer 績效表現最差者亦為 C33「副作用程度」，此現象與 Via-First 及 Via-Middle 或 Via-Last 之結果均不同。推究其原因為 Si Interposer 因是利用中介層來達到 3D IC 的結構，其技術較接近於原先的立體封裝 IC，所以在產業鏈的完整度上進展得比其他 3 種製程來得快，而且在應用上也較早進入實際產品生產的階段。在這個階段，製程所帶來的不良副作用已不是技術模擬中推估出來可能的影響，而是實實在在已發生在產品上而必需改善的缺點。

表 5-9: Si Interposer 技術整體績效 GAP 指標

準則指標	整體GAP	構面GAP	準則GAP	排序
C1: 技術效益	-	0.679	-	1
C11: 技術專利性	0.029	-	0.224	4
C12: 技術延續性	0.038	-	0.291	1
C13: 技術應用性	0.032	-	0.247	2
C14: 技術擴展性	0.031	-	0.238	3
C2: 商業效益	-	0.651	-	2
C21: 投資回收力	0.076	-	0.556	1
C22: 市佔提升力	0.060	-	0.444	2
C3: 產品特徵需求	-	0.620	-	5
C31: 成本降低力	0.029	-	0.254	2
C32: 產品效能提升度	0.027	-	0.237	3
C33: 副作用程度	0.023	-	0.206	4
C34: 異質晶片整合度	0.035	-	0.304	1
C4: 產業鏈完整度	-	0.636	-	4
C41: 相關技術資源可獲得性	0.031	-	0.244	3
C42: 技術標準規格完整度	0.029	-	0.226	4
C43: 上下游技術成熟度	0.035	-	0.272	1
C44: 技術開發競爭度	0.033	-	0.257	2
C5: 風險性	-	0.642	-	3
C51: 技術風險	0.036	-	0.263	2
C52: 產品化風險	0.035	-	0.257	1
C53: 協力風險	0.031	-	0.225	4
C54: 資金風險	0.035	-	0.255	3
資料來源：本研究整理				

基於個別技術的整體績效，結合 DANP 所得出之重要性排序，再搭配各準則之因果矩陣關係圖，其綜合數據顯示目前最佳的 3D IC 技術為 Si Interposer，Via-Middle 次之，再其次為 Via-Last，最後為 Via-First。如表 5-10。

表 5-10:3D IC 技術整體績效

準則指標	Via-First	Via-Middle	Via-Last	Si Interposer	重要性排序
C11: 技術專利性	0.025	0.027	0.026	0.029	17
C12: 技術延續性	0.023	0.033	0.033	0.038	12
C13: 技術應用性	0.026	0.031	0.029	0.032	10
C14: 技術擴展性	0.026	0.031	0.028	0.031	11
C21: 投資回收力	0.041	0.057	0.059	0.076	1
C22: 市佔提升力	0.058	0.061	0.054	0.060	2
C31: 成本降低力	0.022	0.028	0.027	0.029	8
C32: 產品效能提升度	0.030	0.030	0.025	0.027	16
C33: 副作用程度	0.024	0.023	0.022	0.023	18
C34: 異質晶片整合度	0.027	0.029	0.028	0.035	14
C41: 相關技術資源可獲得性	0.020	0.025	0.028	0.031	13
C42: 技術標準規格完整度	0.015	0.018	0.020	0.029	15
C43: 上下游技術成熟度	0.015	0.023	0.025	0.035	6
C44: 技術開發競爭度	0.034	0.036	0.031	0.033	3
C51: 技術風險	0.024	0.028	0.033	0.036	4
C52: 產品化風險	0.022	0.027	0.029	0.035	5
C53: 協力風險	0.026	0.030	0.030	0.031	9
C54: 資金風險	0.023	0.027	0.028	0.035	7
總績效	0.482	0.565	0.556	0.646	

六、結論與建議

6.1 結論

選擇適當的技術有助於企業作出更具競爭力的產品和服務，或是開發更有效的流程，為企業創造全新的解決方案，以利企業在競爭激烈的商業環境中取得競爭優勢。但先進技術多樣且日益複雜，使得企業在技術選擇的決策上更加的困難。3D IC 是半導體產業中下一個世代的關鍵技術，如何在各種不同的 3D IC 技術中選擇出一個具有發展潛力且能夠創造商業價值之核心技術，實為目前有意投入 3D IC 產業之各個廠商必需思考且急需面對的問題。

本文提出適用於 3D IC 技術選擇決策之 5 項構面與 18 項準則，以協助企業在技術選擇決策時有所依據。在技術選擇決策方法上則使用了基於決策實驗室法之網路程序分析(DEMATEL Based ANP, DANP)以求得各項構面準則之因果關聯性及重要性排序，再搭配折衷排序法(Vlsekriterijumska Optimizacija I Kompromisno Resenje, VIKOR)以求得個別適選技術之整體績效，來協助判斷是否投入該項技術開發，以及若投入該技術開發時應注意的關鍵重點。經資料分析後得到以下幾點結論：

(1) 5 項構面中以「產業鏈完整度」為 3D IC 技術選擇系統結構模型中之最主要影響因子，對於 3D IC 之技術選擇決策來說，是最關鍵重要的因素。

(2) 5 項構面中「產業鏈完整度」、「技術效益」及「產品特徵需求」屬於影響因子，欲改善 3D IC 技術之績效應由此 3 個構面著手進行。

(3) 在「產業鏈完整度」構面的準則中則以「上下游技術成熟度」最為關鍵。

(4) 目前最佳的 3D IC 技術為 Si Interposer。

有意投入 3D IC 技術開發之企業可以使用本論文所建立的模型，依據企業本身的技術現況、專利佈局、客戶需求狀況及資金狀況等，針對 3D IC 個別技術中績效表現較弱之構面準則，分析是否企業有能力對此做出有效改善，以決定是否投入該項 3D IC 技術之開發。

6.2 研究限制與建議

本研究所建立之模型係奠基於專家意見之回饋，所訪問之專家亦多為台灣半導體產業中擁有十年以上經驗之專業人士，其可信度無庸置疑。然本研究所訪問之專

家僅限於台灣地區，而台灣半導體產業專精於後段製造與封裝測試，故所訪問的專家集中在此領域，故本研究較偏向以半導體製造業觀點所得之結論，惟後續研究者或可再將專家領域擴展至半導體產業上游之電路設計商，對資料之完整度將更有幫助。



參考文獻：

1. 袁建中，王建彬，陳梧桐，臺灣半導體工業未來發展預測，東海管理評論民國 94 年第 7 卷第 1 期，1-38
2. 王明郎，認識台灣半導體產業，台灣綜合展望 2003.1.10 NO.7, 73-93
3. 陳玲君，2011Q3 IC 產業動態觀察與展望，台灣半導體產業發展趨勢研討會，工研院 IEK, 2011/12/8
4. Gordon Moore, Cramming more components onto integrated circuits. Electronics, 38 (8): 114 - 117, April 1965
5. Jeffrey Burt, "Moore's Law Reaching End of Life, Study Says", eWeek.com, IT & Network Infrastructure News, 2009-06-18
6. 王岫晨，"張忠謀：摩爾定律將走到極限"，Ctimes/news, 2011-04-25
7. 許明哲(2011)，先進微電子 3D-IC 構裝，五南出版社
8. P. McNamara, C. Baden-Fuller, Lessons from the Celltech Case: balancing knowledge exploration and exploitation in organisational renewal, Brit. J. Manage. 10 (4) (1999) 291 - 307.
9. 袁建中(2007) ， 科技管理， 雙葉書廊.
10. M. Lamb, M. J. Gregory, Industrial concerns in technology selection, Paper presented at the meeting of the Portland International Conference on Management of Engineering and Technology, Portland, Ore., 1997.
11. F. T. S. Chan, M. H. Chan, N. K. H. Tang, Evaluation methodologies for technology selection, Journal of Materials Processing Technology 107 (2000) 330 - 337
12. M. Torkkeli, M. Tuominen, The contribution of technology selection to core competencies, Int. J. Prod. Econ. 77 (3) (2002) 271 - 284.
13. Reza Farzipoor Saen, A decision model for technology selection in the existence

of both cardinal and ordinal data, *Applied Mathematics and Computation* 181 (2006) 1600 – 1608

14. Stacey, G. S., Ashton, W. B., 1990. A structured approach to corporate technology strategy. *International Journal of Technology Management* 5 (4), 389 – 407.
15. Dussauge, P., Hart, S., & Ramanatsoa, B. (1997). *Strategic Technology Management*. New York: Wiley.
16. F. T. S. Chan, M. H. Chan, N. K. H. Tang, Evaluation methodologies for technology selection, *Journal of Materials Processing Technology* 107 (2000) 330–337.
17. Saen, R. F. (2006). A decision model for selecting slightly non-homogeneous technologies. *Applied Mathematics and Computation*, 177, 149–158.
18. Shehabuddeen, N., Probert, D., & Phaal, R. (2006). From theory to practice: Challenges in operationalising a technology selection framework. *Technovation*, 26, 324–335.
19. A. Arbel, Y. Shapira, A decision framework for evaluating vacuum pumping technology, *J. Vac. Sci. Technol. A* 4 (2) (1999) 387 – 411.
20. O. S. Yu, G. J. Y. Hsu, T. Y. Chen, *Introduction to technological management: Technological forecast and planning*, Wu Nan Publishing Company, Taipei, 1998.
21. Laura M. Meade and Adrien Presley, R&D Project Selection Using the Analytic Network Process, *IEEE TRANSACTIONS ON ENGINEERING MANAGEMENT*, VOL. 49, NO. 1, FEBRUARY 2002
22. C. C. Huang, P. Y. Chu, Y. H. Chiang, A fuzzy AHP application in government-sponsored R&D project selection, *Omega-Int. J. Manage. Sci.* 36 (6) (2008) 1038 – 1052.
23. Yung-Chi Shen, Shu-Hsuan Chang, Grace T. R. Lin, Hsiao-Cheng Yu, A hybrid selection model for emerging technology, *Technological Forecasting & Social Change* 77 (2010) 151 – 166
24. K. V. Sambasivarao, S. G. Deshmukh, A decision support system for selection and justification of advanced manufacturing technologies, *Prod. Plan. Control* 8 (3) (1997) 270–284.

25. Moutaz Khouja, The use of data envelopment analysis for technology selection, *Computers ind. Engng* Vol. 28, No. 1, pp. 123-132, 1995
26. E. Ertugrul Karsak, Ethem Tolga, Fuzzy multi-criteria decision-making procedure for evaluating advanced manufacturing system investments. *Int. J. Production Economics* 69 (2001) 49-64
27. Mustafa Yurdakul, AHP as a strategic decision-making tool to justify machine tool selection. *Journal of Materials Processing Technology* 146 (2004) 365 - 376.
28. 林佳慧(2007) , 專利影響創新決定及技術預測模式分析, 東吳大學商學院資訊科學系碩士論文。
29. Tzeng, G. H., Chiang, C. H. and Li, C. W. (2007), "Evaluating Intertwined Effects in e-Learning Programs: A Novel Hybrid MCDM Model Based on Factor Analysis and DEMATEL" , *Expert Systems with Applications*, 32(4), 1028-1044.
30. Lin, C. J., & Wu, W. W. (2004). A Fuzzy Extension of the DEMATEL Method for Group Decision Making, 第一屆作業研究學會學術研討會論文集, 台北科技大學, 台灣。
31. 胡雪琴(2003), 企業問題複雜度之探討及量化研究—以 DEMATEL 為分析工具, 中原大學企業管理研究所碩士論文。
32. 林宗明(2005), 管理問題因果複雜度分析模式建立之研究—以 DEMATEL 為方法論, 中原大學企業管理研究所碩士論文。
33. 孫曉宇 (2008) , 應用決策實驗室法在動態平衡計分卡之研究, *ACADEMIC EXCHANGE* 。
34. 李志剛(2009), 基于 DEMATEL 的製造業企業動態平衡計分卡的應用研究, 哈爾濱理工大學, 碩士學位論文。
35. 管孟忠、林心雅、紀念呈(2010), 運用 DEMATEL 探討 3C 零售業提升服務品質專案關鍵成功因素, 第六屆系統工程與專案管理學術暨實務研討會論文集, 頁 14。
36. 管孟忠、紀念呈、林心雅 (2010), 探討組建專案管理環境之關鍵成功因素, 第六屆系統工程與專案管理學術暨實務研討會論文集, 頁 16。
37. Abdelkader Saadaoui, Salem Nasri, NoC: QoS Metrics Modelling and Analysis based

on dynamic routing, International Journal of Distributed and Parallel Systems (IJDPS) Vol.3, No.2, March 2012, 43-52

38. ITRI 3D IC 之半導體製程技術評估報告, 2008
39. 董鍾明(2007), 3D IC 市場應用趨勢, 工研院產業經濟與趨勢研究中心(IEK)
40. 楊雅嵐, 2008/08, 「由 3D IC 製程看技術發展挑戰」, 工研院產經博識網
41. 鄭富紘(2010), 供應鏈整合績效之探討—以台灣半導體產業為例, 南台科技大學科技管理研究所碩士學位論文
42. 紀岱玲(2006), 供應商績效評估研究—結合 ANP 及 DEMATEL 之應用, 政治大學資訊管理研究所碩士論文。
43. Tamura, M., Nagata, H., & Akazawa, K, (2002), Extraction and systems analysis of factors that prevent safety and security by structural models, In 41st SICE annual conference, Osaka, Japan.
44. 周德群(2007), 系統工程概論, 北京出版社, 頁 103-116。
45. Wang TC, Lee HD (2009) Developing a fuzzy TOPSIS approach based on subjective weights and objective weights. Expert Systems with Applications 36(5): 8980-8985
46. Opricovic, S. (1998), Multicriteria Optimization of Civil Engineering Systems: Faculty of Civil Engineering, Belgrad.
47. Yu, P. L., (1973), A class of solutions for group decision problems. Management Science, 19(8), 936-946.
48. Zeleny, M. (1982), Multiple Criteria Decision Making. McGraw-Hill, New York.
49. 劉建浩、林榮禾、曾國雄(2009), 結合模糊積分與 VIKOR 模式評估航空公司服務品質, 顧客滿意學刊, 5(1), 頁 175-200。
50. 林俊宏、曾國雄、任維廉(2005), 利用 VIKOR 方法解決企業資源規劃系統評選問題, 農業與經濟, 34, 頁 69-90。

51. 簡瑞瑩、黃士滔(2007)，綠色螺絲供應商評選模式之研究，工程科技與教育學刊，4(2)，頁 211-231。
52. 陳志堅、唐麗英、王春和(2007)，應用因素分析與 VIKOR 方法構建多變量管制程序，品質學報，14(1)，頁 57-67。



附錄

3D IC 技術選擇之評估—問卷

您的幫助，將為台灣 3C IC 之發展增添一分心力

本問卷內容僅為學術研究使用，絕對不會外流

填寫者個人資料

教育程度： 專科 大學 碩士 博士

產業別： IC設計業 IC製造業 封裝測試業 半導體設備業

學術單位 其它

半導體產業經驗： 1年以內(含1年) 超過1年~2年(含) 超過2年~3年(含) 超過3年~4年(含) 超過4年~5年(含) 超過5年~10年(含) 10年以上(含)

準則項目說明

以下我們列出五種評估構面，分別為「技術效益」、「商業效益」、「產品特徵需求」、「產業鏈完整度」與「風險性」，各構面皆有二至四個準則。各個準則項目之說明詳列如下：

構面	準則	內容
技術效益	技術專利性	該項技術是否可以產生專利權 例如： 技術專利性佳(數值高)：該項技術產生專利權的可能性大，可以建立競爭位障，競爭者無法輕易模仿 技術專利性差(數值低)：該項技術產生專利權的可能性小，無法建立競爭位障，競爭者可以輕易模仿
	技術應用性	應用該項技術可開發的產品多寡。 例如： 技術應用性佳(數值高)：應用該項技術可開發的產品多，應用層面廣 技術應用性差(數值低)：應用該項技術可開發的產品少，應用層面侷限
	技術延續性	該項技術是否可應用現有技術轉移進行開發 例如： 技術延續性佳(數值高)：可使用既有技術來開發該技術，開發早期需投入成本相對較小 技術延續性差(數值低)：無法使用既有技術來開發該技術，開發早期需投入大量成本
	技術擴展性	未來相關技術的開發是否必需運用到此項技術 例如： 技術擴展性佳(數值高)：該項技術可以持續進展，技術成長發展空間大 技術擴展性差(數值低)：該項技術為一次性應用，技術成長發展空間小

構面	準則	內容
商業效益	投資回收力	<p>該項技術是否能夠創造足夠的銷售利潤以回收投資</p> <p>例如：</p> <p>投資回收力佳(數值高)：該項技術可以創造足夠的銷售利潤以回收投資</p> <p>投資回收力差(數值低)：該項技術所創造之銷售利潤不足以回收投資</p>
	市佔提升力	<p>使用該項技術是否能夠提升市佔率</p> <p>例如：</p> <p>市佔提升力佳(數值高)：使用該項技術能夠大幅提升市場佔有率，市場成長發展空間大</p> <p>市佔提升力差(數值低)：使用該項技術僅能提升少許或維持現有市場佔有率，市場成長發展空間小</p>

構面	準則	內容
產品特徵需求	成本降低力	<p>使用該項技術能否降低產品生產成本</p> <p>例如：</p> <p>成本降低力佳(數值高)：使用該項技術可明顯降低產品生產成本</p> <p>成本降低力差(數值低)：使用該項技術無法明顯降低產品生產成本</p>
	產品效能提升度	<p>使用該項技術能否提升產品效能</p> <p>例如：</p> <p>產品效能提升度佳(數值高)：使用該項技術能夠大幅提升產品效能</p> <p>產品效能提升度差(數值低)：使用該項技術僅能提升少許或維持產品原有效能</p>

	副作用程度	<p>使用該項技術是否對產品產生不良副作用</p> <p>例如：</p> <p>副作用程度低(數值高)：使用該項技術不會對產品產生不良副作用</p> <p>副作用程度高(數值低)：使用該項技術會對產品產生不良副作用</p>
	異質晶片整合度	<p>該項技術是否可將不同功能晶片整合至同一個 3D-IC 之中</p> <p>例如：</p> <p>異質晶片整合度佳(數值高)：該項技術可輕易將不同功能晶片整合至同一個 3D-IC 之中</p> <p>異質晶片整合度差(數值低)：該項技術不易將不同功能晶片整合至同一個 3D-IC 之中</p>

構面	準則	內容
產業鏈完整度	相關技術資源可獲得性	<p>發展該項技術所需的相關技術資源獲得的容易程度</p> <p>例如：</p> <p>相關技術資源可獲得性佳(數值高)：可以輕易取得相關技術資源(如專利、舊設備可沿用或以低成本購置新設備等)</p> <p>相關技術資源可獲得性差(數值低)：不容易取得相關技術資源(如專利、舊設備無法沿用或購置新設備成本高等)</p>
	技術標準規格完整度	<p>該項技術是否已有技術標準規格</p> <p>例如：</p> <p>技術標準規格完整度佳(數值高)：該項技術之標準規格已訂定完整</p> <p>技術標準規格完整度差(數值低)：該項技術之標準規格未訂定</p>

	上下游技術成熟度	<p>應用該項技術所需之上下游廠商技術是否已成熟</p> <p>例如：</p> <p>上下游技術成熟度佳(數值高)：產業上下游積極開發相對應配合技術，且多數技術已完備</p> <p>上下游技術成熟度差(數值低)：產業上下游相對應配合技術多數仍未完成，且上下游廠商開發意願低</p>
	技術開發競爭度	<p>競爭同業是否正開發相同技術，其開發進度之比較</p> <p>例如：</p> <p>技術開發競爭度低(數值高)：僅少數或無競爭同業開發相同技術</p> <p>技術開發競爭度高(數值低)：多數競爭同業正開發相同技術</p>

構面	準則	內容
風險性	技術風險	<p>開發該項技術無法及時成功的可能性</p> <p>例如：</p> <p>技術風險低(數值高)：開發該項技術困難度低，可以及時開發完成</p> <p>技術風險高(數值低)：開發該項技術困難度高，需克服很多困難才能及時完成</p>
	產品化風險	<p>使用該項技術生產產品無法成功的可能性</p> <p>例如：</p> <p>產品化風險低(數值高)：使用該項技術生產產品困難度低，可以順利應用該技術生產產品</p> <p>產品化風險高(數值低)：使用該項技術生產產品困難度高，需克服很多困難才能用該技術生產產品</p>
	協力風險	<p>上下游協力廠商無法完成相對應配合技術的可能性</p> <p>例如：</p> <p>協力風險低(數值高)：產業上下游積極開發相對應配合技術，且投入大量開發資源</p> <p>協力風險高(數值低)：產業上下游開發相對應配合技術態度消極，多數持觀望態度</p>

	資金風險	投入資金不足以支應至技術開發完成的可能性 例如： 資金風險低(數值高)：所需研發費用投入小，技術能力取得費用低 資金風險高(數值低)：所需研發費用投入大，技術能力取得費用高
--	------	---

PART I. 準則項目之間互相影響程度之說明

此部分的目的在建立準則項目間相互影響之程度，對本研究建立可信的 3D IC 技術選擇評估模型有相當重要的影響，請認真填寫。

尺度說明：(0)無影響；(1)低影響；(2)中影響；(3)高影響；(4)極高影響。舉例說明：

若認為 A 影響 b 的程度很高，則在 b 位置上填入 3

	a	b	c	d	E
A		3			
B					

※ 特別注意準則間互相影響不一定相等，範例說明如下：「技術效益」影響「商業效益」之程度為極高影響，故在方格內填入 4 「商業效益」影響「技術效益」之程度為中影響，故在方格內填入 2

	技術效益	商業效益
技術效益		4
商業效益	2	

準則項目間互相影響程度之評估

準則項目	技術專利性	技術應用性	技術延續性	技術的擴展性	投資回收力	市佔提升力	成本降低力	產品效能提升度	副作用程度	異質晶片整合度	相關技術資源可獲得性	技術標準規格完整度	上下游技術成熟度	技術開發競爭度	技術風險	產品化風險	協力風險	資金風險
技術專利性																		
技術應用性																		
技術延續性																		
技術的擴展性																		
投資回收力																		
市佔提升力																		
成本降低力																		
產品效能提升度																		
副作用程度																		
異質晶片整合度																		
相關技術資源可獲得性																		
技術標準規格完整度																		
上下游技術成熟度																		
技術開發競爭度																		
技術風險																		
產品化風險																		
協力風險																		
資金風險																		

(0)無影響；(1)低影響；(2)中影響；(3)高影響；(4)極高影響

PART II. 3D IC 產業優勢績效說明

依據本研究評估模型，評估臺灣 3C IC 目前在各個評估準則中的績效(表現程度)

此問卷的評估尺度，績效最好為 10；最差為 0，說明如下：

績效非常不好 ← 0,1,2,3,4,5,6,7,8,9,10 → 績效非常好

例如：

若 認為臺灣目前 3D IC 的「技術專利性」其績效表現非常好， 填 10 分 (還有 0 分需要努力)

若 認為臺灣 3D IC 的「技術應用性」其績效表現非常不好， 填 0 分 (還有 10 分需要努力)

則填入：

評估準則項目	評估尺度
	0 ~10
技術專利性	10
技術應用性	0

台灣 3D IC 產業優勢績效評估

評估準則項目	評估尺度 (0~10)
技術專利性	
技術應用性	
技術延續性	
技術擴展性	
投資回收力	
市佔提升力	
成本降低力	
產品效能提升度	
副作用程度	
異質晶片整合度	
相關技術資源可獲得性	
技術標準規格完整度	
上下游技術成熟度	
技術開發競爭度	
技術風險	
產品化風險	
協力風險	
資金風險	

PART III. 技術方案之優勢評估說明

依據準則項目說明的描述，評估 3D IC 製程技術中「Via First」、「Via Middle」、「Via Last」與「Si Interposer」在 3D IC 的發展中可能獲得的優勢

此問卷評估尺度優勢最好為 10；最差為 0，說明如下：

沒有任何優勢 ← 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10 → 擁有最高的優勢

舉例：

若認為 3D IC 製程技術中「Via First」技術在「成本降低力」的評估中可以使得產品生產成本大幅下降，填 10 分

若認為 3D IC 製程技術中「Via Middle」技術在「成本降低力」的評估中可降低大部分產品生產成本，填 7 分

若認為 3D IC 製程技術中「Via Last」技術在「成本降低力」的評估中僅能降低小部分產品生產成本，填 3 分

若認為 3D IC 製程技術中「Si Interposer」技術在「成本降低力」的評估中不能降低產品生產成本，填 0 分

評估準則項目	Via First	Via Middle	Via Last	Si Interposer
成本降低力	10	7	3	0
產品效能提升度				

3D IC 技術方案之優勢評估

評估準則項目	Via First	Via Middle	Via Last	Si Interposer
技術專利性				
技術應用性				
技術延續性				
技術擴展性				
投資回收力				
市佔提升力				
成本降低力				
產品效能提升度				
副作用程度				
異質晶片整合度				
相關技術資源可獲得性				
技術標準規格完整度				
上下游技術成熟度				
技術開發競爭度				
技術風險				
產品化風險				
協力風險				
資金風險				

PART IV. 準則項目間互相影響效果之說明

以下我們列出五種評估構面，分別為「技術效益」、「商業效益」、「產品特徵需求」、「產業鏈完整度」與「風險性」，各構面皆有二至四個準則，本部分係針對準則項目間的互相影響效果評估。

例如：「技術效益」所考慮的四個準則中，其中一項「技術的專利性」目前的績效表現非常好，「 下的準則」目前績效表現非常差，在此情境下評估「技術效益」在 3D IC 技術選擇所能發揮的績效應為何？衡量尺度如下：

非常不好 ← 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10 → 非常好

本部分評估範例如下：

「技術效益」所考慮的四個準則中，若第一項的「技術專利性」其績效表現非常好，「 準則」的績效表現非常差，則「技術效益」在臺灣 3D IC 所能發揮的績效應為何？

■ 9 分(還有 1 分需要努力)

「技術效益」所考慮的四個準則中，若第二項的「技術應用性」其績效表現非常好，「 準則」表現非常差，則

「技術效益」在臺灣 3D IC 所能發揮的績效應為何？

■ 7分(還有3分需要努力)

「技術效益」所考慮的四個準則中，若第三項的「技術延續性」其績效表現非常好，「其準則」表現非常差，則

「技術效益」在臺灣3D IC所能發揮的績效應為何？

■ 4分(還有6分需要努力)

「技術效益」所考慮的四個準則中，若第四項的「技術擴展性」其績效表現非常好，「其準則」表現非常差，則

「技術效益」在臺灣3D IC所能發揮的績效應為何？

■ 2分(還有8分需要努力)

若台灣的情況如下	台灣具下述競爭優勢	「技術效益」在臺灣3D IC所能發揮的績效應為何？
技術可應用的產品不夠廣泛 開發的新技術無法承接舊有技術 開發的新技術無法持續進展，技術成長發展空間小	技術專利性佳 (3D IC擁有大多數專利權，競爭者無法輕易模仿)	9

<p>沒有 3D IC 技術專利權 開發的新技術無法承接舊有技術 開發的新技術無法持續進展，技術成長發展空間小</p>	<p>技術應用性佳 (應用該項技術可開發的產品多，應用層面廣)</p>	<p>7</p>
<p>沒有 3D IC 技術專利權 技術可應用的產品不夠廣泛 開發的新技術無法持續進展，技術成長發展空間小</p>	<p>技術延續性佳 (可使用既有技術來開發 3D IC 技術，開發早期需投入成本小)</p>	<p>4</p>
<p>沒有 3D IC 技術專利權 技術可應用的產品不夠廣泛 開發的新技術無法承接舊有技術</p>	<p>技術擴展性佳 (該項技術可以持續進展，技術成長發展空間大)</p>	<p>2</p>

準則項目間互相影響效果之評估

若台灣的情況如下	台灣具下述競爭優勢	「技術效益」在台灣 3D IC 所能發揮的績效應為何？
技術可應用的產品不夠廣泛 開發的新技術無法承接舊有技術 開發的新技術無法持續進展，技術成長發展空間小	技術專利性佳 (3D IC 擁有大多數專利權，競爭者無法輕易模仿)	
沒有 3D IC 技術專利權 開發的新技術無法承接舊有技術 開發的新技術無法持續進展，技術成長發展空間小	技術應用性佳 (應用該項技術可開發的產品多，應用層面廣)	
沒有 3D IC 技術專利權 技術可應用的產品不夠廣泛 開發的新技術無法持續進展，技術成長發展空間小	技術延續性佳 (可使用既有技術來開發 3D IC 技術，開發早期需投入成本小)	
沒有 3D IC 技術專利權 技術可應用的產品不夠廣泛 開發的新技術無法承接舊有技術	技術擴展性佳 (該項技術可以持續進展，技術成長發展空間大)	

若台灣的情況如下	台灣具下述競爭優勢	「商業效益」在台灣 3D IC 所能發揮的績效應為何？
3D IC 僅能提升少許或維持現有市場佔有率，市場成長發展空間小	投資回收力佳 (3D IC 可以創造足夠的銷售利潤以回收投資)	
3D IC 無法創造足夠的銷售利潤以回收投資	市佔提升力佳 (3D IC 能夠大幅提升市場佔有率，市場成長發展空間大)	

若台灣的情況如下	台灣具下述競爭優勢	「產品特徵需求」在台灣 3D IC 所能發揮的績效應為何？
3D IC 僅能提升少許或維持產品原有效能 3D IC 會對產品產生不良副作用 3D IC 技術不易將不同功能晶片整合至同一晶片之中	成本降低力佳 (明顯降低產品生產成本)	
無法明顯降低產品生產成本 3D IC 會對產品產生不良副作用 3D IC 技術不易將不同功能晶片整合至同一晶片之中	產品效能提升度佳 (能夠大幅提升產品效能)	

無法明顯降低產品生產成本 3D IC 僅能提升少許或維持產品原有效能 3D IC 技術不易將不同功能晶片整合至同一晶片之中	副作用程度低 (不會對產品產生不良副作用)	
無法明顯降低產品生產成本 3D IC 僅能提升少許或維持產品原有效能 3D IC 會對產品產生不良副作用	異質晶片整合度佳 (可輕易將不同功能晶片整合至同一個 3D-IC 之中)	

若台灣的情況如下	台灣具下述競爭優勢	「產業鏈完整度」在台灣 3D IC 所能發揮的績效為何?
3D IC 技術之標準規格未訂定 3D IC 上下游相對應配合技術多數仍未完成，且上下游廠商開發意願低 多數競爭同業正開發相同技術	相關技術資源可獲得性佳 可以輕易取得相關技術資源 (如專利、舊設備可沿用或以低成本購置新設備等)	
不容易取得相關技術資源 3D IC 上下游相對應配合技術多數仍未完成，且上下游廠商開發意願低 多數競爭同業正開發相同技術	技術標準規格完整度佳 (3D IC 之標準規格已訂定完整)	
不容易取得相關技術資源 3D IC 技術之標準規格未訂定 多數競爭同業正開發相同技術	上下游技術成熟度佳 (上下游廠商積極開發相對應配合技術，且多數技術已完備)	

不容易取得相關技術資源 3D IC 技術之標準規格未訂定 3D IC 上下游相對應配合技術多數仍未完成，且 上下游廠商開發意願低	技術開發競爭度低 (僅少數或無競爭同業開發相同技術)	
---	-------------------------------	--

若台灣的情況如下	台灣具下述競爭優勢	「風險性」在台灣 3D IC 所能發揮的績效應為何？
使用 3D IC 技術生產產品困難度高，需克服很多困難才能用 3D IC 技術生產產品 3D IC 上下游廠商開發相對應配合技術態度消極，多數持觀望態度 3D IC 所需研發費用大，技術能力取得費用高	技術風險低 (可以及時開發完成 3D IC 技術)	
開發 3D IC 困難度高，需克服很多困難才能及時完成 3D IC 上下游廠商開發相對應配合技術態度消極，多數持觀望態度 3D IC 所需研發費用大，技術能力取得費用高	產品化風險低 (可以順利應用 3D IC 技術生產產品)	
開發 3D IC 困難度高，需克服很多困難才能及時完成 使用 3D IC 技術生產產品困難度高，需克服很多困難才能用 3D IC 技術生產產品 3D IC 所需研發費用大，技術能力取得費用高	協力風險低 (上下游廠商積極開發相對應配合技術)	

<p>開發 3D IC 困難度高，需克服很多困難才能及時完成</p> <p>使用 3D IC 技術生產產品困難度高，需克服很多困難才能用 3D IC 技術生產產品</p> <p>3D IC 上下游廠商開發相對應配合技術態度消極，多數持觀望態度</p>	<p>資金風險低 (所需研發費用投入小，技術能力取得費用低)</p>	
---	--	--