

國 立 交 通 大 學

理學院應用科技學程

碩 士 論 文

具矽奈米晶體捕捉層之底部閘極多晶矽薄膜非揮發
性記憶體元件

Bottom-gate Poly-Si Thin Film Transistor Nonvolatile

Memory with Si nanocrystals Trapping Layer

研 究 生：廖銘楷

指 導 教 授：趙天生 博士

中 華 民 國 一 零 一 年 七 月

具矽奈米晶體捕捉層之底部閘極多晶矽薄膜非揮發性記憶體
元件

**Bottom-gate Poly-Si Thin Film Transistor Nonvolatile Memory with
Si nanocrystals Trapping Layer**

研究生：廖銘楷

Student : Ming-Kai Liao

指導教授：趙天生 博士

Advisor : Tien-Sheng Chao



Submitted to Degree Program of Applied Science and Technology

College of Science National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Degree Program of Applied Science and Technology

July 2012

Hsinchu, Taiwan, Republic of China

中華民國 一零一年 七月

具矽奈米晶體捕捉層之底部閘極多晶矽薄膜非揮發性記憶體 元件

研 究 生：廖銘楷

指 導 教 授：趙天生 博士

國 立 交 通 大 學

理學院應用科技學程

摘 要

本論文中，我們提出了新穎 SONOS 多晶矽薄膜電晶體非揮發性記憶體元件結構，並且針對在形成多晶矽源、汲極通道層製程，先行進行磷離子佈植再使用固相結晶法(SPC)與金屬誘導側向結晶法(MILC)形成多晶矽通道層，或是先行使用 SPC 與 MILC 形成多晶矽通道層再進行磷離子佈植，並且都在其元件的氮化矽之中利用臨場方式嵌入矽奈米晶體的製作方式，然也同時採用了底部閘極的製程結構。

在此次研究當中，我們選取四種不同製程方式之元件[表.1-1]，以下論文我們將以 A、B、C、D 元件代表此四種不同形式的薄膜電晶體記憶體元件。實驗數據顯示 A 元件的基本電特性($I_D V_G$)表現最差，汲極漏電流(Drain leakage current)是四個元件當中最高、載子移動率也是最慢，以及次臨界斜率也最大，這就明顯表示 A 元件的開關切換速率

是四個元件中最慢的，相反的 B、C、D 元件無論是汲極漏電流、載子移動率以及次臨界斜率都表現的比 A 元件優良許多，不過在閘極誘發汲極漏電流(GIDL； $V_G = -8\text{ V}$)的電特性表現，卻又以 A 元件與 D 元件較為出色，是沒有 GIDL 電流的，相反的 C 元件的 GIDL 電流是最大的。此外我們也比較其 A、B、C、D 四種元件的記憶體寫入/抹除效率(Program/Erase)、資料保存性(Retention)以及耐久性測試。使用相同的寫入抹除的條件下，可以從量測數據發現 A 元件的記憶體特性優於 D 元件，至於 B、C 元件無法順利的進行寫入/抹除的特性，我們判斷可能是因為 B、C 元件製作時先行進行源、汲極通道層的磷離子佈植後再進行金屬誘導結晶(MILC)多晶矽造成金屬汙染，導電性不佳，漏電流大，導致 B、C 元件在進行寫入的時候，無法順利的將電荷經由閘極產生的電場進入氮化矽奈米晶體層，亦或是有順利將電荷捕捉進入氮化矽層，但是無法順利的將電荷保存在氮化矽層，電荷會經由汲極洩漏掉，所以導致元件幾乎完全不具有記憶體特性，在本論文當中，我們將更詳細討論這四種元件的的相關電特性以及機制。

誌謝

時間過得很快，兩年的研究所生涯將在此告一段落，在此，僅以此論文做個結尾。本論文可以順利的完成，首先要感謝我的家人，沒有家人在背後默默的支持與鼓勵，就不會有今天的我，感謝我的父親廖炯輝先生與我的母親林鳳娣女士，從小我就看著我的父母親為了讓我們這群小孩衣食無缺，一直勤奮努力的工作著，也一直鼓勵著我們無論在學生時期或是出了社會工作，都應該好好把握學習進修的機會，也感謝父親與母親在我求學的路上大力的支持，讓我可以無後顧之憂的專心於學業上，並且順利的從研究所畢業，我希望這份榮耀可以獻給我最摯愛的雙親，並致上我最高的敬意。此外也要感謝我的姐姐與弟弟廖珮怡小姐與廖銘楊先生一直以來的支持與關心。

再來我也要由衷的感激我的指導教授趙天生老師，非常感謝老師願意收我為指導學生，讓我可以進到老師的實驗室學習新的並且是非常受用的專業領域學識。也很感謝老師這兩年來對學生的關心、指導與鼓勵，老師除了在專業知識與研究方法給予我諄諄指導之外，也讓我在老師身上學習到了正確的求知識、做學問的態度。其處事態度與學者風範更是讓我努力學習的好榜樣，感謝老師在實驗上的協助，並且在我實驗中遇到瓶頸或是困難時候給予我最大的鼓勵並且指引我方向。在此只有謝謝再謝謝，實在無法用言語完整表達我內心的感激，

也希望老師能夠永保安康、事事順心。

再來就要感謝帶領我做實驗研究的吳翊鴻學長，感謝學長在我初接觸此研究領域的時候，耐心的解答我的問題，總是不厭其煩一直糾正我錯誤的地方，不管是製程觀念、流程以及儀器訓練上面都給予我最大的支持與協助。在論文方面也給予我很大的建議與協助，沒有吳翊鴻學長的真心相挺，我相信我的研究以及論文絕對無法這麼順利的完成的，在此要再次誠心的感謝他。另外就是王冠迪學長，雖然冠迪學長指帶領我短短的一段時間，但是他充滿佛心的言談，以及相當客氣的對待，都令我印象深刻，非常感謝冠迪學長在我進入實驗室初期的指導。另外也要感謝實驗室裡面其他所有的學長姐以及學弟妹，因為你們讓實驗室的氣氛非常熱鬧，也非常輕鬆，大家就像好朋友一般相互相處，這樣的氣氛讓我在實驗室做實驗的時候，也感到非常的愉悅，謝謝你們。

最後，要感謝我們在職專班的同學們以及陳永富老師，在一邊工作一邊念研究所的這兩年，我在班上認識到了很多有趣的同學也是珍貴的朋友，每個人的分享都讓我的人生經驗更加豐富，班上融洽的上課氣氛更讓我感受到來交大念書這兩年是非常珍貴的兩年。另外陳永富老師帶領我們班的每週五晚上的論文研討課程，永富老師有機會總會分享很多的觀念給我們聽，倍感受用，其實來到交大的這兩年，除

了吸收到更加專業的學識之外，我學到更多正確的人生觀念，足以讓我覺得可以因此讓我往後的人生路可以走的更豐富、更精彩，這其實才是最無價的寶藏，謝謝您們。另外再要感謝論文口試委員趙天生老師、陳永富老師、許鈺宗老師，感謝老師們在口試的過程中給我很豐富的指導、很專業的指正，老師們,辛苦了!

最後請讓我再次謝謝所以幫助過我的你們，我愛交大，更以身為交大人為榮，畢業之後，我也會以身為交大校友為榮，在此，我謹以此篇論文獻給你們。



銘楷 2012年超炎夏

目 錄

摘要(中文).....	I
誌謝.....	III
目錄.....	VI
表目錄.....	VIII
圖目錄.....	IX
第一章 導論	1
1.1 多晶矽薄膜電晶體簡介.....	1
1.2 非揮發性記憶體介紹.....	5
1.3 研究動機.....	9
1.4 論文架構.....	10
第二章 實驗步驟與元件製作以及動作原理	
2.1 非晶矽形成多晶矽結晶法簡介.....	14
2.1.1 固相結晶法(SPC)介紹.....	14
2.1.2 金屬誘導側向結晶法(MILC)介紹.....	15
2.1.3 元件製作介紹.....	16
2.2 量測實驗設備介紹.....	20
2.3 元件寫入/抹除動作原理.....	21

2.3.1	奈米晶體記憶體元件操作原理.....	21
2.3.2	FN 寫入機制.....	22
2.3.3	熱電子注入機制.....	22
2.3.4	FN 抹除機制.....	23
2.3.5	BTBHH 機制.....	23
2.4	元件資料保存能力.....	23
第三章 元件基本電性與記憶體特性量測.....		36
3.1	元件基本特性量測.....	36
3.1.1	基本 I_D - V_G 特性曲線量測.....	36
3.1.2	閘極誘發汲極漏電流比較.....	37
3.2	寫入速度與記憶體窗口.....	38
3.3	抹除速度.....	39
3.4	資料保存時間.....	41
3.5	元件耐久性.....	42
第四章 結論與未來研究.....		59
4.1	結論.....	60
4.2	未來研究與展望.....	61
參考文獻.....		63

表 目 錄

第一章

表.1-1 元件 Split Table.列表 A~D 元件的離子佈植離子類型、
濃度以及結晶化步驟

第三章

表.3-1 A、D元件寫入/抹除速度量測數據.表示出各個寫入/抹除
時間點的臨界電壓偏移量.

第四章

表.4-1 A~D元件各特性綜合比較表.



圖目錄

第一章

圖.1-1 (A) NOR型 (B) NAND型快閃記憶體原理示意圖

圖.1-2 (A)薄氧化層($< 8\text{ nm}$)藉由單一點缺陷所形成的漏電

(B)厚氧化層($>8\text{ nm}$)有效抑制缺陷的漏電

圖.1-3 SONOS型非揮發性記憶體結構剖面圖

圖.1-4 浮點記憶體結構剖面圖

第二章

圖.2-1 矽基底進行成長濕式氧化層

圖.2-2 成長濕式氧化層

圖.2-3 沉積多晶矽閘極、離子佈植示意圖

圖.2-4 蝕刻多晶矽閘極

圖.2-5 底部閘極完成示意圖

圖.2-6 障壁氧化層-氮化層內嵌奈米矽晶體捕捉層-穿隧氧化層

圖.2-7 臨場沉積氮化矽層嵌入矽奈米晶體氣體流量示意圖

圖.2-8 非晶矽層形成多晶矽層

圖.2-9 離子佈植源、汲極

圖.2-10 左為佈植前矽晶格 右為佈植後矽晶格示意圖

圖.2-11 底部閘極薄膜電晶體切面圖

圖.2-12 底部閘極TFT元件TOP View

圖.2-13 量測設備示意圖

圖.2-14 奈米晶體記憶體元件結構剖面圖以及操作能帶示意圖

圖.2-15 元件寫入/抹除邏輯判斷示意圖

圖.2-16 元件 FN 寫入機制示意圖

圖.2-17 元件熱電子注入寫入機制示意圖

圖.2-18 元件 FN 抹除機制示意圖

圖.2-19 BTBHH 抹除機制示意圖

第三章

圖.3-1 A元件 I_D - V_G 特性曲線

圖.3-2 B元件 I_D - V_G 特性曲線

圖.3-3 C元件 I_D - V_G 特性曲線

圖.3-4 D元件 I_D - V_G 特性曲線

圖.3-5 鎳金屬擴散對摻雜之影響作圖

圖.3-6 GIDL現象示意圖

圖.3-7 A元件雙尺寸取樣 I_D - V_G 特性曲線

圖.3-8 B元件雙尺寸取樣 I_D - V_G 特性曲線

圖.3-9 C元件雙尺寸取樣 I_D - V_G 特性曲線

圖.3-10 D元件雙尺寸取樣 I_D - V_G 特性曲線

圖.3-11 A元件DAHE機制寫入特性曲線

圖.3-12 A元件FN機制寫入特性曲線

圖.3-13 B元件FN機制寫入特性曲線

圖.3-14 C 元件 FN 機制寫入特性曲線

圖.3-15 D 元件 FN 機制寫入特性曲線

圖.3-16 (a)A 元件(b)D 元件 $V_G=12V\sim 17V$ 寫入速度量測曲線

圖.3-17 A、D元件 $V_G=12V$ 寫入速度量測曲線

圖.3-18 A、D元件 $V_G=14V$ 寫入速度量測曲線

圖.3-19 A、D 元件 $V_G=17V$ 寫入速度量測曲線

圖.3-20 (a)A元件(b)D元件 $V_G=-6V\sim -10V$ 抹除速度量測曲線

圖.3-21 A、D 元件 $V_G=-6V$ 抹除速度量測曲線

圖.3-22 A、D元件 $V_G=-8V$ 抹除速度量測曲線

圖.3-23 A、D元件 $V_G=-10V$ 抹除速度量測曲線

圖.3-24 A、D元件資料保存時間量測結果

圖.3-25 A元件寫入/抹除循環次數臨界電壓圖

圖.3-26 D元件寫入/抹除循環次數臨界電壓圖

圖.3-27 A元件隨操作次數增加之 I_D-V_G 特性曲線

圖.3-28 D 元件隨操作次數增加之 I_D-V_G 特性曲線

第一章

導論

1.1 多晶矽薄膜電晶體簡介

隨著科技的發展，日常生活中已經與電子科技密不可分，在過去的顯示器多數為CRT(Cathode Ray Tube,陰極射線管)螢幕，然而，隨著薄膜電晶體(Thin Film Transistor, TFT)的大量研究及量產，取而代之傳統CRT 螢幕而成為主流產品，並且已廣泛使用於顯示器的應用上，例如：個人數位助理、手機面板、手提攝影機、電腦螢幕、液晶電視等所示，而目前TFT 大多使用多晶矽(Poly-Si)或是非晶矽(α -Si) 材料來製造，隨著顯示器面積的增大和像素的提高，薄膜電晶體對於像素的提高需具備更高的載子移動率(Carrier Mobility)，而驅使薄膜電晶體顯示器必須減短其充放電時間。但非晶矽薄膜電晶體在高效能電路的應用上受限於載子移動率非常的低，小於 $1\text{cm}^2/\text{V}\cdot\text{s}$ ，如此低的載子移動率不僅限制了非晶矽薄膜電晶體的驅動能力也無法整合高速的周邊驅動電路，然而非晶矽薄膜電晶體為了提高驅動電流，必須要更大的元件尺寸，這會造成在薄膜電晶體陣列(TFT Array) 中較差的明亮度跟開口率。但非晶矽薄膜電晶體製程較簡單以及成本較低廉，使得非晶矽薄膜電晶體仍舊為主動式矩陣液晶

顯示器(Active-matrix liquid crystal display, AMLCDs) 應用上的主流。相較於非晶矽薄膜電晶體，多晶矽薄膜電晶體利用一些結晶技術提高晶粒的大小，擁有較高的載子移動率，所以較小元件的尺寸是被允許的，這也代表多晶矽薄膜電晶體擁有較佳的開口率與較高的明亮度[1][2]。因此我們選擇採用多晶矽薄膜來當作主動區(Active Region)的材料，以便於解決非晶矽低載子移動率的問題。複晶矽薄膜具有高載子移動率、優良的操作穩定性及較長的生命週期(lifetime)、較低的寄生電容以及和互補式金氧半場效應電晶體(CMOS)製程具有高度相容性等優點，由於具備了這些優點，因此可以使得主動式陣列(Active-matrix, AM)開關元件整合在相同的基底，這樣可以減少製作上的成本以及增加可靠度[3]。多晶矽薄膜電晶體除了應用在主動式陣列的顯示器(AMLCDs)上外，另外也在靜態隨機存取記憶體(Static Random Access Memory；SRAMs)、動態隨機存取記憶體(Dynamic Random Access Memory；DRAMs)、可寫入/抹除唯讀記憶體(Erasable Programmable Read-Only Memory；EPROMs,)、電子式寫入/抹除唯讀記憶體(Electrically Erasable Programmable Read-Only Memory；EEPROMs)、非揮發性記憶體(Non-Volatile Memories)、影像感測器(Liner Image Sensor)、光偵測放大器(Photo-Detector Amplifier)、印表機印字頭(Printer Head)、人工式指紋(Artificial Fingerprint)等被廣泛的

應用。隨著生活越來越講究，可攜帶式的科技產品須具備有高密度積體電路製造以及低功率消耗的特點，這些需求已可用傳統式的方法將元件積體化就可達成，但以目前發展中科技水準而言，傳統的方法已達到其技術瓶頸，為了突破積體電路技術的瓶頸，因而發展三維(3-D)的積體電路技術，多晶矽薄膜電晶體 已可達成三維的積體電路技術，此積體電路技術目前的應用主要在各類的記憶體元件上。因此多晶矽薄膜電晶體相對於非晶矽電晶體一直被認為是大有可為的材料，多晶矽薄膜電晶體的載子遷移率，約比傳統的非晶矽薄膜電晶體快上百倍，使得多晶矽薄膜電晶體非常有希望能夠成為下一代高速的主動矩陣式液晶顯示器(AMLCDs)的解決方案，但雖然高溫製程能使多晶矽薄膜電晶體擁有高效能，低缺陷的優點，但是整合周邊電路於玻璃基板的成本優勢，使得製程溫度在600 °C以下的低溫多晶矽薄膜電晶體(LTPS-TFTs)研究引起了廣泛的興趣與討論。然而整合周邊電路與薄膜電晶體陣列(TFTs Array) 於玻璃基板上的概念我們稱為系統整合面板(System on a plane ; SOP)，此架構可以減少驅動IC的使用數量，降低驅動IC成本、改善可靠度等優點[4][5]。

低溫多晶矽薄膜電晶體，晶粒與晶粒邊界(Grain boundary)的缺陷是一個很嚴重的問題，影響電晶體在主動式陣列顯示器的應用，這些晶粒邊界的缺陷補抓電荷影響電晶體的電性表現如載子移動率、元件

漏電流、臨界電壓(Threshold Voltage)及元件操作時高電場與缺陷交互作用的不理想效應都會造成元件特性的衰減。因此在多晶矽薄膜電晶體的製作上主要致力於改善多晶矽的品質，以提高晶粒的大小與減少晶粒邊界的缺陷。主要的結晶方法有固相結晶法(Solid Phase Crystallization; SPC)[6]以及金屬誘導側向結晶法(metal-induced lateral crystallization; MILC)[7]。其中固相結晶法以在溫度600 °C，時間24 小時下讓沉積的非晶矽重新結晶成多晶矽，雖然此方法結晶出的多晶矽擁有較均勻且較平滑的表面，但經過爐管長時間結晶使其量產能力不佳及較低的結晶溫度使其晶粒顆粒較小。相對的利用雷射重新融溶非晶矽在一千多度的高溫下重新結晶，擁有比固相結晶技術更大的晶粒以及較快的製程速度，但其結晶表面較SPC不平坦，目前廣為工業界所應用，也被認為最有可能替高速的主動式陣列的顯示器提供解決方案。此外MILC的結晶方法，利用非晶矽在高溫短時間下與金屬形成的金屬矽化物為晶種下向外延伸成長晶粒，尤以MILC 成長之晶粒為長條狀為佳，隨著晶粒成長所夾帶的金屬矽化物累積在晶粒邊界存在通道內部將嚴重的影響到元件漏電流的表現。

1.2 非揮發性記憶體介紹

非揮發性記憶體(Non- Volatile Memory ; NVM)是當資料寫入記憶體中後，即使拔除外部電源，仍可長時間的保存資料，隨著大眾消

費性電子產品，如筆記型電腦、MP3、數位相機、手機、電子辭典等的普及，在市場上的需求日趨增加，使非揮發性記憶體元件獲得極大的重視，而許多學者也積極投入發展與研究，目前更成為產業界發展的主流之一。非揮發性記憶體的技術發展逐年在進步，從最早一開始只能用來讀取資料的唯讀記憶體 (Read-Only-Memory, ROM)、到以熔絲 (fusing) 及反熔絲 (antifusing) 的狀態決定資料內容的可程式唯讀記憶體 (Programmable-Read-Only-Memory, PROM)、以及利用紫外光照射來抹除記憶體中資料的可抹除程式化唯讀記憶體 (Erasable-Programmable-Read-Only-Memory, EPROM) 和比 EPROM 抹除更快的電性可抹除可程化唯讀記憶體 (Electrically-Erasable-Programmable-Read-Only-Memory, EEPROM)，發展至目前熱門的快閃記憶體 (flash memory)[8]。非揮發性記憶體操作模式主要分為 NOR 型及 NAND 型二大分類。其中 NOR Flash 為最早所開發出的快閃記憶體架構。其每一個 Cell 均與一個 Word line 及一個 Bit line 相連結[圖.1-1(a)]。NAND Flash 架構則為每個 Cell 彼此相連，僅第一個及最後一個 Cell 分別與 Word line 和 Bit line 相連結[圖.1-1(b)]。在資料讀取速度方面以 NOR Flash 較快，但由於 NAND Flash 有較小的記憶晶胞，所以可在小面積下擁有更高密度的記憶晶胞，因此製作成本不僅低廉且可儲存的容量也較 NOR Flash

高。目前市面上主要以NAND Flash為主，同時也常被運用在消費性電子產品上[9]。

一個理想的非揮發性記憶體元件必須具備以下特性: (1)低功率消耗 (low power) (2)快的寫入/抹除速度(program/erase speed) (3)大的記憶體窗 (memory window) (4)長的資料保存能力 (data retention): 需大於十年限(5)高耐久性 (endurance): $>10^5$ 次操作。為了達到理想的記憶體特性，非揮發性記憶體的演進，從早期的浮閘記憶體發展至目前熱門的SONOS 堆疊型電荷捕捉記憶體元件及浮點記憶體元件。

西元1967年，D. Kahng 和S. M. Sze (施敏博士)[10]於貝爾實驗室開發出浮動閘極式非揮發性記憶體(Floating Gate Non-Volatile Memory)，其原理是使用多晶矽(Poly-Si)或氮化矽(Nitride)的浮動閘極作為電荷儲存單元。當電子由通道注入儲存於浮動閘極後，記憶體元件臨界電壓(Threshold Voltage)將會改變，藉由臨限電壓的改變，我們將可定義為數位邏輯中的0與1。由於浮動閘極記憶體的電荷是儲存於一連續性的多晶矽或氮化矽浮閘內，在較厚的穿隧氧化層(Tunnel Oxide)內(>8 nm)，單一點缺陷不足以造成載子直接由躍遷缺陷的方式從多晶矽浮動閘極穿隧至矽基板(Si-Substrate)形成漏電。只要兩個點缺陷的距離大於載子最大可躍遷之距離，即使再厚的穿隧氧化層內出

現倍數的點缺陷，存多晶矽內的電荷也不易流失掉。但當元件穿隧氧化層厚度 $<8\text{ nm}$ 時，儲存於多晶矽內的電荷就有機會藉由穿隧氧化層內的單一個點缺陷 (point defect)，利用Frenkel-Poole的穿隧機制形成漏電，此將會造成連續浮動閘極內整層電荷的流失[圖.1-2(a)(b)]。當元件在經過數次的寫入/抹除循環 (program/erase cycle, P/E cycle)，穿隧氧化層受到載子多次進出所造成的應力 (stress) 影響，也會使穿隧氧化層中產生更多的缺陷，造成整層浮動閘極內的電荷沿著缺陷所提供的漏電途徑而消逝殆盡。為了避免儲存於浮動閘極的電荷沿著漏電途徑而嚴重流失，穿隧氧化層的厚度需大於 $7\sim 8\text{ nm}$ ，才可以有效降低儲存資料的流失。然而，隨著製程技術不斷的進步以及提高元件密集度的需求，元件尺寸的微縮 (scale down) 是必要的。而浮動閘極記憶體所面臨的極限，即是穿隧氧化層的厚度無法持續地微縮。這除了會讓元件須操作在較大的電場外，也限制了寫入/抹除速度的提升。此外，若穿隧氧化層的厚度太厚，其載子之寫入/抹除需藉由較大的電場來進行。在大偏壓的操作下，高電場下的載子會強烈撞擊穿隧氧化層，使穿隧氧化層容易產生崩潰。對於浮閘記憶體而言，更是不利於元件的耐久性(endurance)。

為了解決浮閘記憶體所面臨的問題，以及配合元件尺寸持續不斷的微縮，近年來矽-二氧化矽-氮化矽-二氧化矽-矽

(silicon-oxide-nitride-oxide-silicon, SONOS) 記憶體元件[11, 圖.1-3]受到相當大的注意。由於SONOS 記憶體元件是利用氮化矽本身離散的缺陷來捕捉與釋放電荷，所以當氧化層有缺陷產生時，只會造成缺陷附近的電荷流失，並不會像浮動閘極記憶體，整層儲存層電荷全都流失的問題。這也讓SONOS 記憶體元件的穿隧層可以有較好的微縮能力 (scalability)，可提高元件的密集度及較佳的記憶體特性表現。SONOS 記憶體元件雖然有比傳統浮動閘極記憶體有更好的穿隧氧化層微縮能力，使元件可以在小偏壓下操作並保有快的寫入及抹除速度，但氮化矽本身離散的缺陷並不是非常深的缺陷。所以當元件受到一些熱擾動的影響時，會使侷限在缺陷內的電荷得以藉由熱能而跳出缺陷，進而影響到資料保存的能力。當穿隧氧化層增厚 ($> 3 \text{ nm}$) 時，雖然可以提供較佳的保存能力，但相對的抹除速度就會被抑制。

1996 年由IBM 的S. Tiwari, F. Rana [12]等人首先提出浮點記憶體 (floating dot memory) 的概念，並利用矽奈米晶體(Silicon nanocrystals, Si'NCs) 製作出第一個浮點記憶體[圖.1-4] 其穿隧氧化層 (tunneling oxide) 為 $1.1 \text{ nm} \sim 1.8 \text{ nm}$ ，上方的障壁氧化層約 (Blocking oxide) 為 7 nm 。由於奈米晶體是一顆一顆不連續的浮點，所以當穿隧氧化層有漏電途徑產生時，只會造成缺陷附近之矽奈米晶體中的電荷流失，並不會造成整層儲存層的漏電。因此可將穿隧氧化層微縮至

1.5 nm~3 nm，來提高元件的寫入/抹除速度。而當穿隧氧化層為縮至 3 nm 以下時，載子利用直接穿隧通過穿隧氧化層的機率就大幅提升，所以在元件操作時，只需施加一小偏壓即可完成寫入或抹除載子的動作。藉由直接穿隧的載子，對於穿隧氧化層所造成的傷害可大大降低，預期達到高操作次數的元件耐久性(endurance)。將SONOS 記憶體轉變為浮點記憶體，其電荷除了可存於量子點與氧化層間的高密度介面缺陷外，主要是藉由包覆於氧化層內之量子點所提供的深位能井來儲存電荷，當電荷被寫入此捕捉層 (trapping layer)，將可有效抑制電荷在較高溫下，因一些熱擾動所造成電荷流失的問題，所以浮點記憶體能在元件持續微縮下，進一步提供比SONOS 記憶體更好的資料保存能力。

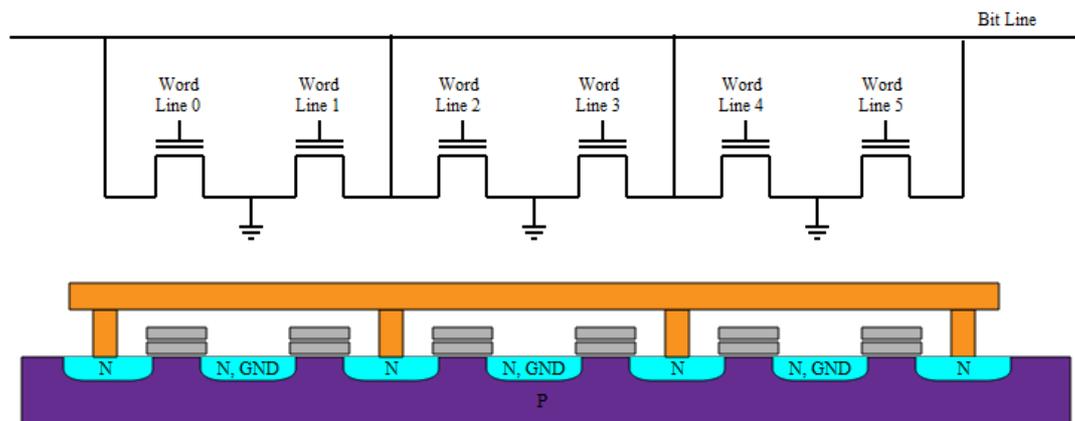
1.3 研究動機

因應系統面板的新技術，需將多晶矽薄膜電晶體尺寸微縮化，可將周邊電路，關鍵元件，驅動電路等，全部整合於玻璃基板上。然而多晶矽薄膜電晶體仍具有功率大量消耗的問題，但由於非揮發性記憶體可在低功率消耗的狀態下操作，我們成功的結合多晶矽薄膜電晶體的新穎製程和非揮發性記憶體的特性，製作出新穎非揮發性薄膜電晶體，此次主要實驗在製做新穎薄膜電晶體非揮發性記憶體元件的製程步驟當中，在相同的底部閘極(Bottom Gate)結構，使用SPC和MILC

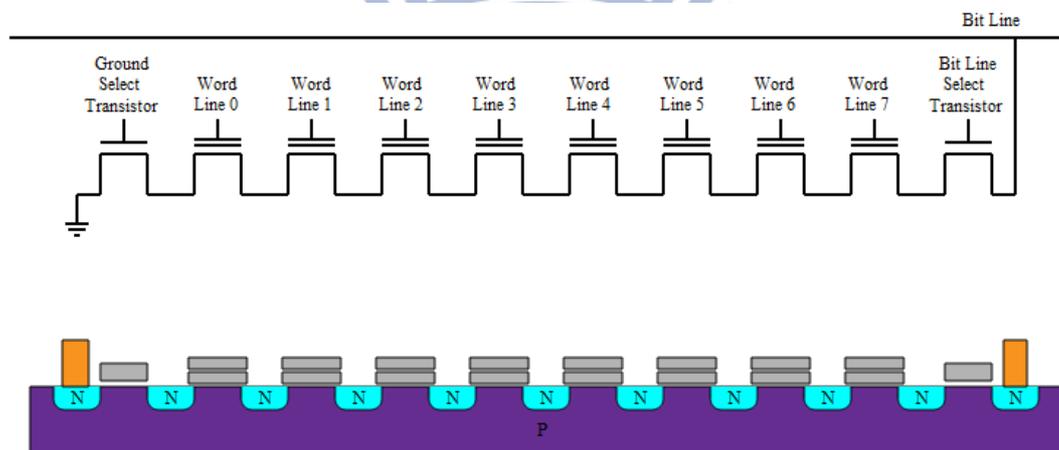
不同的結晶方式，以及源/汲極通道佈植濃度不同的製程步驟條件下，我們製作了四種不同(A、B、C、D)的薄膜電晶體記憶體元件[表.1-1]。並且來比較其記憶體元件的基本電特性、寫入/抹除能力、寫入/抹除速度以及資料保存能力，這幾種記憶體元件都是採取新穎的在氮化矽層中以化學氣相沉積(CVD)方式直接形成矽奈米晶體，沉積時間為30秒。我們要來時驗出這四種不同條件製作出的薄膜電晶體，哪一種條件下的基本電特性以及記憶體電特性都為最佳的。當作未來製作薄膜電晶體時的製程參考依據。

1.4 論文架構

本論文架構主要分為四個章節，第一章針對薄膜電晶體以及非揮發性記憶體做個簡單介紹，並闡述本論文的研究動機及。第二章則是對於記憶體元件的製作以及操作原理還有實驗步驟做一簡單介紹。第三章則詳述薄膜電晶體非揮發性記憶體元件實驗之量測結果與其電性分析。第四章將對此論文內容做檢討與結論，並且對未來展望做個說明。

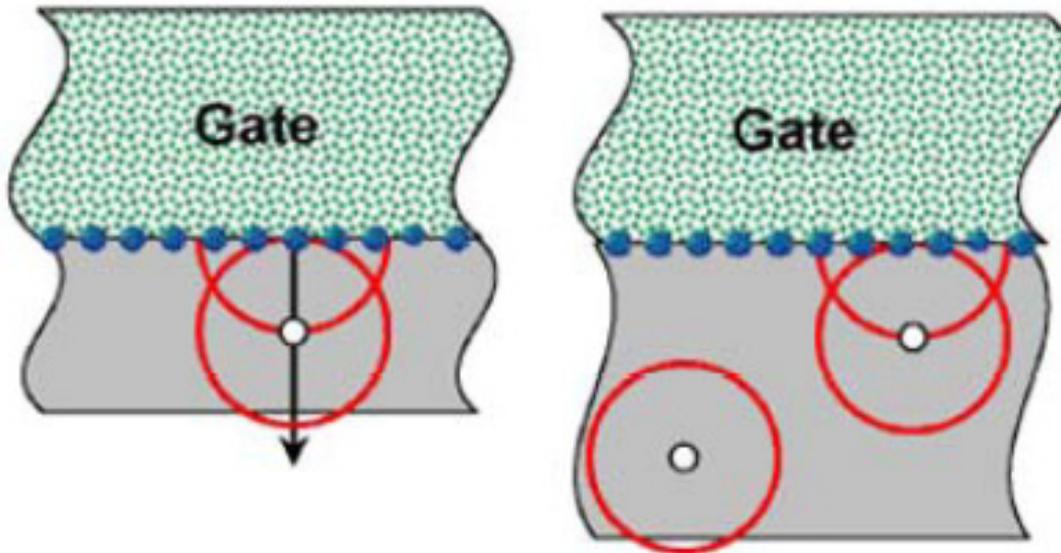


(a)



(b)

圖.1-1 (a) NOR型 (b)NAND型快閃記憶體原理示意圖



(a) (b)

圖.1-2 (a)薄氧化層(<math>< 8 \text{ nm}</math>)藉由單一點缺陷所形成的漏電

(b)厚氧化層(>math>8 \text{ nm}</math>)有效抑制缺陷的漏電

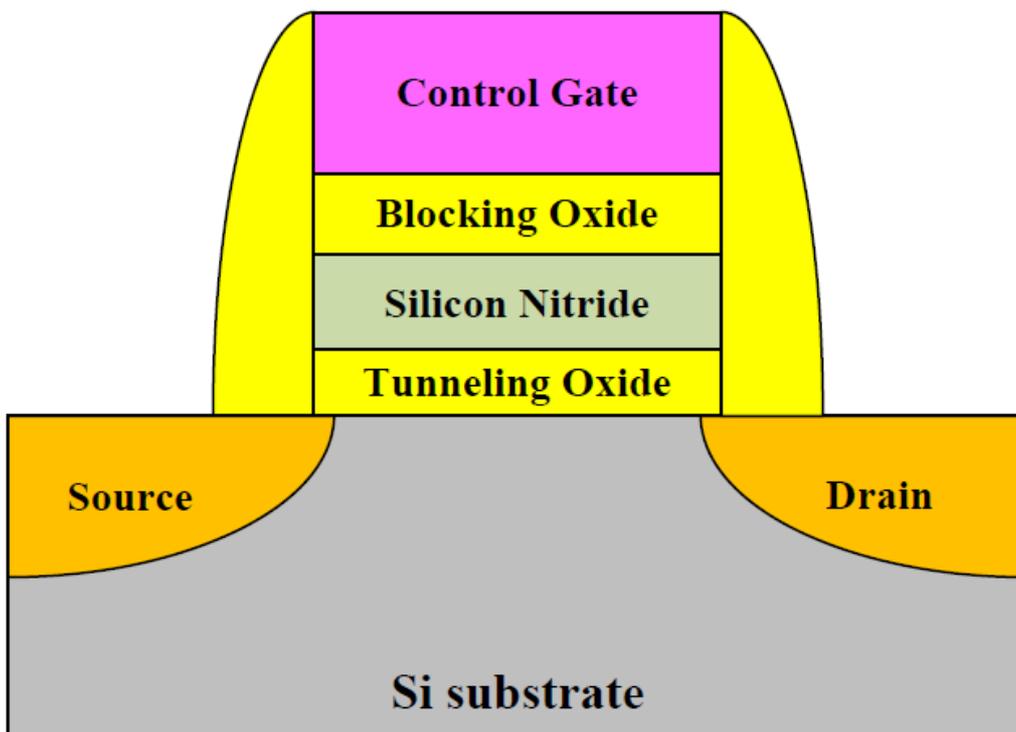


圖.1-3 SONOS型非揮發性記憶體結構剖面圖

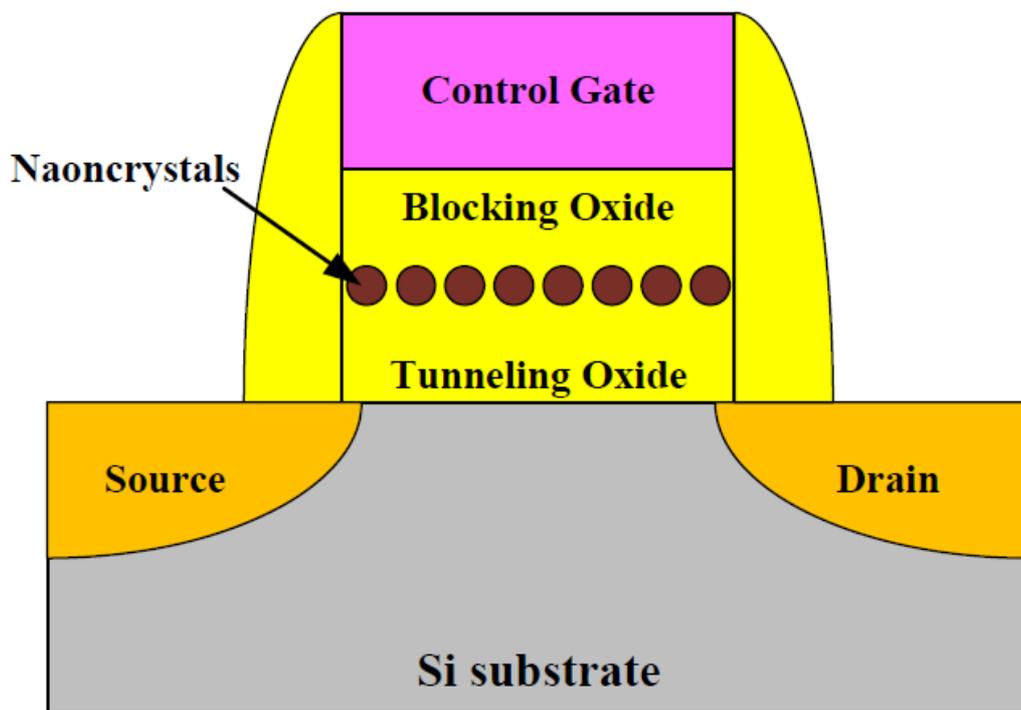


圖.1-4 浮點記憶體結構剖面圖

表.1-1 A~D四類元件Split Table

元件	Phase 1	Phase 2	Phase 3	Implant	劑量	能量
A	SPC	S/D	RTA	P ⁺³¹	$5 \times 10^{15} \text{ cm}^{-2}$	15keV
B	S/D	MILC	RTA	P ⁺³¹	$1 \times 10^{15} \text{ cm}^{-2}$	15keV
C	S/D	MILC	RTA	P ⁺³¹	$5 \times 10^{14} \text{ cm}^{-2}$	15keV
D	MILC	S/D	RTA	P ⁺³¹	$5 \times 10^{15} \text{ cm}^{-2}$	15keV

第二章

實驗步驟與元件製作以及動作原理

2.1 非晶矽形成多晶矽結晶法簡介

2.1.1 固相結晶法(Solid Phase Crystallization ; SPC)

SPC[13][14]是一種間接生成多晶矽的方法，其非晶矽固體發生再結晶化的溫度低於其熔融後結晶的溫度。這種方式先以矽甲烷氣體作為原材料，用低壓化學氣相沉積或是電漿輔助化學氣相沉積方法沈積非晶矽薄膜，然後再用 600 °C 以上高溫熱處理的方法使其轉化為多晶矽薄膜。薄膜在 600 °C 以上的高溫下熔化，然後在溫度稍低的時候成核發生，隨著溫度的降低，熔融的矽在晶核上繼續晶化晶粒成長，而使晶粒增大轉化為多晶矽薄膜，在 SPC 中，結晶化所需的活化能約在 3.0eV 左右。使用這種方法，退火溫度是影響多晶矽薄膜晶粒大小的重要因素；此外，多晶矽晶粒尺寸還與初始薄膜的無序化程度密切相關，初始薄膜材料越無序化，SPC 過程中的成核速率越低，晶粒尺寸越大。

SPC 技術的優點是能製備大面積的薄膜，晶粒尺寸大於直接沈積的多晶矽、成本低、製程簡單，所製造的薄膜電晶體相對於其他擁有更好的均勻性表現。由於 SPC 是在非晶矽熔融溫度下結晶，屬於高溫晶化過程，比較不符合經濟效益，且不適用於玻璃基板，需使用耐高溫之石英或單晶矽基板。另一種低溫的固相結晶化，其熱處理的溫度低於 600 °C，一般介於 500 °C~600 °C 之間，但是所得到晶粒尺寸是介於非晶矽與多晶矽之間的微晶矽($\mu\text{c-Si}$)其晶粒尺寸較小在 0.1 μm 以下，缺點為晶界多、缺陷多，所製作的薄膜電晶體電特性比多晶矽來的差，另外退火時間需長達數十個小時以上並不符合經濟效益，所以產業界幾乎不採用此方式。

2.1.2 金屬誘發側向結晶法(Metal-induced lateral crystallization ; MILC)

MILC[14][15]屬於 SPC 方法之一，與傳統的 SPC 技術比較，此方法能在較低溫度下（約 500 °C~ 600 °C）製造出多晶矽，其原理是利用金屬在低溫下與矽反應形成金屬矽化物進而誘發非晶矽結晶。其製程步驟，首先以低溫化學氣相沉積在玻璃基板上沉積非晶矽薄膜，再利用物理氣相沉積(PVD)在非晶矽上濺鍍一層如鋁(Al)，銅(Cu)，金(Au)，銀(Ag)，鎳(Ni)等金屬薄膜或將離子注入到非晶矽薄膜的內部接著在 600 °C 下進行熱處理，即可誘發出多晶矽薄膜。主要原因是

薄層金屬在結晶形成前即先被包覆，而金屬在整個機制中扮演觸媒及降低轉化成多晶矽所需活化能的角色，其所需活化能約在 0.7 eV。MIC/MILC 製備多晶矽薄膜具有晶粒尺寸大、均勻性高、電學特性佳、成本低、相連金屬掩蔽區以外的多晶矽也可以被晶化、生長溫度低可使用玻璃基板，缺點是晶化持續時間在 10 小時左右，不符經濟效益以及金屬污染所產生漏電流等問題待持續解決改進。

2.1.3 元件製作介紹

1. 成長濕式氧化層(Wet Oxide Growth)

(1) 在矽基板上成長濕式氧化層，成長厚度

500 nm。

(2) [圖.2-1、圖.2-2] 成長濕式氧化層示意圖

2. 底部閘極定義(The Bottom Gate)[圖.2-3]

(1) 以水平爐管使用低壓化學氣相沉積(Low Pressure ;

LPCVD)[16][17]方式沉積多晶矽閘極(Poly-Si Gate)，

沉積厚度為150 nm。

(2) 以 0 角度方式離子佈植(Implant)[18]多晶矽閘極 P 型閘極(P⁺ Gate)

<1>佈植離子:二氟化硼離子(BF₂⁺⁴⁹)

<2>劑量: $5 \times 10^{15} \text{ cm}^{-2}$

<3>能量:70KeV

<4>[圖.2-3]

(3)進行多晶矽開極蝕刻[圖.2-4、2-5]

<1>塗上光阻、鋪上光罩進行曝光。

<2>進行顯影(Development)，使光罩圖案轉移到光阻上。

<3>進行顯影後檢視 (After Development Inspection, ADI)。

<4>進行Poly-Si乾式蝕刻，蝕刻厚度約160 nm。

<5>電漿(Plasma Ashing)方式去除光阻。

<6>純硫酸浸泡10分鐘，以完整去除光阻殘留。

3.沉積障壁氧化層、矽奈米晶體捕捉層以及穿隧氧化層[圖.2-6、2-7]

(1)爐管前清洗，STD Clean(SC1+SC2) + HF dip。

(2)將矽晶片送進水平爐管以低壓化學氣相沉積方式沉積TEOS(四乙氧基矽烷)[19]障壁氧化層(Blocking oxide)，沉積厚度20 nm。

(3)使用臨場方式(in-situ)在相同爐管內進行氮化矽奈米晶體捕捉層。

<step.1>在低壓爐管首先沈積3奈米厚的氮化矽薄膜，通入

二氯矽甲烷[SiH_2Cl_2 (30sccm)]和氨氣[NH_3 (130sccm)；
780 °C]

<step.2>在同樣的爐管中，把之前沉積所剩下的氣體抽光，通入

氣體 SiH_2Cl_2 用來成長矽奈米晶體(Si-dot)，沈積時間為30秒。

<step.3> 再次通入氣體 $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$ ，沉積氮化矽厚度為3奈米。

(4)繼續利用TEOS沉穿隧氧化層(Tunnel oxide)沉積厚度10 nm。

4.非晶矽誘發長成多晶矽[圖.2-8]

(1)利用水平爐管沉積方式先沉積一層非晶矽薄膜層。

(2)塗上光阻(Coating PR)，鋪上光罩，進行曝光顯影。

(3)使用電子束蒸鍍機(E-gun)濺鍍鎳(Ni)金屬薄膜於非晶矽層(α -Si)上,薄膜厚度為5 nm。

(4)泡入丙酮(ACE)溶液+超音波震盪方式去除鎳金屬與光阻。

(5)將矽晶片送進水平爐管開始進多晶矽結晶化，使非晶矽薄膜形成多晶矽薄膜。

(a) SPC結晶溫度為 600°C ,結晶時間24小時。

(b) MILC結晶溫度為 520°C ,結晶時間24~48小時(視均勻度)。

5.形成源(Source)、汲極(Drain)區域[圖.2-9]

(1)塗上光阻(Coat PR)。

(2)鋪上光罩，進行曝光、顯影。

(3)進行源/汲極離子佈植(Implant split)，離子種類為磷離子

(P^{+31})，Energy 同為15keV。

(a)A元件劑量 $5 \times 10^{15} \text{ cm}^{-2}$

(b)B元件劑量 $1 \times 10^{15} \text{ cm}^{-2}$

(c)C元件劑量 $5 \times 10^{14} \text{ cm}^{-2}$

(d)D元件劑量 $5 \times 10^{15} \text{ cm}^{-2}$

(4)以電漿(Plasma Ashing)方式去除光阻。

(5)純硫酸浸泡10分鐘，以完整去除光阻殘留。

(6)進行Activation Anneal退火活化離子，同時讓原子晶格位

置重新排列[圖.2-10]矽晶格佈植前後示意圖。

6 金屬連線，元件製程完成

(1)形成Contact hole區域。

(2)以緩衝蝕刻液(BOE) dip 5秒，吃去contact hole中的矽氧化物，以利金屬可以確切接觸到源極、汲極、閘極區域。

(3)以濺鍍(E-gun)的方式在晶片表面沉積上金屬層，此金屬層為金屬鋁(Al)，沉積厚度為500 nm。

(4)進行**Metal Pad**的曝光、顯影。定義源極、汲極、閘極三個地區最後的鋁金屬接觸形狀，作為元件完成後在量測時探針所接觸的地方。

(5)進行金屬蝕刻(Metal Etch)。

(6)剝除光阻。

- (7)將晶片送入高溫爐管(400度C/30分鐘)進行製程結束前最後一道熱製程，稱為Sintering，其目的在使金屬與矽之間的接觸更加緊密，有助於金屬與矽之間歐姆性接觸（Ohmic contact）的形成，同時也能填補矽的空隙以及矽跟氧化層之間的空隙，讓元件的效能更好，擁有更好的電流驅動力。
- (8)元件製作完成[圖.2-11、2-12]。

2.2 量測實驗設備介紹

本實驗具奈米晶體捕捉層底部閘極薄膜電晶體記憶體元件的 I-V 以及臨界電壓(Threshold Voltage)量測實驗，使用到的設備有半導體特性量測系統(KEITHLEY 4200)，單一通道脈波產生器(Agilent 81110A)，低漏電開關主機(KEITHLEY 708A)以及手動式探針座(Prober Station)，這整套的儀器設備將可以提供適當的且足夠的能力來量測記憶體元件的 I-V 基本電性、臨界電壓以及相關寫入/抹除的電性能力等[圖.2-13]。

KEITHLEY 4200 配備可程式化電源量測單元(SMU)以及提供一個高解析度電流表，可達到 $\text{pA}(10^{-12} \text{ 安培})$ 的範圍，使得更容易用於閘極電流(Gate current)的量測，次臨界特性萃取(subthreshold characteristics extraction)，以及汲極飽和電流的量測。單一通道脈波產生器具有高時間解析度，可提供準確的瞬間脈波電壓時間準位供記

憶體元件量測寫入/抹除耐久性特性。另外一種脈波準位可以利用 KEITHLEY 4200 來提供，但是無法提供瞬間脈波,只可提供單次 1 秒的脈波準位。另外 KEITHLEY 708A 配備一組 10 個輸入端 X12 輸出端的開關陣列，負責控制從 KEITHLEY 4200 與 Agilent 81110A 到探針座上待測元件的訊號做自動切換。另外可針對個人需求使用 C++ 語言來寫程式控制 KEITHLEY 4200 量測儀器，以達到個人量測需求。

2.3 元件寫入/抹除動作原理

2.3.1 奈米晶體記憶體元件操作原理

[圖.2-14]為奈米晶體元件的剖面圖以及寫入/抹除動作時的能帶示意圖。當進行寫入(Program)的動作時，會在閘極上施加一正偏壓，此時會使閘極端的能帶往下壓，使得能帶產生彎曲。此時，P 型基板 (P-Substrate)表面便會開始累積電子而形成通道，通道內的電子受到電場的影響，便有機會穿隧過穿隧氧化層，將電子寫入至奈米晶體內，完成寫入的動作。然而，在移除外部偏壓時，能帶會回復至原本平的狀況，其寫入的電荷將可被儲存於奈米晶體內，達到電荷儲存的功能，並造成臨限電壓(Threshold Voltage)的偏移[圖.2-15]。反之，在閘極施加一負偏壓，則閘極的能帶被往上提升，而浮點內的能階會高於基板的能階，電子受到閘極負偏壓的排斥，就可將儲存於浮點內的電子排至通道，完成抹除 (erase) 的動作。

2.3.2 FN 穿隧寫入(Fowler-Nordheim Tunneling Program)

Fowler-Nordheim (F-N) 機制[20]主要是發生在穿隧氧化層厚度大於6~7 nm 時，載子穿隧的主要機制。當元件在閘極提供一個大的正偏壓時，產生一強大電場 (約10 MV/cm) 在氧化層上，此時會造成能帶嚴重的彎曲。而施加於氧化層上的電位會大於二氧化矽與矽基板間的位障高度，使能帶的上方形成類似三角形的位能井分布，此時位於通道中的電子所看到的氧化層的位障厚度變薄，電子即可藉由三角形位障中較薄的區域進行穿隧到達奈米晶體層，級達成寫入動

[圖.2-16]。

2.3.3 熱電子注入寫入機制(Channel Hot Electron Injection ; CHE)

首先，記憶體元件通道內的載子被一電場加速，接著部份具有高能量的載子在汲極附近形成impact-ionization，因而導致大量電洞對的產生。又有部份電子有足夠能量可以躍遷過能量障礙，稱為幸運電子(lucky electrons)。故藉由CHE技術這些幸運電子會被儲存在奈米晶體層內[圖.2-17]。熱電子寫入方式具有較快的寫入速度及較小的閘極電壓的優點。缺點為：寫入效率較差，大約1 uA寫入電流才能讓一個幸運電子注射進浮動閘。且由於元件寫入時是操作在飽和區，需要較高的汲極電壓來產生高的平行電場，因此會消耗較多能量[21][22][23]。

2.3.4 FN 穿隧抹除機制(Fowler-Nordheim Tunneling Erase)

與FN穿隧寫入操作原理相同，只是改變提供閘極一個較大的負偏壓時，在氧化層上會產生一強大電場，使其儲存在奈米晶體層的電子穿隧位障厚度變薄的氧化層，回到原先的通道內[20][圖.2-18]。

2.3.5 能帶對能帶熱電洞穿隧抹除機制(Band to Band Hot Hole

Erase ; BTBHH)

此機制發生於閘極與汲極重疊區域的n+型汲極(Drain)的表面空乏區。當閘極加負偏壓，汲極加正偏壓時，此時在n+型汲極的表面空乏區會崩潰(Breakdown)，產生電子電洞對。電子會往汲極流出去，而電洞則會穿過穿隧氧化層注入氮化矽裡與電子結合，達到抹除的動作[24][25][26][圖.2-19]。

2.4 元件資料保存能力(Data Retention)

非揮性記憶體最重要的指標，即是移除電源後其電荷可以長久地存至儲存層中，而不會造成資料的流失。然而，當電荷長時間的存入至儲存層中後，仍有機會藉由穿隧氧化層的缺陷或者是熱擾動等的影響而使電荷流失。因此製作出一個記憶體元件，資料保存能力是評估記憶體可靠度的首要目標。以目前業界快閃記憶體的資料保存使用標準，必須達到超過十年限的保存時間且資料耗損率 $< 30\%$ ，才可運用於商業用途上。

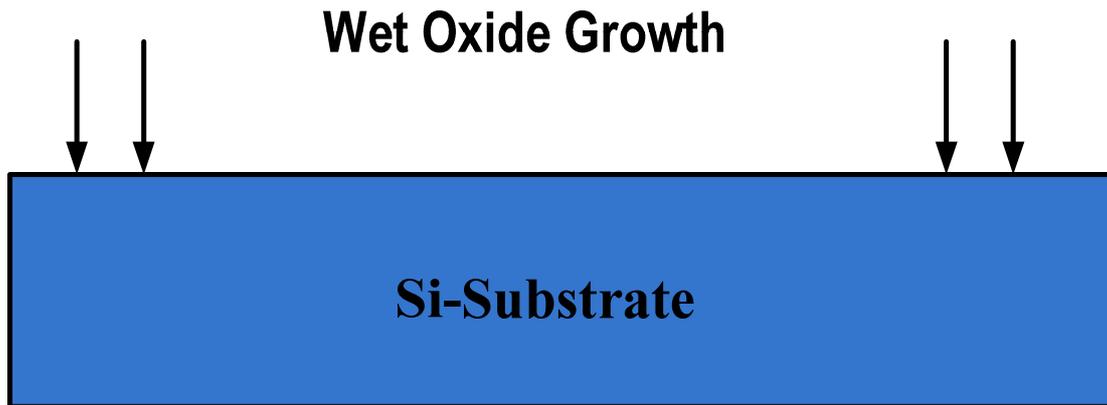


圖.2-1 矽基底進行成長濕式氧化層



圖.2-2 成長濕式氧化層

水平爐管沉積Poly-Si Gate並做離子佈植

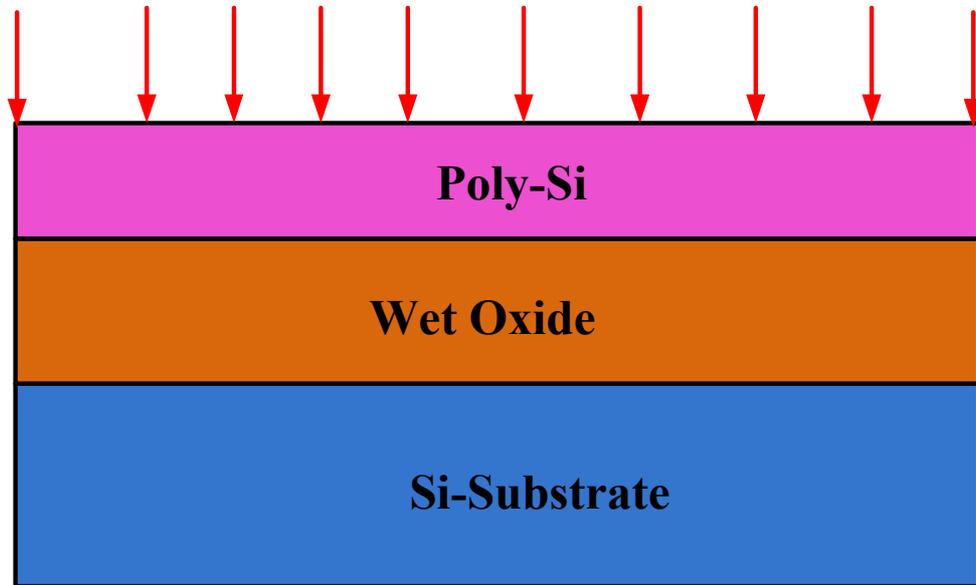


圖.2-3 沉積多晶矽閘極、離子佈植示意圖

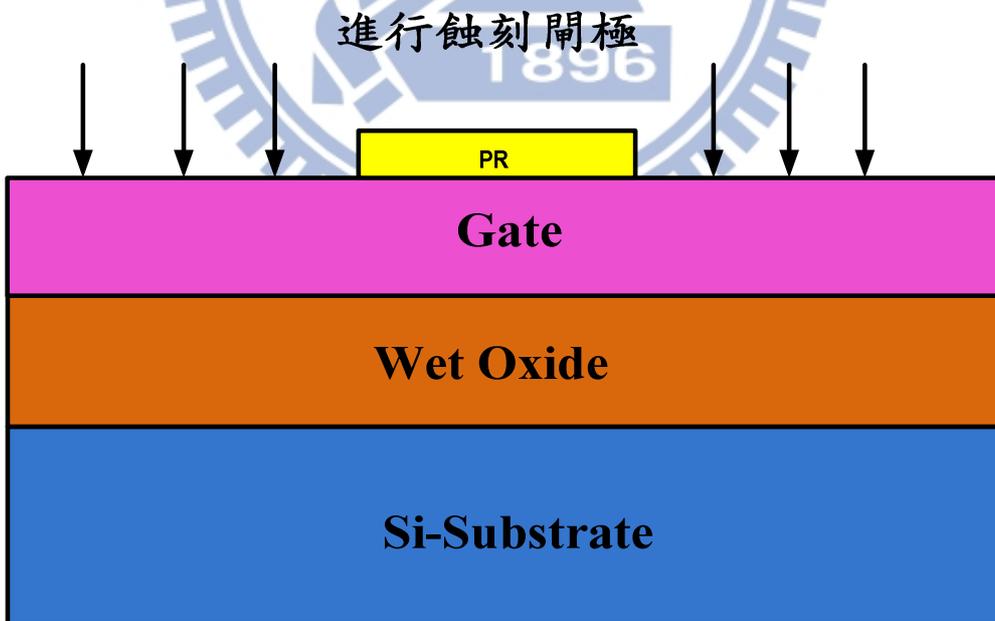


圖.2-4 蝕刻多晶矽閘極

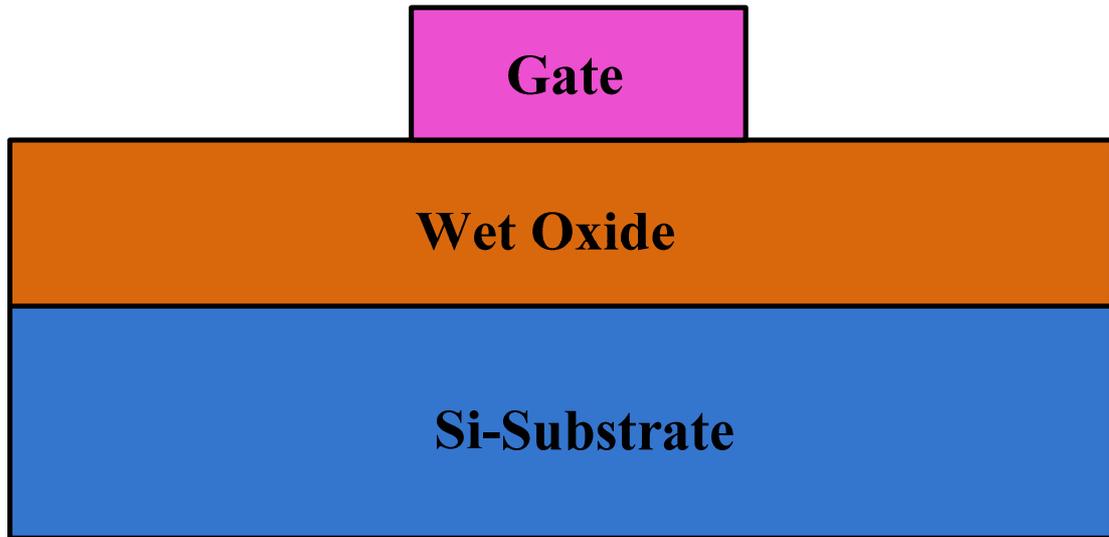


圖.2-5 底部開極完成

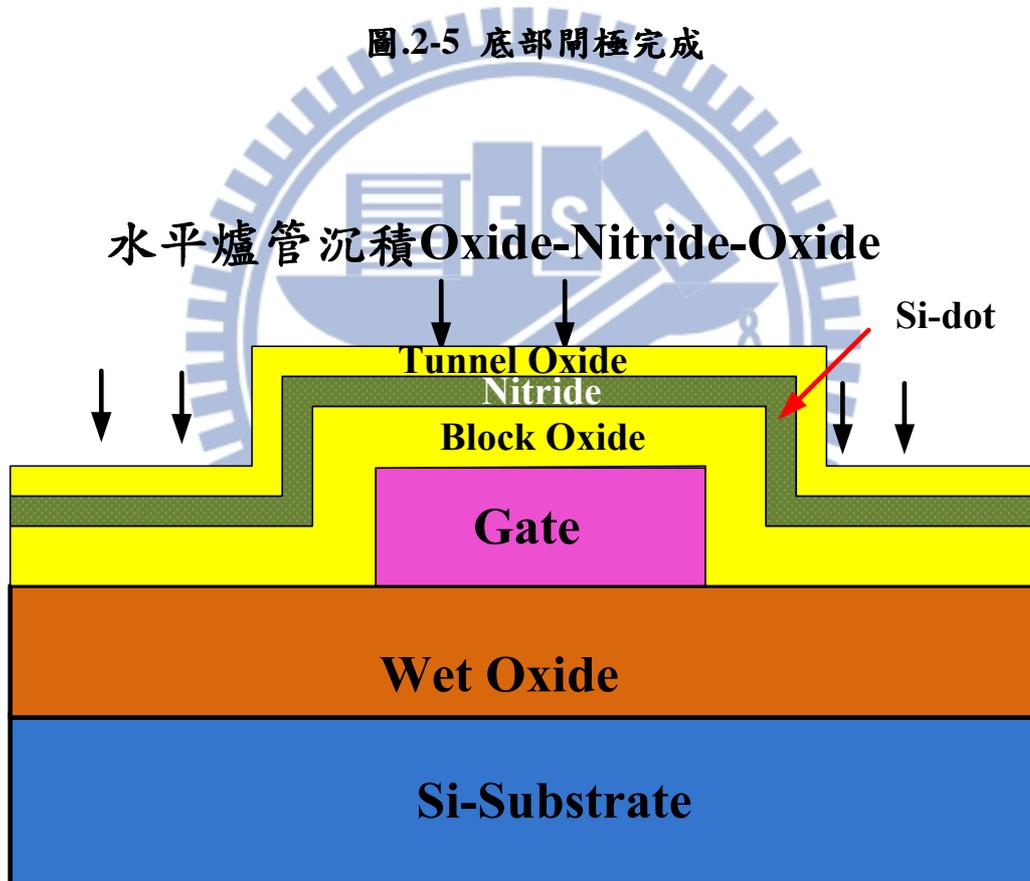


圖.2-6 障壁氧化層-氮化層內嵌奈米矽晶體捕捉層-穿隧氧化層

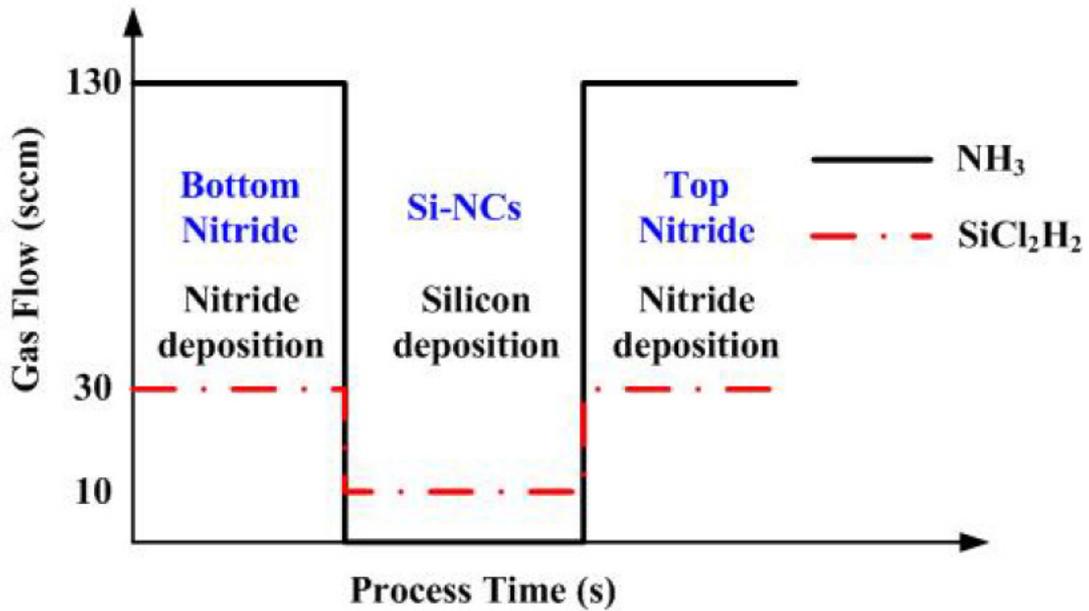


圖.2-7 臨場沉積氮化矽層嵌入矽奈米晶體氣體流量示意圖

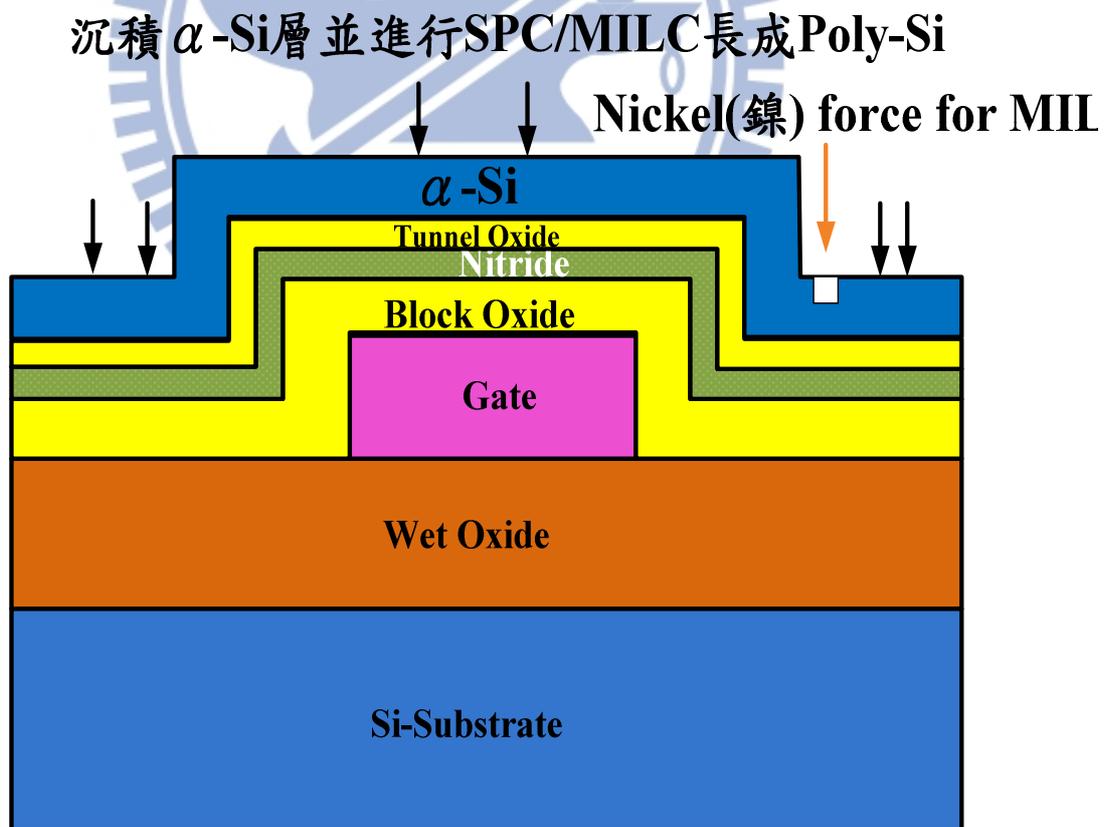


圖.2-8 非晶矽層形成多晶矽層

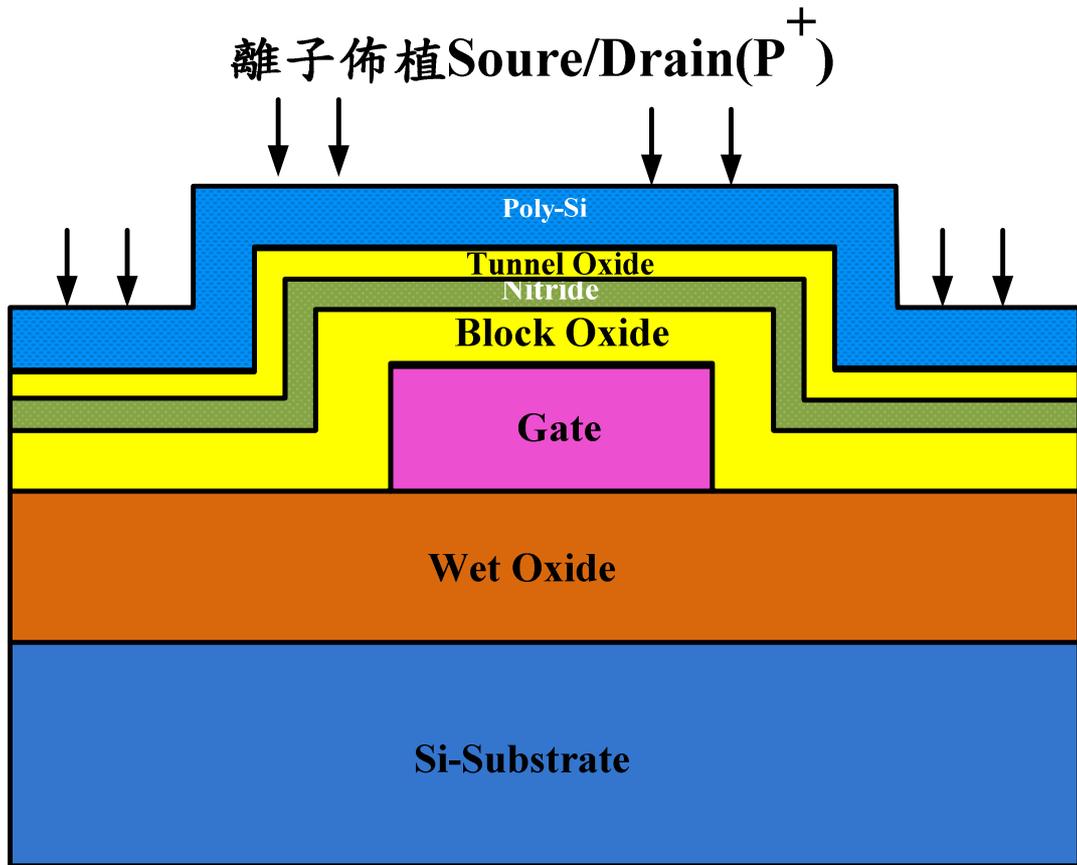


圖.2-9 離子佈植源、汲極

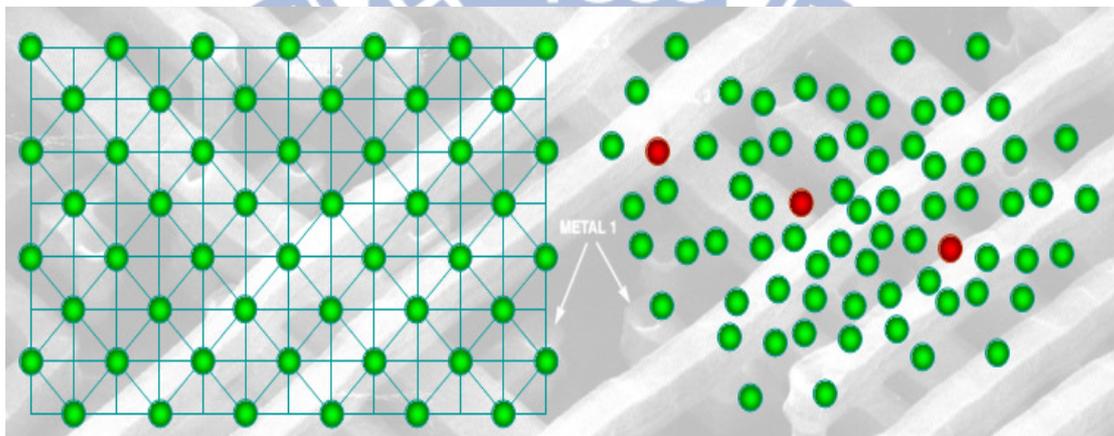


圖.2-10 左為佈植前矽晶格 右為佈植後矽晶格示意圖

TFT-Device Cross section View

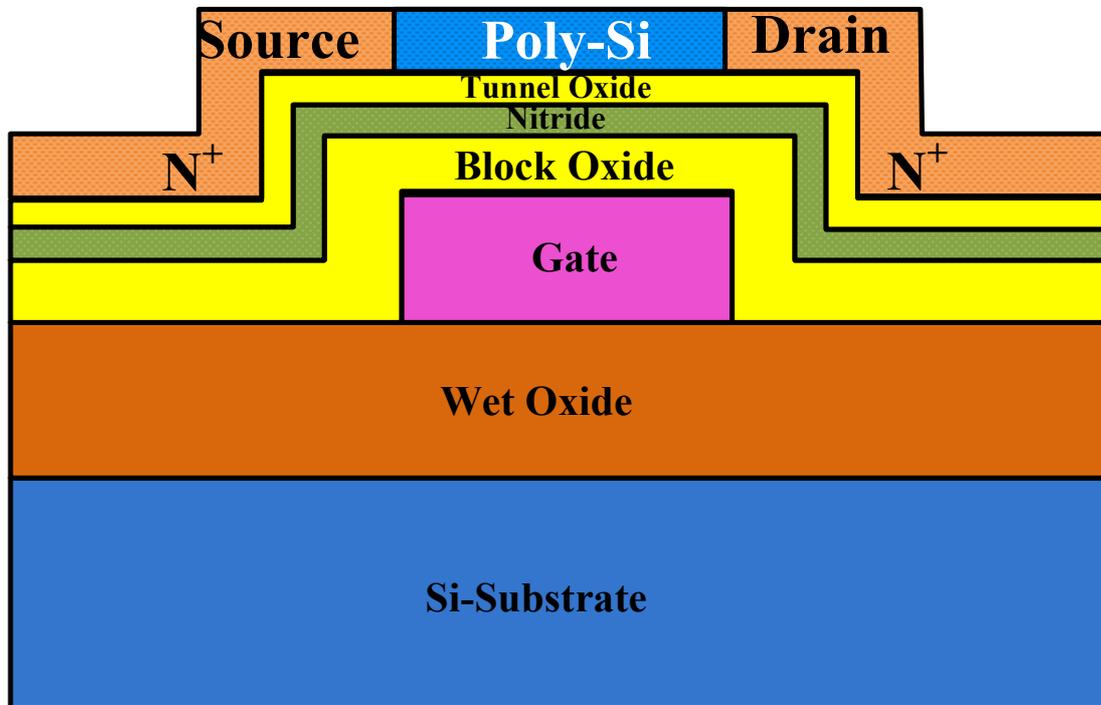


圖.2-11 底部開極薄膜電晶體切面圖

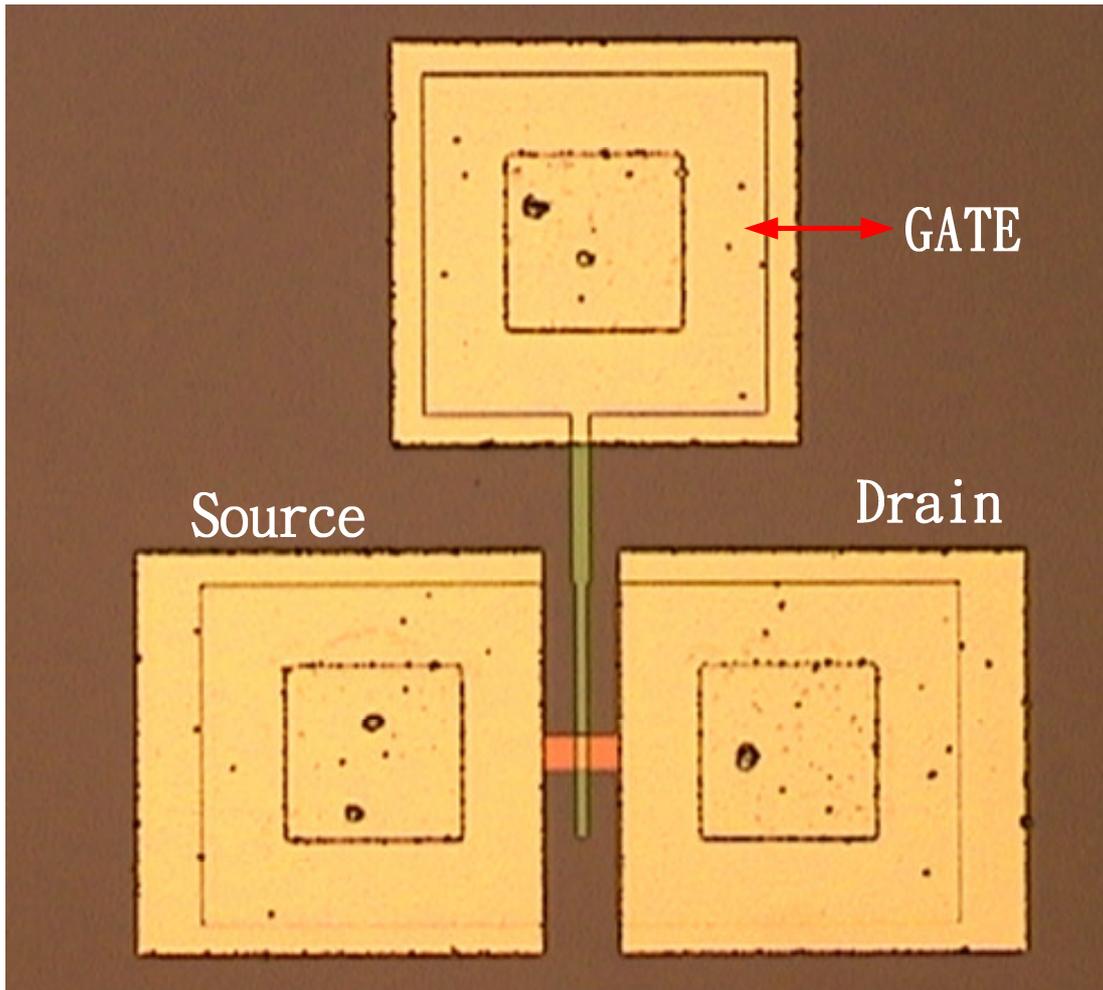


圖.2-12 底部開極TFT元件TOP View

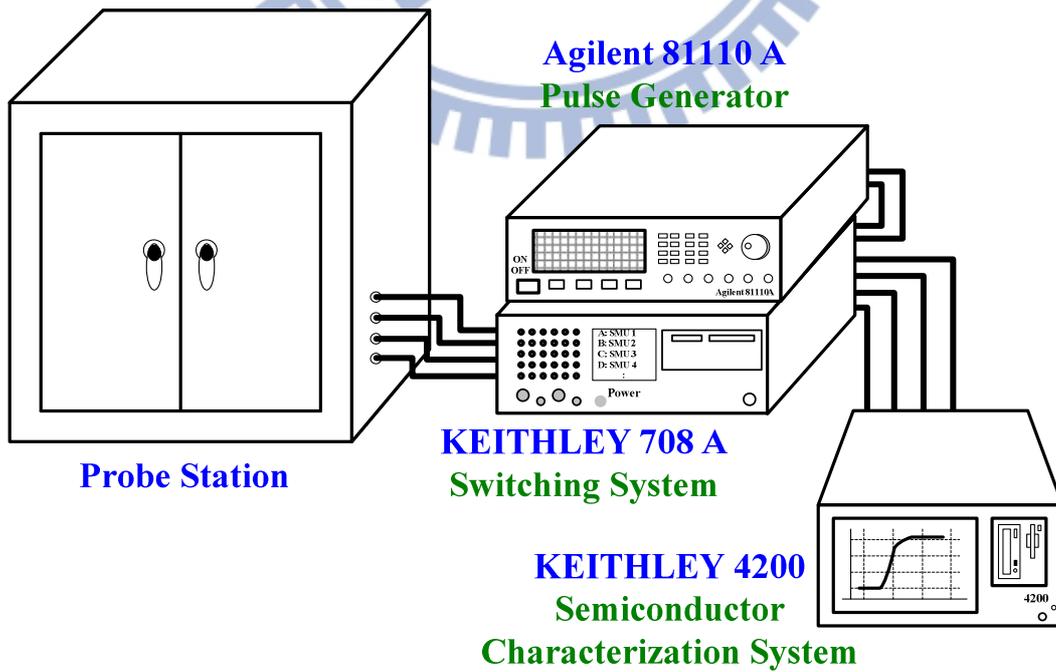
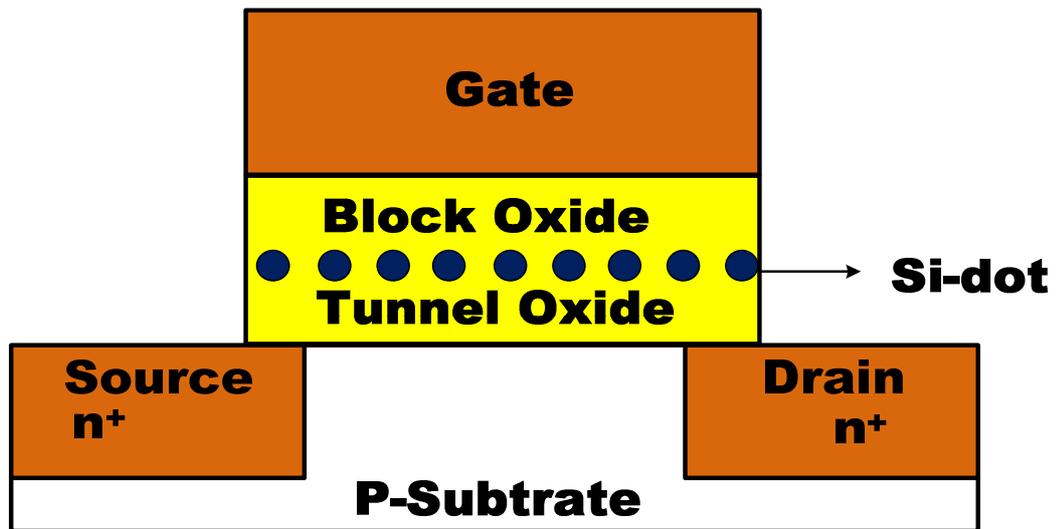


圖.2-13 量測設備示意圖



● **Nano Crystal**

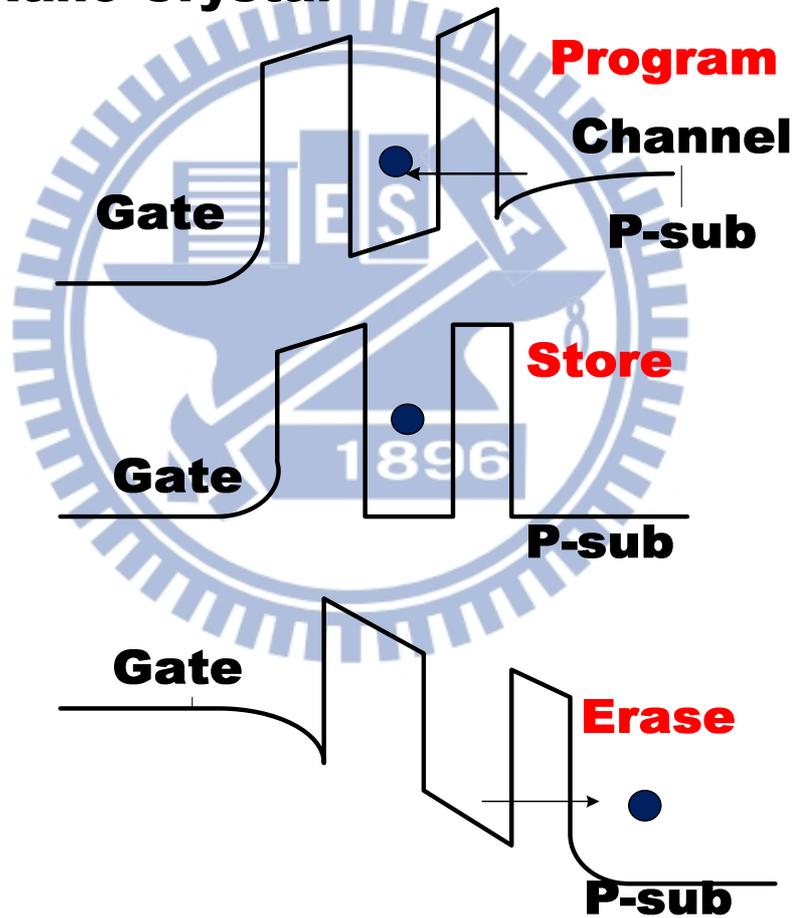


圖.2-14 奈米晶體記憶體元件結構剖面圖以及操作能帶示意圖

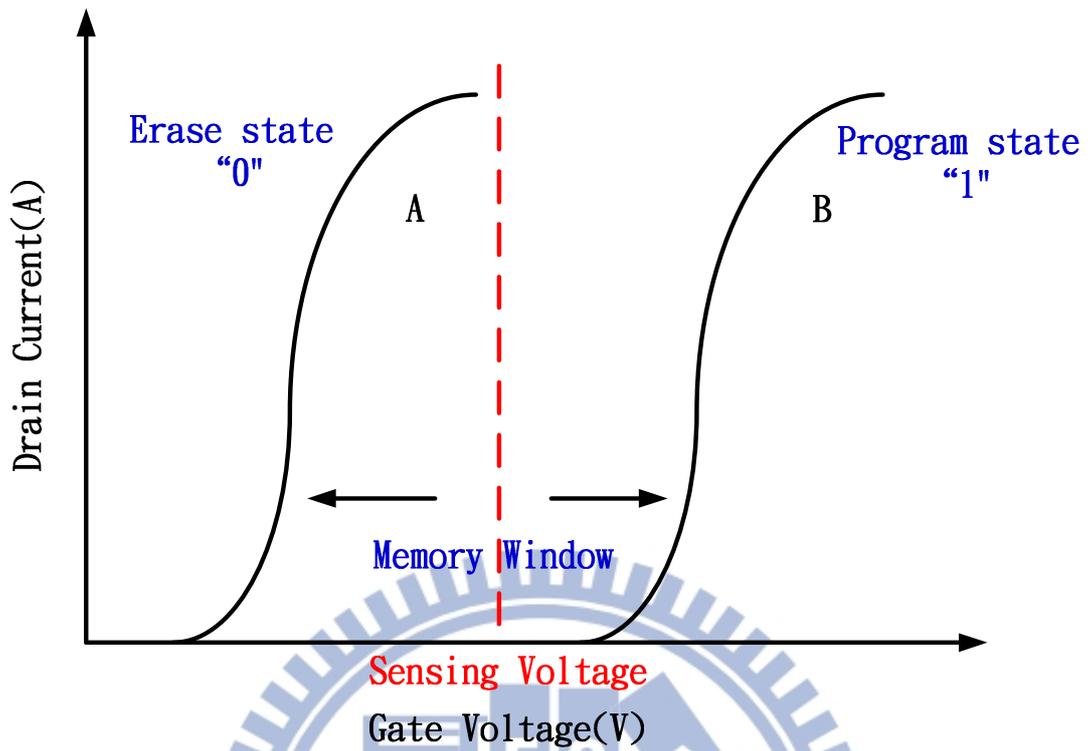


圖.2-15 元件寫入/抹除邏輯判斷示意圖

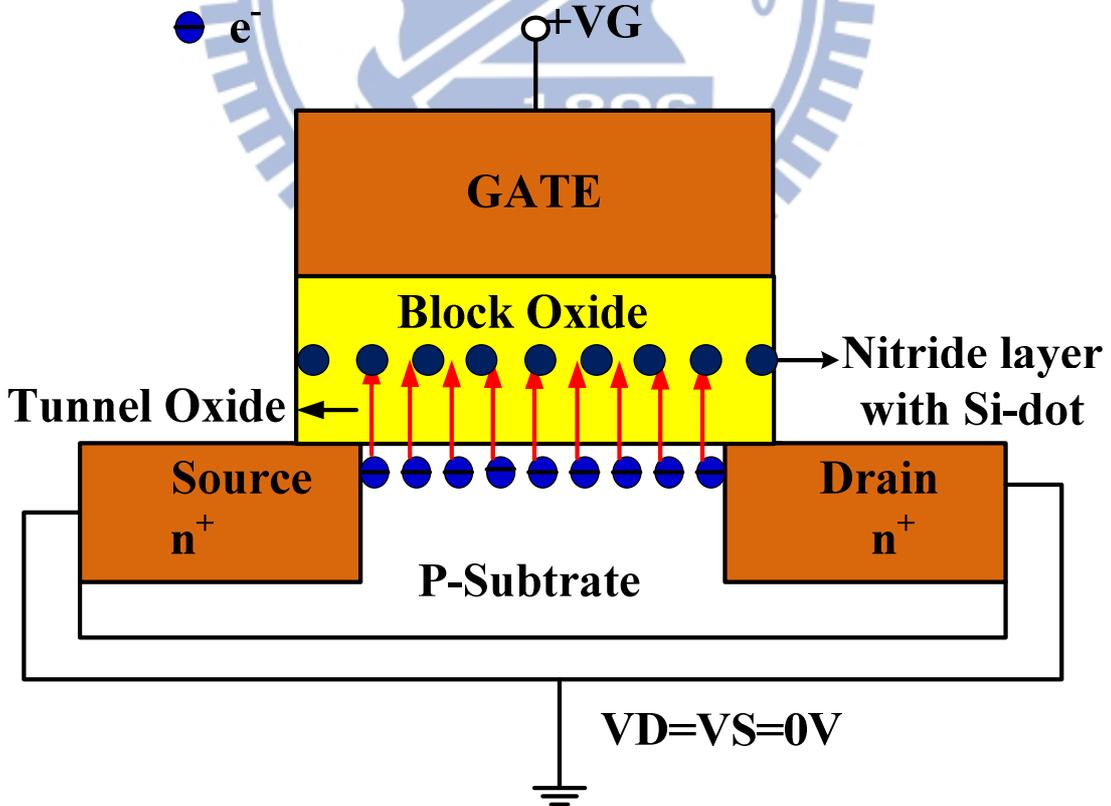


圖.2-16 元件 FN 寫入機制示意圖

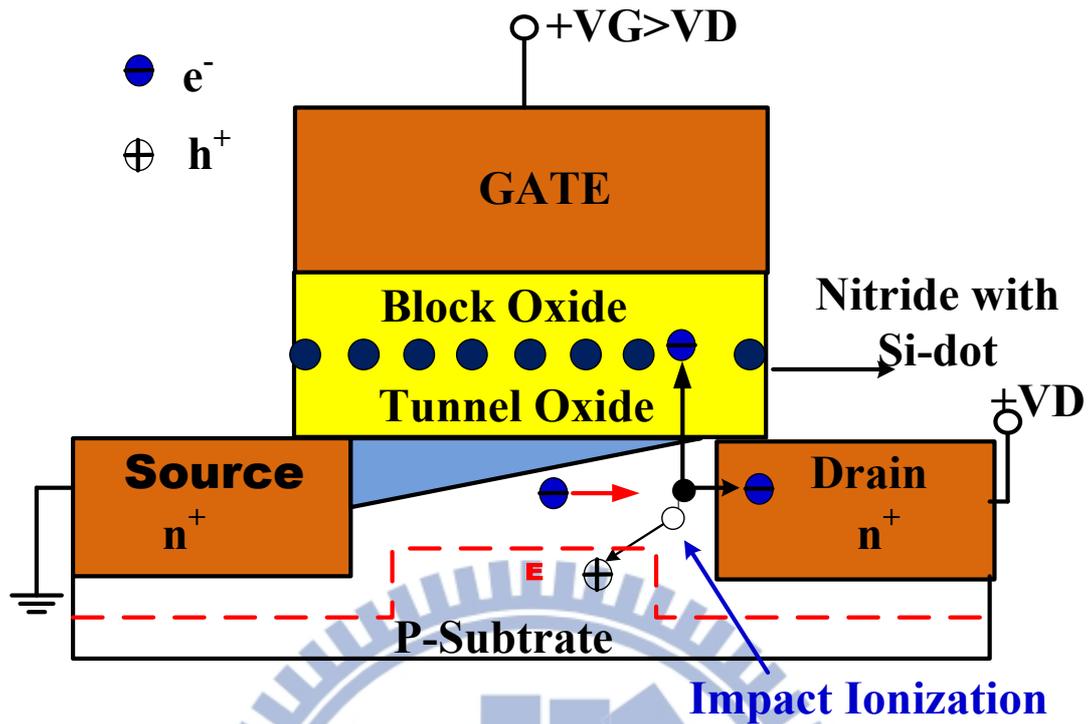


圖.2-17 元件熱電子注入寫入機制示意圖

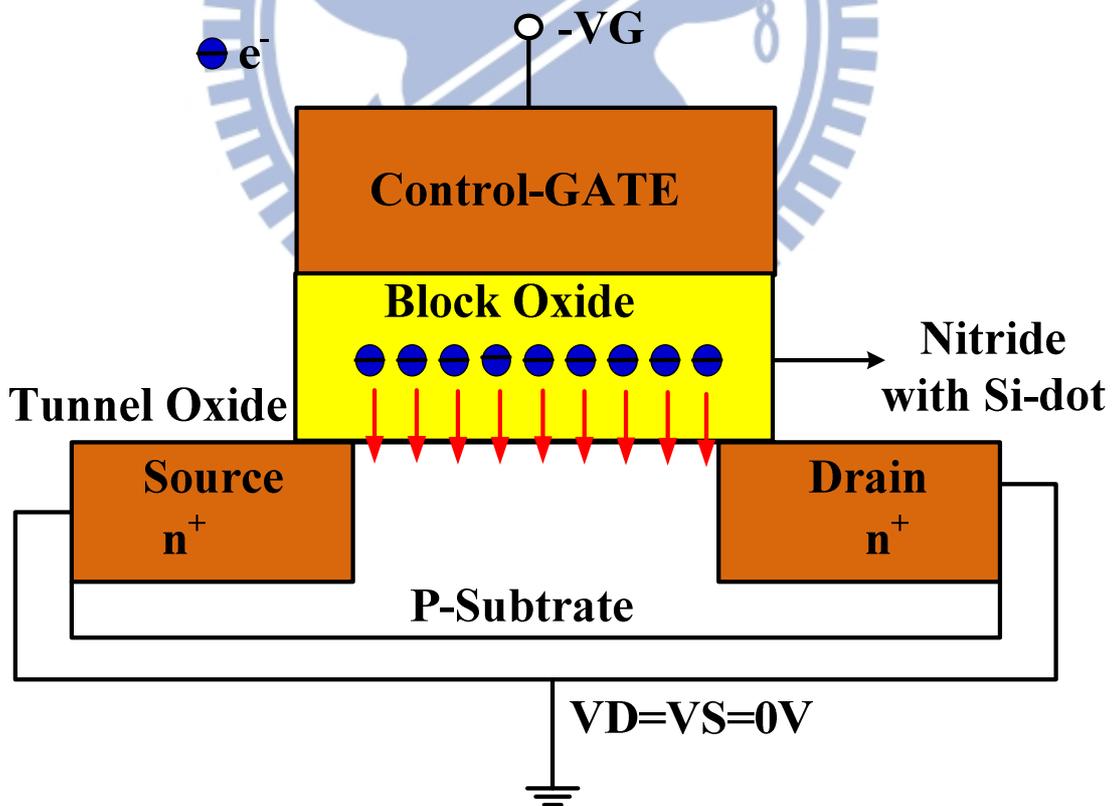


圖.2-18 元件 FN 抹除機制示意圖

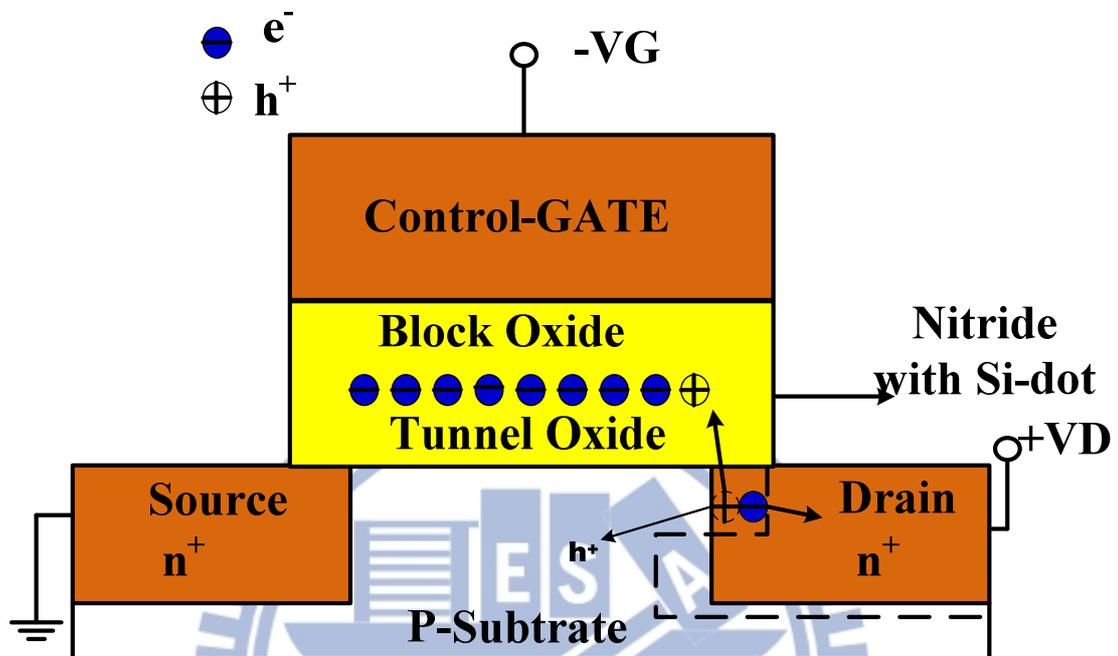


圖.2-19 BTBHH 抹除機制示意圖

第三章

元件基本電性與記憶體特性量測

3.1 元件基本特性量測

3.1.1 基本 I_D - V_G 特性曲線比較

矽奈米晶體記憶體開始進行基本 I_D - V_G 的量測時，先分別將探針下至閘極(Gate)、源極(Source)、汲極(Drain)三端，將源極接地($V_S=0V$)；汲極端則給固定的小偏壓 ($V_S=0.1 V$)；而在量測的過程中，為了要特別針對元件是否因製程的不同會出現閘極誘導汲極漏電(Gate Induced Drain Leakage；GIDL)[24]的現象，閘極需要特別給予一偏壓範圍($V_G=-8\sim 10V$)，便可進行元件基本的 I_D - V_G 特性曲線量測。但量測過程需要特別注意閘極所施予的偏壓範圍(不可過大)，以避免元件在進行 I_D - V_G 的量測時，就有電荷寫入或抹除的動作產生，導致後續記憶體特性量測失真。

[圖.3-1~圖.3-4]分別為A~D元件的 I_D - V_G 特性曲線，我們可以從這四種元件的 I_D - V_G 特性曲線很明顯的看出轉導(transconductance，GM)參數，A元件的GM參數遠低於B、C、D三種元件的GM參數,其中又以D元件GM參數最高，轉導是指閘極偏壓(V_G)調變汲極電流(I_D)的能力，轉導的值越大代表在較小的閘極偏壓即可驅動較高的汲極電流值。A~D的最大GM參數分別為 $0.108 \mu S$ 、 $0.6 \mu S$ 、 $0.57 \mu S$ 、 $0.77 \mu S$ 。

另外也可在 I_D-V_G 特性曲線上看出次臨界斜率 (subthreshold slope, S.S), 所謂次臨界斜率(S.S)代表閘極電壓調變電晶體元件開關的能力, 即元件從關(off)至開(on)時, 每增加一個數量級的汲極電流所需要之閘極偏壓, 而當次臨限斜率越小代表元件開關的切換速度越快。從 I_D-V_G 特性曲線上也可很明顯看到A元件的斜率是最大的, 其他B、C、D的斜率則相當接近, 但還是以D元件的次臨界斜率為最小。假設單從上述兩項特性來做比較, D元件的基本電特性是為最佳的, A元件的基本電特性為最差的, 此結果也可以完全印證使用金屬誘導的結晶方式(MILC)製做出的元件電特性的確優於固相結晶法(SPC)。

3.12 閘極誘發汲極漏電流(GIDL)比較

閘極引發的汲極漏電流 (GIDL), 物理機制是因空乏區內高電場而產生的價電子帶到傳導帶的穿隧漏電流 (band to band tunneling leakage)[圖.3-6][27][28][29][30][31]。

[圖.3-7~圖3.10]為A~D元件之 I_D-V_G 特性曲線, 在相同的閘極偏壓條件下, 在各元件我們都取樣了兩種不同的元件尺寸來做為比較, 由 I_D-V_G 特性曲線圖可以清楚發現, A元件與D元件是完全沒有GIDL的現象, B元件與C元件則是有GIDL的現象。

從[圖.3-5]為鎳金屬擴散與各類型摻雜關係圖, 從圖中可以當作我們對A, D元件為何沒有GIDL現象, 而B, C元件卻有GIDL現象的

可以判斷與佐證。從圖中可以看到當通道層尚未摻雜任何離子時，汲極端濺鍍進鎳金屬做MILC結晶化的速度比已經先摻雜成N-Type的通道層要來的快速，那由於N-Type的結晶化速度較慢，我們認為這樣會在汲極端累積較多的鎳金屬缺陷，可能就是造成GIDL的主要原因，那由於A，D元件都是在尚未摻雜通道層的狀態下進行MILC所以不會累積過多的鎳金屬缺陷，也因此並未發生GIDL的現象[33]。

3.2 寫入速度 (Program Speed) 與記憶體窗 (Memory Window)

此節我們要討論其同樣嵌入矽奈米晶體至氮化矽內的元件，使用相同的電場進行記憶體寫入時的記憶體效率和記憶體窗口，比較在不一樣的結晶方式(SPC/MILC)條件下記憶體特性有何差異。在進行元件寫入量測前，必須要先找出電荷尚未寫入前的 I_D-V_G 曲線作為基準點，首先使用 $V_G=10\text{ V}$ ； $V_D=10\text{ V}$ ； $V_S=0\text{ V}$ 的條件先行寫入電荷，然後再行使用 $V_G=-10\text{ V}$ ； $V_D=10\text{ V}$ ； $V_S=0\text{ V}$ 進行抹除一次的 I_D-V_G 曲線為初始狀態(Initial State)。寫入方式我們採用的是FN機制(Fowler-Nordheim Mechanism)，亦即就是 $V_S=V_D=0\text{ V}$ ，完全依靠閘極偏壓來製造足夠電場讓電荷穿過穿隧氧化層(Tunneling Oxide)存取在奈米晶體捕捉層，達成寫入的目的。為了比較不同條件之寫入速率及記憶體窗口，我們分別調變不同的閘極寫入電壓進行量測，而我們萃

取臨界電壓(Threshold Voltage, V_T)是定義在汲極定電流為10nA時所對應到之閘極電壓，定義為元件的臨界電壓值(V_T)。[圖.3-11~3-16]為A~D元件分別調變不同閘極寫入電壓 ($V_G=12\text{ V}$ 、 13 V 、 14 V 、 15 V 、 16 V 、 17 V)，在寫入時間維持1秒之寫入特性曲線。由特性曲線可明顯看到A~D四種元件使用相同的寫入條件下，只有A、D兩元件可以正常進行寫入的動作，B、C兩元件是無法順利進行寫入動作。所以在以下的寫入以及相關記憶體的特性量測比較下，我們將排除B、C兩元件，只針對A與D元件來進行記憶體特性比較。

在寫入特性曲線當中可以看到A、D元件[圖.3-12][圖.3-15]在使用 $V_G=17\text{V}$ 的寫入條件下，記憶體窗口就可達到3V以上，在[圖.3-16(a)(b)]是A、D元件調變 $V_G=12\text{ V}\sim 17\text{ V}$ 的寫入速度量測曲線，接下來我們挑選($V_G=12\text{ V}$ 、 14 V 、 17 V)的寫入條件比較其兩元件的寫入速度，在[圖.3-17]中，當A、D元件寫入條件 $V_G=12\text{ V}$ ，10ms時A元件達到約0.65 V的臨界電壓偏移量，而D元件只有約0.2 V的臨界電壓偏移量。在[圖.3-18]中，當寫入條件 $V_G=14\text{ V}$ ，10ms時A元件達到約1.1V的臨界電壓偏移量，而D元件只有約0.3 V的臨界電壓偏移量。在[圖.3-19]中，當寫入條件 $V_G=17\text{ V}$ ，1 ms時A元件已經達到約1.3 V的臨界電壓偏移量，而D元件只有約0.7 V的臨界電壓偏移量， $V_G=17\text{ V}$ ，1s時A元件記憶窗口可達到將近4 V，但是D元件卻只有達

到3 V。從上述三種寫入條件比較可以很清楚看到A元件的電荷注入效率遠比D元件來的理想，以寫入速度來比較也是A元件的寫入速度效率優於D元件，在[表.3-1]裡的[Program Vt_Shift]項目也整理出不同寫入偏壓條件下的A、D臨界電壓偏移量比較。

3.3 抹除速度(Erase Speed)

在比較各條件之寫入特性後，即可進行元件抹除的測試。抹除測試的方法，一開始同樣先定義電荷尚未寫入前的 I_D-V_G 曲線定義($V_G=-10\text{ V}$ ； $V_D=10\text{ V}$)，接著在閘極施加正偏壓($V_G=17\text{ V}$ ； $V_D=0\text{ V}$)進行元件寫入的動作。完成寫入窗口後，即利用寫入後的 I_D-V_G 曲線作為抹除測試計算臨限電壓偏移的初始點。

元件進行負偏壓抹除動作後，將 I_D-V_G 曲線所對應的臨界電壓扣除初始點的臨界電壓，可求得負值的臨界電壓偏移。[圖.3-20(a)(b)]為A、D元件 $V_D=10\text{ V}$ ， $V_G=-6\text{ V}\sim-10\text{ V}$ 的抹除速度量測曲線圖，我們挑選 $V_D=10\text{ V}$ 、 $V_G=-6\text{ V}$ 、 $V_G=-8\text{ V}$ 、 $V_G=-10\text{ V}$ 抹除條件A、D元件的抹除速度比較。在[圖.3-21]為 $V_D=10\text{ V}$ ， $V_G=-6\text{ V}$ 的抹除速度量測曲線圖，在10ms時，A元件臨界電壓偏移達到-0.57 V，D元件臨界電壓偏移一樣達到-0.57 V，此時A、D元件的電荷抹除效率是相同的，但是在1s時A元件的臨界電壓偏移達到-1.16 V，D元件臨界電壓偏移達到-1.7 V，此時D元件的電荷抹除效率明顯優於A元件。[圖.3-22]為

$V_D=10\text{ V}$ ， $V_G=-8\text{ V}$ 的抹除速度量測曲線圖，在10ms時，A元件臨界電壓偏移達到-0.79 V，但是D元件臨界電壓偏移已達到-1.5 V，從圖中可以明顯發現使用此抹除條件下，D元件的電荷抹除效率整體明顯一樣優於A元件。

[圖.3-23]為 $V_D=10\text{ V}$ ， $V_G=-10\text{ V}$ 的抹除速度量測曲線圖，由圖中可看出當在10ms時，A元件臨界電壓偏移達到-1.25 V，D元件臨界電壓偏移達到-2.4 V，但是在1s時，A元件臨界電壓偏移達到-4.1 V，D元件達到-4.3 V，以10ms的時間點來比較，D元件的電荷抹除效率是比較高的,但由1s的時間點來比較，A、D元件的電荷抹除效率是非常接近的，在[表.3-1]裡的[Erase Vt_Shift]項目也整理出不同抹除偏壓條件下的A、D臨界電壓偏移量比較。

3.4 資料保存時間(Retention Time)

一個非揮發記憶體元件最重要的可靠度特性，即是元件的資料保存能力，一般資料保存時間必須達十年限且只能流失約20%的電荷，若是電荷無法有效保存住，則會造成資料的流失並完全失去非揮發性記憶體的基本功能。資料保存時間的量測方法，是將電荷寫入至儲存層中後，並移除掉外部的偏壓，觀察寫入後電荷隨著時間流失的狀況。若電荷隨著時間的增長而開始流失，則寫入後的臨界電壓將會往初始狀態方向偏移，而我們必須隨著時間的增加，每隔一段時間進

行 I_D - V_G 的量測，萃取出在不同時間下的臨限電壓(V_T)值，以計算電荷的流失量。那我們設定的量測時間為 10^4 s，再以外差法的方式推估十年限後電荷的流失量。

[圖.3-24]為A、D元件在常溫下的資料保存量測結果，在量測 10^4 s時，其A元件電荷流失了有0.48 V，等於9.74%的流失量。在D元件的部分電荷則是流失了有0.62 V，相當於17.15%的流失量。這有可能來自於電荷存於矽奈米晶體與氮化矽或二氧化矽之間的淺缺陷 (shallow trap)，導致電荷一開始非常容易受到熱擾動的影響，使電子易沿著穿隧氧化層缺陷流失掉，加上薄膜電晶體架構本身在元件記憶體特性方面表現不如一般的SONOS記憶體元件，這也許是A、D元件資料保存特性表現不出色的原因。另外D元件是採用MILC的結晶方式下使得元件多少受到金屬汙染的影響，導致電荷的流失量比A元件來的更糟。以此推估此A元件經過十年限的時間，電荷約會流失掉38%，D元件電荷更是會大量流失掉53%，這表示其電荷儲存能力無法運用到商業快閃記憶體(Flash Memory)產品上。

3.5 元件耐久性(endurance)

元件耐用性的量測，是針對元件進行寫入與抹除循環 (P/E cycles) 可操作的次數，是非揮發性記憶體另外一個重要的可靠度指標。在製作一個非揮發性記憶體元件，一般希望寫入與抹除循環的操作次數最少

可達 10^4 次。元件耐用性與穿隧介電層的厚度以及材料有非常直接的關係。以穿隧介電層的厚度來說，耐用性與厚度是呈現反比的關係，即當穿隧層厚度越厚，所需要的寫入/抹除電壓就大，因此穿隧介電層所承受的應力就會越大而使元件易崩潰；反之，當穿隧層厚度越薄，所需的寫入/抹除電壓就小，在穿隧介電層所承受的應力變小後，元件就可以保有較好的耐用性。就穿隧層材料來說，若所使用的材料位障壁高度若小，載子在小偏壓下穿隧至儲存層的機率就大，元件就可有較好的耐用程度；反之，若所使用的材料障壁高度較高，就需較大的偏壓才可增進載子穿隧的機率，元件耐用性就會變差。因此，影響元件耐用性的兩個主要參數，來自於穿隧介電層的障壁高度以及厚度。

[圖.3-25(a)][圖.3-26(a)]分別為寫入與抹除循環次數對臨界電壓與記憶體窗的作圖，以判斷元件的耐用性。進行耐用性測試前所需注意的重點，是必須選擇在寫入與抹除的操作下，可達到臨界電壓偏移量相當的操作條件。我們寫入統一採取 $V_G=17\text{ V}$ ， $V_D=0\text{ V}$ ，偏壓脈波時間為1s的條件，抹除則統一採取 $V_G=-10\text{ V}$ ， $V_D=10\text{ V}$ ，偏壓脈波時間為2s的條件，因為在2s的抹除條件下，A、D兩元件抹除的臨界電壓偏移量都呈現最為穩定的狀態。而量測結果發現，隨著寫入與抹除循環的次數增加，A元件的臨界電壓有上升的趨勢，並且在 10^3 次之

後記憶窗口開始縮小[圖.3-25(b)]，到達 10^4 次時，記憶體窗口已經小於0.5V。D元件方面，在第50次循環[圖.3-26(b)]的時候記憶體窗口就開始漸漸縮小並且到達 10^4 次時記憶體窗口已經接近於0 V，但是也很明顯看到元件臨界電壓偏移的很嚴重，判斷D元件的穿隧氧化層已經受到電荷反覆寫入/抹除的衝擊而受到損壞了。

造成臨限電壓值隨著寫入與抹除循環次數增加而上升的可能原因有兩個，第一個原因可能是因為穿隧氧化層隨著元件操作次數增加，而產生額外的氧化層缺陷和介面缺陷，而這些缺陷將會於元件操作時儲存額外的電荷，使得臨限電壓隨著寫入與抹除循環次數的增加而上升。[圖.3-27]為A元件隨著操作次數的增加所對應之 I_D-V_G 特性曲線，從圖上可以明顯看到隨著操作次數的增加，元件的次臨界斜率特性將會變得越來越差，這也影響到臨界電壓的偏移量，[圖.3-28]為D元件隨著操作次數的增加所對應之 I_D-V_G 特性曲線，在操作次數200次以上之後可以明顯發現元件的次臨界斜率特性呈獻不穩定偏移的狀況，因此我們可以判斷A、D兩元件在寫入與抹除操作時，可能會在穿隧氧化層上產生額外的氧化層缺陷和介面缺陷，並藉由這些缺陷捕捉額外的電荷，使臨界電壓值會有上升的趨勢。

第二個造成臨界電壓值上升的原因，來自於電荷存於矽奈米晶體所提供的深缺陷內，使元件在進行抹除動作時，儲存層中的電荷並

未完全抹除掉，導致臨界電壓隨著寫入與抹除循環的次數上升而逐漸變大。而A元件當寫入與抹除循環的次數達 10^3 次後，其記憶體窗口開始變小，D元件更是在50次的時候記憶體窗口就已經開始變小。造成元件的耐用性並不理想的可能原因，來自於元件的抹除效率不佳，導致抹除的時間必須在秒以上才有辦法明顯的抹除電荷。這對於穿隧氧化層而言，更是承受長時間的載子撞擊，使氧化層所受到的應力增大，進而降低元件的耐用性。由於目前元件抹除的方式，利用通道熱電洞[32]的方式來增進抹除的速度，是於閘極施予負偏壓以及汲極施加正偏壓將儲存層中的電子抹除至通道來達到電荷抹除的動作，通道熱電洞的方式雖然可以增進抹除的效率，但穿隧氧化層受到高能量載子的撞擊，卻可能會使元件耐用性變得更差。

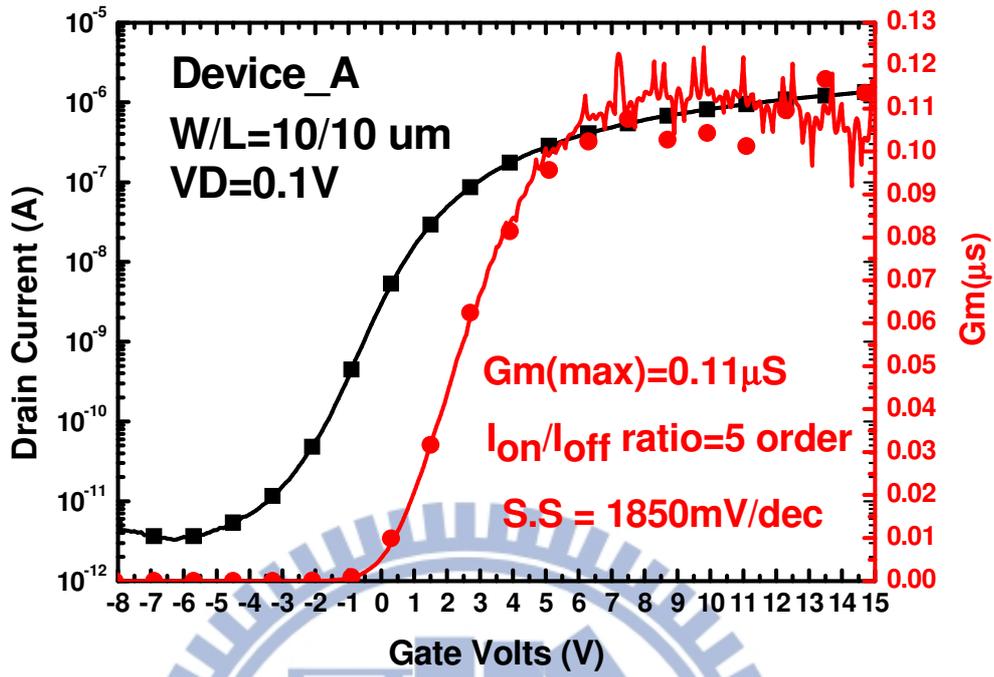


圖.3-1 A元件 I_D - V_G 特性曲線

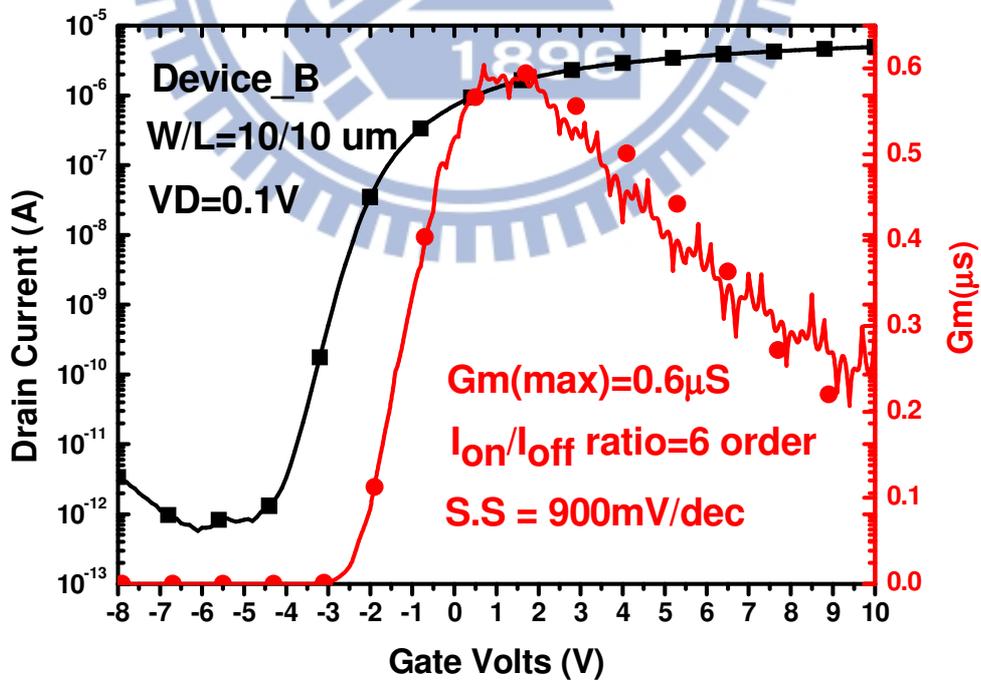


圖.3-2 B元件 I_D - V_G 特性曲線

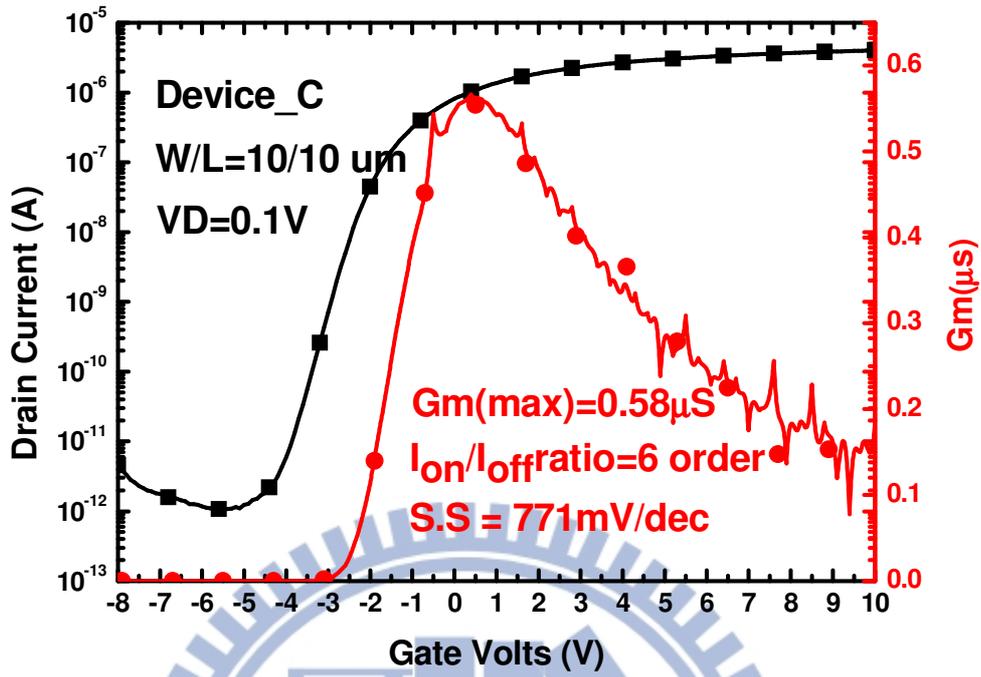


圖.3-3 C元件 I_D - V_G 特性曲線

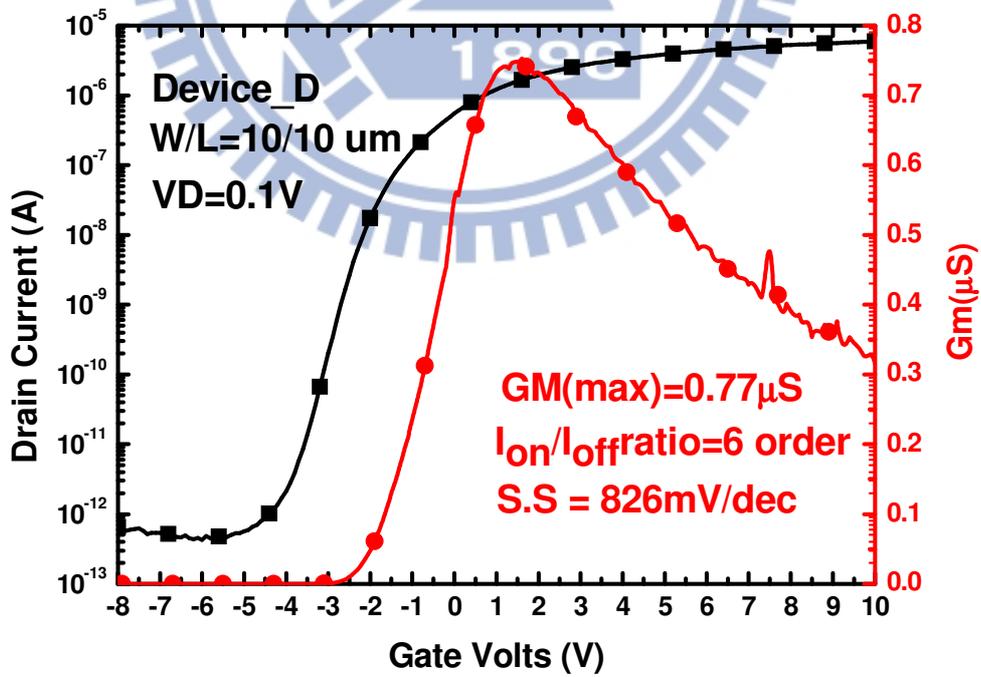


圖.3-4 D元件 I_D - V_G 特性曲線

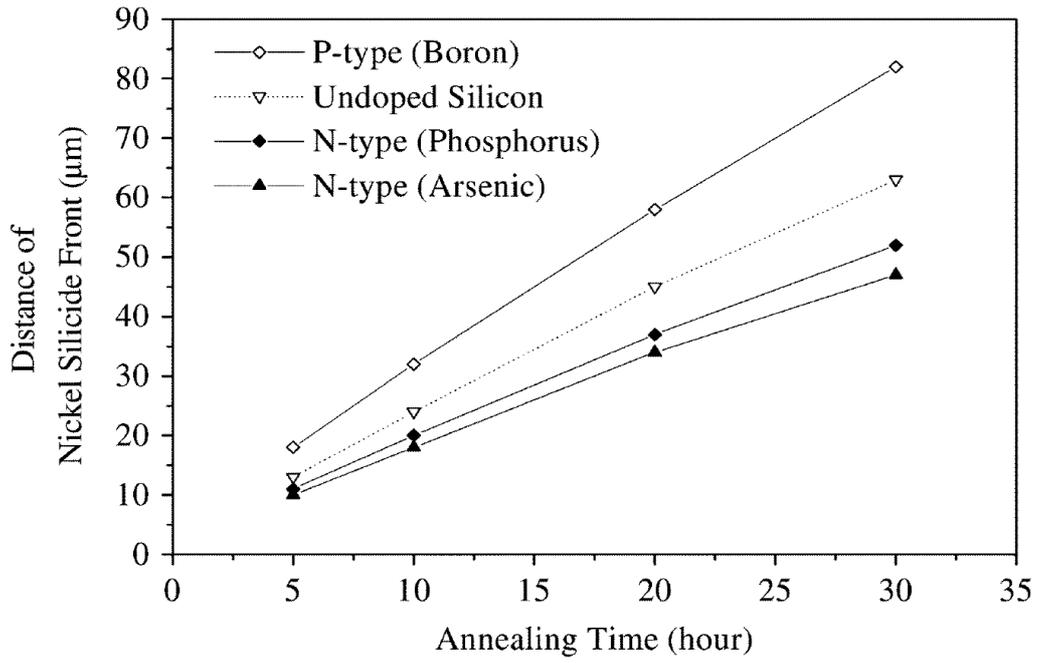


圖.3-5 鎳金屬擴散對摻雜之影響作圖

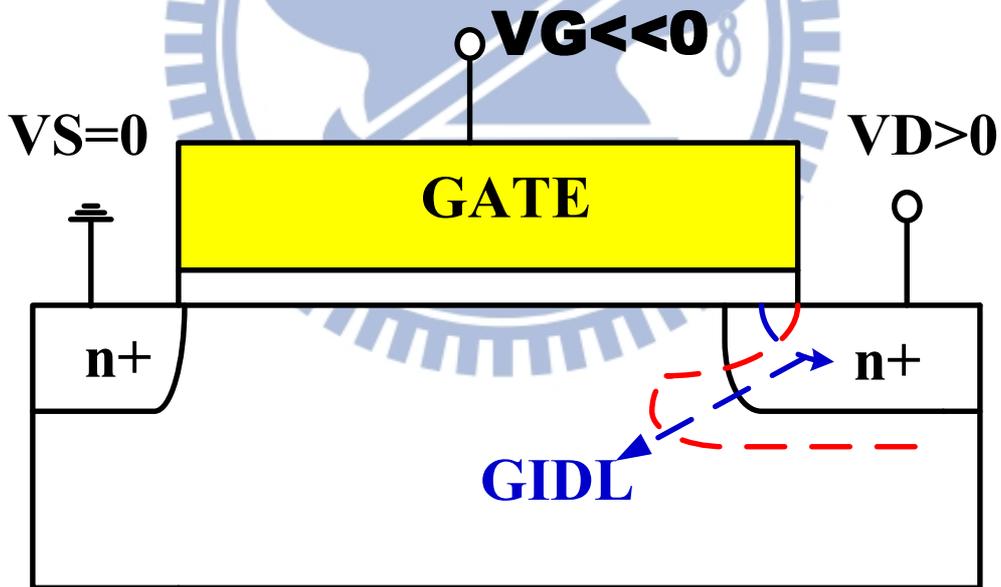


圖.3-6 GIDL現象示意圖

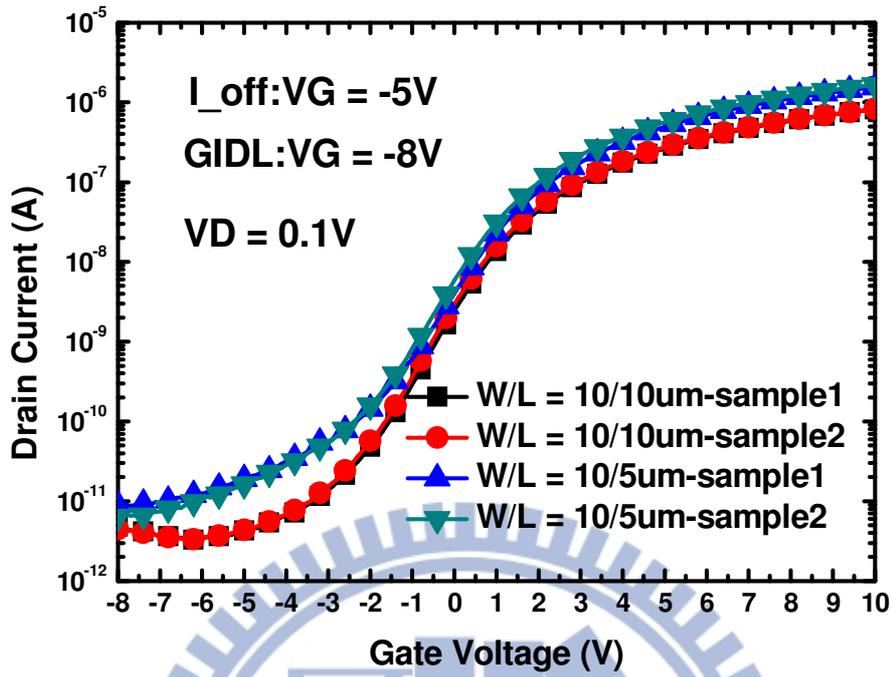


圖.3-7 A元件雙尺寸取樣 I_D-V_G 特性曲線

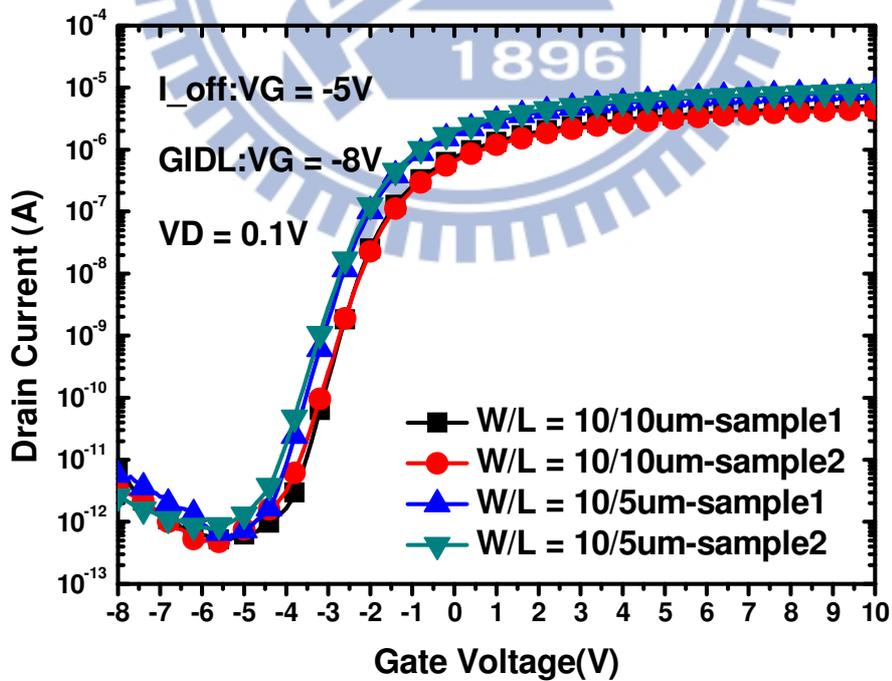


圖.3-8 B元件雙尺寸取樣 I_D-V_G 特性曲線

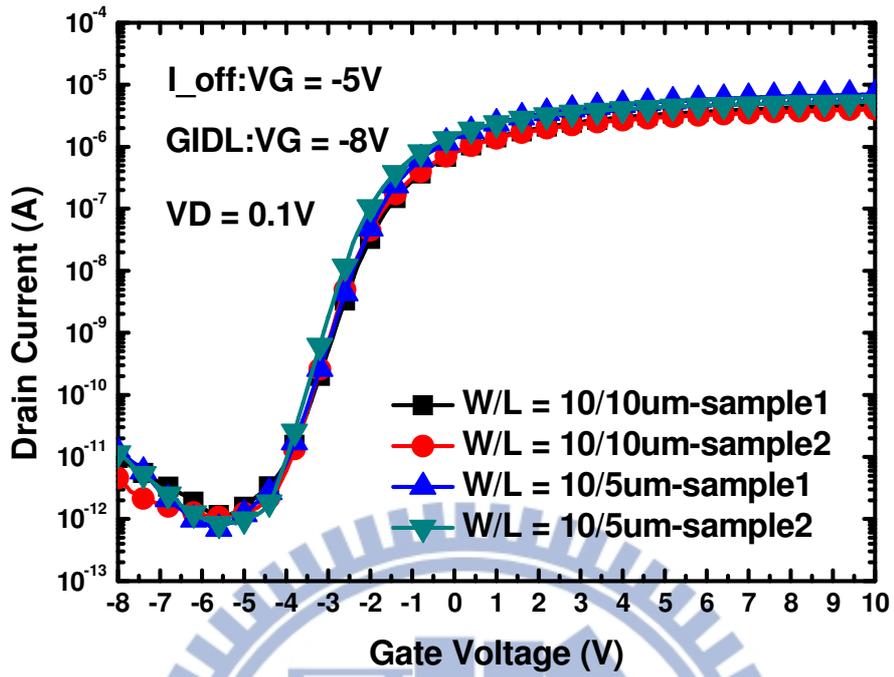


圖.3-9 C元件雙尺寸取樣 I_D-V_G 特性曲線

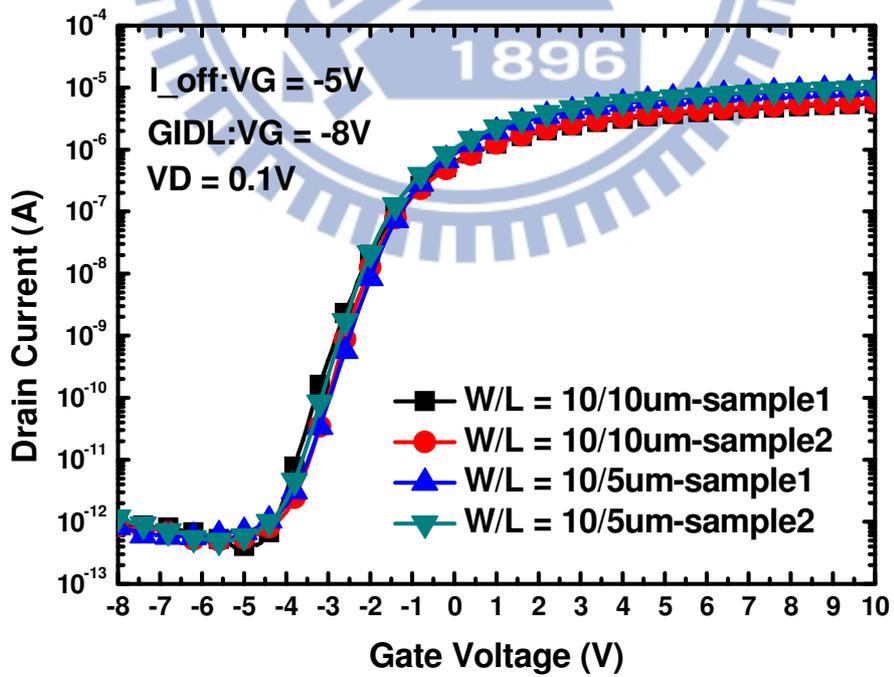


圖.3-10 D元件雙尺寸取樣 I_D-V_G 特性曲線

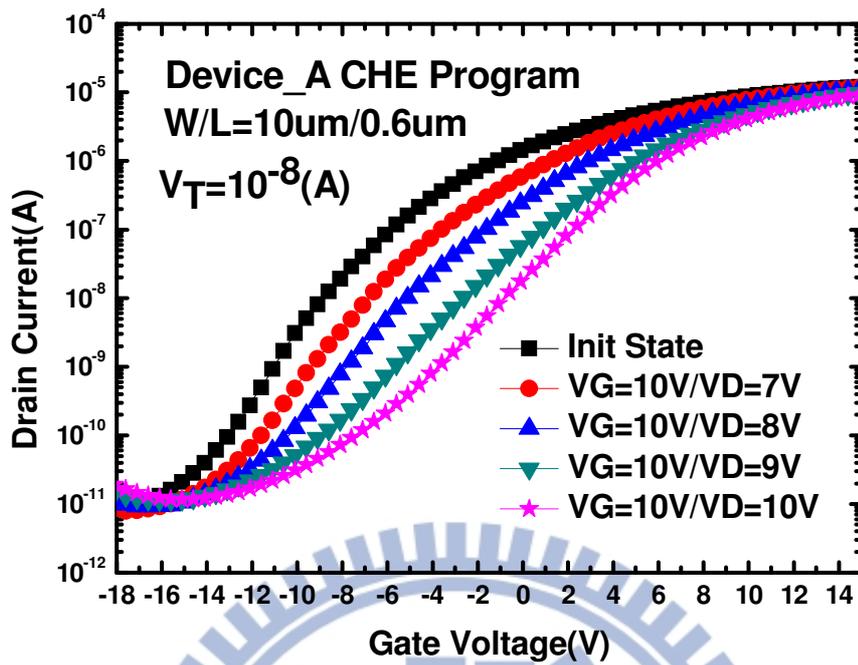


圖.3-11 A元件CHE機制寫入特性曲線

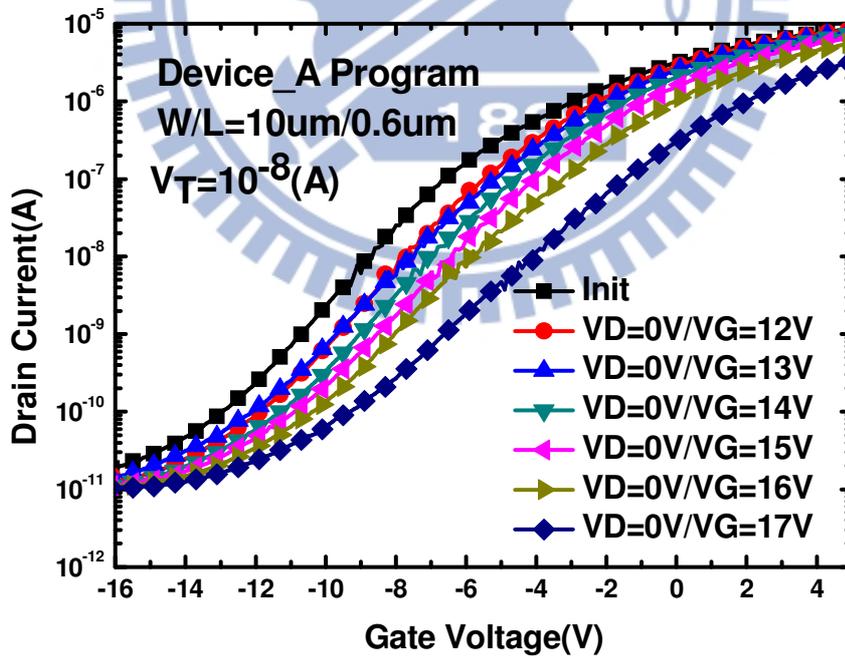


圖.3-12 A元件FN機制寫入特性曲線

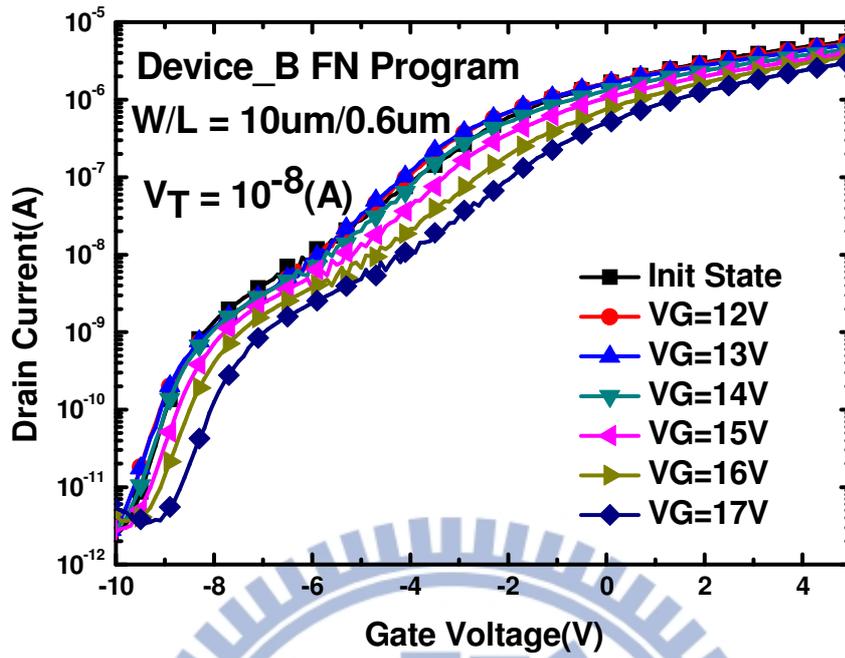


圖.3-13 B元件FN機制寫入特性曲線

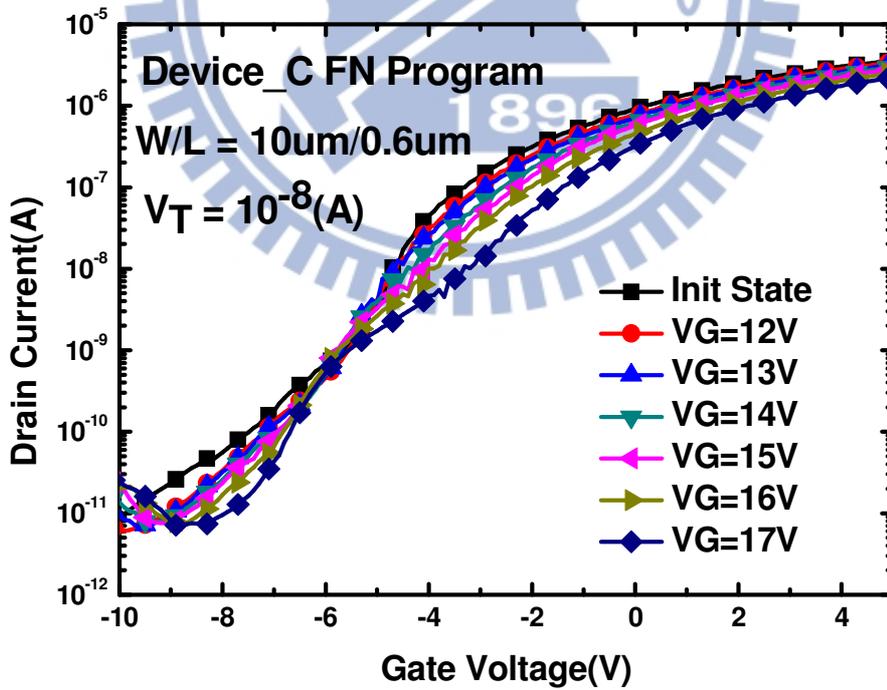


圖.3-14 C元件FN機制寫入特性曲線

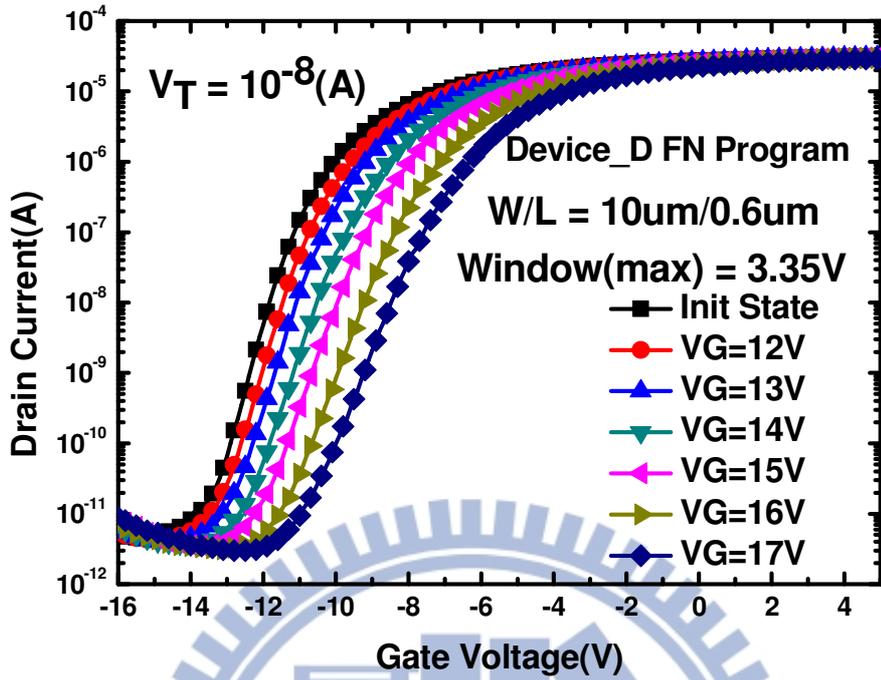


圖.3-15 D元件FN機制寫入特性曲線

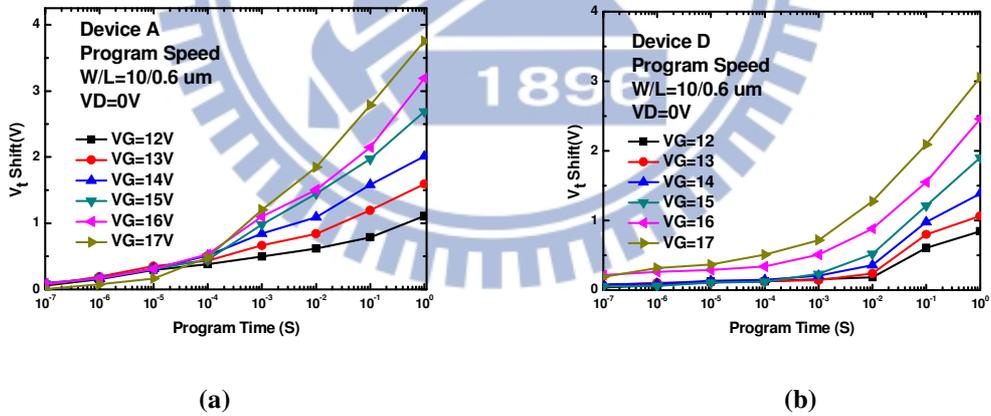


圖.3-16 (a)A元件(b)D元件VG=12V~17V寫入速度量測曲線

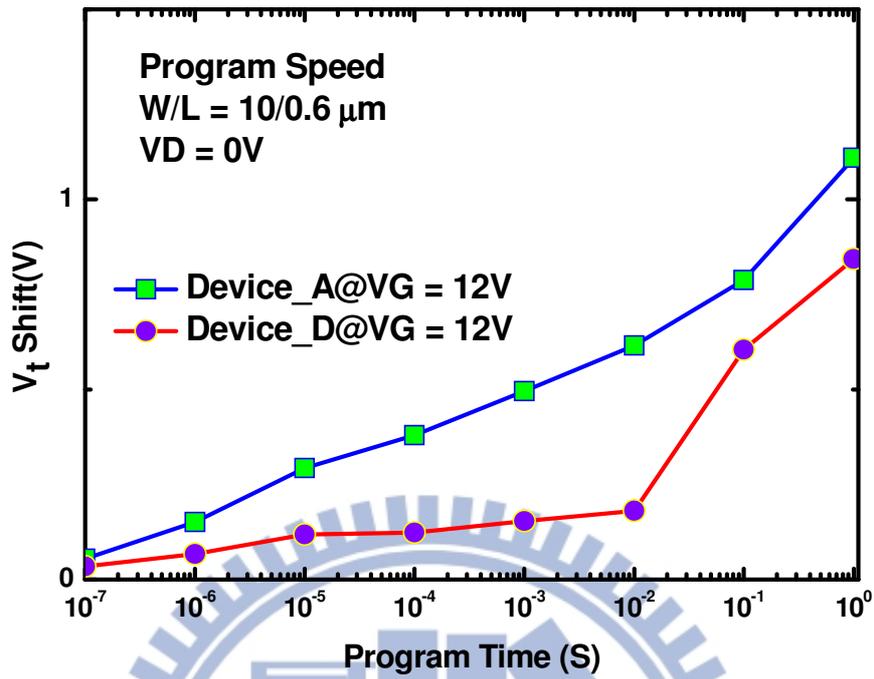


圖.3-17 A、D元件VG=12V寫入速度量測曲線

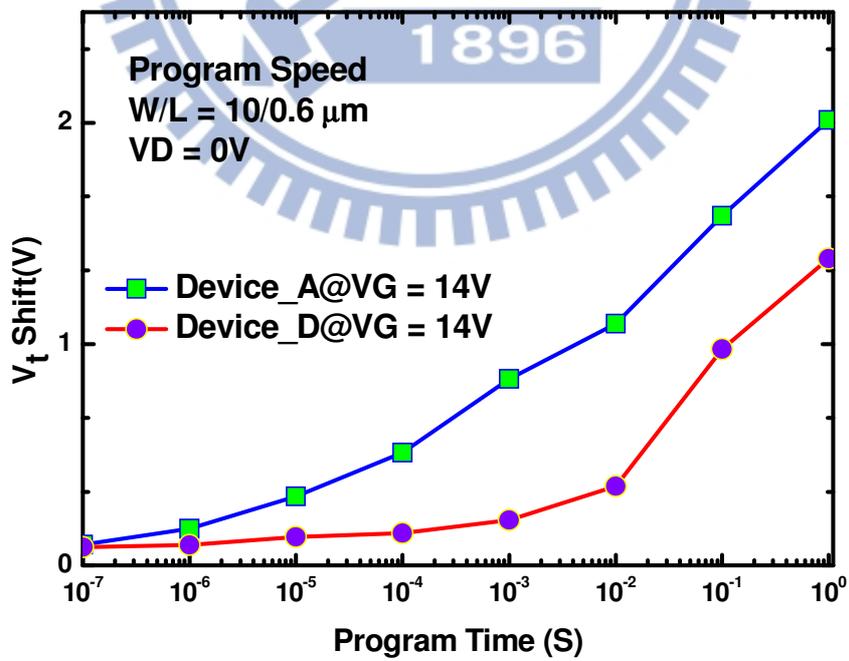


圖.3-18 A、D元件VG=14V寫入速度量測曲線

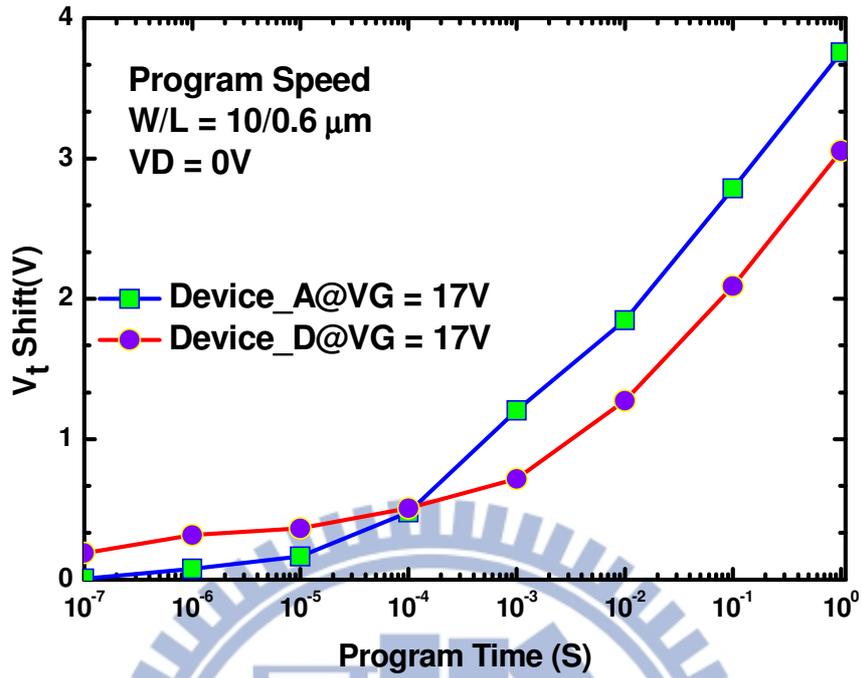


圖.3-19 A、D元件VG=17V寫入速度量測曲線

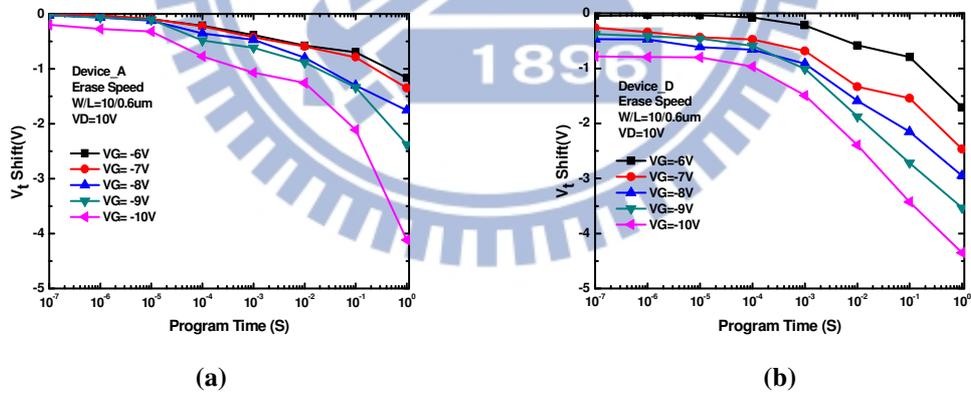


圖.3-20 (a)A元件(b)D元件VG=-6V~-10V抹除速度量測曲線

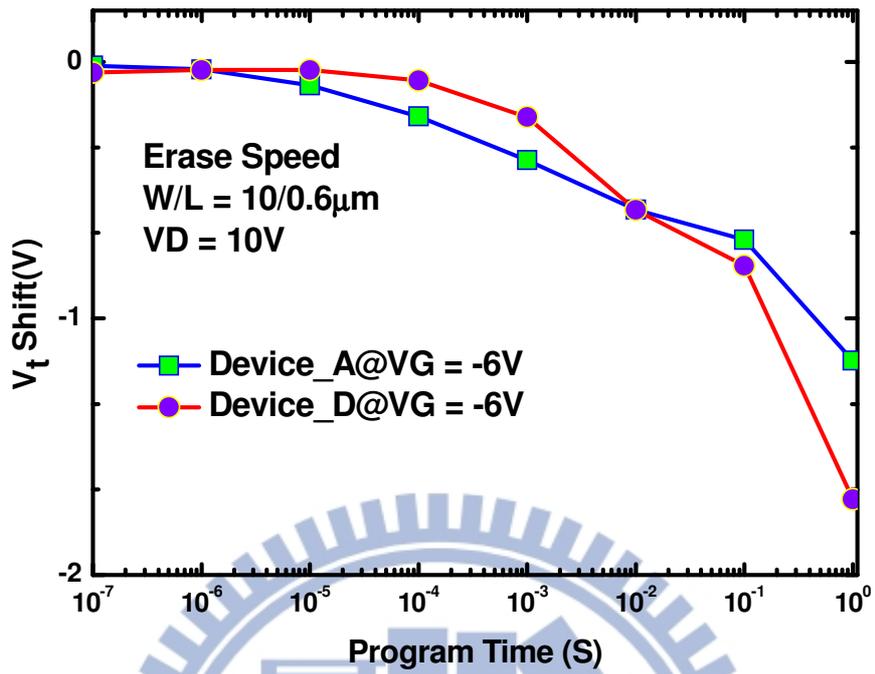


圖.3-21 A、D元件VG=-6V抹除速度量測曲線

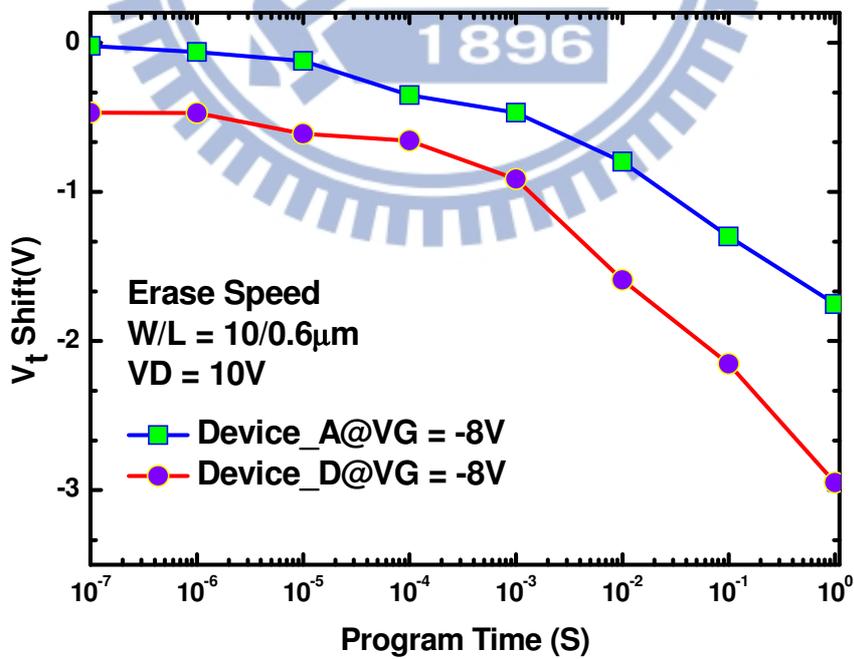


圖.3-22 A、D元件VG=-8V抹除速度量測曲線

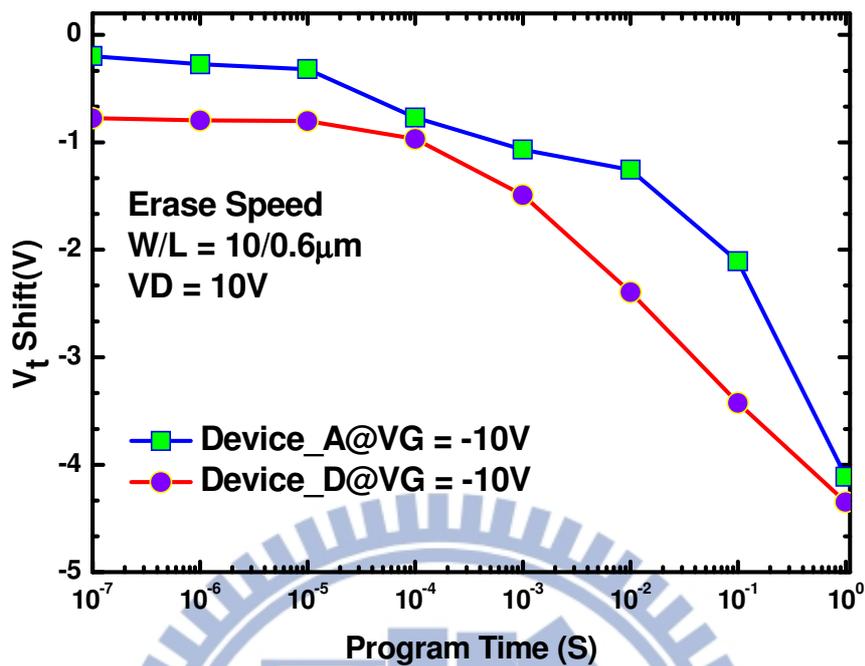


圖.3-23 A、D元件VG=-10V抹除速度量測曲線

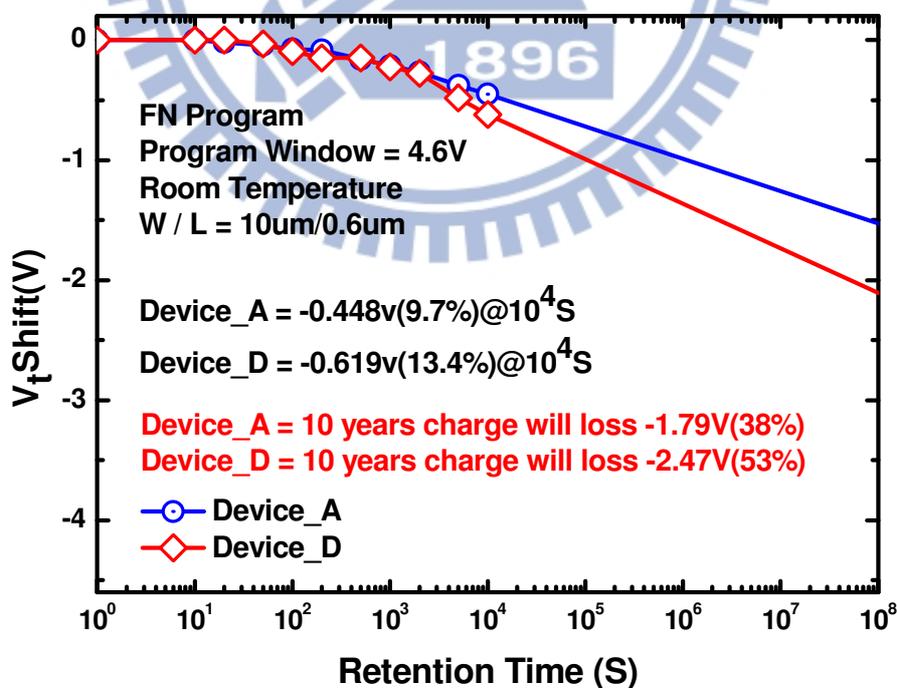
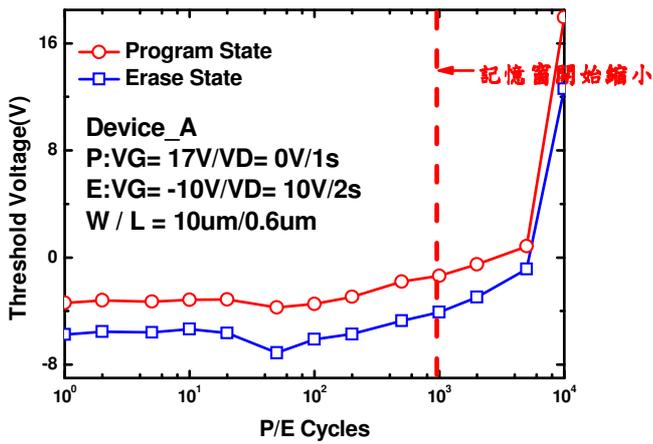
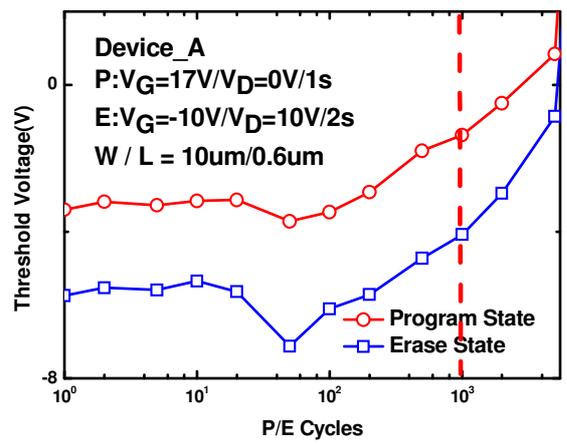


圖.3-24 A、D元件資料保存時間量測結果

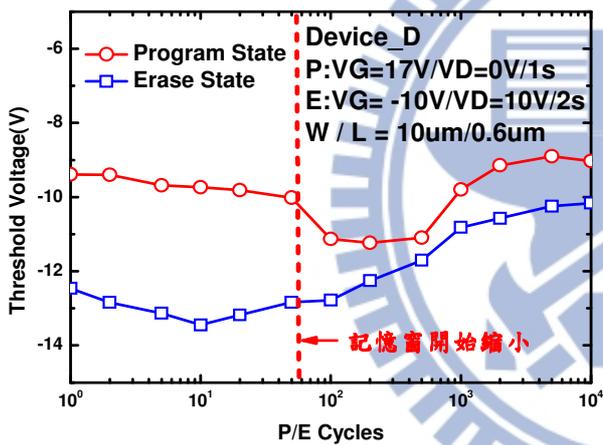


(a)

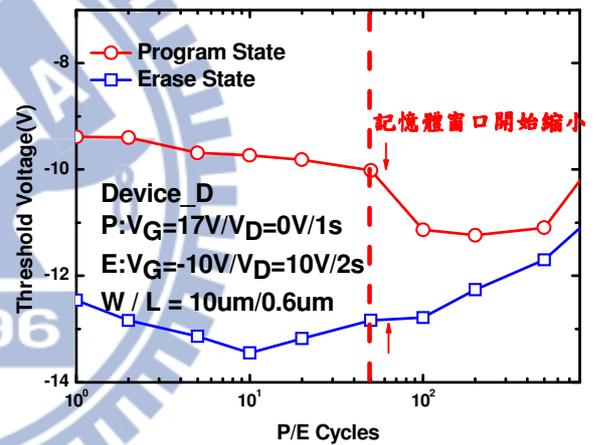


(b)

圖.3-25 (a)A元件寫入/抹除循環次數臨界電壓圖(b)局部放大圖



(a)



(b)

圖.3-26 (a)D元件寫入/抹除循環次數臨界電壓圖(b)局部放大圖

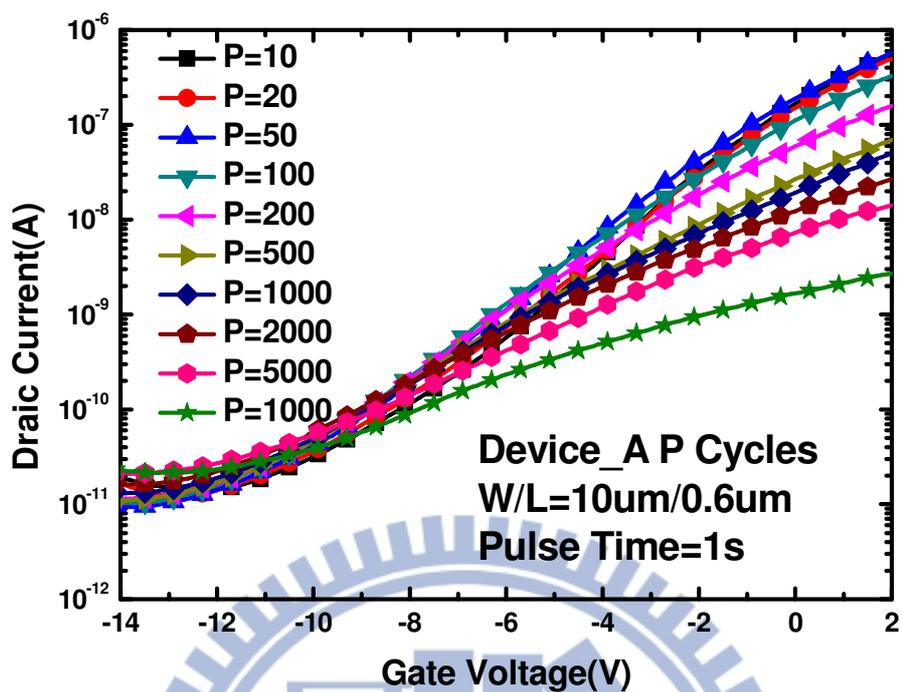


圖.3-27 A元件隨操作次數增加之 $I_D V_G$ 特性曲線

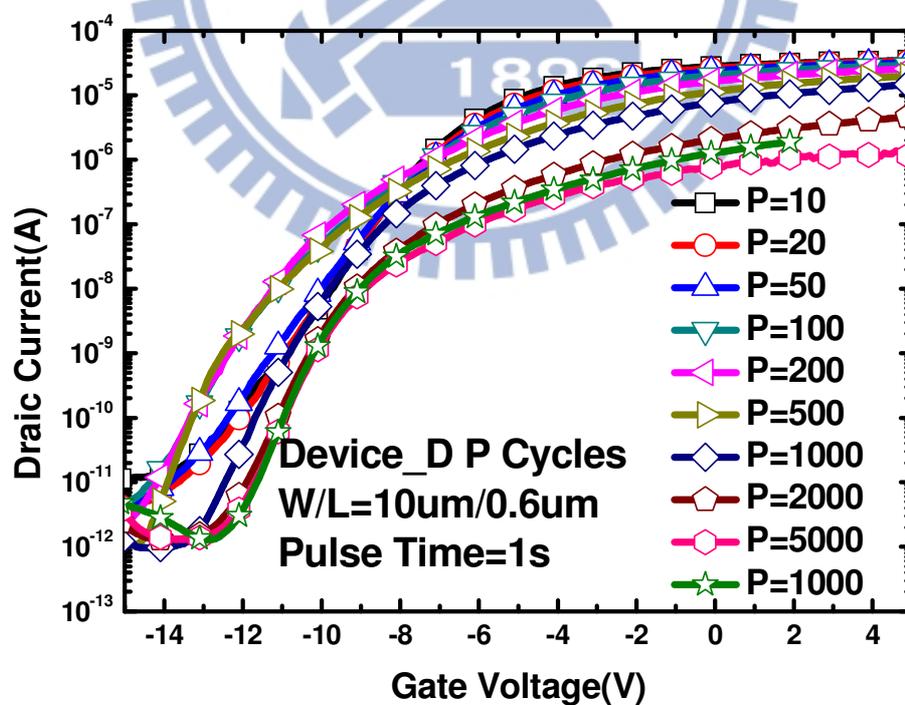


圖.3-28 D元件隨操作次數增加之 $I_D V_G$ 特性曲線

表.3-1 A、D元件寫入/抹除速度量測數據

Program Vt_Shift(V)							Erase Vt_Shift(V)					
	VG=12V		VG=14V		VG=17V		VG= -6V		VG= -8V		VG= -10V	
	A	D	A	D	A	D	A	D	A	D	A	D
100ns	0.05	0.03	0.09	0.08	0.01	0.19	-0.02	-0.04	-0.02	-0.47	-0.20	-0.78
1us	0.15	0.07	0.17	0.09	0.08	0.32	-0.03	-0.03	-0.06	-0.47	-0.27	-0.80
10us	0.29	0.12	0.31	0.13	0.16	0.36	-0.09	-0.03	-0.12	-0.61	-0.32	-0.80
100us	0.38	0.12	0.51	0.15	0.48	0.51	-0.21	-0.07	-0.35	-0.66	-0.77	-0.97
1ms	0.50	0.15	0.84	0.21	1.20	0.72	-0.38	-0.22	-0.47	-0.91	-1.07	-1.49
10ms	0.62	0.18	1.09	0.36	1.85	1.27	-0.58	-0.58	-0.80	-1.59	-1.25	-2.39
100ms	0.79	0.60	1.58	0.98	2.79	2.09	-0.69	-0.80	-1.30	-2.15	-2.11	-3.42
1s	1.11	0.84	2.01	1.39	3.75	3.05	-1.16	-1.70	-1.75	-2.95	-4.11	-4.35



第四章

結論與未來展望

4.1 結論

針對第三章的量測數據，請參考[表.4-1]第一以基本電特性來看，A元件的表現最差，因為無論是載子移動率(Gm)以及次臨界斜率(S.S)方面，A元件的表現都遠不及B、C、D元件的表現來的好，另外A元件的汲極漏電流也比其他三個元件來的大，但如果針對GIDL的部分來比較的話，又以A、D元件的表現最好，是幾乎沒有GIDL的現象，反觀B、C元件是明顯的有發生GIDL的狀況，這個部分我們判斷也許跟B、C元件在製程過程，先行對Source/Drain通道層進行離子佈植，再行MILC結晶化這樣的步驟也許會使得金屬污染元件比較嚴重，而易造成GIDL的現象，反觀D元件也是使用MILC的方式進行多晶矽結晶，但因為是先進行MILC再進行S/D的離子佈植的步驟，我們研判這樣的步驟可以降低被金屬污染的比率，繼而避免GIDL現象的發生。

第二以記憶體特性來看，B、C元件是完全無法正常進行寫入與抹除的機能，所以根本無法使用在非揮發性記憶體產品上面，那麼A、D元件的記憶體特性比較之下,整體來說無論是寫入速度、寫入效率、記憶體窗口大小、抹除速度與效率、資料保存能力以及元件耐久性，其實A元件大部分都優於D元件，尤其是資料保存性跟耐久度方

面更是明顯的比D元件來的好。

綜合以上的比較與分析，發現SONOS-TFT元件無法達到兩全其美的狀態,所以我們做出以下結論與建議：

- (1) 如果是要使用於液晶面板的像素開關，那會建議使用D元件，因為它的反應速度快也沒有GIDL的現象。
- (2) 如果使要使用於非揮發性記憶體產品，那會建議使用A元件，因為就記憶體特性來說，A元件整體的表現是最好的。

4.2 未來研究與展望

下一階段我們希望可以繼續量測P-Type的相同尺寸以及製程的元件，看看與N-Type元件的表現有無什麼樣的差異，另外也會思考能否採用加入一個filter的方式來過濾掉因為MILC結晶化過程產生的金屬雜質污染到元件本身，希望可以改善SONOS-TFTs元件的基本電性以及記憶體特性，讓元件達到更完美的表現，還有會繼續嘗試其他機制或是偏壓條件讓B、C元件可以順利達到寫入/抹除的特性。

表.4-1 A~D元件各特性綜合比較表

	Device_A	Device_B	Device_C	Device_D
S.S	X	□	○	△
Gm	X	△	○	□
GIDL	○	□	X	△
Program Speed	○	NA	NA	△
Erase Speed	△	NA	NA	○
Retention	○	NA	NA	△
P/E Cycles	○	NA	NA	△
Result	Memory fit	Switch fit	Switch fit	Switch/Memory fit

○:最優 △:次優 □:尚可 X:最差

參考文獻

- [1] N. Yamauchi, Jean-Jacques J. Hajjar, and R. Reif, “Polysilicon thin-film transistors with channel length and width comparable to or smaller than the grain size of the thin film,” IEEE Trans. Electron Device, Vol. 38, no. 1, pp. 55-60, Jan 1991
- [2] S. Jagar, M. Chan, M. C. Poon, H. Wang, M. Qin, Ping K. Ko and Y. Wang ,“Single Grain Thin Film Transistor (TFT) with SOI Performance formed by Metal Induced Lateral Crystallization”, in IEDM Tech. Dig. pp. 293-296, 1999
- [3] T. Morita, “An overview of active matrix LCDs in business and technology,” in AMLCD Tech. Dig, pp. 1-7, Sep 1995
- [4] K. Werner, “The flowering of flat displays,” IEEE Spectrum, Vol. 34, no. 5, pp. 40-49, May 1997
- [5] M. Stewart, R. S. Howell, L. Pires, M. K. Hatalis, W. Howard, and O. Prache,“Polysilicon VGA active matrix OLED displays—Technology and performance,” in IEDM Tech. Dig., pp. 871-874, Dec 1998
- [6] M. K. Hatalis and D. W. Greve, “Large grain polycrystalline silicon by low-temperature annealing of low-pressure chemical vapor deposited amorphous silicon films,”J. Appl. Phys., Vol. 63, no. 7, pp. 2260-2266, Apr 1988
- [7] G. B. Kim, Y. G. Yoon, M. S. Kim, H. Jung, S. W. Lee, and S. K. Joo, “Electrical Characteristics of MILC Poly-Si TFTs With Long Ni-Offset Structure,”IEEE Transactions on electron devices,vol. 50, no. 12, pp. 2344-2347 , Dec 2003
- [8] Sze, “Physics of Semiconductor Devices”, 3rd edition, Section 6.7
- [9] 羅廣禮, "National nano device laboratories , nano communication," , 15卷, Mar. 2008.
- [10] D. Kahng and S. M. Sze, “J. of Bell syst. Tech”., vol. 46, p. 1288, 1967.

- [11] M. L. French, C.Y. Chen, H. Sathianathan, and M. H. White, “Design and scaling of a SONOS multi-dielectric device for nonvolatile memory applications”, IEEE Trans. Comp., Packag., Manufact. Technol. A, Vol. 17, no. 3, pp. 390–397, Sep 1994
- [12] Sandip Tiwari, Farhan Rana, Hussein Hanafi, Allan Hartstein, Emmanuel F. Crabbe, and Kevin Chan, “A silicon nanocrystals based memory,” Appl. Phys. Lett. Vol. 68, no. 10, pp. 1377-1379, Mar. 1996
- [13] 翁瑞隆, ” 雙閘極含銻量子點n 與p 型複晶矽薄膜電晶體之光響應研究”, 碩士論文, 中央大學, 民國九十八年六月
- [14] 材料世界網, ”SPC , MILC and RTA”,
<http://www.materialsnet.com.tw/DocView.aspx?id=6693>
- [15] 許王誠, ” 不同通道寬長比之複晶矽薄膜電晶體製作與特性分析”, 南台科技大學, 碩士論文, 民國九十五年六月
- [16] ”半導體製程實習-化學氣相沉積(CVD)“, 章節4, 正修科技大學
<http://www.ee.csu.edu.tw/eegiee/digital/data/2008108167295.pdf>
- [17] “標準製程~水平爐管”, 國家奈米實驗室(NDL),
http://www.ndl.org.tw/cht/doc/3-1-1-0/T14/T14_C.pdf
- [18] ” N型井(N Well)製作”, 南台科技大學知識分享平台,
http://eshare.stut.edu.tw/EshareFile/2010_5/2010_5_67d828d5.ppt
- [19] ”化學氣相沉積與介電質薄膜”, 義守大學,
http://www.isu.edu.tw/upload/81201/43/news/postfile_12877.pdf
- [20] G. Nicotra, R. A. Puglisi, S. Lombardo, C. Spinella, M. Vulpio, G. Bileci, C. Gerardi, “Nucleation kinetics of Si quantum dots on SiO₂,” J. Appl. Phys, Vol. 95, no. 4, pp. 2049-2055, 2004
- [21] 曾柏皓, ” 銻量子點嵌入二氧化矽/氮化矽/二氧化矽層之浮點電晶體研製”, 碩士論文, 中央大學, 民國九十九年六月

- [22] 葉貞志, "利用新穎的溶膠凝膠法應用在SONOS結構非揮發性記憶體之研究", 碩士論文, 逢甲大學, 民國九十八年六月
- [23] 江宗育, "具有新穎結構非揮發性記憶體元件之研究", 博士論文, 交通大學, 民國一百年六月
- [24] 方金木, "高性能新穎雙通道複晶矽薄膜電晶體之研究", 碩士論文, 逢甲大學, 民國九十七年六月
- [25] 徐鴻文, "Hf-Silicate閘極介電層之n-MOSFET元件之熱載子可靠度之研究", 碩士論文, 銘傳大學, 民國九十八年六月
- [26] N. Koike and K. Tatsuuma, K. "A Drain Avalanche Hot Carrier Lifetime Model for n- and p-Channel MOSFETs," IEEE Transactions on Device and Materials Reliability, Vol. 4, no. 3, pp. 457-466, Sept. 2004
- [27] "Gate Induce Drain Leakage(GIDL)", <http://www.wretch.cc/blog/mdluffy10/21485226>
- [28] T. Hoffmann, G. Doornbos, I. Ferain, N. Collaert, P. Zimmerman, M. Goodwin, R. Rooyackers, A. Kottantharayil, Y. Yim, A. Dixit, K. De Meyer, M. Jurczak and S. Biesemans, "GIDL (Gate-Induced Drain Leakage) and Parasitic Schottky Barrier Leakage Elimination in Aggressively Scaled HfO₂/TiN FinFET Devices," in IEDM Tech. Dig., pp. 725-728, Dec. 2005
- [29] T. C. Chen, T. C. Chang, F. Y. Jian, S. C. Chen, C. S. Lin, M. H. Lee, J. S. Chen, and C. C. Shih, "Improvement of Memory State Misidentification Caused by Trap-Assisted GIDL Current in a SONOS-TFT Memory Device," IEEE Electron Device Lettes, Vol. 30, no. 8, pp. 834-836, Aug. 2009
- [30] C. S. Lin, Y. C. Chen, T. C. Chang, S. C. Chen, F. Y. Jian, H. W. Li, T. C. Chen, C. F. Weng, J. Lu, and W. C. Hsu, "Anomalous Capacitance Induced by GIDL in P-Channel LTPS TFTs," IEEE Electron Device Letters, Vol. 30, no. 11, pp. 1179-1181, Nov. 2009.
- [31] T. Y. Chan, J. Chen, P. K. Ko and C. Hu, "The Impact of Gate-Induced Drain Leakage Current on MOSFET Scaling," IEEE International on Electron Devices, Vol. 33, pp. 718-721, 1987

- [32] 黃竣祥, "新型低溫複晶矽非揮發性奈米鍺晶體補獲儲存層記憶體元件", 碩士論文, 交通大學, 民國九十九年六月
- [33] Alain C. K. Chan, C. F. Cheng, and M. Chan, "Effects of Dopants on the Electrical Behavior of Grain Boundary in Metal-Induced Crystallized Polysilicon Film," IEEE Transactions on Electron Devices, Vol. 52, no. 8, pp. 1917-1919, Aug. 2005

