

國立交通大學

電子物理研究所

碩士論文

利用氮處理改善鈷鈦酸高介電閘極氧化層

Nitrogen Treatment on CoTiO_3 High-K
Gate Dielectrics

研究生：黃宗彬

指導教授：趙天生 博士

中華民國九十三年六月

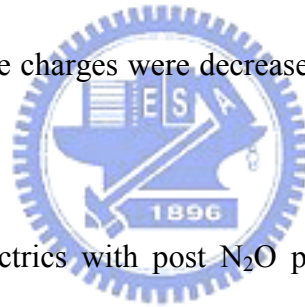
摘要

本論文的重點，在利用氮處理，改善鈷鈦酸高介電閘極氧化層之電容結構特性。首先探討，利用低能量氮離子佈植的方式，對鈷鈦金屬施以氧化前氮摻雜的動作。結果顯示，氮離子佈植有效抑制了鈷鈦酸閘介電層在高溫下結晶的產生，使其漏電流得到明顯的改善。另一方面，由平帶電壓的比較可以看出，經過氮離子佈植的處理，氧化層中固定電荷的量為減少，使平帶電壓較趨於正常值。

接著，我們也研究，利用一氧化二氮電漿後處理加上氮氣高溫快速退火，對鈷鈦酸閘極氧化層之電容結構特性的影響。由於一氧化二氮提供了一些氧原子，修復填補了鈷鈦酸閘介電層中的氧空缺，使得薄膜結構更加完整緻密，加上氮原子的作用，舒緩了介電層在高溫下結晶的產生，因此改善了電容元件的電特性及熱穩定性。

Abstract

In this study, nitrogen treatment on CoTiO₃ high-k gate dielectrics of MIS capacitor structure is investigated. First of all, low energy N₂⁺ or N⁺ implantation was used to incorporate nitrogen into CoTiO₃. Results show that samples with nitrogen incorporation exhibit better electric performance than control ones. This is due to the incorporated nitrogen atoms which suppress the crystallization of CoTiO₃ film through high temperature oxidation. Furthermore, by N₂⁺ or N⁺ implantation, we found that positive fixed oxide charges were decreased and flatband voltage could be controlled to the ideal value.



Next, CoTiO₃ gate dielectrics with post N₂O plasma treatment and additional high temperature rapid thermal N₂ annealing (RTN) were discussed. Experimental results show that atomic oxygen species generated by N₂O decomposition can repair oxygen vacancies in the as-deposited CoTiO₃ film, and nitrogen atoms can suppress crystallization of CoTiO₃ film simultaneously. Consequently, improved electrical characteristics can be obtained by using nitrogen incorporation scheme.

誌 謝

本論文的完成，要感謝的人很多，在此將這份榮耀與他們分享。首先要感謝我的指導教授趙天生博士，除了在專業知識上給我許多教導，讓我得以順利完成學位，且在他身上學到了很多待人處事的道理，更是讓我一輩子受益良多，在此要向老師深深的說句謝謝，並祝福老師能事事順心，健康快樂。

接著要感謝學長姊們的耐心教導，使我在碰到難題時，能一一克服，力往狂瀾。陳建豪、李耀仁、謝明山、郭柏儀、吳家豪、羅文政、金尙志、林育信、蔡家鵬、李美錡等學長姐，謝謝你們，你們對我的點點滴滴，我會永遠記在心頭。

另外，一起在實驗室打拼的同學學弟妹們，呂宗宜、吳明勳、湯乾紹、謝松齡、陳莘傑、何佩倉、郭雅欣、于慶潭、王仁杰、吳浩偉、周宏穆、曾健旭、周棟煥，有你們的參與，讓我在實驗室的生活更加回味無窮，在此一併致謝。

另外我要感謝 NDL 的彭馨誼小姐、趙國芬小姐、蔣秋芬小姐、徐台鳳小姐等工程師，提供製程技術上的幫助，讓我順利完成研究。特別向遠在加拿大國家研究院微結構研究所的吳小華研究員說聲道謝，感謝您的 TEM 分析，謝謝。

最後，我要將這份榮耀獻給我的家人，父親廖鐘成先生、母親黃寶蓮女士、哥哥廖凱弘先生、姊姊廖怡玲小姐，以及我的女友顏素楨小姐，感謝你們一路陪我走來，讓我無後顧之憂，得以完成碩士學位，謝謝大家，我永遠愛你們。

總目錄

摘要	I
ABSTRACT	II
誌謝	III
總目錄	IV
圖目錄	VII
表目錄	IX

第一章 緒論 1

1.1 研究動機.....	1
1.2 高介電閘極介電層.....	3
1.3 鈷鈦酸 (CoTiO ₃) 及鎳鈦酸 (NiTiO ₃)	4
1.4 氮處理.....	5
1.5 論文架構.....	7

第二章 CoTiO₃ 閘極介電層之電容製作 12

2.1 CoTiO ₃ MOS Capacitor 元件製程.....	12
2.1.1 晶片刻號及零層蝕刻 (Alignment Mark)	12
2.1.2 定義主動區 (Trench)	13
2.1.3 阻障層 (Barrier Layer)	13
2.1.4 閘極介電層 (Gate Dielectrics) 的形成.....	14

2.1.5 氧化後處理.....	15
2.1.6 金屬電極沉積.....	15
2.2 電容元件之特性量測.....	16
2.2.1 電容-電壓 (C-V) 特性量測.....	16
2.2.2 電流-電壓 (I-V) 特性量測.....	16
2.2.3 材料分析.....	17
第三章 N₂⁺佈植應用在高介電係數鈷鈦酸及鎳鈦酸閘介電層之電容結構	20
3.1 研究動機.....	20
3.2 實驗條件.....	21
3.3 實驗結果與討論.....	21
3.3.1 N ₂ ⁺ 佈植應用於鈷鈦酸閘極介電層電容.....	21
3.3.2 N ₂ ⁺ 佈植應用於鎳鈦酸閘極介電層電容.....	29
3.4 結論.....	32
第四章 N⁺佈植及 N₂O 電漿處理應用在鈷鈦酸閘介電層之電容結構	80
4.1 研究動機.....	80
4.2 製程及條件.....	81
4.3 實驗結果與討論.....	81
4.3.1 N ⁺ 佈植應用於鈷鈦酸閘極介電層電容.....	81
4.3.2 N ₂ O 電漿處理應用於鈷鈦酸閘極介電層電容.....	86
4.4 結論.....	90

第五章 結論 120

5.1 結論..... 120

5.2 未來工作與建議..... 121

參考文獻 122

作者簡介 128



圖目錄

圖 1.1 摩爾定律 (Moore's Law)	11
圖 2.1 CoTiO ₃ 閘介電層電容之製作流程 (I)	18
圖 2.1 CoTiO ₃ 閘介電層電容之製作流程 (II)	19
圖 3.1 低阻值 ($R=0.007\Omega\text{-cm}$) 矽基板之電容結構之 C-V 圖 (N_2^+ : NO, 氧化溫度: 850 度)	38
圖 3.2 阻值 $R=2\sim 7\Omega\text{-cm}$ 矽基板之電容結構之 C-V 圖 (N_2^+ : NO, 氧化溫度: 850 度)	39
圖 3.3 CoTiO ₃ 不同氧化溫度下, 有無 N_2^+ 佈植之 C-V 比較圖	40
圖 3.4 CoTiO ₃ 800 度氧化 10 分鐘, 有無 N_2^+ 佈植之漏電流對電壓圖	41
圖 3.5 CoTiO ₃ 800 度氧化 10 分鐘, 有無 N_2^+ 佈植, 在 $V_G=1V$ 時之漏電流 WEBER 分布圖	42
圖 3.6 CoTiO ₃ 800 度氧化 10 分鐘, 有無 N_2^+ 佈植之崩潰電壓 WEBER 分布圖	43
圖 3.7 CoTiO ₃ 800 度氧化 10 分鐘, 有無 N_2^+ 佈植之時間相依介電質崩潰 (TDDB) 的比較	44
圖 3.8 CoTiO ₃ 850 度氧化 10 分鐘, 有無 N_2^+ 佈植之漏電流對電壓圖	45
圖 3.9 CoTiO ₃ 850 度氧化 10 分鐘, 有無 N_2^+ 佈植, 在 $V_G=1V$ 時之漏電流 WEBER 分布圖	46
圖 3.10 CoTiO ₃ 850 度氧化 10 分鐘, 有無 N_2^+ 佈植之崩潰電壓 WEBER 分布圖	47
圖 3.11 CoTiO ₃ 850 度氧化 10 分鐘, 有無 N_2^+ 佈植之時間相依介電質崩潰 (TDDB) 的比較	48
圖 3.12 CoTiO ₃ 900 度氧化 10 分鐘, 有無 N_2^+ 佈植之漏電流對電壓圖	49
圖 3.13 CoTiO ₃ 900 度氧化 10 分鐘, 有無 N_2^+ 佈植, 在 $V_G=1V$ 時之漏電流 WEBER 分布圖	50
圖 3.14 CoTiO ₃ 900 度氧化 10 分鐘, 有無 N_2^+ 佈植之崩潰電壓 WEBER 分布圖	51
圖 3.15 CoTiO ₃ 900 度氧化 10 分鐘, 有無 N_2^+ 佈植之時間相依介電質崩潰 (TDDB) 的比較	52
圖 3.16 CoTiO ₃ 未經 N_2^+ 離子佈植的樣本, 以 2V STREE 10 秒及 100 秒後的 $I_G\text{-}V_G$ 圖 (氧化條件為 850 度 10 分鐘)	53
圖 3.17 CoTiO ₃ 經 N_2^+ 離子佈植的樣本, 以 2V STREE 10 秒及 100 秒後的 $I_G\text{-}V_G$ 圖 (氧化條件為 850 度 10 分鐘)	54
圖 3.18 CoTiO ₃ 800 度氧化 10 分鐘, 未經 N_2^+ 佈植樣本之 TEM 圖	55
圖 3.19 CoTiO ₃ 800 度氧化 10 分鐘, N_2^+ 佈植樣本之 TEM 圖	56
圖 3.20 CoTiO ₃ 850 度氧化 10 分鐘, 未經 N_2^+ 佈植樣本之 TEM 圖	57
圖 3.21 CoTiO ₃ 850 度氧化 10 分鐘, N_2^+ 佈植樣本之 TEM 圖	58
圖 3.22 CoTiO ₃ 900 度氧化 10 分鐘, 未經 N_2^+ 佈植樣本之 TEM 圖	59
圖 3.23 CoTiO ₃ 900 度氧化 10 分鐘, N_2^+ 佈植樣本之 TEM 圖	60
圖 3.24 CoTiO ₃ 850 度氧化 10 分鐘, 有無 N_2^+ 佈植之 SIMS 圖	61
圖 3.25 CoTiO ₃ 900 度氧化 10 分鐘, 有無 N_2^+ 佈植之 SIMS 圖	62
圖 3.26 氮原子的分布比較之 SIMS 圖	63
圖 3.27 矽原子的分布比較之 SIMS 圖	64

圖 3.28 鈷原子的分布比較之 SIMS 圖	65
圖 3.29 CoTiO ₃ 800 度氧化 10 分鐘，有無 N ₂ ⁺ 佈植之 XRD 分析	66
圖 3.30 CoTiO ₃ 850 度氧化 10 分鐘，有無 N ₂ ⁺ 佈植之 XRD 分析	67
圖 3.31 CoTiO ₃ 900 度氧化 10 分鐘，有無 N ₂ ⁺ 佈植之 XRD 分析	68
圖 3.32 NiTiO ₃ 800 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植劑量之電容對電壓比較圖	69
圖 3.33 NiTiO ₃ 800 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植劑量之漏電流對電壓圖	70
圖 3.34 NiTiO ₃ 800 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植劑量，在 VG=1V 時之漏電流 WEBER 分布圖	71
圖 3.35 NiTiO ₃ 800 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植劑量之崩潰電壓 WEBER 分布圖	72
圖 3.36 NiTiO ₃ 750 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植劑量之漏電流對電壓圖	73
圖 3.37 NiTiO ₃ 750 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植劑量，在 VG=1V 時之漏電流 WEBER 分布圖	74
圖 3.38 NiTiO ₃ 750 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植劑量之崩潰電壓 WEBER 分布圖	75
圖 3.39 NiTiO ₃ 750 度氧化退火處理各 5 分鐘，各種 N ₂ ⁺ 佈植劑量之漏電流對電壓圖	76
圖 3.40 NiTiO ₃ 750 度氧化退火處理各 5 分鐘，各種 N ₂ ⁺ 佈植劑量，在 VG=1V 時之漏電流 WEBER 分布圖	77
圖 3.41 NiTiO ₃ 750 度氧化退火處理各 5 分鐘，各種 N ₂ ⁺ 佈植劑量之崩潰電壓 WEBER 分布圖	78
圖 3.42 NiTiO ₃ 750 度氧化 10 分鐘，未經 N ₂ ⁺ 佈植樣本之 TEM 圖	79
圖 4.1 CoTiO ₃ 800 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之電容對電壓比較圖	94
圖 4.2 CoTiO ₃ 800 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之漏電流對電壓圖	95
圖 4.3 CoTiO ₃ 800 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量，在 VG=1V 時之漏電流 WEBER 分布圖	96
圖 4.4 CoTiO ₃ 800 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之崩潰電壓 WEBER 分布圖	97
圖 4.5 CoTiO ₃ 800 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之時間相依介電質崩潰 (TDDB) 的比較	98
圖 4.6 CoTiO ₃ 未經 N ⁺ 離子佈植的樣本，以 2V STRESS 100 秒後的 IG-VG 圖 (氧化條件為 800 度氧化退火各 5 分鐘)	99
圖 4.7 CoTiO ₃ N ⁺ 離子佈植 2E14 的樣本，以 2V STRESS 100 秒後的 IG-VG 圖 (氧化條件為 800 度氧化退火各 5 分鐘)	100
圖 4.8 CoTiO ₃ 850 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之電容對電壓比較圖	101
圖 4.9 CoTiO ₃ 850 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之漏電流對電壓圖	102
圖 4.10 CoTiO ₃ 850 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量，在 VG=1V 時之漏電流 WEBER 分布圖	103
圖 4.11 CoTiO ₃ 850 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之崩潰電壓 WEBER 分布圖	104
圖 4.12 CoTiO ₃ 850 度氧化退火處理各 5 分鐘，各種 N ⁺ 佈植劑量之時間相依介電質崩潰 (TDDB) 的比較	105
圖 4.13 CoTiO ₃ 未經 N ⁺ 離子佈植的樣本，以 2V STRESS 100 秒後的 IG-VG 圖 (氧化條件為 850 度氧化退火各 5 分鐘)	106

圖 4.14 CoTiO ₃ N ⁺ 離子佈植 2E14 的樣本，以 2V STRESS 100 秒後的 IG-VG 圖 （氧化條件為 850 度氧化退火各 5 分鐘）	107
圖 4.15 CoTiO ₃ 經不同功率 N ₂ O 電漿處理之電容對電壓比較圖.....	108
圖 4.16 CoTiO ₃ 經不同功率 N ₂ O 電漿處理之漏電流對電壓圖	109
圖 4.17 CoTiO ₃ 經不同功率 N ₂ O 電漿處理，在 VG=1V 時之漏電流 WEBER 分布圖	110
圖 4.18 CoTiO ₃ 經不同功率 N ₂ O 電漿處理之崩潰電壓 WEBER 分布圖.....	111
圖 4.19 CoTiO ₃ 經不同功率 N ₂ O 電漿處理之時間相依介電質崩潰（TDDB）的比較.....	112
圖 4.20 CoTiO ₃ 未經 N ₂ O 電漿處理樣本，以 2V STRESS 100 秒後的 IG-VG.....	113
圖 4.21 CoTiO ₃ 經 N ₂ O 電漿處理，功率 15W 的樣本，以 2V STRESS 100 秒後的 IG-VG 圖	114
圖 4.22 CoTiO ₃ 經不同功率 N ₂ O 電漿處理之 SIMS 圖 (I).....	115
圖 4.22 CoTiO ₃ 經不同功率 N ₂ O 電漿處理之 SIMS 圖 (II)	116
圖 4.23 氧原子的分布比較之 SIMS 圖	117
圖 4.24 鈷原子的分布比較之 SIMS 圖	118
圖 4.25 矽原子的分布比較之 SIMS 圖	119



表 1.1 積體電路製造技術的演進概況.....	9
表 1.2 幾種常見的高介電係數材料.....	10
表 3.1 鈷鈦酸閘極介電層電容之樣本條件	33
表 3.2 鎳鈦酸閘極介電層電容之樣本條件	34
表 3.3 CoTiO ₃ 各種製程條件的厚度及平帶電壓比較	35
表 3.4 NiTiO ₃ 800 度氧化 10 分鐘，各種 N ₂ ⁺ 佈植條件的等效厚度及平帶電壓比較.....	36
表 3.5 NiTiO ₃ 750 度氧化溫度下，不同 N ₂ ⁺ 佈植劑量的等效厚度比較.....	37
表 4.1 N ⁺ 離子佈植及 N ₂ O 電漿處理的樣本條件	91
表 4.2 CoTiO ₃ 各種 N ⁺ 佈植條件的等效厚度及平帶電壓比較.....	92
表 4.3 CoTiO ₃ 不同 N ₂ O 條件的等效厚度及平帶電壓比較	93

第一章

緒論

1.1 研究動機

積體電路工業從1960年代發展至今，製作技術可說是越來越成熟，在現今科技進步的年代，人們的需求也跟著劇增，為了符合這樣的趨勢，半導體產業在近幾年可說是以飛快的速度在發展。圖 1.1 為眾所皆知的摩爾定律 (Moore's Law)

【1】，電晶體數目幾乎每18個月即增加一倍。為了提升半導體元件的效能及減低生產成本的考量之下，積體電路的元件積集度 (Integration) 必須不斷增加，使得元件尺寸相對的也必須不斷地縮小。表 1.1 為積體電路製造技術的演進概況

【2】，100nm線寬技術的金氧半電晶體以應用於先進的積體電路當中。通道長度的縮小提升了元件的開關速度，在確保閘極有良好的控制能力，閘極介電層厚度也必須跟著變薄，以避免因為短通道效應 (Short Channel Effect) 【3, 4】而使閘極控制力變差。

由 (1-1) 式 【5】 可以看出，閘極介電層變薄的優點除了抑制短通道效應，維持臨界電壓，另一方面也增加了電晶體的驅動電流。但是令人惋惜的是，閘極介電層變薄也相對帶來一些惱人的問題。

$$I_{dsat} = \mu(w/2L)(3.9K_0A)(CET_{inv})^{-1}(V_G - V_T)^2, \quad V_G \gg V_D \quad (1-1)$$

以70nm的技術節點來說，閘極氧化層的厚度僅需要0.7nm至1.2nm的範圍（約幾層的SiO₂分子厚度），在這樣超薄的氧化層之下，閘極漏電流的產生機制，已非 F-N tunneling 所主導，而轉變為 Direct tunneling 的機制。(1-2)式【5】為 Direct tunneling 漏電流與薄膜厚度的關係。如此一來，漏電流將隨閘極氧化層厚度減少而呈指數的遽增，造成元件消耗功率大幅的增加。再者，製程上也造成了厚度均勻性難以控制的情形發生，衍生出的問題就是在電特性上的變異，在先進的積體電路製程是不被允許的。

$$I_{dt} \sim [\exp\{-[(2m^*q\phi)/(h/2\pi)^2][T_{phy}]\}]^{1/2} \quad (1-2)$$

因此閘極介電層的問題已然成爲了電晶體微縮的重大障礙。所以爲了有效的解決這個困擾，高介電係數閘極介電層因而被陸續的提出。以高介電係數材料取代傳統熱成長而成的二氧化矽爲閘極介電層，提供了較厚的實際氧化層厚度，但卻有極小的等效厚度，解決了薄氧化層在均勻性及 Direct tunneling 漏電的問題。由(1-3)式【5】可以看出，在以高介電係數材料取代後，電容能維持相當高的值，且大大提升了元件的驅動電流。

$$C_{ox} = \epsilon_{ox}/EOT = \epsilon_{high-k}/T_{ph} \quad (1-3)$$

本次研究所使用的鈷鈦酸 (CoTiO₃) 及鎳鈦酸 (NiTiO₃)【6~8】兩種高介電係數材料皆具有相當高的介電係數，且低漏電流及高崩潰電壓和可靠性，尤其是 CoTiO₃，在先進 IC 製程中極具潛力。

1.2 高介電閘極介電層

隨著元件尺寸不斷縮小之下，閘極介電層的厚度不斷地變薄，當厚度小於 2~3nm 之際，因為 Direct tunneling 的漏電機制主導之下，將造成漏電流隨著厚度的減小呈現指數級的增加，通道電子漏失，使得元件的電流驅動能力下降。當務之急，為了減少漏電流，高介電係數閘極介電層因而被紛紛的提出，以較厚的實際厚度，等效這層薄的二氧化矽閘極介電層【9~13】。表 1.2 為幾種常見的高介電係數材料，仔細觀察，能隙 (Band Gap) 有隨介電係數增加而減小的趨勢。

在選擇高介電材料時，有幾個要點，分述如下：

(1) 介電係數要大於 20，以提供足夠大的實際厚度，及夠小的等效厚度。但不可超過 50，過大的介電係數，會造成邊際電場效應，使得操作電壓下降，元件的啟動速度變慢及耗電過高等缺點【14】。

(2) 能隙約 4.5 eV，且能障高度需大於 1 eV。以一般的高介電係數閘極介電層而言，其漏電流的傳導機制為 Frankel-Poole emission 及 Schottky emission【15,16】，這類的機制產生的漏電與閘極介電層中的缺陷與溫度成正比關係，假使電子能障不夠高，加上介電層的品質 (Quality) 不好，則此時的漏電流將隨溫度的升高而急遽上升，使電晶體的性能變差。

(3) 界面態密度 (Interface State Density, D_{it}) 小於 10^{11} cm^{-2} ，以保持元件的次臨界特性 (Subthreshold characteristics)。

(4) 可忽略的阱密度 (Trap Densities)，防止 Frankel-Poole tunneling 的產生。

(5) 熱穩定性 (Thermal Stability) 佳。以 CMOS 製程而言，無可避免的會經過許多高溫製程，例如離子佈植後的活化動作，甚至會超過 1000 度。為了避免在高溫製程中，閘極介電層與底下的矽基板或閘極產生不必要的反應，亦或產生品質不好的界面氧化層 (SiO_x)，而使得電性嚴重衰退。因此熱穩定性將是選擇材料能用與否的重大指標。

(6) 崩潰電場强度高，漏電流小，可忽略的磁滯現象，以符合現今的技術要求。

1.3 鈷鈦酸 (CoTiO₃) 及鎳鈦酸 (NiTiO₃)

鈷 (Cobalt)，原子量 58.9332，在化學元素週期表中的位置為 27。在自然的環境下，不容易與空氣 (氧氣) 反應，不過在高溫的製程中，容易與氧氣反應行成氧化鈷 (CoO 或 Co₃O₄)。鎳 (Nickel)，原子量 58.6934，原子序為 28。在高溫製程環境下，與鈷相比，較難與氧氣反應，行成氧化鎳 (NiO)，因此一般的作法是以熱分解氫氧化鎳 (Ni(OH)₂)、碳酸鎳 (NiCO₃) 及硝酸鎳 (NiNO₃) 來獲得氧化鎳。(1-4)、(1-5) 及 (1-6) 為鈷、鎳在高溫下與氧作用的反應式。



鈷鈦酸 (CoTiO_3) 及鎳鈦酸 (NiTiO_3) 是一種鈦鐵礦結構 (Ilmenite Structure) 的化合物【6】，與金鋼砂結構 (Corundum Structure) 的氧化鋁 (Al_2O_3) 結構十分相似，材料結構十分地穩定，組成緻密，而且介電係數較氧化鋁來得高出許多。根據文獻上記載，鈷鈦酸材料不但 k 值可達 40~50 之間，且在低操作電壓下具有相當低的漏電流 ($\sim 10^{-8} \text{ A/cm}^2$)，及 stress 過後顯示出優越的可靠性，是一種相當具潛力的高介電係數材料【6~8】。

本次實驗是採用物理氣相沉積法 (Physical Vapor Deposition, PVD) 行成的鈷鈦金屬或鎳鈦金屬，經高溫爐管氧化而行成 CoTiO_3 或 NiTiO_3 。不過根據先前的研究報告顯示，Co 與 Ni 在高溫的環境下，容易與矽基板反應行成金屬矽化物 (Co_xSi_y ; Ni_xSi_y)，且會在與矽基板的界面行成結構較為鬆散的氧化矽 (SiO_x)，限制了 EOT 的極限及界面的品質【6~8,17,18】。因此在沉積金屬之前，會先以熱成長的方式長一層薄薄的氮化矽 (Si_3N_4) 當做阻障層 (Barrier Layer)。而完整的實驗細節，將會在第二章一一論述。

1.4 氮處理

依照摩爾定律的預測，電晶體的特徵尺寸將以快速的腳步持續縮小著。此時為了能夠滿足高速度與高密度兩大需求，高介電材料的引入，將成為未來幾個世代閘極氧化層的最佳選擇。根據最近的文獻顯示，雖然高介電材料改善了傳統閘極氧化層在厚度減薄後所帶來的種種問題，不過相對的卻產生了一些棘手的難

題，等待大家去解決。常見的問題有（1）低介電界面層地產生。這些低介電界面層有可能是氧化矽，也可能為金屬矽氧化物，在高介電材料沉積之時，氧穿過結構鬆散的薄膜，與矽基板反應生成品質差的氧化矽或金屬氧化物，限制了等效厚度的縮減。（2）高介電薄膜中含有不少的固定電荷（Fixed Charge），造成了電晶體的臨界電壓（Threshold Voltage）產生漂移，使得閘極的控制能力降低。（3）載子遷移率（Mobility）下降。因為不像二氧化矽與矽基板有著絕佳的晶格匹配，當高介電薄膜沉積在矽表面時，會因為與矽的鍵結不良，而產生許多斷鍵，致使電子在通道中移動時，造成散射，驅動電流因此受到影響。（4）結晶溫度低，在高溫製程中相產生轉變，使得薄膜結晶化，增添漏電的機會，及雜質的滲透（例如硼滲透）（Boron Penetration）。



根據研究報告顯示，適當的氮處理，將有助於改善上述的一些問題。Tung Ming Pan 等人曾在 2000 年的 *Electrochemical and Solid-State Letters* 提及，在沉積鈷鈦酸閘介電薄膜之前，在矽晶片表面先經過氮化處理，可以抑制低介電界面層的生成【8】。S.Inumiya 等人在 2003 年的 *Symp. VLSI Tech.* 裡提到，在 MOCVD 沉積 Hf-silicate 之後，搭配電漿氧化與氮化後處理，將能有效舒緩載子遷移率下降的問題【19~25】。而在 2002 年 IEDM 中，更大篇幅的引入氮的摻雜技術，從中可以看到，以多種製程方式在介電薄膜中添加適當的氮含量，將有利於 k 值的提升，更重要的是，氮的摻雜也提高了薄膜的結晶溫度，讓元件在高溫的環境下，減少漏電流的產生及雜質的滲透，讓介電係數得以維持一定【26~32】。2003 年

的 JOURNAL OF APPLIED PHYSICS，Hong Bae Park 等人提到，對 Al_2O_3 施以電漿氮化處理，能提供氧化層中正型固定電荷 (Positive fixed charge)，以消除存在於 $\text{Al}_2\text{O}_3/\text{Si}$ (或 $\text{Al}_2\text{O}_3/\text{SiO}_2$) 及 HfO_2/Si (或 $\text{HfO}_2/\text{SiO}_2$) 介面處大量的負型固定電荷 (Negative fixed charge)，使 $\text{HfO}_2/\text{Al}_2\text{O}_3$ 閘堆疊介電層電容結構的平帶電壓，控制在理想的範圍內【33~35】。

綜觀以上氮處理的優點，本次研究，首先將採取氮離子佈植的方式，在以 PVD 鍍上鈦/鈷 (或鈦/鎳) 金屬之後，進行 N_2^+ (或 N^+) 離子佈植的動作，接著在完成金屬的氧化。試圖以這種方式，在鈷鈦酸及鎳鈦酸高介電層中，摻入適當量的氮，來改善薄膜特性。另一方面的研究，則在鈦/鈷金屬氧化之後，接受 N_2O 電漿處理，探究其在之後高溫退火處理下，電特性的改變，這一方面的討論，將在第四章有詳細的敘述。



1.5 論文架構

本研究將使用鈷鈦酸高介電薄膜當作金氧半電容之閘極介電層，探討其與鎳鈦酸為閘極介電層之特性比較。並利用氮離子佈植及氧化後 N_2O 電漿處理的方式，分析比較不同條件上的電特性。本論文包含五個章節：

第一章：本章主要說明利用高介電係數材料薄膜取代傳統矽氧化層對元件微縮之後的重要性，及其所帶來的優缺點。

第二章：詳細描述整個製作 CoTiO_3 閘介電層之電容元件的實驗流程及製程

條件。

第三章：討論在金屬氧化前經 N_2^+ 離子佈植的步驟，對鈷鈦酸及鎳鈦酸金氧半電容在電性上的影響，並以材料分析的結果加以佐證。

第四章：首先探討在金屬氧化前經不同 N^+ 離子佈植劑量的摻雜，對鈷鈦酸閘介電層金氧半電容在特性上的影響。二來討論在金屬氧化之後，經 N_2O 電漿退火步驟，對鈷鈦酸電容元件所造成的效應。

最後在第五章中，對本次研究作一整體性的結論，並提出未來可行的研究方向及建議。



	1986	1989	1992	1995	1997	1999	2001	2003	2005	2007	2010
技術節點 (μm)	1	0.7	0.5	0.35	0.25	0.18	0.13	0.10	0.08	0.065	0.045
閘氧化層 厚度 (nm)	25	20	12	7	5	3.5	2	1.5~20	----	----	----
操作電壓 (V)	5	5	5	3.3	2.5	1.8	1.2	1.0	0.9	0.7	0.6
DRAM 容 量 (位元)	256K	1M	4M	16M	64M	128M	256M	512M	1G	4G	16G
運算頻率 (MHz)	<33	66	150	350	750	1200	1600	2000	----	2500	3000
晶圓尺寸 (mm)	150	150	200	200	200	200	300	300	300	300	400

表 1.1 積體電路製造技術的演進概況

	Dielectric constant	Band gap energy (eV)	Crystal structure (@ 800C°)	Free energy to react with Si at 727°C (Kcal/mol)
SiO ₂	3.9	8.9	Amorphous	-
Si ₃ N ₄	7	5.1	Amorphous	-
Al ₂ O ₃	9	8.7	Amorphous	63.4
Y ₂ O ₃	15	5.6	Cubic	-
La ₂ O ₃	30	4.3	Hexagonal, Cubic	-
Ta ₂ O ₅	26	4.5	Orthorhombic	-52.5
TiO ₂	80	4.3	Tetragonal	7.5
ZrO ₂	25	5.7	Monoclinic	47.6
HfO ₂	25	7.8	Monoclinic	42.3

表 1.2 幾種常見的高介電係數材料

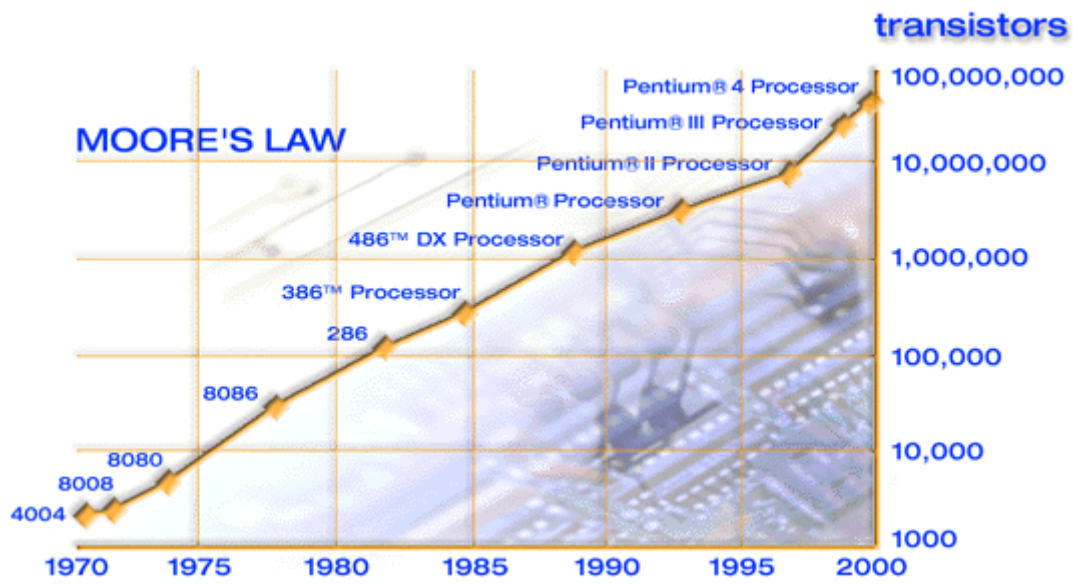


圖 1.1 摩爾定律 (Moore's Law)

第二章

CoTiO₃ 閘介電層之電容製作

本章節主要是介紹高介電係數 CoTiO₃ 當作閘介電層之電容之製作流程、製程條件、及量測的方式等。所有的製程皆在國家奈米元件實驗室（National Nano Device Laboratories，NDL）完成，電性方面則是在電子資訊大樓八樓進行量測。

2.1 CoTiO₃ MOS Capacitor 元件製程

本實驗總共使用三道光罩，主要考量於其製程快速的優點，可以大量的測試實驗的條件。第一道光罩為 Alignment Mark Mask，用來定義零層蝕刻。第二道光罩為 Trench Mask，用來定義主動區。第三道光罩則是 Metal Pad Mask，用來定義電極的圖案。完成三道光罩之後，最後在晶背鍍上鋁矽銅，當作另一電極。

圖 2.1 為其製作流程圖。

2.1.1 晶片刻號及零層蝕刻（Alignment Mark）

本實驗主要是使用 N-型低阻值（ $<0.007 \Omega\text{-cm}$ ）六吋矽晶片，晶格方向為（100），並搭配介於 $2\text{-}7 \Omega\text{-cm}$ 相對高阻值的六吋晶片當做對照用，用以說明基板濃度高低對空乏能力的影響。首先將所有晶片以雷射刻號機進行刻號，方便辨識。之後以氨水去除刻號時所產生的微粒，接著開始零層的曝光動作。先以自動

化光阻塗佈及顯影系統(TEL CLEAN TRACK MK-8)程式 8 進行正光阻的塗佈，再來經由 G-line 光學步進機 (G-line Stepper) 將 Alignment Mark 定義在晶片上，經由顯影 (TRACK 程式 11) 之後，以 TEL 5000 氧化矽蝕刻系統吃出所定義的圖案，深度約 1200 埃，經表面輪廓量測儀確認無誤後，以乾式光阻去除機 (FUSION OZONE ASHER) 將大部分的光阻去除，再浸泡 120 度的熱硫酸去除殘餘的光阻，完成零層的步驟。此零層的目的是用在以後 G-line 步進機曝光時晶片位置對準校正用。

2.1.2 定義主動區 (Trench)

經由標準清洗程序清洗晶片之後，以高溫低壓爐管 (Tube 5) 溫度於 980°C 下成長濕式氧化層 (Wet Oxide) 5500 埃，接著以 TRACK 程式 8 塗佈光阻，再來經由 G-line 光學步進機將 Trench Mask 定義到晶片上，經由 TRACK 程式 11 進行顯影之後，以 BOE (6:1) 濕式蝕刻的方式，蝕刻率約每秒 20 埃，吃掉主動區上的 Wet Oxide，之後相繼以乾式光阻去除機及熱硫酸去除晶片上的光阻，完成主動區的定義。此層 Wet Oxide 是用來當隔絕，及之後金屬蝕刻時避免邊緣處被蝕刻到而產生不必要的缺陷，於第四章將會比較出沒有此層 Wet Oxide 的影響。

2.1.3 阻障層 (Barrier Layer)

接下來的步驟就是成長阻障層 Si_3N_4 。晶片經由 RCA 清洗過程去除掉上面的微粒、金屬離子及有機物，在加上 $\text{HF}:\text{H}_2\text{O} = 50:1$ 稀釋的氫氟酸洗掉晶片表

面上的原生氧化層 (Native Oxide) 之後，隨即以低壓爐管 (Tube 2)，溫度設定為 800°C 通入 NH₃ 氣體，成長一層薄氮化矽 (Si₃N₄)，以薄膜測厚儀 (n&k analyzer) 及橢圓測厚儀 (Ellipsometer) 測量出其厚度約為 10 埃。成長此層阻障層 Si₃N₄ 的目的，是為了避免後續的製程中，在矽基板與閘介電層間，因為氧原子及金屬原子的擴散，造成不必要的氧化矽及金屬矽化物的形成，影響到電特性及等效厚度的縮薄【6~8】。

2.1.4 閘介電層 (Gate Dielectrics) 的形成

在完成阻障層 Si₃N₄ 的成長之後，不經過任何的清洗過程，立即以金屬物理氣相沉積系統 (Metal PVD) 分別沉積 Ti 與 Co (或 Ti 與 Ni) 各 50 埃。首先將真空度抽至 10⁻⁹ torr，功率調到 500 瓦後，室溫下以每秒 9 埃的速率濺鍍 Ti 與 Co (或 Ti 與 Ni)。之所以不經過任何清洗過程即進行金屬的濺鍍，是為了避免 Si₃N₄ 被化學溶劑蝕刻掉，而失去後續阻擋的功能。

接著在金屬氧化的動作之前，先以中電流離子佈植機進行氮離子的佈植。佈植能量設定在 10keV 的低能量，以避免過多的離子進入矽基板，造成不必要的缺陷；佈植離子的種類為 N₂⁺ 或 N⁺；佈植劑量分為 no, 2E13/cm², 2E14/cm², 2E15/cm² 四種條件。在真空度小於 9E-6 Torr 的狀態下，以傾角 7° (Tilt angle)，扭角 22° (Twist) 的角度，進行氮離子的佈植。氮離子佈植的目的將在第三、四章詳細說明。

經過氮離子佈植後，將晶片立刻送入高溫爐管 (Tube 11) 進行金屬氧化及

退火處理的步驟。氧化退火條件為：750°C O5A5（氧化 5 分鐘，退火 5 分鐘）、750°C O10（氧化 10 分鐘，沒有進行退火）、800°C O5A5、800°C O10、850°C O5A5、850°C O10、900°C O10。氧化時所使用的氣體比例為 $O_2:N_2 = 5000\text{sccm}:5000\text{sccm}$ 。

2.1.5 氧化後處理

經過氧化及退火處理之後，晶片以交通大學奈米中心的電漿輔助化學氣相沉積系統（Plasma-Enhanced Chemical Vapor Deposition, PECVD）進行 N_2O 電漿處理。在通入氣體流量 60sccm，反應溫度 350°C，power 10W~20W 的條件下，進行電漿處理 5 分鐘。為了避免閘介電層遭受電漿損害，此處所用的 power 僅在低功率範圍（10W、15W、20W 三種條件）。 N_2O 電漿處理的目的，是企圖靠著氮對介電層的摻雜，加強其結晶的溫度，探討在之後高溫退火處理下，介電層抗結晶的效果；二來藉著 N_2O 分解出來的氧原子，填補介電層內的氧空缺，使組成更加完整。詳細的討論，將在第 4 章一一論述。

之後以金屬快速退火爐（METAL RTA）進行 N_2 退火的步驟。以每秒升溫 160°C 的速率，在 880°C 穩定的溫度下，進行 40 秒的退火處理，待 10 分鐘過後，取出晶片。這一步驟的目的在修復經過電漿處理後受損的介電薄膜，並探討介電層經過高溫製程後，其結晶程度的改變。

2.1.6 金屬電極沉積


最後的步驟，在 $CoTiO_3$ 閘極介電層上，以金屬物理氣相沉積系統（Metal PVD）鍍上 Al 5000 埃，經 TRACK 程式 8 塗佈光阻，及 G-line 光學步進機將最

後一道光罩 Metal Pad 定義到晶片上，以 TRACK 程式 11 顯影後，用金屬蝕刻系統（Metal Echer ILD4100）蝕刻出電極圖案，接著光阻去除之後，以 BOE 塗抹的方式，去除晶背的原生氧化層，在經由多功能真空濺鍍系統鍍上 Al-Si-Cu 5000 埃，完成金屬電極的製作。

2.2 電容元件之特性量測

在電容特性量測方面，本人將針對電性及物性方面做討論。電性方面，包括電容-電壓（C-V）的特性量測，還有電流-電壓（I-V）的特性量測。物性上將以各種材料分析，來佐證電性上所得到的結果。

2.2.1 電容-電壓（C-V）特性量測



鈷鈦酸閘極電容之 C-V 電性量測是以 HP 4284 量測系統為測量工具，使用的樣品電容面積為 $2.5E-5 \text{ cm}^2$ ($50 \mu\text{m} \times 50 \mu\text{m}$) 及 $1E-4 \text{ cm}^2$ ($100 \mu\text{m} \times 100 \mu\text{m}$)。量測參數方面，則設定 100KHz 高頻在電壓從 -3V，以每 75mV 漸升的電壓爬升到 +3V，共 81 個點。由量測的結果可得到平帶電壓（Flat-band voltage）及聚積區（Accumulation region）的電容值，並由電容值計算出等效的氧化層厚度，搭配實際厚度之後，可求得鈷鈦酸介電薄膜的介電係數。經由平帶電壓的值，則可對氧化層中的固定電荷作定性上的推斷。

2.2.2 電流-電壓（I-V）特性量測

I-V 電性量測是由 HP 4156A 半導體參數分析儀進行測量。漏電流的量測是

以在閘極施加正偏壓（電子由基板入射），從 0V 開始，以每 50mV 往上爬升，直到電流產生急劇陡峭上升為止，限制最大電流（Compliance）則設定在 40mA。量測結果將分析在低電壓（ $V_G = 1V$ ）時的漏電流，及發生電流急劇陡峭上升所對應的電壓值（崩潰電壓， V_{bd} ）。

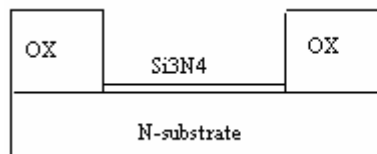
另一方面，則固定閘極偏壓，做時間相依介電質崩潰（TDDB）的測量。量測方式則是施加一適當偏壓，以時間 1000 秒為限，觀測發生電流急劇陡峭上升時所需的時間，定義為崩潰時間（ T_{bd} ）。接著改變閘極偏壓兩次，做同樣的量測。經由三次所得的崩潰時間，可畫出十年線，用以判別元件的可靠程度。

I-V 電性量測方面還有測量在經不同時間相同電壓施加之後，漏電流的改變量（Stress Induce Leakage Current, SILC），用以說明閘極氧化層及界面的好壞。

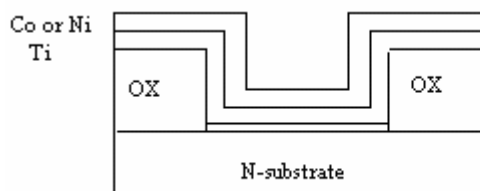
2.2.3 材料分析

除了電性方面的量測之外，在物性方面將藉以用來佐證電性上的結果。之後的章節，將會針對 X 光繞射分析（XRD）、穿透式電子顯微鏡（TEM）、二次離子質譜儀（SIMS）等分析的結果，做合理的解釋。

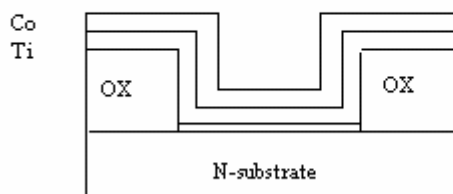
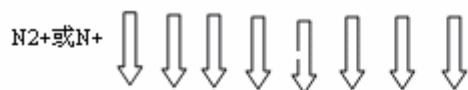




- 1.晶片刻號及零層蝕刻
- 2.成長Wet OX, 定義主動區
- 3.成長Si3N4阻障層

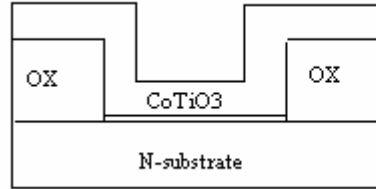


- 1.沉積 Ti 5nm
- 2.沉積 Co或 Ni 5nm

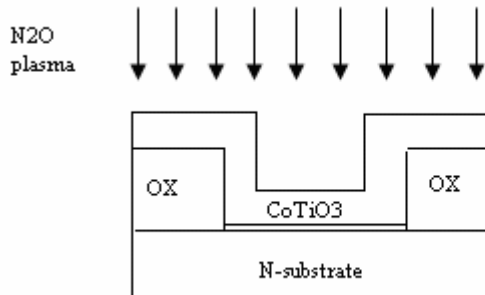


- 1.N2 或 N+ 佈植
(劑量:2E13~2E15)

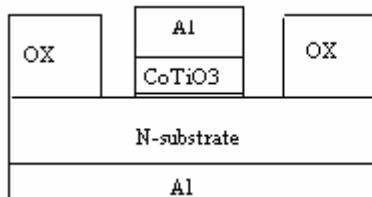
圖 2.1 CoTiO_3 閘介電層電容之製作流程 (I)



1. 金屬氧化及退火處理
(750C~900C ,5-10分鐘)



1. N2O plasma
(10~20W)
2. RTA 880C 40秒



1. 沉積 Al 500nm
開出電極圖案
2. 背鍍 Al-Si-Cu 500nm

圖 2.1 CoTiO_3 閘介電層電容之製作流程 (II)

第三章

N_2^+ 佈植應用在高介電係數鈷鈦酸及鎳鈦酸閘介電層之電容結構

3.1 研究動機

隨著元件逐漸縮小之際，爲了抑制短通道效應的發生，閘極介電層厚度也隨之跟著縮小，以確保閘極有良好的控制能力。如此一來，傳統的 SiO_2 閘極氧化層將由於直接穿遂的漏電機制，而帶來無法接受的閘極漏電流，使 SiO_2 的使用到達了極限。因此，尋求一種新的替代材料將成爲一件刻不容緩的事。此時高介電材料閘極介電層的出現，一方面提高了元件的驅動能力，一方面克服了閘極介電層因過薄而帶來的高漏電流，以較厚的實際厚度等效了 SiO_2 的薄氧化層，來防止電子的直接穿遂。本次研究將使用鈷鈦酸及鎳鈦酸兩種高介電材料閘極介電層，製作金氧半電容結構，用以探討在各種條件下的特性。根據前人的研究顯示，鈷鈦酸及鎳鈦酸兩種材料是一種鈦鐵礦結構的化合物，與氧化鋁的結構十分相似，材料結構十分地穩定，且組成緻密，介電係數約略在 40 左右，且具有蠻低的漏電流，是不錯的閘極介電層材料的選擇。

在第一章節曾有提及，適當的氮處理能有效改善元件的特性，特別是在熱穩定性的改善方面，氮的摻雜能提高介電層的結晶溫度，使高溫環境下，元件仍能

保有良好的電特性。而依據前人的經驗顯示，鈷鈦酸及鎳鈦酸的結晶溫度約在 700~750 度【6~8】，因此本次研究將試圖以多種的氮摻雜方式，來提高兩者的結晶溫度，探討其對電容電性上的影響。

3.2 實驗條件

本章節討論的重點，將觀察 N_2^+ 離子佈植對鈷鈦酸及鎳鈦酸兩種高介電閘極電容結構特性上的影響，故此將比較有無經過 N_2^+ 離子佈植在各種高溫氧化過後，特性上的改變。表 3.1 為利用鈷鈦酸閘極介電層製作電容結構的樣本條件，表 3.2 則為利用鎳鈦酸閘極介電層製作電容結構的樣本條件， N_2^+ 離子佈植能量為 10keV，劑量為 $2E14\text{ cm}^{-3}$ 。製程方面已於第二章詳細介紹，此處將不再覆述。電性上量測所使用的樣品電容面積為 $2.5E-5\text{ cm}^2$ ($50\text{ }\mu\text{m}\times 50\text{ }\mu\text{m}$)，文後將針對有無施以 N_2^+ 離子佈植在不同氧化溫度條件下的各種電性結果，有一系列的討論。

3.3 實驗結果與討論

3.3.1 N_2^+ 佈植應用於鈷鈦酸閘極介電層電容

根據 (3-1) 式來看【36】，矽基板摻雜濃度 (N_d) 越高，當金氧半電容達強反轉時的空乏區寬度 (W_m) 越窄，強反轉時的電容值 ($C_{inv.}$) 則越高。

$$W_m = [2 \varepsilon_s (2 \phi_{FP}) / eN_d]^{1/2} \quad (3-1)$$

圖 3.1 及圖 3.2 分別是阻值為 $0.007\text{ }\Omega\text{-cm}$ 及阻值為 $2\sim 7\text{ }\Omega\text{-cm}$ 的矽基板，在

氧化溫度為 850 度的條件下，電容之 C-V 圖。可以發現，當電容在高頻量測下由強累積區經過空乏區到強反轉區，由於阻值為 $0.007\Omega\text{-cm}$ 的矽基板具有過高的摻雜濃度，以至於不容易產生空乏的現象，使得電容值不會隨著電壓的變動而有明顯的下降。相反的，阻值為 $2\sim 7\Omega\text{-cm}$ 矽基板的樣品，電容值從強累積區到強反轉區則有明顯的下降趨勢。因此說明了矽基板濃度的確對 C-V 曲線有極大的影響。

圖 3.3 比較有無經過 N_2^+ 離子佈植，在不同氧化溫度條件下之 C-V 圖。首先，很明顯的看得出，無論有無經過 N_2^+ 離子佈植，氧化溫度越高，電容值則越小，EOT 越大。原因歸究於溫度越高，造成介面的混合層越易氧化，使得這層 k 值較低的氧化層隨溫度的升高而變厚，因此電容值因而下降。而比較相同氧化溫度下，經過 N_2^+ 離子佈植後的樣品，其電容值並不會因此而有所下降。搭配表 3.3 可以輕易的看出，鈷鈦酸閘介電層電容其平帶電壓較一般電容元件來得低，其為過多正型固定電荷所造成，而適當的氧化溫度下， N_2^+ 離子佈植將有助於減少正型固定電荷，使平帶電壓趨於一般值。不過當溫度為 900 度時，過高的溫度反倒讓 N_2^+ 離子佈植的樣品產生更多正型固定電荷，使得平帶電壓漂移更加嚴重。

圖 3.4 是氧化溫度 800 度，有無 N_2^+ 離子佈植樣本，漏電流對閘極電壓的比較。由於在此溫度條件下，鈷鈦酸閘介電層結晶程度並不嚴重，因此對於未經過氮處理的樣本，顯現極小的漏電流以及較大的崩潰電壓。相反地，此時經過氮處理的樣本，不但沒有發揮功效，反倒因為離子佈植造成較多的氧化層缺陷，因而

產生較大的漏電流以及較小的崩潰電壓。

圖 3.5 是氧化溫度 800 度，有無 N_2^+ 離子佈植樣本，在 $V_g=1V$ 時之漏電流 weber 分布比較圖。未經過氮處理的樣本，因為有較小的氧化層缺陷，因此表現出較小的漏電流。

圖 3.6 是氧化溫度 800 度，有無 N_2^+ 離子佈植樣本，對崩潰電壓所作的 weber 分布比較圖。同上述的結果，未經過氮處理的樣本，因為有較小的氧化層缺陷，因此能夠承受較高的電壓作用，崩潰電壓較經過氮處理的樣本來得大許多。

圖 3.7 為氧化溫度 800 度，對有無 N_2^+ 離子佈植樣本，做時間相依介電質崩潰 (TDDB) 的測量比較。可以看得出，未經過氮處理的樣本，因為有較小的氧化層缺陷數量，因此具有較佳的可靠性 (Reliability)，比較十年的 lifetime，未經過氮處理的樣本可高達 4V 之多，遠高於經過氮處理樣本的 2V。

由圖 3.4 到圖 3.7 可以看出，未經過氮處理的樣本，在氧化溫度為 800 度時，由於其結晶程度不嚴重，加上相對於氮處理的樣本有較少的氧化層缺陷數量，因此在此電性上顯現出較佳的特性。

圖 3.8 是氧化溫度 850 度，有無 N_2^+ 離子佈植樣本，漏電流對閘極電壓的比較。在此溫度條件下，未經過氮處理的樣本，因結晶程度嚴重，造成電子延著晶粒邊界 (Grain boundary) 流到閘極，使得漏電流大大提高，崩潰電壓大幅下降。相對地，經過氮處理的樣本，由於氮的添加產生了作用，使得在此高溫氧化溫度下，結晶現象受到了抑制，漏電流因而大幅減小，崩潰電壓提升。

圖 3.9 為氧化溫度 850 度，有無 N_2^+ 離子佈植樣本，在 $V_g=1V$ 時之漏電流 weber 分布比較圖。明顯的看得出來，有經過 N_2^+ 離子佈植處理的樣本，其漏電流比起未經處理的樣本小 1 到 2 個 order，造成這樣的原因是因為氮的添加使得結晶現象受到有效的抑制，減少了漏電流的漏電途徑。另一方面，由於 N_2^+ 離子佈植對矽基板表面所造成的晶格破壞，也因為在 850 度的高溫下，得到了適時的修復，因此缺陷數量大大的減少。

圖 3.10 是氧化溫度 850 度，針對有無 N_2^+ 離子佈植的樣本，對崩潰電壓所作的 weber 分布比較圖。與上述的結果一致，經 N_2^+ 離子佈植處理的樣本，由於其漏電途徑經氮的處理後大大的減少，以致能夠承受較大的電壓作用，崩潰電壓得以提升。



圖 3.11 為氧化溫度 850 度，對有無 N_2^+ 離子佈植樣本，作時間相依介電質崩潰 (TDDB) 的測量比較。如圖經 N_2^+ 離子佈植的樣本，由於抑制了介電層的結晶，使得具有較佳的可靠性 (Reliability)，根據十年的標準來看，經 N_2^+ 離子佈植的樣本可達到 2.4V，比起未經氮處理樣本的 1.8V，高出 0.6V 之多。

由圖 3.8 到圖 3.11 可以看出，在 850 度氧化 10 分鐘的條件下， N_2^+ 離子佈植的確改善了高溫下結晶嚴重的缺點，減少了電子經由晶粒邊界漏電的途徑，加上 850 度高溫環境下， N_2^+ 離子佈植所造成的基板晶格缺陷得到適時的修復，因此在電性上表現出較佳的特性。

圖 3.12 是氧化溫度 900 度，有無 N_2^+ 離子佈植樣本，漏電流對閘極電壓的比

較。在此高溫氧化環境下，無論有無 N_2^+ 離子佈植，比起 800 度及 850 度氧化溫度下的樣本，其結晶現象皆相當嚴重，造成漏電流急劇上升，崩潰電壓下降。不過不難看得出，經 N_2^+ 離子佈植的樣本，由於氮的作用，使結晶現象較未經處理的樣本來得輕微，因而得到較小的漏電流及較好的崩潰電壓。

圖 3.13 為氧化溫度 900 度，有無 N_2^+ 離子佈植樣本，在 $V_g=1V$ 時之漏電流 weber 分布比較圖。經 N_2^+ 離子佈植的樣本，有較小的漏電流，甚至比未經氮處理的樣本小上 3 個 order 以上，顯示經 N_2^+ 離子佈植的確改善了高溫結晶的缺點。

圖 3.14 是氧化溫度 900 度，針對有無 N_2^+ 離子佈植的樣本，對崩潰電壓所作的 weber 分布比較圖。與上述的結果一致，經 N_2^+ 離子佈植處理的樣本，因為結晶現象得到了改善，因此有較高的崩潰電壓值。

圖 3.15 為氧化溫度 900 度，對有無 N_2^+ 離子佈植樣本，作時間相依介電質崩潰 (TDDB) 的測量比較。由於過高的氧化溫度，致使在可靠性分析上，皆較氧化溫度 800 度及 850 度的樣本來得差。不過仍以有經過 N_2^+ 離子佈植的樣本，有較佳的表現。

經圖 3.12 到圖 3.15 的分析比較可以看得出，在 900 度如此高的氧化溫度環境下，經 N_2^+ 離子佈植的樣本，在電性上的確得到了改善，也看出氮的添加，的確改善了高溫結晶的現象，使得介電層在高溫下仍能維持相當的穩定性。

圖 3.16 是未經過 N_2^+ 離子佈植的樣本，氧化溫度為 850 度，以固定電壓 2V 對樣本作 stress10 秒及 100 秒後的漏電流對閘極電壓圖。圖 3.17 則是經過 N_2^+ 離

子佈植的樣本，氧化溫度為 850 度，以固定電壓 2V 對樣本作 stress 10 秒及 100 秒後的漏電流對閘極電壓圖。由圖 3.16 可以看出，未經氮處理的樣本，其在 stress 過後漏電流有明顯的增加，表示其結構中存在著較多的陷阱 (trap) 或缺陷，導致在 stress 過程中產生大量的陷阱電荷，且 stress 時間越久漏電流越大。反觀圖 3.17 經過 N_2^+ 離子佈植的樣本，由於對結晶產生了抑制的效果，因此整個介電層的結構較為均勻 (Homogeneity) 完整，介面陷阱及氧化層電荷等缺陷較少，漏電流在 stress 過後無明顯的增加。

圖 3.18 及圖 3.19 為 800 度氧化 10 分鐘，未經 N_2^+ 離子佈植及經過 N_2^+ 離子佈植樣本的 TEM 圖。在沉積介電層之前，經爐管 800 度 NH_3 氣體成長出的阻障層氮化矽 (Si_3N_4)，由於過薄的關係，無法達到完全阻擋的作用，使得在介電層及矽基板的介面，生成一層金屬矽酸鹽類 (Silicate) 的混合層，降低了整體的 k 值。同樣的問題在 850 度 (圖 3.20 及圖 3.21) 及 900 度 (圖 3.22 及圖 3.23) 的樣本中依然可以看到。表 3.3 列出所有樣本的厚度及估算出的有效 k 值。根據文獻中的研究顯示，金屬矽酸鹽類亦為高介電係數材料，且其 k 值與金屬含量及氮含量成正比，與矽的含量成反比【19~24,26】。也就是說，矽含量越高，k 值越低。經由表 3.3 估算出的有效 k 值可以看出，經 N_2^+ 離子佈植的樣本顯示出較高的 k 值，其原因歸究於氮的加入有效減少矽在氧化過程中的擴散增進現象 (Oxidation Enhance Diffusion, OED)【37】，使得介面混合層的矽含量減少，提升了整體的有效 k 值。而溫度越高越容易造成雜質 (Impurities) 的擴散，因此由表 3.3 可以

看出越高的溫度將造成 k 值的下降。另一方面，從結晶程度的比較來看，溫度越高結晶現象越嚴重，而經過 N_2^+ 離子佈植的樣本，則能舒緩薄膜的結晶。

圖 3.24 為氧化溫度 850 度，對有無 N_2^+ 離子佈植之 SIMS 比較圖。由圖中可以看出，經過 N_2^+ 離子佈植的樣本，在矽基板與介電層的介面處有較高濃度的氮原子，且分布的範圍比未經 N_2^+ 離子佈植的樣本來得廣。圖 3.25 為氧化溫度 900 度，有無 N_2^+ 離子佈植之 SIMS 比較圖。經過 N_2^+ 離子佈植的樣本，在矽基板與介電層的介面處同樣含有較高的氮濃度，且分布較廣。圖 3.26 是針對氮原子濃度，所作的 SIMS 比較圖。經由此圖可更清楚的比較出，經過 N_2^+ 離子佈植的樣本的確在介面處含有較高濃度的氮含量，且分布較廣。

圖 3.27 為矽原子的分布比較之 SIMS 圖。首先可以看出，氧化退火處理的溫度越高，介面層的矽含量越高。再者，如果仔細的觀察可以看出，在相同的氧化退火溫度下，經過 N_2^+ 離子佈植處理的樣本，能抑制矽的擴散，使得介面層的矽含量較未經 N_2^+ 離子佈植處理的樣本來得低，推斷其為造成較大 k 值的原因之一。而圖 3.28 則為鈷原子的分布比較之 SIMS 圖。圖中可看見，經過 N_2^+ 離子佈植處理的樣本，在鈷鈦酸閘介電層內有著較高含量的鈷原子存在。再者，矽基板內的鈷含量有隨溫度上升而增加的趨勢，且以未經 N_2^+ 離子佈植處理的樣本更加嚴重。由此可推斷，經過 N_2^+ 離子佈植處理，能抑制鈷原子在高溫製程下往矽基板內擴散，減少了漏電流的產生，因而有較好的電特性。

由圖 3.24 到圖 3.28 可以看出， N_2^+ 離子佈植的確達到了氮化的效果，使得在

介面處有較多含量的氮存在，抑制了介電層高溫製程下結晶的現象發生，減少漏電的途徑。另一方面， N_2^+ 離子佈植處理，對於高溫氧化環境下矽、鈷原子的擴散，有些許的阻擋效果，因而提升了整體的有效 k 值，以及表現出良好的電特性。

圖 3.29 為氧化溫度 800 度，對有無 N_2^+ 離子佈植作低掠角 X 光繞射 (X-Ray Diffraction, XRD) 分析之比較圖。由圖中可以看出，未經 N_2^+ 離子佈植的樣本，在 800 度的氧化溫度下，已經有結晶相的產生，而其峰值 (Peak) 的位置座落在 34.7 rad，判斷其應屬於繞射平面 (311) 的 $CoTiO_3$ 結晶相。而有經過 N_2^+ 離子佈植的樣本，由於氮原子的作用下，使得鈷鈦酸的結晶，有效的被抑制住，因而顯現出較低的 peak 值。



圖 3.30 為氧化溫度 850 度，對有無 N_2^+ 離子佈植作 XRD 之分析比較。與圖 3.29 的結果作一比較，未經 N_2^+ 離子佈植的樣本，在此高溫 (850 度) 氧化環境下，鈷鈦酸的結晶更顯得嚴重。相反地，經過 N_2^+ 離子佈植的樣本，由於氮原子的作用下，鈷鈦酸的結晶有大大的改善。

圖 3.31 為氧化溫度 900 度，對有無 N_2^+ 離子佈植作 XRD 之分析比較。此時無論有無經過 N_2^+ 離子佈植的步驟，在 900 度超高溫的氧化過後，薄膜結晶的現象皆較 800 度及 850 度時來得嚴重，不過仍以經過 N_2^+ 離子佈植的樣本，有較小的 peak 值。

由圖 3.29 到圖 3.31 XRD 的分析結果可以看出， N_2^+ 離子佈植的確有效抑制了鈷鈦酸的結晶產生，使得元件在高溫的製程過後，仍能顯現出不錯的電特性。

3.3.2 N_2^+ 佈植應用於鎳鈦酸閘極介電層電容

圖 3.32 是 $NiTiO_3$ 800 度氧化 10 分鐘，針對各種 N_2^+ 佈植劑量所作的電容對電壓圖。明顯的看得出，在未經 N_2^+ 佈植處理的樣本，由於介電層中存在過多正的固定電荷，導致平帶電壓的值比起一般電容元件來得低，甚至表現出負的平帶電壓值。而經過 N_2^+ 佈植處理後的樣本，能有效的改善此缺失，使平帶電壓趨向正常的值，減少了介電層中正型的固定電荷。另一方面在經過 N_2^+ 佈植處理後，電容值並不會有衰退的現象產生。表 3.4 整理出 800 度氧化 10 分鐘各種樣本的等效厚度及平帶電壓值。

圖 3.33 為 $NiTiO_3$ 800 度氧化 10 分鐘，針對各種 N_2^+ 佈植劑量之漏電流對電壓比較圖。由於在 800 度高溫的氧化環境下，過薄的氮化矽阻障層 (Barrier layer) 並無法有效阻擋鎳的擴散，導致在介面處產生過多的金屬，甚至與矽基板反應成鎳矽化物 (Nickel silicide)，造成較大的漏電流【6】。而經過 N_2^+ 佈植的樣本，並無法有效降低鎳的擴散，更嚴重的造成介面的缺陷數量增加，使得漏電流劇增。圖中可以看出， N_2^+ 佈植劑量越大，漏電的情況越嚴重，崩潰電壓越小。

圖 3.34 是 $NiTiO_3$ 800 度氧化 10 分鐘，對各種 N_2^+ 佈植劑量，在 $V_g=1V$ 時，所作的漏電流 weber 分布比較圖。 N_2^+ 佈植劑量越多，漏電流越大。

圖 3.35 是 $NiTiO_3$ 800 度氧化 10 分鐘，對各種 N_2^+ 佈植劑量作崩潰電壓 weber 分布圖。與上述結果一致， N_2^+ 佈植劑量越多，造成介面的缺陷數量越多，崩潰電壓越小。

圖 3.36 為 NiTiO₃ 750 度氧化 10 分鐘，針對各種 N₂⁺佈植劑量之漏電流對電壓比較圖。比較 800 度氧化 10 分鐘來看，750 度氧化溫度表現出較佳的漏電流及崩潰電壓，原因不難想像，在較低的溫度下，鎳的擴散較為緩和，使得介面處的金屬含量減少，所以比起 800 度氧化 10 分鐘的樣本，有更好的電性表現。不過經過 N₂⁺佈植的樣本，依舊顯現出過多的缺陷，漏電流較高。

圖 3.37 為 NiTiO₃ 750 度氧化 10 分鐘，對各種 N₂⁺佈植劑量，在 V_g=1V 時，所作的漏電流 weber 分布比較圖。經 N₂⁺佈植處理的樣本，顯示出較高的漏電流，且隨劑量的增加，漏電情況有更嚴重的趨勢。

圖 3.38 為 NiTiO₃ 750 度氧化 10 分鐘，對各種 N₂⁺佈植劑量作崩潰電壓 weber 分布圖。由於離子佈植帶來介面處缺陷數量的增加，導致 N₂⁺佈植劑量越多，崩潰電壓越小。



圖 3.39 是 NiTiO₃ 750 度氧化退火處理各 5 分鐘，針對各種 N₂⁺佈植劑量之漏電流對電壓比較圖。比較 750 度氧化 10 分鐘來看，經過氧化退火處理各 5 分鐘的樣本，顯現出較為高的漏電趨勢。歸究其原因為經過 5 分鐘的退火處理，會使得介電層的結晶現象較單純氧化 10 分鐘的樣本來得嚴重，致使漏電流增加。此時經過適當劑量的 N₂⁺佈植處理，會些微改善介電層結晶的發生，使漏電流減小。不過當 N₂⁺佈植劑量高達 2×10¹⁵/cm³，因離子佈植所帶來的介面缺陷依舊主導了漏電的產生，因此漏電流仍然過大。

圖 3.40 是 NiTiO₃ 750 度氧化退火處理各 5 分鐘，對各種 N₂⁺佈植劑量，在

$V_g=1V$ 時，所作的漏電流 weber 分布比較圖。可以看出，適當的 N_2^+ 佈植劑量，可以改善 $1V$ 時的漏電，但過大的 N_2^+ 佈植劑量反倒會使漏電流更加惡化。

圖 3.41 是 $NiTiO_3$ 750 度氧化退火處理各 5 分鐘，對各種 N_2^+ 佈植劑量作崩潰電壓 weber 分布圖。由於離子佈植帶來介面處缺陷數量的增加，因此經過 N_2^+ 佈植處理並無法有效改善崩潰電壓。

縱合以上三種氧化退火條件來看，因為鎳金屬在高溫下容易擴散，致使在介電層與矽基板間會產生過多的金屬，導致漏電流增加，且隨氧化退火處理溫度升高，漏電流更加嚴重。另一方面，由於 N_2^+ 佈植處理會使得介面處的缺陷數量增加，造成不可忽略的漏電因素，使得氮處理抑制結晶的優點，在此無法明顯看出，對於漏電的改善，非常有限。



圖 3.42 為 $NiTiO_3$ 750 度氧化 10 分鐘，未經 N_2^+ 佈植處理的 TEM 圖。與 $CoTiO_3$ 介電層的樣本一致，在 $NiTiO_3$ 介電層與矽基板間，有一層金屬矽酸鹽類的混合層產生，且由於鎳金屬在高溫下容易擴散的因素，致使整體的有效 k 值降低。表 3.5 整理出 $NiTiO_3$ 750 度氧化 10 分鐘及氧化 5 分鐘退火 5 分鐘的樣本，不同 N_2^+ 佈植劑量的等效厚度。經計算後，750 度氧化 10 分鐘，未經 N_2^+ 佈植處理的有效 k 值約為 29，此值遠不如 $CoTiO_3$ 樣本的有效 k 值。

3.4 結論

本章利用 N_2^+ 佈植處理，分別對於兩種高介電材料（鈷鈦酸及鎳鈦酸）電容結構，進行各種特性研究。結果顯示，施以 N_2^+ 佈植氧化前處理，能夠有效改善鈷鈦酸閘介電層高溫結晶的惡化現象，得到較小的漏電流，及承受較大的崩潰電壓。另一方面，經過 N_2^+ 佈植處理並不會造成電容值的下降，保持原有的等效厚度。而由平帶電壓值可以看出，經過 N_2^+ 佈植處理大為減少了氧化層中正型的固定電荷，使平帶電壓趨於正常值。

反觀鎳鈦酸閘介電層電容結構，由於嚴重的鎳金屬擴散，導致漏電流劇增，崩潰電壓下降。此時 N_2^+ 佈植處理所帶來的改善並不顯著，相反的會因為離子佈植造成較大的缺陷，更加惡化其電性表現。

因此相較之下， N_2^+ 佈植氧化前處理，較適用於鈷鈦酸閘介電層電容元件，能明顯提升其元件特性。相反的，給予鎳鈦酸閘介電層電容元件帶來的，卻是負面的影響。

Wafer No.	1	2	3	4	5	6	7	8	9	10	11	12
Sub.2-7Ω	★	★	★	★	★	★						
Sub.007Ω							★	★	★	★	★	★
No N2+ implant	★		★		★		★		★		★	
N2+ 2E14		★		★		★		★		★		★
800C 10min	★	★					★	★				
850C 10min			★	★					★	★		
900C 10min					★	★					★	★

表 3.1 鈷鈦酸閘極介電層電容之樣本條件

Wafer No.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
R:0.007	★	★	★	★	★	★	★	★	★	★	★	★				
R:2~7													★	★	★	★
No N2+ implant	★	★	★										★			
N2+ 2E13				★	★	★								★		
N2+ 2E14							★	★	★						★	
N2+2E15										★	★	★				★
750C05A5	★			★			★			★						
750CO10		★			★			★			★					
800CO10			★			★			★			★	★	★	★	★

表 3.2 鎳鈦酸閘極介電層電容之樣本條件

	EOT (Å)	Interface silicate (Å)	Dielectric film (Å)	Total film (Å)	Effective k-value	Flatband voltage (v)
800 N₂⁺	21.9	58.8	188.2	247.0	43.9	0.3
850 no	25.4	85.7	128.6	214.3	32.9	0.15
850 N₂⁺	27.2	66.7	176.2	242.9	34.8	0.38
900 no	30.3	82.4	155.9	238.2	30.6	0.45
900 N₂⁺	29.4	90.0	153.3	243.3	32.2	-0.23

表 3.3 CoTiO₃ 各種製程條件的厚度及平帶電壓比較

	Cacc (pF)	EOT (Å)	Cfb (Pf)	Vfb (V)
800 no	62.1	13.89	49.7	-0.27
800 N2+ 2E13	61.7	13.98	49.4	0.11
800 N2+ 2E14	62.4	13.83	51.9	0.17

表 3.4 NiTiO₃ 800 度氧化 10 分鐘，各種 N₂⁺佈植條件的等效厚度及平帶電壓比較

	Cacc (pF)	EOT (Å)
750 OX10 no N2+	42.6	20.25
750 OX10 N2+ 2E13	41.7	20.69
750 OX10 N2+ 2E14	37.3	23.13
750 OX10 N2+ 2E15	36.7	23.51
750 O5A5 no N2+	37.6	22.94
750 O5A5 N2+ 2E13	38.4	22.47
750 O5A5 N2+ 2E14	36.9	23.38
750 O5A5 N2+ 2E15	35.6	24.24

表 3.5 NiTiO₃ 750 度氧化溫度下，不同 N₂⁺佈植劑量的等效厚度比較

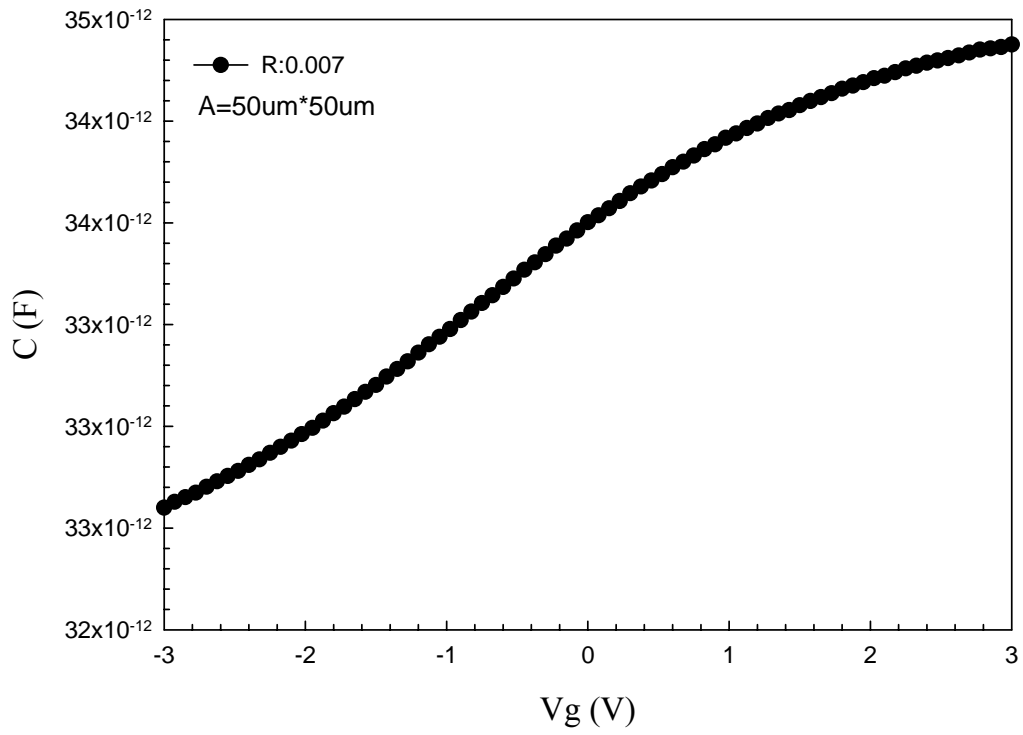


圖 3.1 低阻值 ($R=0.007 \Omega\text{-cm}$) 矽基板之電容結構之 C-V 圖

(N_2^+ : no , 氧化溫度: 850 度)

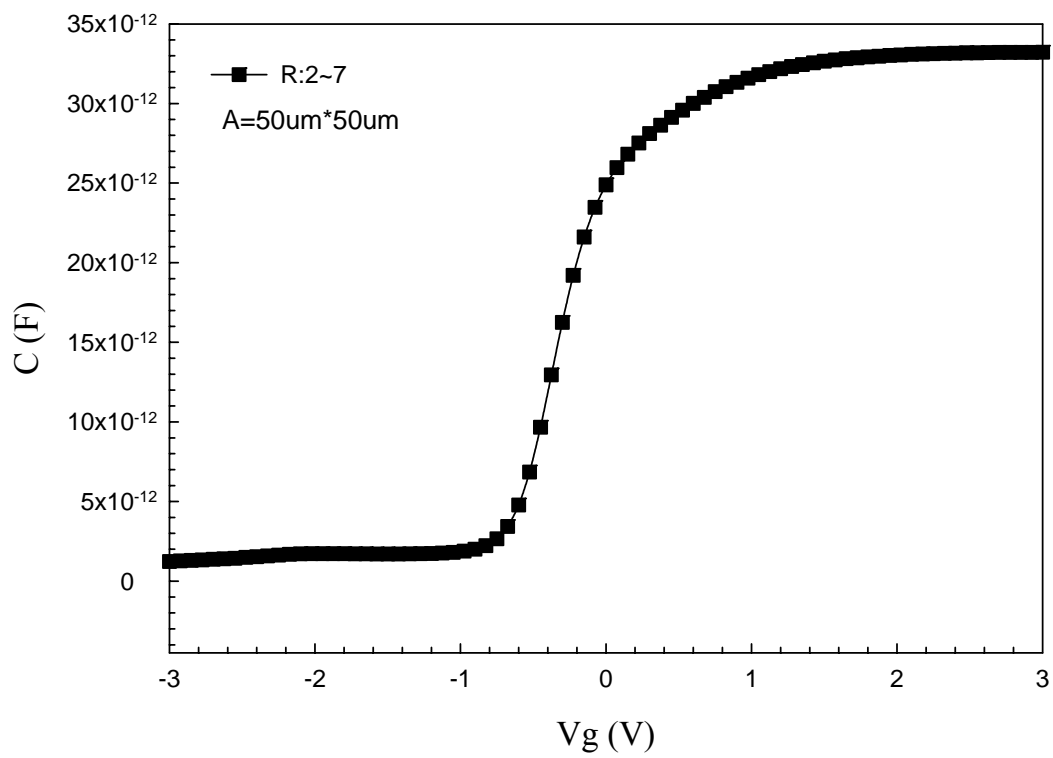


圖 3.2 阻值 $R=2\sim7\ \Omega\text{-cm}$ 矽基板之電容結構之 C-V 圖

(N_2^+ : no , 氧化溫度: 850 度)

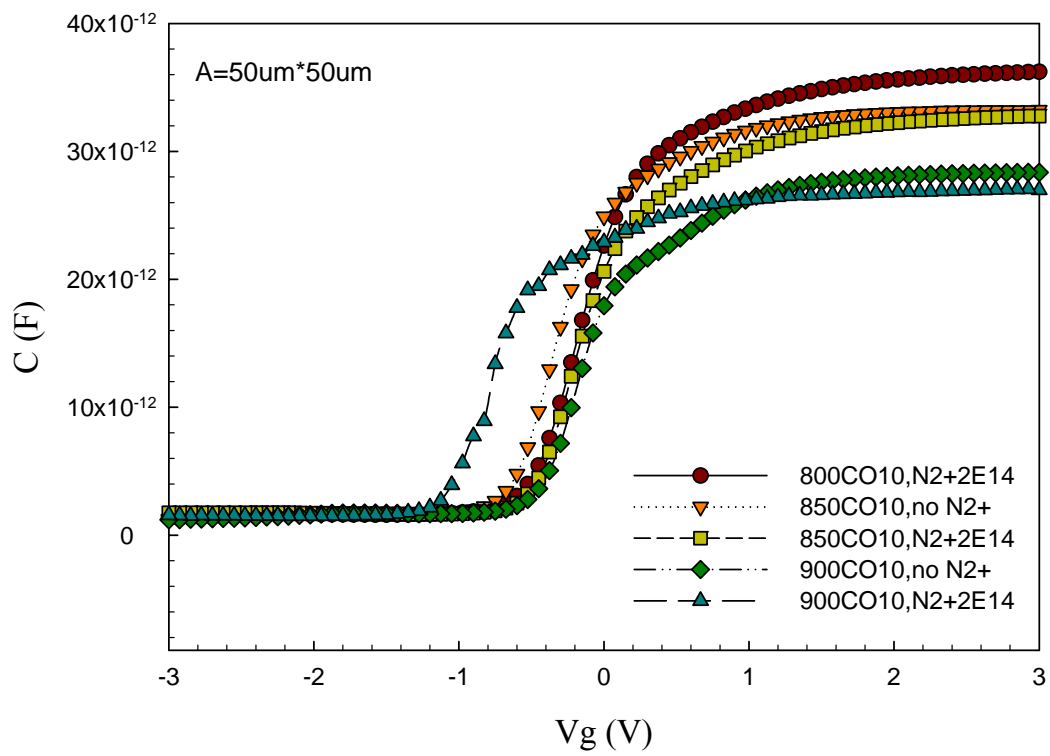


圖 3.3 CoTiO₃ 不同氧化溫度下，有無 N₂⁺佈植之 C-V 比較圖

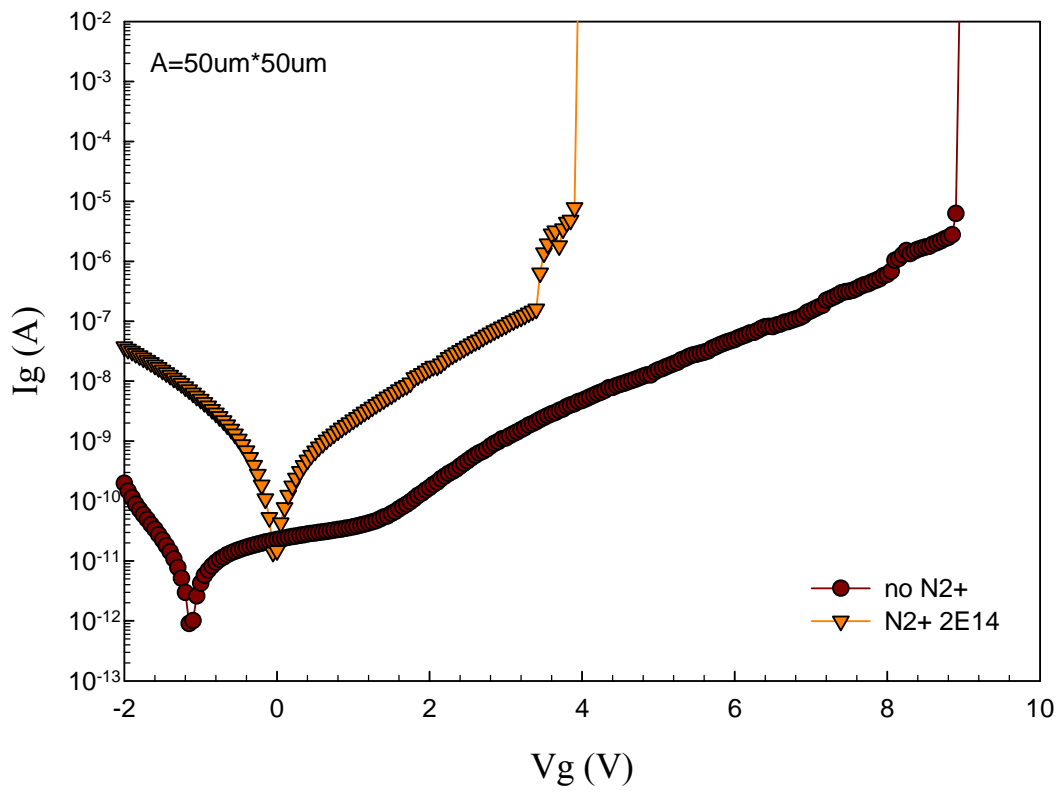


圖 3.4 $CoTiO_3$ 800 度氧化 10 分鐘，有無 N_2^+ 佈植之漏電流對電壓圖

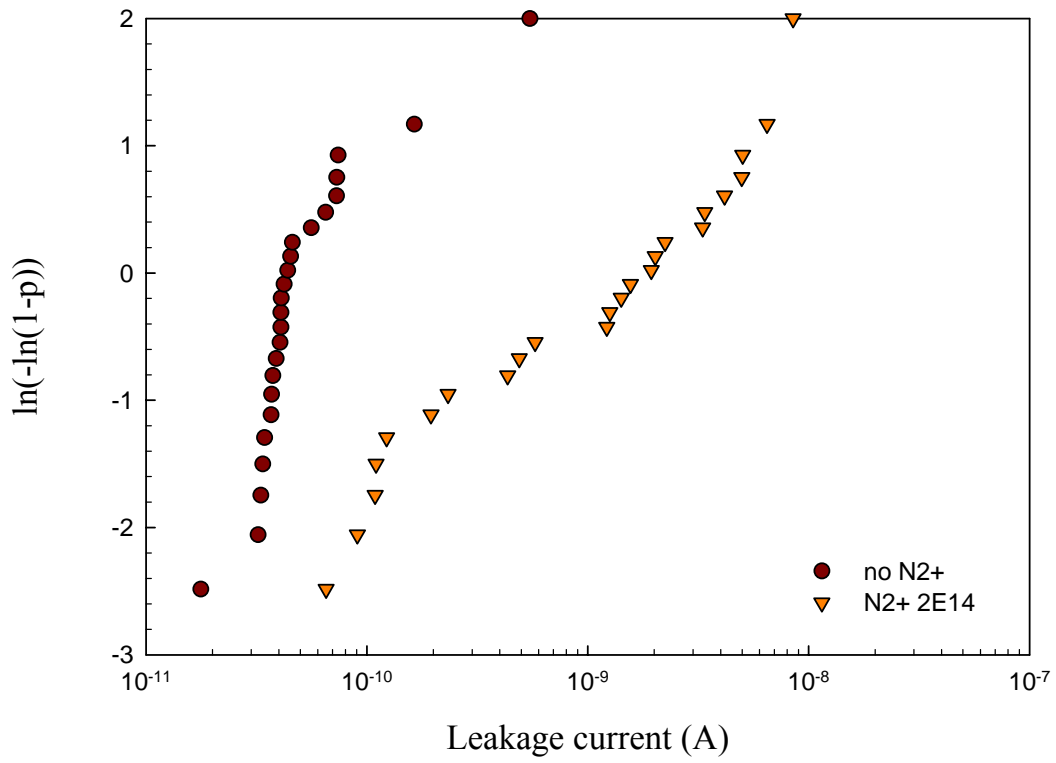


圖 3.5 CoTiO₃ 800 度氧化 10 分鐘，有無 N₂⁺佈植，在 V_g=1V 時之漏
電流 weber 分布圖

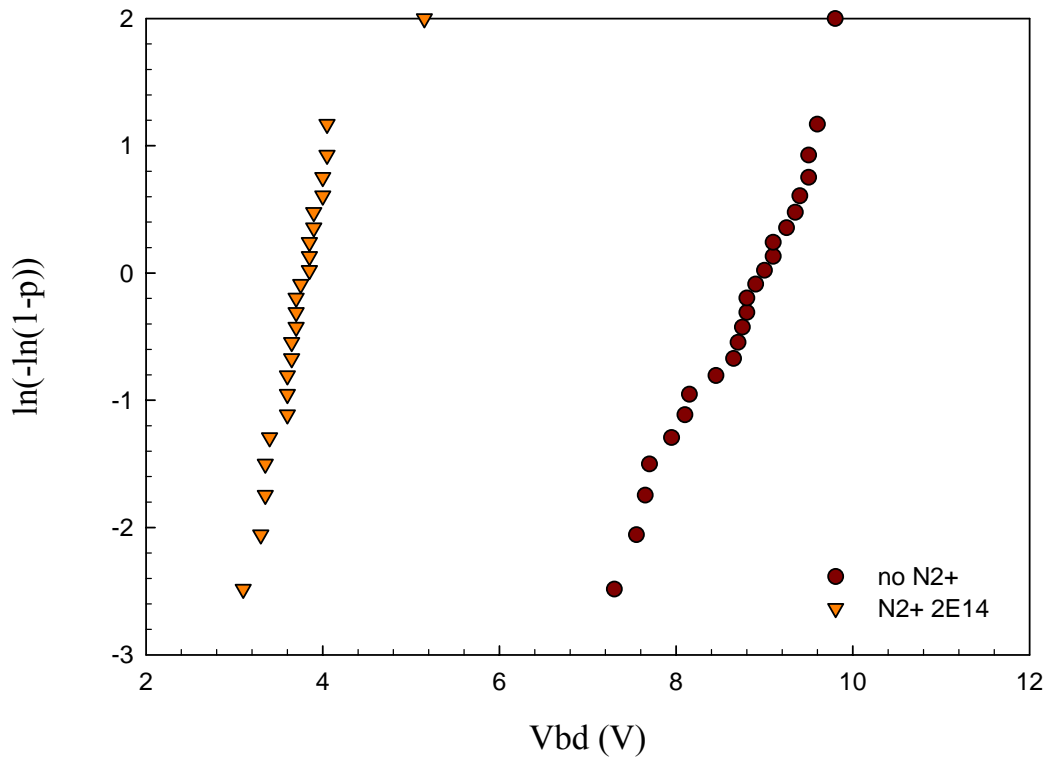


圖 3.6 CoTiO₃ 800 度氧化 10 分鐘，有無 N₂⁺佈植之崩潰電壓 weber 分布圖

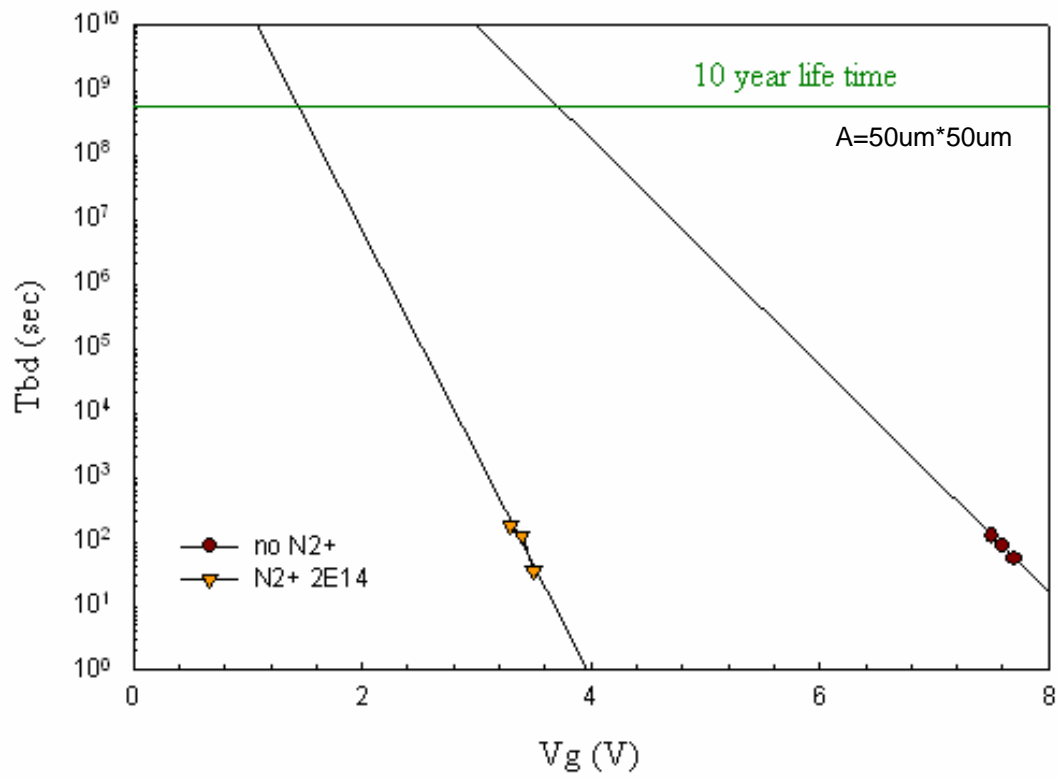


圖 3.7 CoTiO₃ 800 度氧化 10 分鐘，有無 N₂⁺佈植之時間相依介電質
崩潰 (TDDB) 的比較

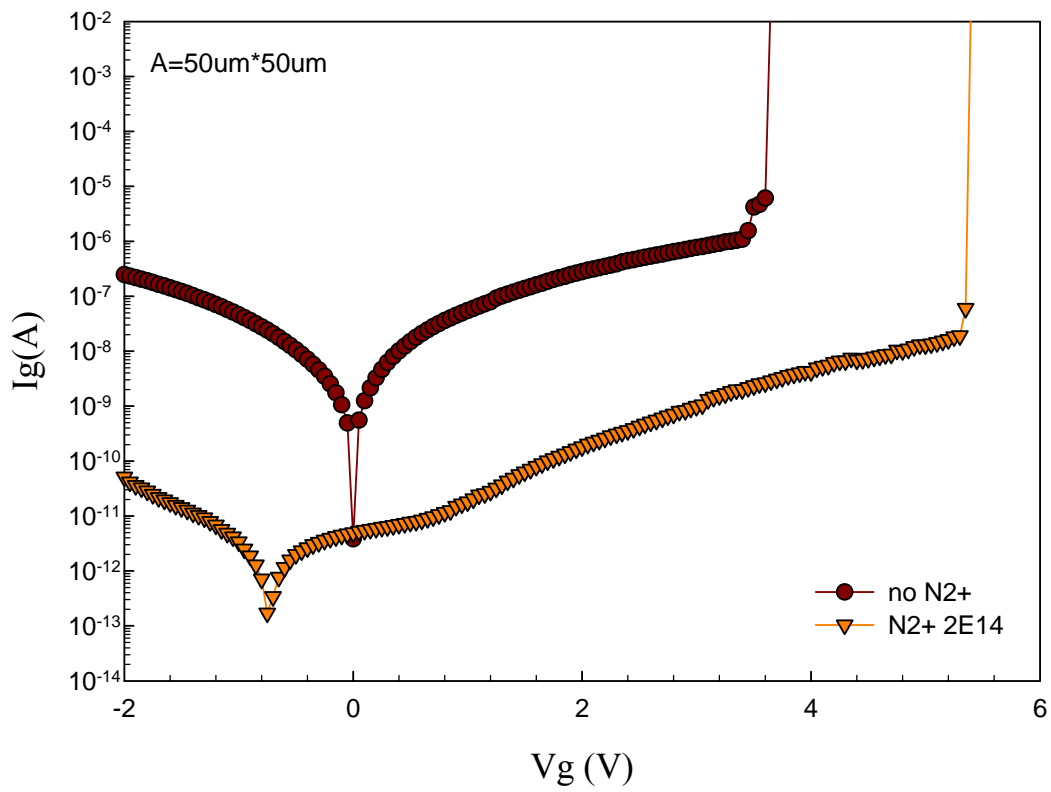


圖 3.8 $CoTiO_3$ 850 度氧化 10 分鐘，有無 N_2^+ 佈植之漏電流對電壓圖

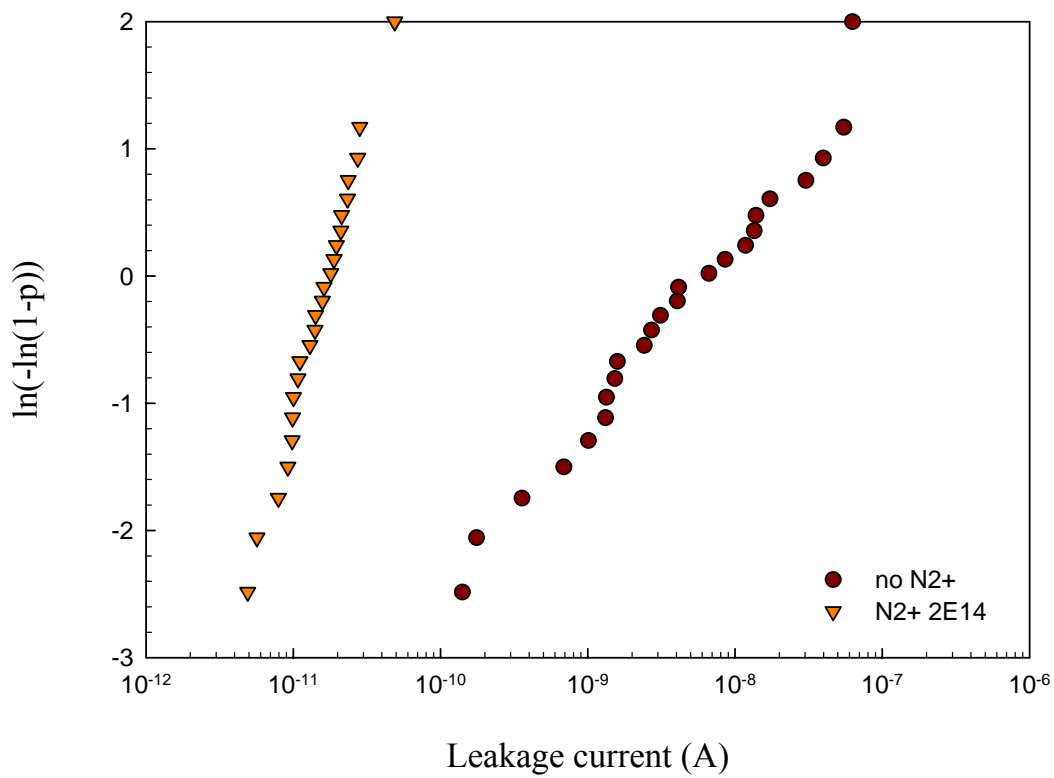


圖 3.9 CoTiO₃ 850 度氧化 10 分鐘，有無 N₂⁺佈植，在 V_g=1V 時之漏
電流 weber 分布圖

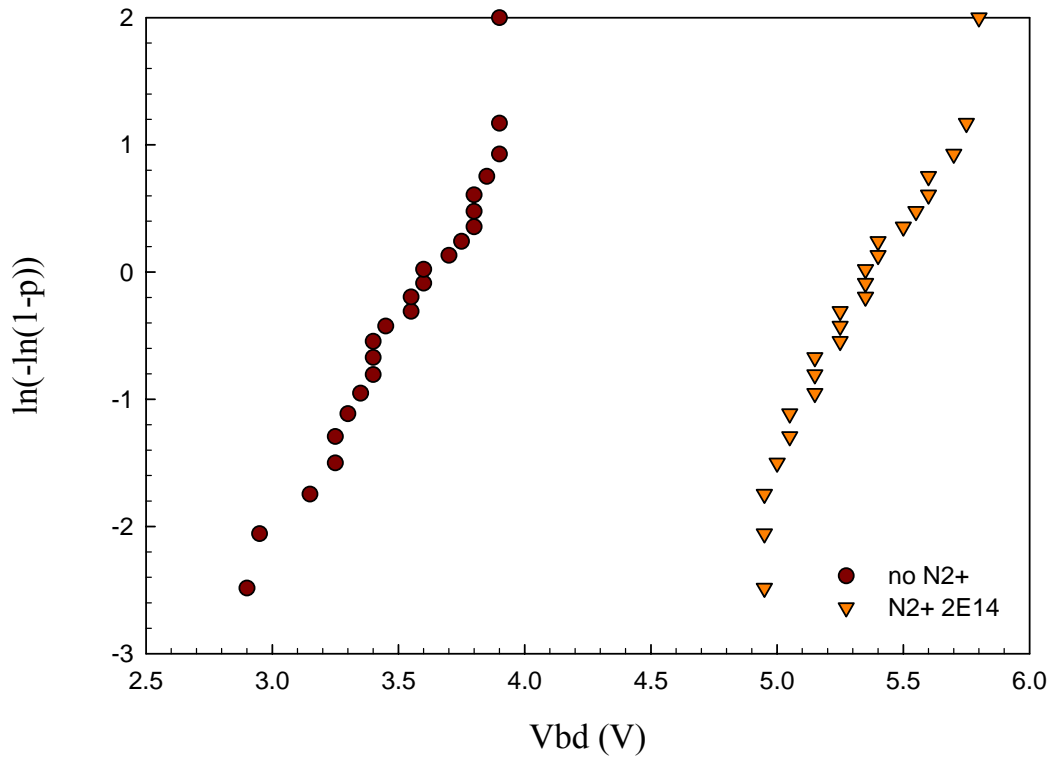


圖 3.10 CoTiO_3 850 度氧化 10 分鐘，有無 N_2^+ 佈植之崩潰電壓 weber 分布圖

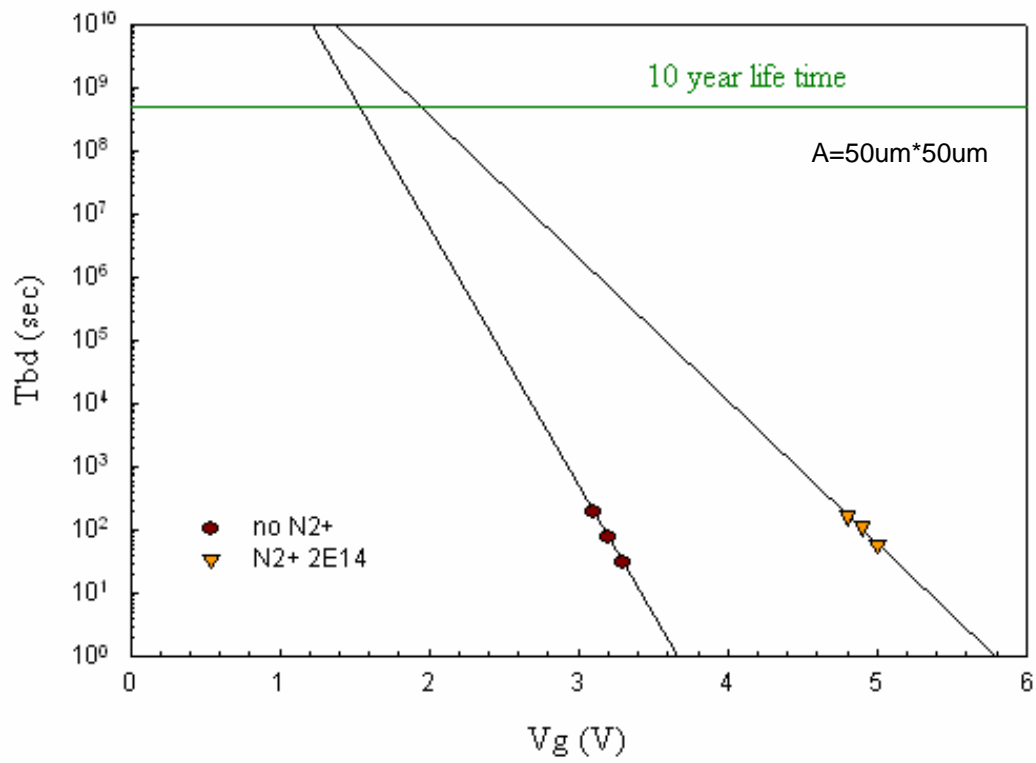


圖 3.11 CoTiO₃ 850 度氧化 10 分鐘，有無 N₂⁺佈植之時間相依介電質崩潰 (TDDB) 的比較

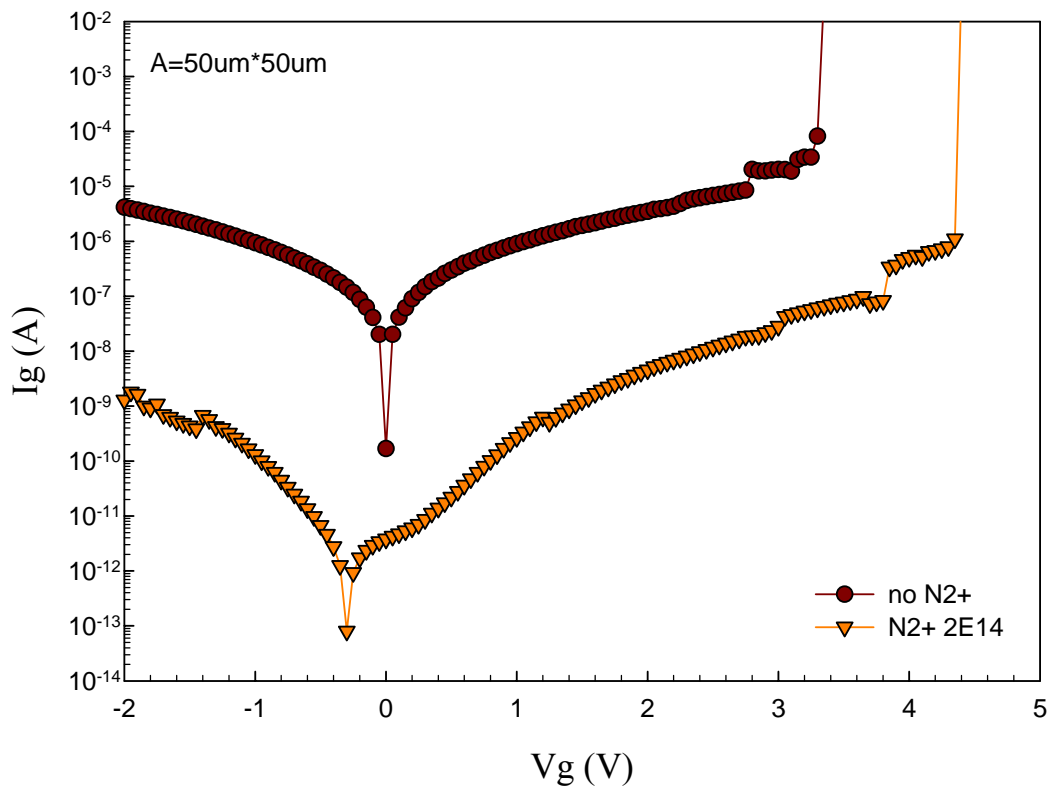


圖 3.12 CoTiO₃ 900 度氧化 10 分鐘，有無 N₂⁺佈植之漏電流對電壓圖

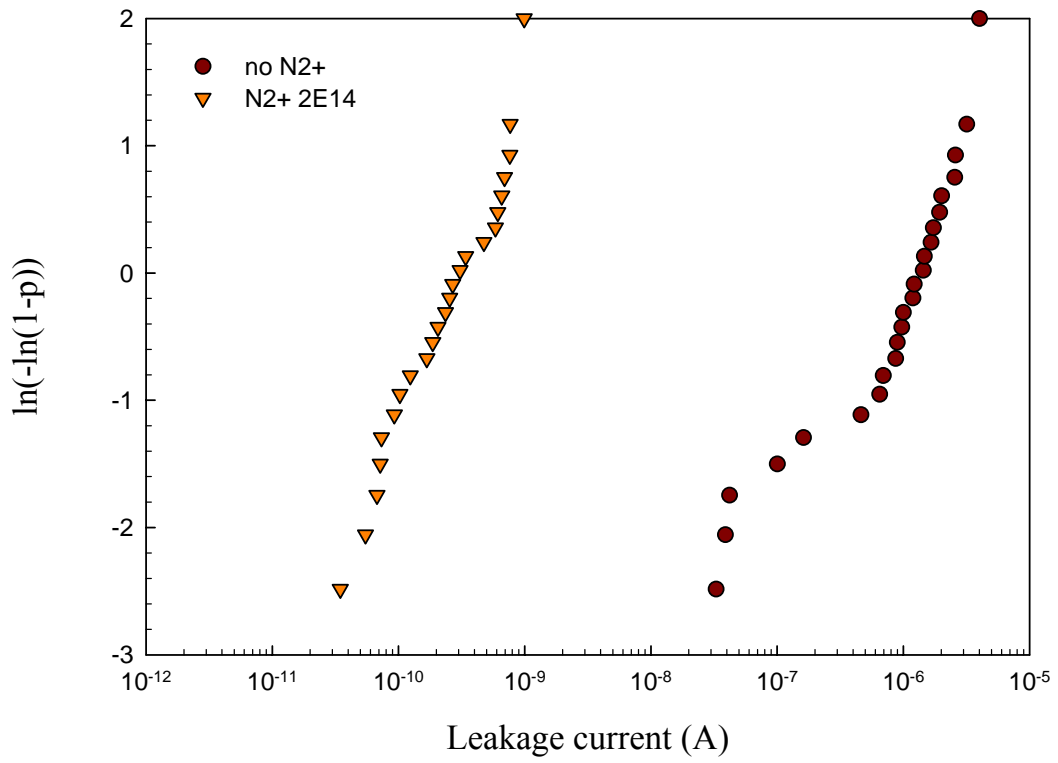


圖 3.13 CoTiO_3 900 度氧化 10 分鐘，有無 N_2^+ 佈植，在 $V_g=1\text{V}$ 時之

漏電流 weber 分布圖

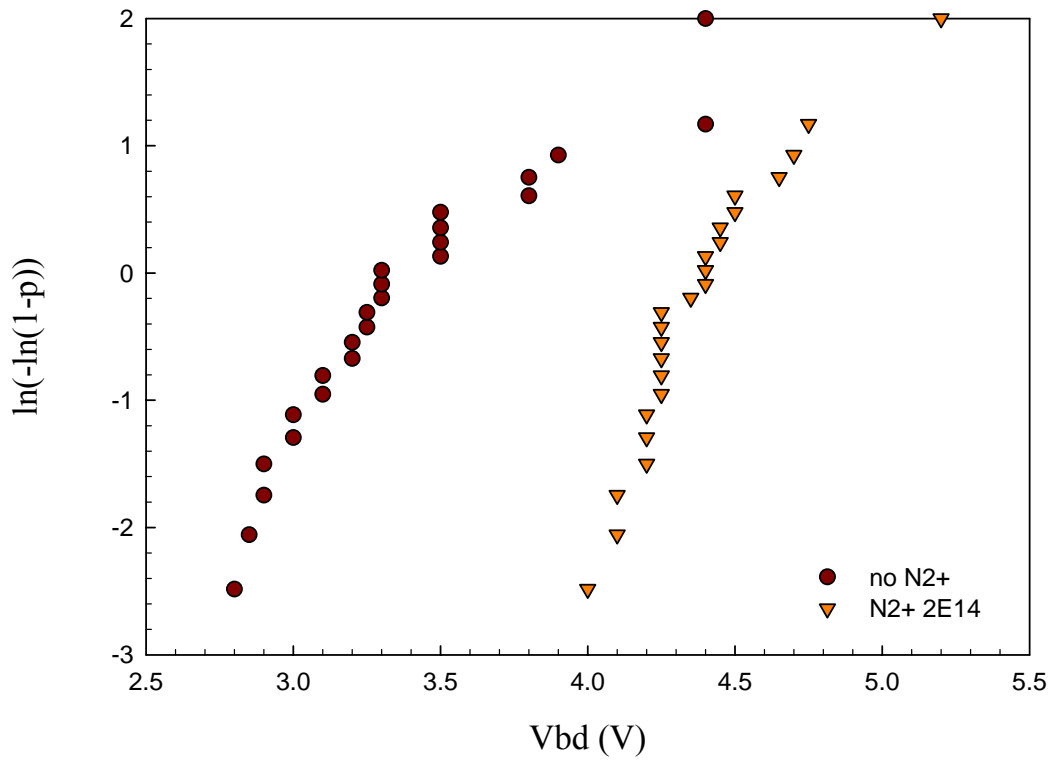


圖 3.14 CoTiO₃ 900 度氧化 10 分鐘，有無 N₂⁺佈植之崩潰電壓 weber 分布圖

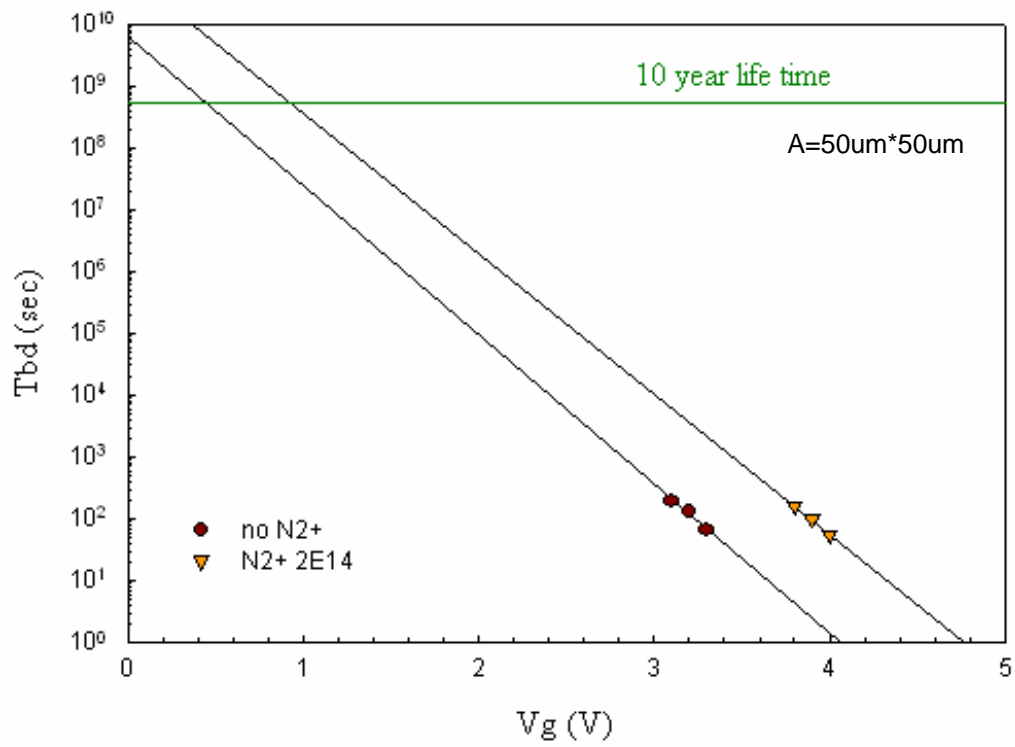


圖 3.15 CoTiO₃ 900 度氧化 10 分鐘，有無 N₂⁺佈植之時間相依介電質
崩潰 (TDD) 的比較

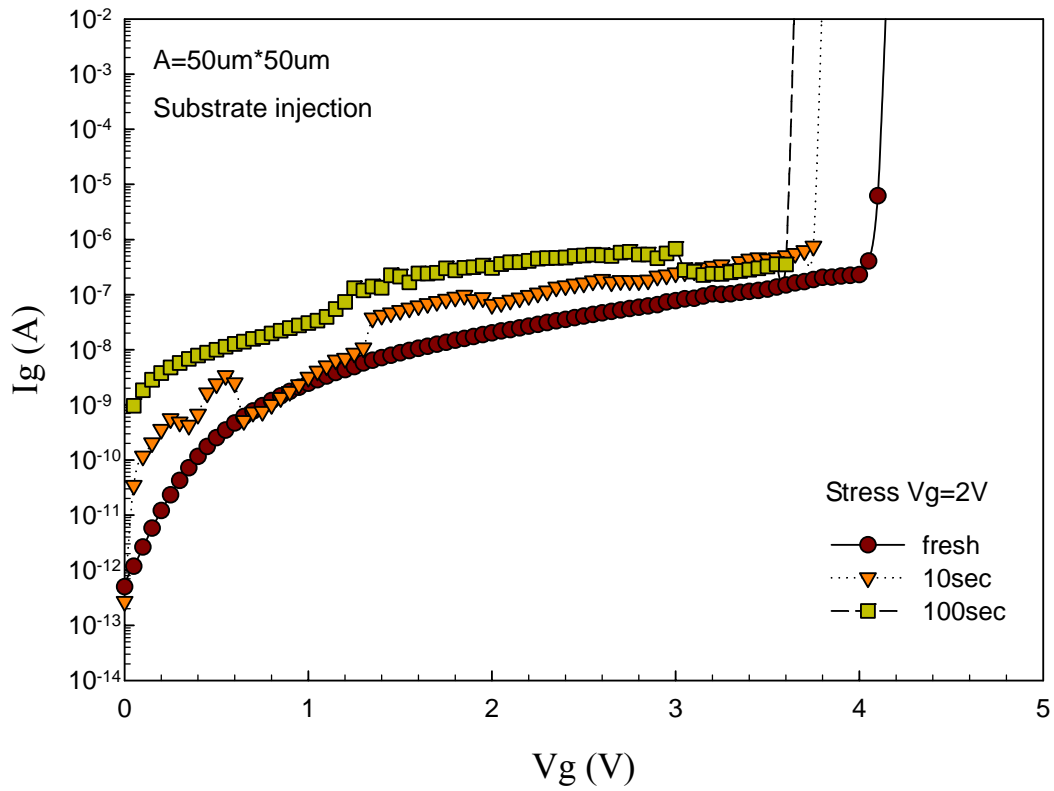


圖 3.16 CoTiO_3 未經 N_2^+ 離子佈植的樣本，以 2V stress 10 秒及 100 秒
 後的 I_g - V_g 圖（氧化條件為 850 度 10 分鐘）

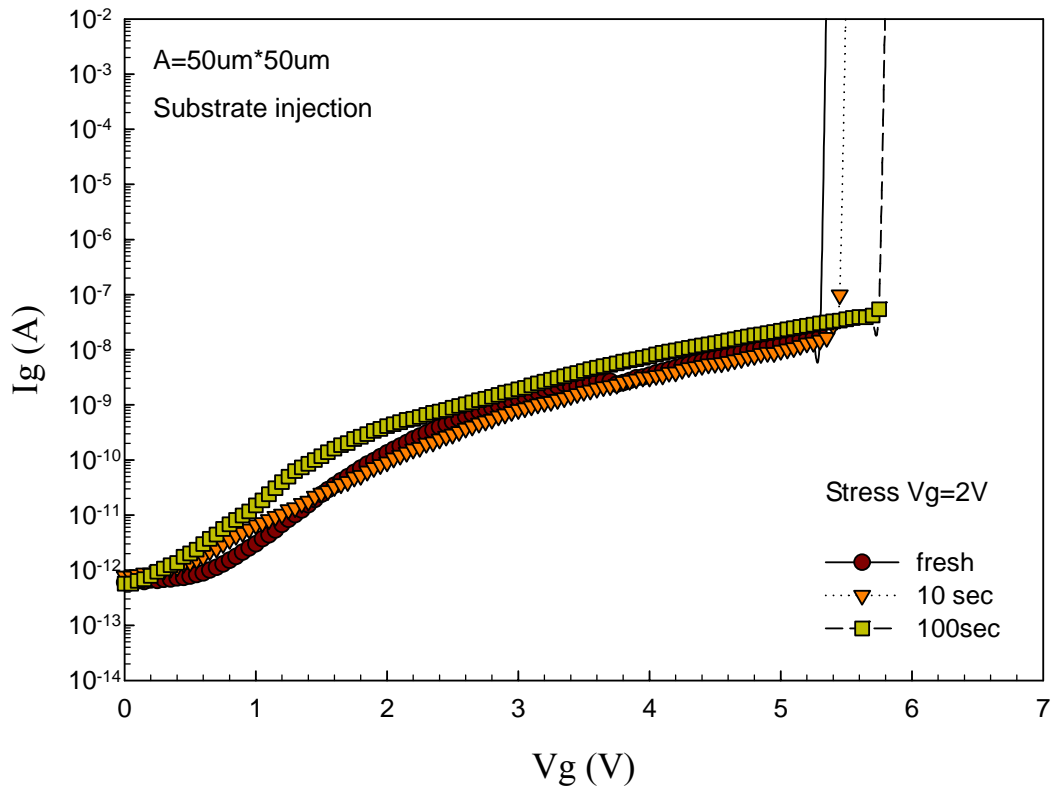


圖 3.17 CoTiO_3 經 N_2^+ 離子佈植的樣本，以 2V stress 10 秒及 100 秒後的 I_g - V_g 圖（氧化條件為 850 度 10 分鐘）

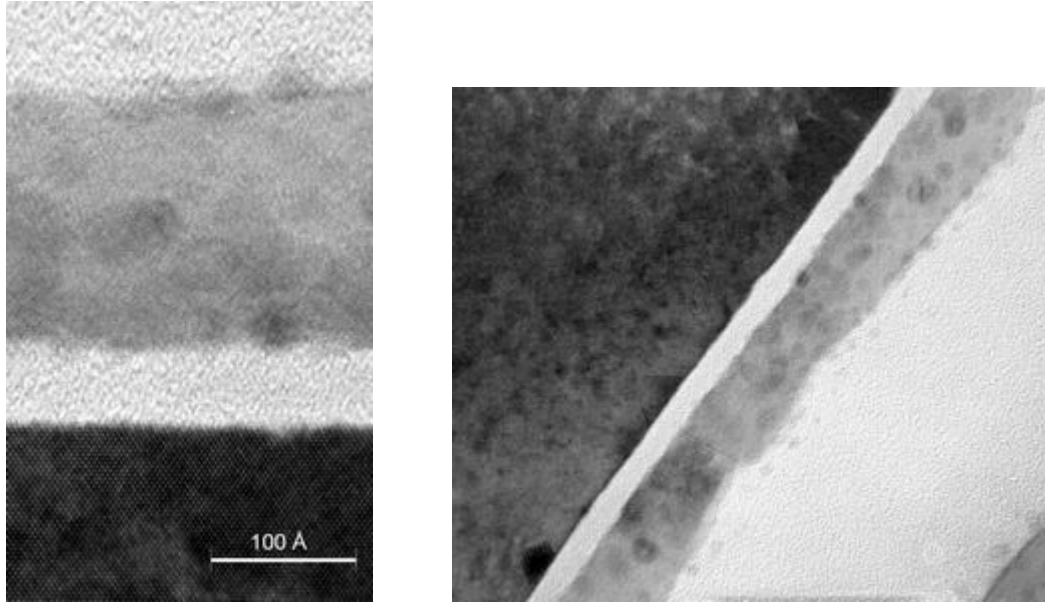


圖 3.18 CoTiO_3 800 度氧化 10 分鐘，未經 N_2^+ 佈植樣本之 TEM 圖

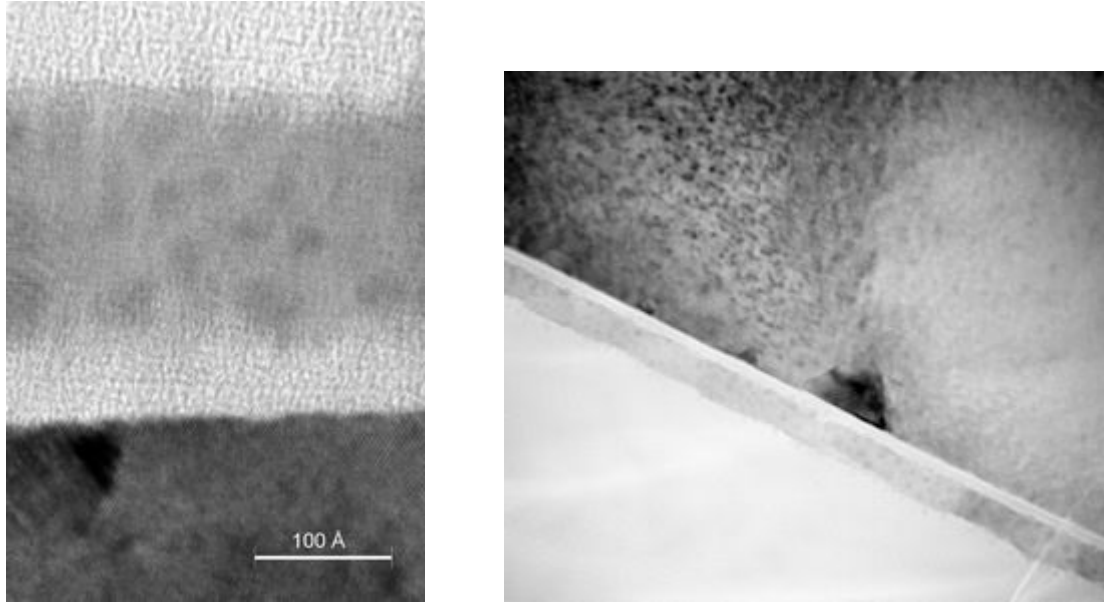


圖 3.19 CoTiO_3 800 度氧化 10 分鐘， N_2^+ 佈植樣本之 TEM 圖

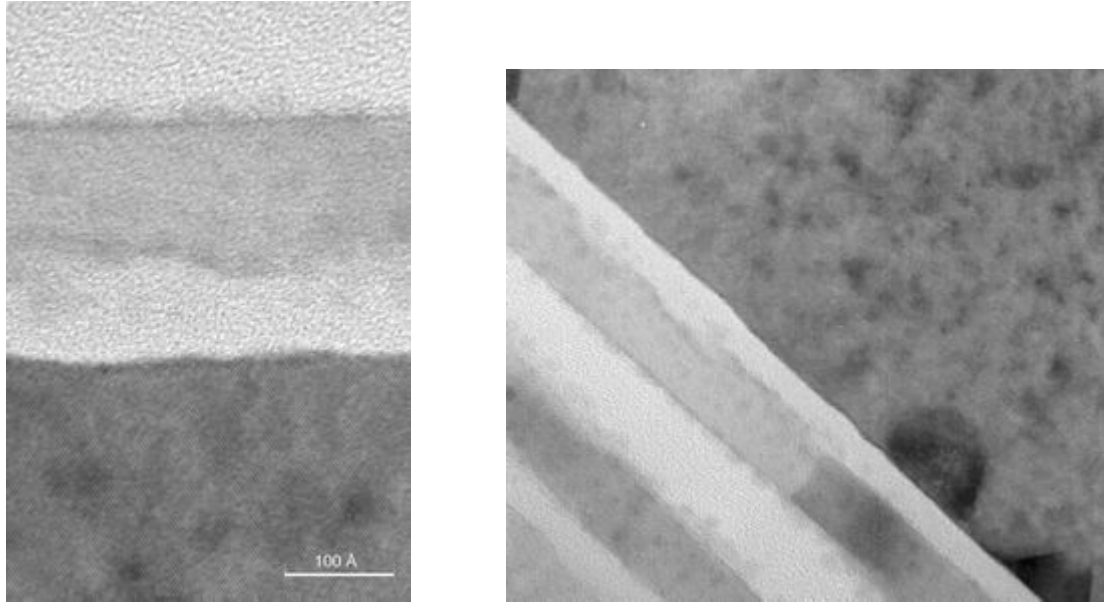


圖 3.20 CoTiO_3 850 度氧化 10 分鐘，未經 N_2^+ 佈植樣本之 TEM 圖

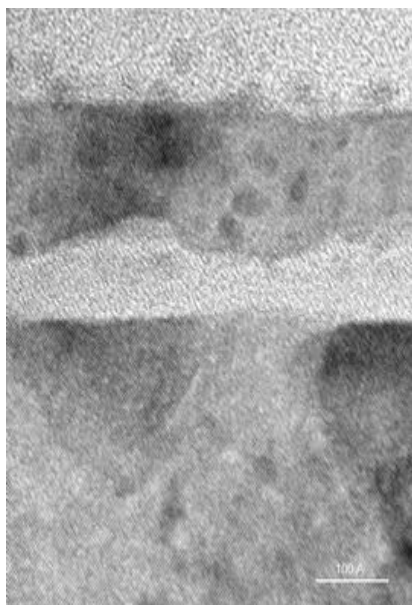


圖 3.21 CoTiO₃ 850 度氧化 10 分鐘，N₂⁺佈植樣本之 TEM 圖

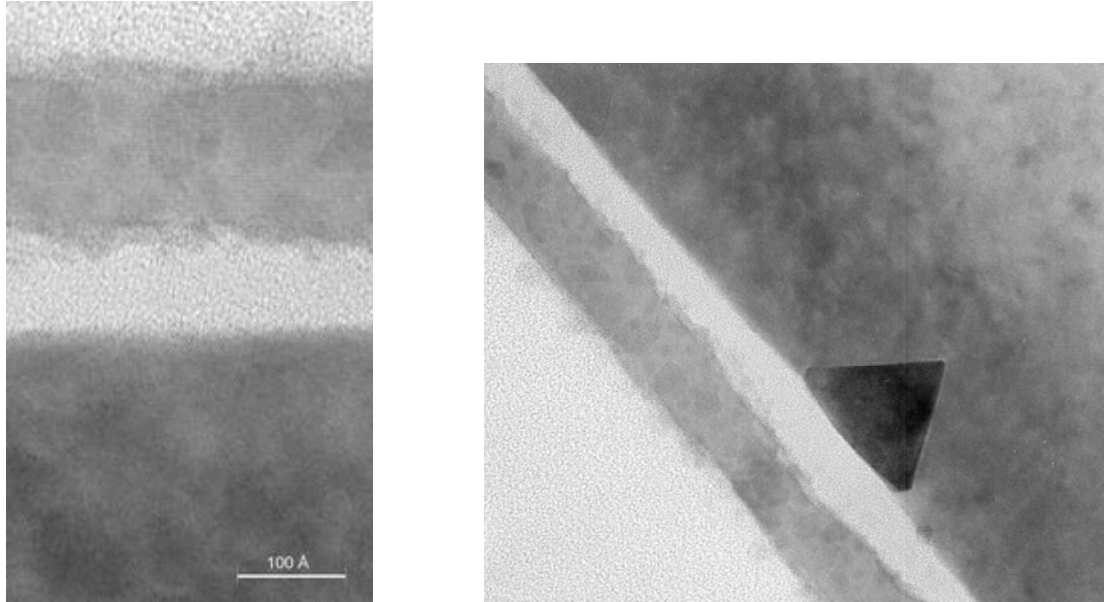


圖 3.22 CoTiO_3 900 度氧化 10 分鐘，未經 N_2^+ 佈植樣本之 TEM 圖

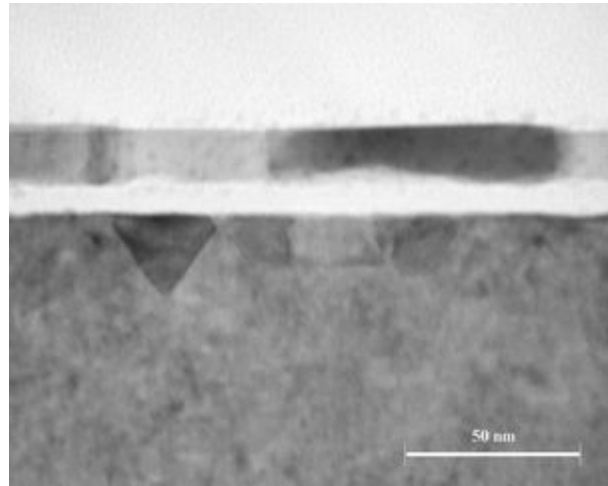
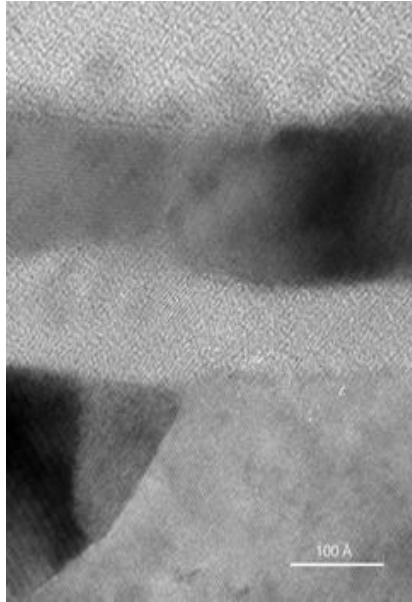


圖 3.23 CoTiO_3 900 度氧化 10 分鐘， N_2^+ 佈植樣本之 TEM 圖

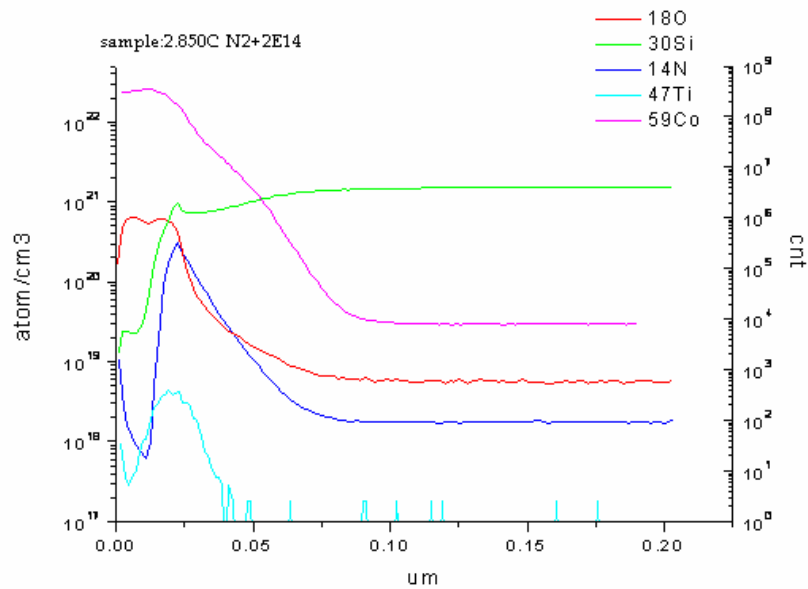
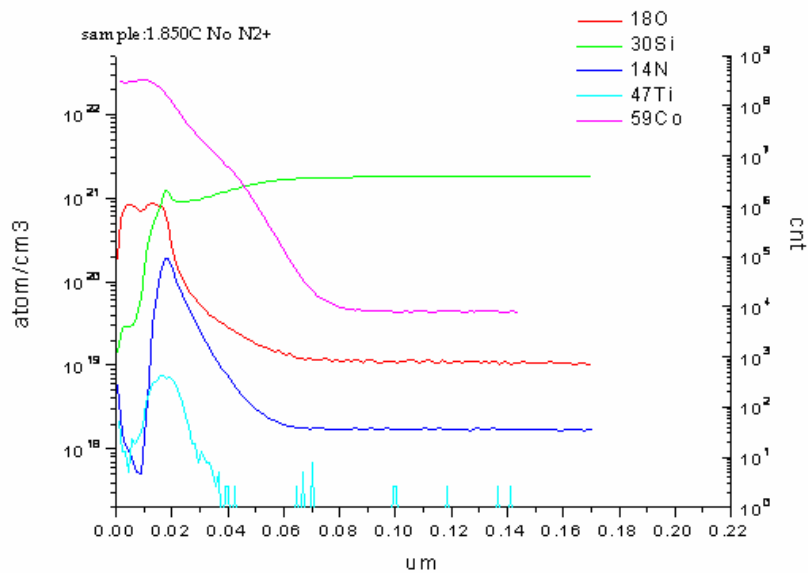


圖 3.24 CoTiO₃ 850 度氧化 10 分鐘，有無 N₂⁺佈植之 SIMS 圖

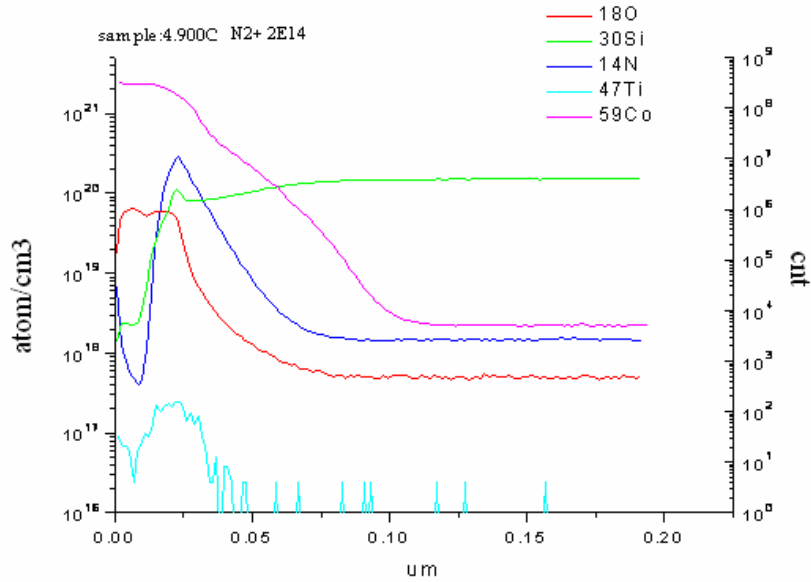
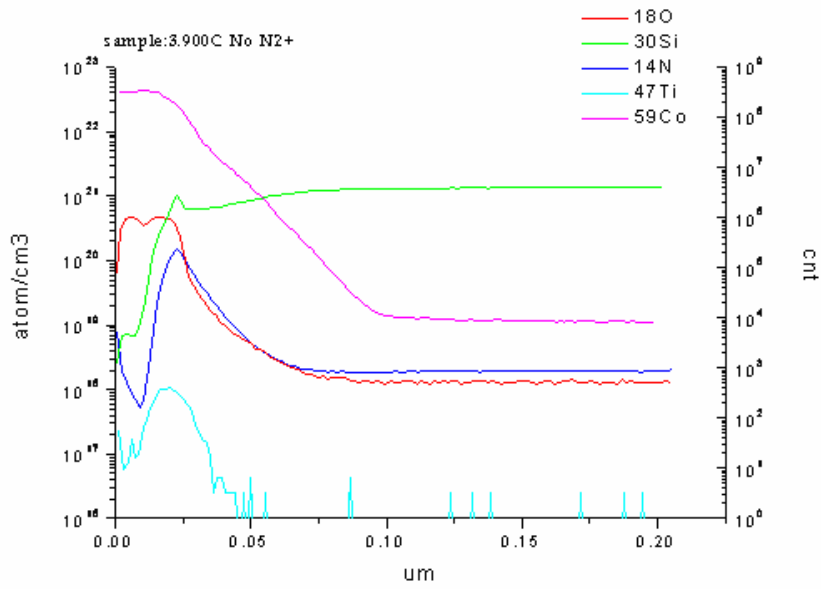


圖 3.25 CoTiO₃ 900 度氧化 10 分鐘，有無 N₂⁺佈植之 SIMS 圖

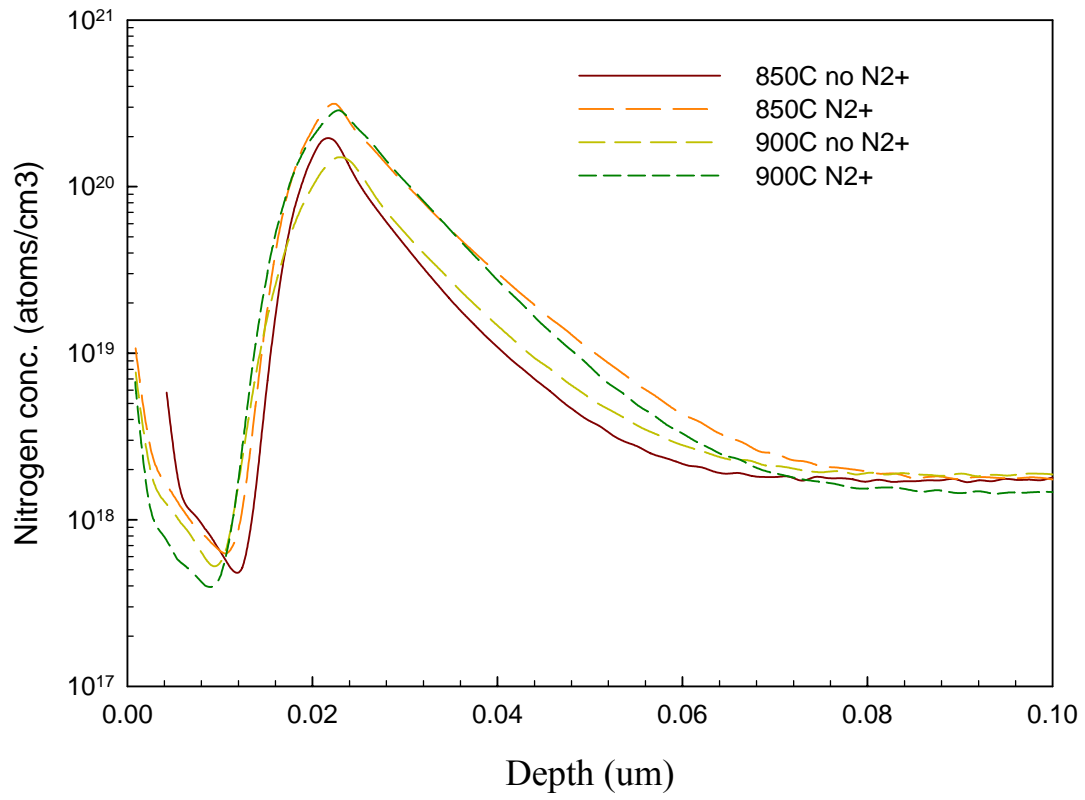


圖 3.26 氮原子的分布比較之 SIMS 圖

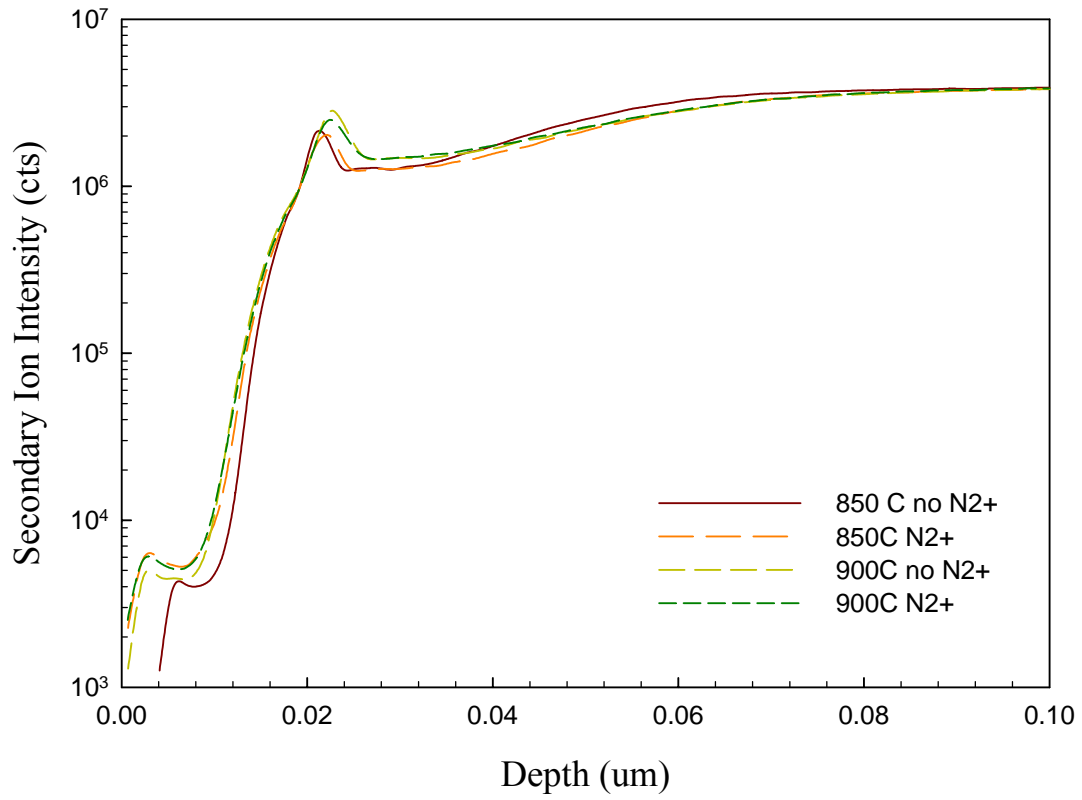


圖 3.27 矽原子的分布比較之 SIMS 圖

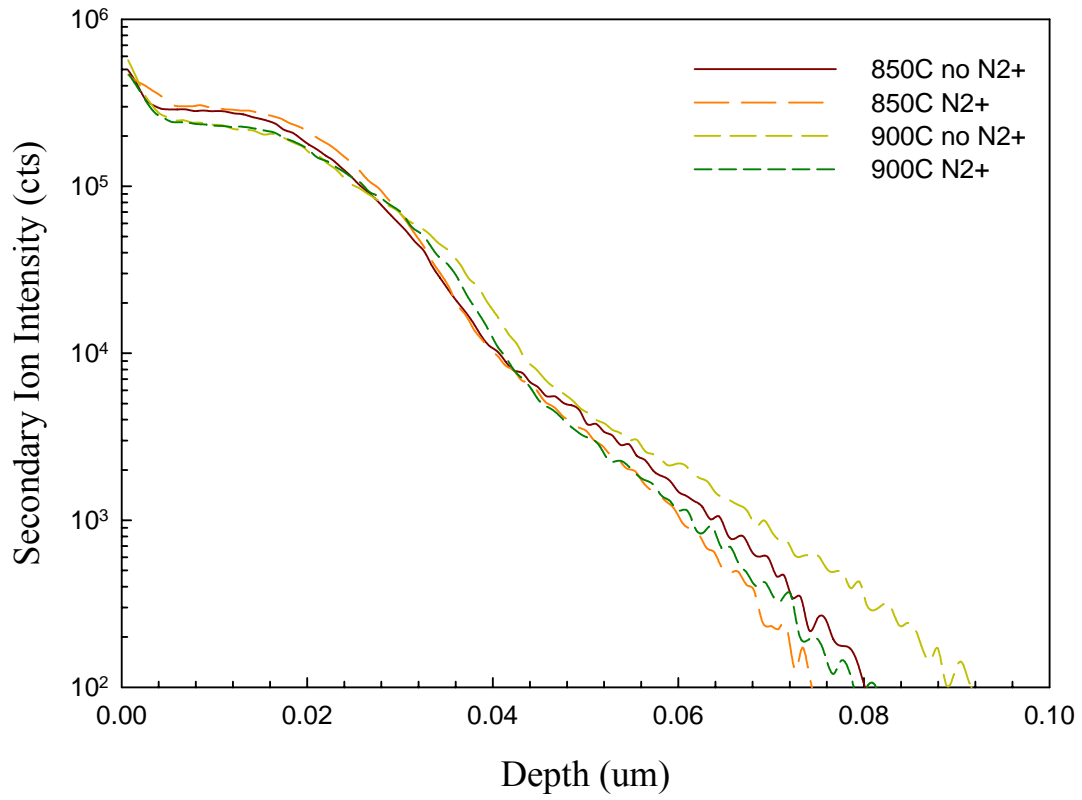


圖 3.28 鈷原子的分布比較之 SIMS 圖

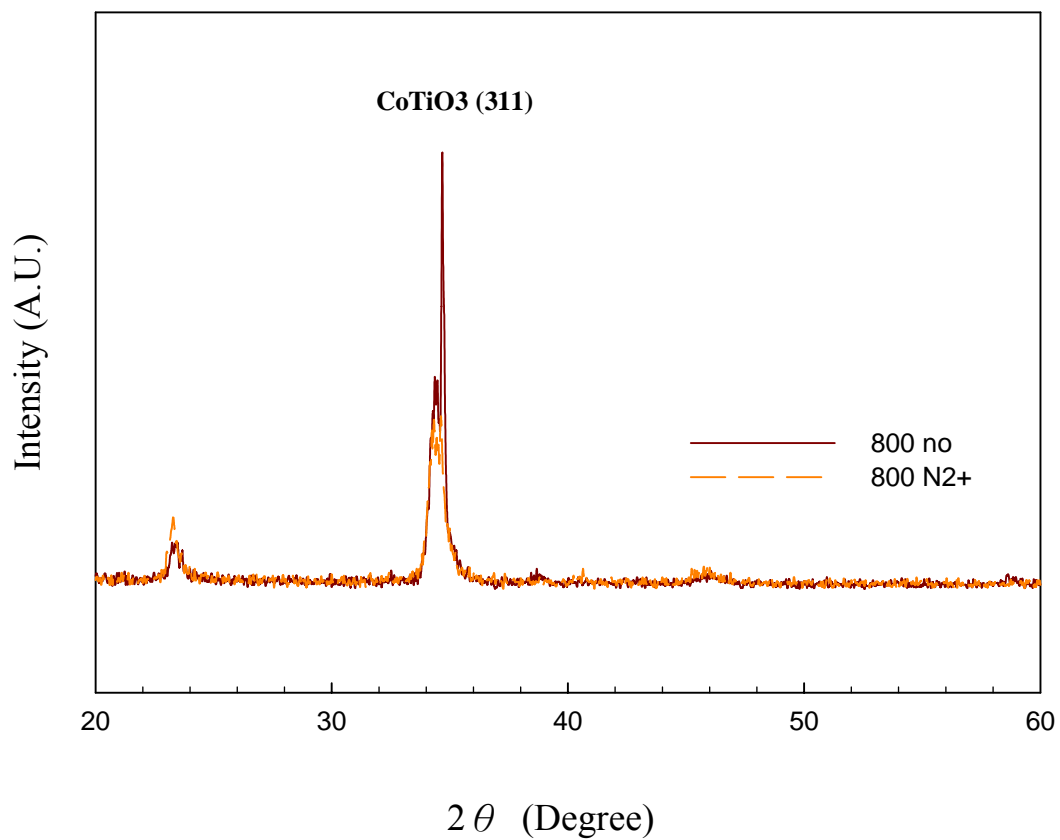


圖 3.29 CoTiO3 800 度氧化 10 分鐘，有無 N₂⁺佈植之 XRD 分析

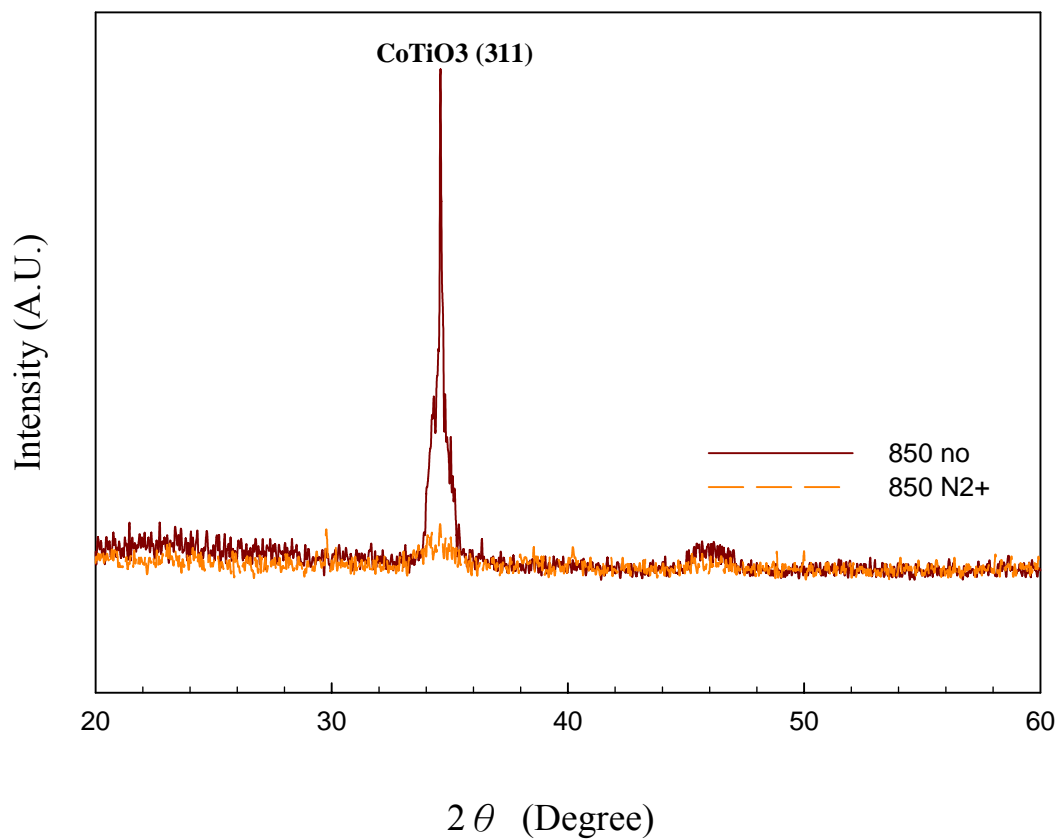


圖 3.30 CoTiO₃ 850 度氧化 10 分鐘，有無 N₂⁺佈植之 XRD 分析

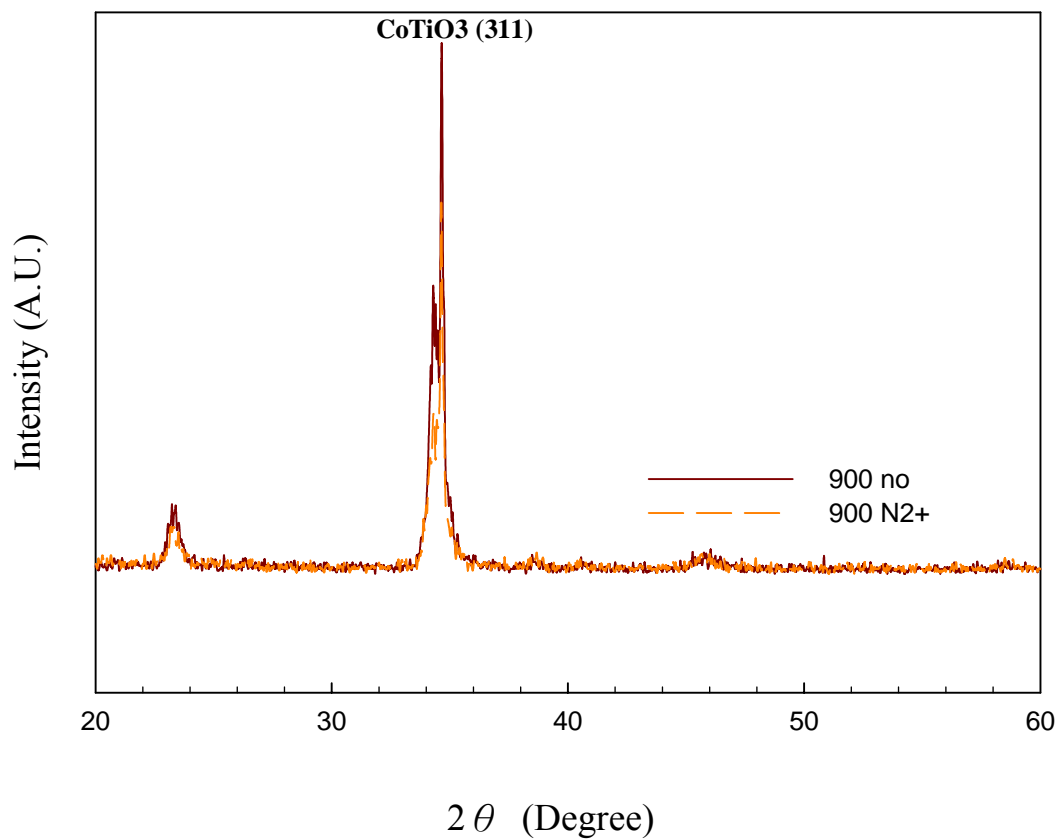


圖 3.31 CoTiO3 900 度氧化 10 分鐘，有無 N₂⁺佈植之 XRD 分析

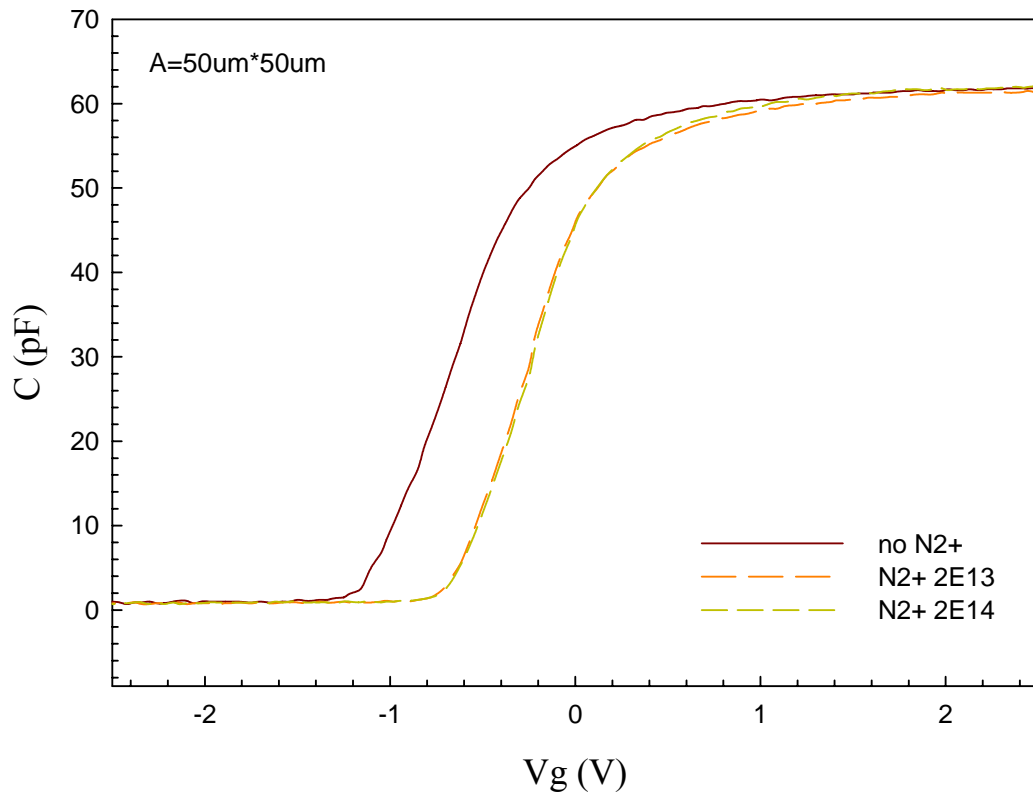


圖 3.32 NiTiO₃ 800 度氧化 10 分鐘，各種 N₂⁺佈植劑量之電容對電壓
比較圖

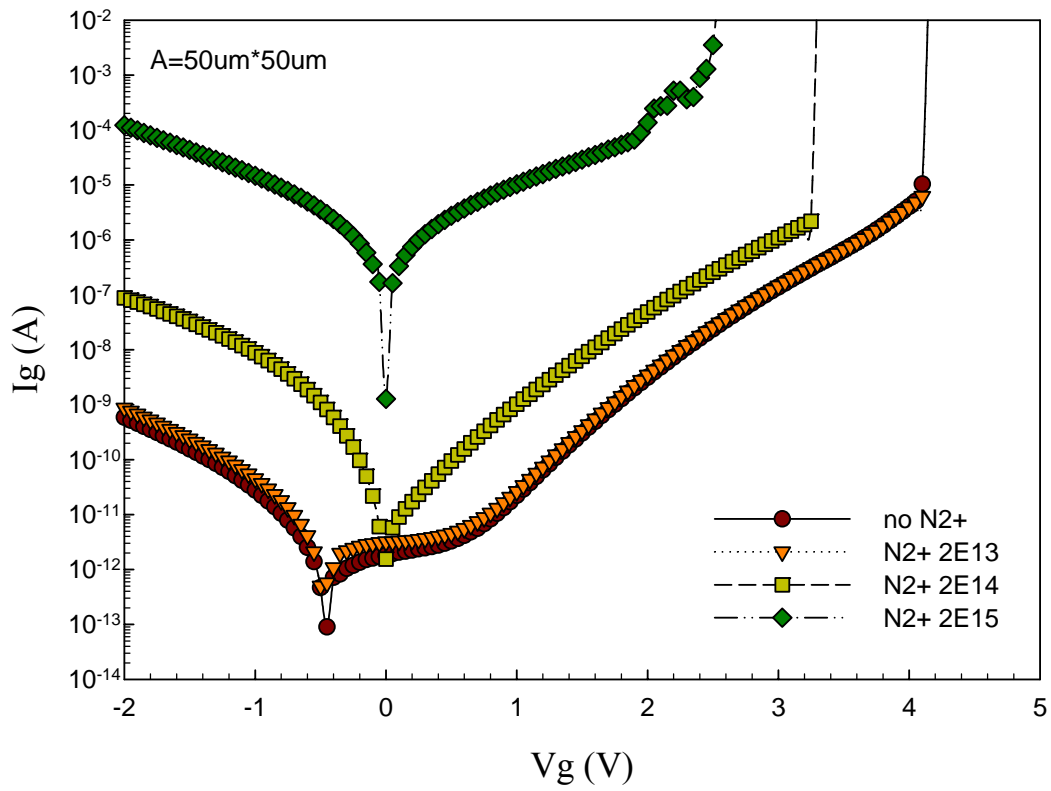


圖 3.33 NiTiO₃ 800 度氧化 10 分鐘，各種 N₂⁺佈植劑量之漏電流對電壓圖

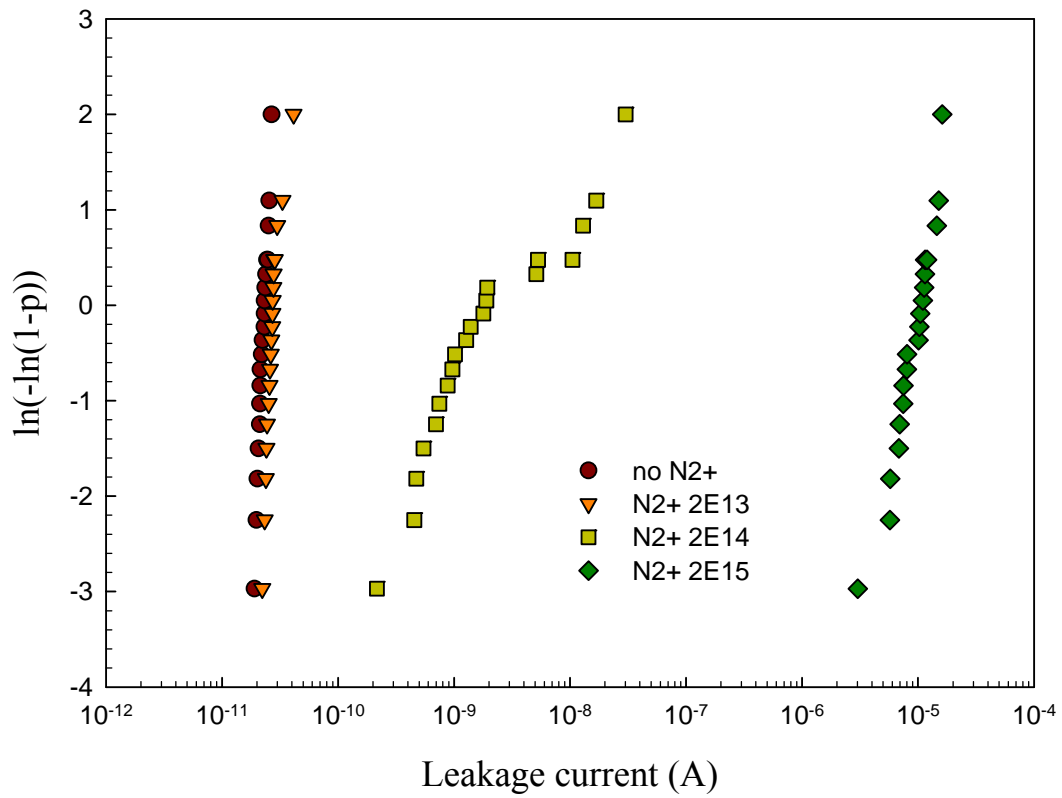


圖 3.34 NiTiO_3 800 度氧化 10 分鐘，各種 N_2^+ 佈植劑量，在 $V_g=1\text{V}$ 時
之漏電流 weber 分布圖

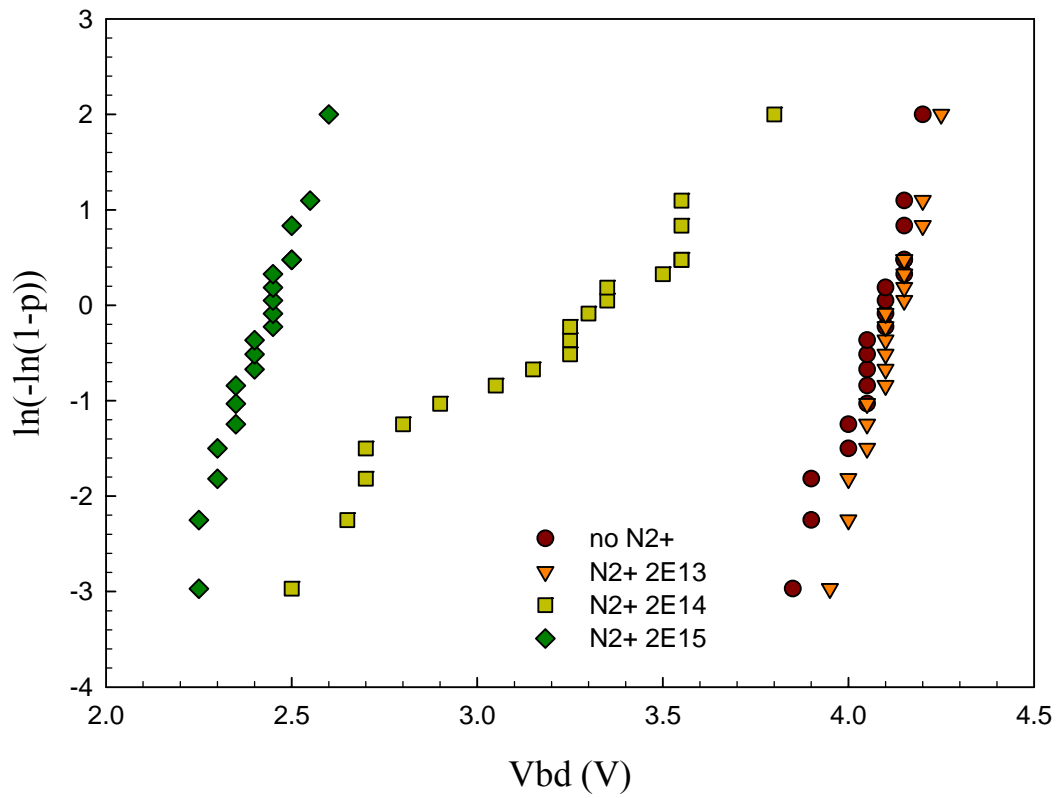


圖 3.35 NiTiO₃ 800 度氧化 10 分鐘，各種 N₂⁺佈植劑量之崩潰電壓

weber 分布圖

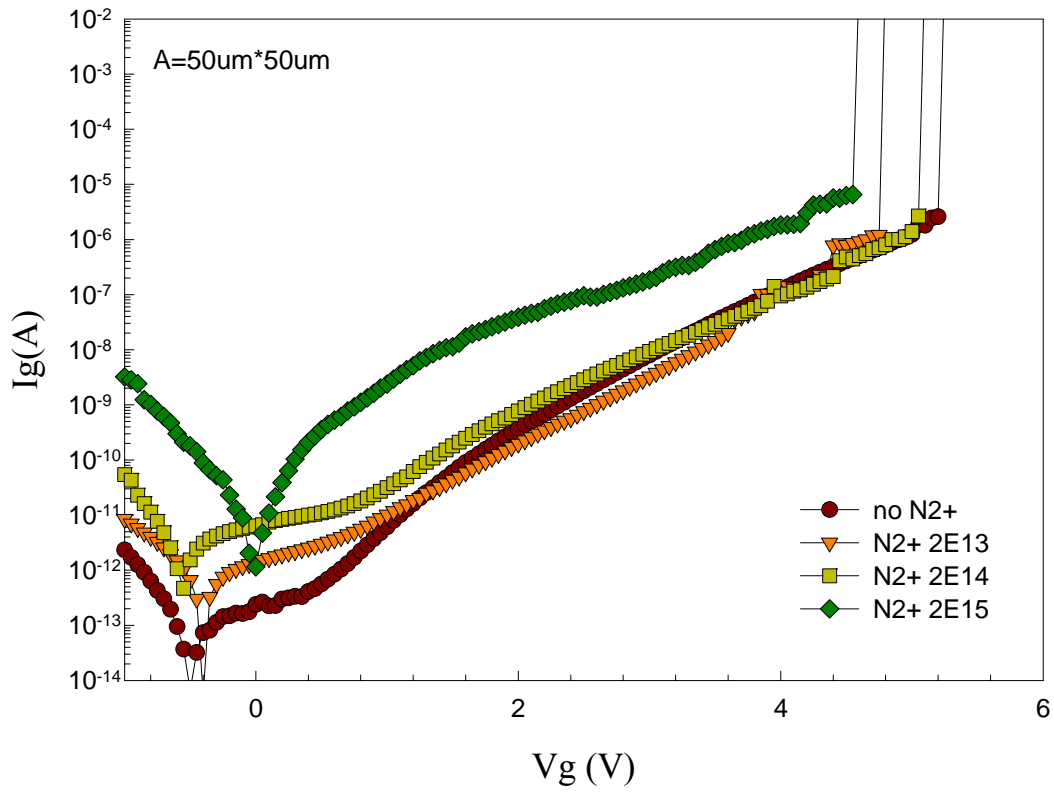


圖 3.36 NiTiO₃ 750 度氧化 10 分鐘，各種 N₂⁺佈植劑量之漏電流對電壓圖

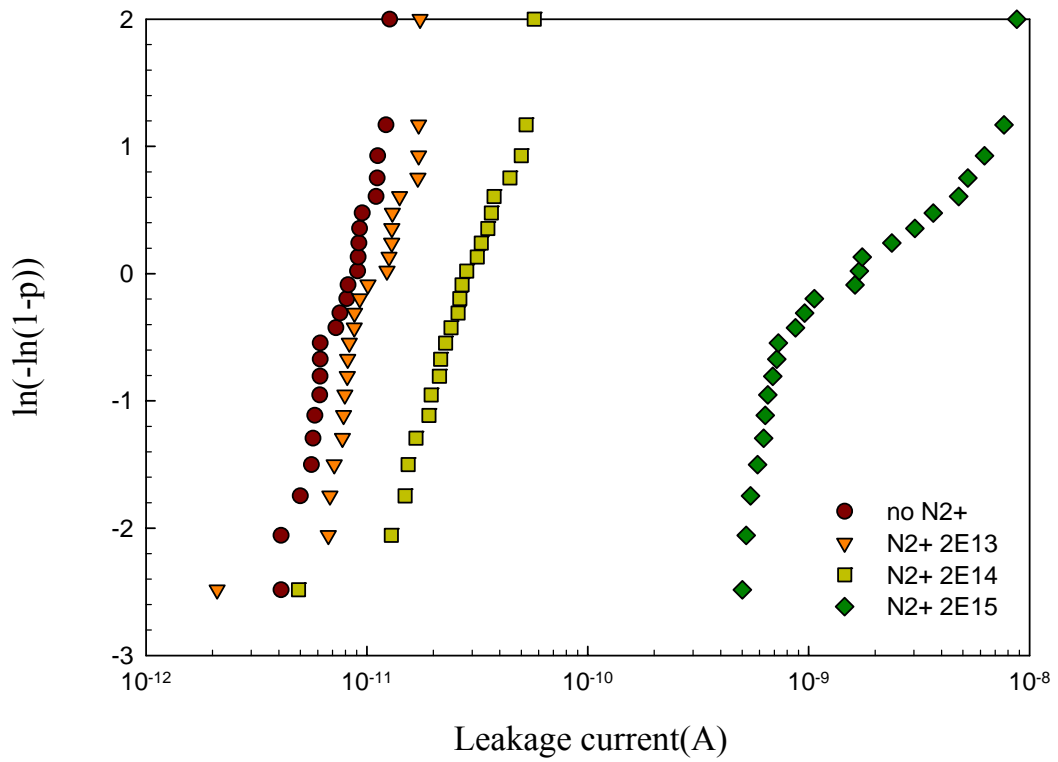


圖 3.37 NiTiO₃ 750 度氧化 10 分鐘，各種 N₂⁺ 佈植劑量，在 V_g=1V 時
之漏電流 weber 分布圖

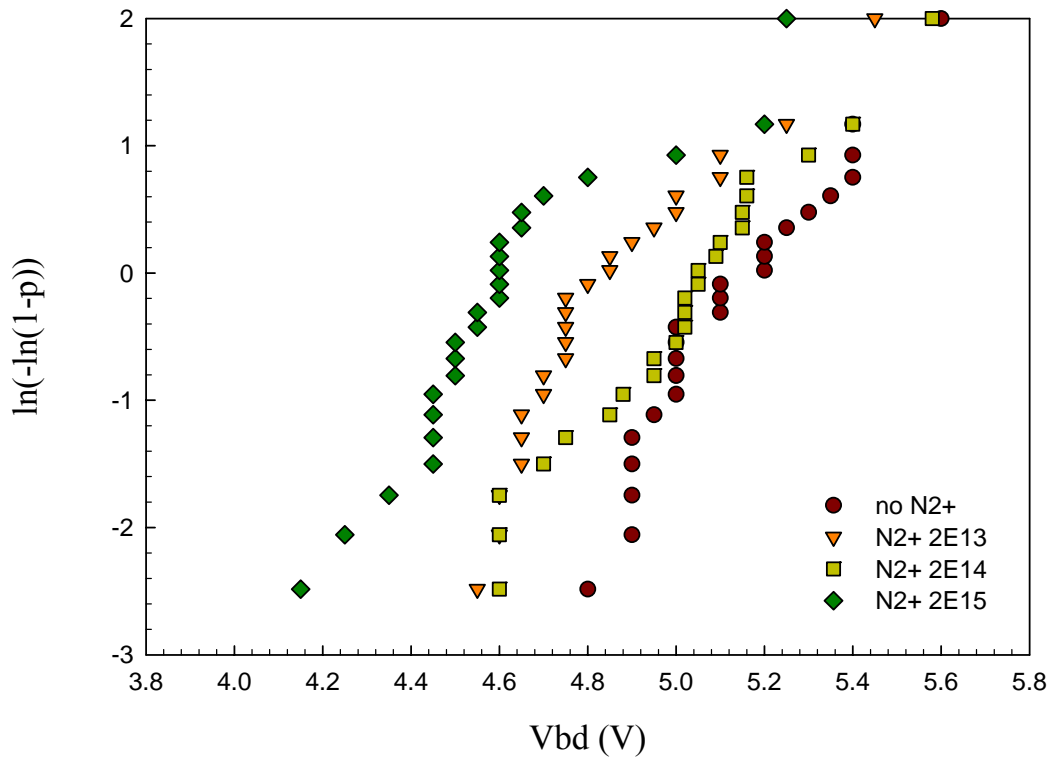


圖 3.38 $NiTiO_3$ 750 度氧化 10 分鐘，各種 N_2^+ 佈植劑量之崩潰電壓

weber 分布圖

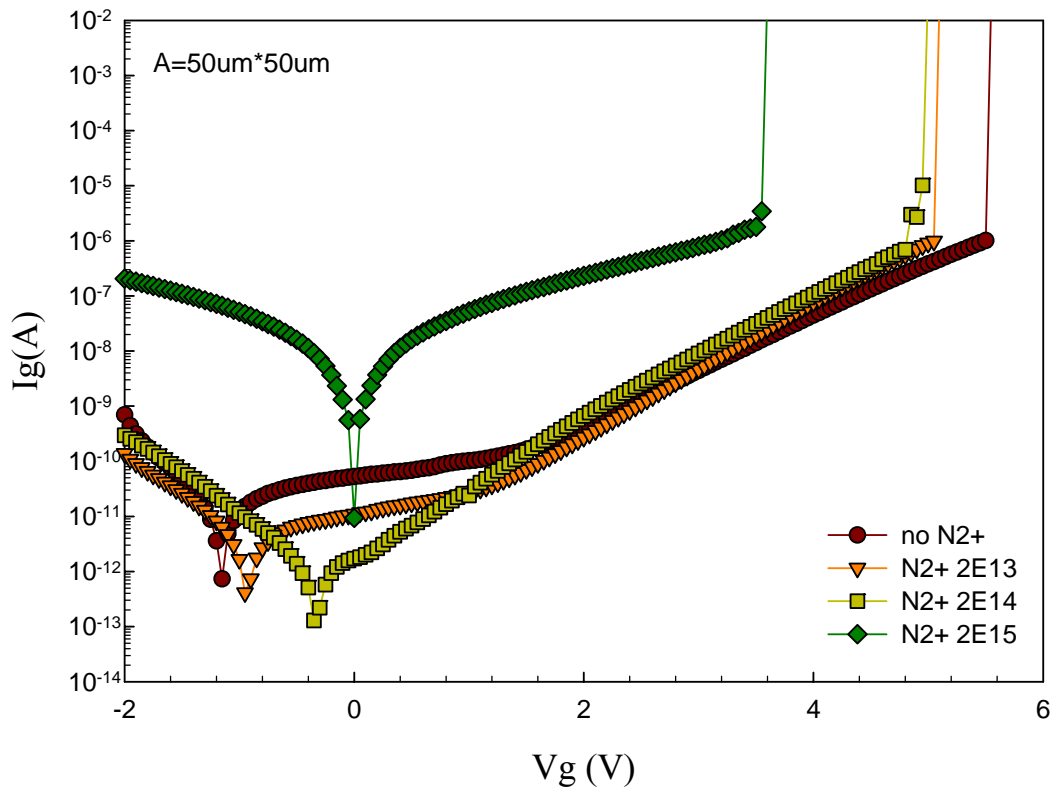


圖 3.39 NiTiO₃ 750 度氧化退火處理各 5 分鐘，各種 N₂⁺佈植劑量之漏
電流對電壓圖

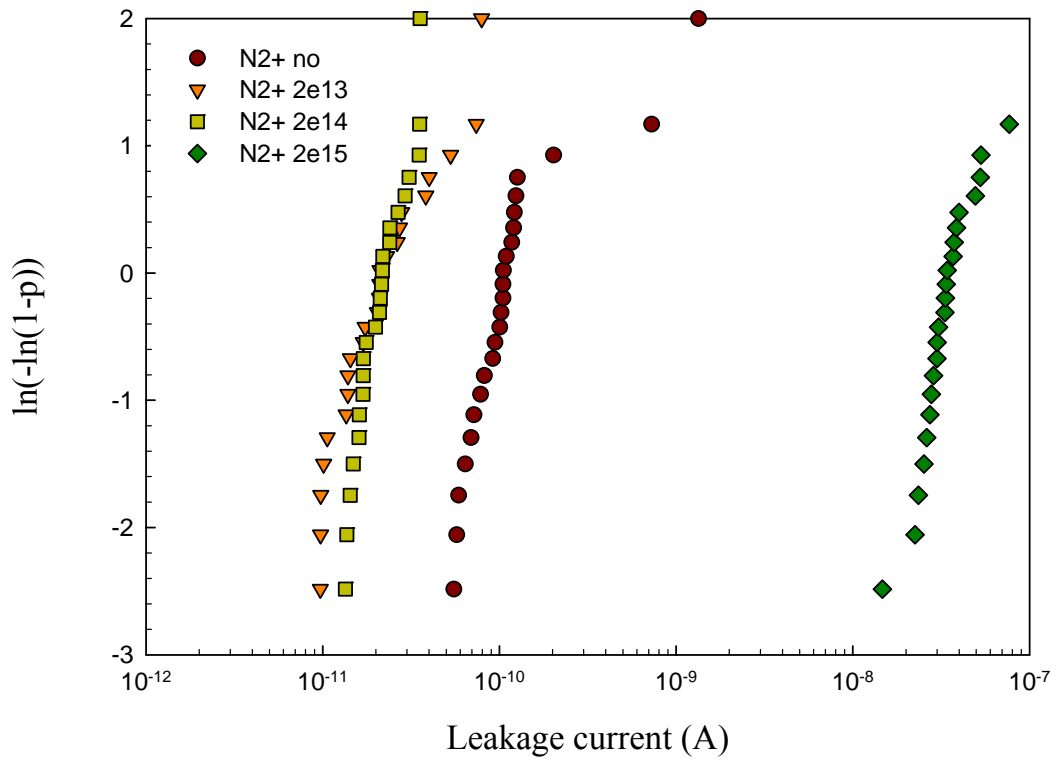


圖 3.40 NiTiO₃ 750 度氧化退火處理各 5 分鐘，各種 N₂⁺佈植劑量，在 V_g=1V 時之漏電流 weber 分布圖

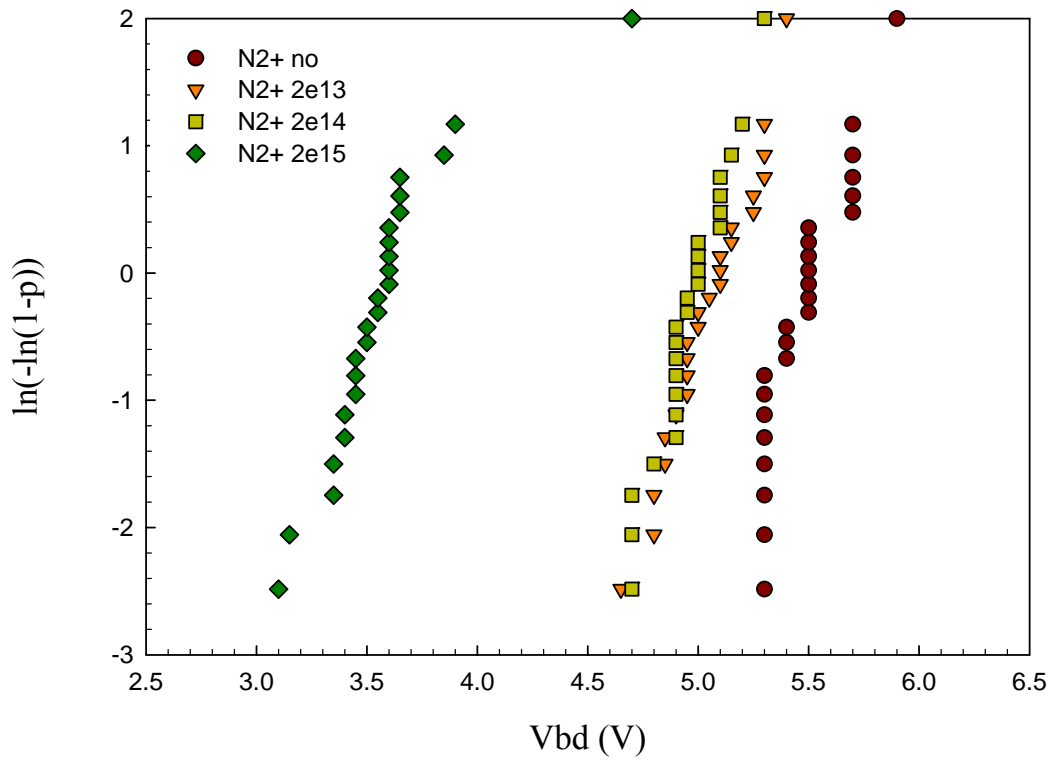


圖 3.41 NiTiO₃ 750 度氧化退火處理各 5 分鐘，各種 N₂⁺佈植劑量之崩

潰電壓 weber 分布圖

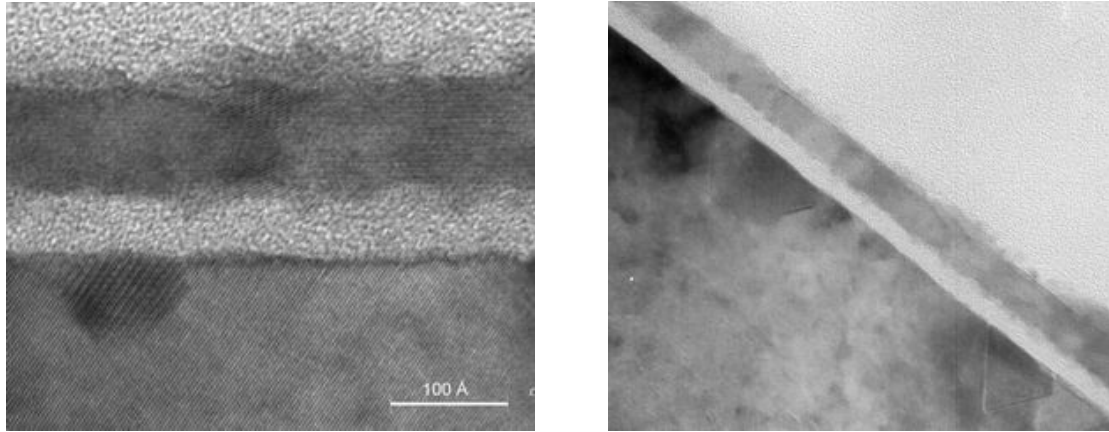


圖 3.42 NiTiO₃ 750 度氧化 10 分鐘，未經 N₂+佈植樣本之 TEM 圖

第四章

N^+ 佈植及 N_2O 電漿處理應用在鈷鈦酸閘介電層之電容結構

4.1 研究動機

本章主要探討分別利用 N^+ 離子佈植的方式及 N_2O 電漿處理，提升鈷鈦酸閘介電層電容元件之特性。根據研究報告顯示，適當的氮處理將有助於改善高介電係數材料所帶來的問題。例如，氧化前對矽基板施以氮化處理，將有效抑制低介電介面層的產生；氧化過程中適量的添加氮，能促使 k 值的提升；高溫製程所帶來薄膜結晶的問題，氮處理也能有效的加以改善；雜質的滲透，載子遷移率的下降等難題，藉由合適的氮處理，亦能有效的解決。

有見於此，本章首先將利用 N^+ 離子佈植的方式，在氧化之前，對鈷鈦金屬施以氮處理，之後在進行金屬氧化退火的動作。由第三章的結果可以看出，雖然 N_2^+ 離子佈植對於改善高溫結晶的問題，有明顯的幫助，不過卻也帶來無法忽略的缺陷。因此本人將以質量較小的 N^+ ，取代 N_2^+ ，嘗試改善離子佈植所帶來的缺陷問題。

另一方面，本章也將針對利用 N_2O 電漿處理，經快速熱退火之後，對鈷鈦酸閘介電層電容元件之特性，作一系列的討論。

4.2 製程及條件

在製程方面，與第二章所述極為相似，差別在於為了更快速地測試各種條件，在零層完成之後，直接在矽基板上沉積薄膜，而省去成長濕式氧化層作為隔絕的步驟，直到鋁電極沉積之後，在一次以金屬蝕刻系統吃出電容圖案，之後鍍上背電極，完成電容結構。此製程方式雖然快速，不過因為在金屬蝕刻的過程，因為缺乏氧化絕緣層的保護，而容易造成在電容結構的邊角處（corner）形成過多的缺陷，導致其所能承受的崩潰電壓，將不及之前所述。

表 4.1 為 N^+ 離子佈植及 N_2O 電漿處理的製程條件。特別注意的是， N^+ 離子佈植的樣本在爐管氧化退火過後，並無經過 N_2 氣體快速熱退火的步驟，直接進行鋁電極的沉積。製程方面已於第二章詳細介紹，此處將不再覆述。電性上量測所使用的樣品電容面積為 $1E-4 \text{ cm}^2$ ($100 \mu\text{m} \times 100 \mu\text{m}$)，文後將針對有無施以 N^+ 離子佈植及 N_2O 電漿處理，在不同氧化退火溫度條件下的各種電性結果，有一系列的討論。

4.3 實驗結果與討論

4.3.1 N^+ 佈植應用於鈷鈦酸閘極介電層電容

本節將探討在鈷鈦金屬上施以 N^+ 離子佈植後，再進行氧化退火動作，對電容在電性上有何影響。

圖 4.1 為 800 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量之電容對電壓比較

圖。首先觀察得到，當 N^+ 佈植劑量為 $2E14 \text{ cm}^{-3}$ 時，其電容值略高於未經 N^+ 佈植的樣本，顯示適當的氮含量將有助於電容值的提升。不過當 N^+ 佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，其表現出的電容值卻有明顯的衰退，使得等效厚度變大，不利於 EOT 的縮小趨勢。再者，仔細的觀察可以看出， N^+ 佈植劑量為 $2E14 \text{ cm}^{-3}$ 的樣本，具有較正的平帶電壓值，顯示其對於存在介電層中過多的正型固定電荷，有補償消滅的作用，使平帶電壓趨於一般值。不過，當 N^+ 佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，對於介電層中存在的正型固定電荷卻是不減反增，使得平帶電壓更趨於負值，這是我們不樂意見到的。表 4.2 列出本章各種製程條件下的等效厚度及平帶電壓值。

圖 4.2 為 800 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量之漏電流對電壓比較圖。可以看得出，在 800 度氧化退火處理各 5 分鐘的環境下，未經 N^+ 佈植的樣本，由於鈷鈦酸閘介電層結晶現象的產生，使得其漏電流極大，所能承受的崩潰電壓值非常小。而施以 N^+ 佈植過後的樣本，因為氮的作用，使得其結晶的產生受到了抑制，因此漏電的途徑減少，漏電流降低，崩潰電壓有所提升。再者，當 N^+ 佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，一方面其抑制結晶的效果增加，一方面因具有較厚的等效厚度，因此漏電大大的改善。

圖 4.3 是 800 度氧化退火處理各 5 分鐘，對不同 N^+ 佈植劑量，在 V_g 為 1V 時所作的 weber 分布比較圖。氮的處理使得介電層結晶現象受到改善，因此漏電流減小，且隨 N^+ 佈植劑量的增加，漏電流有越小的趨勢。

圖 4.4 是 800 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量的崩潰電壓所作的

weber 分布比較圖。相同的道理，因為氮能有效抑制介電層的結晶，因此經過 N^+ 佈植處理過的樣本，具有較大的崩潰電壓值，且隨 N^+ 佈植劑量的增加而增大。

圖 4.5 是 800 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量作時間相依介電質崩潰 (TDDB) 的測量比較。結果顯示，經過 N^+ 佈植的樣本，具有較佳的可靠性 (Reliability)，根據十年的標準來看，佈植劑量為 $2E14 \text{ cm}^{-3}$ 的樣本達 0.8V， $2E15 \text{ cm}^{-3}$ 的樣本更可達到 1.4V，比起未經 N^+ 佈植樣本的 0.3V 高出許多。

圖 4.6 為 800 度氧化退火處理各 5 分鐘，未經 N^+ 佈植的樣本，以固定電壓 2V 作 stress 100 秒後的漏電流對閘極電壓圖。圖 4.7 為 N^+ 佈植劑量為 $2E14 \text{ cm}^{-3}$ 的樣本，以固定電壓 2V 作 stress 100 秒後的漏電流對閘極電壓圖。比較兩圖可以看出，無論有無經過 N^+ 佈植處理，在 stress 過後並沒有明顯的漏電流產生。意味著其介面陷阱及氧化層電荷等缺陷極少，不足以在 stress 的過程中產生過多的陷阱電荷而影響到介電層的品質。

藉由以上的結果得知，在溫度 800 度氧化退火各 5 分鐘的條件下，適量的 N^+ 佈植將有助於漏電流的減少、電容值的增加、元件可靠性的提升等，但當佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，卻會造成氧化層中產生過多的正電荷，使平帶電壓往負的方向偏移，且造成電容值的下降，等效厚度無法維持等問題。

圖 4.8 為 850 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量之電容對電壓比較圖。適當劑量的 N^+ 佈植將有助於電容值的提升，使等效厚度下降。相反的，過量的 N^+ 佈植會使得電容值不升反降，使等效厚度變厚。而觀察其平帶電壓，由

於鈷鈦酸介電層中存在著正型的固定電荷，因此比起一般元件，平帶電壓有左移的現象產生。而適當劑量的 N^+ 佈植將有助於介電層中固定電荷的減少，使平帶電壓較趨於一般值。不過當 N^+ 佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，反倒會讓平帶電壓的偏移更加嚴重，使介電層中的固定電荷不減反增，實非我們所樂意看見的。

圖 4.9 為 850 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量之漏電流對電壓比較圖。首先可以看到，850 度的氧化溫度下，其漏電流皆較 800 度的樣本來得大，顯示其結晶較為嚴重。再者，經 N^+ 佈植處理過的樣本，其漏電流較未經處理的來得小，且佈植劑量 $2E15 \text{ cm}^{-3}$ 的樣本比 $2E14 \text{ cm}^{-3}$ 的樣本來得更小。其中原因為氮能有效抑制介電層在 850 度高溫下結晶的產生，減少了電子沿著晶粒邊界〈Grain boundary〉漏電的機率，大大降低漏電的途徑。

圖 4.10 是 850 度氧化退火處理各 5 分鐘，對不同 N^+ 佈植劑量，在 V_g 為 1V 時所作的 weber 分布比較圖。可以看出，經 N^+ 離子佈植的樣本，其在 1V 時的漏電值優於未處理的樣本達 1 到 2 個 order，且佈植劑量 $2E15 \text{ cm}^{-3}$ 的樣本比 $2E14 \text{ cm}^{-3}$ 的樣本還要來得更小。

圖 4.11 為 850 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量的崩潰電壓所作的 weber 分布比較圖。與上述的結果相同，因為氮能有效抑制介電層的結晶，因此經過 N^+ 佈植處理過的樣本，具有較大的崩潰電壓值，且隨 N^+ 佈植劑量的增加，其所能承受的崩潰值越大。

圖 4.12 是 850 度氧化退火處理各 5 分鐘，不同 N^+ 佈植劑量作時間相依介電

質崩潰 (TDDB) 的測量比較。三種樣本當中，以 N^+ 佈植劑量為 $2E15 \text{ cm}^{-3}$ 的可靠性最好。以十年的標準來比較，佈植劑量為 $2E15 \text{ cm}^{-3}$ 的樣本為 2V， $2E14 \text{ cm}^{-3}$ 的樣本 1.2V，而未經處理的樣本只有 1V。

圖 4.13 及圖 4.14 比較 850 度氧化退火處理各 5 分鐘，未經處理和經劑量為 $2E14 \text{ cm}^{-3}$ N^+ 佈植處理的樣本，在固定電壓 2V 作 stress 100 秒後的漏電流對閘極電壓圖。比較兩圖可以看出，無論有無經過 N^+ 佈植處理，其 stress 過後，漏電流並沒有顯著的上升，顯示其介電層品質極佳，缺陷數量少。

由圖 4.8 到圖 4.14 的結果可看出，在溫度 850 度氧化退火各 5 分鐘的條件下， N^+ 佈植的確使電容結構的電性方面有所提升，漏電流減少，崩潰電壓增高，電容值變大，元件可靠性提升等。不過如同溫度 800 度的情況相似，當 N^+ 佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，卻會造成平帶電壓往更負的方向偏移，且使電容值下降，使得閘極的控制能力大受影響，其為我們所不樂意見到的。



4.3.2 N₂O 電漿處理應用於鈷鈦酸閘極介電層電容

在閘極介電層形成之後，施以 O₂ 或 N₂O 退火處理，有助於修復氧化層中的氧空位，且減少碳、氫等雜質的含量，對於電性上有提升的作用【37~42】。其中，退火處理的方式，分為高溫爐管退火〈FA〉【40,】、快速熱退火〈RTA〉【39,41,42】、及電漿退火處理〈PA〉【37,38】等方法。由於在高溫退火環境下，容易使介電薄膜產生結晶化，且隨退火時間的增加，氧原子擴散至矽基板與之反應形成的低介電係數氧化層的厚度越厚，將不利於等效厚度的控制【39~42】。因此，本次研究選擇以低溫 N₂O 電漿處理的方式，進行氧化後退火的處理，用以改善電容結構的電特性。另一方面，在選擇氣體上，由於 N₂O 較 O₂ 容易分解，形成氧原子，因此在低溫的環境下，較能達到修復氧空位的目的，且根據文獻上指出，利用 N₂O 電漿退火所帶來的矽污染〈Contamination〉較 O₂ 電漿退火來得小，不會造成過多的缺陷而影響到電特性【37】。

本次研究將在鈷鈦酸閘極介電層形成之後，以溫度 350 度，N₂O 氣體流量 60sccm 的條件下，對閘極介電層進行 5 分鐘的電漿退火處理。RF power 則選用 10 瓦、15 瓦、20 瓦等三種條件。之後以快速退火爐，880 度 40 秒 N₂ 氣體的環境下，對電漿處理後產生的缺陷，進行晶格修補的動作。

圖 4.15 是經不同功率 N₂O 電漿處理之電容對電壓比較圖。很明顯的看到，經過 N₂O 電漿處理的樣本，皆較未經處理的樣本有較高的電容值。其原因為 N₂O 電漿處理能有效提供足夠的氧原子，以填補閘極介電層中的氧空位，使得薄膜的緻

密度增加，因而具有較大的電容值。〈4-1〉式【40】為 N_2O 電漿處理過程中， N_2O 分解出氧原子的化學式。由於打斷 N_2O 中的氮氧鍵結〈N-O〉所需的能量比打斷 O_2 的氧鍵結〈O=O〉來得低，因此在 350 度的溫度下， N_2O 電漿足夠提供夠多的氧原子，以填補鈷鈦酸介電層中的氧空缺。而三種經過 N_2O 電漿處理的樣本，彼此間的電容值並無太大的差別。另一方面可以看到，經過 N_2O 電漿處理的樣本，其平帶電壓值皆有向右偏移的現象，這是因為閘介電層中的正型固定電荷因 N_2O 電漿處理後有減少的趨勢，致使平帶電壓較趨於一般值。由電容電壓圖所得到的數值，列於表 4.3 中。



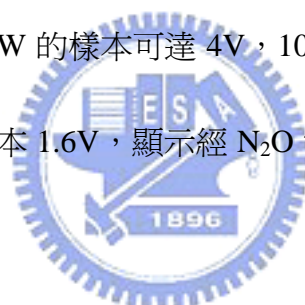
圖 4.16 為經不同功率 N_2O 電漿處理之漏電流對電壓比較圖。由圖中可以發現，經過 N_2O 電漿處理的樣本，具有比較小的漏電流。其原因歸究於， N_2O 電漿處理的過程中，釋放出許多的氧原子，用以填補鈷鈦酸介電層中的氧空缺，使得薄膜結構更加完整緻密。另一方面，由於 N_2O 電漿也提供些許的氮來源，使得在後續的 RTA 過程中，有抑制薄膜結晶的效果存在，因而表現出較小的漏電流。

圖 4.17 為經不同功率 N_2O 電漿處理，在 $V_g=1V$ 時，所作的漏電流 weber 分布比較圖。因為 N_2O 電漿處理修補了鈷鈦酸介電層中的氧空缺，所以在 1V 時的漏電流皆較未經處理的樣本來得小。而比較三種不同功率 N_2O 電漿處理，10 瓦的樣本具有最小的漏電流，其次為 15 瓦，再來為 20 瓦，顯示功率越低的 N_2O

電漿處理，能有越小的漏電流。其原因為功率越大，所造成對薄膜的損害越嚴重，缺陷數量越多，不過三者差距並不明顯。

圖 4.18 是經不同功率 N_2O 電漿處理，所作的崩潰電壓 weber 分布比較圖。如同先前的結果，經 N_2O 電漿處理能有效修補鈷鈦酸介電層中的氧空缺，使薄膜更完整緻密，所能承受的電壓越大，所以較未經處理的樣本具有較大的崩潰電壓值。

圖 4.19 為經不同功率 N_2O 電漿處理，作時間相依介電質崩潰 (TDDB) 的測量比較。如圖，經 N_2O 電漿處理的樣本，皆比未經處理的樣本具較佳的可靠性。以十年的標準來看，15W 的樣本可達 4V，10W 的樣本 2.6V，20W 的樣本 2.2V，皆大於未經處理的樣本 1.6V，顯示經 N_2O 電漿處理後，的確得到品質較佳的閘極介電層。



最後，我們來觀察經 N_2O 電漿處理後的樣本，在固定電壓 2V 作 stress 100 秒後的漏電流對閘極電壓圖。圖 4.20 為未經處理的樣本，圖 4.21 為功率 15W 的樣本。比較兩圖，由於其漏電流相差甚大，因此無法拿來做比較。不過可以看出，二者在 stress 前後，漏電流並無明顯的增加，顯示 stress 過程中，並沒有過量的陷阱電荷產生而損害介電層的品質。

縱合以上的電性結果可以得知， N_2O 電漿處理的過程中，因獲得足夠的能量分解出許多的氧原子，而填補修復了鈷鈦酸介電層中的氧空缺，使得介電層的品質更加完整，缺陷數量減少，因而呈現出較佳的電特性。而三種 N_2O 電漿處理

的樣本，因彼此的功率相差不大，所以在電性上並無太大的差異。

圖 4.22 為經過不同功率 N_2O 電漿處理的 SIMS 比較圖。由於 N_2O 在電漿過程中，會分解出大量的氧原子，去填補介電層內的氧空缺，所以由圖中可以看出，有經過 N_2O 電漿處理的樣本，氧含量皆較未經處理的樣本來得高。而圖 4.23 則是針對氧含量的分佈，所作的 SIMS 比較圖。由此圖更容易看出，經過 N_2O 電漿處理的樣本，介電層內的氧含量有增加的趨勢，而其中更以 20W 的樣本，有最大的氧原子含量。

圖 4.24 為鈷原子的分布比較之 SIMS 圖。很明顯的看到，在經過 N_2O 電漿處理之後的樣本，鈷鈦酸介電層內鈷原子的含量，有非常明顯的增加，其中更以 20W 的樣本，有最大的鈷含量。因此推測，鈷含量的增加，是造成電容值提升很重要的原因之一。



圖 4.25 為矽原子的分布比較之 SIMS 圖。經過 N_2O 電漿處理之後，介電層內矽的含量有些微的升高，其中以 10W 的樣本最為嚴重。再者我們從 $CoTiO_3/Si$ 介面的位置可以看出，經過 N_2O 電漿處理，其整體厚度並無明顯的改變，因此推斷 N_2O 電漿處理將不會造成介面混合層厚度的成長，而造成 k 值的下降【37】問題。

經圖 4.22 到圖 4.25 的分析可以看出， N_2O 電漿處理有效提供了適量的氧原子，以填補修復介電氧化層中的氧空缺，使得薄膜更加完整緻密。再者， N_2O 電漿處理不會造成厚度的變異，且提高了介電層中的鈷含量，對於 k 值的提升，有

明顯的幫助。

4.4 結論

本章首先利用 N^+ 佈植處理，對鈷鈦酸閘極電容結構，進行各種電性研究。結果顯示，適當劑量的 N^+ 佈植，有助於電容值的提升，且有減少介電氧化層中固定電荷的趨勢。不過當 N^+ 佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，反倒會使電容值有衰退的現象，且平帶電壓往更負的方向偏移，這是我們不樂意見到的。而針對漏電流方面，由於 N^+ 佈植所帶來的氮摻雜，有抑制介電層在溫度為 800 度及 850 度結晶的效果，因此在漏電流及崩潰電壓的比較上，仍然優於未經處理的樣本，且有隨佈植劑量的增加，漏電流越小的趨勢。而在可靠性分析上， N^+ 佈植處理的樣本依然具有較佳的優勢，顯示 N^+ 佈植處理，的確能為鈷鈦酸電容結構，帶來電性上的提升。

第二階段我們探討利用 N_2O 電漿處理，對鈷鈦酸閘介電層進行氧化後退火的步驟。結果顯示，由於 N_2O 電漿處理的過程中，釋放出許多的氧原子，填補修復了鈷鈦酸介電層中的氧空缺，使得薄膜結構更加完整緻密，加上些許的氮含量，在經過 880 度 RTA 製程後，有抑制鈷鈦酸薄膜結晶的效果，因此比較未經處理的樣本，在電性上有更好的表現。

N⁺ (energy:10keV)

WaferNo.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
No N+ implant	★			★			★			★			★	★	★	★	★	★	★	★
N+ 2E14		★			★			★			★									
N+ 2E15			★			★			★			★								

Oxidation (N2 : O2= 5000 sccm : 5000 sccm)

WaferNo.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
800CO5A5	★	★	★				★	★	★				★	★	★	★	★	★	★	★
850CO5A5				★	★	★				★	★	★								

N₂O plasma (350C , 5 min)(N2O=60sccm)

WaferNo.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
No plasma													★				★			
10 W														★				★		
15 W															★				★	
20 W																★				★
RTA 880C													★	★	★	★	★	★	★	★

表 4.1 N⁺離子佈植及 N₂O 電漿處理的樣本條件

	Cacc (pF)	EOT (Å)	Cfb (Pf)	Vfb (V)
800 no	51.3	46.3	41.1	0.075
800 N+ 2E14	53.8	45.6	43.1	0.30
800 N+ 2E15	40.7	73.7	32.6	0.01
850 no	48.7	49.8	38.9	0.025
850 N+ 2E14	51.2	47.8	40.9	0.18
850 N+ 2E15	40.2	79.3	32.1	0.10

表 4.2 CoTiO₃ 各種 N⁺ 佈植條件的等效厚度及平帶電壓比較

	Cacc (pF)	EOT (Å)	Cfb (Pf)	Vfb (V)
no N2O	56.7	60.8	45.4	0.38
N2O 10W	74.1	45.8	59.3	0.75
N2O 15W	75.0	45.5	60.0	0.60
N2O 20W	76.2	44.7	61.0	0.75

表 4.3 CoTiO₃ 不同 N₂O 條件的等效厚度及平帶電壓比較

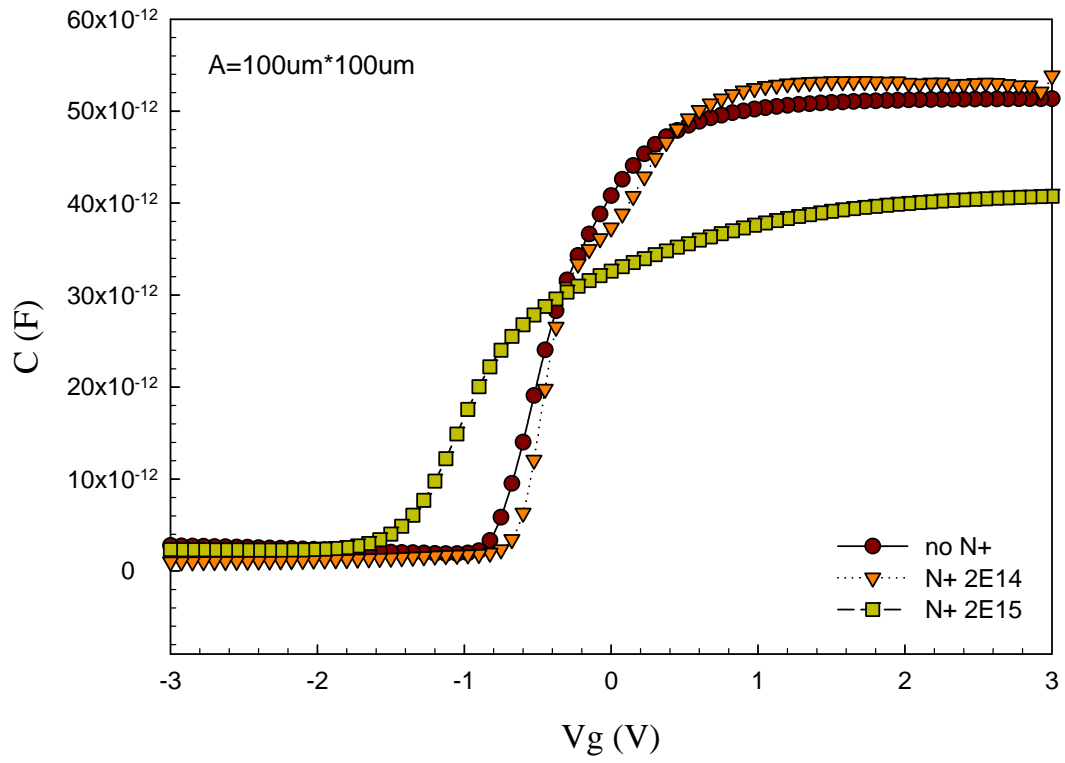


圖 4.1 CoTiO₃ 800 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量之電容對電壓比較圖

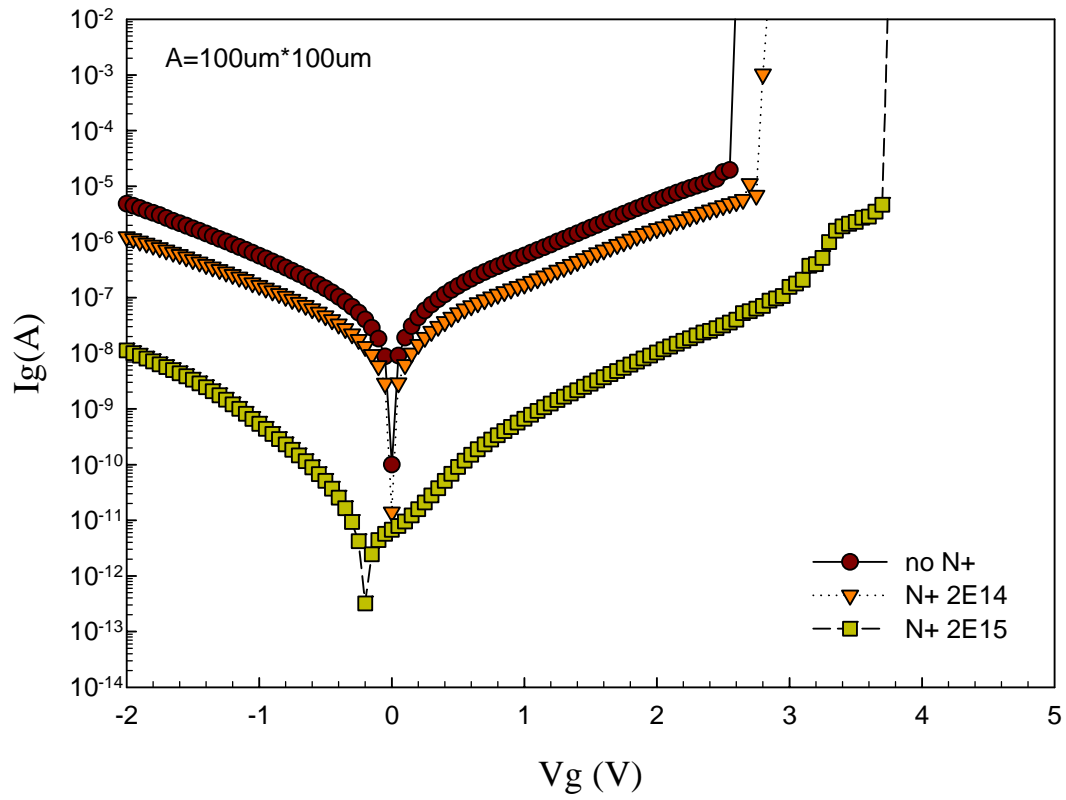


圖 4.2 CoTiO₃ 800 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量之漏
電流對電壓圖

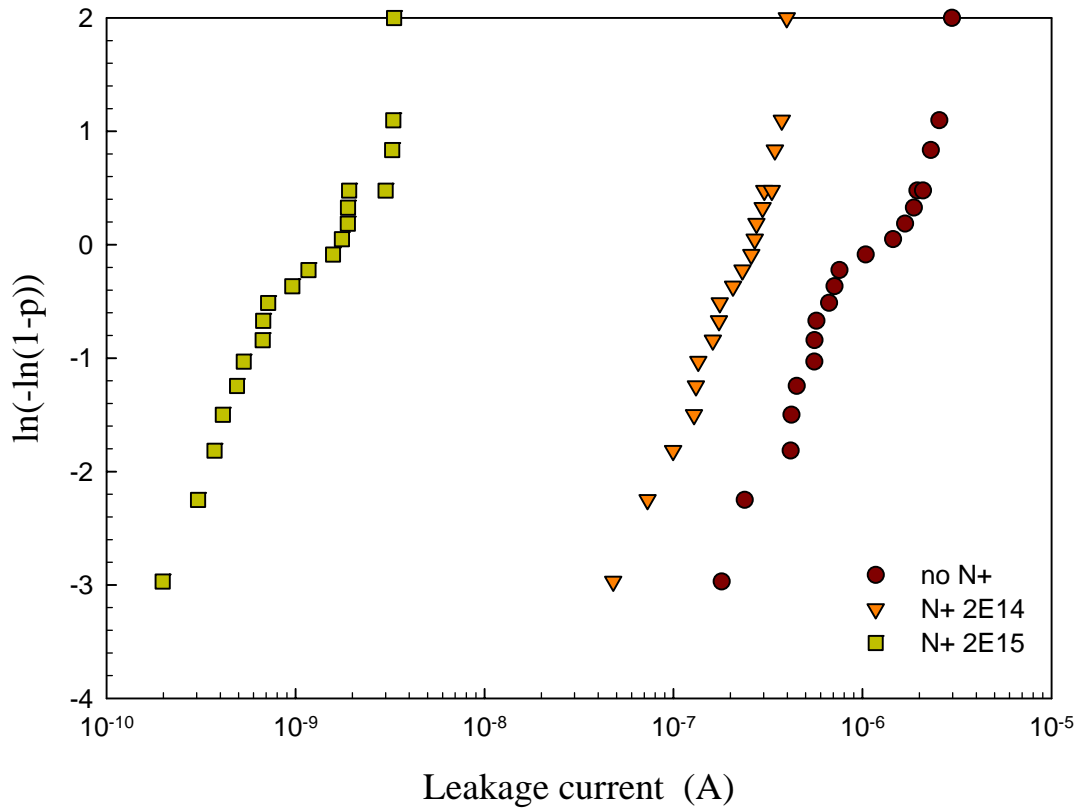


圖 4.3 CoTiO₃ 800 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量，在 V_g=1V 時之漏電流 weber 分布圖

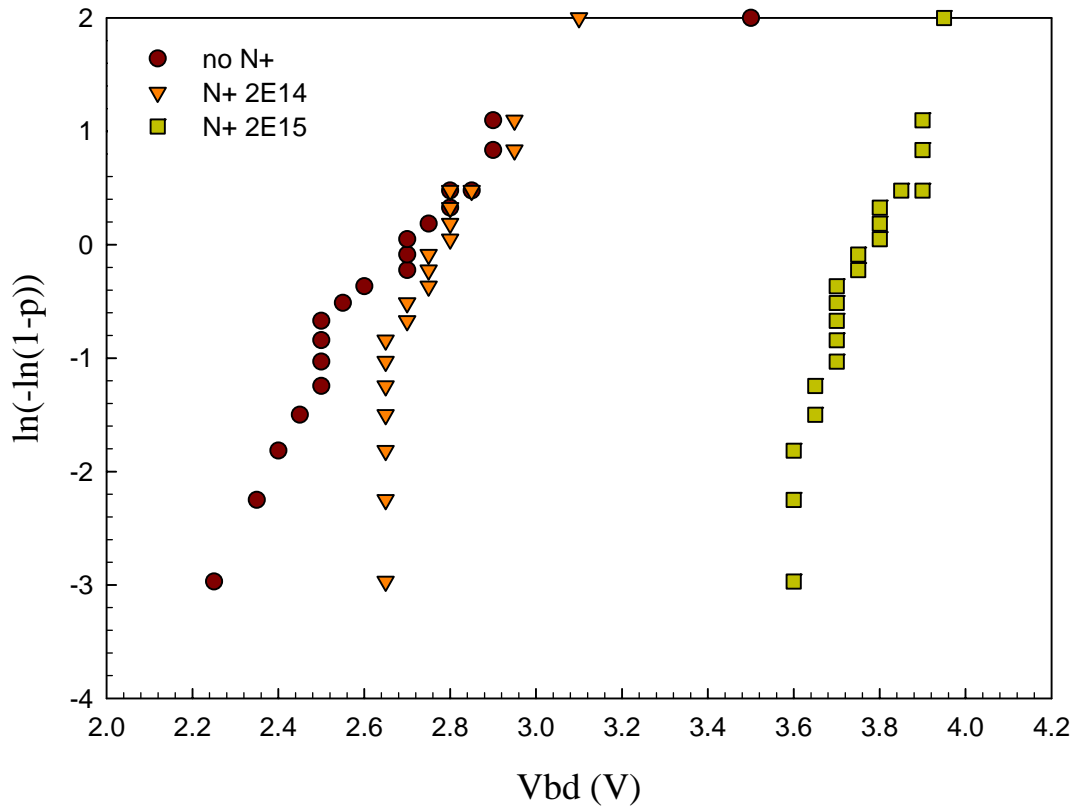


圖 4.4 CoTiO₃ 800 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量之崩潰電壓 weber 分布圖

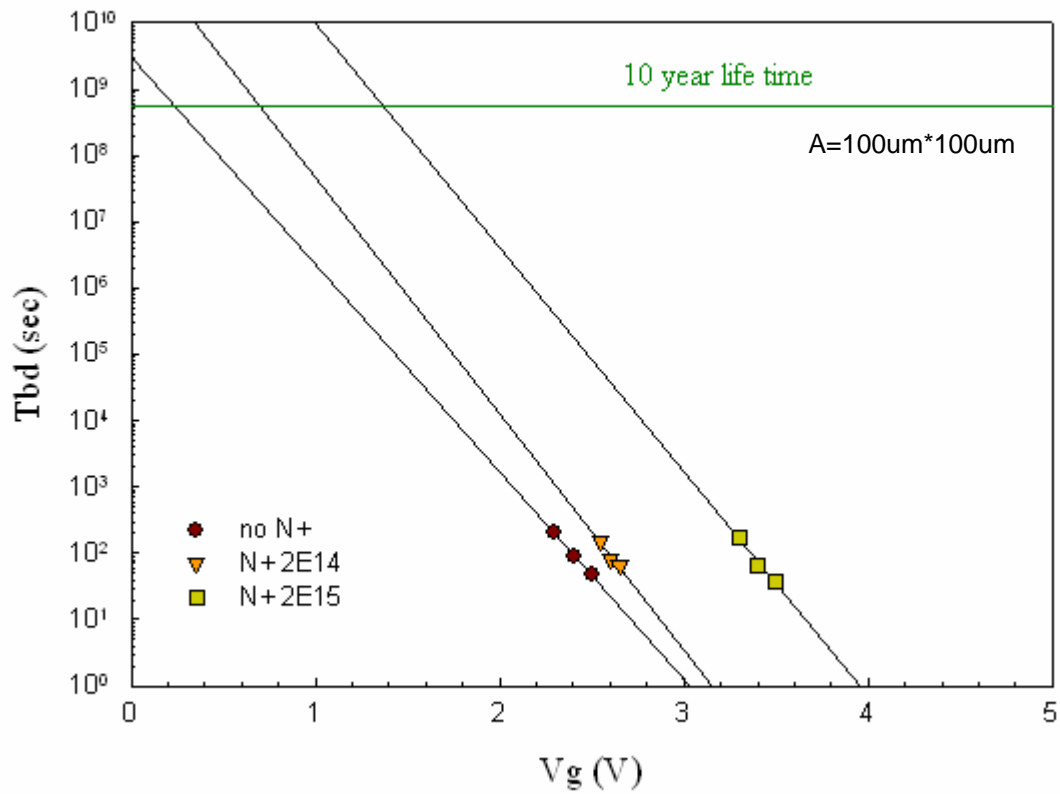


圖 4.5 CoTiO₃ 800 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量之時間相依介電質崩潰 (TDDB) 的比較

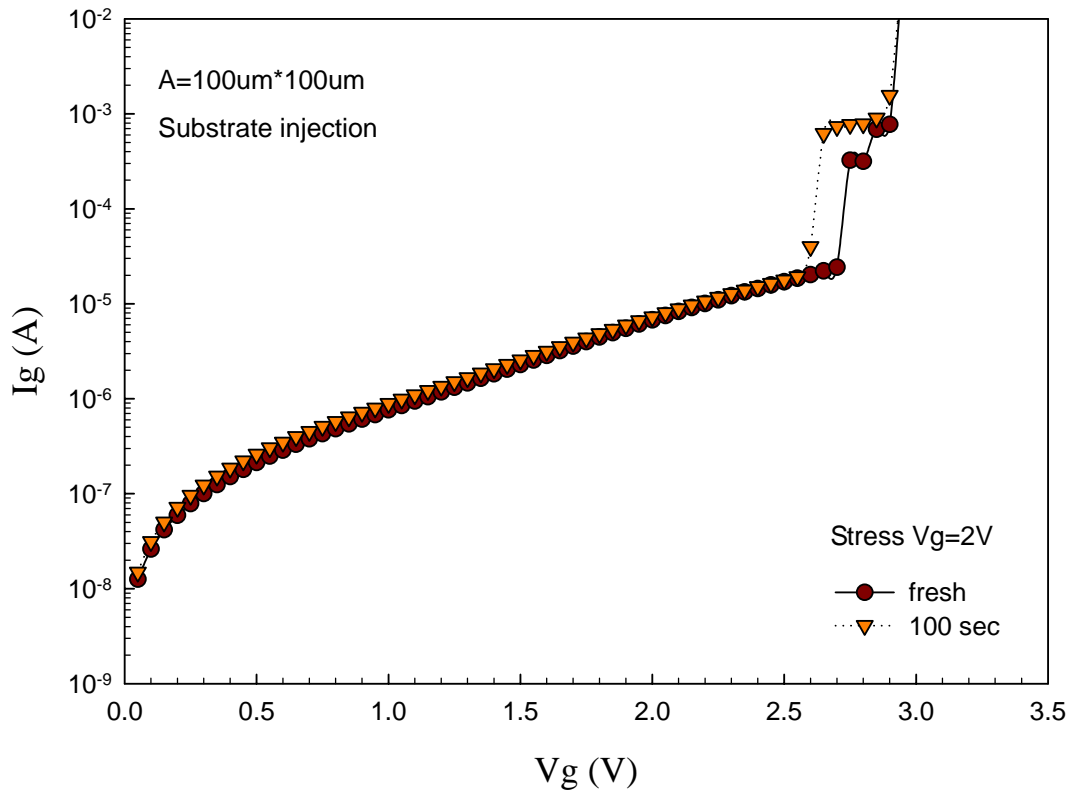


圖 4.6 CoTiO_3 未經 N^+ 離子佈植的樣本，以 2V stress 100 秒後的 I_g - V_g

圖（氧化條件為 800 度氧化退火各 5 分鐘）

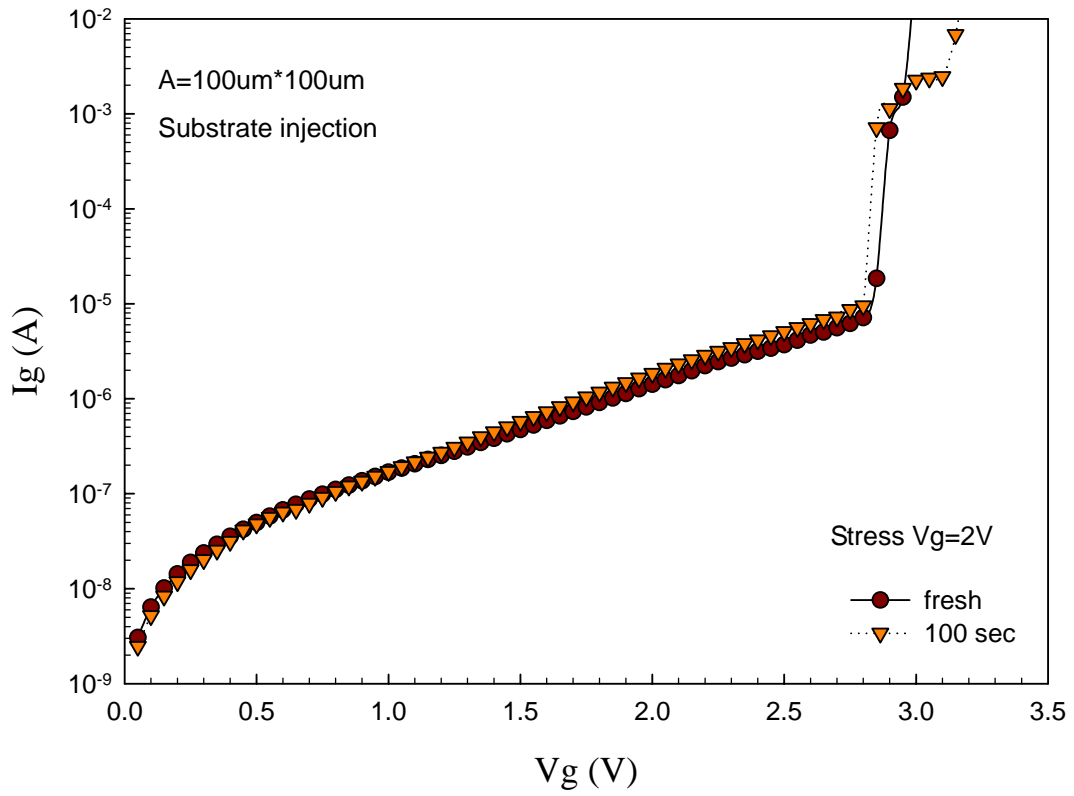


圖 4.7 CoTiO_3 N^+ 離子佈植 $2\text{E}14$ 的樣本，以 2V stress 100 秒後的
 I_g - V_g 圖（氧化條件為 800 度氧化退火各 5 分鐘）

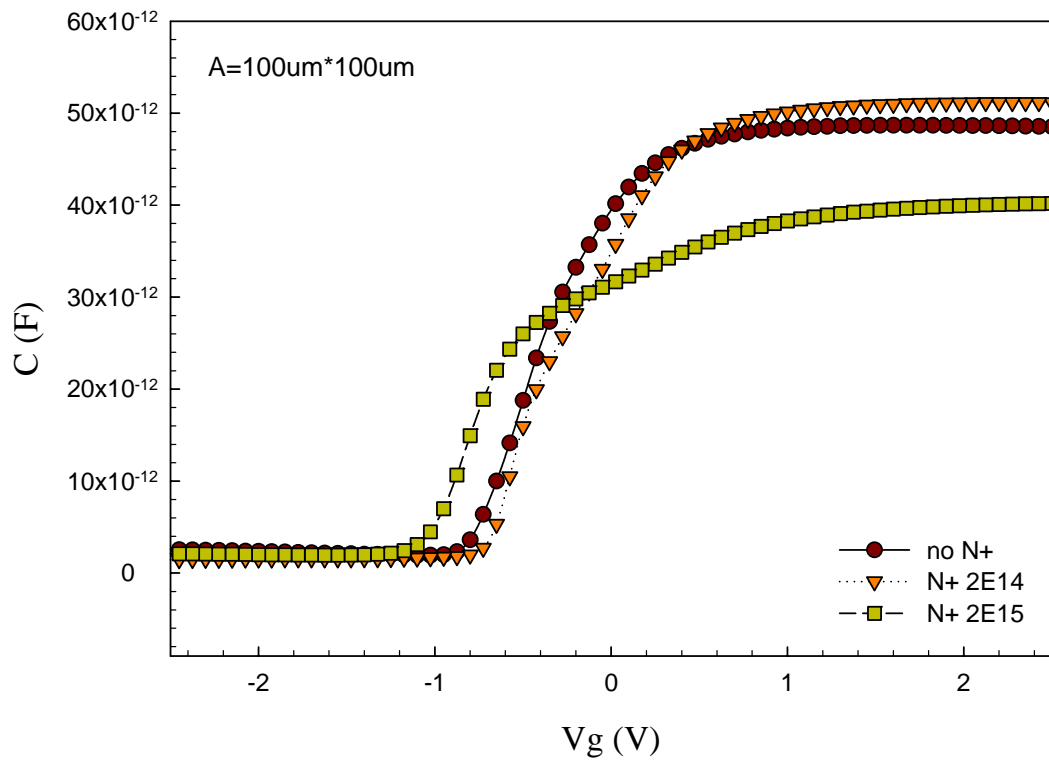


圖 4.8 CoTiO_3 850 度氧化退火處理各 5 分鐘，各種 N^+ 佈植劑量之電容對電壓比較圖

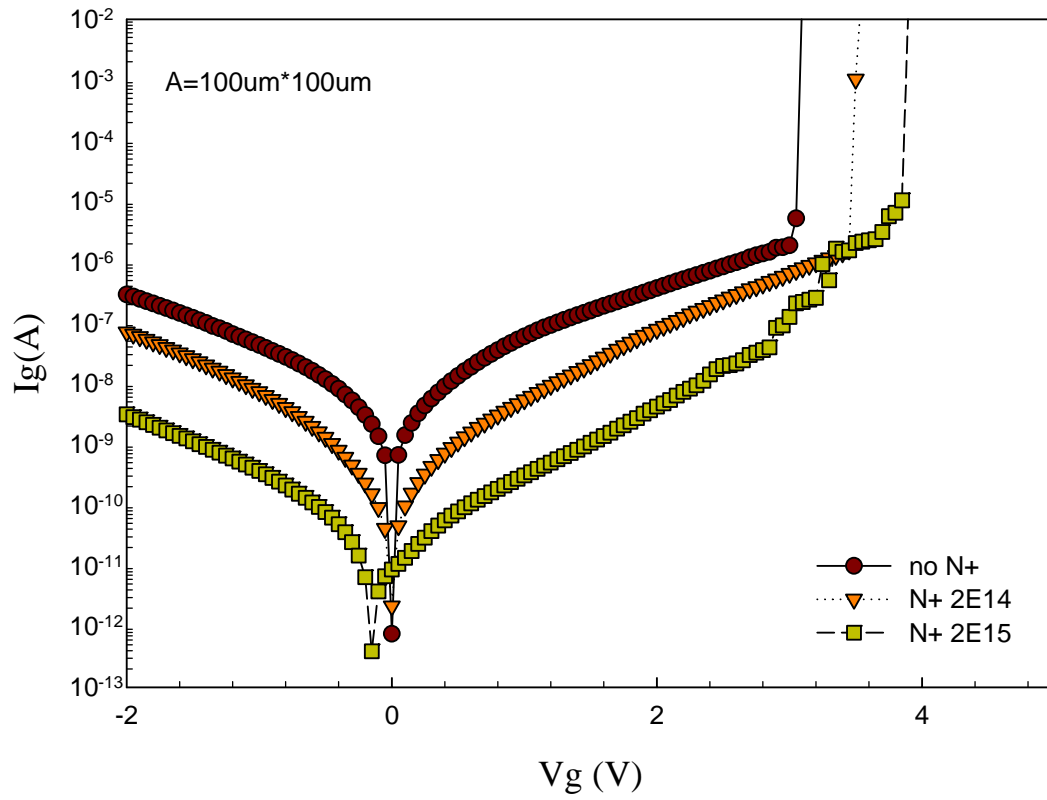


圖 4.9 CoTiO₃ 850 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量之漏
電流對電壓圖

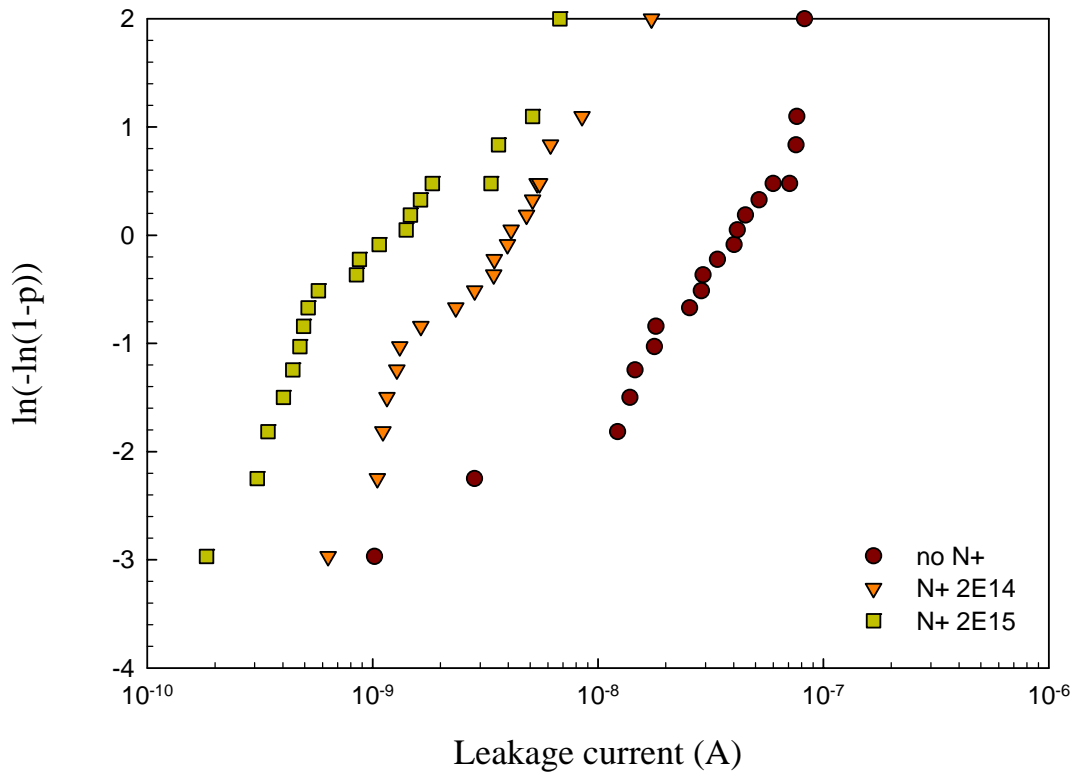


圖 4.10 CoTiO₃ 850 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量，在 V_g=1V 時之漏電流 weber 分布圖

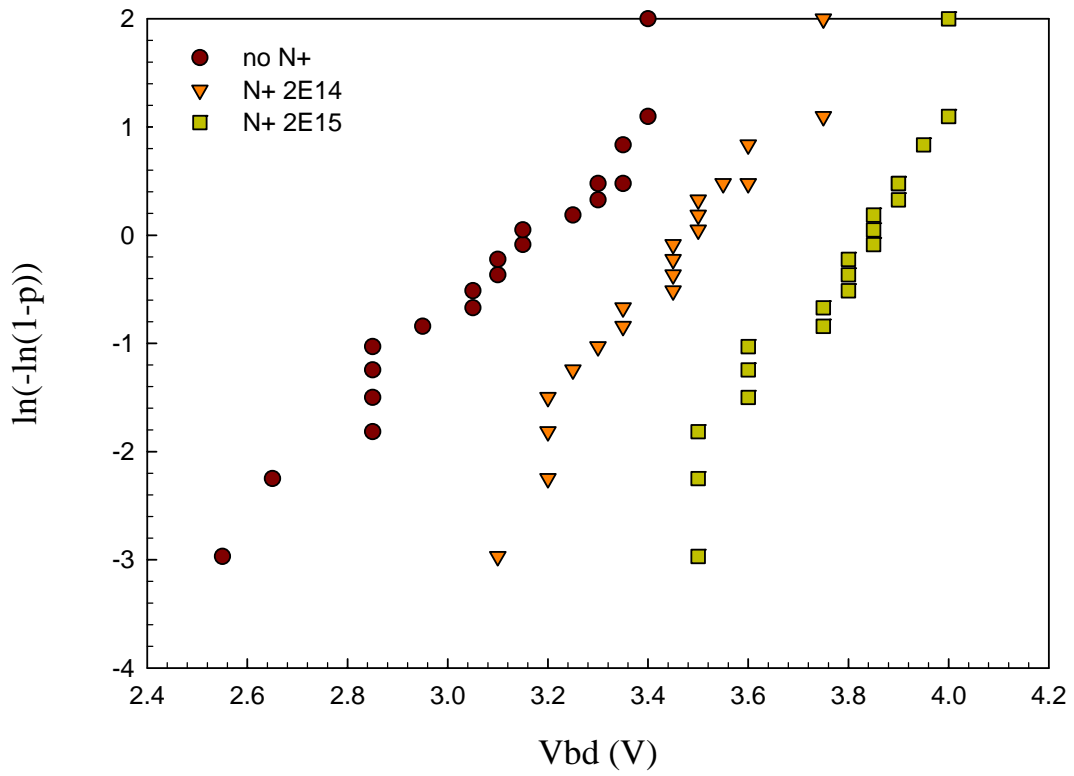


圖 4.11 CoTiO₃ 850 度氧化退火處理各 5 分鐘，各種 N⁺佈植劑量之崩

潰電壓 weber 分布圖

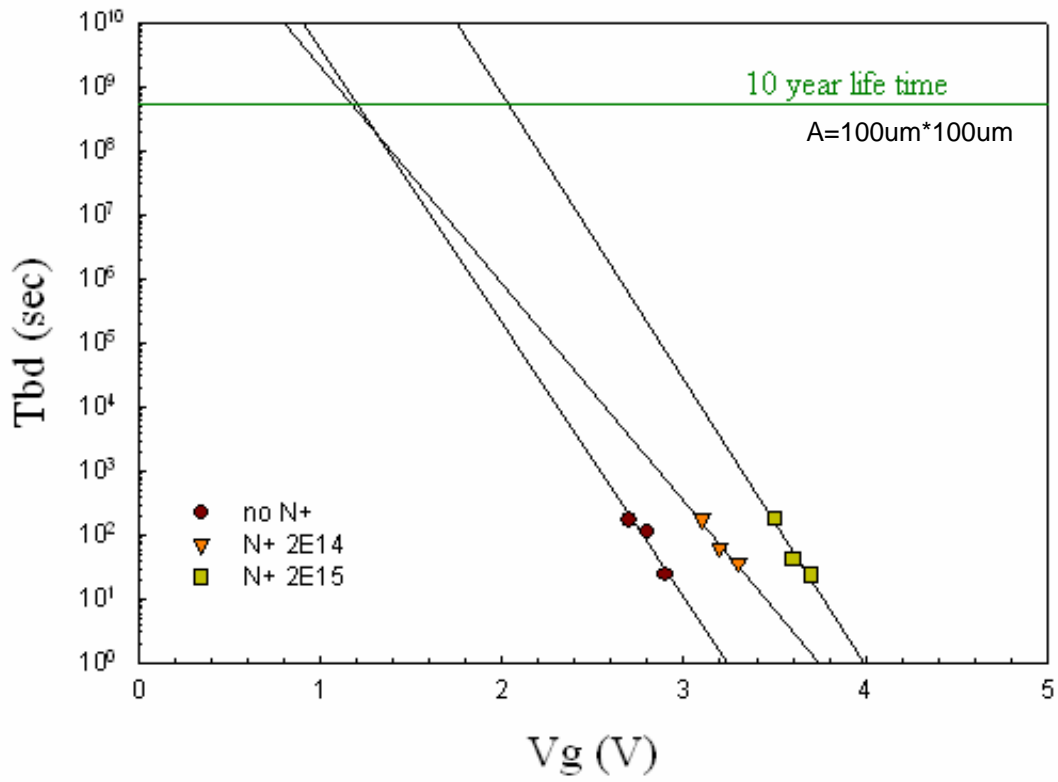


圖 4.12 CoTiO_3 850 度氧化退火處理各 5 分鐘，各種 N^+ 佈植劑量之時間相依介電質崩潰 (TDDB) 的比較

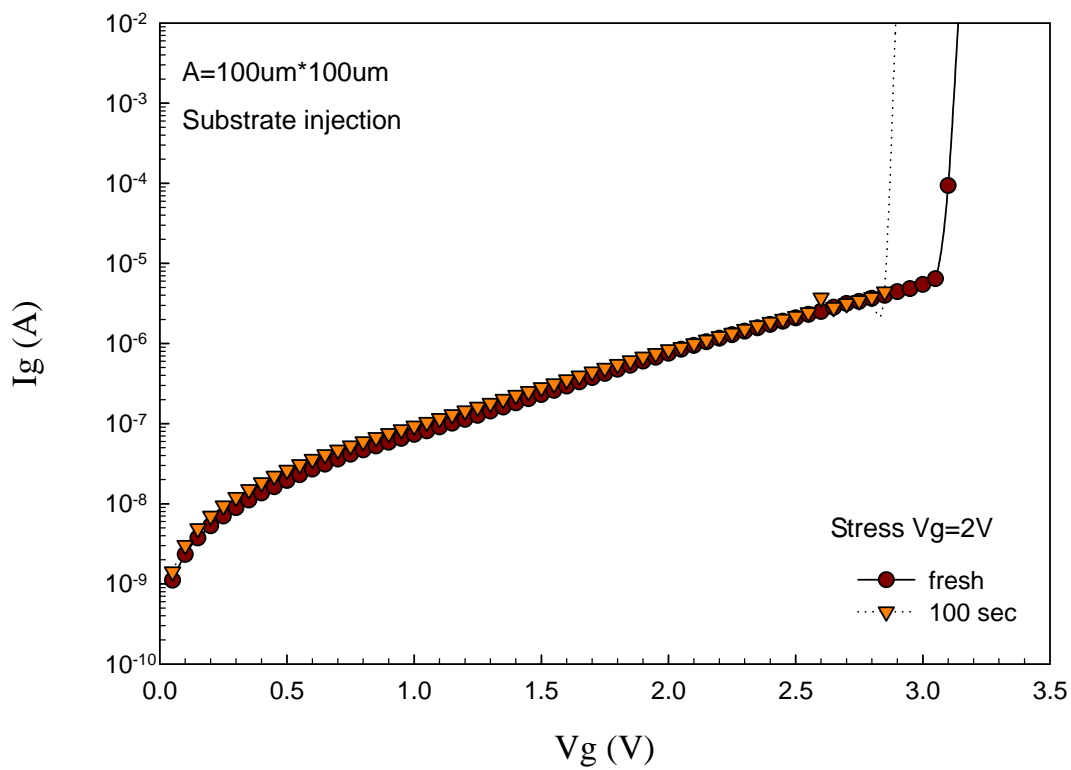


圖 4.13 CoTiO_3 未經 N^+ 離子佈植的樣本，以 2V stress 100 秒後的

I_g - V_g 圖（氧化條件為 850 度氧化退火各 5 分鐘）

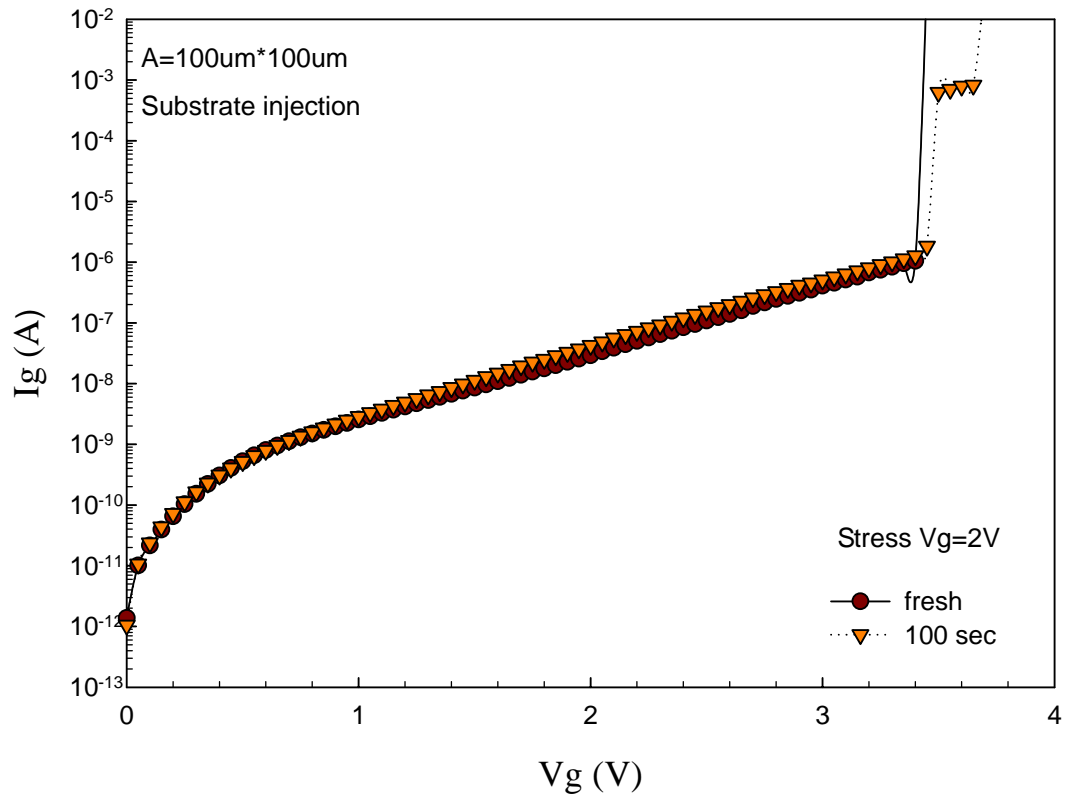


圖 4.14 CoTiO_3 N^+ 離子佈植 $2\text{E}14$ 的樣本，以 2V stress 100 秒後的
 I_g - V_g 圖（氧化條件為 850 度氧化退火各 5 分鐘）

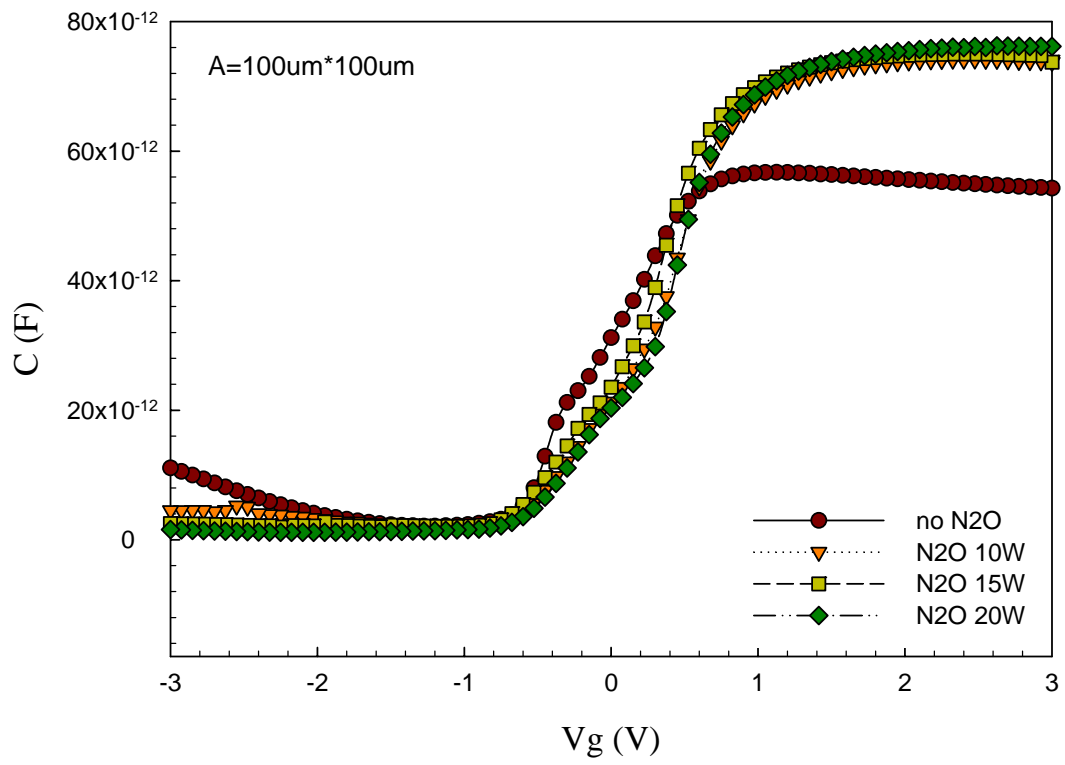


圖 4.15 CoTiO₃ 經不同功率 N₂O 電漿處理之電容對電壓比較圖

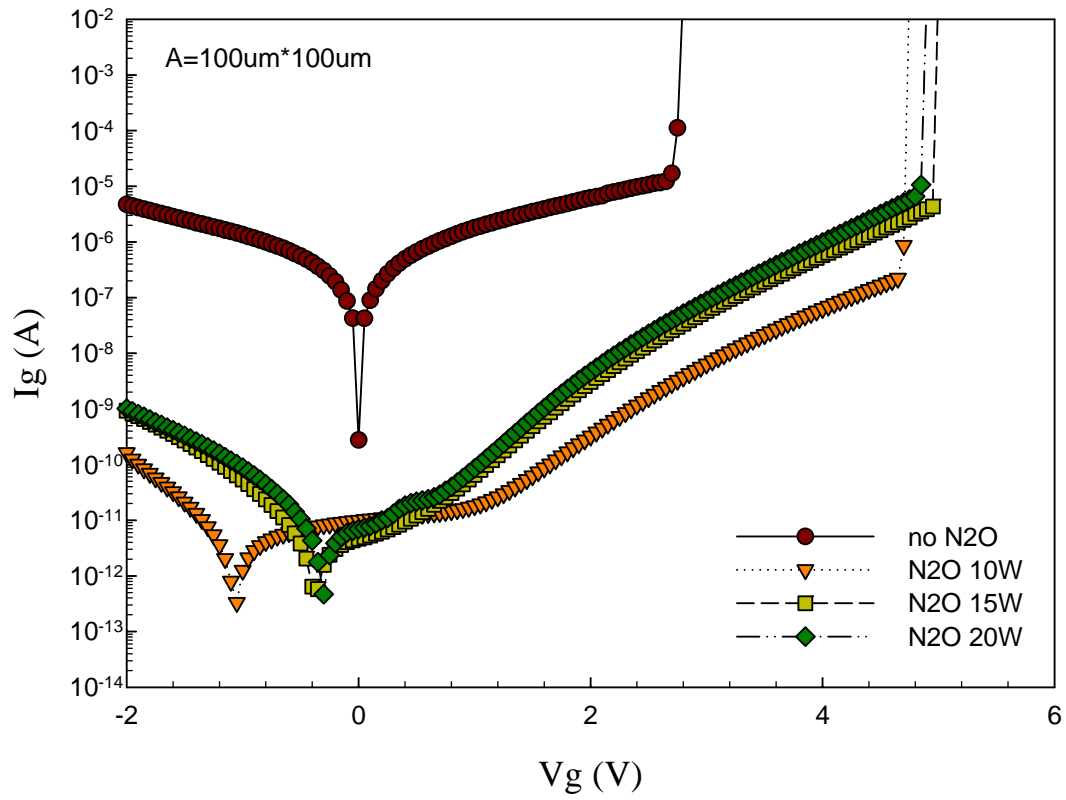


圖 4.16 CoTiO_3 經不同功率 N_2O 電漿處理之漏電流對電壓圖

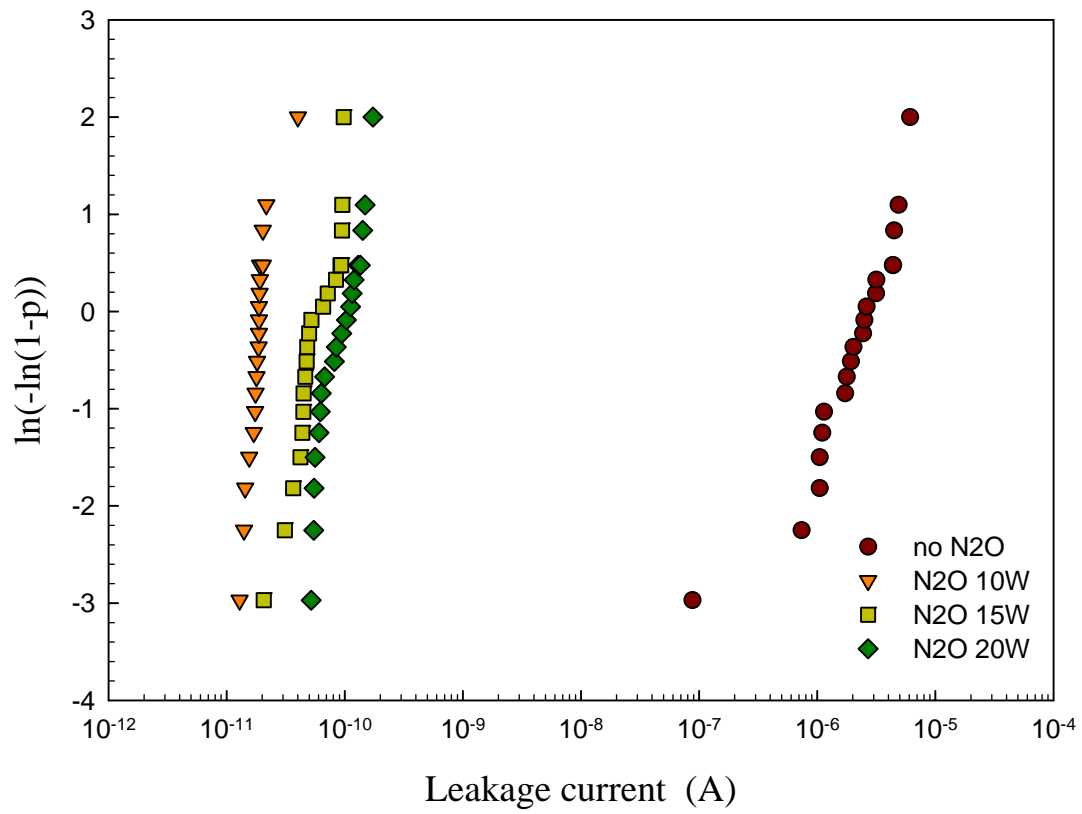


圖 4.17 CoTiO₃ 經不同功率 N₂O 電漿處理，在 V_g=1V 時之漏電流

weber 分布圖

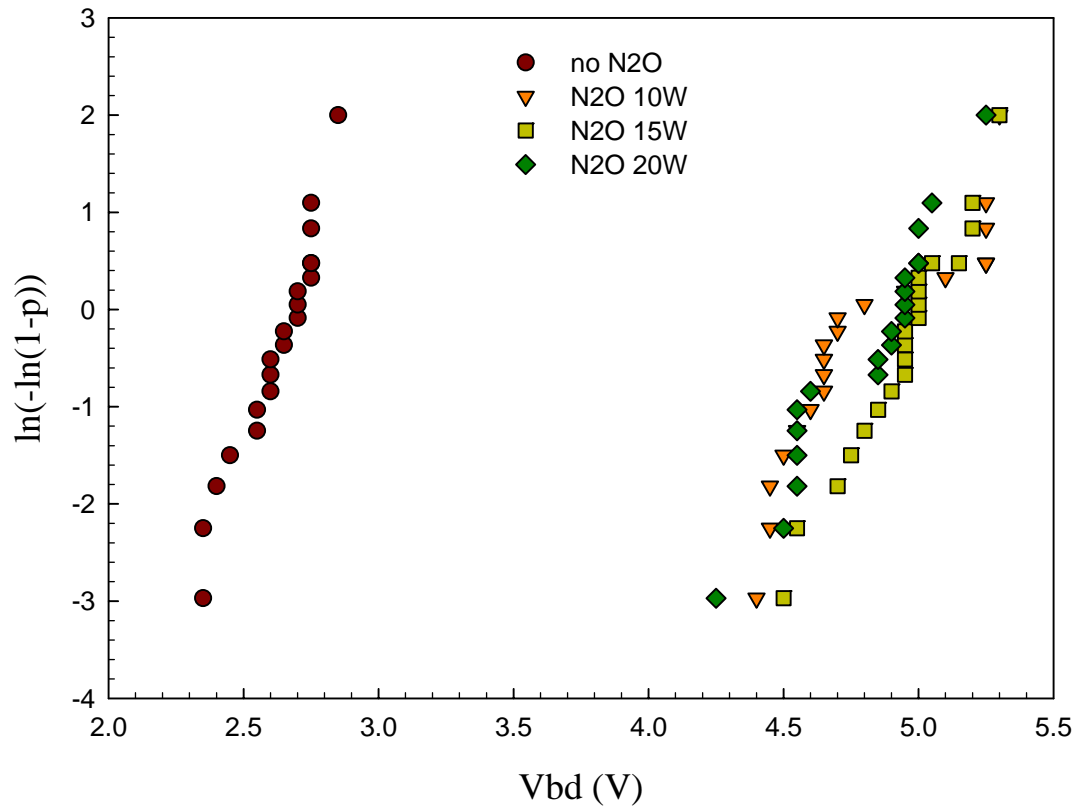


圖 4.18 CoTiO₃ 經不同功率 N₂O 電漿處理之崩潰電壓 weber 分布圖

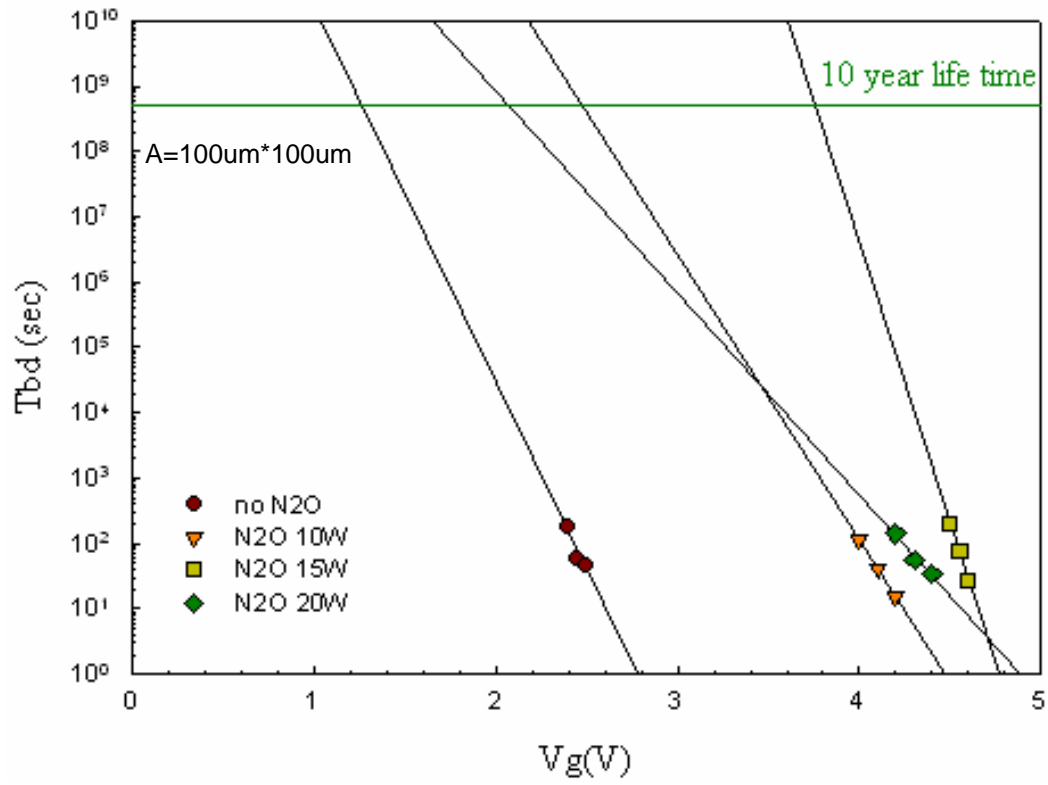


圖 4.19 CoTiO_3 經不同功率 N_2O 電漿處理之時間相依介電質崩潰 (TDDB) 的比較

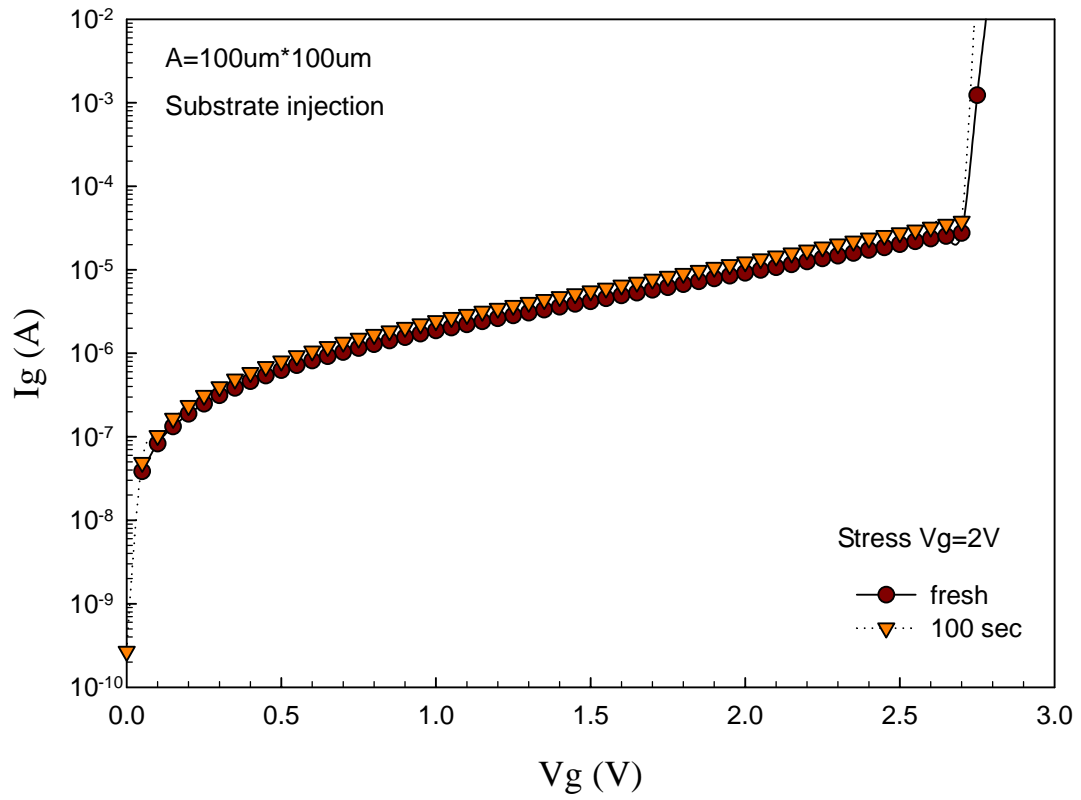


圖 4.20 CoTiO_3 未經 N_2O 電漿處理樣本，以 2V stress 100 秒後的

I_g - V_g 圖

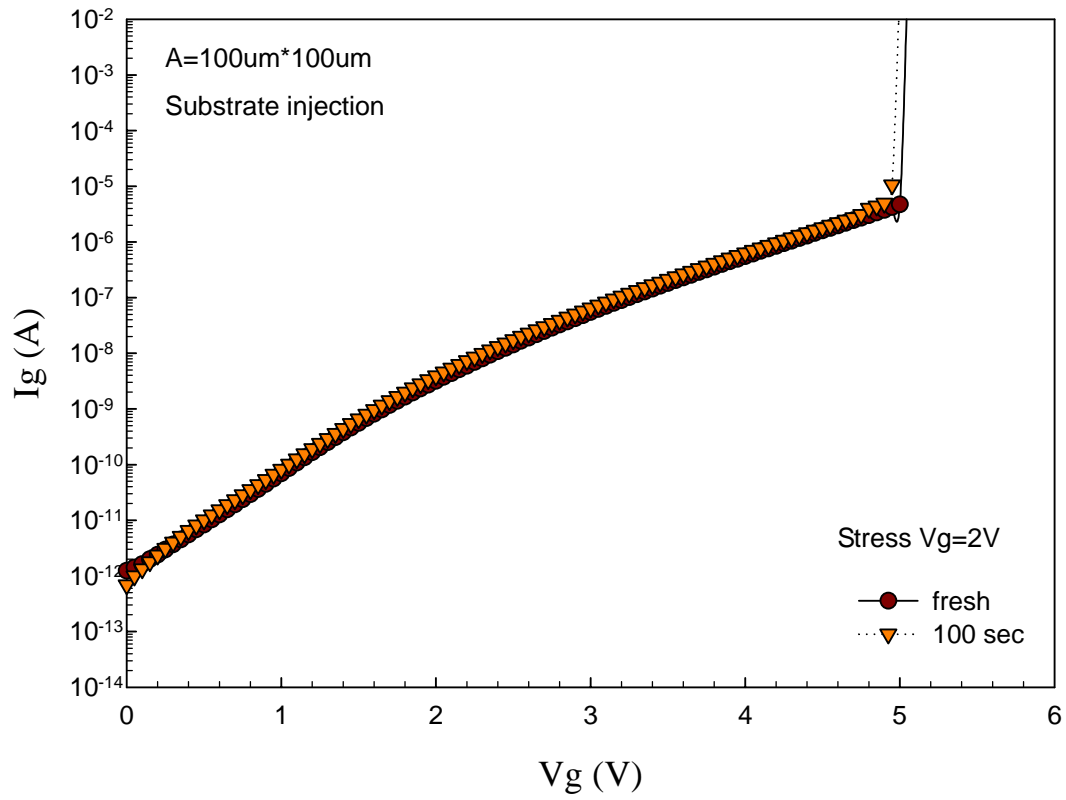


圖 4.21 CoTiO_3 經 N_2O 電漿處理, 功率 15W 的樣本, 以 2V stress 100 秒後的 I_g - V_g 圖

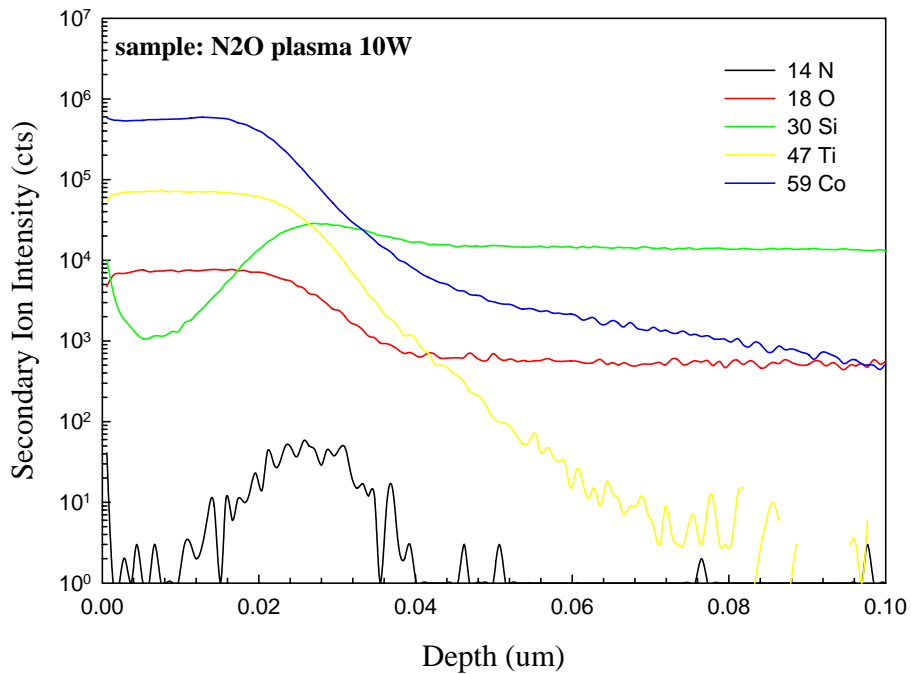
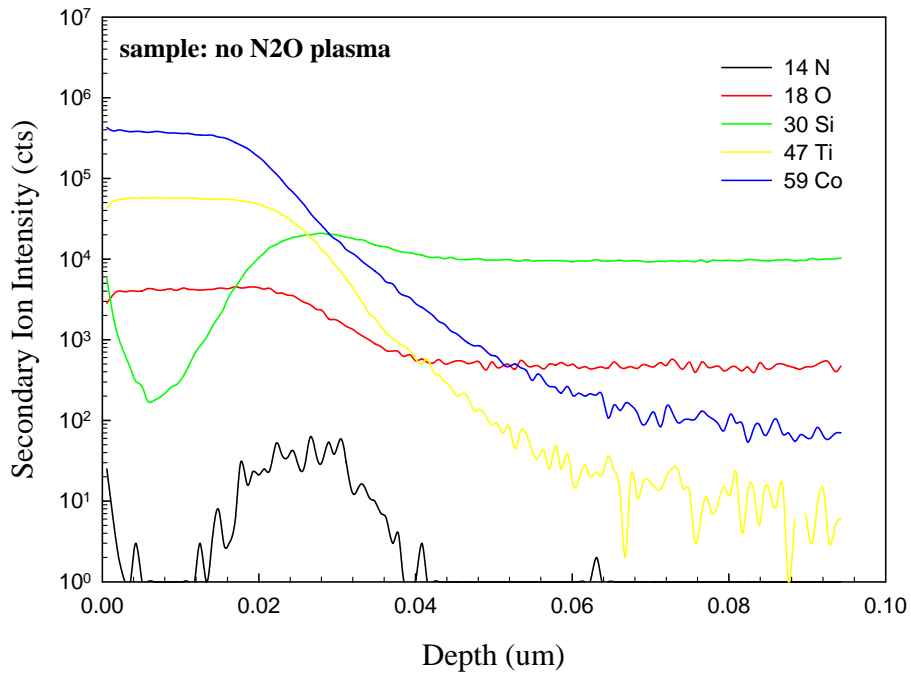


圖 4.22 CoTiO₃ 經不同功率 N₂O 電漿處理之 SIMS 圖 (I)

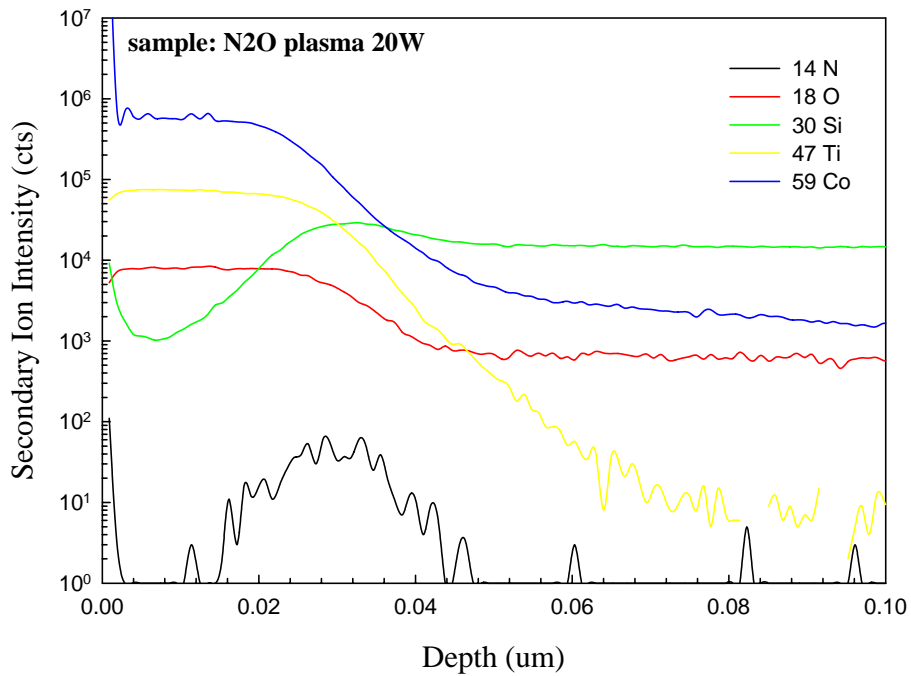
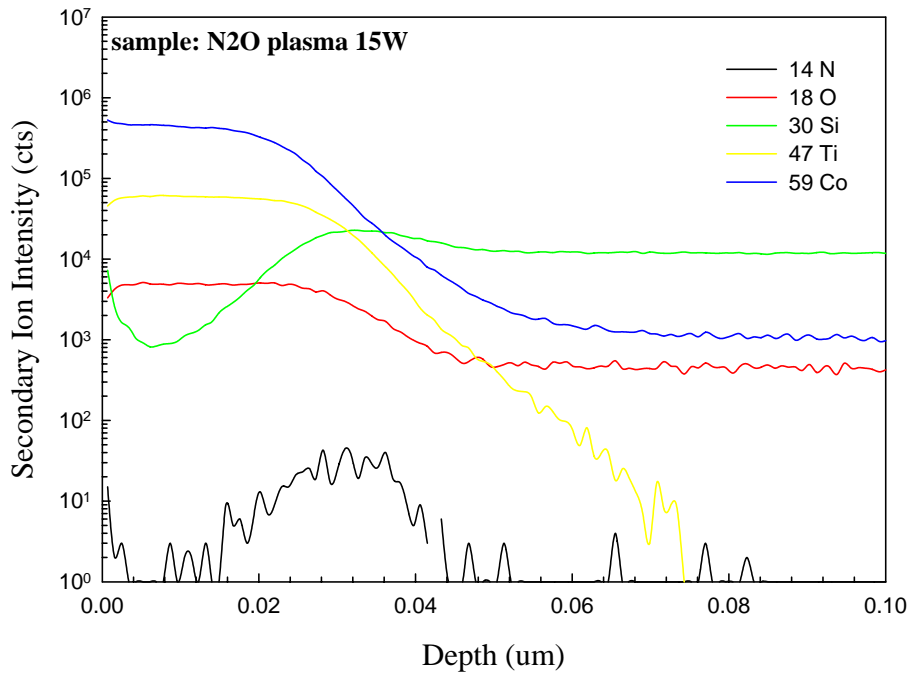


圖 4.22 CoTiO₃ 經不同功率 N₂O 電漿處理之 SIMS 圖 (II)

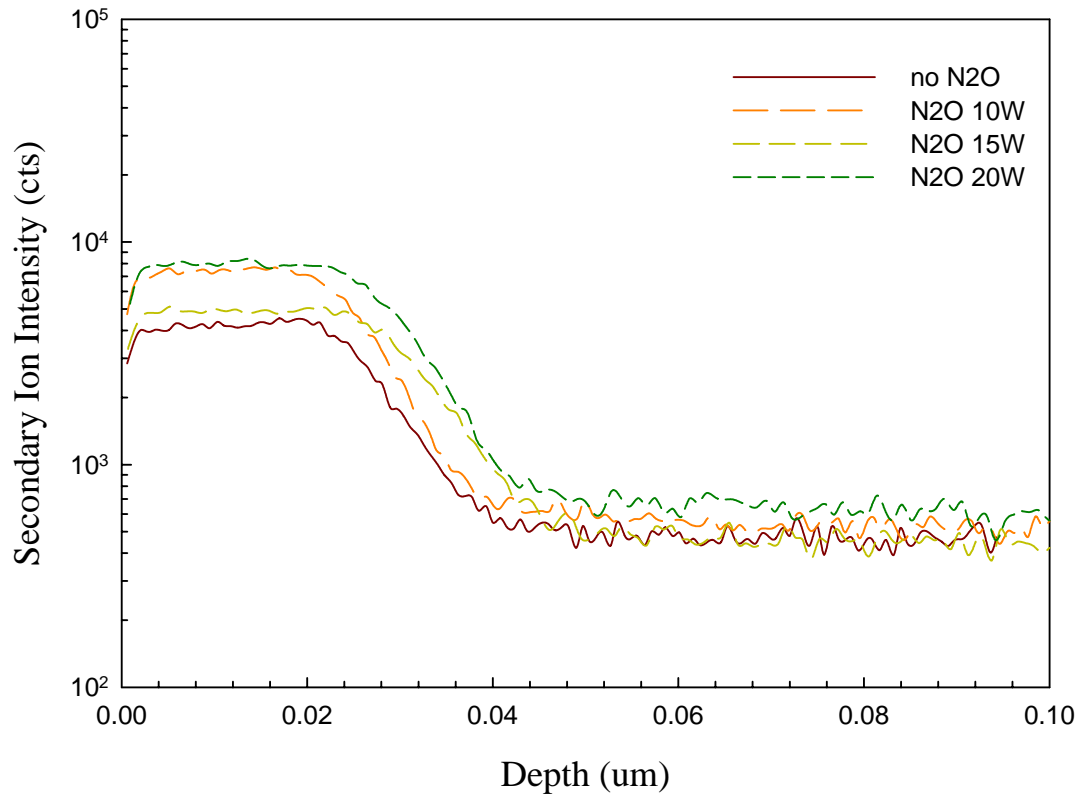


圖 4.23 氧原子的分布比較之 SIMS 圖

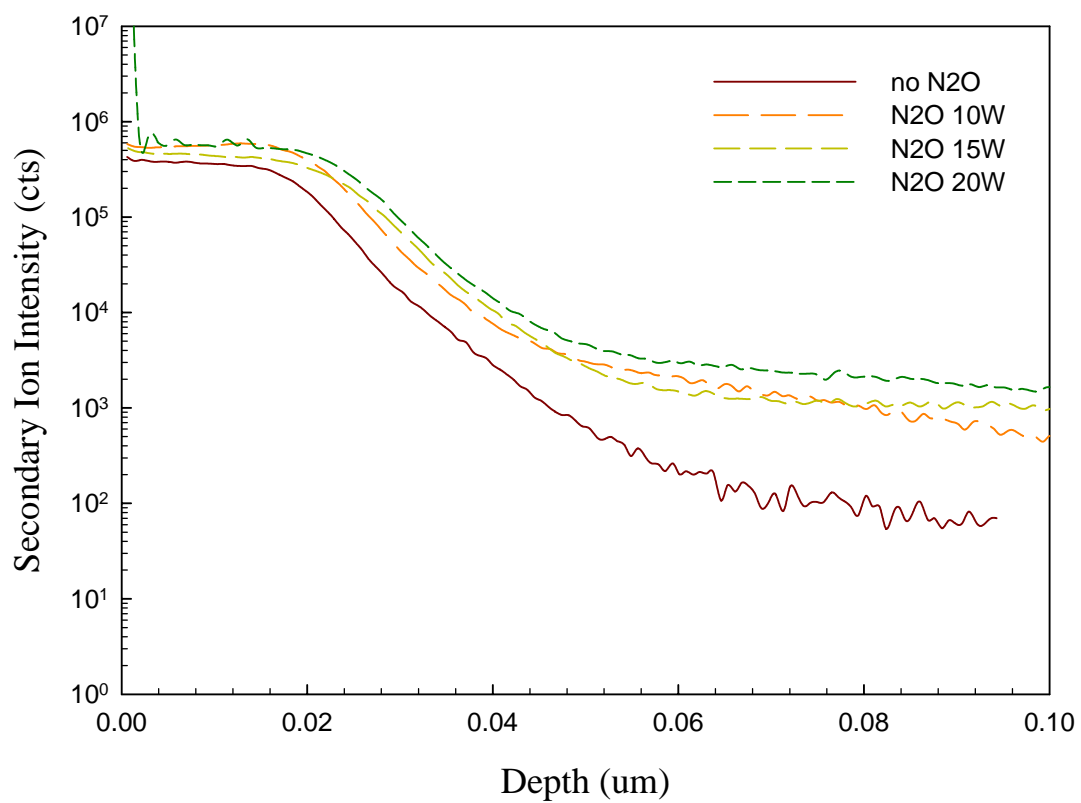


圖 4.24 鈷原子的分布比較之 SIMS 圖

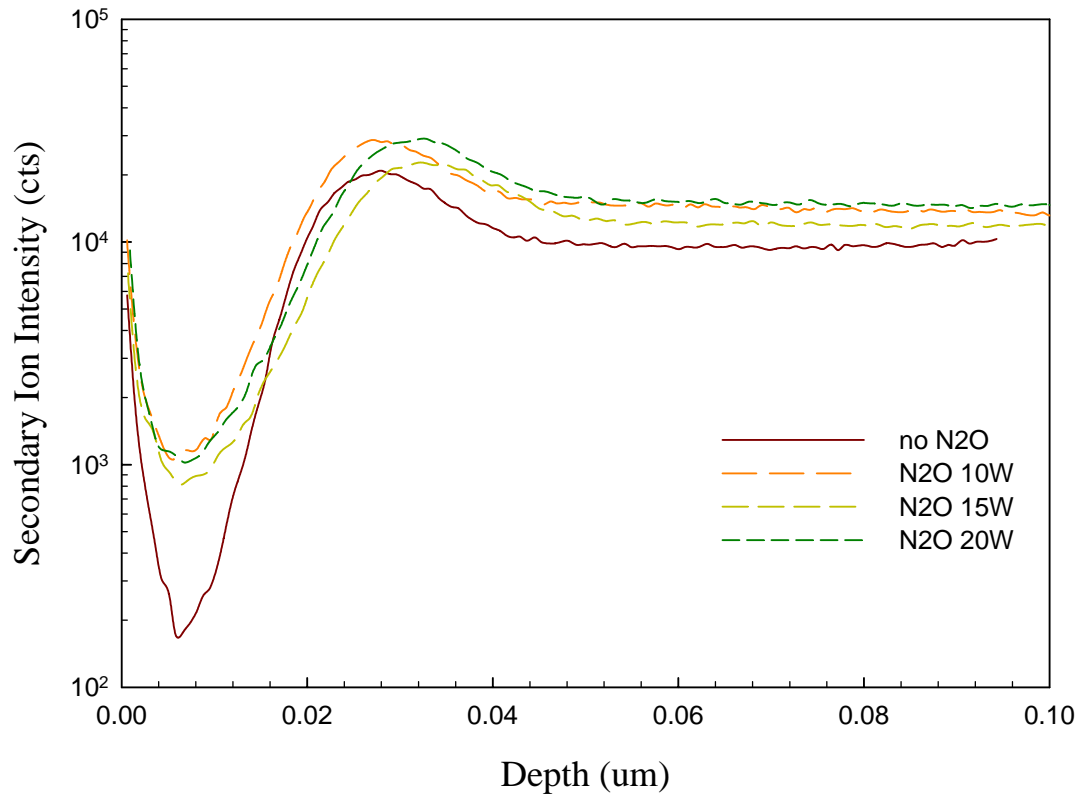


圖 4.25 矽原子的分布比較之 SIMS 圖

第五章

結論

5.1 結論

本次的論文研究，是利用氮處理的方式，試圖改善高介電鈷鈦酸閘介電層電容元件的特性。氮處理的方式共分為三種：(i) 鈷鈦金屬氧化前的 N_2^+ 離子佈植 (ii) 鈷鈦金屬氧化前的 N^+ 離子佈植 (iii) 鈷鈦金屬氧化後之 N_2O 電漿處理。以下將為本論文的結果，做幾個總結：

(i) N_2^+ 離子佈植的確改善了鈷鈦酸電容在氧化溫度為 850 度及 900 度時的特性，無論是電容或是漏電流的表現，皆優於未經處理的樣本。其原因主要為氮處理抑制了鈷鈦酸高溫結晶的產生，使電容元件的漏電途徑減少。相反地， N_2^+ 離子佈植對鈷鈦酸電容卻無改善的效果。主要原因是鈷金屬在高溫環境下容易擴散，使得漏電流劇增，而造成 N_2^+ 佈植所帶來的影響並不顯著。所以在整體的比較上，以鈷鈦酸電容，850 度氧化 10 分鐘，經劑量 $2E14 \text{ cm}^{-3}$ N_2^+ 離子佈植的樣本，有最好的特性表現。

(ii) N^+ 離子佈植的劑量越高，對於抑制鈷鈦酸薄膜結晶的效果越佳，因而表現出越小的漏電流。不過當佈植劑量大到 $2E15 \text{ cm}^{-3}$ 時，反倒會使電容值有衰退的現象，且造成大量的固定電荷產生，影響了平帶電壓的值，這是值得注意的地方。

在考量所有的因素之後，本人建議以 $2E14\text{ cm}^{-3}$ 的佈植劑量，來進行 N^+ 離子佈植的製程最為恰當。

(iii) N_2O 電漿氧化後處理，填補修復了鈷鈦酸介電層中的氧空缺，使薄膜結構更加完整緻密，加上少量氮原子有抑制結晶的效果，因此在電容值及漏電流等電性的表現上，都有明顯的改善。而其中以功率為 15W 進行 N_2O 電漿處理，在所有的條件中，顯現出最理想的特性。

5.2 未來工作與建議

本次研究，利用氮處理的方式，雖然對鈷鈦酸介電層電容元件的特性有明顯的改善，不過仍顯不足，由其在崩潰電壓的表現上，還有很大的進步空間。因此本人在此提供幾個建議，給予後續欲研究此題目的人，作為參考。(1) N_2^+ (或 N^+) 的佈植能量能調更低，使介電層內的氮含量能提高，且減少缺陷的產生。(2) 建議保留成長濕式氧化層的步驟，以減少金屬蝕刻對 corner 的地方造成過多缺陷。(3) 嘗試搭配 N_2^+ (或 N^+) 離子佈植及 N_2O 電漿處理，雙管齊下，以獲得更佳的元件特性。

參考文獻

1. <http://www.intel.com/>.
2. **International Technology Roadmap for Semiconductors**, 1999 and 2001.
3. S. M. Sze, “**Physics of Semiconductor Devices**”, Second printing , July, pp.469-486.
4. Yuan Taur, Tak H. Ning, “**Fundamentals of Modern VLSI Devices**”, First published 1998, Reprinted 1999, pp.161, 187.
5. Mark I. Gardner, Sundar Gopalan, Jim Gutt, Jeff Peterson, Hong-Jyh Li, and Howard R. Huff, “**EOT Scaling and Device Issue for High-k Gate Dielectrics**”, IWGI 2003.
6. Tung Ming Pan, Tan Fu Lei, and Tien Sheng Chao, “**Comparison of ultrathin CoTiO₃ and NiTiO₃ high- k gate dielectrics**”, JOURNAL OF APPLIED PHYSICS”, VOLUME 89, NUMBER 6, pp.3447-3452, 15 MARCH 2001.
7. Tung Ming Pan and Tan Fu Lei, “**High- k cobalt–titanium oxide dielectrics formed by oxidation of sputtered Co/Ti or Ti/Co films**”, APPLIED PHYSICS LETTERS, VOLUME 78, NUMBER 10, pp.1439-1441, 5 MARCH 2001.
8. Tung Ming Pan, Tan Fu Lei, Tien Sheng Chao, Kuo Lih Chang, and Kuang Chien Hsieh, ” **High Quality Ultrathin CoTiO₃ High-k Gate Dielectrics**”, Electrochemical and Solid-State Letters, 3 (9) pp.433-434 (2000).
9. Jack C. Lee, H. J. Cho, C. S. Kang, S. J. Rhee, Y. H. Kim, R. Choi, C. Y. Kang, C. H. Choi, M. Akbar, “**High-K Dielectrics and MOSFET Characteristics**”, 2003 IEDM, pp.4.4.1 - 4.4.4.
10. B Guillaumot, X Garros, F Lime, K Oshima, B Tavel, P Masson et al... , “**Metal Gate and High-k Integration for Advanced CMOS Devices (Invited paper)**”,

2003 IEEE, pp.56-60

11. W.Vandervorst, B.Brijs, H.Bender, O.T.Conard, J.Petry, O.Richard, S.Van Elshocht, A.Delabie, M.Caymax, S.De Gendt, V.Cosnier, M.Green, J.Chen, **“Physical characterization of ultrathin high k dielectrics”**, 2003 IEEE, pp.40-50.
12. E.P.Gusev, D.A.Buchanan, E.Cartier, A.Kumar, D.DiMaria, S.Guha, A.Callegari, S.Zafar et al..., **“Ultrathin high-k gate stacks for advanced CMOS devices”**, 2001 IEDM, pp.451-454.
13. .S.J.Lee, C.H.Lee, Y.H.Kim, H.F.Luan, W.P.Bai, T.S.Jeon, D.L.Kwong, **“High-K Gate Dielectrics for Sub-100nm CMOS Technology”**, 2001 IEEE, pp.303-308.
14. G.C.F. Yeap, S.Krishnan and Ming-Ren Lin, **“Fringing-induced barrier lowering (FIBL) in sub-100nm MOSFETs with high-K gate dielectrics”**, ELECTRONICS LETTERS, 28th May 1998, vol.34, No.11, pp.1150-1152.
15. Fu-Chien Chiu, Jenn-Jyh Wang, Joseph Ya-min Lee, and Shich Chuan Wu, **“Leakage currents in amorphous Ta₂O₅ films”**, J. Appl. Phys. 81(10), 15 May 1997, pp.6911-6915.
16. A.Paskaleva, E.Atanassova, T.Dimitrova, **“Leakage currents and conduction mechanisms of Ta₂O₅ layers on Si obtained by RF sputtering”**, Vacuum 58 (2000) pp.470-477.
17. Tung Ming Pan, , Tan Fu Lei, Huang Chun Wen, and Tien Sheng Chao, **“Characterization of Ultrathin Oxynitride (18–21 Å) Gate Dielectrics by NH₃ Nitridation and N₂O RTA Treatment”**, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 48, NO. 5, MAY 2001, pp.907-912.
18. Chih-Wei Yang, Yean-Kuan, Shih-Fang Chen, Chun-Yu Lin, Ming-Fang Wang, Yeou-Ming Lin, Tuo-Hung Hou, Liang-Gi Yao, Shih-Chang Chen and

- Mong-Song Liang , **“Effective improvement of high-k Hf-silicate / silicon interface with thermal nitridation”** , ELECTRONICS LETTERS 6th March 2003 vol.39 No.5, pp.421-423.
19. S.Inumiya, K. Sekine, S. Niwa, A. Kaneko, M. Sato, T.Watanabe, H. Fukui, Y. Kamata, M. Koyama, A. Nishiyama, M.Takayanagi, K. Eguchi and Y. Tsunashima, **“Fabrication of HfSiON gate dielectrics by plasma oxidation and nitridation, optimized for 65nm node low power CMOS applications”**, Symp. VLSI Tech. 2003, pp.17-18.
20. Katsuyuki Sekine, Seiji Inumiya, Motoyuki Sato, Akio Kaneko, Kazuhiro Eguchi and Yoshitaka Tsunashima, **“Nitrogen Profile Control by Plasma Nitridation Technique for Poly-Si Gate HfSiON CMOSFET with Excellent Interface Property and Ultra-low Leakage Current”**, 2003 IEDM, pp.4.6.1 - 4.6.4.
21. T. Watanabe, M. Takayanagi, R. Iijima, K. Ishimaru, H. Ishiuchi and Y. Tsunashima, **“Design guideline of HfSiON gate dielectrics for 65 nm CMOS generation”**, Symp. VLSI Tech. 2003, pp.19-20.
22. A. Kaneko, Y. Kamata, M. Ono, M. Koyama, A. Nishiyama, Y.Kamimuta, C.Hongo, A. Takashima, D. Gao, S. Inumiya, K.Eguchi and M. Takayanagi, **“Plasma nitridation technique for the formation of thermally stable Hf-silicate gate dielectric with controlled nitrogen profile”** Ext. Abst. of SSDM, 2002, pp.742.
23. A. L. P. Rotondaro, M. R. Visokay, J. J. Chambers, A. Shanware, R. Khamankar, H. Bu, R. T. Laaksonen, L. Tsung, M. Douglas, R. Kuan, M. J. Bevan, T. Grider, J. McPherson, L. Colombo, **“Advanced CMOS Transistors with a Novel HfSiON Gate Dielectric”**, Symp. VLSI Tech. 2002, pp.148-149.
24. A. Shanware, J. McPherson, M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro,

- H. Bu, M. J. Bevan, R. Khamankar, L. Colombo, “**Reliability evaluation of HfSiON gate dielectric film with 12.8 Å SiO₂ equivalent thickness**”, IEDM Tech. Dig. 2001, pp.137-140.
25. Jer Chyi Wang, De Ching Shie, Tan Fu Lei, and Chung Len Lee, “**Characterization of Temperature Dependence for HfO₂ Gate Dielectrics Treated in NH₃ Plasma**”, Electrochemical and Solid-State Letters, 6 (10) pp.F34-F36 (2003).
26. Masato Koyama, Akio Kaneko, Tsunehiro Ino, Masahiro Koike, Yoshiki Kamata, Ryosuke Iijima, Yuichi Kamimuta, Akira Takashima, Masamichi Suzuki, Chie Hongo, Seiji Inumiya, Mariko Takayanagi and Akira Nishiyama, “**Effects of Nitrogen in HfSiON Gate Dielectric on the Electrical and Thermal Characteristics**”, 2002 IEDM, pp.849-852.
27. Chang Seok Kang, H.-J. Cho, K. Onishi, R. Choi, Y. H. Kim, R. Nieh, J. Han, S. Krishnan, A. Shahriar, and Jack C. Lee, “**Nitrogen Concentration Effects and Performance Improvement of MOSFETs Using Thermally Stable HfO_xN_y Gate Dielectrics**”, 2002 IEDM, pp.865-868.
28. Hyung-Seok Jung, Yun-Seok Kim, Jong Pyo Kim, Jung Hyoung Lee, Jong-Ho Lee, Nae-In Lee, Ho-Kyu Kang, Kwang-Pyuk Suh, Hyuk Ju Ryu, Chang-Bong Oh, Young-Wug Kim, Kyung-Hwan Cho, Hion-Suck Baik, Young Su Chung, Hyo Sik Chang and Dae Won Moon, “**Improved Current Performance of CMOSFETs with Nitrogen Incorporated HfO₂-Al₂O₃ Laminate Gate Dielectric**”, 2002 IEDM, pp.853-856.
29. Y. Morisaki, T. Aoyama, Y. Sugita, K. Irino, T. Sugii, and T. Nakamura, “**Ultra-thin ($T_{\text{eff}}^{\text{inv}} = 1.7 \text{ nm}$) Poly-Si-gated SiN/HfO₂/SiON High-k Stack Dielectrics with High Thermal Stability (1050° C)**”, 2002 IEDM, pp.861-864.
30. C. H. Choi, S. J. Rhee, T. S. Jeon, N. Lu, J. H. Sim, R. Clark, M. Niwa and D. L.

- Kwong, **“Thermally Stable CVD HfO_xN_y Advanced Gate Dielectrics with Poly-Si Gate Electrode”**, 2002 IEDM, pp.857-860.
31. D. Ishikawa, S. Sakai, K. Katsuyama, and A. Hiraiwa, **“Nitride-sandwiched-oxide gate insulator for low power CMOS”**, 2002 IEDM, pp.869-872.
32. Hag-Ju Cho, Chang Seok Kang, Katsunori Onishi, Sundar Gopalan, Renee Nieh, Rino Choi, Siddarth Krishnan, and Jack C. Lee, **“Structural and Electrical Properties of HfO₂ With Top Nitrogen Incorporated Layer”**, IEEE ELECTRON DEVICE LETTERS, VOL. 23, NO. 5, MAY 2002, pp.249-251.
33. Hong Bae Park, Moonju Cho, Jaehoo Park, and Cheol Seong Hwang, **“Effects of plasma nitridation of Al₂O₃ interlayer on thermal stability, fixed charge density, and interfacial trap states of HfO₂ gate dielectric films grown by atomic layer deposition”**, JOURNAL OF APPLIED PHYSICS, VOLUME 94, NUMBER 3, 1 AUGUST 2003, pp.1898-1903.
34. Chihoon Lee, Jihoon Choi, Moonju Cho, Jaehoo Park, Cheol Seong Hwang, and Hyeong Joon Kim, **“Arsenic penetration behavior and electrical characteristics of As-doped n⁺ polycrystalline-silicon/high- k gate dielectric (HfO₂ and Al₂O₃) films on Si (100)substrate”**, APPLIED PHYSICS LETTERS, VOLUME 83, NUMBER 7, 18 AUGUST 2003, pp.1403-1405.
35. Moonju Cho, Hong Bae Park, Jaehoo Park, and Cheol Seong Hwang, **“Thermal annealing effects on the structural and electrical properties of HfO₂ / Al₂O₃ gate dielectric stacks grown by atomic layer deposition on Si substrates”**, JOURNAL OF APPLIED PHYSICS, VOLUME 94, NUMBER 4, 15 AUGUST 2003, pp.2563-2571.
36. Ben G. Streetman, Sanjay Banerjee, **“SOLID STATE ELECTRONIC DEVICES”**, FIFTH EDITION, pp.269.

37. Wai Shing Lau, Merinnage Tamara Chandima Perera, Premila Babu, Aik Keong Ow, Taejoon Han, Nathan P.Sandler, Chih Hang Tung, Tan Tsu Sheng and Paul K.Chu, **“The Superiority of N₂O Plasma Annealing over O₂ Plasma Annealing for Amorphous Tantalum Pentoxide (Ta₂O₅) Films”**, Jpn. J. Appl. Phys. Vol.37 (1998) pp.L435-L437 Part2, No.4B, 15 April 1998.
38. S.Kamiyama, H.Suzuki, H.Watanabe, A.Sakai, M.Oshida, T.Tatsumi, T.Tanigawa, N.Kasai, A.Ishitani, **“Ultra-Thin TiN/Ta₂O₅/W Capacitor Technology for 1Gbit DRAM”**, 1993 IEDM, pp.49-52.
39. S.C.Sun and T.F.Chen, **“Leakage Current Reduction in Chemical-Vapor-Deposited Ta₂O₅ Films by Rapid Thermal Annealing in N₂O”**, IEEE ELECTRON DEVICE LETTERS, VOL.17, NO.7, JULY 1996, pp.355-357.
40. S.C.Sun and T.F.Chen, **“A New Post-Deposition Annealing Method Using Furnace N₂O for the Reduction of Leakage Current of CVD Ta₂O₅ Storage Capacitors”**, 1996 IEDM, pp.687-690.
41. W.K.Choi, L.S.Tan, J.Y.Lim, S.G.Pek, **“Electrical characterization of RF sputtered tantalum oxide films rapid thermal annealed with Ar, N₂, O₂ and N₂O”**, Thin Solid Films 343-344 (1999), pp.105-107.
42. Sanghun Jeon, Chel-Jong Choi, Tae-Yeon Seong, and Hyunsang Hwang, **“Electrical characteristics of ZrO_xN_y prepared by NH₃ annealing of ZrO₂”**, APPLIED PHYSICS LETTERS, VOLUME 79, NUMBER 2, 9 JULY 2001, pp.245-247.

作者簡介

姓名：黃宗彬 Tzung-Bin Huang

性別：男

籍貫：台灣省宜蘭縣

學歷：國立交通大學電子物理研究所碩士班

私立中原大學物理學系

國立宜蘭高級中學

論文題目：利用氮處理改善鈷鈦酸高介電閘極氧化層

Nitrogen Treatment on CoTiO_3 High-k Gate Dielectrics

指導教授：趙天生 博士

