

第四章 共閘差動式 E 類功率放大器 設計、模擬和佈局

4.1 CMOS 製程的高頻元件模型和限制

近幾年來，隨著金氧半場效電晶體的長足進展，使得 CMOS 製程技術更趨成熟，主動元件的截止頻率也都能夠達到高頻的要求，以本篇論文所使用的台積電 0.18 μm CMOS 製程為例，其截止頻率以高達 45GHz，足以用來設計高頻電路，因此採用 CMOS 製程來設計高頻電路已逐漸成為趨勢。

在設計 IC 電路時，一般是由晶圓廠提供相關的元件模型供我們使用，以電晶體來說，其中包含了小訊號模型、大信號模型和 RF 模型，而進行模擬時，則將這些廠商提供的元件模型，套入模擬軟體中。同樣的，在做佈局時也必需遵守晶圓場所提供的設計準則（DRC）去做電路的佈局，如此才能保證製作出來的元件特性和模擬的結果相似。當然有時候晶圓場提供的元件不一定能滿足我們的需求，此時就必需藉由下測試電路（test key）來得到符合我們需求的高頻元件模型，下面我們將介紹在高頻電路上常用到的元件模型[20, 21]。

4.1.1 電晶體高頻元件

為了使電晶體能在高頻正常工作，符合元件的高頻操作特性，如截止頻率（cut-off frequency）、雜訊指數（noise figure）、功率增益截止頻率（ f_{max} ）、絕緣度（isolation）等，在設計電晶體佈局時有一些方法可以達到要求：

1. 因為雜訊指數、功率增益截止頻率和閘極電阻成正比，因此在電晶體佈局上採用多指叉狀 (multifinger) 的佈局方式 (圖 4.1)，以降低閘極電阻。

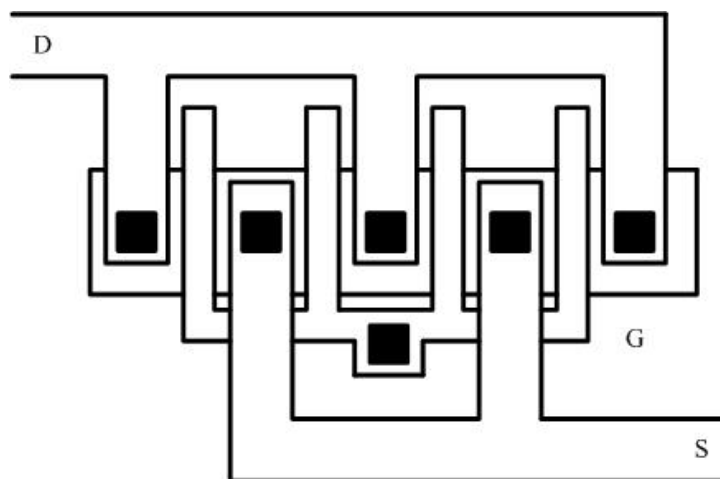


圖 4.1 多指叉狀佈局示意圖

2. 關於元件的截止頻率，降低 C_{gs} 可以提高截止頻率，同時降低 C_{gd} 可以提高隔離度，所以在佈局時，減少閘極端與源極端和汲極端的重複跨接部分，可降低 C_{gs} 和 C_{gd} 。

圖 4.2 附上電晶體高頻模型，以供參考。

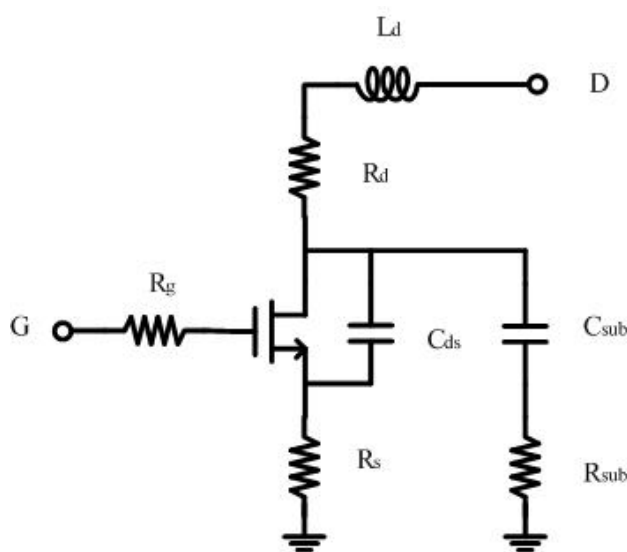


圖 4.2 電晶體高頻等效模型圖

4.1.2 電感的高頻模型

在無線通訊電路的 IC 設計中，最常使用的電感就是平面螺旋式電感 (spiral inductor)，但其 Q 值不高，和耗費晶片面積過大的缺點是一直為人所詬病的，而在功率放大器的設計中，因為輸出端的瞬間峰值電流極大，所以在螺旋式電感的使用上，就又多了電流負載能力限制，因此一般在設計功率放大器時，輸出端電感通常都會採用外接元件的方式來達成。在本篇論文中，會使用到的電感主要分為下面兩類：

1. 螺旋電感：

在目前的 CMOS IC 製程中使用最頻繁的電感，可是其 Q 值始終維持在 10 以下，所以寄生電感效應嚴重，造成能量的嚴重損耗。圖 4.3 為一標準單層螺旋電感的模型和等效電路，電感在 IC 製程中大多選用較上層的金屬層，以減少跟接地間的電容耦合，此外有些製程還提供較厚的金屬層，以減少螺旋電感內部的寄生電感和容納更多的電流通過。

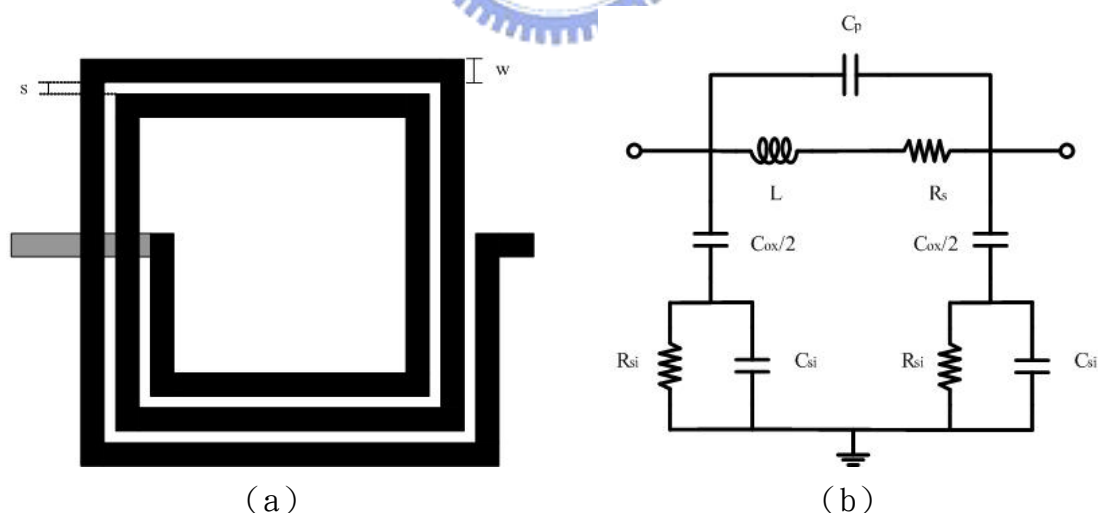


圖 4.3 單層螺旋電感

(a) 示意圖

(b) 等效電路

2. 導線寄生電感 (bonding wire inductor)

目前的 IC 標準製程尚無法提供高 Q 值的電感，因此若需要高 Q 值的電感，則必需使用導線寄生電感或是外接式電感，因為導線寄生電感其本身寄生的電阻非常低，所以有較高的 Q 值，根據[22]的公式預估，一般的導線寄生電感其感值約為 1nH/mm，圖 4.4 為其等效模型。

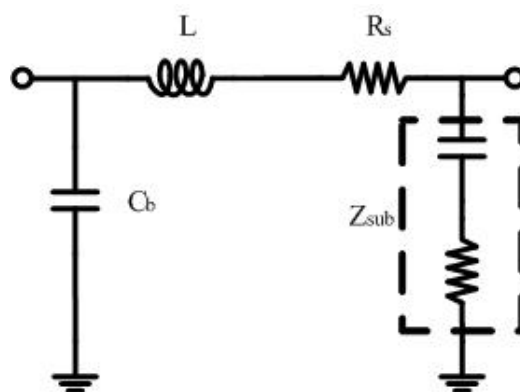


圖 4.4 連接導線電感等效模型圖

4.1.3 電容的高頻模型

在 CMOS 製程中提供了許多可供使用的電容如多晶矽與多晶矽絕緣電容 (PIP)、二極體電容 (Junction capacitor)、電晶體式電容 (MOS capacitor) 和金屬與金屬絕緣電容 (MIM)，其中金屬和金屬絕緣電容是利用很接近的兩層金屬層，因此可獲得較高的電容值，且金屬與金屬絕緣電容的 Q 值在各類電容中也屬最佳，所以在本篇論文中，全都採用金屬與金屬絕緣電容來供給設計中的需要。

4.2 共閘差動式 E 類功率放大器的規格和電路架構

在第三章中，我們推導出單端 E 類功率放大器的設計公式，並以微波板電路驗證了公式的正確性，而得到的結果在本章中亦適用，利用第三章中所推導的單端 E 類功率放大器設計公式，可以將其使用在共閘差動式 E 類功率放大器的設計

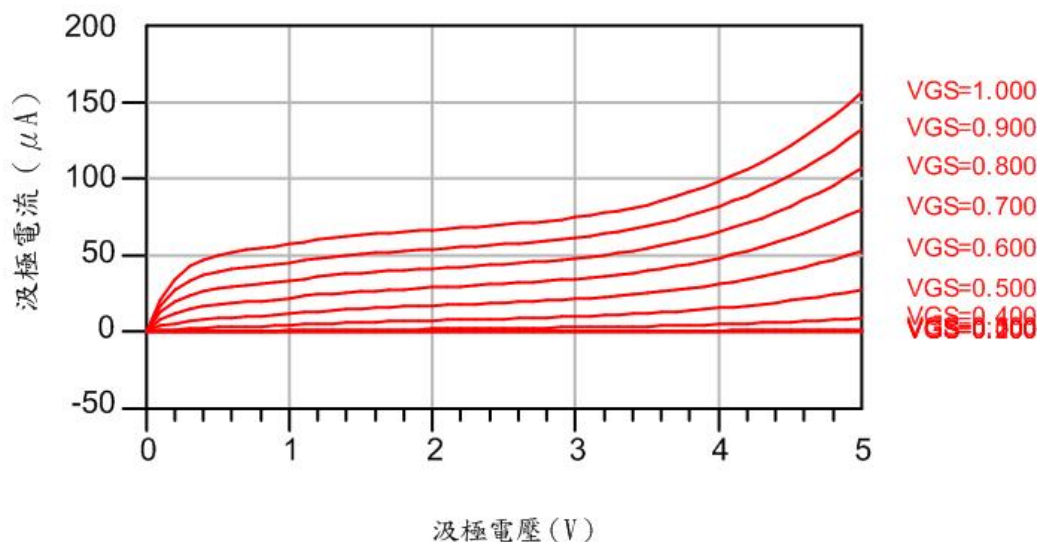
之中，而高頻電路板實作中所獲得的電路設計經驗，則可以對電路進行一些設計上的修正，最後我們將在 IC 上實現此共閘差動式的 E 類功率放大器。

4.2.1 共閘差動式 E 類功率放大器的規格

本電路設計主要是應用在 2.4GHz 的藍芽系統中，藍芽系統使用的是跳頻式展頻技術，每一個頻道的最大頻寬為 1MHz，共有 79 個頻道，故藍芽系統實際頻寬總共為 79MHz，在任一時間點上只需要 1MHz 頻寬。而關於 E 類功率放大器輸出功率的要求，我們希望可以滿足現今藍芽系統的主流 class 1 的規格要求，也就是為了能達到 100 公尺的通訊距離，功率放大器的輸出功率必需設計為 100mw(20dBm)，而在考慮了輸出端串接的天線和其內部電路所造成的衰減之後，希望可以將輸出功率設計成大於 22dBm 的輸出功率，以符合藍芽系統所要求的規格[23]。



V_{dd} 選取，則必需確保電晶體能工作在我們所要求的區間中，且不會有崩潰的現象發生，圖 4.5 顯示了台積電 $0.18\mu\text{m}$ CMOS 製程下電晶體的 I-V 曲線模擬圖，為了顧及輸出功率的考量， V_{dd} 不能太低，而要避免電晶體進入破壞性崩潰區域， v_d 又不能超過崩潰電壓，所以如何在不超過崩潰電壓點的情況下，獲得最好的輸出功率，就是我們必需去取捨的地方，最後我們將崩潰電壓設定為 3.5V。在 (3.48) 式中，我們利用一些理想的假設，推導得到 $v_{d,max} \approx 3.562 \cdot V_{dd}$ ，但在考慮了實際的製程和電路的衰減之後，可以將其修正為 $v_{d,max} \approx 2.5 \cdot V_{dd}$ ，為了確保電晶體在任何時候都可以安全的正常操作，所以在設計時需使的 $v_{d,max}$ 在任何時刻都要小於崩潰電壓，利用前面的結果， $V_{break-down} = 3.5V$ ，則我們可以得到 $V_{dd} = 1.4V$ 。表 4.1 將列出我們在設計時所要符合的基本規格。

圖 4.5 台積電 0.18 μm CMOS 製程下電晶體的 I-V 曲線模擬圖

規格	參數	規格	參數
頻率 (f)	2.4GHz	工作電壓 (V _{dd})	1.4V
輸出功率 (P _{out})	22dBm	偏壓點 (V _g)	0.5V

表 4.1 共閘差動式 E 類功率放大器的基本規格表

4.2.2 共閘差動式 E 類功率放大器的電路架構

圖 4.6 為本論文所設計的共閘差動式 E 類功率放大器的電路架構，下面我們將詳細討論此電路中各細部的架構和使用的理由。

1. 雙級放大架構 (Two-stage):

為了使的輸出信號可以達到我們所要求的大小，通常功率放大器都會設計成雙級放大器的架構，第一級放大器在於提供足夠大的增益，而第二級放大器則是將其設計為提供足夠大的最大輸出功率。但是對於 E 類功率放大器而言，第一級放大器除了提供足夠大的增益之外，還具備了另外兩項功

能：

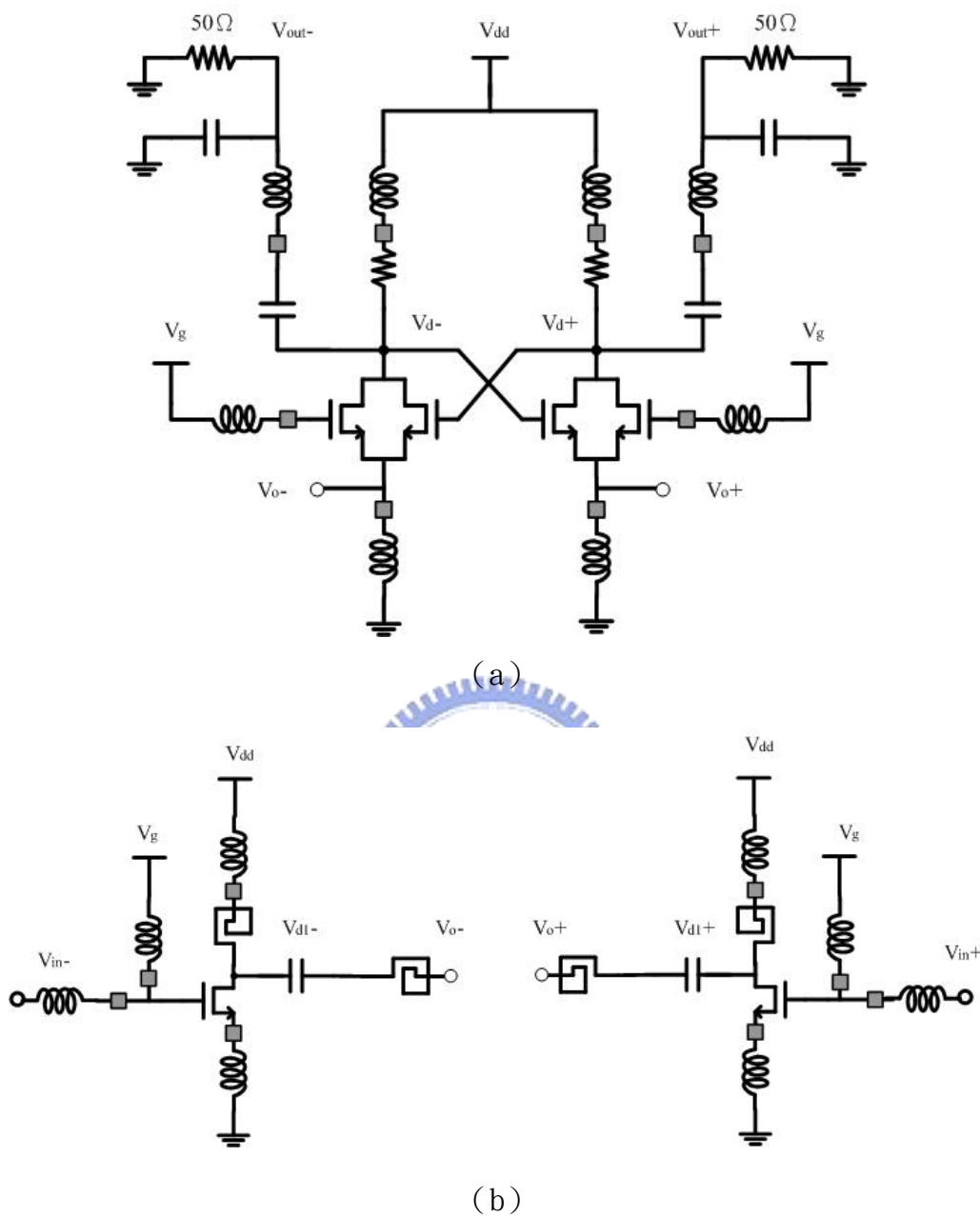


圖 4.6 共開差動式 E 類功率放大器的電路架構圖

(a) 第二級功率放大器

(b) 第一級功率放大器

(a) 為了使的第二級放大器能達到正常的工作狀態，第一級放大器的輸出信號需提高到足以將第二級放大器的電晶體操作在三極區間所需的電壓。

- (b) 以輸入信號來說，通訊系統上的訊號大多是弦波信號，但對於非線性功率放大器來說，當輸入開極的電壓波為方波時，可以得到較佳的效能，所以第一級放大器也可以提供將弦波信號整流的功能，使進入 E 類功率放大器的輸入信號能更接近方波。

2. 差動模態 (Differential mode):

在本設計中，我們採用差動模態的架構，主要的理由有以下兩點[9]：

- (a) 可以減少基板雜訊 (substrate noise) 的問題，事實上在差動模態的架構中，電流會被以每週期兩倍的速率放電到地，因此可以將基板雜訊的部分排除到兩倍操作頻率處，其結果將大大減少機板雜訊的干擾。
- (b) 在相同供給電壓和輸出功率的情況下，使用差動模態架構時，通過每一個開關的電流會小於使用單端功率放大器架構時流過開關的電流。從 (4.1) 式中可以發現，這樣的現象將會造成，差動模態功率放大器可以在不用增加全部開關功率損耗的情況下，選擇較小的電晶體。

$$P_{\text{loss}} = I \cdot R_{\text{on}}$$

$$\Rightarrow I \downarrow \Rightarrow R_{\text{on}} \uparrow \Rightarrow g_m \downarrow \Rightarrow w \downarrow$$

(4.1)

然而差動模態也有其本身的限制，通常若電路中單單只有差動模態架構時，則此時電路將無法滿足電晶體輸入端的驅動需求。

3. 交錯耦合技術 (Cross-couple or Mode-locking Technique):

為了解決單獨使用差動模態架構的問題，特別提出了交錯耦合的技術。交錯耦合架構是一種正迴授的自振電路，而它在此電路中所具備的特色說明

如下[9]：

- (a) 它可以強迫電路操作在和輸入信號相同的頻率上，以此大量的減少輸入端的驅動需求。
- (b) 圖 4.7 (a) 中所示為一差動模態交錯耦合架構電路，圖 4.7 (b) 為其工作時的操作狀態，其中 V_{in1} 和 V_{in2} 的大小相同相位差 180 度， V_{o1} 和 V_{o2} 亦是相同的狀況。在設計負載阻抗時，需使的 V_{in1} 和 V_{o2} 在相同的相位，如此才能使的左半電路的兩開關，可以始終維持在同時打開和同時關閉的狀態，右半電路亦同。
- (c) 若將差動模態架構分為兩半電路來考慮，則其操作狀態除了下列的兩點之外，將非常相似於第三章的單端 E 類功率放大器：
- 在單端 E 類功率放大器中，原本應該流經負載的電流，在差動模態交錯耦合架構，將被用來維持另一半電路中開關的操作狀態。
 - 在此電路中每一個輸入端的寄生電容將在不會增加任一開關寄生電阻的情況下，被大量的減少。

關於使用差動模態交錯耦合架構電路時電晶體的選擇，則需注意下列兩點：

- (a) 電晶體尺寸 $\uparrow \Rightarrow$ 電晶體寄生電阻 $\downarrow \Rightarrow$ Power loss \downarrow

$$(b) \quad \frac{1}{r_{on}} = g_m \propto \frac{W}{L}$$

$$\Rightarrow W \downarrow \Rightarrow g_m \downarrow \Rightarrow r_{on} \uparrow \Rightarrow C \downarrow$$

(4.2)

其中 C 為電晶體輸入端的寄生電容，所以若電晶體的尺寸變小，則可降低輸入端的驅動需求。

由上面兩點可知，無論電晶體如何取捨，都各有利弊，所以在設計時應視電路的需求去取捨，找出最適合尺寸。

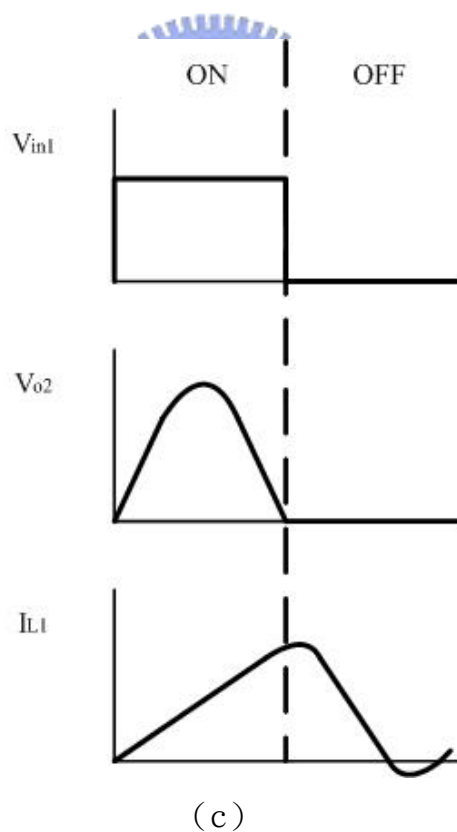
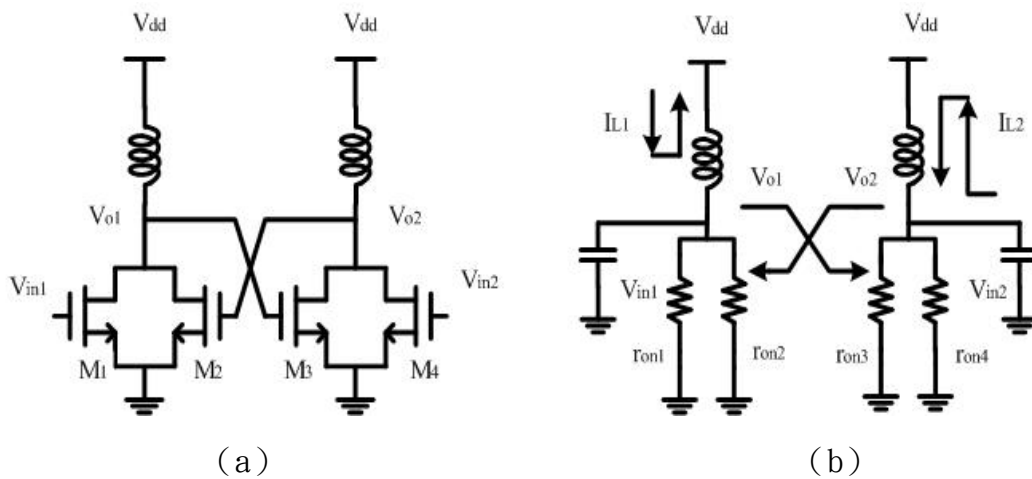


圖 4.7 差動模態交錯耦合電路架構圖

(a) 電路架構圖

(b) 操作示意圖

(c) 電壓電流波形圖

4. 共閘模態 (common gate mode):

不同於一般傳統的非線性功率放大器輸入信號是由閘極端輸入 (如圖 3.2), 圖 4.8 顯示一共閘 E 類功率放大器的基本架構, 其輸入信號是由源極端輸入, 從圖 4.9 中共源和共閘功率放大器的電壓電流波形比較可知, 兩種功率放大器的有效供給電壓 (The effective supply voltage) 即供給電壓扣除消耗在電晶體導通電阻上的電壓的結果分別為 [24, 25]:

$$V_{\text{effective,cs}} = V_{\text{dd}} - V_{\text{Ron}} \quad (4.3)$$

$$V_{\text{effective,cg}} = V_{\text{dd}} - V_{\text{Ron}} + V_{\text{signal}} \quad (4.4)$$

在說明 (4.3) 和 (4.4) 式之前, 我們先利用 3.2.2 的公式推導結果, 來做一些計算,

當電晶體導通時, 流經電晶體的電流 i_d 為

$$i_d = I_D - \frac{V}{R_L} \cdot \sin(\vartheta + \varphi) \quad (4.5)$$

則電晶體導通時的功率損耗即為

$$\begin{aligned} P_{\text{ron}} &= \frac{1}{2\pi} \cdot \int_{\pi}^{2\pi} (r_{\text{on}} \cdot i_d^2) d\vartheta \\ &= \frac{r_{\text{on}}}{2\pi} \cdot \left(\pi \cdot I_D^2 + \frac{4V \cdot I_D \cdot \cos \varphi}{R_L} + \frac{\pi \cdot V^2}{2R_L^2} \right) \end{aligned} \quad (4.6)$$

利用 (4.4) 和 (3.20) 式, 則可以列出功率的公式如下:

$$\begin{aligned} \eta &= \frac{P_o}{P_{\text{DC}}} = \frac{P_{\text{DC}} - P_{\text{ron}}}{P_{\text{DC}}} = 1 - \frac{P_{\text{ron}}}{P_{\text{DC}}} \\ &= 1 - \left(\frac{r_{\text{on}} \cdot I_D}{2V_{\text{dd}}} + \frac{2V \cdot r_{\text{on}} \cdot \cos \varphi}{\pi R_L \cdot V_{\text{dd}}} + \frac{r_{\text{on}} \cdot \eta}{2R_L} \right) \end{aligned} \quad (4.7)$$

$$\Rightarrow \eta = \left[1 - \left(\frac{r_{on} \cdot I_D}{2V_{dd}} + \frac{2V \cdot r_{on} \cdot \cos \varphi}{\pi R_L \cdot V_{dd}} \right) \right] / \left(1 + \frac{r_{on}}{2R_L} \right) \quad (4.8)$$

對照 (3.20) 和 (4.5) 式，可以得到：

$$V^2 = 2R_L \cdot I_D \cdot V_{dd} \cdot \eta \quad (4.9)$$

假設

$$I_D = -\frac{V}{R_L} \cdot \sin \varphi \quad (4.10)$$

$$\Rightarrow V = -2 \cdot \sin \varphi \cdot V_{dd} \cdot \eta \quad (4.11)$$

將 (4.8) 和 (4.9) 式代入 (4.6) 式

$$\eta = \frac{1}{1 + \frac{r_{on}}{R_L} \cdot \left[\frac{1}{2} + \sin \varphi \cdot \left(\sin \varphi - \frac{4 \cos \varphi}{\pi} \right) \right]} \quad (4.12)$$

利用 3.2.3 節分析的結果， $\sin \varphi = \frac{-2}{\sqrt{4 + \pi^2}} = -0.567$ ，則

$$\eta \approx \frac{1}{1 + 1.4 \cdot \left(\frac{r_{on}}{R_L} \right)} \quad (4.13)$$

根據 (4.13) 的結果，我們可以從 (4.3) 和 (4.4) 式中發現兩個重要的優點：

- (a) (4.4) 式中的 $V_{\text{effective}}$ 會大於 (4.3) 式，而當 $V_{\text{effective}}$ 變大時，汲極端的電壓擺幅 (voltage swing) 亦會跟著有變大的機會，因此在汲極端電壓波形最大震幅 $V_{d, \max}$ 不超過電晶體崩潰電壓的限制下，輸出電壓可獲得較大的震幅。
- (b) 利用 (3.48) 式可以知道 $v_{d, \max} = 3.562 \cdot V_{dd}$ ，當 $V_{d, \max}$ 增加時， V_{dd} 亦

會伴隨著增加，根據 (3.47) 式中 $R_L = \frac{8V_{dd}^2}{(4 + \pi^2)P_{\text{out}}}$ 可知， R_L 也會跟

著 V_{dd} 增加而增加，最後從 (4.13) 式的結果可以得到：

$$v_{d,max} \uparrow \Rightarrow V_{dd} \uparrow \Rightarrow R_L \uparrow \Rightarrow \eta \uparrow \quad (4.14)$$

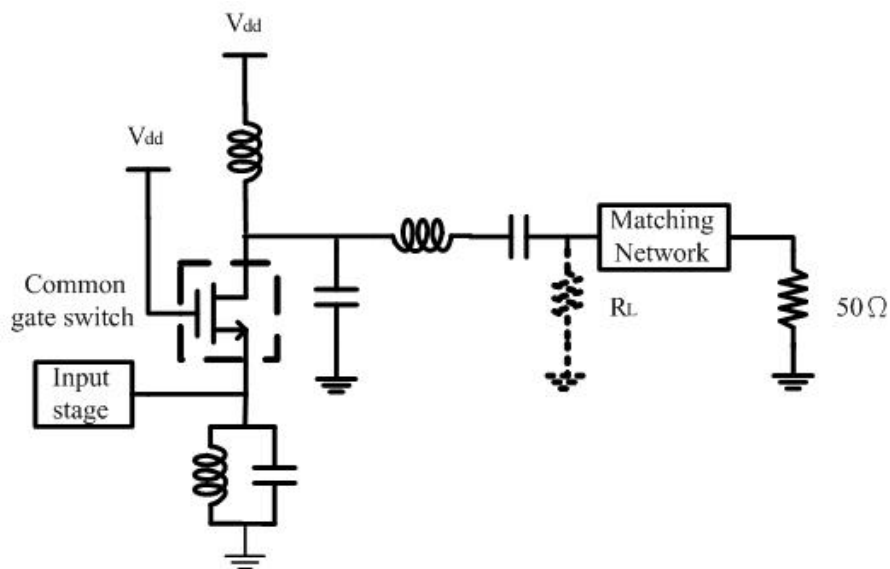


圖 4.8 共閘 E 類功率放大器的基本架構圖

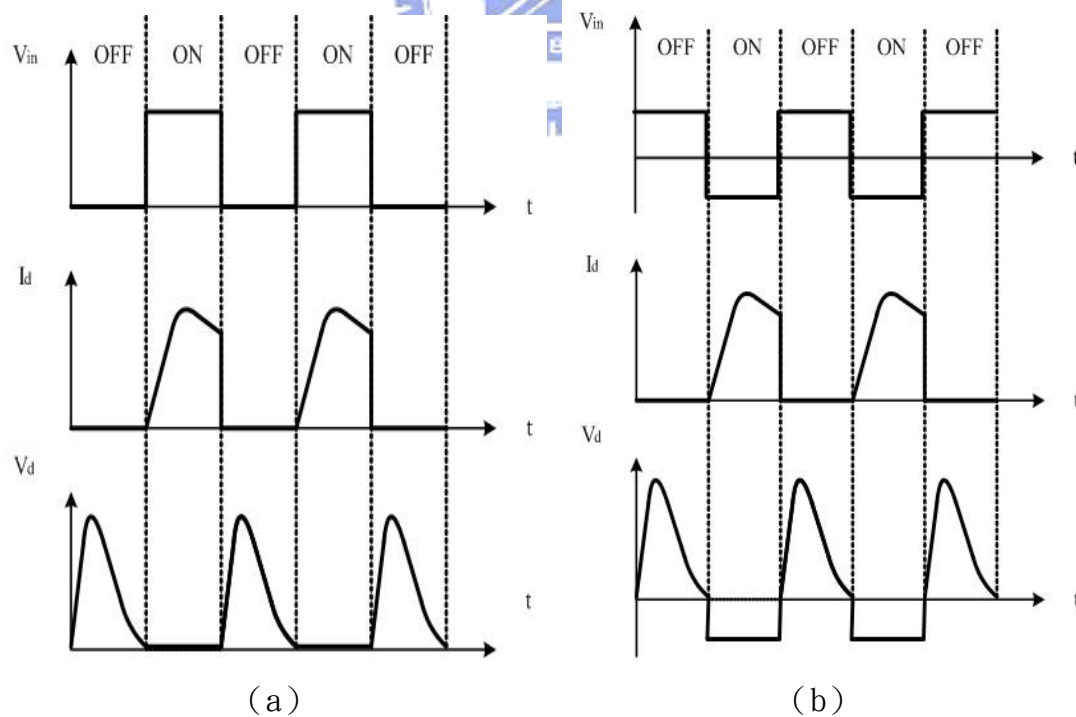


圖 4.9 電壓電流波形圖
 (a) 共源功率放大器
 (b) 共閘功率放大器

4.3 共閘差動式 E 類功率放大器的設計和模擬

從 4.2.2 節的討論中，決定了我們想要使用的電路架構，接著就是進行電路設計的流程，由於第二級放大器決定了輸出功率的大小，所以一般在設計時應先設計第二級的功率放大器，之後再逐步往前推進第一級功率放大器，利用中間級的網路匹配 (Interstage matching network) 將兩功率放大器進行串接，最後再設計輸入端的匹配網路，並找出最好的效能。

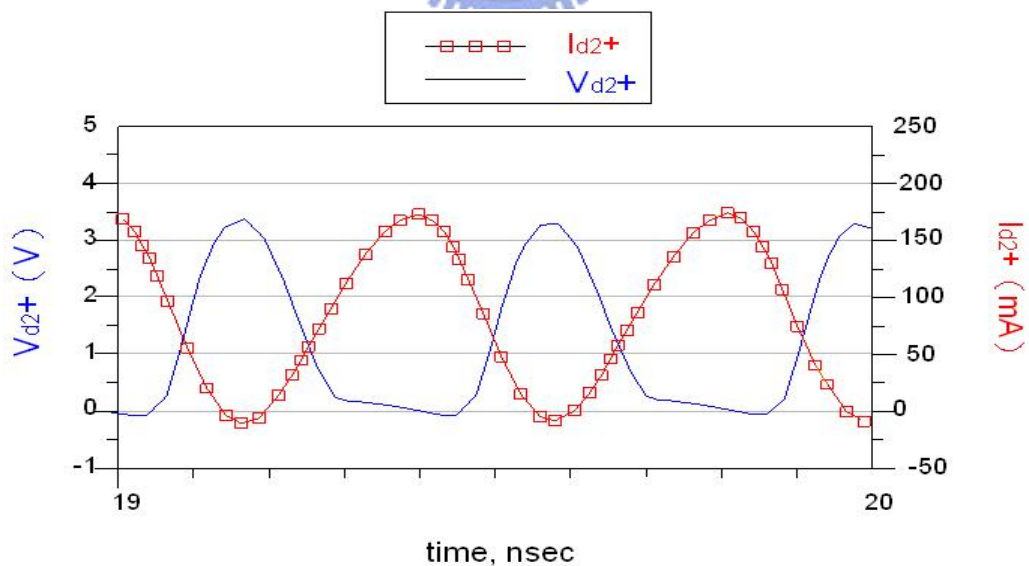
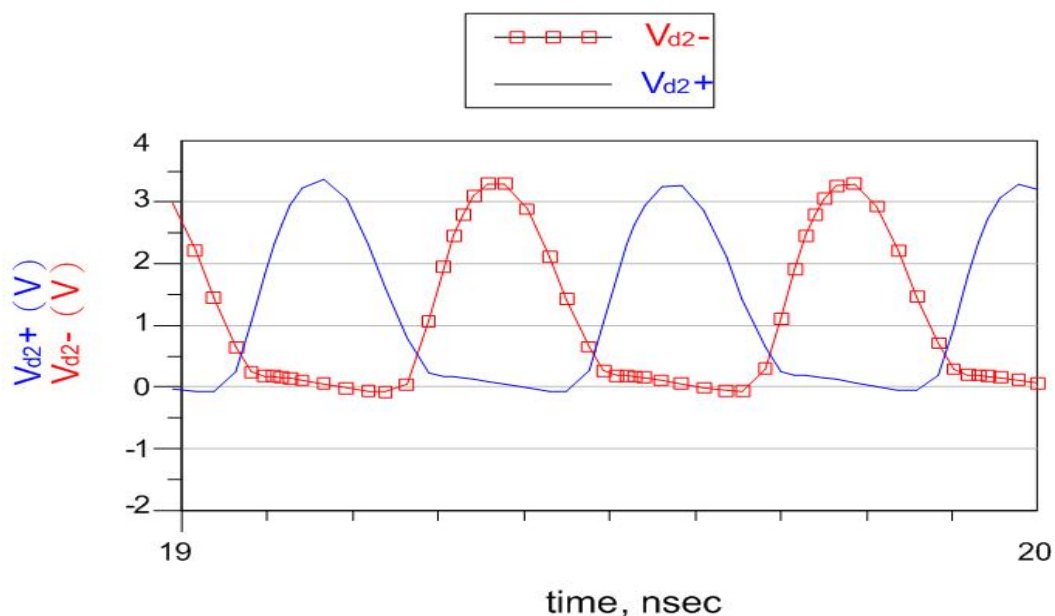
4.3.1 第二級 E 類功率放大器的設計和模擬

從第三章的討論和表 3.3 可以知道，功率放大器的設計時，最先要決定的就是負載的電阻，而從表 3.3 可以發現，負載電阻分別和 V_{dd} 、 P_{out} 相關，所以在設計前需先決定此兩參數的大小，在 4.2.1 節中，已經知道為了符合藍芽通訊系統的規格，我們分別將 P_{out} 和 V_{dd} 設計為 22dBm 和 1.4V，把 V_{dd} 和 P_{out} 代入表 3.3 的公式中，我們可以得到各元件的參考值。為了使的負載電阻可以匹配到下一級 50Ω 天線的輸入阻抗，所以在電路設計時，還需對各元件值進行微調的工作，以確保電路可以達到最好的效能。

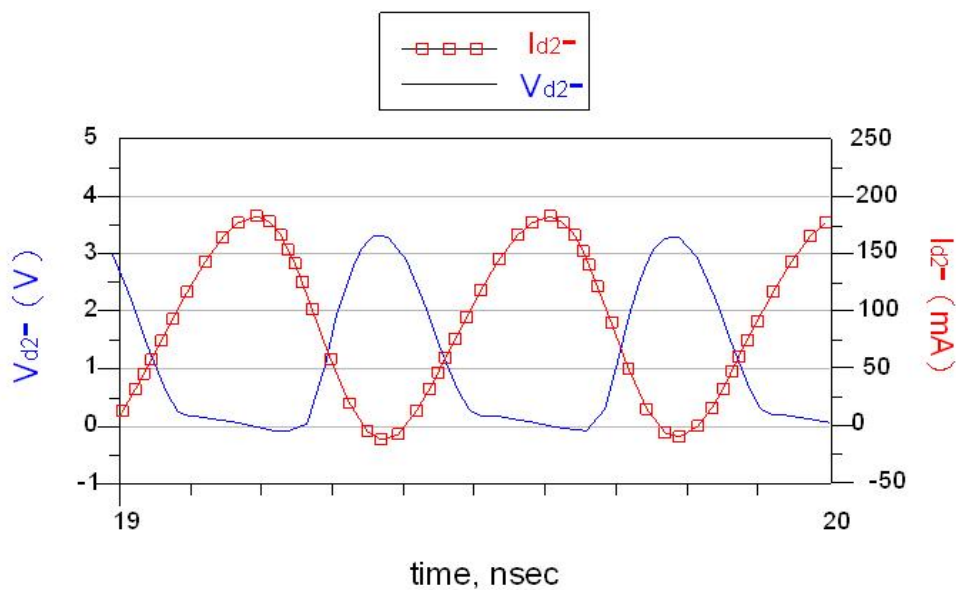
從圖 4.6 (a) 中可以發現在偏壓路徑上各串接了一顆電阻，這是根據上一章，微波電路板實作中所得到的結論，這樣的設計可以預防高頻震盪，但是卻必需付出大約 2-3% 的效率，所以設計者在使用時，需視電路的情況來決定串接電阻的大小，才能獲得最好的結果。

圖 4.10 為汲極端的電壓電流模擬波形圖，由圖 4.10 (a) 中可以證實，兩半電路汲極端的電壓信號為相位差 180 度，藉此控制對方半電路另一顆電晶體的操作行為，而為了使電晶體在操作時功率的損耗能降到最低，所以我們分別將汲極端電壓和電流的波形設計成如圖 4.10 (b) (c)，從圖中可看出電壓波形的

最大值約略低於 3.5V，保證操作在安全的工作範圍之中，而當電壓波形在最高時，電流波形則到達最低點，反之亦然，如此可使的電壓和電流波形中交錯的部分降低，以獲得最好的效率。



(b)



(c)

圖 4.10 汲極端電壓電流波形圖

(a) 兩半電路汲極端電壓波形

(b) 正相汲極端電壓電流波形

(c) 負相汲極端電壓電流波形

4.3.2 第一級 E 類功率放大器的設計

利用相同的方法，我們設計出第一級的 E 類功率放大電路，不過要注意的是，因為第一級 E 類功率放大電路的輸出端同時也將會是第二級的輸入端，所以在決定第一級功率放大器輸出電路的同時，也決定了第二級的輸入端電路，因此在設計時應同時考量中間級匹配的設計，以兼顧對第二級放大電路所造成的影響。

從圖 4.2 (a) 中可以發現，在第一級的功率放大器中，並沒有使用如第二級功率放大器般的串接電阻，主要是因為螺旋電感的使用，台積電 0.18 μm 所提供的標準製程中，螺旋電感的 Q 值一般大約在 10 以下，這樣 Q 值的電感將伴隨著極大的寄生電阻，在意義上已經類似串接電阻的效果，為了避免過多的電阻造成效率的大量降低，所以在這裡並不建議使用這樣的設計。

4.3.3 整體電路架構和模擬結果

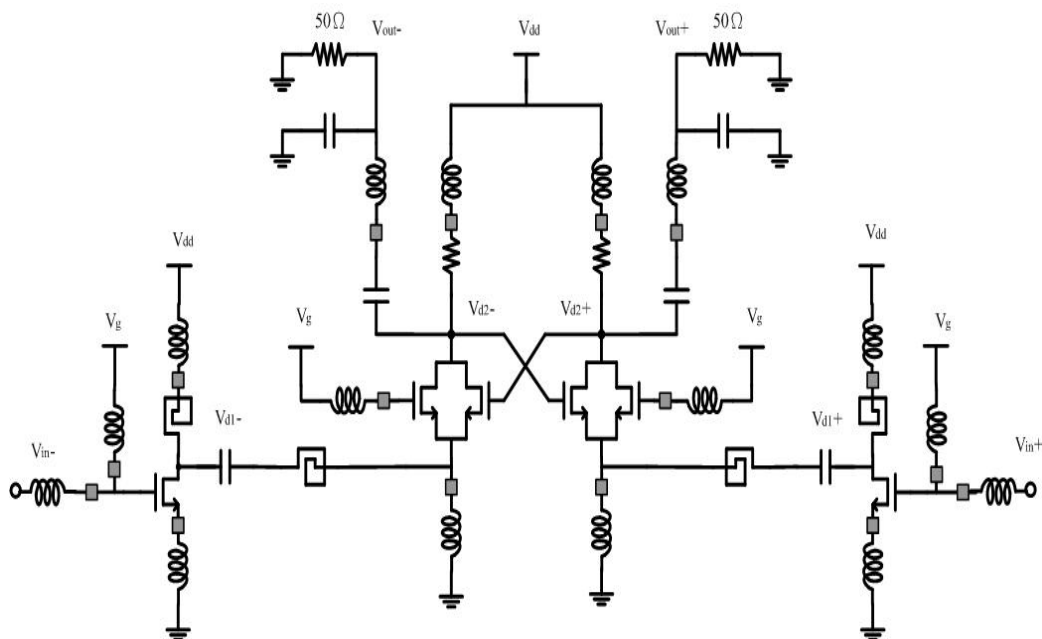


圖 4.11 整體電路架構圖

圖 4.11 為電路的完整架構，為了方便模擬和量測，我們使用了 $1:\sqrt{2}$ 的變壓器 (transformer)，將差動輸入和輸出轉為單端輸入和輸出，下面為各模擬結果：

1. S_{11} 的模擬：

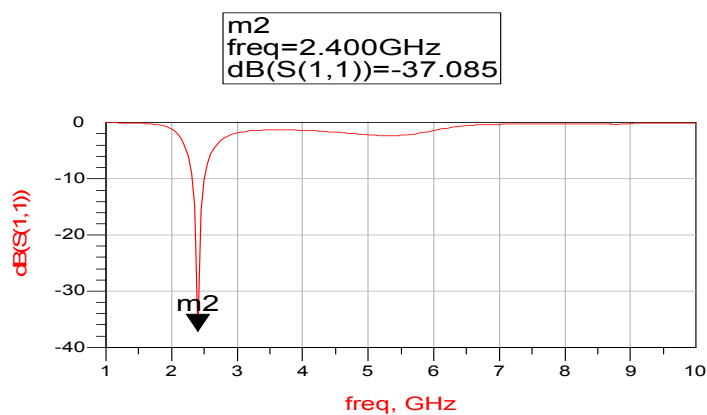


圖 4.12 S_{11} 模擬結果圖

2. 輸出功率的模擬：

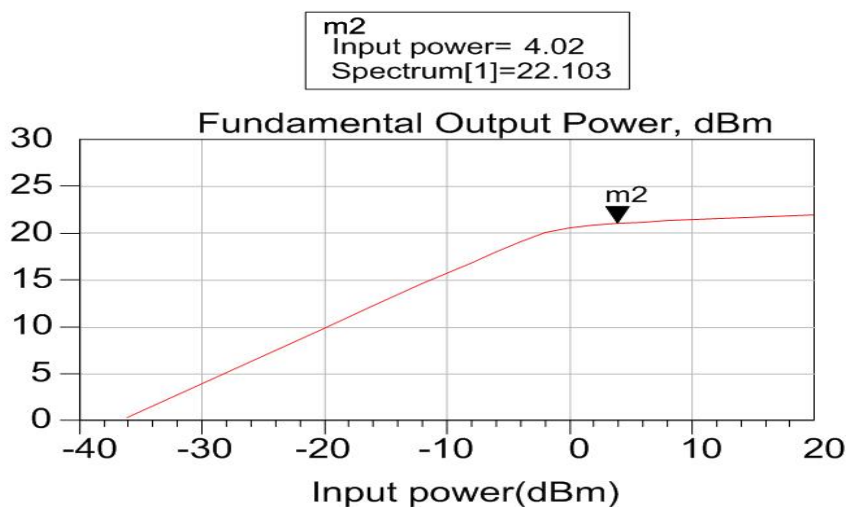


圖 4.13 輸出功率模擬結果

3. PAE 的模擬：

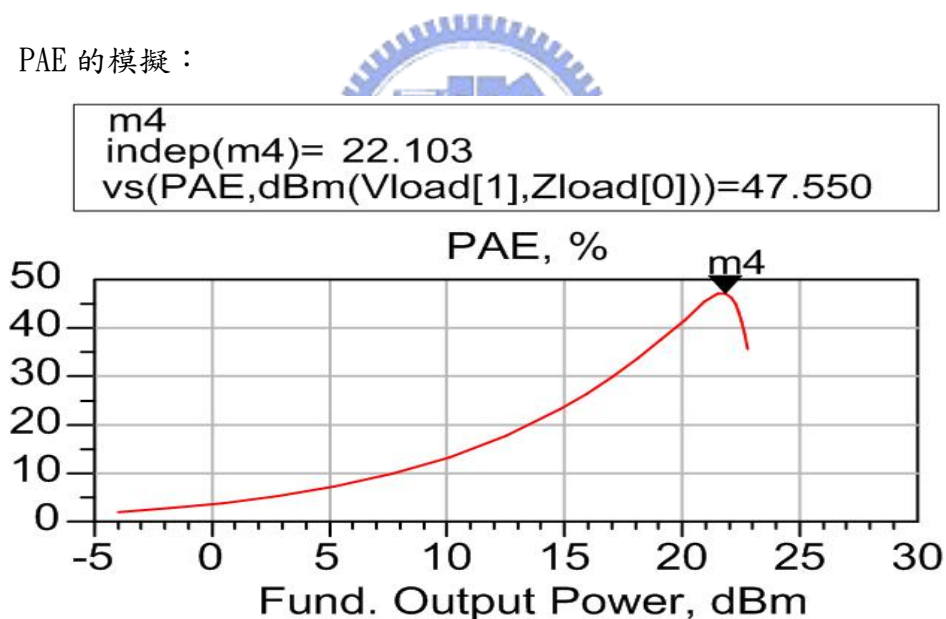


圖 4.14 PAE 模擬結果

4.3.4 比較和討論

4.3.3 節中顯示了模擬的結果，我們可以將所有模擬的結果列於下表 4.2，功率放大器最主要的參數就是輸出功率和效率，而這兩個參數又和供給電壓，操作頻率，甚至製程技術息息相關，因此在電路的比較上其實有其困難性，不過在

此列舉三篇論文，雖然在製程和架構上不盡相同，不過仍可間接看出本論文所採用架構的優勢：

論文	2003[25]	2003[12]	2001[24]	本文 (模擬結果)
製程技術	0.35 μm CMOS	1. 0.25 μm CMOS 2. 0.35 μm CMOS	0.25 μm CMOS	TSMC 0.18 μm 1P6M CMOS
供給電壓	1V	1. 1.3V 2. 1.7V	1.8V	1.4V
功率放大器型態	共閘差動 E 類功率放大器	共源差動式 E 類功率放大器	共閘單端 E 類功率放大器	共閘差動 E 類功率放大器
頻率	2.4GHz	1. 1.2GHz 2. 2.65GHz	900MHz	2.4GHz
輸出功率	63mW (18dBm)	1. 250mW 2. 60mW	0.9W	162.1mW (22.1dBm)
PAE	33%	1. 62% 2. 38%	41%	47.55%

表 4.2 模擬結果和比較表

4.4 共閘差動式 E 類功率放大器的佈局


為了實現 IC 電路，在完成模擬之後，還必須將一般電路圖轉換為佈局圖，才能交付晶圓場製造光罩，在確保將來製作出來 IC 可行的原則下，通常在進行佈局圖的設計時，需遵守晶圓場所提供的設計規則 (design rule)。在高頻電路的設計中，對最後設計的結果影響最大的變數就是寄生效應的影響，其影響往往是造成最後整體電路效率好壞的重要關鍵，這樣的影響在越高頻率的時候影響就越明顯，因此在設計佈局時將這些變數所帶來的影響降到最低，將是電路設計者的一大挑戰。

4.4.1 佈局的考量

在 4.1 節中，我們已經介紹過在 IC 設計中，高頻電路常用的元件以及其模型，這對我們在模擬和進行佈局時的幫助很大，藉由對這些元件的瞭解，我們可以在設計之前就對將來佈局的結果做一個初步的評估，確定佈局的可行性，如果確定可行再來進行後續設計和模擬的工作，如此才不會發生模擬完成，卻發現佈局無法達成的窘境。

除了元件的考量之外，各元件和元件之間，甚至將來電路和外部電路或量測系統之間的接線，所帶來的寄生效應，也會對電路的最後效能造成不小的影響，下面我們將對這些問題，做一些探討：

1. 電流負載能力考量：



功率放大器為維持大輸出功率，其電流勢必頗大，尤其當製程不斷縮小，供應電壓不斷下降，其輸出電流就變的更可觀了，因此金屬層的電流負載能力的考量就變的相當重要，一般來說，IC 設計時，其金屬層對電流的負載能力約為 $1\text{mA}/\mu\text{m}$ ，所以在佈局時，必需設計出適當的金屬導線，如此才不至於在大電流通過時將金屬導線燒毀。

2. 寄生電容考量：

由於功率放大器的大電流效應，造成金屬導線的面積必須跟著變大，這樣的結果帶來了接下來寄生電容的問題，尤其是在電晶體的接線上，閘極、源極和汲極端上分別接著大面積的金屬導線，其金屬導線間的電容耦合效應變的無法忽視，所以在佈局時應減少導線彼此之間的耦合，並儘量使用相距較遠的金屬導線，以減少耦合效應。

3. 連接層 (Bond pads) 的考量：

由 4.1.2 節中有關導線連接電感的討論可以知道，其感值約為 $1\text{nH}/1\text{mm}$ ，因此在模擬的時候需將其結果考慮進去，而在佈局時則提供了多連階層的設計，可供設計者使用，以解決寄生電感過大時，用來降低寄生效應所帶來的影響。

4.4.2 佈局圖

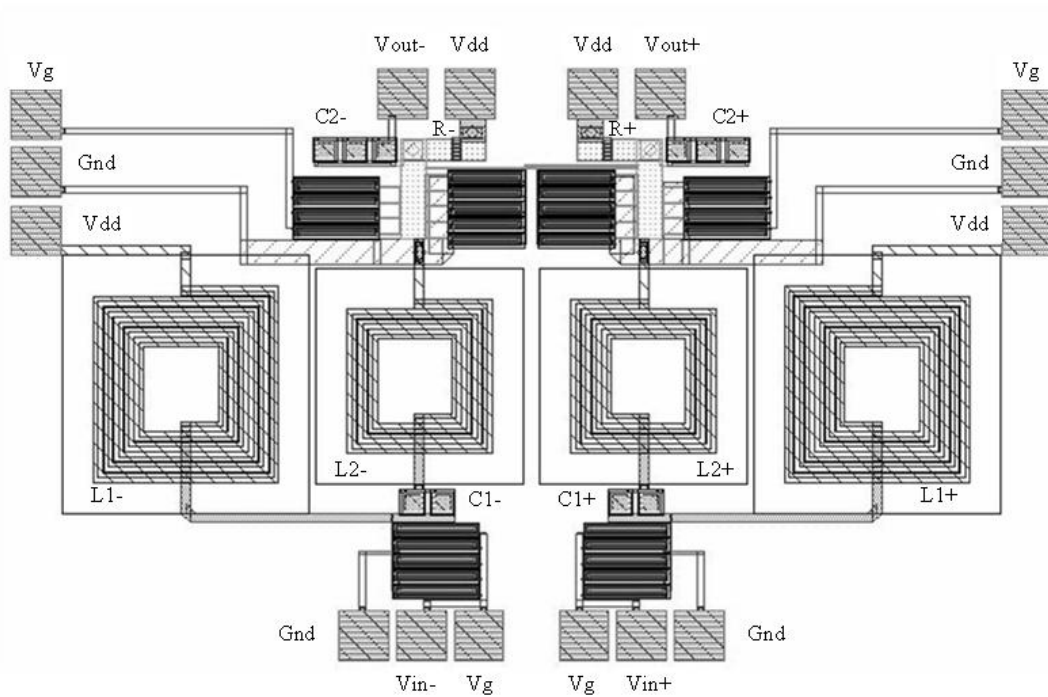


圖 4.15 佈局圖