

國立交通大學
電子物理所

碩士論文

題目：複晶矽鍺閘極之負偏壓溫度不
穩定性研究

Study of NBTI in pMOSFETs with
Poly-Si_xGe_{1-x} Gate

研究生：吳明勳，Ming-Hsun, Wu

指導教授：趙天生 博士 T.S. Chao

中華民國九十三年六月

複晶矽鍺閘極之負偏壓溫度不穩定性研究

Study of NBTI in pMOSFETs with Poly-Si_xGe_{1-x} Gate

研究生：吳明勳
指導教授：趙天生 博士

Student : Ming-Hsun Wu
Advisor : Dr. Tien-Sheng Chao

國立交通大學

電子物理學系 電子物理研究所碩士班



碩士論文

A Thesis

Submitted to Institute of Electrophysics
National Chiao Tung University
In Partial Fulfillment of the Requirements
for the Degree of
Master of Science
In
Electrophysics

June 2004

HsinChu, Taiwan, Republic of China

中華民國九十三年六月

摘要

本論文中，主要是將氮離子佈植利用在複晶矽銻閘極 PMOS 元件中，來探討對於硼穿透與閘極空乏現象，及不同劑量氮離子佈植對 P 型金氧半電晶體中負偏壓溫度不穩定性 NBTI (Negative Bias Temperature Instabilities) 的影響。

在第一部份，為了改善複晶矽銻閘極氧化層的品質，利用 N_2O 氧化層處理的方法。從研究中發現，這個方法可以有效抑制硼穿透效應並改善氧化層的可靠度，推究其原因是在 SiO_2/Si 介面堆積了許多氮原子，形成矽氮強鍵來取代矽氧弱鍵結。另外探討複晶矽銻閘極在不同離子佈植劑量下，對於硼穿透、閘極空乏與阻值的關係。

第二部份主要是研究不同的濃度氮離子佈植對 NBTI 的影響。我們發現在閘極佈植氮離子劑量的越高，會造成較嚴重的 NBTI。此外本論文中也會探討動態 NBTI 與 Substrate Hot Hole，經過研究較大劑量的氮離子佈植，也會造成較嚴重的基板熱載子效應。DNBTI 在閘極加正偏壓時，發生回復(recovery)，這個現象指出其實 NBTI 所造成的傷害是可以部分回復的。

Abstract

In this study, the effects of poly-Si_xGe_{1-x} gate MOSFET's with nitrogen co-implantation process are investigated. The subject is focus on NBTI (Negative Bias Temperature Instabilities) of different nitrogen dosages, boron penetration, and gate depletion of the pMOSFET.

First, for the reliability and electrical properties concern, N₂O oxynitride was used for gate dielectric. Boron penetration was suppressed effectively, due to nitrogen atoms at Si/SiO₂ interface. In addition, boron penetration and gate depletion were discussed simultaneously under different dosage of nitrogen co-implantation.

Furthermore, the influence of different dosages of nitrogen implantation on NBTI was also investigated. High nitrogen dose implantation in the gate leads to serious NBTI degradation. Then both the dynamic NBTI effects and substrate hot holes effects were also discussed in this study. Larger nitrogen dose not only results in serious NBTI effects but also serious substrate hot holes. As DNBTI was measured, the reduction of ΔV_{TH} after positive gate bias stressing is related with the recovery of interface states.

誌謝

碩士論文完成之際，首先要感謝我的指導教授趙天生博士對於我的研究悉心指導，趙天生博士對實驗的嚴謹、知識的探索和對人生的態度與觀感，都使我獲益良多。老師的愛護，將永銘於心，不敢忘懷。

另外在此要特別感謝李耀仁學長，在學長的提攜與幫忙下，讓我有機會能和這麼多優秀的學長同學們一起研究學問，並且在實驗與論文撰寫時，耐心的帶領與細心的指導，讓我在兩年的研究所生涯中，收穫豐富並能順利的完成論文。除了由衷的說聲感謝之外，也祝福學長能在順利畢業後成家立業，並有個健康的身體。

同時我要感謝湯永正先生在實驗儀器的訓練與傳承，蔡家鵬先生提供實驗的樣品，和謝松齡同學在量測上的幫忙，讓我得以完成實驗。

再來感謝實驗室的學長們-羅文正、陳建豪、吳家豪、郭柏儀，在知識與生活上的指導與關心。還有一起在實驗室打拼的同窗-呂宗宜、黃宗彬、何佩昌、湯乾紹、陳莘傑，還有可愛的學弟妹們，有你們的陪伴與鼓勵，讓我在求學的路上並不孤獨。

感謝我的好友-黃松苗、邵耀賢、梁詠涵，能在我課餘時陪我上山下海談天說地。還有親愛的佩玲，在我忙碌於實驗時，對我的照顧、包容與鼓勵。

最後感謝我的父母吳善租先生與徐月圓女士，還有我的姊姊吳蕙

如，在我的求學生涯中，成為我的堅強後盾不斷的鼓勵與支持我，讓我朝著夢想前進而永遠不會擔心與害怕，在此獻上最誠摯的感謝。最後，僅以此文獻給我的父母，以及所有曾經幫助過我的人。

吳明勳
予風城交大



目錄

| | |
|-------------------------------|-----------|
| 中文摘要..... | I |
| 英文摘要..... | II |
| 誌謝..... | III |
| 目錄..... | V |
| 圖目錄..... | VII |
| 第一章 緒論 | 1 |
| 1.1 負偏壓溫度不穩定性 NBTI | 1 |
| 1.2 複晶矽銻閘極 | 4 |
| 1.3 量測方法 | 7 |
| 1.3.1 <i>C-V</i> 曲線..... | 8 |
| 1.3.2 I_D-V_{GS} 特性曲線 | 8 |
| 1.3.3 <i>Stress</i> | 8 |
| 1.4 論文架構 | 8 |
| 第二章 元件製程 | 11 |
| 2.1 晶片刻號，曝零層級形成 N-Well..... | 11 |
| 2.2 形成 LOCOS | 11 |
| 2.3 消除 Kooi effect..... | 12 |
| 2.4 長閘極氧化層，定義閘極 | 13 |

| | |
|--|------------|
| 2.5 形成基極及活化摻雜 | 13 |
| 2.6 做接觸窗(contact hole) , 接出金屬導線 , 燒結 | 14 |
| 第三章 複晶矽鍺閘極經不同氮化處理後硼穿透現象的探討 | 18 |
| 3.1 引言 | 18 |
| 3.2 結果與討論 | 19 |
| 3.2.1 硼穿透現象 | 19 |
| 3.2.2 閘極空乏 | 22 |
| 第四章 氮離子對負偏壓溫度不穩定性 NBTI 的影響 | 36 |
| 4.1 引言 | 36 |
| 4.2 結果與討論 | 36 |
| 4.2.1 臨界電壓(V_{TH})、最大轉移電導(Gm_{max}) | 36 |
| 4.2.2 NBTI 與基板熱載子效應 (Substrate Hot Hole , SHH) | 39 |
| 4.2.3 溫度變化對 NBTI 的影響 | 40 |
| 4.2.4 動態負偏壓溫度不穩定性 DNBTI | 41 |
| 4.2.5 氮離子對 CHC 的影響 | 45 |
| 第五章 總結 | 96 |
| 『參考文獻』 | 98 |
| 作者簡介 | 105 |

圖目錄

| | |
|--|----|
| 【圖 1-1】NBTI STRESS 時各接腳的電壓，閘極加壓時使汲極、源極接地..... | 10 |
| 【圖 2-1】實驗流程圖..... | 16 |
| 【圖 2-2】實驗架構圖..... | 17 |
| 【圖 3-1】二次離子質譜儀(SIMS)分析。氮離子在複晶矽鍺閘極且氮氧化矽閘極介電層和複晶矽閘極且氮氧化矽閘極介電層的分佈..... | 24 |
| 【圖 3-2】二次離子質譜儀(SIMS)分析。顯示氮離子在 Dry oxide $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且二氧化矽閘極介電層的分佈..... | 25 |
| 【圖 3-3(a)】通道長度為 $1\mu\text{m}$ 的臨界電位變化，顯示當氮離子佈植濃度愈高時，有較大的臨界電位絕對值 ($ V_{\text{TH}} $)..... | 26 |
| 【圖 3-3(B)】通道長度為 $10\mu\text{m}$ 的臨界電位變化，顯示當氮離子佈植濃度愈高時，有較大的臨界電位絕對值 ($ V_{\text{TH}} $)..... | 27 |
| 【圖 3-4(A)】二次離子質譜儀(SIMS)分析。顯示隨著氮離子佈植濃度愈高，會有較小的硼穿透效應，而且複晶矽鍺閘極且氮氧化矽閘極介電層不論有無氮離子的佈植， $ V_{\text{TH}} $ 值都比複晶矽閘極且氮氧化矽閘極介電層大的多..... | 28 |
| 【圖 3-4(B)】二次離子質譜儀(SIMS)分析。顯示隨著氮離子佈植濃度愈高，會有較小的硼穿透效應，而且複晶矽鍺閘極且二氧化矽閘極介電層不論有無氮離子的佈植， $ V_{\text{TH}} $ 值也都比複晶矽閘極且氮氧化矽閘極介電層大的多..... | 29 |
| 【圖 3-5(A)】Charging pumping current。複晶矽閘極且氮氧化矽閘極介電層有很大的斜率變化，可見硼穿透造成了許多介面缺陷，複晶矽閘極有嚴重的硼穿透現象。不同濃度氮離子佈植， Q_{SS} 的斜率大致相同，顯示經過氮離子佈植後，介面缺陷變化不大..... | 30 |
| 【圖 3-5(B)】Charging pumping current。複晶矽鍺閘極且二氧化矽閘極介電層有氮離子佈植的 Q_{SS} 斜率比沒有氮離子佈植的元件較小，有較少的硼穿透.. | 31 |
| 【圖 3-6】不同含量的氮離子佈植對元件片電阻值上造成的效果，隨著氮離子濃度的提高，元件有較高的片電阻值..... | 32 |
| 【圖 3-7】複晶矽鍺閘極且氮氧化矽閘極介電層與複晶矽閘極且氮氧化矽閘極介電層的電壓-電容圖..... | 33 |
| 【圖 3-7】複晶矽鍺閘極且二氧化矽閘極介電層的電壓-電容圖..... | 34 |
| 【表 3-1】各條件下晶片測量電容所求的之有效閘極介電層厚度(T_{OX})..... | 35 |
| 【圖 4-1(A)】各溫度的平均 V_{TH} ，分別在三種溫度（室溫、75、125）測量了通道長度為 $1\mu\text{m}$ 的 MOSFET 各 10 點，以求得各個溫度的平均 V_{TH} | 47 |
| 【圖 4-1(B)】各溫度的平均 V_{TH} ，分別在三種溫度（室溫、75、125）測量了通道長度為 $10\mu\text{m}$ 的 MOSFET 各 10 點，以求得各個溫度的平均 V_{TH} | 48 |
| 【圖 4-2】平均 G_{mMAX} ，分別在三種溫度（室溫、75、125）測量了通道長度為 $10\mu\text{m}$ 的 MOSFET 各 10 點，以求得各個溫度的平均 G_{mMAX} | 49 |

| | |
|---|----|
| 【圖 4-3】在室溫下 $N_2^+ 1 \times 10^{15}$: 複晶矽鍺閘極且氮氧化矽閘極介電層與 Dry ox $N_2^+ 1 \times 10^{15}$: 複晶矽鍺閘極且二氧化矽閘極介電層在閘極上佈植相同濃度劑量為 $N_2^+ 1 \times 10^{15}$ 的氮離子 V_{TH} 的偏移 | 50 |
| 【圖 4-4】在室溫下 $N_2^+ 1 \times 10^{15}$: 複晶矽鍺閘極且氮氧化矽閘極介電層與 Dry ox $N_2^+ 1 \times 10^{15}$: 複晶矽鍺閘極且二氧化矽閘極介電層在閘極上佈植相同濃度劑量為 $N_2^+ 1 \times 10^{15}$ 的氮離子的 $G_{m_{MAX}}$ 的偏移 | 51 |
| 【圖 4-5】氮氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV NBTI STRESS 10000 秒後 V_{TH} 的偏移, 氮離子劑量越大則 V_{TH} 的偏移越大 | 52 |
| 【圖 4-6】氮氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV NBTI STRESS 10000 秒後 $G_{m_{MAX}}$ 的偏移 | 53 |
| 【圖 4-7】二氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV NBTI STRESS 10000 秒後 V_{TH} 的偏移, 氮離子劑量越大則 V_{TH} 的偏移越大 | 54 |
| 【圖 4-8】二氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV NBTI STRESS 10000 秒後的 $G_{m_{MAX}}$ 偏移 | 55 |
| 【圖 4-9】氮氧化矽閘極介電層不同劑量的氮離子佈植在 125 -14MV NBTI STRESS 10000 秒後的 V_{TH} 偏移 | 56 |
| 【圖 4-10】氮氧化矽閘極介電層不同劑量的氮離子佈植在 125 -14MV NBTI STRESS 10000 秒後的 $G_{m_{MAX}}$ 偏移 | 57 |
| 【圖 4-11】二氧化矽閘極介電層不同劑量的氮離子佈植在 125 -14MV NBTI STRESS 10000 秒後的 V_{TH} 偏移 | 58 |
| 【圖 4-12】二氧化矽閘極介電層不同劑量的氮離子佈植在 125 -14MV NBTI STRESS 10000 秒後的 $G_{m_{MAX}}$ 偏移 | 59 |
| 【圖 4-13】CONTROL 片在 125 -14MV NBTI STRESS 200 秒的 V_{TH} 偏移已經非常嚴重, 200 秒以後元件則已失效 | 60 |
| 【圖 4-14】NBTI-STRESS 加上基極電壓不為零 ($V_{sub} = 1, V_{sub} = 2$) | 61 |
| 【圖 4-15】氮氧化矽閘極介電層不同劑量的氮離子佈植在 125 -14MV NBTI $V_{sub}=2V$ STRESS 10000 秒後的 V_{TH} 偏移 | 62 |
| 【圖 4-16】二氧化矽閘極介電層不同劑量的氮離子佈植在 125 -14MV NBTI $V_{sub}=2V$ STRESS 10000 秒後的 V_{TH} 偏移 | 63 |
| 【圖 4-17】Dry ox $N_2^+ 1 \times 10^{15}$: 複晶矽鍺閘極且二氧化矽閘極介電層片而在定義閘極前做氮離子劑量 1×10^{15} IONS/cm ² , $V_{sub}=0V$ 、 $V_{sub}=2V$ 的 NBT-STRESS 後離子佈植經過 10000 秒後的 V_{TH} 偏移 | 64 |
| 【圖 4-18】NBTI-STRESS 時能帶隨著 V_{sub} 的變化, 加上 V_{sub} 所造成的效應為在通道的能帶更加陡直, 而使得 substrate hot hole 的數量變大 | 65 |
| 【圖 4-19】二氧化矽閘極介電層與氮氧化矽閘極介電層各條件下的分別於 $V_{sub}=0V$ 、 $V_{sub}=2V$ 的 NBT-STRESS 後 $V_{TH-10000s}$ | 66 |
| 【圖 4-20】30 下複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 67 |

| | |
|---|----|
| 【圖 4-21】70 下複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 68 |
| 【圖 4-22】110 下複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 69 |
| 【圖 4-23】30 下複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 70 |
| 【圖 4-24】70 下複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 71 |
| 【圖 4-25】110 下複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 72 |
| 【圖 4-26】 $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且氮氧化矽閘極介電層而定義閘極前做氮離子劑量 1×10^{15} IONS/cm ² 的離子佈植，在變溫下 V_{TH} 的變化 | 73 |
| 【圖 4-27】Dry ox $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做氮離子劑量 1×10^{15} IONS/cm ² 的離子佈植在變溫時 V_{TH} 偏移的變化 | 74 |
| 【圖 4-28】複晶矽鍺閘極且氮氧化矽閘極介電層的 V_{TH} 偏移對變溫的圖形 | 75 |
| 【圖 4-29】複晶矽鍺閘極且二氧化矽閘極介電層的 V_{TH} 偏移對變溫的圖形 | 76 |
| 【圖 4-30】由斜率可以比較出，二氧化矽閘極介電層的活化能大於氮氧化矽閘極介電層的活化能，有氮摻雜的閘極介電層產生的 NBTI 效應較嚴重 | 77 |
| 【圖 4-31】DNBTI stress 時間閘極加不同電壓，所產生的機制，閘極加正偏壓時，在加負偏壓時所產生的 H^+ 會再跑回去與 NBTI 形成的 positive fixed charge 及介面捕捉(interface trap)處而產生回復的效應 | 78 |
| 【圖 4-32】氮氧化矽閘極介電層在不同氮離子計量佈植對 V_{TH} 偏移的影響 | 79 |
| 【圖 4-33】二氧化矽閘極介電層在不同氮離子計量佈植對 V_{TH} 偏移的影響 | 80 |
| 【圖 4-34】 $N_2^+ 1 \times 10^{13}$ 片經過 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場為 -13MV/CM，正偏壓設定(V_{gp})為使閘極介電層垂直電場為 +13MV/CM 與 +1VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 81 |
| 【圖 4-35】CONTROL 片經過 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場為 -13MV/CM，正偏壓設定(V_{gp})為使閘極介電層垂直電場為 +13MV/CM 與 +1VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 82 |
| 【圖 4-36】氮氧化矽閘極介電層在 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場 -13MV/CM，正偏壓設定(V_{gp})為 0VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 83 |
| 【圖 4-37】氮氧化矽閘極介電層在 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場 -13MV/CM，正偏壓設定(V_{gp})為 +1VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 84 |
| 【圖 4-38】氮氧化矽閘極介電層在 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場 -13MV/CM，正偏壓設定(V_{gp})為 +2VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 85 |

| | |
|---|----|
| 【圖 4-39】二氧化矽閘極介電層在 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場 -13MV/CM，正偏壓設定(V_{gp})為 0VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 86 |
| 【圖 4-40】二氧化矽閘極介電層在 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場 -13MV/CM，正偏壓設定(V_{gp})為+1VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 87 |
| 【圖 4-41】二氧化矽閘極介電層在 12000 秒的 125 °C，負偏壓設定(V_{gn})為使閘極介電層垂直電場 -13MV/CM，正偏壓設定(V_{gp})為+2VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 88 |
| 【圖 4-42】 N_2^+ 1×10^{15} 複晶矽鍺閘極且氮氧化矽閘極介電層做氮離子劑量 1×10^{15} IONS/cm ² 的離子佈植，氮氧化矽閘極介電層在 12000 秒的 125 °C，負偏壓設定(V_{GN})為使閘極介電層垂直電場 -13MV/CM，正偏壓設定(V_{gp})分別為 0VOLT、+1VOLT、+2VOLT 的 DNBT-STRESS 後 V_{TH} 的偏移 | 89 |
| 【圖 4-43】CHANNEL HOT-CARRIER (CHC) STRESS 時各接腳所加之偏壓 | 90 |
| 【圖 4-44】CHC-STRESS 時載子的流動方向 | 91 |
| 【圖 4-45】氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 92 |
| 【圖 4-46】複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 G_M 偏移 | 93 |
| 【圖 4-47】複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移 | 94 |
| 【圖 4-48】複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 G_M 偏移 | 95 |

第一章

緒論

1.1 負偏壓溫度不穩定性 NBTI

隨著 CMOS 製程技術提昇，元件製程技術邁入深次微米之際，漸漸不合時宜的微米已被奈米（nanometer or nm。1 奈米= 10^{-9} 公尺= 10^{-3} 微米）單位取代來做為元件尺寸的程度。象徵已進入一個技術的新紀元，卻也代表更多挑戰的出現。為了增加半導體元件的效能和減低成本，積體電路的元件密度必須不斷增加，而元件尺寸也必須不斷小。目前 90 奈米製程已經進入量產階段。由於通道長度的縮小，提升了元件的開關速度，為確保元件閘極(Gate)有良好的控制能力，不會因短通道效應(short channel effects, SCE)[1、2]影響而變差，因此閘極介電層厚度也必須相對變薄。因為隨著元件通道長度縮減，使得源極(Source)與汲極(Drain)在通道上形成的空乏區比例增加，而使的橫向電場的影響變大而不能忽視，而使閘極對通道的控制減弱。為了解決這個問題，可以增加電晶體的單位面積電容值以減少橫向電場的影響，所以閘極介電層的厚度亦需要變薄，來的到較高的單位面積

電容值 [2]。但是有些問題亦因此而生，而其中最主要的就是因直接穿透(Direct Tunneling)而產生的閘極漏電流隨著閘極介電層的厚度變薄而變大[3]。根據半導體產業的發展藍圖(Roadmap)，現今元件中的閘極介電層厚度大約是 1.5 奈米(2003)，在可靠度的分析上，除了已有的崩潰電荷(Q_{bd})、崩潰時間(T_{bd})、與熱載子壓迫(Hot carrier stress)等等之外，由於閘極介電層的厚度的縮減使得在高溫長時間的閘極負偏壓壓迫下，元件 V_{TH} 與操作電流(I_d)的偏移更嚴重，影響了元件的可靠度，這個現象就稱為負偏壓溫度不穩定性 NBTI(Negative Bias Temperature Instabilities) [4、5]。與 Channel Hot Carrier 不同的是，閘極加壓時使汲極、源極接地而不加電壓，NBTI 的影響依然存在【圖 1-1】。而隨著閘極介電層的厚度縮減，NBTI 也就愈來愈嚴重了[4]。偏壓溫度不穩定性 (Bias Temperature Instabilities) 有正負偏壓兩種：分別稱為正偏壓溫度不穩定性 PBTI (Positive Bias Temperature Instabilities) 與 NBTI [6]。研究發現其中會造成臨界電壓(V_{TH})與操作電流(I_d)的偏移最為嚴重的是在 PMOSFET 上的 NBTI[7, 8]，所以許多人都將研究的焦點放在這上面。

首先是有關於元件製程上的研究：分別探討用 SiO_2 與 $SiON$ 作閘極介電層的不同[9, 10, 11, 12]，從結果得知用 $SiON$ 的閘極介電層會有比較嚴重的 NBTI，因為 $SiON$ 中有氮離子降低了活化能 E_a ，也就

是說 SiON 的閘極介電層較容易被電洞打斷鍵，而形成 positive fixed charge 及介面捕捉(interface trap)，因而造成 V_{TH} 與 G_m 的偏移。此外可以使用兩種閘極氧化層材料：二氧化矽以及二氧化矽/氮化矽的疊層結構(N/O stack)[13]，在二氧化矽/氮化矽的疊層結構中，電洞很容易被捕捉住，造成 V_{TH} 較大的偏移。不同製程如：熱氧化成長閘極介電層在氮離子佈植的矽基板、氧化氮形成的閘極介電層 (N_2O -nitrided oxide)、快速熱氮化氧化層(rapid thermal nitric oxide)、與氮電漿氧化層(remote plasma nitrided oxide) [14]，四種閘極介電層對 NBTI 的影響也不相同。另外，在金屬後迴火(Post Metal Anneal)時，使用重氫(D_2)的元件也比使用氫氣(H_2)的更能夠抵抗 NBTI [14]，因為重氫(D_2)所形成的(Si-D)鍵結比氫氣(H_2)所形成的(Si-H)鍵結強，電洞較不易打斷。在金屬層上研究也有使用不同的金屬：銅(Cu)、鋁(Al)，不同的 barrier-metal：Ta、TaN，不同的 cap-layer：PE-CVD SiN_x 、 SiC_x ，不同的層間介電質(interlayer dielectric)：有機低介電值材料(SiLKTM)、PE-CVD SiO_2 ，都會有不同對 NBTI 的影響 [15]。Charging damage 的大小對 NBTI 也有影響[16]。硼穿透(Boron penetration)的存在會使 NBTI 更嚴重[17]。Cap-layer 的形狀：覆蓋整個晶片、主動區(active area)、gate area，cap-layer 的厚度不同也會造成不同的影響[18]。通道長度(channel length)愈短則 NBTI 愈嚴重

[4、19]。Buried channel 的 NBTI 較 surface channel 的輕微[9]。雖然氮氧化矽閘極介電層的使用、在臨界電壓調整離子佈植與 Source/Drain extension 離子佈植時加入氮離子佈植已經是常用的製程，而且對於元件特性也有若干的好處，如預防硼穿透，但是在 NBTI 中氮、氫、水氣的存在都會造成更嚴重的電性衰退。在量測上，NBT-stress 的條件大多設定溫度為 100~200 °C、閘極負偏壓為使閘極介電層之中的垂直電場為 -12~-15MV/cm、也有在 NBT-stress 中加上基板的正偏壓，來探討其影響[11]。因為元件用於 CMOS 反向器上的使用狀態，有研究提出動態負偏壓溫度不穩定性 (Dynamic-NBTI) [20, 21, 22]，其中閘極偏壓為正負交換，而在閘極偏壓為正時，會有類似迴火(anneal)的效果，在閘極偏壓為負時所造成的元件特性偏移，會在閘極偏壓為正時有部分的回復，這種現象使的在推測元件的生命期時，可以稍微比用傳統的 NBTI 所推測的寬鬆一點。

1.2 複晶矽鍺閘極

矽鍺(SiGe)薄膜沉積是近年來非常重要的一項新興技術，利用複晶矽鍺作為閘極最主要的優點，可藉由改變材料中的 Ge 含量調變電晶體的臨界電壓。複晶矽鍺的能隙(band gap)介於 Si(1.12eV)和

Ge(0.66eV)之間，複晶矽鍺的傳導能帶(conduction band)位置和 Si、Ge 近似，所以能隙主要的差別在於價能帶(valence band)的位置。由此可知 n^+ 複晶矽鍺和 n^+ 複晶矽的費米能位相當接近，不過複晶矽鍺的費米能位則較複晶矽接近 Si 通道的 mid gap 位置。

根據近日的研究發現，使用複晶矽鍺也有改善硼穿透現象的效果，也因此展現較 p^+ 複晶矽元件為優的崩潰電荷(charge-to-breakdown)特性。詳細原因仍有待研究，推測是由於硼在複晶矽鍺的晶粒邊際擴展速度較慢的緣故。複晶矽鍺另外有一個優點，是在固定的退火溫度下，活化速率遠較複晶矽為快[23~30]。

到達 sub-0.1 μm CMOS 時代之際，閘極氧化層厚度(Physical Gate Oxide Thickness)將縮小至 1.5nm 至 2.0nm。在如此精細的 CMOS 技術裡，poly-gate depletion 是要達到高功能元件之關鍵專題。雖然複晶矽在積體電路技術的發展中是一種重要的材料，也被廣泛的應用著[23]。而另一種 poly-Si_{1-x}Ge_x 材料也已被提出在許多元件製程應用中，如:(1)當作形成淺接面的雜質擴散源(Shallow Junction Diffusion Source)[24]；(2)改善在形成互補式金氧半導體(CMOS)的閘極電極在 N 型和 P 型通道中，摻雜設計的取捨問題[25]；(3)在大面積薄膜電晶體(TFT)的製程上當作需要低溫製程的通道材料[26]等，然而先

前的研究中指出 $\text{poly-Si}_{1-x}\text{Ge}_x$ 閘極比傳統的複晶矽閘極有更多的優點。例如由於複晶矽鍺的熔點比複晶矽低，這物理現象將控制著製程條件，所以複晶矽鍺閘極不管是在沉積、形成顆粒邊界 (Grain Boundary)、或在雜質活化時，溫度都會比複晶矽來的低，而且有較高的活化效率。這表示在較低的回火溫度、較少的雜質劑量，就可以得到相當低阻值複晶矽鍺閘極，這意味使用複晶矽鍺來取代複晶矽當閘極可改善閘極空乏現象及雜質穿透現象。此外可調變的功函數亦是一個極大的優點。當沉積複晶矽鍺閘極時改變氣體 (SiH_4 、 GeH_4) 比例，將會改變沉積後複晶矽鍺閘極中，矽與鍺的莫爾數比例，當鍺莫爾數比例越高時，其能隙越小，因此在 P 型 $\text{poly-Si}_{1-x}\text{Ge}_x$ 閘極中，功函數可藉由改變鍺莫爾數比例來調變。當閘極功函數減少時，通道內所摻雜的雜質可以減少。因此，通道中移動的載子被散射機率減少，將使其移動率增加，進而提昇電流驅動能力。而且在主動通道的雜質減少時，空乏層電容也減少，次臨界斜率 (Subthreshold Slope, S.S.) 將會減少，這更使得元件的開關速度愈快。但是亦有研究顯示 Ge 莫爾數比例不能太高 (>50%)，否則短通道效應會更加嚴重 [27]，所以功函數之調整亦存在一些取捨問題。

NEC 最新的研究結果顯示 [28]，在 $\text{poly-Si}_{1-x}\text{Ge}_x$ 與 SiO_2 間加入一層約 3nm 的 a-Si，可同時增加 Q_{BD} ，減少 gate depletion，和加強閘極

驅動能力。複晶矽在經過氮化(Nitridation)或氧化層經過密化(Densification)均可提昇氧化層之品質，並且此步驟可應用於非揮發性記憶元件(Nonvolatile Memory Devices)之複晶矽間氧化層(Interpoly Dielectric)，使此元件有很高的電性品質[29、30、31]。

之前的研究提出許多方法來防止硼穿透，諸如堆疊式複晶矽閘極，或氮離子植入閘極的製程(Nitrogen Co-Implantation Process)等等[32、33]，由於堆疊式複晶矽閘極的每一層俱生氧化層(Native Oxide)，使得每層的複晶矽柱狀結構不連續，因而打斷硼擴散路徑以抑制硼的擴散。另外，在氮離子植入閘極的製程中，由於氮會與硼形成 B-N 鍵結，減少硼的擴散，最後再藉由快速回火處理將氮離子驅入到閘極與氧化層之介面以期望能更進一步的效抑制硼穿透效應。

本論文將試著以 poly-Si_{0.83}Ge_{0.17} 取代傳統複晶矽結構以解決奈米元件之閘極空乏與硼穿透問題。此外，我們將使用不同的氮離子佈植製程，並且觀察 poly-Si_{0.83}Ge_{0.17} 閘極和超薄氧化層的可靠性分析。

1.3 量測方法

在P型複晶矽閘極MOS量測方法上，許多方法被提出以萃取電性特性及物理分析。以下將本論文所使用的電性參數量測方法作說明。


1.3.1 C-V 曲線

在P型複晶矽閘極MOS的氧化層的特性是以HP 4284 C-V分析儀在高頻（1MHz）的電壓-電容量測中獲得。所有CV曲線的量測都是由反轉區到累增區，量測面積為 $100\mu\text{m} \times 10\mu\text{m}$ 。

1.3.2 I_D - V_{GS} 特性曲線

I_D - V_{GS} 量測是使用KEITHLEY 4200 參數分析儀。將MOS操作在線性區（ $V_{DS} = -0.1\text{V}$ ），量測其 I_D 與 V_{GS} 的關係。臨界電壓的獲得是在 G_m 最大值的 V_{GS} 上對應到 I_D - V_{GS} 做切線與 V_{GS} 軸所相交的電壓。

1.3.3 Stress



Stress 是使用 KEITHLEY 4200 參數分析儀與變溫量測系統。NBTI stress 分別在室溫下與使用變溫系統達到 125°C 下進行，CHC stress 則是只在室溫下進行，stress 條件各有不同之處將於第四章討論。在 stress 後測量 V_{TH} 、 G_m ，並視其變化量的大小，以得知元件的電流—電壓特性衰退程度。


1.4 論文架構

本研究所使用的 P 型複晶矽閘極的 MOS 元件做測試，我們以複晶矽鍺取代複晶矽閘極。論文包含五個章節：

第一章：簡介負偏壓溫度不穩定性 NBTI 及使用複晶矽鍺閘極的背景與動機，電性參數及物性量測的方法和本論文的結構。

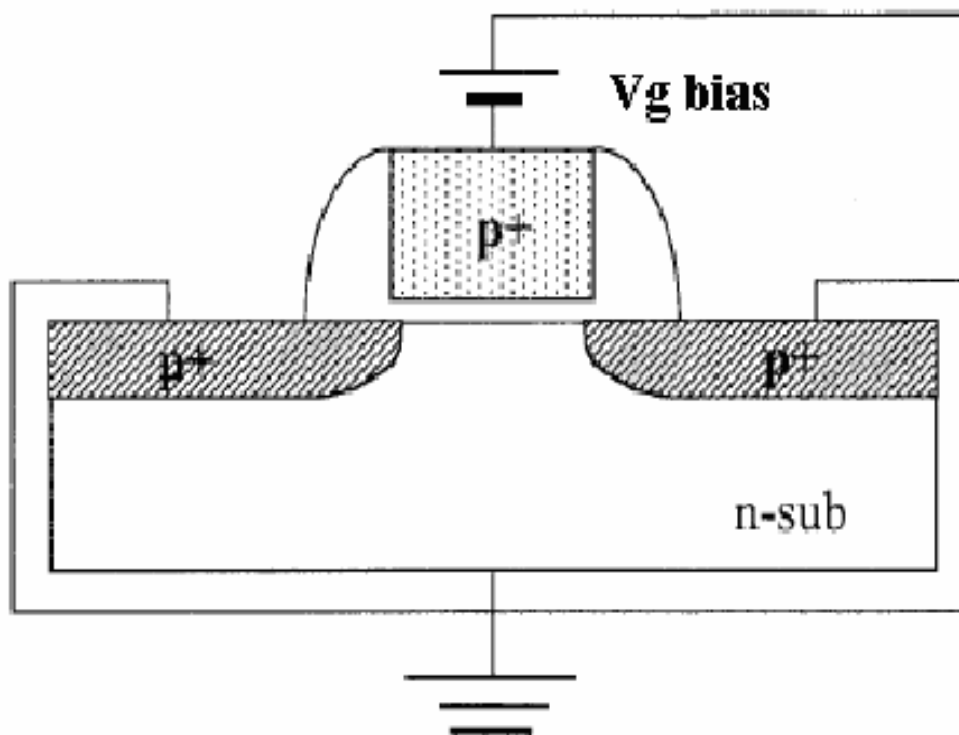
第二章：將詳細敘述製程上的每一個步驟。

第三章：將 N_2O 氮化氧化層應用在複晶矽鍺閘極上，可以明顯發現經氮化過的閘極氧化層，有效抑制硼穿透現象。並探討複晶矽與複晶矽鍺閘極在不同劑量的氮離子佈植後之元件特性，探討在閘極中的鍺原子補陷硼原子的能力以及氮離子佈植捕捉硼離子，減緩硼擴散經過閘極氧化層到通道，並討論其閘極空乏與硼穿透取捨的問題。



第四章：本章節主要的內容為探討將 N_2O 氮化氧化層 (Oxynitride) 應用在複晶矽鍺閘極上，及氮氧化矽閘極介電層與二氧化矽閘極介電層在複晶矽鍺閘極加以不同劑量的氮離子佈植，對 P 型金氧半電晶體中負偏壓溫度不穩定性 NBTI (Negative Bias Temperature Instabilities) 以及動態負偏壓溫度不穩定性 DNBTI 的影響。此外我們也要研究的是在 NBTI 受到重視之前，常用來做可靠性分析的工具：Channel Hot-Carrier (CHC)。

第五章：對本研究作個總結。



$$V_d = V_s = V_{\text{sub}} = 0 \text{ (NBTI)}$$


【圖 1-1】 NBTI stress 時各接腳的電壓，閘極加壓時使汲極、源極接地而不加電壓

第二章

元件製程

本實驗的步驟為電晶體 MOSFETs 製程，所有的製程均在國家奈米實驗室(Nano Device Laboratory，簡稱 NDL)中進行。基本的製程步驟列於【圖 2-1】與【圖 2-2】，下面則詳述 PMOS 製程內容。

2.1 晶片刻號，曝零層級形成 N-Well



實驗是採用 P-型六吋矽晶片，晶格方向 $\langle 100 \rangle$ ，阻質介於 15~25 Ω -cm 之間。首先將所有的晶片以雷射刻號機刻號，方便以後辨識晶片，用氨水去除刻號時所產生的微粒後，接著開始曝零層的動作(俗稱：曝眼睛)，用途是在步進機(Stepper)曝光時晶片位置對準矯正用。之後用離子佈植及爐管擴散法行成 well，離子佈植條件(離子 P³¹，能量 120keV，劑量為 7.5×10^{12} ions/cm²)。

2.2 形成 LOCOS

按照標準清洗步驟(Standard Clean)去清除晶片表面的雜質，然後

以高溫爐管成長 Pad-Oxide(SiO_2)-350Å，以及用低壓爐管沉積氮化矽(Si_3N_4)-1500Å。這兩層的用處分別是：Pad-Oxide 用來抵抗氮化矽(Si_3N_4)在矽表面所產生的應力，氮化矽(Si_3N_4)則是用來當罩幕(Mask)用，藉著其不易被氧滲透的優點來進行場氧化層(Field Oxide)的製作。接著進入微影(Lithography)及乾蝕刻程序，使用第一道光罩，將主動區定義完成，微影時所採用的設備是 G-Line Stepper 其光波波長為 436nm 的紫外線。接著以高溫爐管成長一層約 5500Å 的場氧化層，最後再以磷酸去除氮化矽(Si_3N_4)，那麼具有 LOCOS 結構的金氧半元件便有了初使的外觀。



2.3 消除 Kooi effect

先用高溫爐管成長氧化層 350Å 的 SiO_2 ，再以濕蝕刻去除，這成長蝕刻的步驟主要在消除 Kooi effect。緊接著再成長一次相同厚度的 SiO_2 (Sacrificial Oxide)，其功能是覆蓋於矽的表面防止離子佈植過程將表面的矽晶格毀壞過多。然後再以離子佈植法進行砷摻雜，離子佈植條件(離子 As^+ ，能量為 80keV，劑量為 6×10^{12} ions/cm²)，此離子佈植得作用是對 MOSFETs 的 V_{TH} 做適當的調整。緊接的再進行一次磷摻雜，離子佈植條件(離子 P^+ ，能量為 150keV，劑量為 4×10^{12} ions/cm²)，此離子佈植得作用是防止 Punch-Through 效應。

2.4 長閘極氧化層，定義閘極

接著開始長閘極氧化層的動作，長氧化層前清洗除了作標準 RCA 清洗外，尚須增加一個清洗步驟，增加經稀釋的氫氟酸(配置比例 HF : H₂O = 1 : 50)來蝕刻晶片表面的俱生氧化層(Native Oxide)，以確實控制閘極氧化層的厚度，避免因俱生氧化層所造成的電性衰減。成長閘極氧化層的動作是在垂直爐管中進行，條件是 25Å 的 N₂O oxide 或 thermal oxide，最後疊上 poly-Si 2000Å 或者是文章中所研究的 poly-Si_{0.83}Ge_{0.17}。接著在分別做 N₂⁺離子佈植(摻雜離子:N₂⁺，能量為 20keV，劑量為分別為沒有佈植、 1×10^{13} ions/cm²、 1×10^{14} ions/cm²、 1×10^{15} ions/cm² 四種不同條件)，以期待此種製程方法能對硼穿透效應有所改善。此複晶矽鍺經摻雜後將是元件的閘極電極(gate electrode)。接著用第二道光罩定義閘極，用 TCP 對 poly-Si 或 poly-Si_{0.83}Ge_{0.17} 做蝕刻，完成閘極。接著用第三道光罩定義源、汲極，最後閘極與源、汲極同時離子佈植 BF₂⁺(離子 BF₂⁺，能量為 20keV，劑量為 6×10^{15} ions/cm²)。

2.5 形成基極及活化摻雜

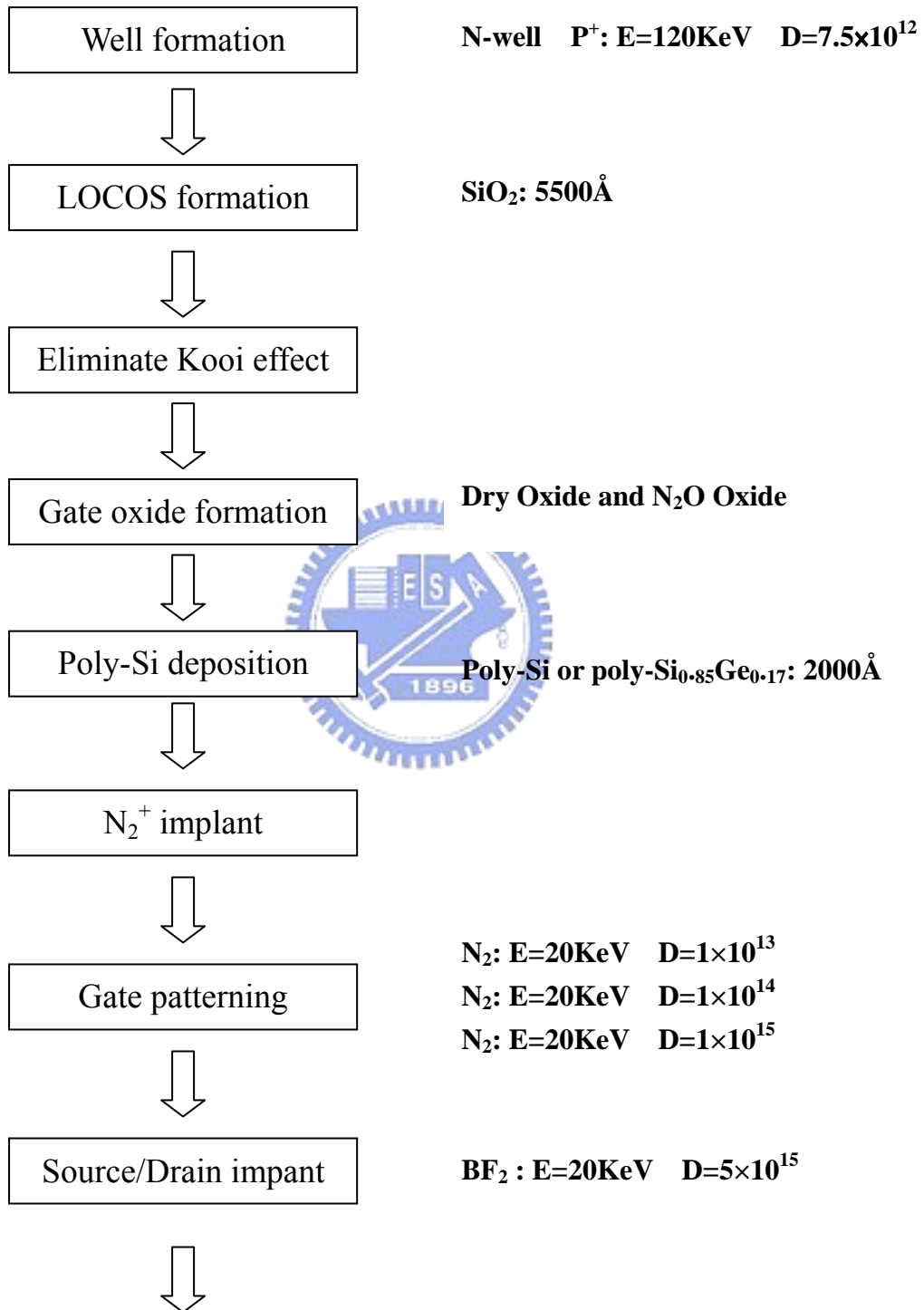
接下來再以光罩四覆蓋住閘極源極與汲極，對暴露出來的部分(基極)作中電流離子佈植，植入的參數為：(S=As⁺，Energy=40keV，

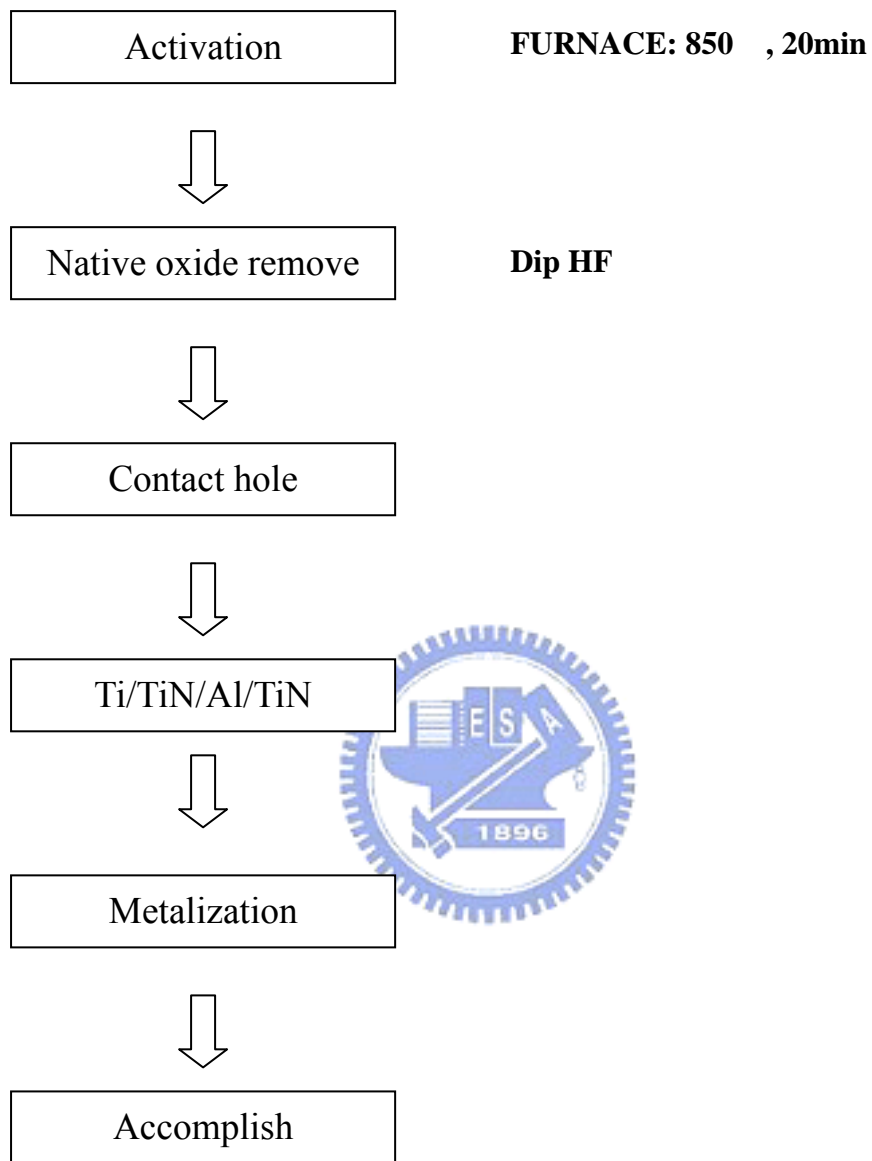
Does = 5×10^{15} ions/cm²), As⁺的作用是降低基極的電阻。再來將晶片送入高溫爐管以針對先前植入的 Dopant 活化(Activation)這個製程的條件為爐管退火製程 850°C, 20 分鐘。

2.6 做接觸窗(contact hole), 接出金屬導線, 燒結

接著在晶片的表面沉積一層厚度 5500Å 的 TEOS。TEOS 是一種含有矽與氧的有機矽化物全名為正矽酸乙酯-Si(OC₂H₅)₄, 是用來隔絕金屬與元件的隔絕材料, 沉積在晶片表面以便於進行後續的金屬層沉積。完成後跟著在覆蓋光阻, 由第四道光罩來製作接觸孔(Contact Hole)的圖案, 先用乾式蝕刻, 再以 BOE 進行濕式蝕刻。再將光阻去除, 進行標準四層金屬 (Ti/TiN/Al/iN) 的濺鍍(Sputtering)。最後一道製程是定義金屬墊(Metal Pad)的圖樣, 使用 Helicon-Wave Plasma Etcher 來完成蝕刻金屬以及光阻的去除, 到此元件的外觀已經完全形成。再送入高溫爐管完成元件; 以攝氏 400 度的溫度下通氫氣做 30 分鐘的燒結(Sintering), 使金屬層與矽基板的接觸更為密合, 減少串聯電阻或漏電流的發生機率。燒結完後, 電晶體即告完成。

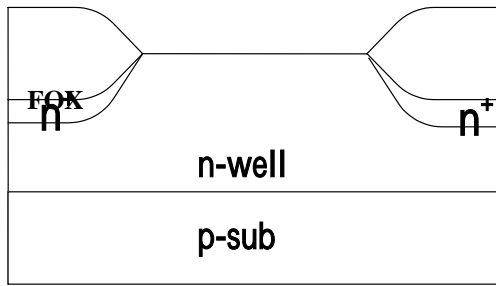
實驗流程圖





【圖 2-1】. 實驗流程圖

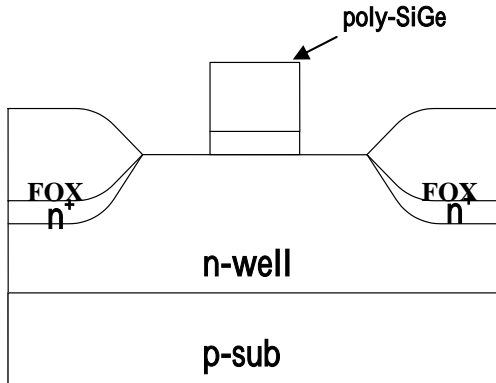
實驗架構圖



- **p-type Si wafer**

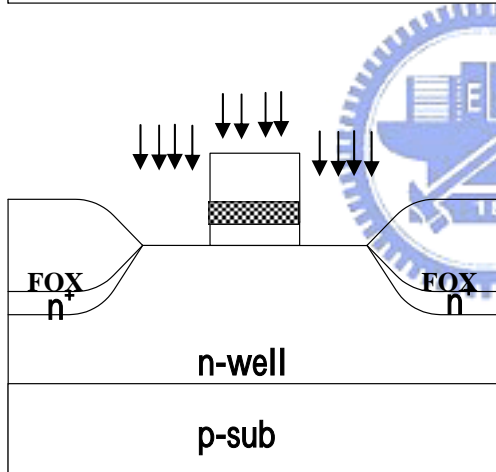
- **n-well implantation**

Well drive in (1100 , 1700 Å)



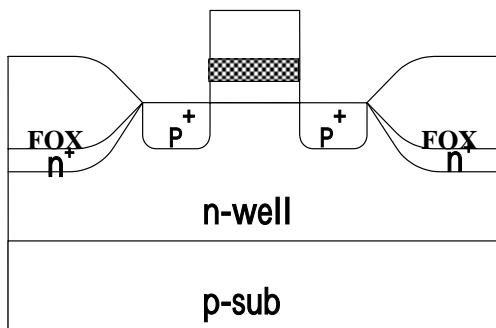
- **LOCOS isolation:**

1. Oxide 350 Å
2. Nitride 1500 Å
3. Define active region
4. Channel stop implantation
5. Field oxide 5500 Å
6. Remove nitride



- **MOS:**

1. Gate oxide: 25 Å (N₂O or DryO₂)
2. Gate: P⁺-poly Si_{0.83}Ge_{0.17}, 200nm
3. Gate implantation (N₂⁺, 20keV)



- **GATE,S/D IMPLANTATION:**

1. P⁺ S/D implant: BF₂, 20 keV, 6×10¹⁵
2. Activation: Furnace 850 20 min

【圖 2-2】. 實驗架構圖

第三章

複晶矽鍺閘極經不同氮化處理後硼穿透現象的探討

3.1 引言

本章節主要將 N_2O 氮化氧化層應用在 P 型複晶矽鍺閘極 MOS 元件，針對元件電性與物性分析來探討其抑制硼穿透與減少閘極空乏的效應。並探討複晶矽鍺閘極在氮化處理過後，其元件的閘極空乏 (gate depletion) 與硼穿透現象的探討。

以下為本論文中各條件晶片的規則：control 是指複晶矽閘極且氮氧化矽閘極介電層而在製程中沒有氮離子的植入，no N_2 是指複晶矽鍺閘極且氮氧化矽閘極介電層而在製程中沒有氮離子的植入， $N_2+ 1E13$ 是指複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做氮離子劑量 1×10^{13} ions/cm² 的離子佈植， $N_2+ 1E14$ 是指複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做氮離子劑量 1×10^{14} ions/cm² 的離子佈植， $N_2+ 1E15$ 是指複晶矽鍺閘極且氮氧化矽閘極介電層而在

定義閘極前做氮離子劑量 1×10^{15} ions/cm² 的離子佈植，Dry oxide no N₂⁺ 是指複晶矽鍺閘極且二氧化矽閘極介電層而在製程中沒有氮離子的植入，Dry oxide N₂⁺ 1E15 是指複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做氮離子劑量 1×10^{15} ions/cm² 的離子佈植。各晶片用二次離子質譜儀(SIMS)分析氮離子在元件的分佈如【圖 3-1】為氮離子在複晶矽鍺閘極且氮氧化矽閘極介電層和複晶矽閘極且氮氧化矽閘極介電層的分佈。【圖 3-2】顯示氮離子在 Dry oxide N₂⁺ 1E15：複晶矽鍺閘極且二氧化矽閘極介電層的分佈。

3.2 結果與討論



3.2.1 硼穿透現象

PMOS 元件製程會遭遇到一重要的問題，即是關於 PMOS 的硼穿透閘極氧化層所造成的破壞。這是由於硼在氧化矽中有很大的擴散係數(diffusivity)，因此容易在高溫製程中發生此現象，特別是在使用超薄閘極氧化層的深次微米製程。硼穿透閘極氧化層至基板後會造成 PMOS 的 V_{TH} 絕對值減少，嚴重時甚至讓元件無法關閉，使得電路失效。另外，也會破壞閘極氧化層品質，造成可靠性的問題。至於 N 型的摻雜元素，如砷(As)或磷(P)，則無此困擾。即使閘極氧化層度薄至 1.5nm，在 1050°C，20sec 的退火條件下也不會有嚴重的磷

(P) 穿透現象產生。

電性量測是使用 KEITHLEY 4200 參數分析儀與變溫量測系統。分別量測了通道長度為 $1\mu\text{m}$ 與 $10\mu\text{m}$ 的 MOSFET 各 10 點，以求得平均的 V_{TH} 。當發生硼穿透效應，閘極的硼離子穿過介電層到達基板，使基板增加了 P 型參雜，將使通道反轉更易發生，此時有較小的臨界電位絕對值。所以首先觀察臨界電位的變化，【圖 3-3 (a)、3-3 (b)】顯示當氮離子佈植濃度愈高時，有較大的臨界電位絕對值 ($|V_{\text{TH}}|$)，表示隨著氮離子佈植濃度愈高，會有較小的硼穿透效應，在氮離子植入閘極的製程中，由於氮會與硼形成 B-N 鍵結，減少硼的擴散，然而不論是在乾氧或 N_2O 環境下成長閘極氧化層高濃度的離子佈植的元件其 $|V_{\text{TH}}|$ 都相當接近，此即表示在高濃度的離子佈植並不會對 $|V_{\text{TH}}|$ 造成什麼大的影響，推測高濃度的氮離子佈植已將大部分的硼離子阻擋在閘極，所以閘極氧化層的影響不大。此外複晶矽鍺閘極且氮氧化矽閘極介電層或二氧化矽閘極介電層不論有無氮離子的佈植， $|V_{\text{TH}}|$ 值都比複晶矽閘極且氮氧化矽閘極介電層大的多，因為利用低壓化學氣相沉積 (LPCVD) 製程所成長的 poly-Si (沉積溫度大於 600°C) 的柱狀結構 (column structure)，在佈植後硼主要分佈在閘極上半部落，在高溫活化程序時，硼會分別沿著 poly-Si 的晶粒 (grain) 內及晶粒邊界 (grain boundaries) 擴散。在晶粒邊際的擴散速度遠大於晶粒中，所以

在呈柱狀的結構的 poly-Si 中，硼會先到達晶粒邊際和氧化層的境界處，而發生硼穿透的現象[45]，可見使用複晶矽鍺來取代複晶矽當閘極可改善雜質穿透現象。我們也可從二次離子質譜儀(SIMS)清楚看出硼離子的穿透現象，【圖 3-4(a)、3-4(b)】顯示隨著氮離子佈植濃度愈高，會有較小的硼穿透效應，而且複晶矽鍺閘極且氮氧化矽閘極介電層或二氧化矽閘極介電層不論有無氮離子的佈植，硼離子穿透都較複晶矽閘極且氮氧化矽閘極介電層小。Charging pumping current 可用來探測並研究介面捕捉的變化，【圖 3-5(a)】顯示對每個週期所重新建結的電荷： Q_{ss} ； Q_{ss} 對 $\log(f)$ 的斜率和介面捕捉 D_{it} 成正比 [60]，很明顯的複晶矽閘極且氮氧化矽閘極介電層有很大的斜率變化，可見硼穿透造成了許多介面缺陷，複晶矽閘極有嚴重的硼穿透現象。再比較不同濃度氮離子佈植， Q_{ss} 的斜率大致相同，顯示經過氮離子佈植後，介面缺陷變化不大。【圖 3-5(b)】複晶矽鍺閘極且二氧化矽閘極介電層有氮離子佈植的 Q_{ss} 斜率比沒有氮離子佈植的元件較小，有較少的硼穿透。而複晶矽鍺閘極且氮氧化矽閘極介電層或二氧化矽閘極介電層不論有無氮離子的佈植， Q_{ss} 的斜率都比複晶矽閘極且氮氧化矽閘極介電層小的多，所以複晶矽鍺閘極在防止硼穿透有較佳的表現。

3.2.2 閘極空乏

上節的討論可知氮離子的佈植可改善硼離子穿透效應，高濃度的氮離子佈植雖有較好的阻擋硼離子的效果，但所伴隨而來的閘極空乏也是我們不得不重視的影響。閘極空乏可由電壓-電容的量測來討論。

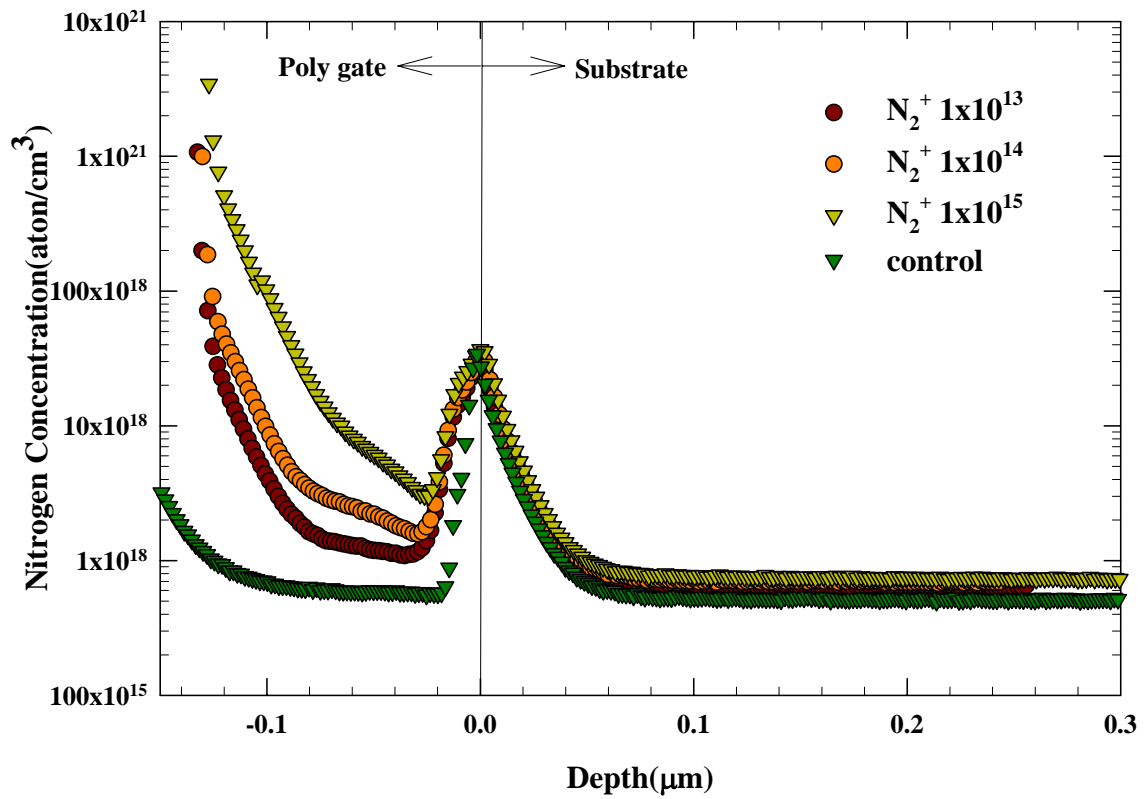
電容的量測為使用HP 4284 C-V分析儀在高頻（1MHz）的電壓-電容量測中獲得。所有C-V曲線的量測面積為 $100\mu\text{m} \times 10\mu\text{m}$ 。由公式

$$C = \epsilon_{ox} \times \frac{area}{t_{ox}} \quad \text{【式3-1】}$$

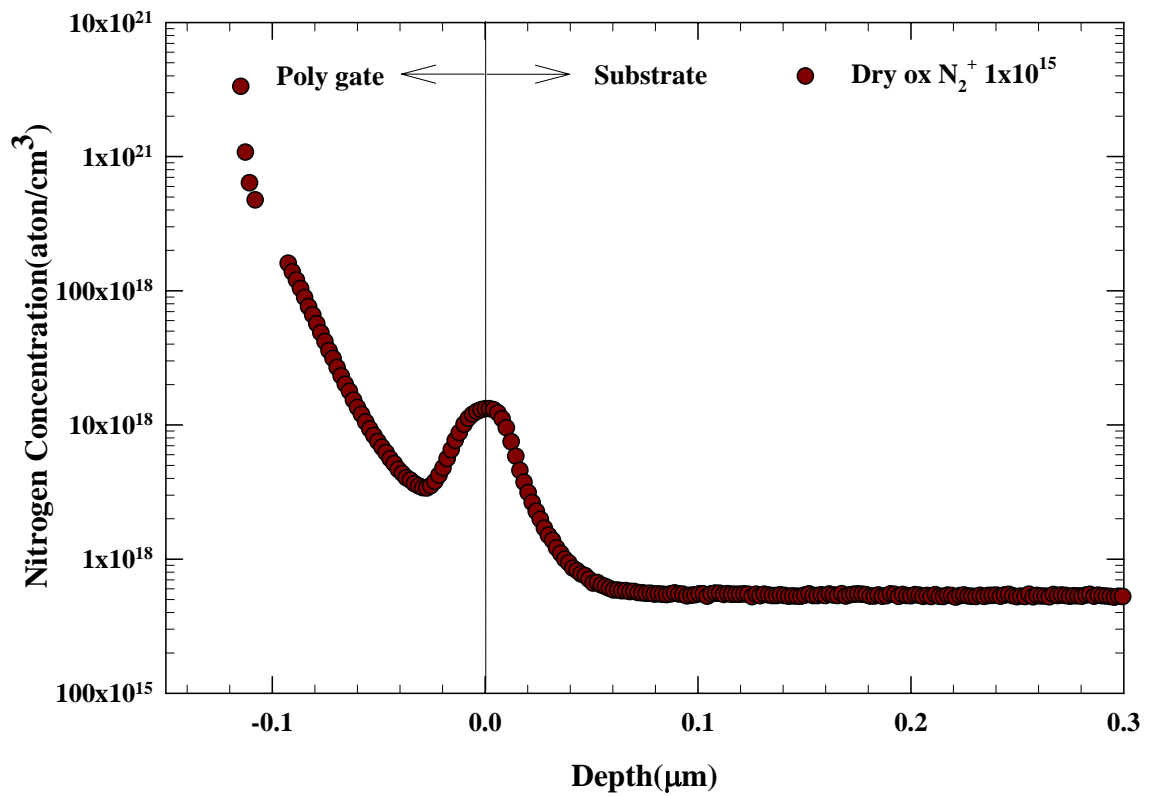
其中C為電容值【單位：F（法拉）】， ϵ_{ox} 是絕緣體介電係數【二氧化矽為 $3.9 \times 8.85 \times 10^{-14} \text{F/cm}$ 】，area是指量測的電容面積（單位： cm^2 ），我們可以求得每個條件下的有效閘極介電層厚度（ t_{ox} ），因為閘極空乏的原因各晶片所測得的厚度略有不同，硼離子若活化不全將造成元件片電阻質上升產生閘極空乏，不同含量的氮離子佈植對元件片電阻值上造成的效果如【圖 3-6】，可以發現隨著氮離子濃度的提高，元件有較高的片電阻值，片電阻值升高的原因是 N_2^+ 的佈植會使得硼離子在高溫活化時的擴散能力降低，進而導致活化不完全，使得片電阻值有升高的趨勢。另一方面，比較傳統複晶矽與複晶矽鍍兩者的片電阻值，可以發現當氮離子植入濃度為 $1 \times 10^{15} \text{ions/cm}^2$ 時，其片電阻值還

比尚未離子佈植的傳統複晶矽片電阻值還低，表示利用複晶矽鍍作為閘極由於因為活化能較低而使得片電阻值相對的減小。比較乾氧環境下與 N₂O 環境下成長閘極氧化層元件之片電阻值，不難發現在經過氮離子植入濃度為 1×10^{15} ions/cm² 時，其不論是在乾氧環境下或 N₂O 環境下成長閘極氧化層元件之片電阻值都相當接近，表示都具有相當強的硼離子捕捉效果，而 N₂O 閘極氧化層有較高的片電阻值，推測是更多的硼離子與氮離子鍵結，因此有較高的片電阻值，推究其原因

是複晶矽(鍍)閘極與閘極氧化層介面堆積了許多氮原子，與矽形成矽氮強鍵來取代矽氧弱鍵結，並且有效的減少硼原子擴散到氧化層。由【圖 3-7、3-8】可得知各條件的電容值，將圖中的 C_{max} 帶入【式 3-1】可以分別得到其厚度，這個厚度的值也決定了我們之後 NBT-stress 時閘極所應加之偏壓(V_g)的大小。各不同條件的晶片上所測的厚度分別列於【表 3-1】，各條件下晶片測量電容所求的之有效閘極介電層厚度(t_{ox})。由以上的討論我們可以瞭解，對於不同的硼離子佈植劑量與活化溫度的製程條件下，要在閘極空乏與硼穿透效應兩者間做一取捨。

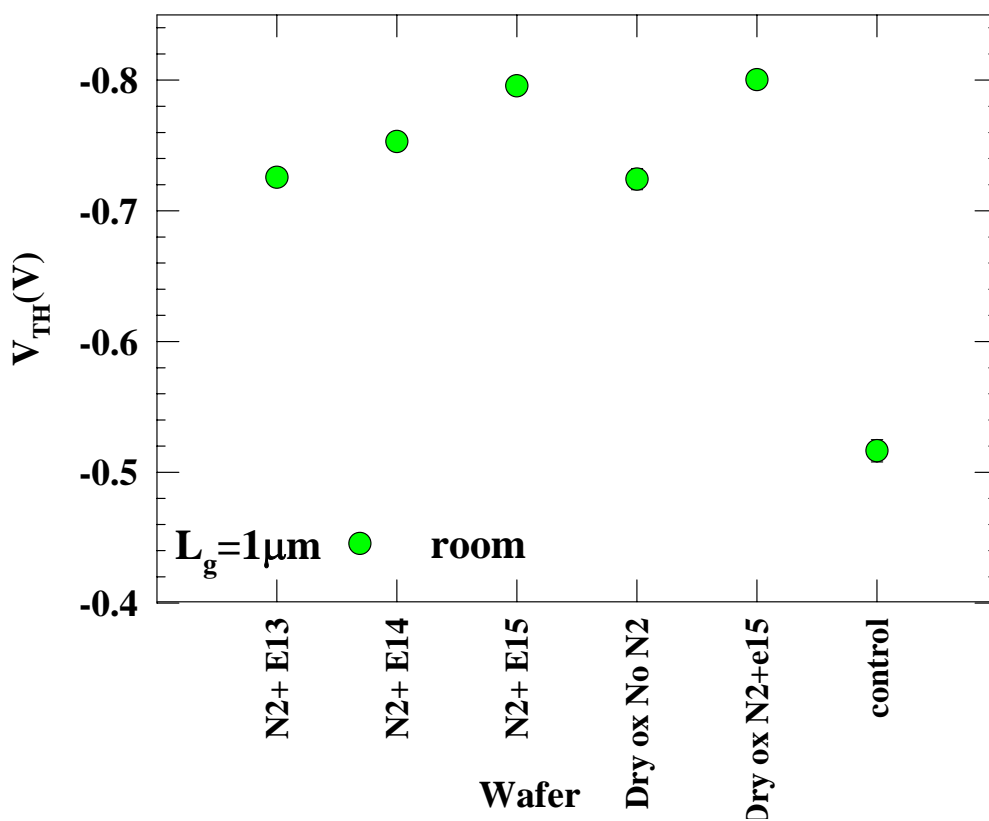


【圖 3-1】二次離子質譜儀(SIMS)分析。氮離子在複晶矽鍺閘極且氮氧化矽閘極介電層和複晶矽閘極且氮氧化矽閘極介電層的分佈

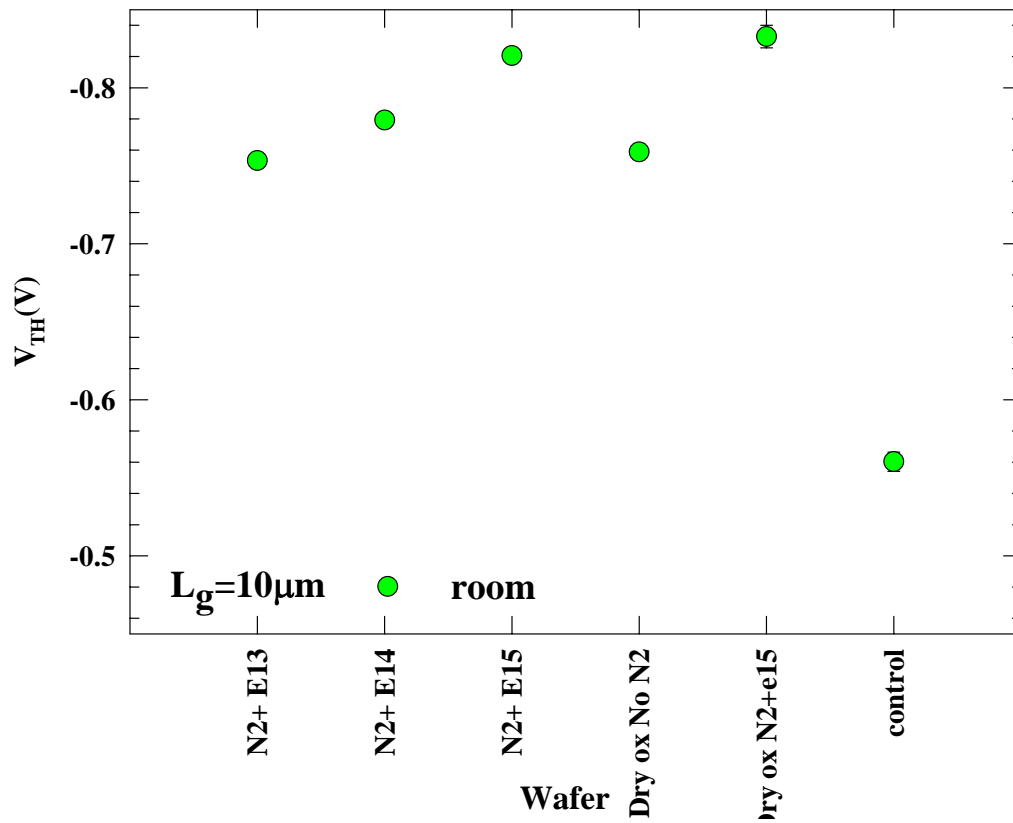


【圖 3-2】二次離子質譜儀(SIMS)分析。

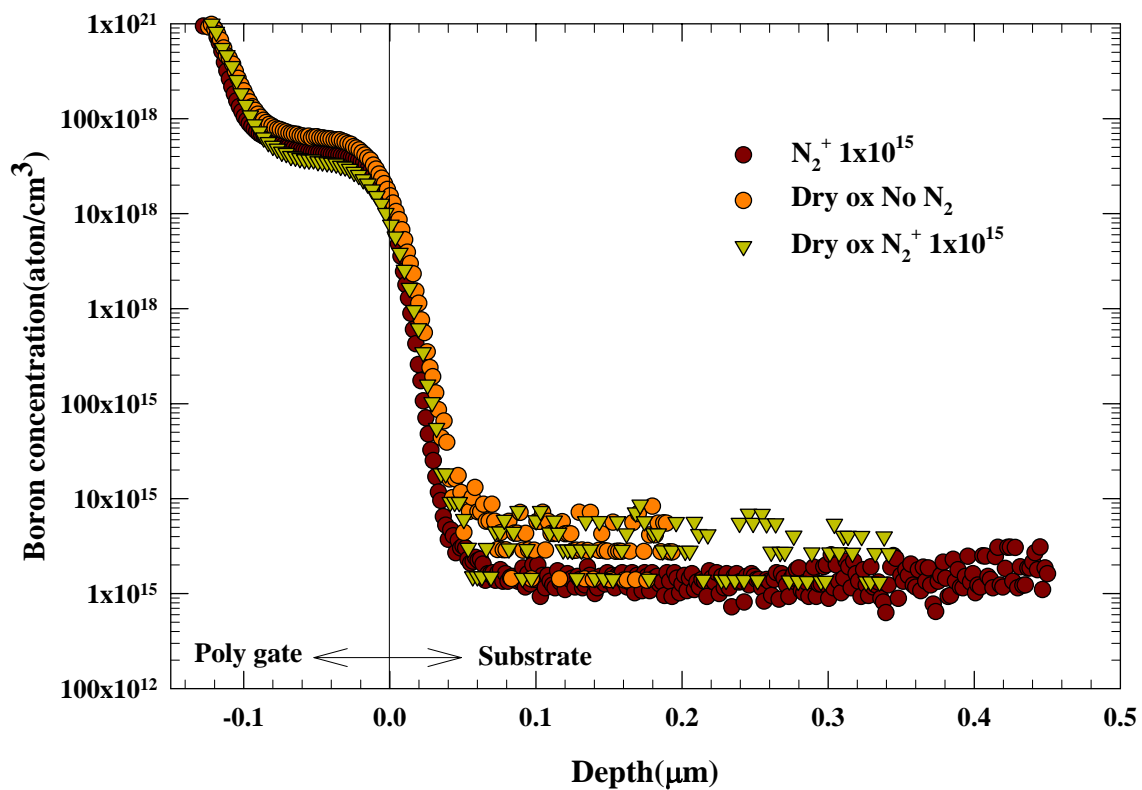
顯示氮離子在 Dry oxide N_2^+ 1×10^{15} : 複晶矽鍺閘極且二氧化矽閘極介電層的分佈



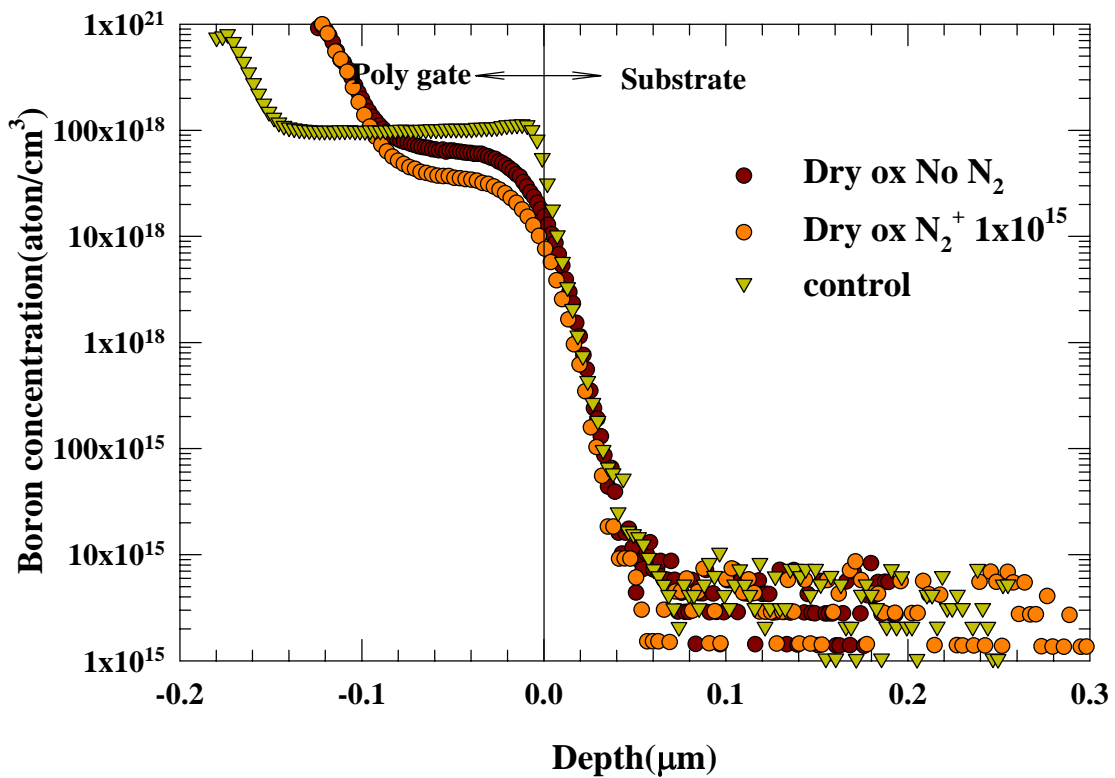
【圖 3-3(a)】通道長度為 $1\mu\text{m}$ 的臨界電位變化，顯示當氮離子佈植濃度愈高時，有較大的臨界電位絕對值($|V_{TH}|$)



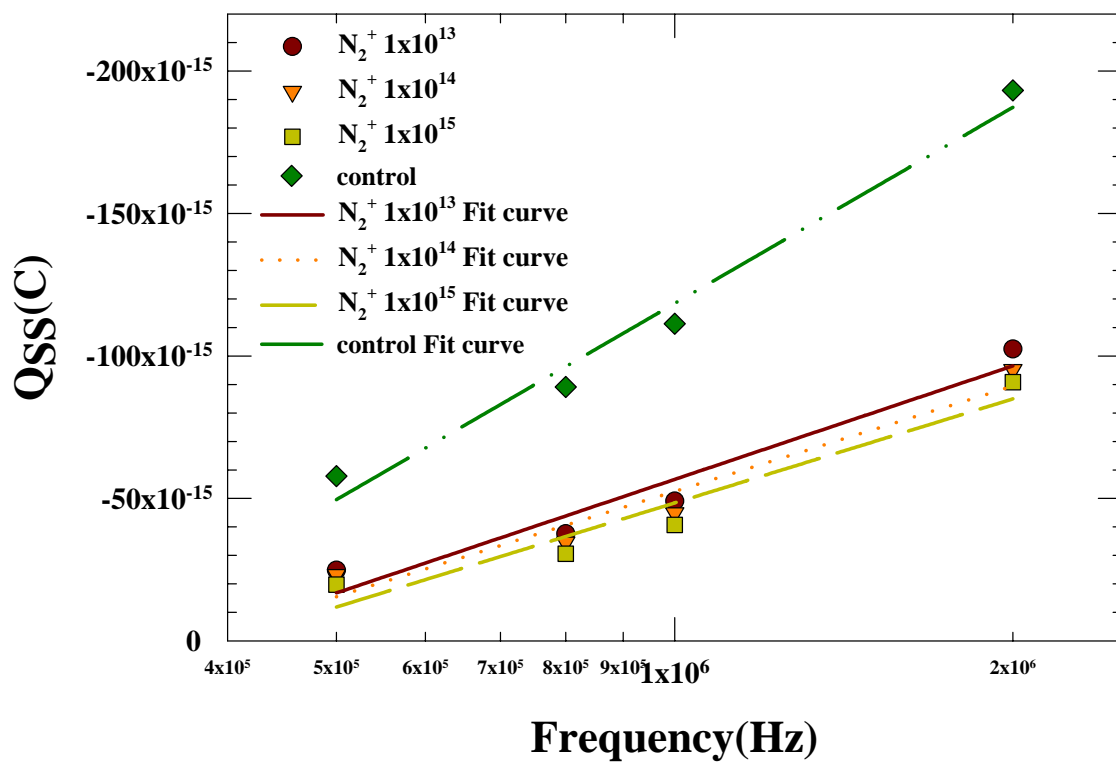
【圖 3-3(b)】通道長度為 $10\mu\text{m}$ 的臨界電位變化，顯示當氮離子佈植濃度愈高時，有較大的臨界電位絕對值($|V_{TH}|$)



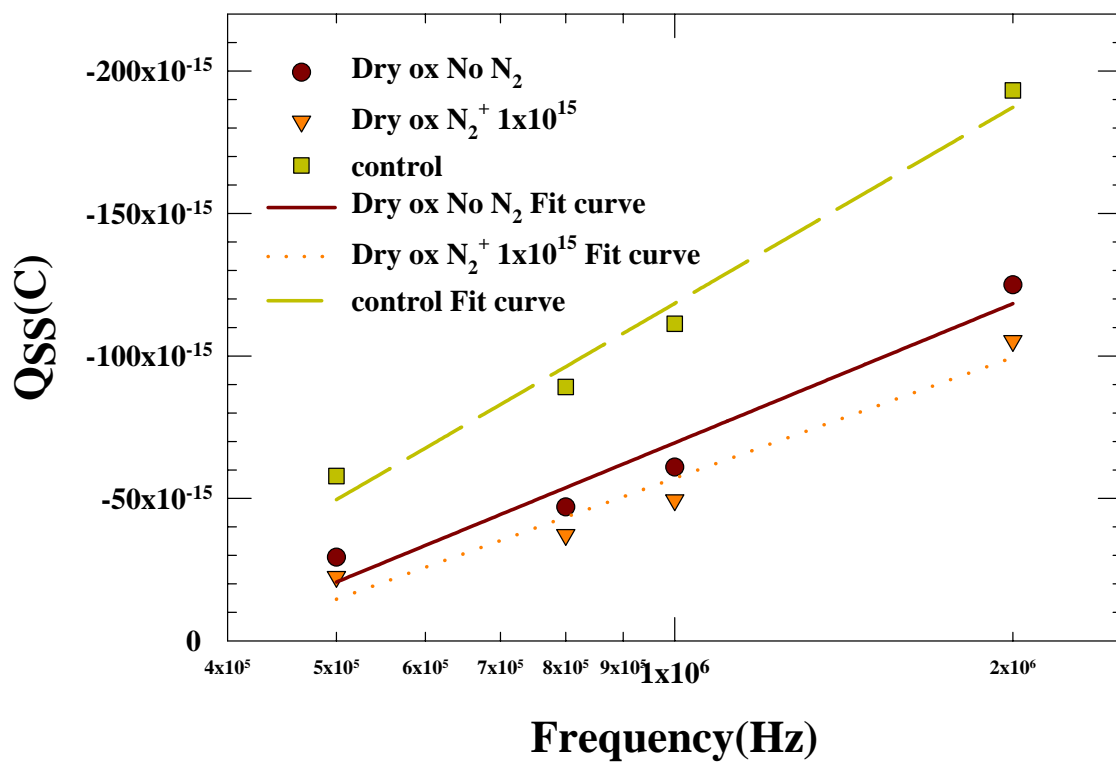
【圖 3-4(a)】二次離子質譜儀(SIMS)分析。顯示隨著氮離子佈植濃度愈高，會有較小的硼穿透效應，而且複晶矽鍺閘極且氮氧化矽閘極介電層不論有無氮離子的佈植， $|V_{TH}|$ 值都比複晶矽閘極且氮氧化矽閘極介電層大的多



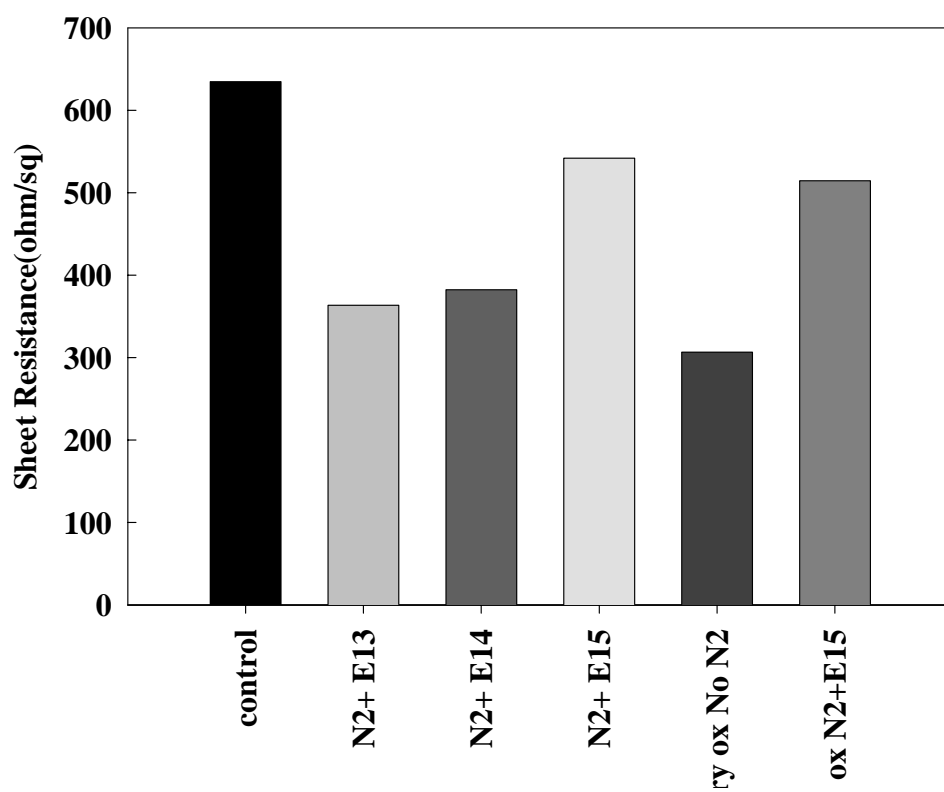
【圖 3-4(b)】二次離子質譜儀(SIMS)分析。顯示隨著氮離子佈植濃度愈高，會有較小的硼穿透效應，而且複晶矽鍺閘極且二氧化矽閘極介電層不論有無氮離子的佈植， $|V_{TH}|$ 值也都比複晶矽閘極且氮氧化矽閘極介電層大的多



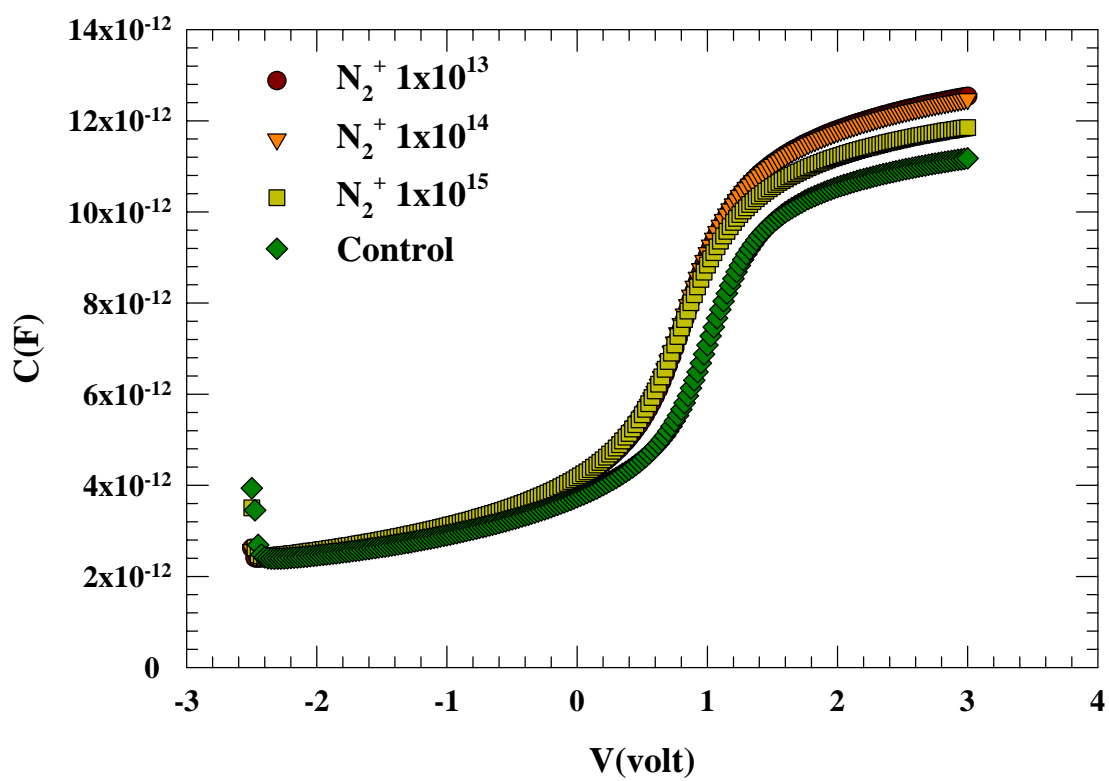
【圖 3-5(a)】 Charging pumping current。複晶矽閘極且氮氧化矽閘極介電層有很大的斜率變化，可見硼穿透造成了許多介面缺陷，複晶矽閘極有嚴重的硼穿透現象。不同濃度氮離子佈植， Q_{ss} 的斜率大致相同，顯示經過氮離子佈植後，介面缺陷變化不大



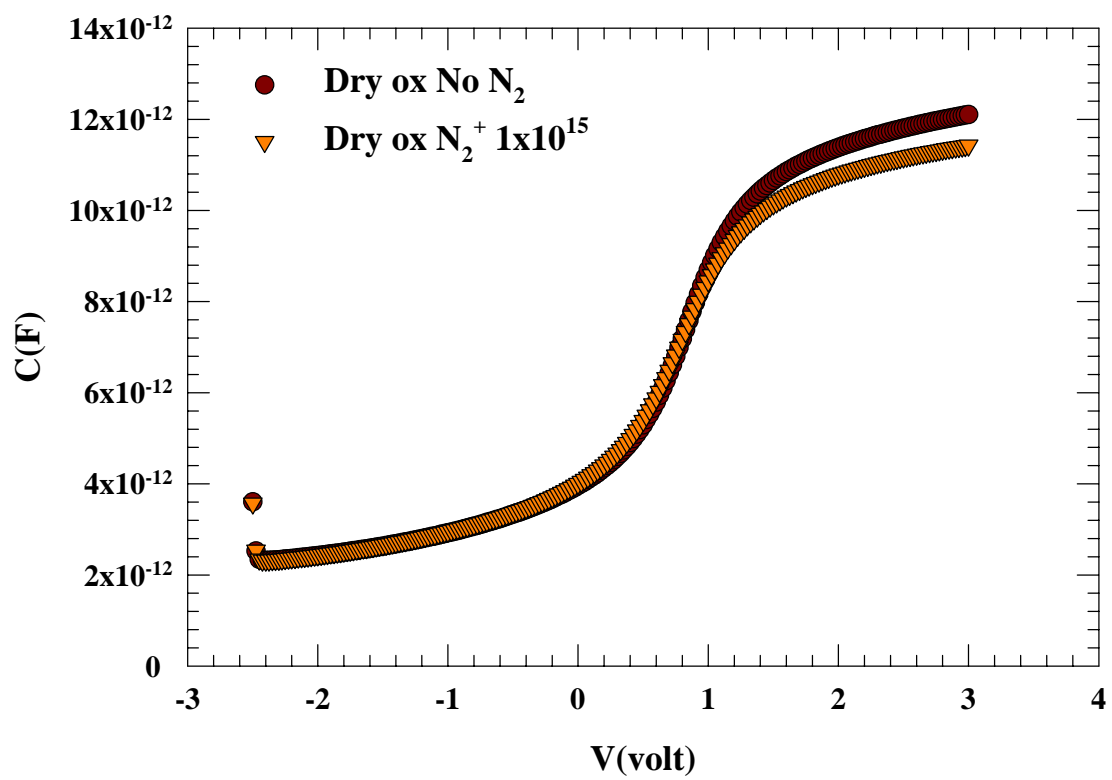
【圖 3-5(b)】 Charging pumping current。複晶矽鍺閘極且二氧化矽閘極介電層有氮離子佈植的 Qss 斜率比沒有氮離子佈植的元件較小，有較少的硼穿透



【圖 3-6】不同含量的氮離子佈植對元件片電阻值上造成的效果，隨著氮離子濃度的提高，元件有較高的片電阻值



【圖 3-7】複晶矽鍺閘極且氮氧化矽閘極介電層與複晶矽閘極且氮氧化矽閘極介電層的電壓-電容圖



【圖 3-7】複晶矽鍺閘極且二氧化矽閘極介電層的電壓-電容圖

| Wafer | control | $N_2^+ 1 \times 10^{13}$ | $N_2^+ 1 \times 10^{14}$ | $N_2^+ 1 \times 10^{15}$ | Dry ox No N_2 | Dry ox $N_2^+ 1 \times 10^{15}$ |
|-----------|---------|--------------------------|--------------------------|--------------------------|-----------------|---------------------------------|
| 厚度 (Å) | 30.96 | 27.96 | 28.08 | 29.41 | 28.84 | 30.36 |

【表 3-1】各條件下晶片測量電容所求的之有效閘極介電層厚度(t_{ox})

第四章

氮離子對負偏壓溫度不穩定性 NBTI 的影響

4.1 引言

本章節主要的內容為探討將 N_2O 氮化氧化層 (Oxynitride) 應用在複晶矽鍺閘極上，及氮氧化矽閘極介電層與二氧化矽閘極介電層在複晶矽鍺閘極加以不同劑量的氮離子佈植，對 P 型金氧半電晶體中 NBTI 的影響。此外我們也要研究的是在 NBTI 受到重視之前，常用來做可靠性分析的工具：Channel Hot-Carrier (CHC)。

4.2 結果與討論

4.2.1 臨界電壓(V_{TH})、最大轉移電導($G_{m,max}$)

在此我們分別在三種溫度 (室溫、 $75^{\circ}C$ 、 $125^{\circ}C$) 測量了通道長度為 $1\mu m$ 與 $10\mu m$ 的 MOSFET 各 10 點，以求得各個溫度的平均 V_{TH} 、 $G_{m,max}$ ，【圖 4-1(a)、4-1(b)】可以發現溫度升高後平均 V_{TH} 也跟著

下降，矽基板的本徵載子濃度為溫度的強烈函數，因此 E_F 也是溫度的函數，當溫度升高時 n 型矽基板的費米能階會往價帶靠近，使摻雜濃度降低，平均 V_{TH} 也跟著下降。【圖 4-2】顯示平均 $G_{m_{max}}$ ，隨溫度上升平均 $G_{m_{max}}$ 也會跟著下降，通道上的載子會因為溫度的上升，而震盪的更加劇烈，這使載子的遷移率下降，所以 $G_{m_{max}}$ 也跟著下降。在可靠性的分析上，我們量測 V_{TH} 與 G_m 的偏移來觀察 NBTI 的影響。這裡用來測試的元件為通道寬度為 $100\mu m$ 、通道長度為 $0.8\mu m$ 的 P 型複晶矽閘極 MOSFET，氮離子在閘極介電層的存在已經被證實會影響 NBTI 效應，【圖 4-3、4-4】是在室溫下 $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且氮氧化矽閘極介電層與 Dry ox $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且二氧化矽閘極介電層在閘極上佈植相同濃度劑量為 $N_2^+ 1 \times 10^{15}$ 的氮離子 V_{TH} 、 $G_{m_{max}}$ 的偏移，閘極介電層垂直電場為 -15 MV/cm 與閘極介電層厚度決定了閘極偏壓 (V_g) 的大小 $E_{ox} = \frac{V_g}{t_{ox}}$ ，氮氧化矽閘極介電層的 V_{TH} 的偏移較大，可以得知氮氧化矽的鍵結較弱，比較容易形成 NBTI 中的 positive fixed charge 及介面捕捉(interface trap)，因此其 NBTI 效應較嚴重。再看閘極離子佈植時氮離子計量對 NBTI 的影響【圖 4-5、4-6、4-7、4-8】，無論是二氧化矽閘極介電層或氮氧化矽閘極介電層都有氮離子劑量越大則 V_{TH} 與 $G_{m_{max}}$ 的偏移越大的現象，如室溫 -15MV NBTI stress 10000 秒後的 V_{TH} 的偏移： $N_2^+ 1 \times$

10^{13} 為-18.9mV， $N_2^+ 1 \times 10^{14}$ 為-19.7mV， $N_2^+ 1 \times 10^{15}$ 為-20.6mV，這說明了閘極離子佈植時氮離子劑量對於閘極介電層的品質的影響。而複晶矽鍺閘極且氮氧化矽閘極介電層或二氧化矽閘極介電層不論有無氮離子的佈植， V_{TH} 與 $G_{m_{max}}$ 的偏移都比 Control:複晶矽閘極且氮氧化矽閘極介電層明顯較大，顯示有氮離子的摻雜會使 NBTI 嚴重的多。再看高溫的變化【圖 4-9、4-10、4-11、4-12】此為 125°C -14MV NBTI stress 10000 秒後的 V_{TH} 與 $G_{m_{max}}$ 的偏移。變化的趨勢和室溫 -15MV NBTI stress 10000 秒後相同，但 V_{TH} 的偏移大幅的增加， $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且氮氧化矽閘極介電層的 V_{TH} 的偏移為-45 mV，所以由以上可以得到 NBTI-stress 的性質：閘極偏壓 (V_g) 越大、stress 時溫度越高所造成 V_{TH} 的偏移越嚴重，當然這是在沒有發生崩潰 [46~48]、軟崩潰 (soft-breakdown) [49~52] 下而言，在 stress 條件設立時應要注意這個地方。

此外我們沒有列出 Control:複晶矽閘極且氮氧化矽閘極介電層在高溫時的 V_{TH} 與 $G_{m_{max}}$ 的偏移，因為 Control 片在高溫爐管退火時，有大量的硼穿透，使得閘極介電層品質非常不好，在高溫 NBTI-stress 無法量測 10000 秒後的 V_{TH} 與 $G_{m_{max}}$ 的偏移。由【圖 4-13】可以發現 Control 片在 125°C -14MV NBTI stress 200 秒的 V_{TH} 偏移已經非常嚴重，200 秒以後元件則已失效。

4.2.2 NBTI 與基板熱載子效應 (Substrate Hot Hole, SHH)

一般的 NBTI stress 時除了閘極有電壓外，源極、汲極、基極 (substrate) 都是接地的，如【圖 1-1】所示，若我們再加上基極電壓不為零 ($V_{sub}=1, V_{sub}=2$)【圖 4-14】[53]，這樣一來 V_{TH} 與 $G_{m_{max}}$ 的偏移增加，此時為 NBTI 效應加上 SHH，【圖 4-15、4-16】顯示 125°C -14MV NBTI $V_{sub}=2\text{V}$ stress 10000 秒後的 V_{TH} 偏移。變化的趨勢和 125°C -14MV NBTI stress 10000 秒後相同，但 V_{TH} 的偏移增加許多。【圖 4-17】表示 Dry ox $\text{N}_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且二氧化矽閘極介電層片而在定義閘極前做氮離子劑量 1×10^{15} ions/cm²，閘極介電層垂直電場為 -14 MV/cm， $V_{sub}=0\text{V}$ 、 $V_{sub}=2\text{V}$ 的 NBT-stress 後 V_{TH} 的偏移，其中 $V_{TH-10000s} = -40.9\text{mV}$ ($V_{sub}=0\text{V}$)， $V_{TH-10000s} = -48.2\text{mV}$ ($V_{sub}=2\text{V}$)，增加的部分是因為 Substrate Hot Hole 的參與而造成的結果，我們假設在加上 V_{sub} 所造成的效應為在通道的能帶更加陡直，而使得跨在 n-well 與 p-sub 間的空乏區的電場增大，產生許多的電子電洞對，產生的電洞即所謂的 Substrate Hot Hole。Substrate Hot Hole 的數量變大而且也會傷害閘極介電層，總體的電洞數量增大了，其所碰撞造成的 positive fixed charge 及介面捕捉 (interface trap)，造成 V_{TH} 與 G_m 的偏移也變得更大【圖 4-18】。【圖 4-19】是二氧化矽閘極介電層與氮氧化矽閘極介電層各條件下的分別於

$V_{sub}=0V$ 、 $V_{sub}=2V$ 的 NBT-stress 後 $V_{TH-10000s}$ ，而在氮氧化矽閘極介電層和二氧化矽閘極介電層各條件下 $V_{TH-10000s}(V_{sub}=2V) - V_{TH-10000s}(V_{sub}=0V)$ 值，可得知 $N_2^+ 1 \times 10^{15}$ 會有最大的值，也就是在閘極離子佈植時氮離子計量 $1 \times 10^{15} \text{ cm}^{-2}$ 會使得基板熱載子的影響變大。

4.2.3 溫度變化對 NBTI 的影響

由前面的章節我們可以知道溫度對 NBTI 的影響，溫度越高造成 V_{TH} 與 G_m 的偏移也越大，在這章節我們再對溫度與 NBTI 的關係作更深入的瞭解。【圖 4-20、4-21、4-22】為變溫下複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植對 NBTI 的影響，閘極介電層垂直電場定義為 $E_{ox}=(V_g-V_{FB})/t_{ox}=-11 \text{ MV/cm}$ ，溫度分別設定在 30°C 、 70°C 與 110°C ，可以看的出來在各溫度下，氮離子佈植的劑量越高 V_{TH} 偏移越大，在圖中 $\text{Log } V_{TH}$ 對 Stress Time 的斜率也越大。【圖 4-23、4-24、4-25】顯示變溫下複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移，顯然在各溫度下 Dry ox $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做氮離子劑量 $1 \times 10^{15} \text{ ions/cm}^2$ 的離子佈植比沒有佈植氮離子的 Dry ox No N_2 條件，圖形斜率明顯大的多。我們在比較各條件在變溫下的變化，【圖 4-26】為 $N_2^+ 1 \times 10^{15}$ ：複

晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做氮離子劑量 1×10^{15} ions/cm² 的離子佈植，閘極介電層垂直電場定義為 $E_{ox} = (V_g - V_{FB}) / t_{ox} = -11$ MV/cm，溫度分別設定在 30°C、70°C 與 110°C，可以看的出來在各溫度下，溫度越高 V_{TH} 偏移越大，但圖形斜率並沒有改變，所以不同的溫度下造成 NBTI 的機制並沒有改變。【圖 4-27】為複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做氮離子劑量 1×10^{15} ions/cm² 的離子佈植在變溫時 V_{TH} 偏移的變化。我們可藉由 $\text{Log } \Delta V_{TH}$ 對溫度變化來做圖得到活化能 (activation energy, E_a)， $\Delta V_{TH} = A \exp(-E_a/kT)$ ，【圖 4-28】是複晶矽鍺閘極且氮氧化矽閘極介電層的 V_{TH} 偏移對變溫的圖形，在不同的氮離子佈植條件下，斜率並沒有太大的改變，顯示各條件的活化能也相同則氮離子佈植的劑量並沒有改變 V_{TH} 偏移的機制。【圖 4-29】表示複晶矽鍺閘極且二氧化矽閘極介電層的 V_{TH} 偏移對變溫的圖形，在對照【圖 4-30】由斜率可以比較出，二氧化矽閘極介電層的活化能大於氮氧化矽閘極介電層的活化能，唯不同的是在 A 值，A 值代表在介面上所有缺陷的總和。

4.2.4 動態負偏壓溫度不穩定性 DNBTI

一般的 NBTI 在加 stress 是維持固定的負閘極偏壓來造成 stress 的效果，進而得到元件的可靠性。但如果我們考慮元件應用

在一個 CMOS 反相器上的話，當輸入端為低電壓(0)，而輸出端為高電壓時(1)，這時的情況類似於閘極加負偏壓，會造成 NBTI 效應，使得 V_{TH} 變大與 G_m 變小。相對的，當輸入端為高電壓(1)，而輸出端為低電壓時(0)，這時的情況類似於閘極加正偏壓，發生的現象有兩種：

【圖 4-31】正偏壓溫度不穩定性 PBTI (Positive Bias Temperature Instabilities) 與回復，這個現象指出其實 NBTI 所造成的傷害是可以部分回復的，因此在可靠性分析與元件生命期的要求上可以放寬一點。所以設計了以下的實驗：以 2000 秒為一區段，分別加上閘極的負正偏壓『負偏壓設定(V_{gn})為使閘極介電層垂直電場為 $-13\text{MV}/\text{cm}$ ，正偏壓設定(V_{gp})為使閘極介電層垂直電場為 $+13\text{MV}/\text{cm}$ 、 0Volt 、 $+1\text{Volt}$ 或 $+2\text{Volt}$ 』，共 12000 秒的 stress，在 125°C 下進行，記錄其 V_{TH} 與 $G_{m_{max}}$ 的偏移。

先由【圖 4-32】顯示複晶矽鍺閘極且氮氧化矽閘極介電層在不同氮離子計量佈植對 DNBTI 的影響，氮氧化矽閘極介電層在 12000 秒的 125°C ，負偏壓設定(V_{gn})為使閘極介電層垂直電場 $-13\text{MV}/\text{cm}$ ，正偏壓設定(V_{gp})為使閘極介電層垂直電場為 $+13\text{MV}/\text{cm}$ 的 DNBT-stress 後 V_{TH} 的偏移，在前兩千秒 stress 後表現出前面章節所提的 NBTI 的趨勢，但因 stress 的時間還不夠長，所以現象還不明顯，在 2100 秒後在加正偏壓時同時會因為其電場而使得在負偏壓

溫度不穩定性 NBTI 時所產生的 H^+ 會再跑回去與因 NBTI 形成的 positive fixed charge 及介面捕捉(interface trap)產生回復的效應。在 12000 秒的 125°C 的 DNBT-stress 後依然有氮離子劑量越大則 V_{TH} 偏移越大的現象，如 125°C -DNBTI-E=13 MV/cm stress 12000 秒後的 V_{TH} 的偏移： $N_2^+ 1 \times 10^{13}$ 為 -15.6mV， $N_2^+ 1 \times 10^{14}$ 為 -16.5mV， $N_2^+ 1 \times 10^{15}$ 為 -17.2mV，跟 NBTI-stress 比較起來，其增加的幅度下降。此外比較 Control 片：複晶矽閘極且氮氧化矽閘極介電層而在製程中沒有氮離子的植入與複晶矽鍺閘極且氮氧化矽閘極介電層等條件， V_{TH} 的偏移在正負偏壓下都比較小。【圖 4-33】是複晶矽鍺閘極且二氧化矽閘極介電層在不同氮離子計量佈植對 DNBTI 的影響，氮離子在 DNBTI 也是造成影響，依然有氮離子劑量越大 V_{TH} 偏移越大的現象。

不同正偏壓設定對 DNBTI 的影響【圖 4-34、4-35】是 $N_2^+ 1 \times 10^{13}$ 片與 control 片經過 12000 秒的 125°C ，負偏壓設定(V_{gn})為使閘極介電層垂直電場為 -13MV/cm，正偏壓設定(V_{gp})為使閘極介電層垂直電場為 +13MV/cm 與 +1Volt 的 DNBT-stress 後 V_{TH} 的偏移，其中正偏壓設定(V_{gp})為使閘極介電層垂直電場為 +13MV/cm 的時候在 2100 秒之後偏移會在增加與正偏壓設定(V_{gp})為 +1Volt 的不同，其增加的原因是由於 TDDB (Time Dependent Dielectric Breakdown)。在加正偏壓時產生回復的效應，但同時也有 TDDB。若是正偏壓設定(V_{gp})

為+1Volt 則 TDDB 的效果不明顯。【圖 4-36、4-37、4-38】顯示複晶矽鍺閘極且氮氧化矽閘極介電層在不同氮離子計量佈植對 DNBTI 的影響，氮氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(Vgn) 為使閘極介電層垂直電場 -13MV/cm，正偏壓設定(Vgp)分別為 0Volt、+1Volt、+2Volt 的 DNBT-stress 後 V_{TH} 的偏移，這裡也是氮離子劑量越大則 $V_{TH-12000s}$ 的偏移越大。【圖 4-39、4-40、4-41】是複晶矽鍺閘極且二氧化矽閘極介電層在不同氮離子計量佈植對 DNBTI 的影響，二氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(Vgn) 為使閘極介電層垂直電場 -13MV/cm，正偏壓設定(Vgp)分別為 0Volt、+1Volt、+2Volt 的 DNBT-stress 後 V_{TH} 的偏移，這裡的結果跟 NBTI 的一樣，都是閘極氮離子佈植造成的 V_{TH} 的偏移。最後我們比較各條件在不同的正偏壓設定(Vgp)分別為 0Volt、+1Volt、+2Volt 的 DNBT-stress 後 V_{TH} 的偏移，【圖 4-42】為 N_2^+ 1×10^{15} 複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做氮離子劑量 1×10^{15} ions/cm² 的離子佈植對 DNBTI 的影響，氮氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(Vgn)為使閘極介電層垂直電場 -13MV/cm，正偏壓設定(Vgp)分別為 0Volt、+1Volt、+2Volt 的 DNBT-stress 後 V_{TH} 的偏移，stress2100 秒開始 V_{TH} 的偏移開始出現變化，明顯看的出來正偏壓設定(Vgp)為+2Volt 的 V_{TH} 回復比正偏壓設定(Vgp)為 0Volt

大的多，在 stress 12000 後 V_{TH} 的偏移：正偏壓設定(V_{gp}) +2Volt 的偏移為-12.9mV，正偏壓設定(V_{gp})為 +1Volt 的偏移為-14.6mV，正偏壓設定(V_{gp})為 0Volt 的偏移為-16.0mV。

4.2.5 氮離子對 CHC 的影響

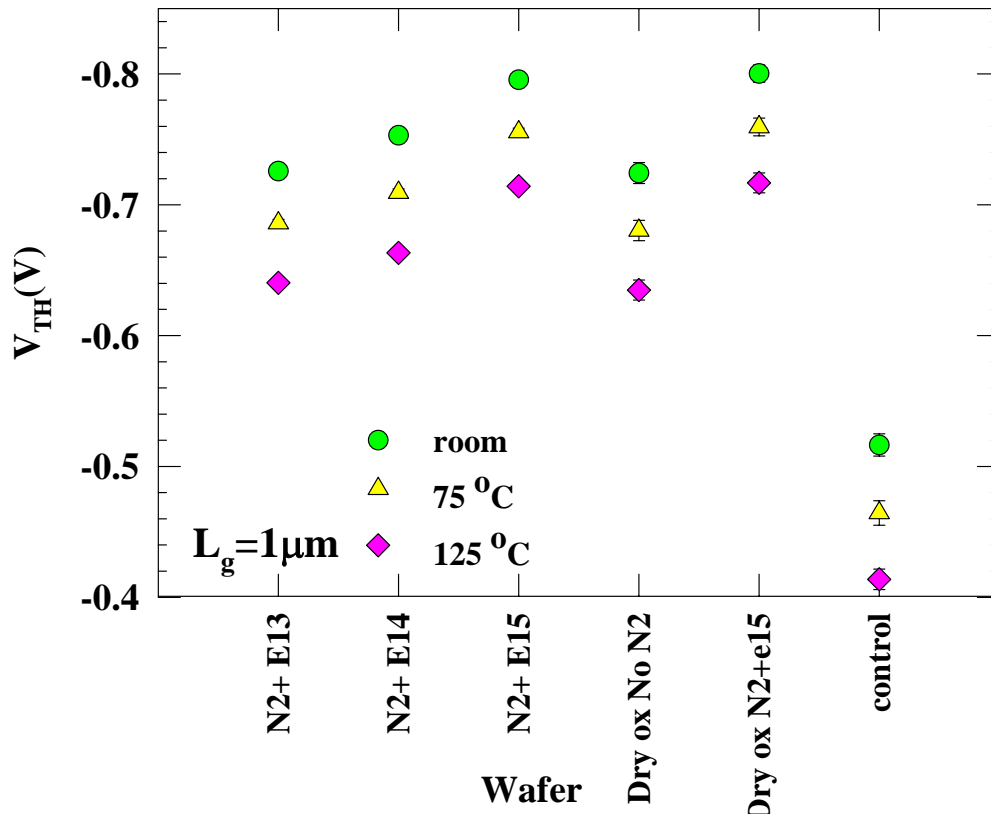
Channel Hot-Carrier (CHC)[54]，【圖 4-43】與 NBTI 不同之處是加上了汲極偏壓(V_d)不為零，這個偏壓的作用是使得在通道中的載子獲得能量，而在通道中流動，而熱載子在通道中流通時，有部分的載子會穿過閘極介電層流到閘極，並且對閘極介電層造成損害，造成電性的衰落【圖 4-44】。



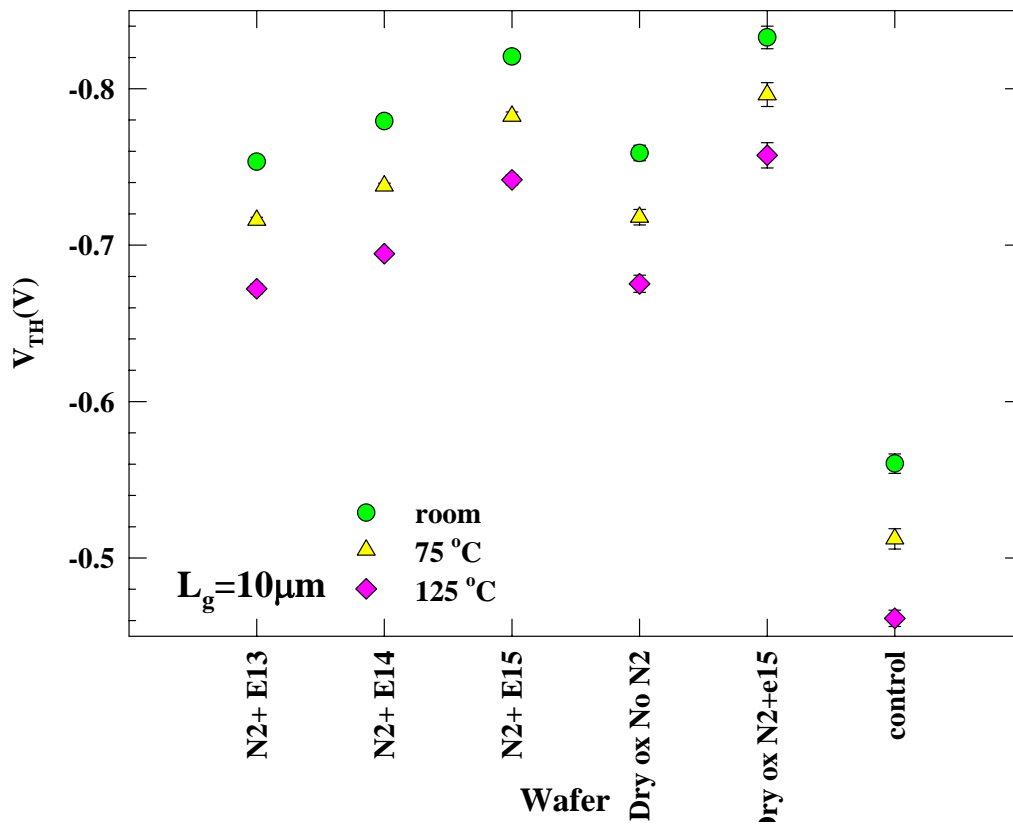
【圖 4-45、4-46、4-47、4-48】為複晶矽鍺閘極且氮氧化矽閘極介電層和二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 與 G_m 偏移，圖中可以看出比起 NBTI 的偏移來，CHC-stress 所造成的 V_{TH} 的偏移比較小，但是氮離子劑量越大時卻會使 V_{TH} 的偏移變小，這個結果剛好與 NBTI 的結果相反，我們推測 CHC-stress 時其實 NBTI 也有部分作用，此時稱之為 NBTI-enhance-CHC-stress，而其 V_{TH} 的偏移比較小的原因是當加上 $V_g=V_d=-4.3$ volt 時， V_d 會使閘極介電層垂直電場變小，因此降低了 NBTI 效應的影響。

CHC 對於超薄閘極介電層的可靠性測量的重要性已漸漸被 NBTI 所取代，而且在通道熱載子效應中的 NBTI-enhance-CHC-stress 也與傳統的 CHC-stress 造成的結果不同，因此在做通道熱載子效應的分析上，應該也要導入 NBTI 效應的因素，如此才是在 stress 時所有發生在操作元件裡的效應。

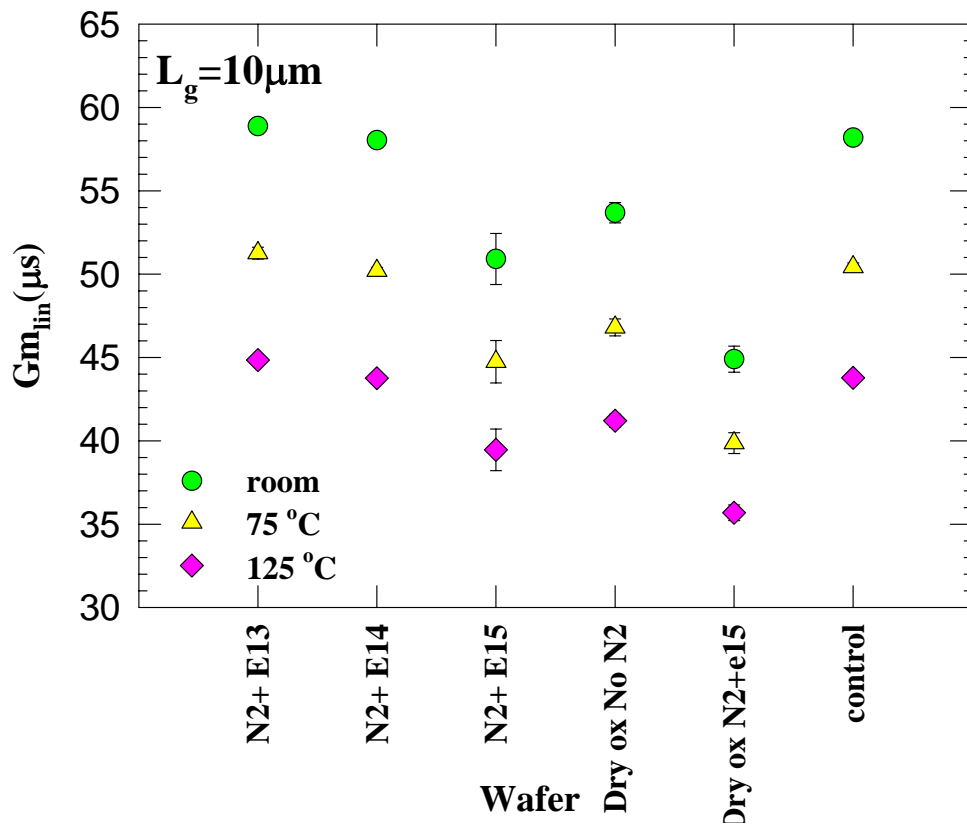




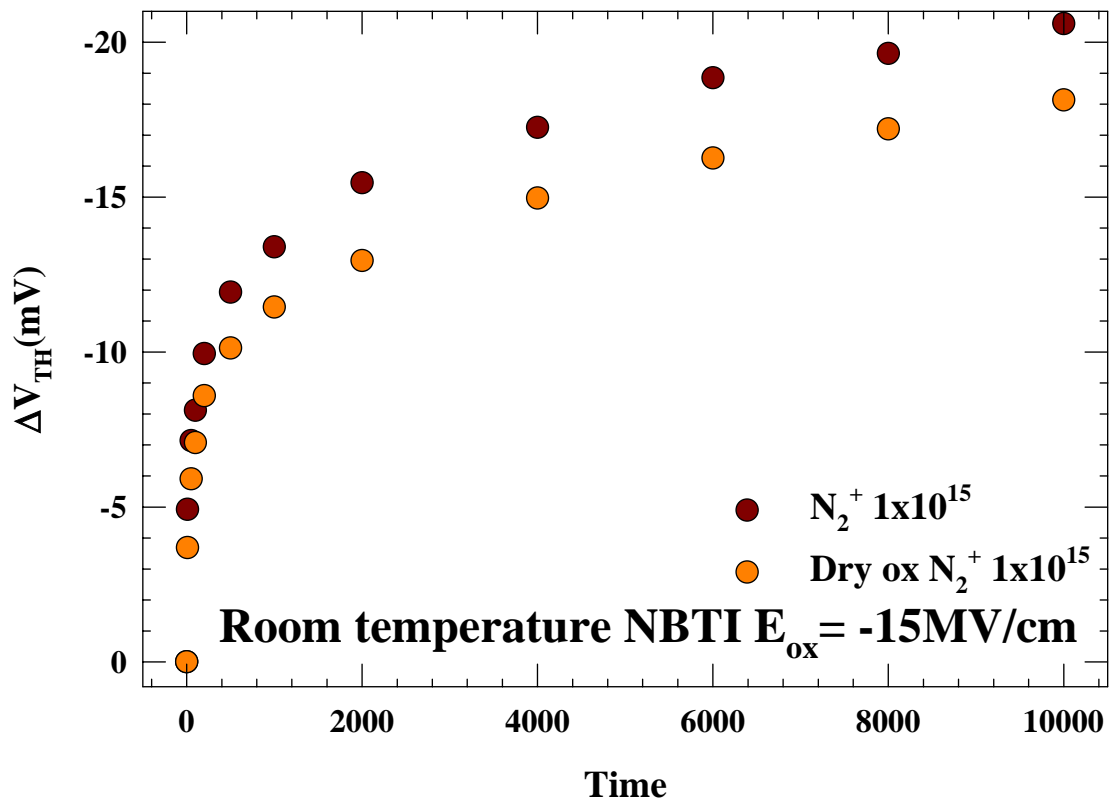
【圖 4-1(a)】各溫度的平均 V_{TH} ，分別在三種溫度（室溫、75°C、125°C）測量了通道長度為 $1\mu\text{m}$ 的 MOSFET 各 10 點，以求得各個溫度的平均 V_{TH}



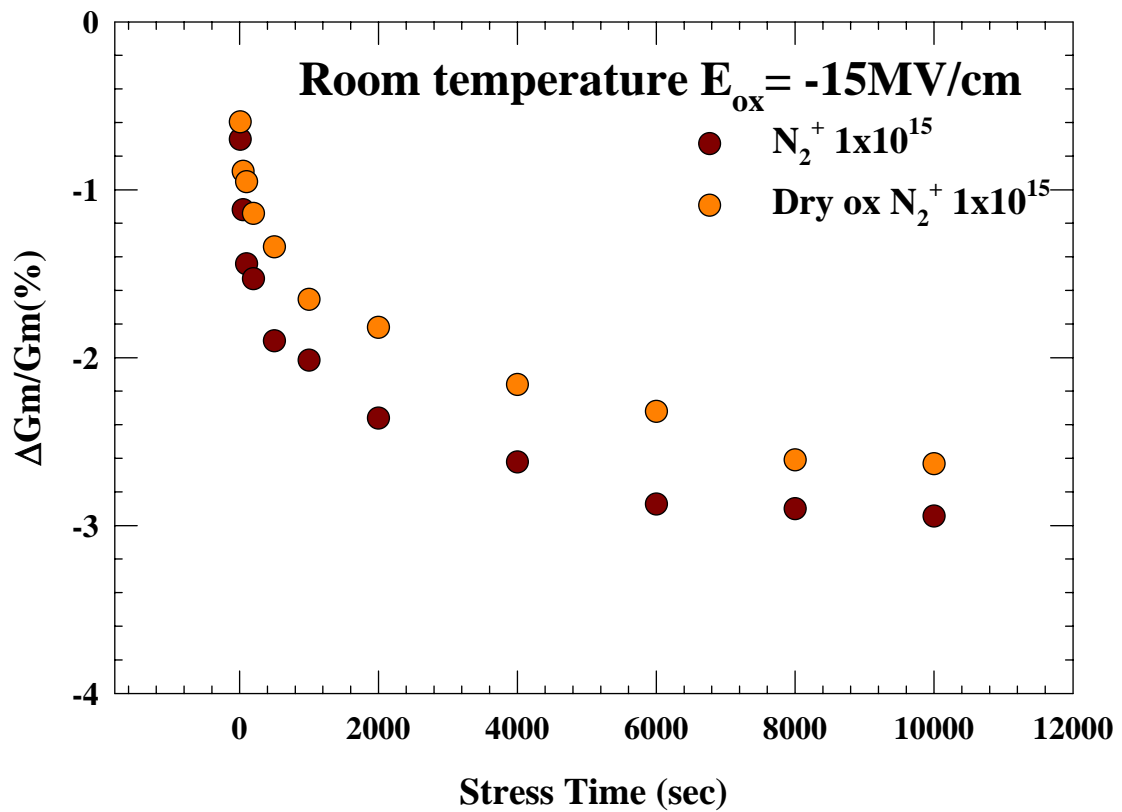
【圖 4-1(b)】各溫度的平均 V_{TH} ，分別在三種溫度（室溫、75°C、125°C）測量了通道長度為 $10 \mu\text{m}$ 的 MOSFET 各 10 點，以求得各個溫度的平均 V_{TH}



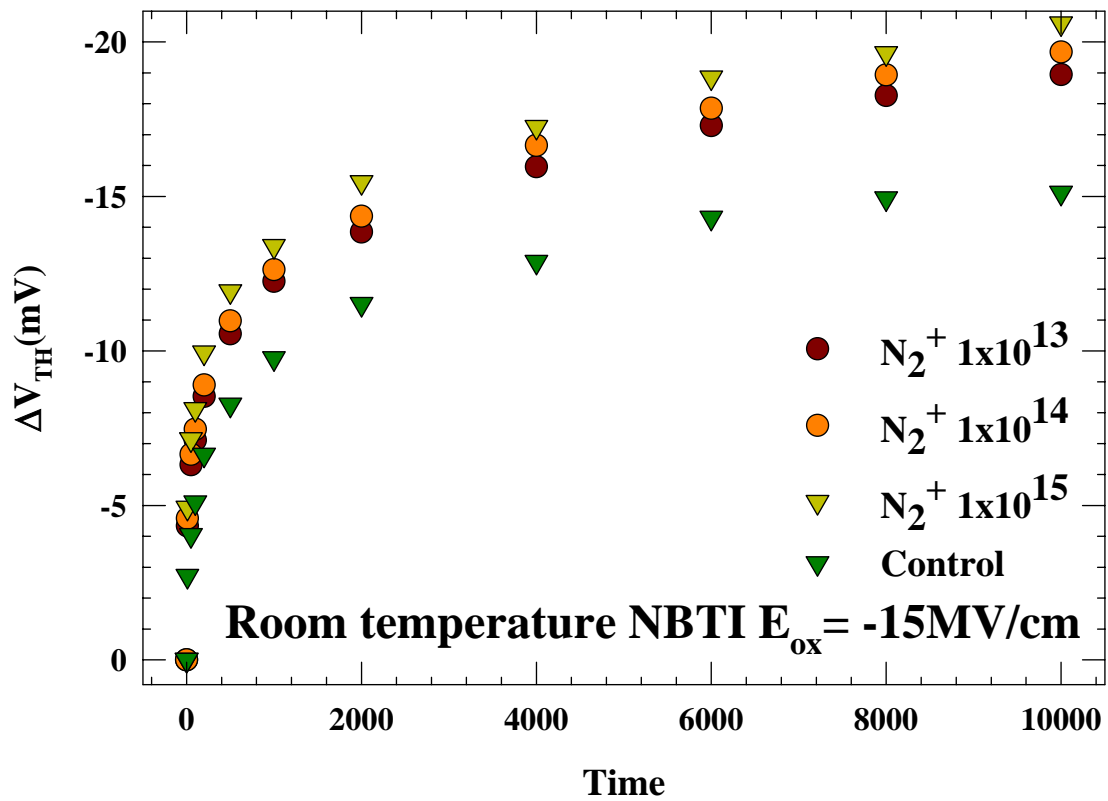
【圖 4-2】平均 Gm_{\max} ，分別在三種溫度（室溫、75°C、125°C）測量了通道長度為 $10\mu\text{m}$ 的 MOSFET 各 10 點，以求得各個溫度的平均 Gm_{\max}



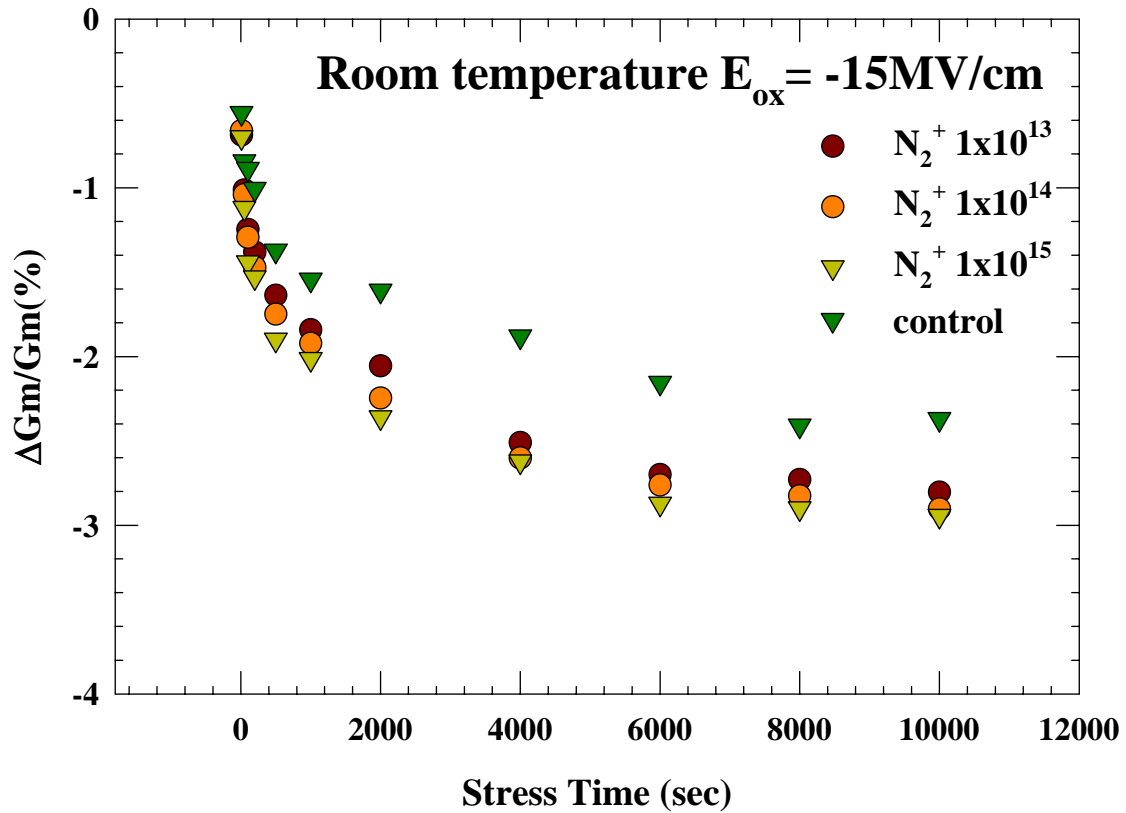
【圖 4-3】在室溫下 $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且氮氧化矽閘極介電層與 Dry ox $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且二氧化矽閘極介電層在閘極上佈植相同濃度劑量為 $N_2^+ 1 \times 10^{15}$ 的氮離子 V_{TH} 的偏移



【圖 4-4】在室溫下 $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且氮氧化矽閘極介電層
 與 Dry ox $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且二氧化矽閘極介電層在閘極上
 佈植相同濃度劑量為 $N_2^+ 1 \times 10^{15}$ 的氮離子的 Gm_{max} 的偏移

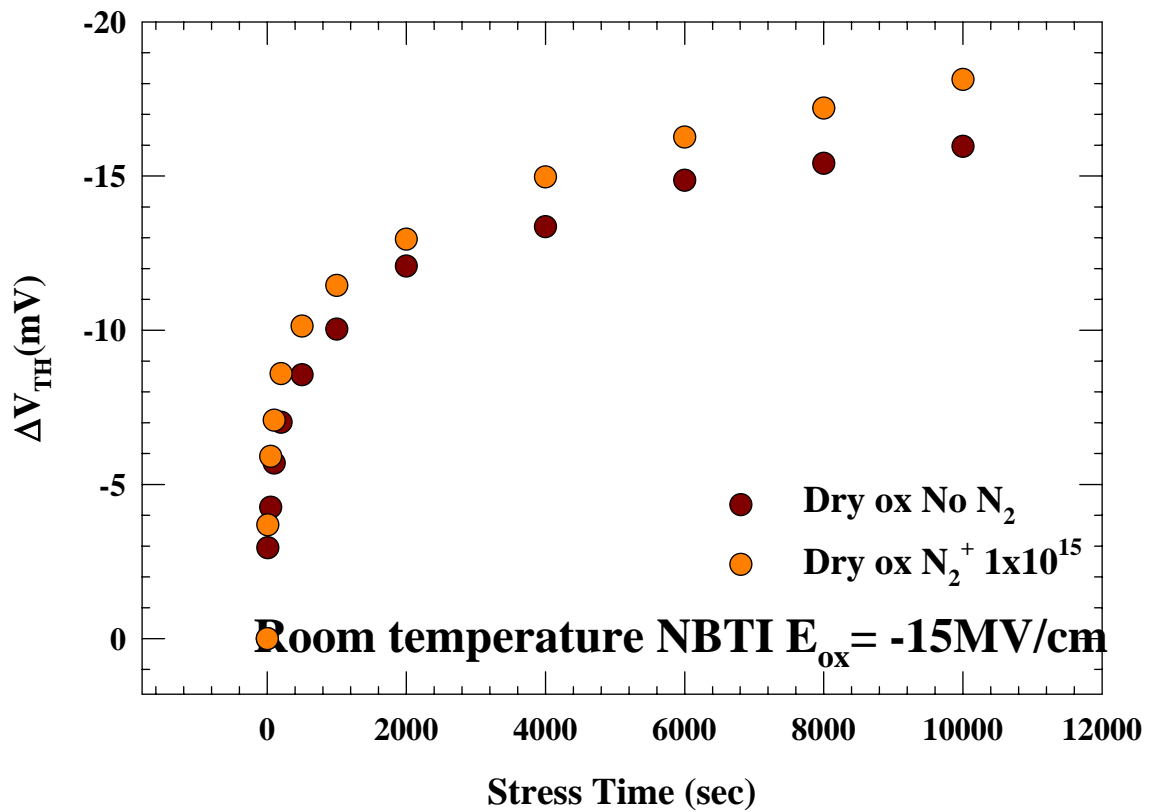


【圖 4-5】氮氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV NBTI stress 10000 秒後 V_{TH} 的偏移，氮離子劑量越大則 V_{TH} 的偏移越大

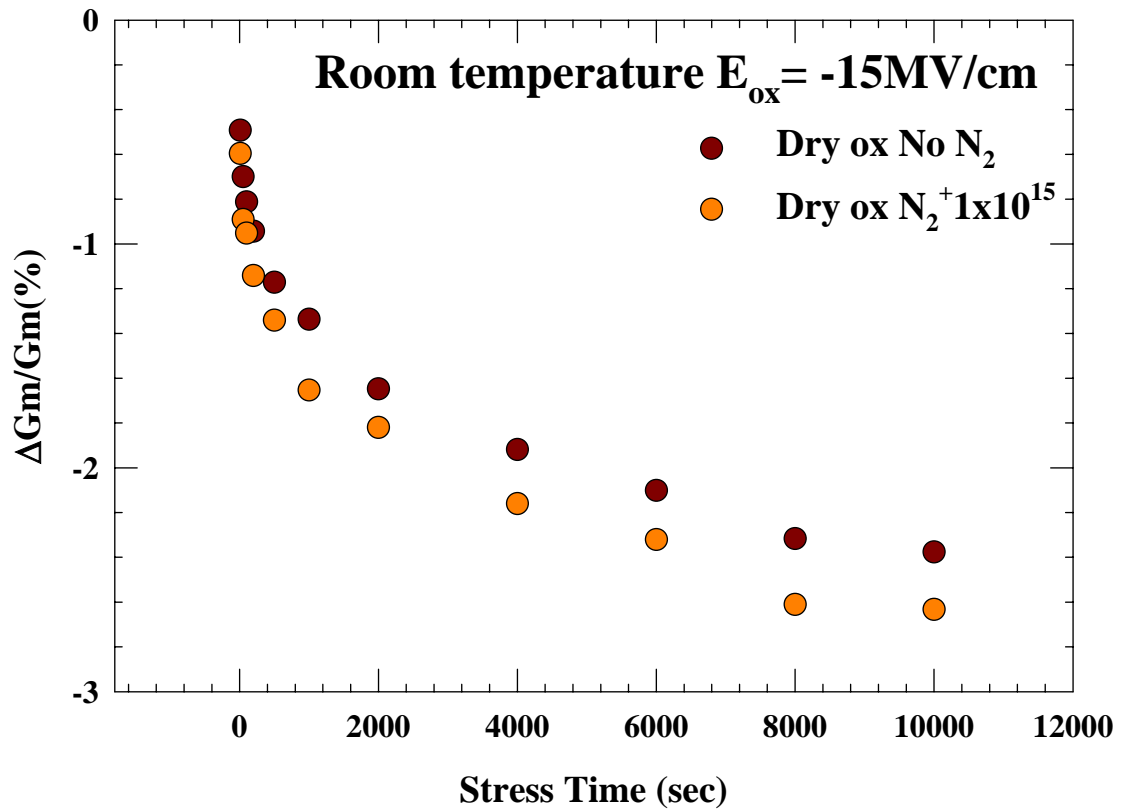


【圖 4-6】氮氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV

NBTI stress 10000 秒後 $G_{m_{max}}$ 的偏移

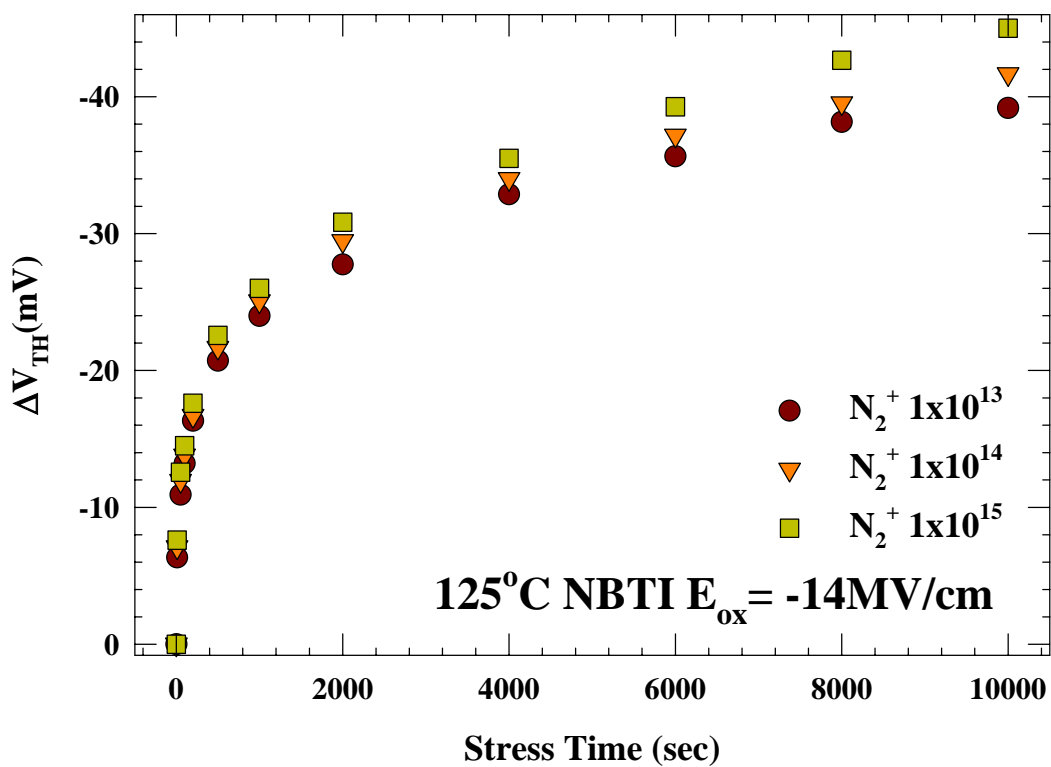


【圖 4-7】二氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV NBTI stress 10000 秒後 V_{TH} 的偏移，氮離子劑量越大則 V_{TH} 的偏移越大

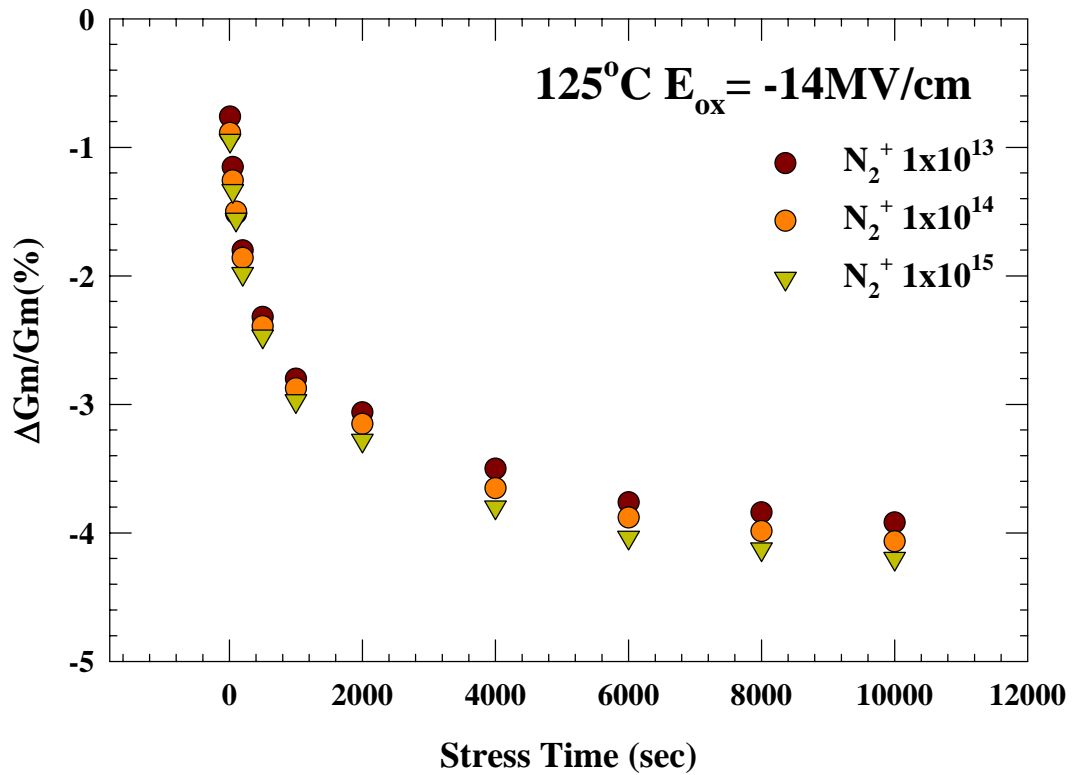


【圖 4-8】二氧化矽閘極介電層不同劑量的氮離子佈植在室溫 -15MV

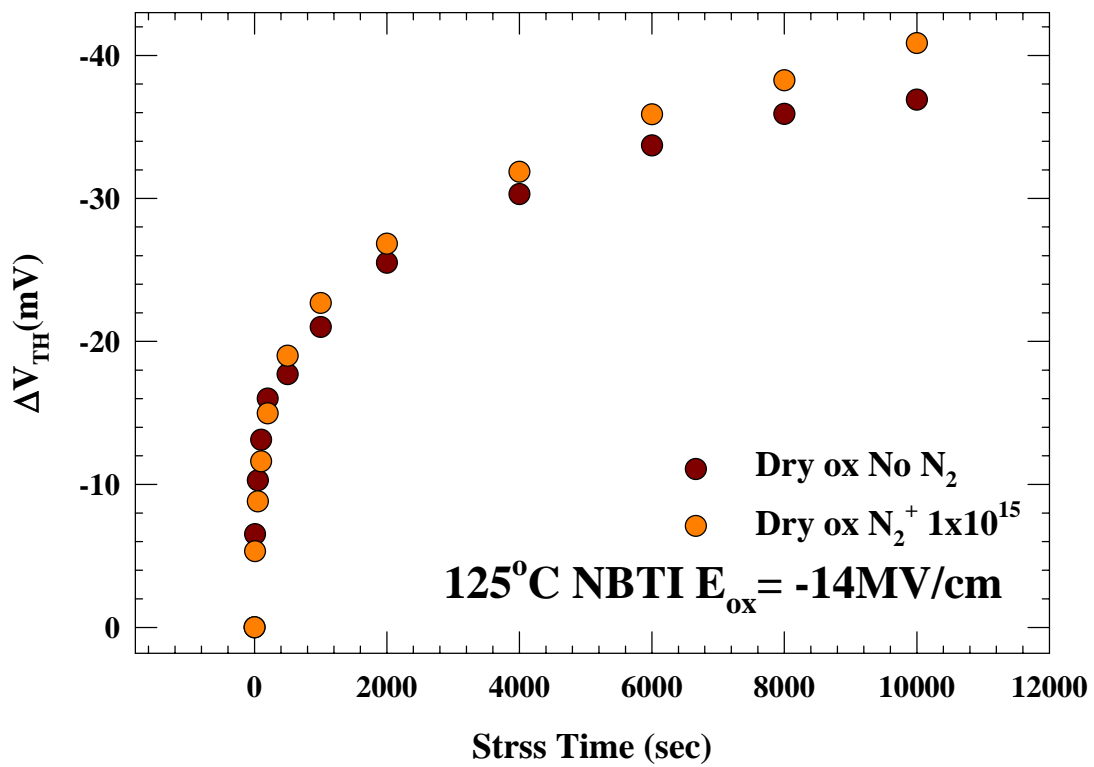
NBTI stress 10000 秒後的 $G_{m_{max}}$ 偏移



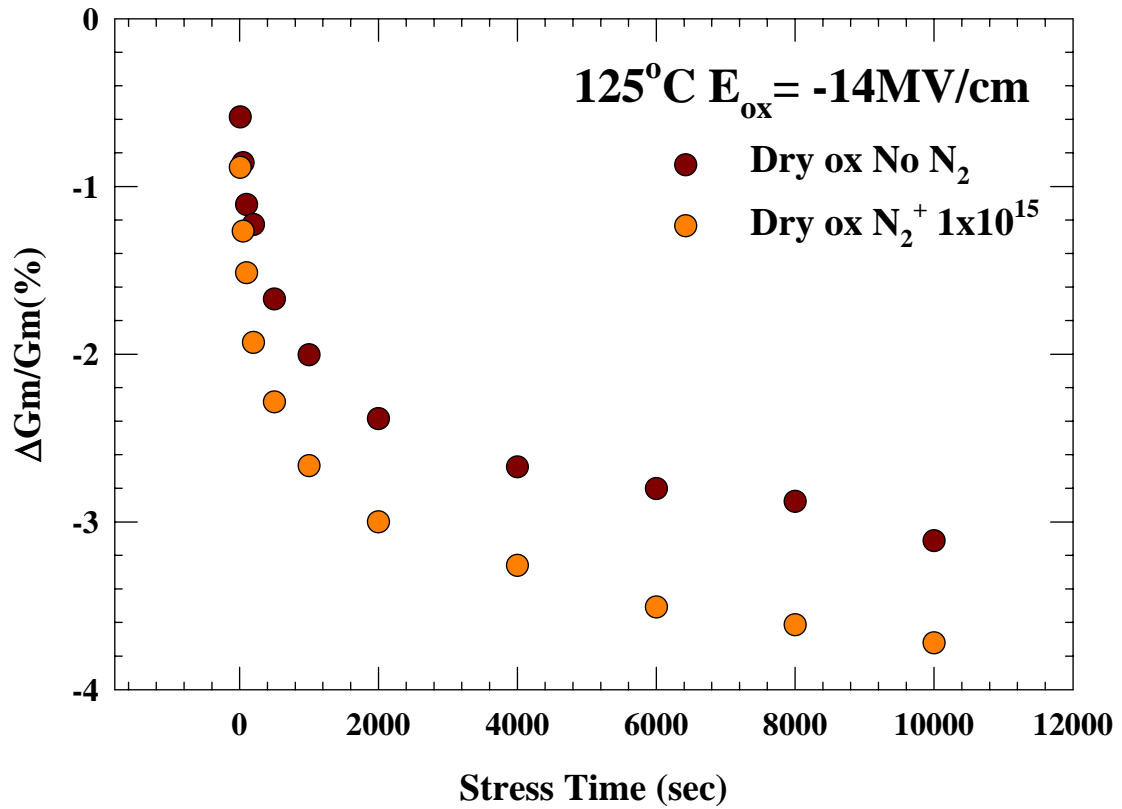
【圖 4-9】氮氧化矽閘極介電層不同劑量的氮離子佈植在 125°C -14MV NBTI stress 10000 秒後的 V_{TH} 偏移



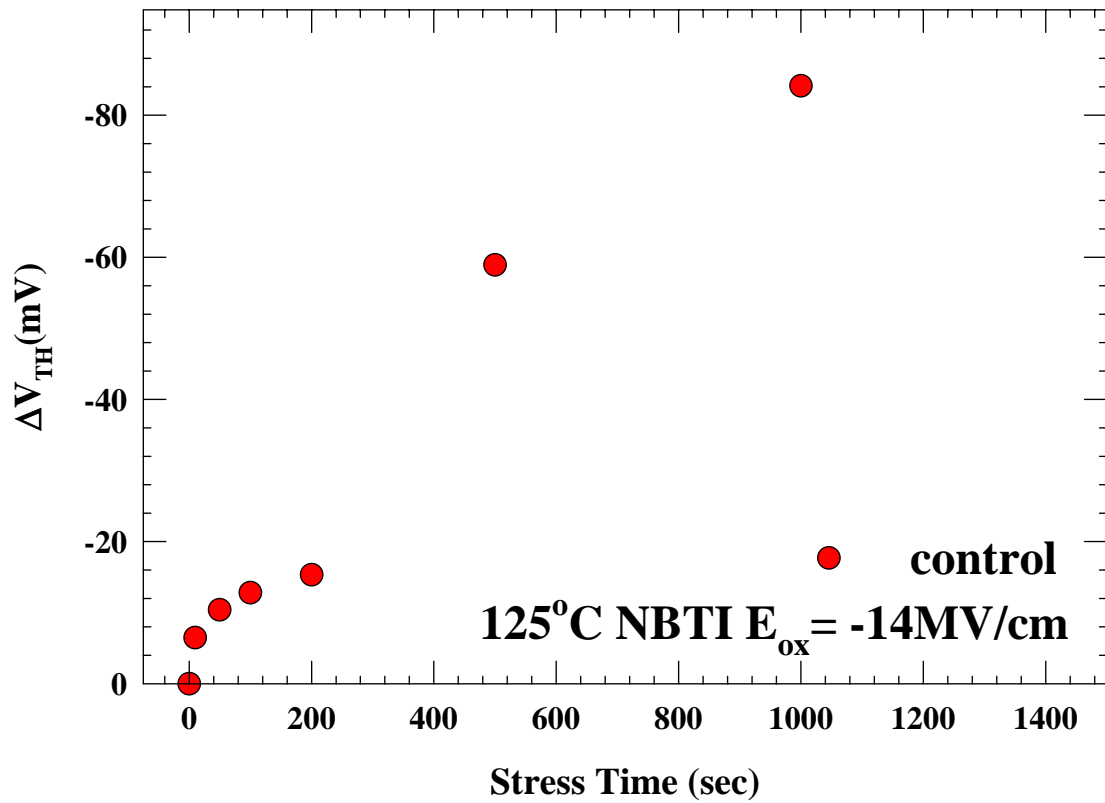
【圖 4-10】氮氧化矽閘極介電層不同劑量的氮離子佈植在 125°C -14MV NBTI stress 10000 秒後的 $G_{m_{max}}$ 偏移



【圖 4-11】 二氧化矽閘極介電層不同劑量的氮離子佈植在 125°C -14MV NBTI stress 10000 秒後的 V_{TH} 偏移

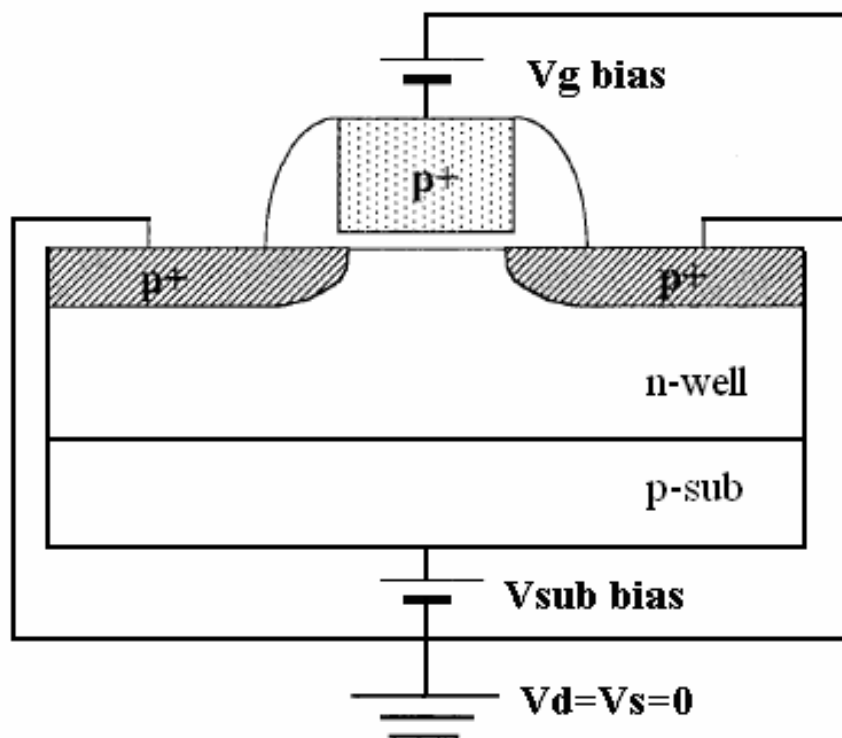


【圖 4-12】 二氧化矽閘極介電層不同劑量的氮離子佈植在 125°C -14MV NBTI stress 10000 秒後的 $G_{m_{max}}$ 偏移

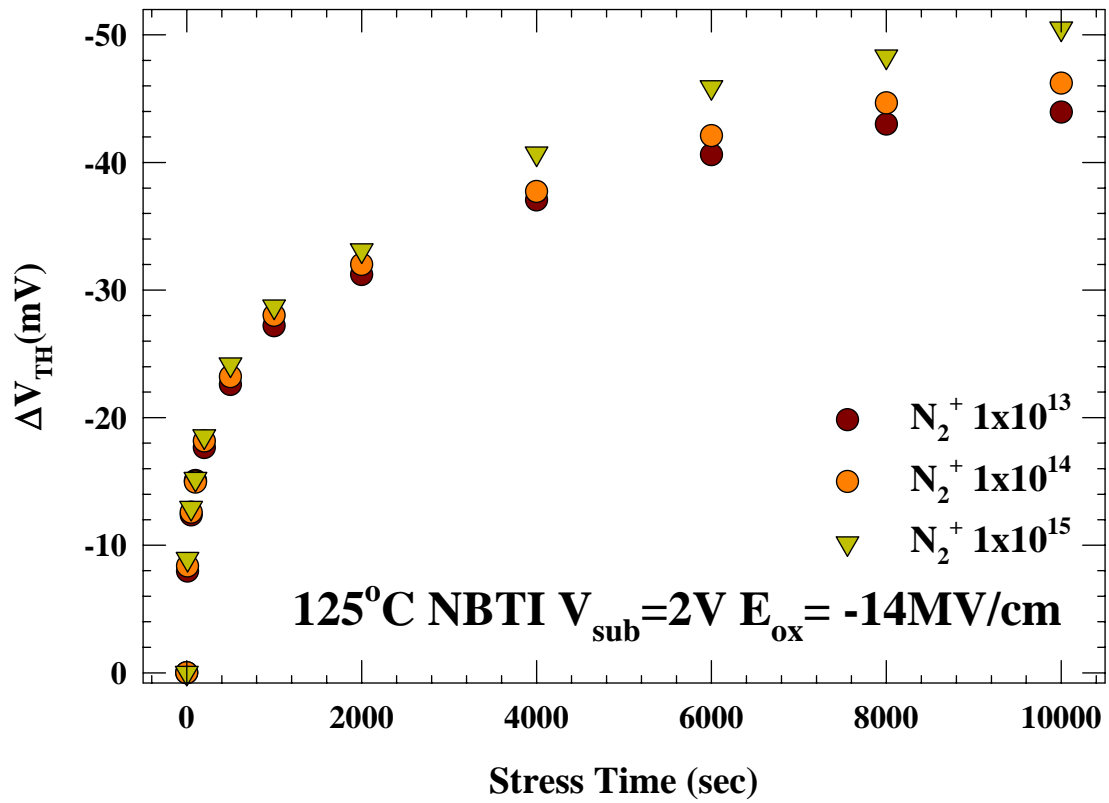


【圖 4-13】Control 片在 125°C -14MV NBTI stress 200 秒的 V_{TH}

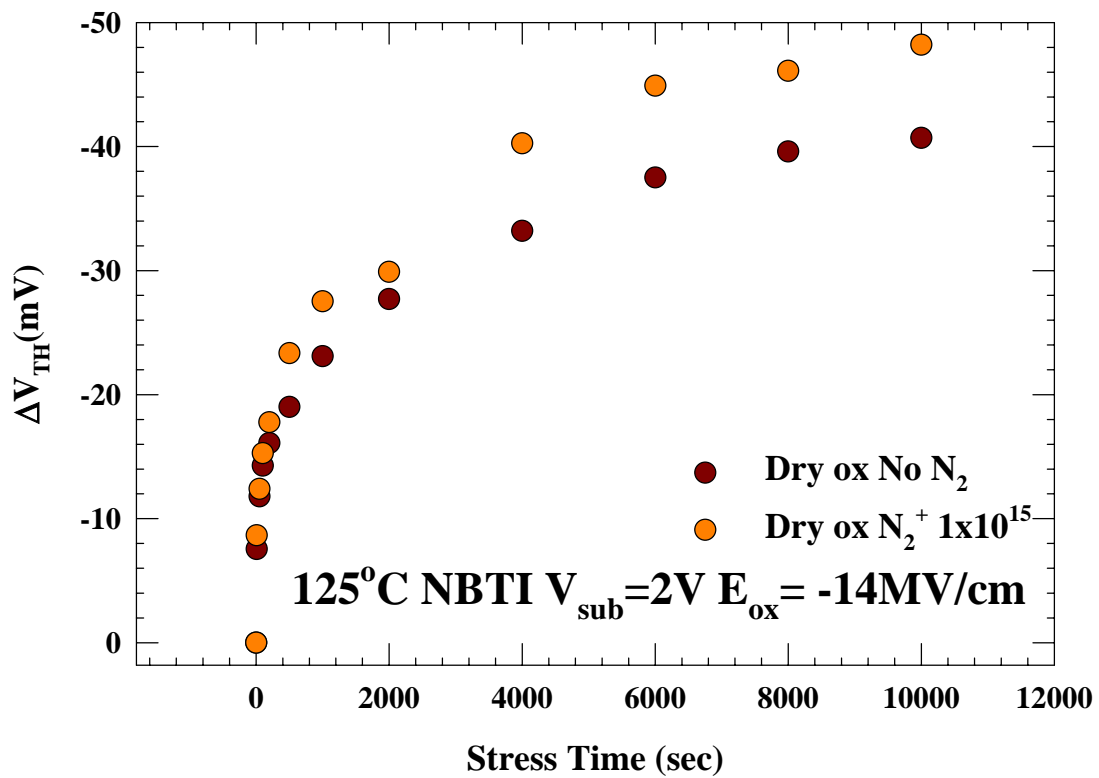
偏移已經非常嚴重，200 秒以後元件則已失效



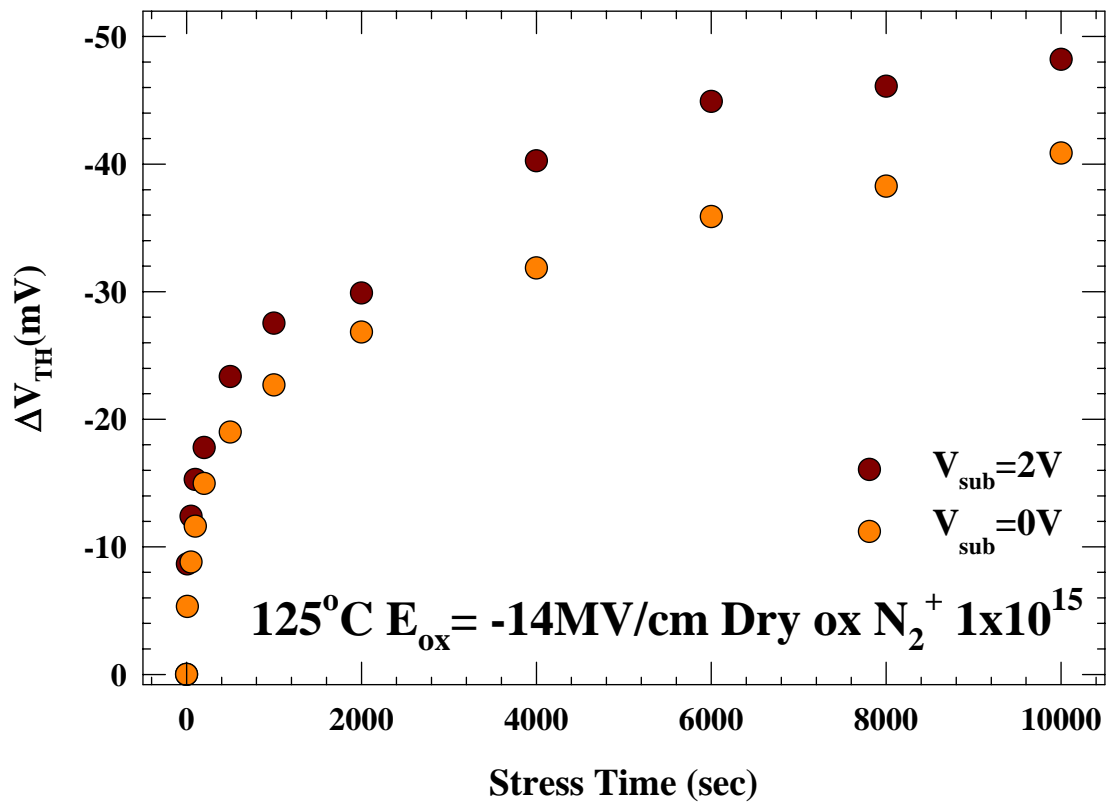
【圖 4-14】NBTI-stress 加上基極電壓不為零($V_{sub}=1$, $V_{sub}=2$)



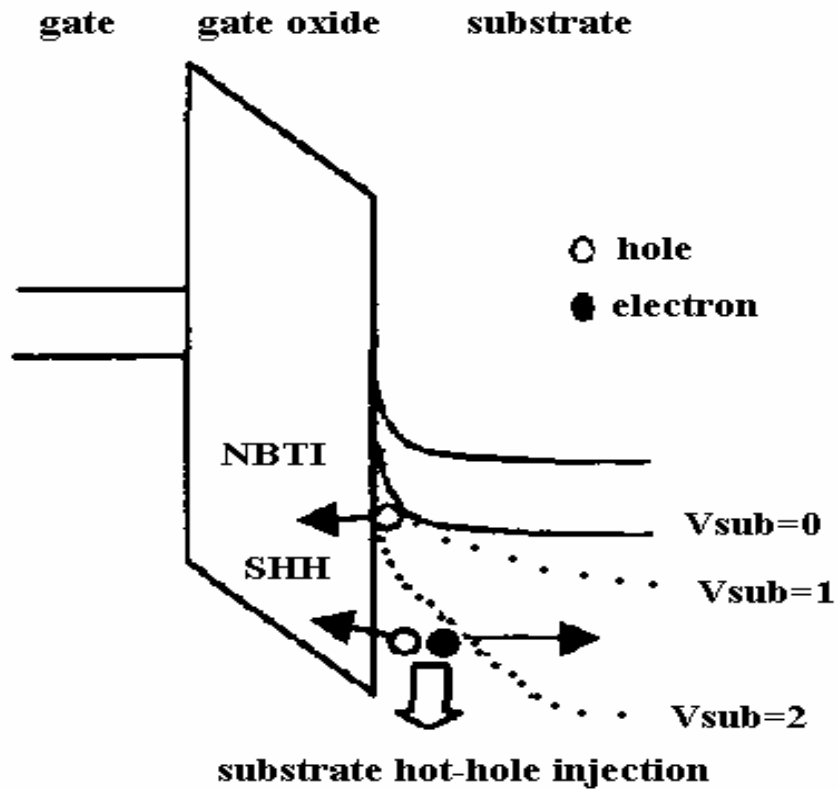
【圖 4-15】氮氧化矽閘極介電層不同劑量的氮離子佈植在 125°C -14MV NBTI $V_{sub}=2V$ stress 10000 秒後的 V_{TH} 偏移



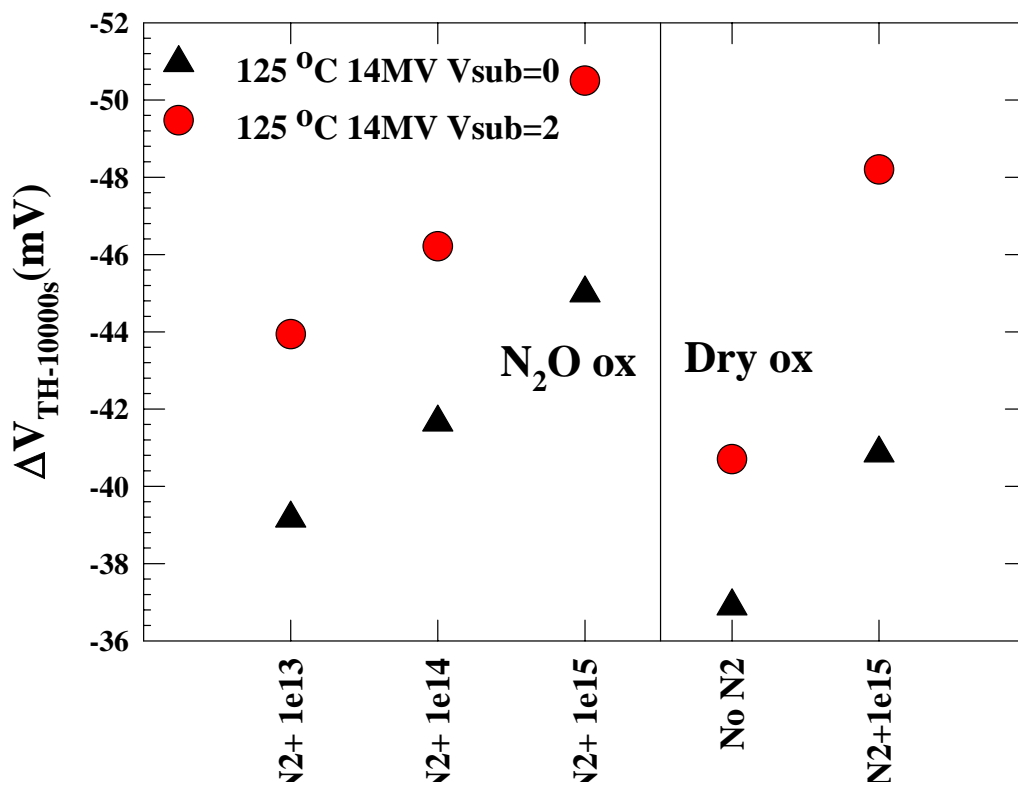
【圖 4-16】二氧化矽閘極介電層不同劑量的氮離子佈植在 125°C -14MV NBTI $V_{sub}=2V$ stress 10000 秒後的 V_{TH} 偏移



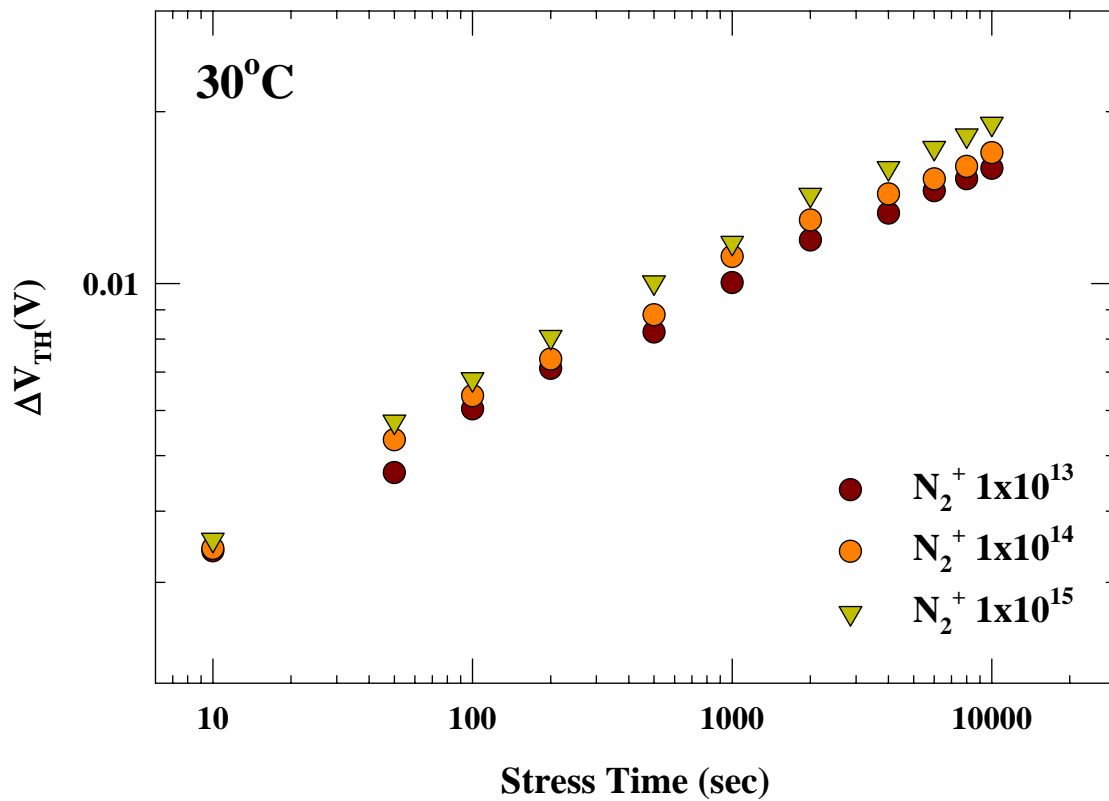
【圖 4-17】Dry ox $N_2^+ 1 \times 10^{15}$: 複晶矽鍺閘極且二氧化矽閘極介電層片而在定義閘極前做氮離子劑量 1×10^{15} ions/cm², $V_{sub}=0V$ 、 $V_{sub}=2V$ 的 NBT-stress 後離子佈植經過 10000 秒後的 V_{TH} 偏移



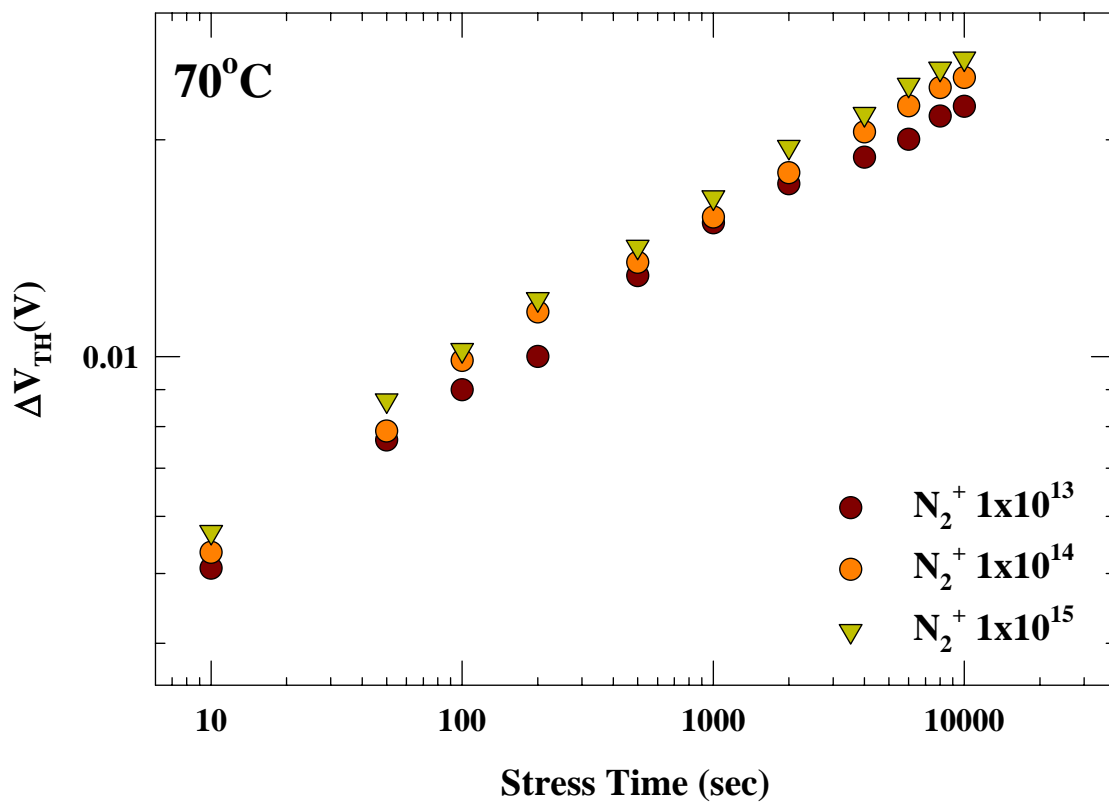
【圖 4-18】NBTI-stress 時能帶隨著 V_{sub} 的變化，加上 V_{sub} 所造成的效應為在通道的能帶更加陡直，而使得 substrate hot hole 的數量變大



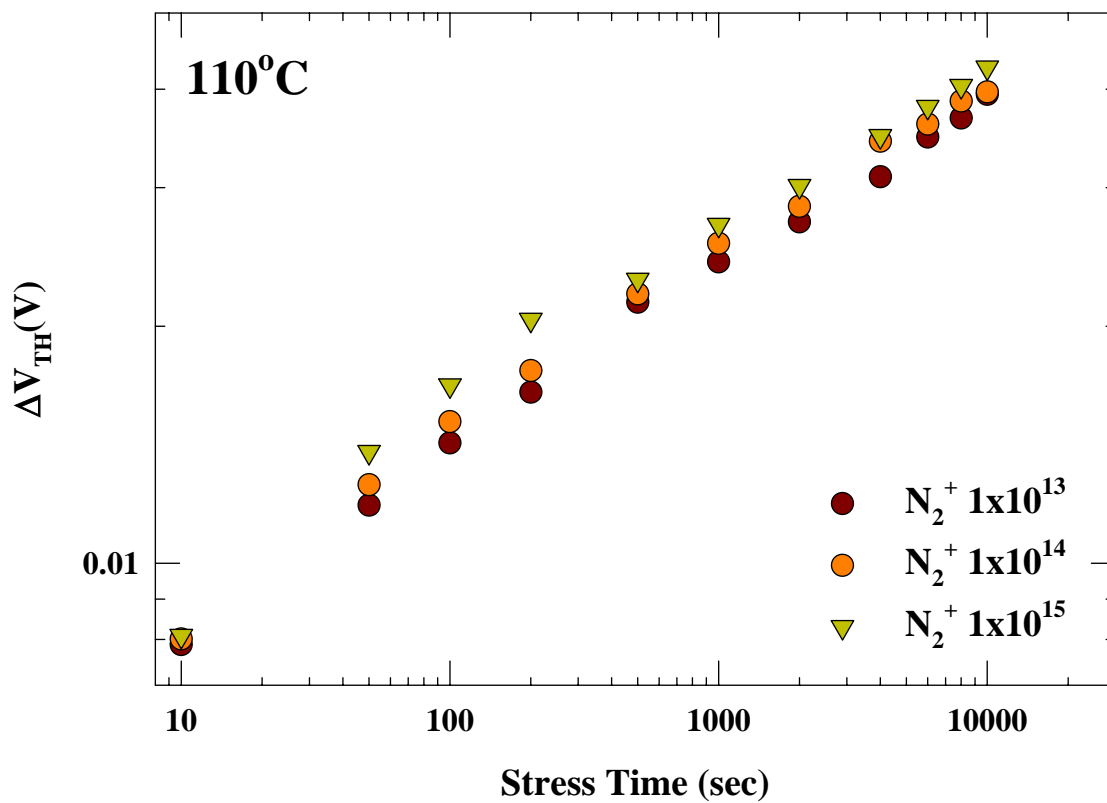
【圖 4-19】二氧化矽閘極介電層與氮氧化矽閘極介電層各條件下的分別於 $V_{sub}=0V$ 、 $V_{sub}=2V$ 的 NBT-stress 後 $V_{TH-10000s}$



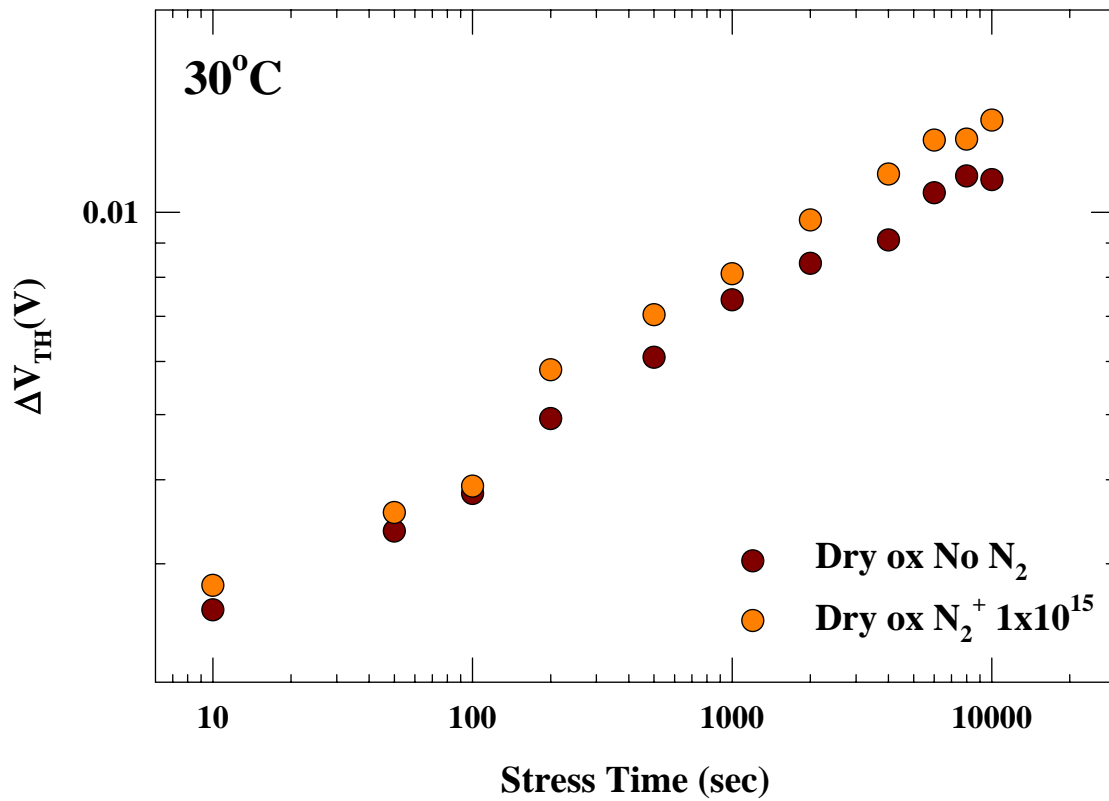
【圖 4-20】30°C 下複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



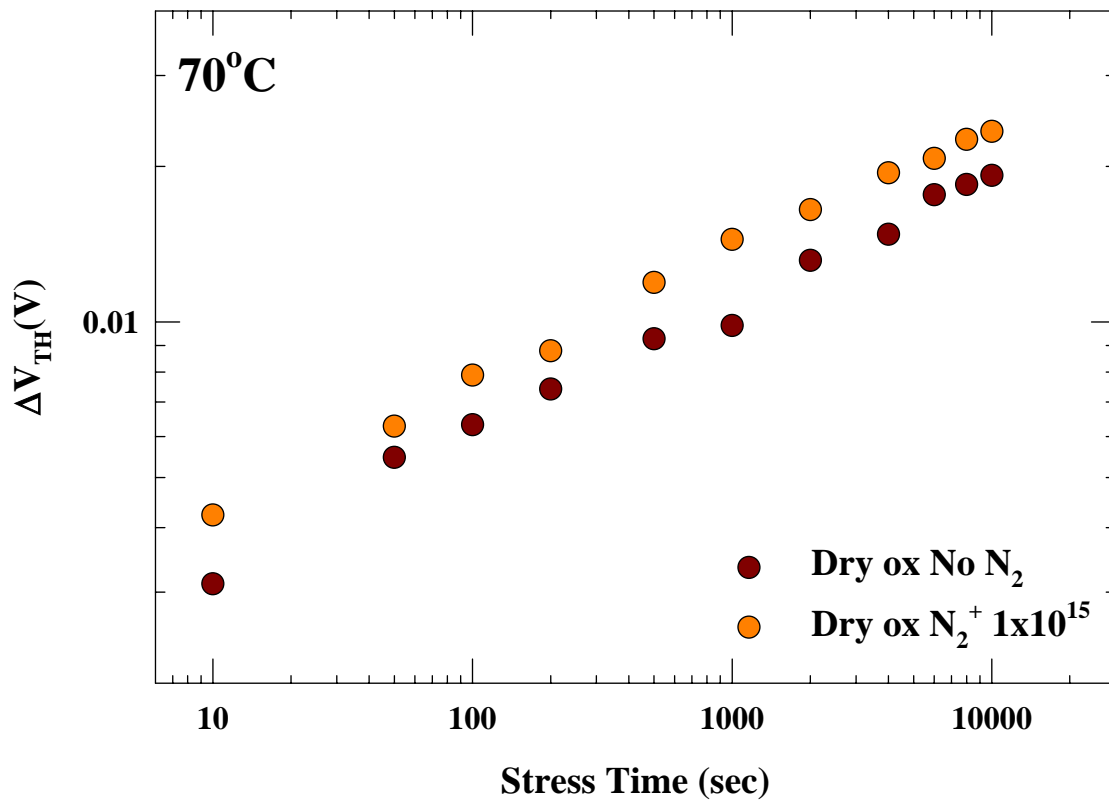
【圖 4-21】70°C下複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



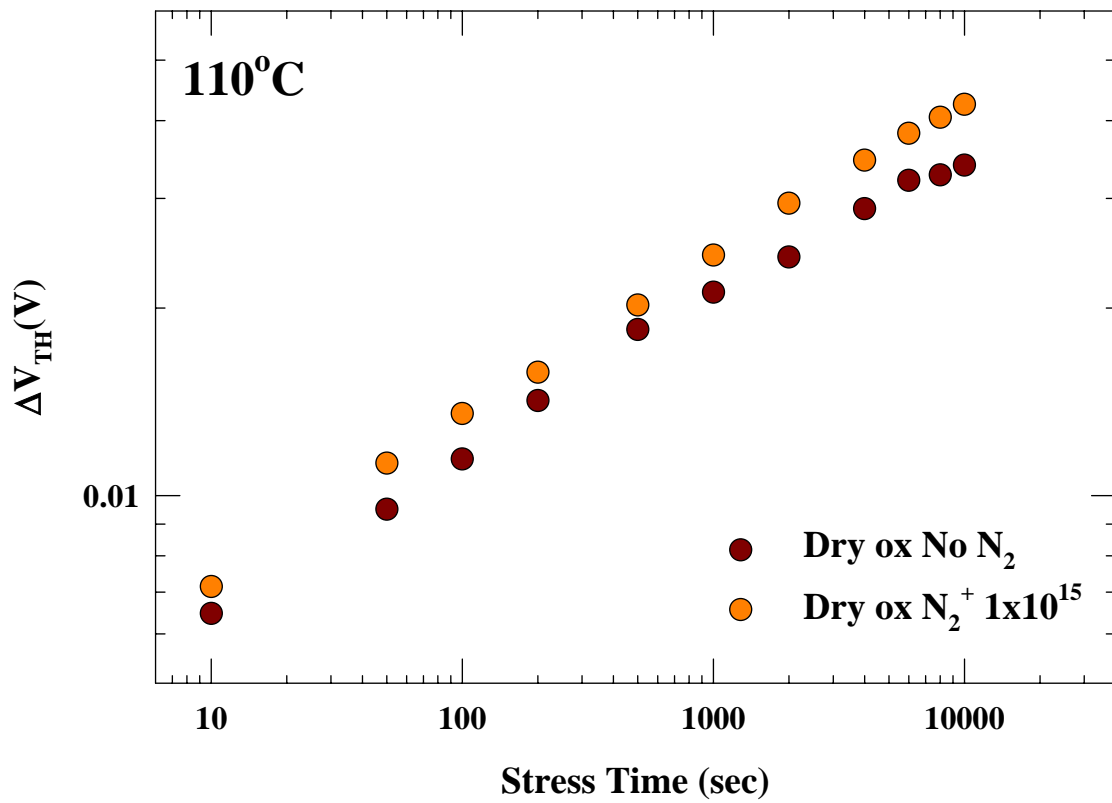
【圖 4-22】110°C 下複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



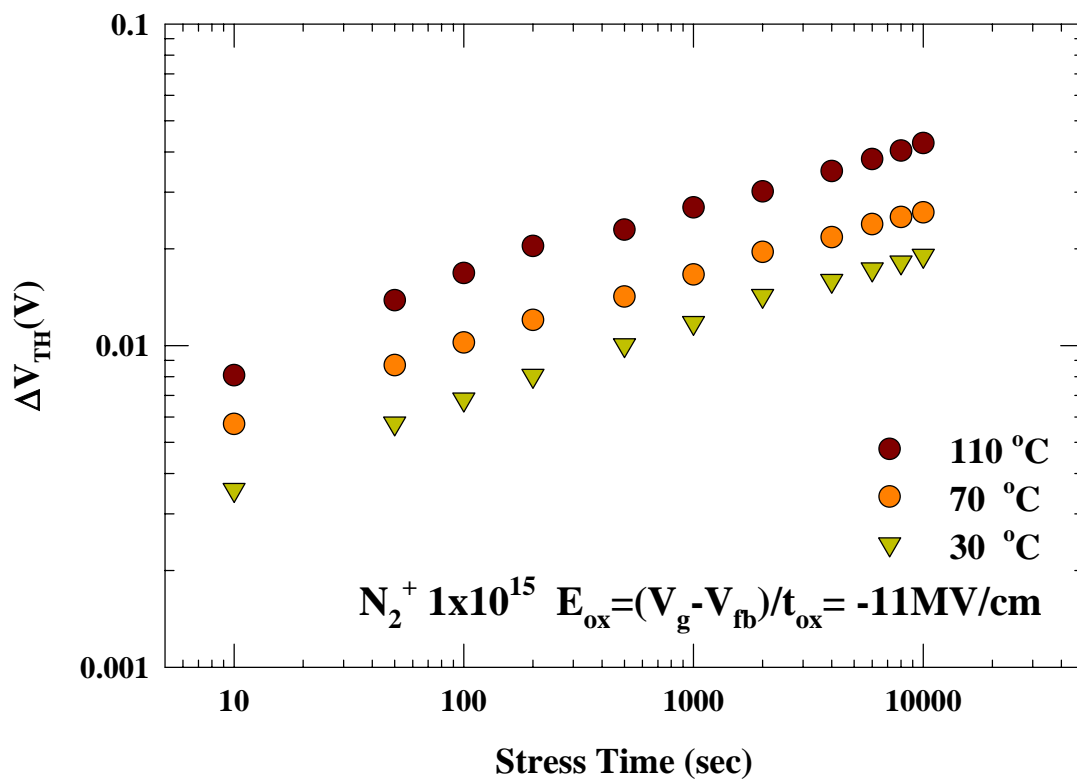
【圖 4-23】30°C 下複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



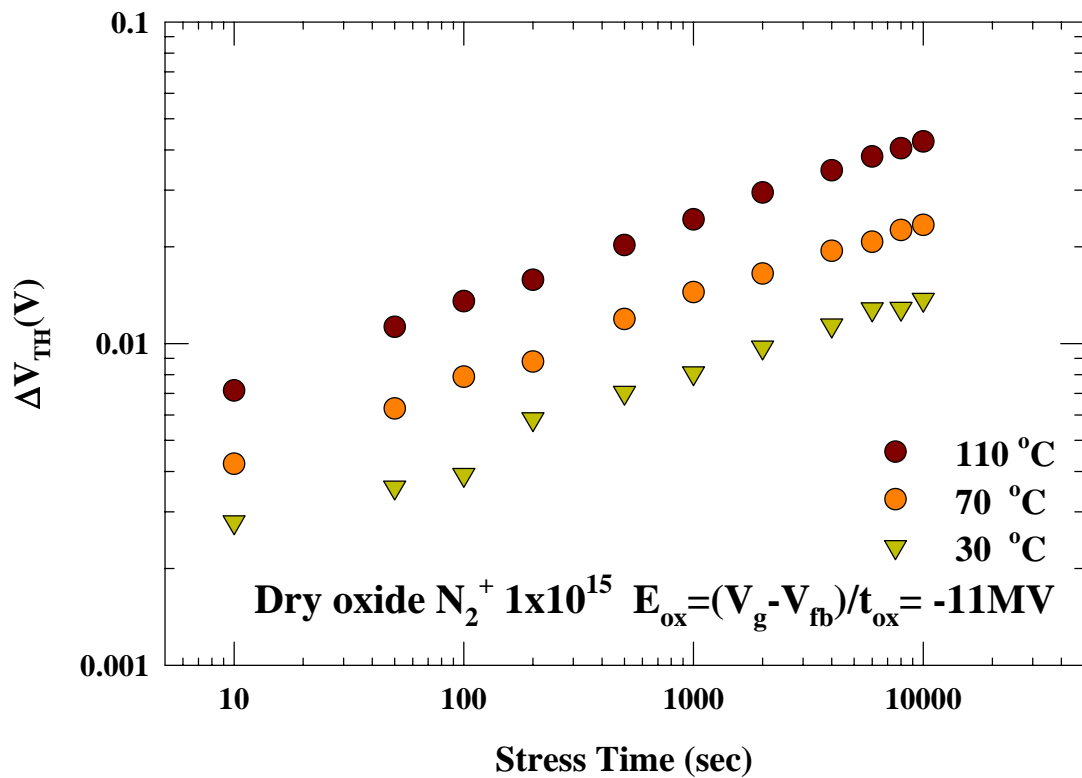
【圖 4-24】70°C 下複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



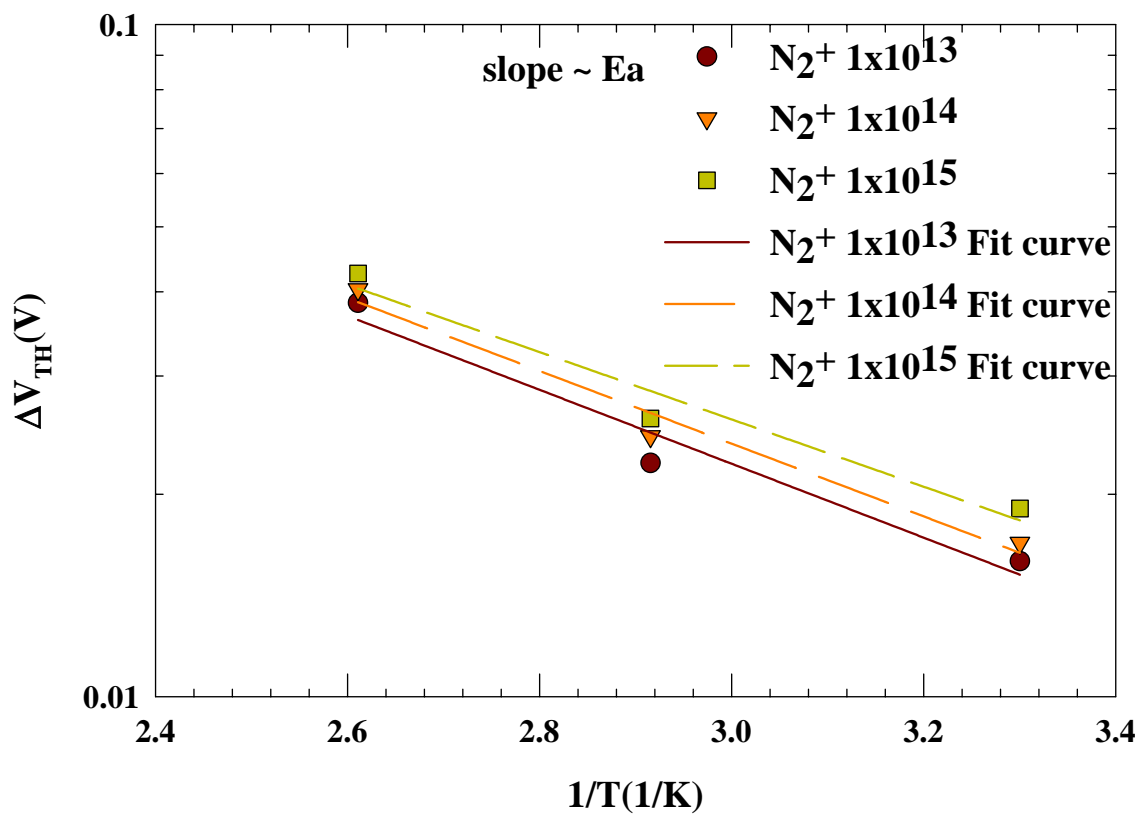
【圖 4-25】110°C 下複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



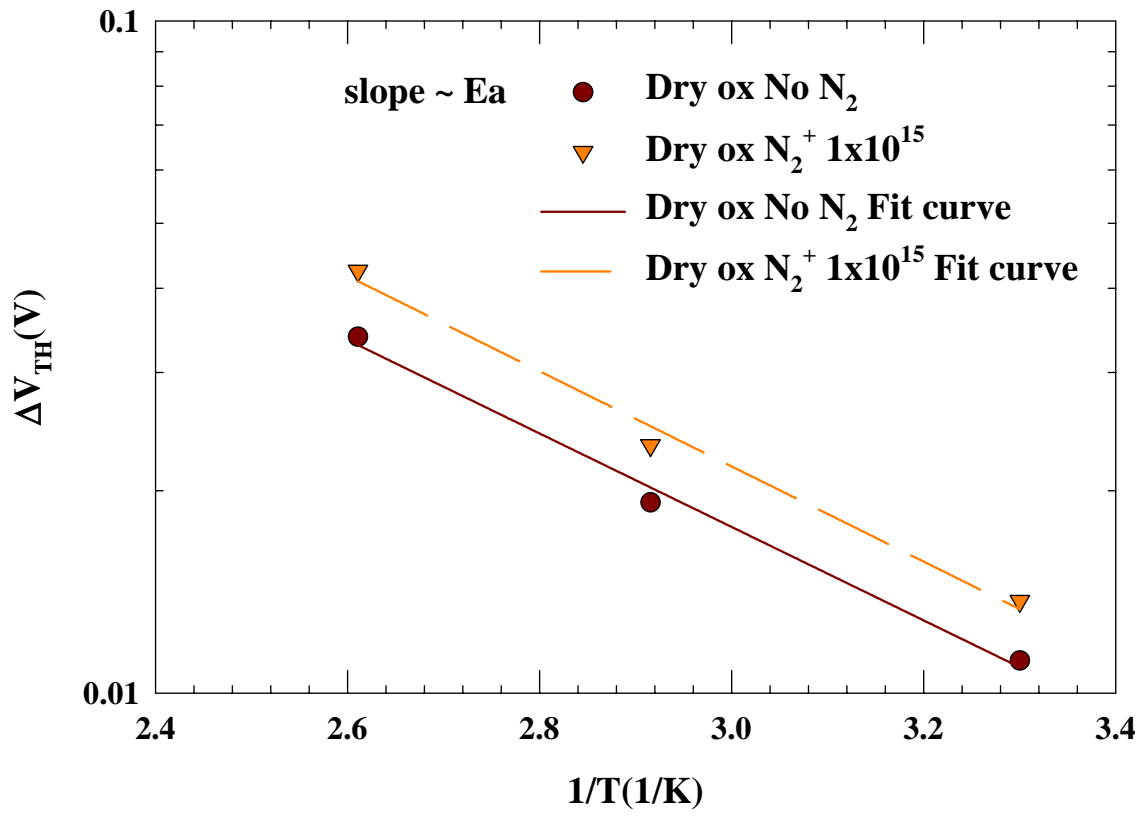
【圖 4-26】 $N_2^+ 1 \times 10^{15}$ ：複晶矽鍺閘極且氮氧化矽閘極介電層而定義
 閘極前做氮離子劑量 1×10^{15} ions/cm² 的離子佈植，在變溫下 V_{TH} 的
 變化



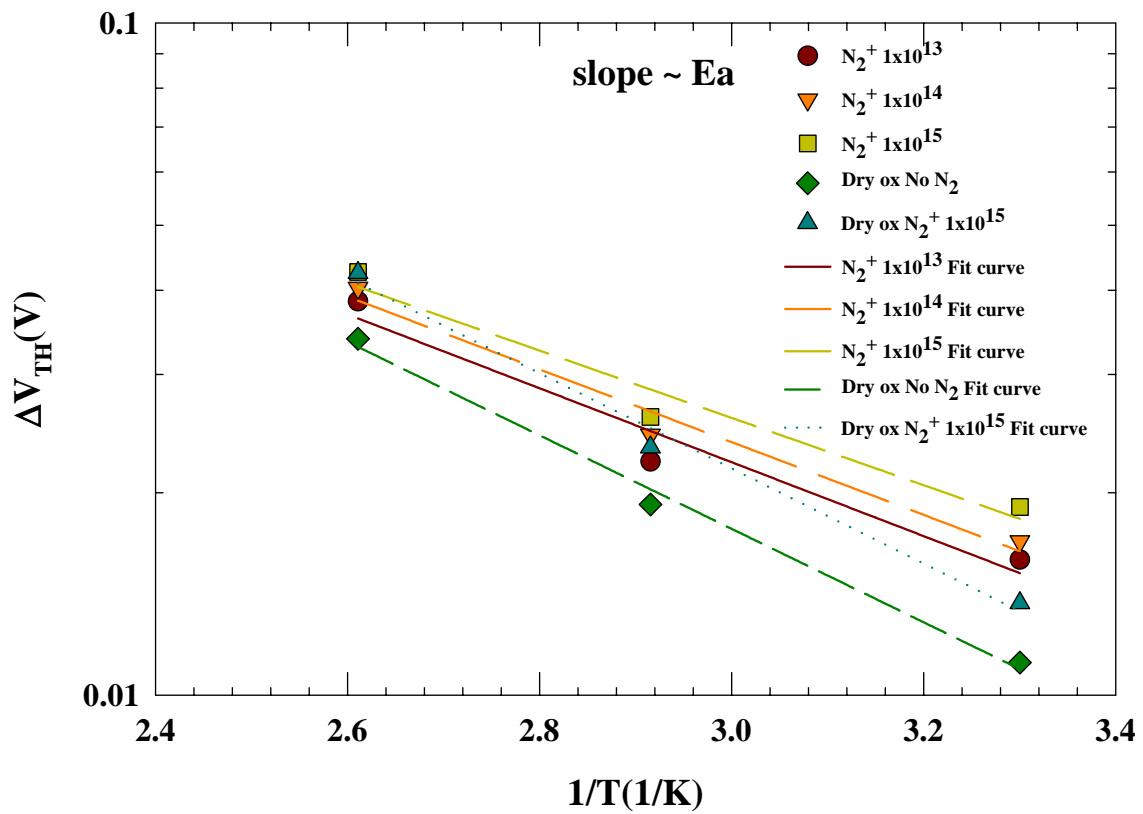
【圖 4-27】 Dry ox N_2^+ 1×10^{15} : 複晶矽鍺閘極且二氧化矽閘極介電層
而在定義閘極前做氮離子劑量 1×10^{15} ions/cm² 的離子佈植在變溫時
 V_{TH} 偏移的變化



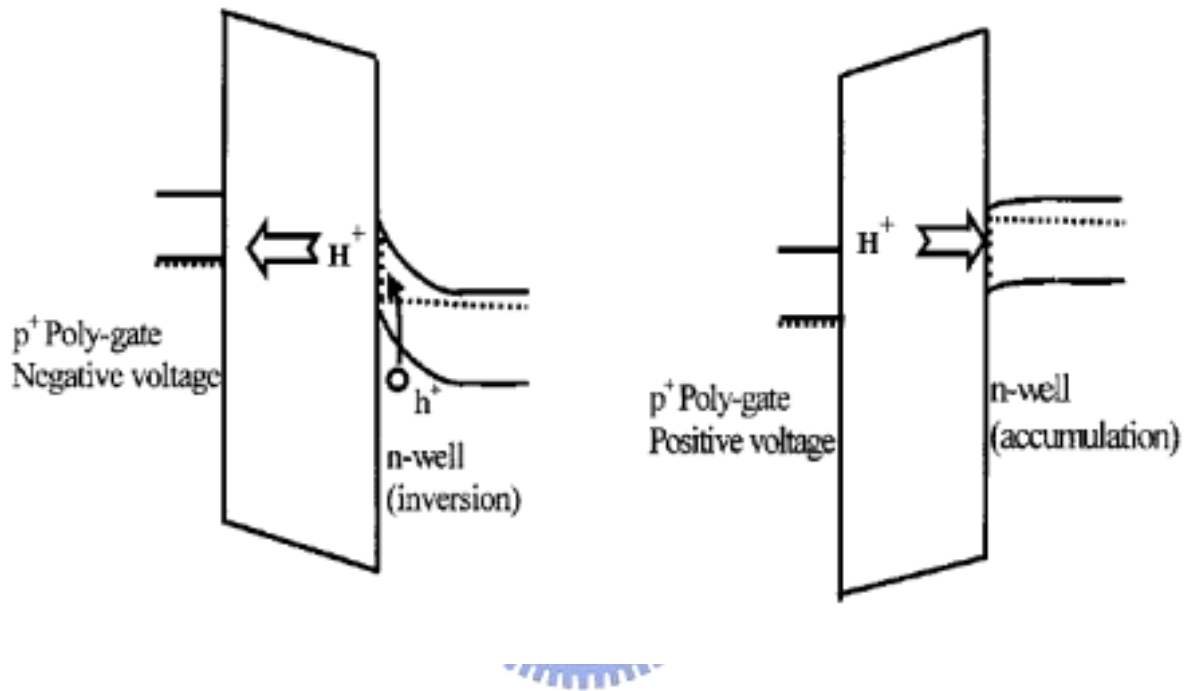
【圖 4-28】複晶矽鍺閘極且氮氧化矽閘極介電層的 V_{TH} 偏移對變溫的圖形



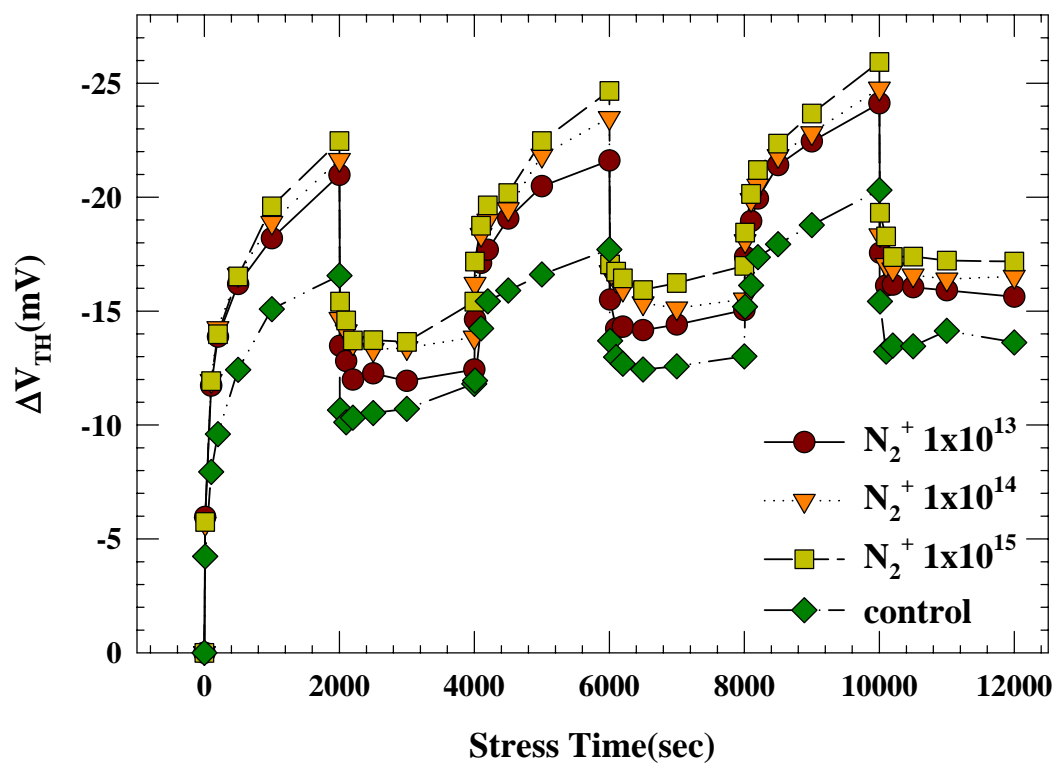
【圖 4-29】複晶矽鍺閘極且二氧化矽閘極介電層的 V_{TH} 偏移對變溫的圖形



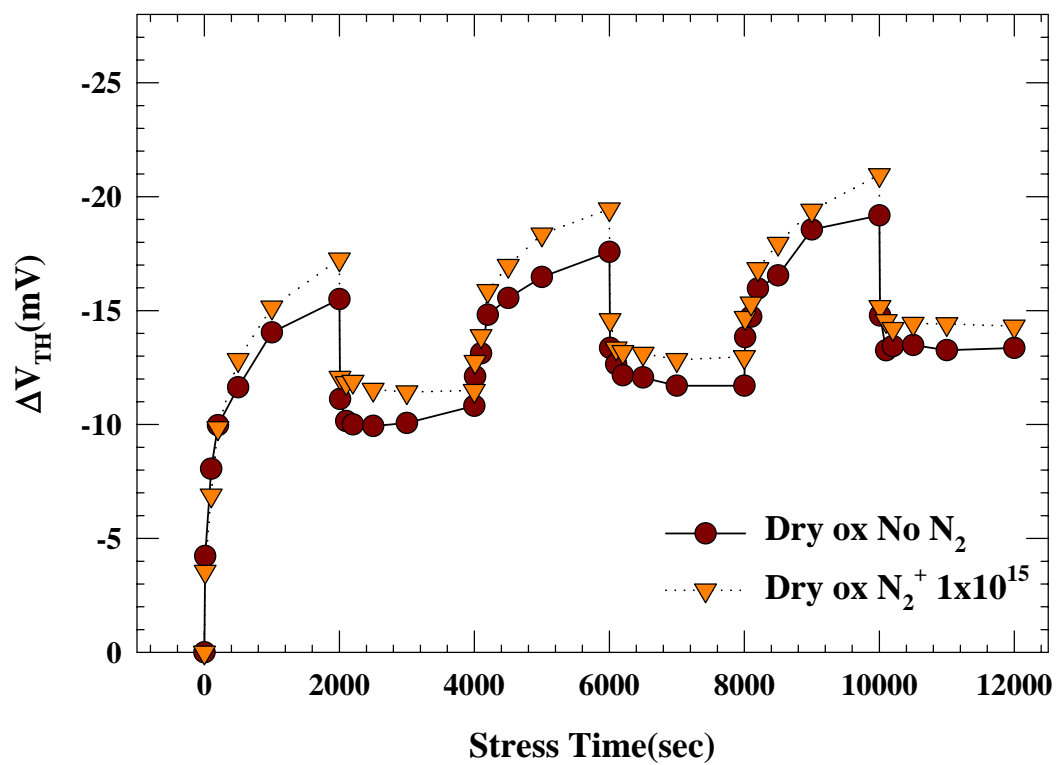
【圖 4-30】由斜率可以比較出，二氧化矽閘極介電層的活化能大於氮氧化矽閘極介電層的活化能，有氮摻雜的閘極介電層產生的 NBTI 效應較嚴重



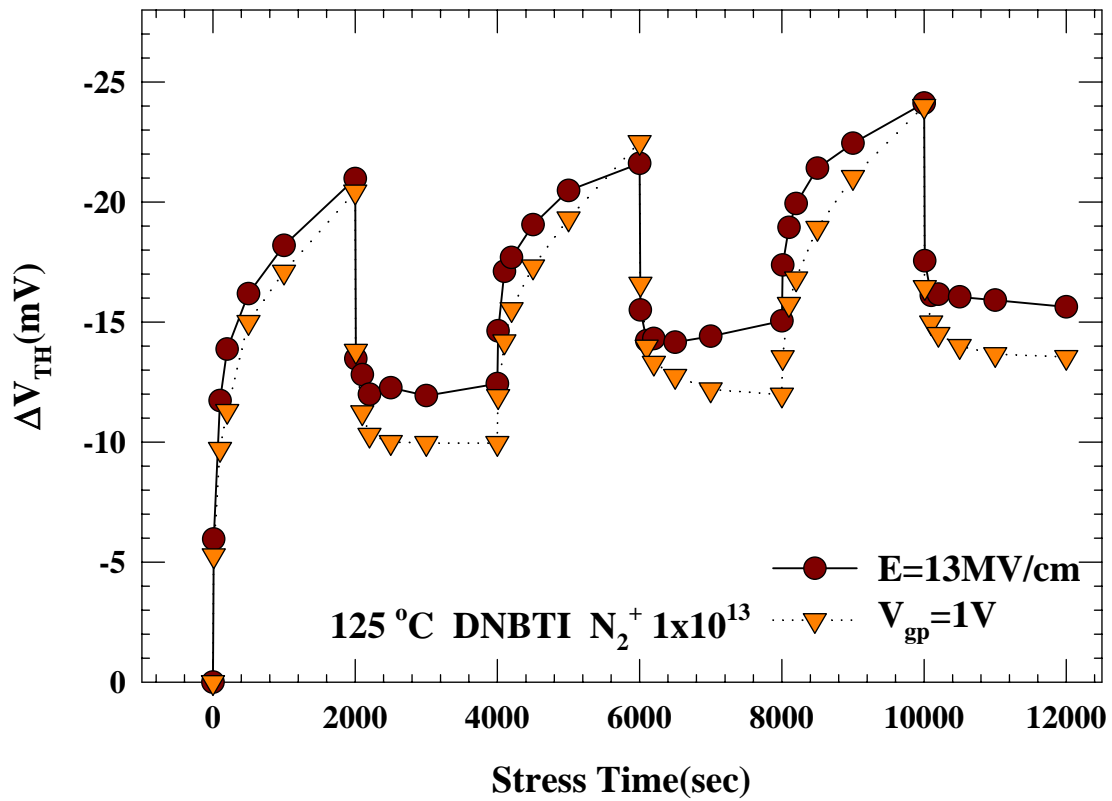
【圖 4-31】DNBTI stress 時閘極加不同電壓，所產生的機制，閘極加正偏壓時，在加負偏壓時所產生的 H^+ 會再跑回去與 NBTI 形成的 positive fixed charge 及介面捕捉(interface trap)處而產生回復的效應



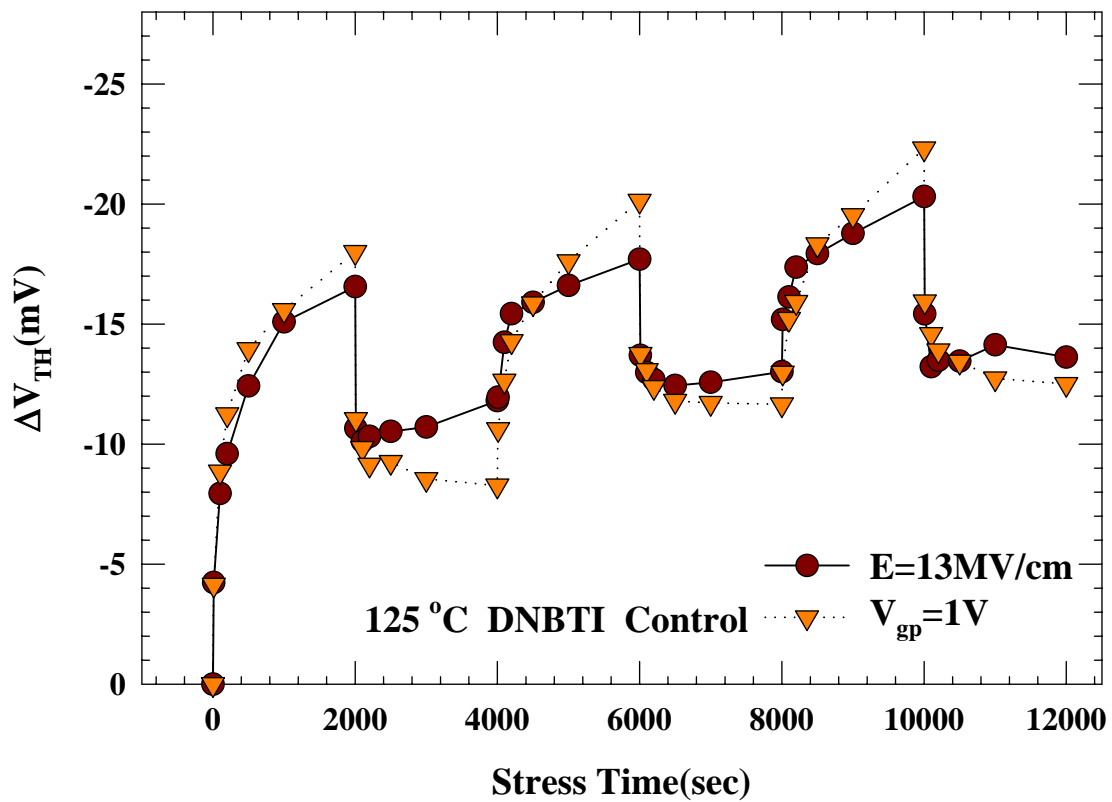
【圖 4-32】氮氧化矽閘極介電層在不同氮離子計量佈植對 V_{TH} 偏移的影響



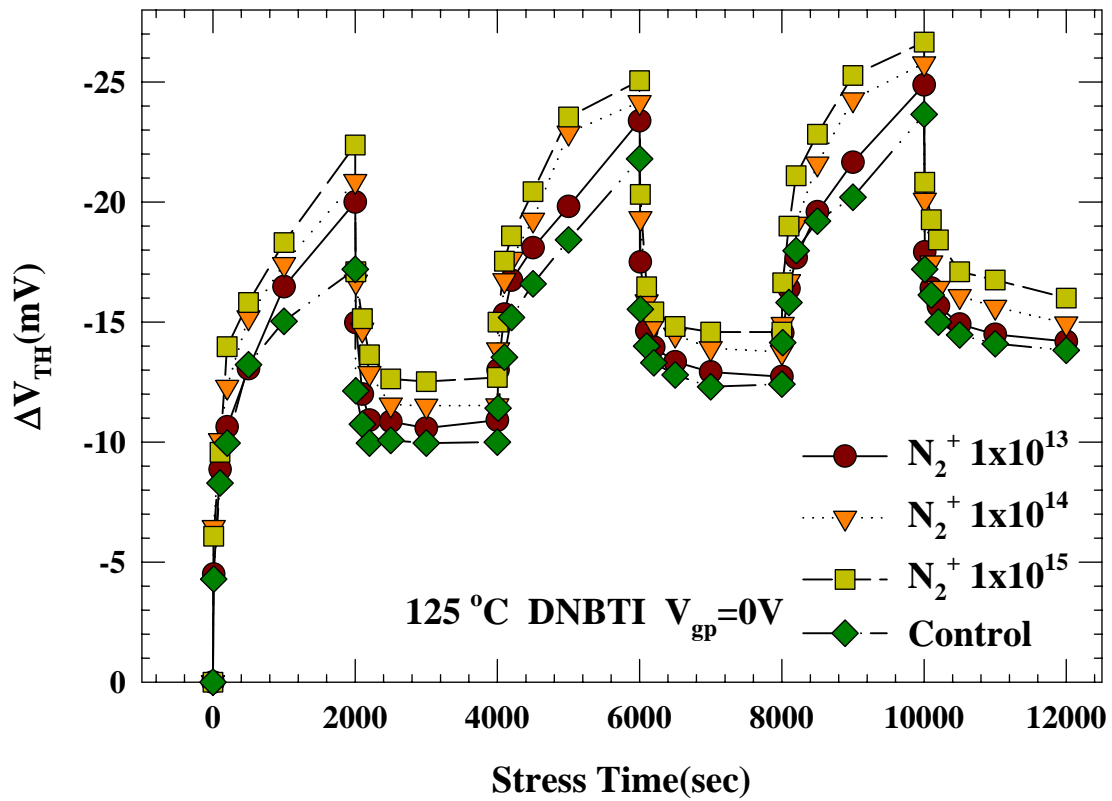
【圖 4-33】二氧化矽閘極介電層在不同氮離子計量佈植對 V_{TH} 偏移的影響



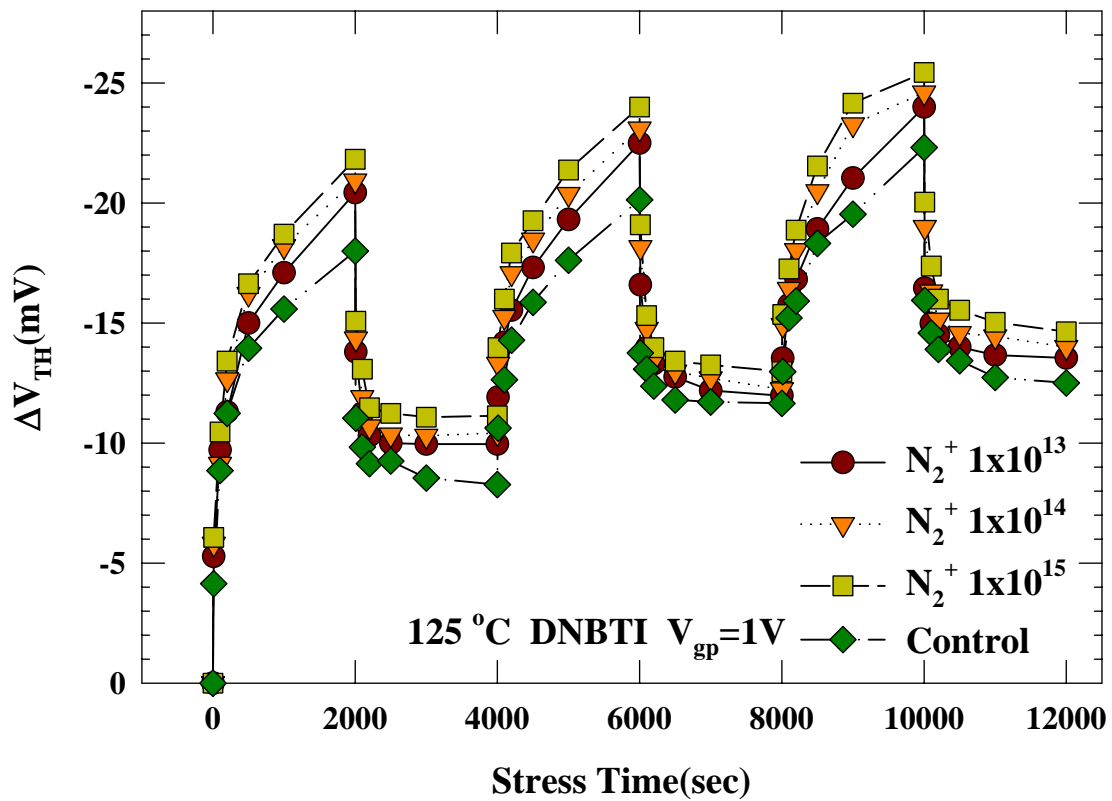
【圖 4-34】 $N_2^+ 1 \times 10^{13}$ 片經過 12000 秒的 125°C，負偏壓設定(V_{gn})為使閘極介電層垂直電場為-13MV/cm，正偏壓設定(V_{gp})為使閘極介電層垂直電場為 +13MV/cm 與 +1Volt 的 DNBT-stress 後 V_{TH} 的偏移



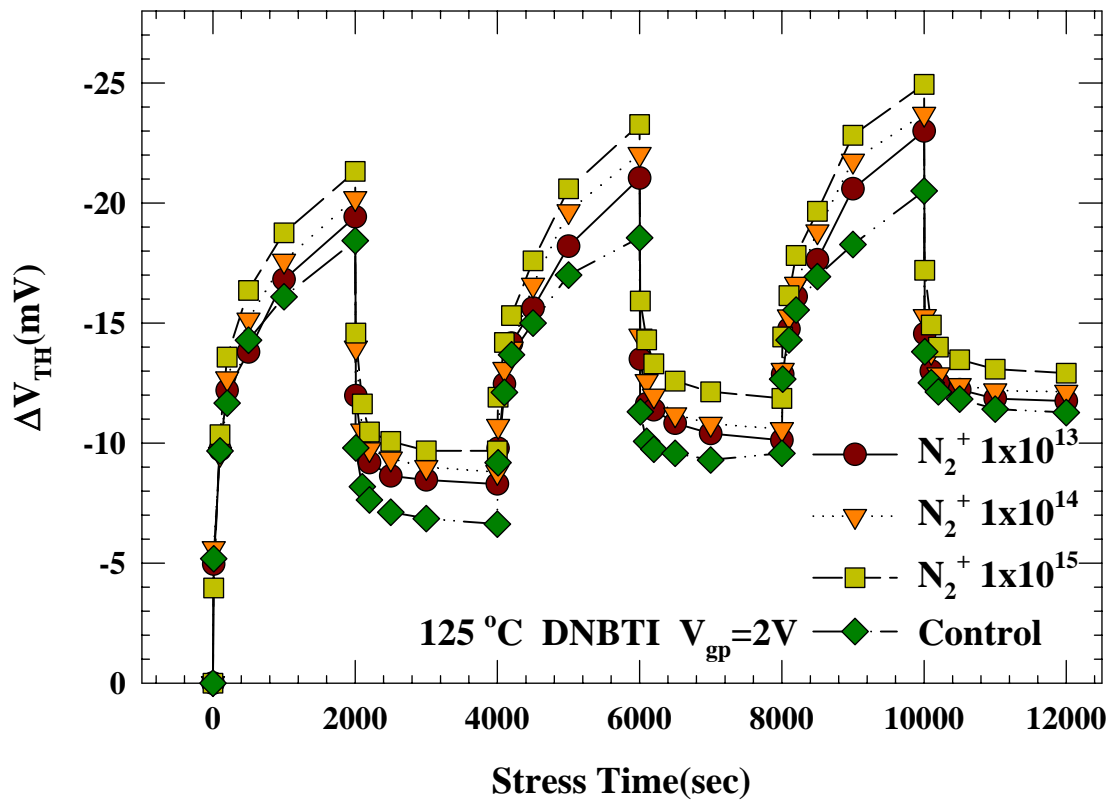
【圖 4-35】control 片經過 12000 秒的 125°C，負偏壓設定(V_{gn})為使閘極介電層垂直電場為-13MV/cm，正偏壓設定(V_{gp})為使閘極介電層垂直電場為 +13MV/cm 與 +1Volt 的 DNBT-stress 後 V_{TH} 的偏移



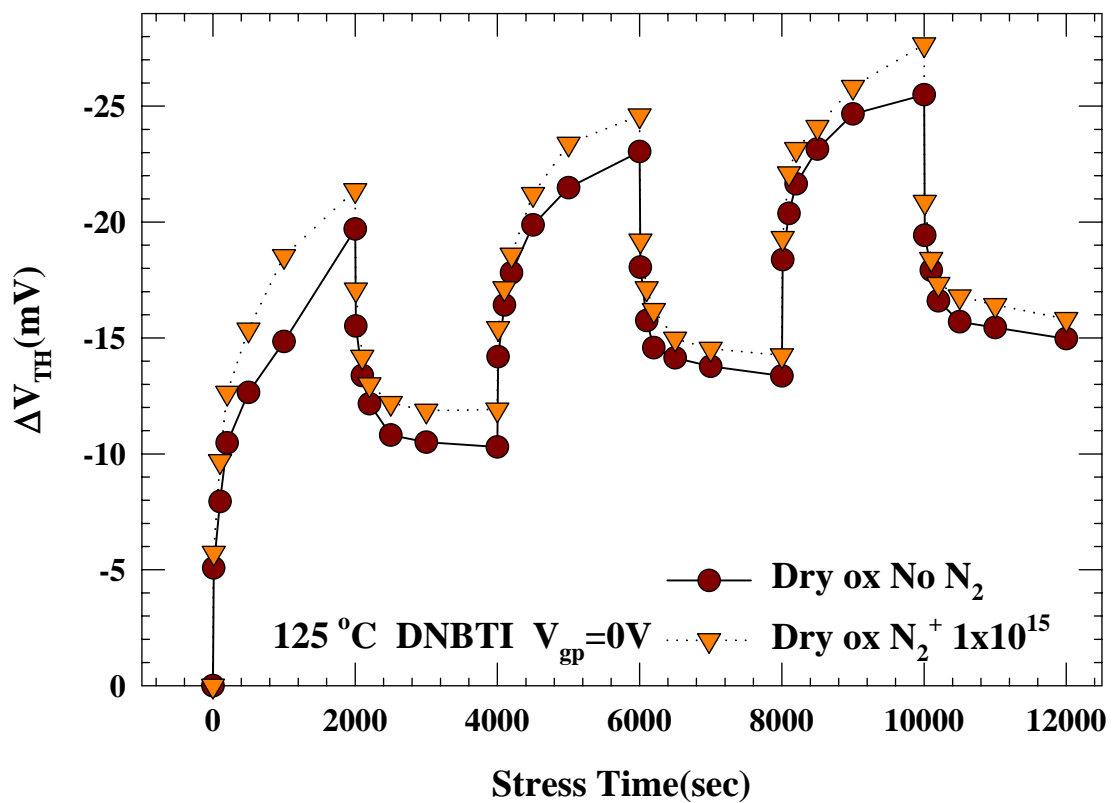
【圖 4-36】氮氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(V_{gn})
 為使閘極介電層垂直電場 $-13MV/cm$ ，正偏壓設定(V_{gp})為 0Volt 的
 DNBT-stress 後 V_{TH} 的偏移



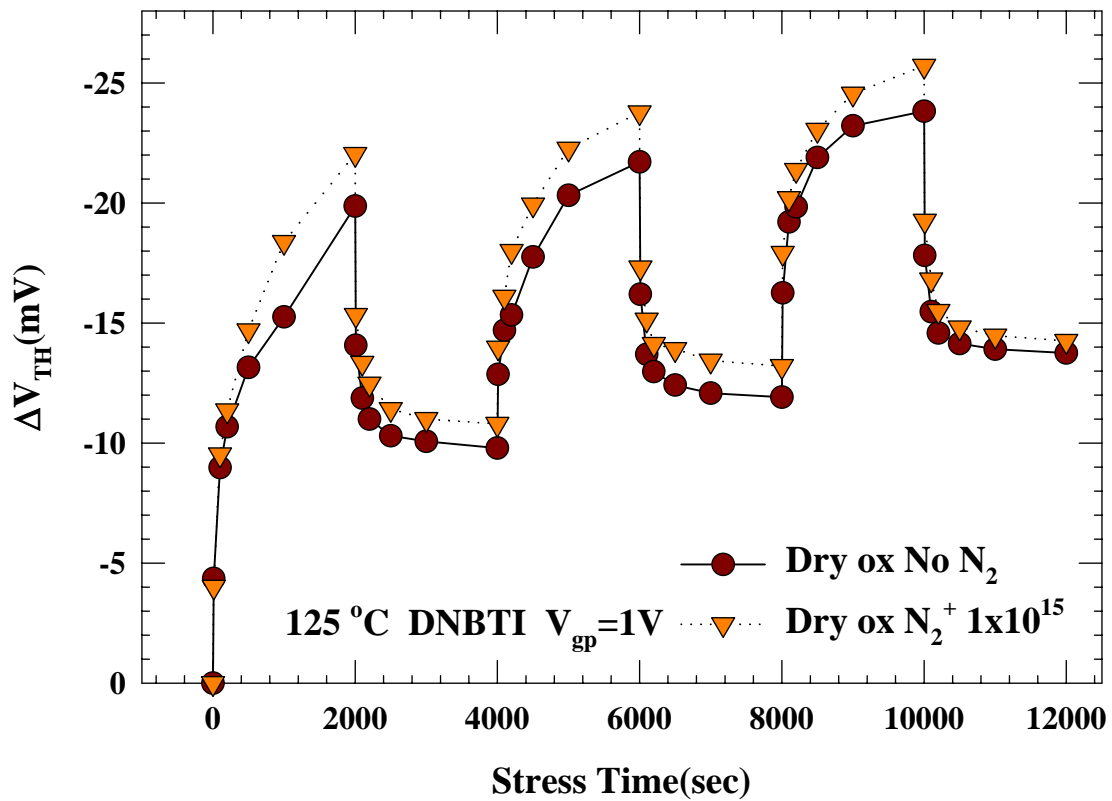
【圖 4-37】氮氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(V_{gn})
 為使閘極介電層垂直電場 $-13MV/cm$ ，正偏壓設定(V_{gp})為+1Volt 的
 DNBT-stress 後 V_{TH} 的偏移



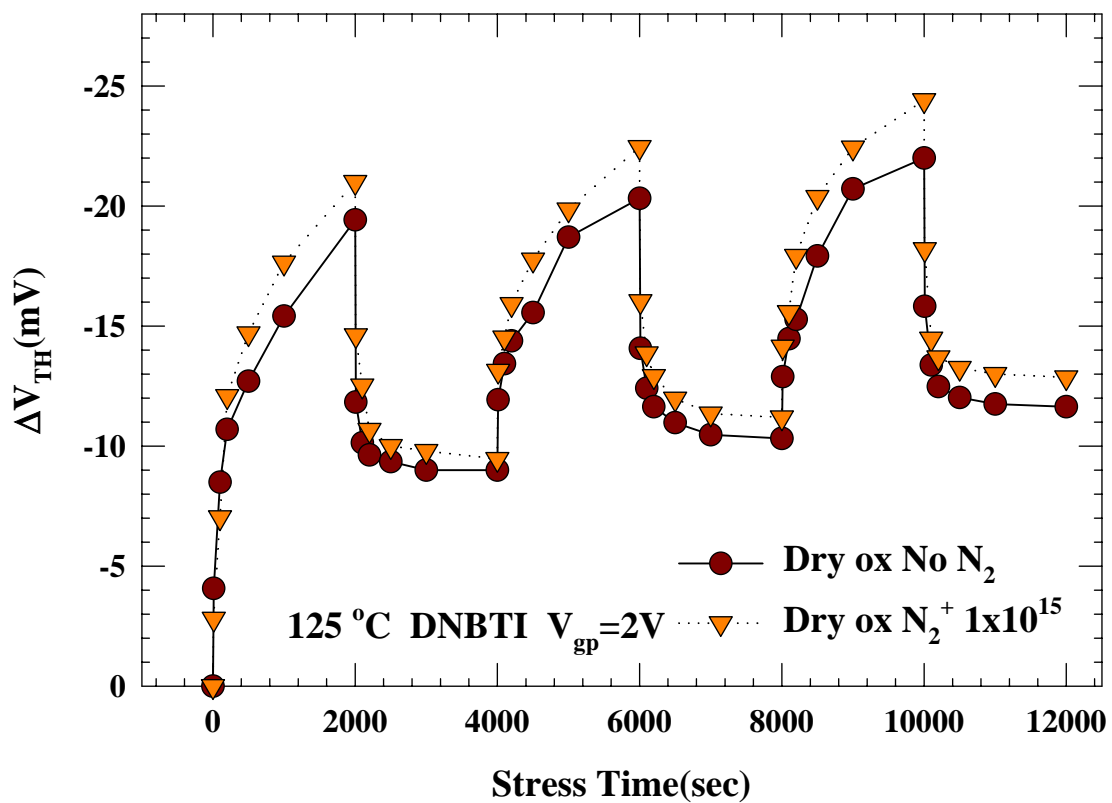
【圖 4-38】氮氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(V_{gn})
 為使閘極介電層垂直電場 $-13MV/cm$ ，正偏壓設定(V_{gp})為+2Volt 的
 DNBT-stress 後 V_{TH} 的偏移



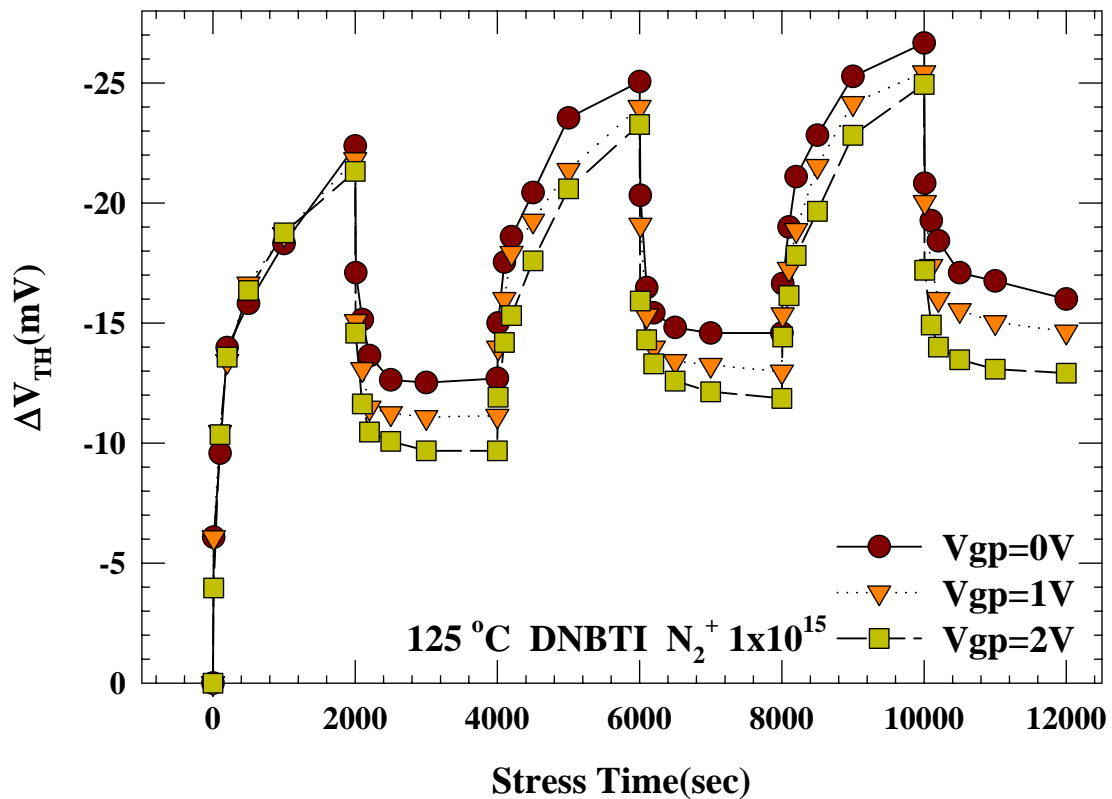
【圖 4-39】二氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(V_{gn})
 為使閘極介電層垂直電場 $-13MV/cm$ ，正偏壓設定(V_{gp})為 0Volt 的
 DNBT-stress 後 V_{TH} 的偏移



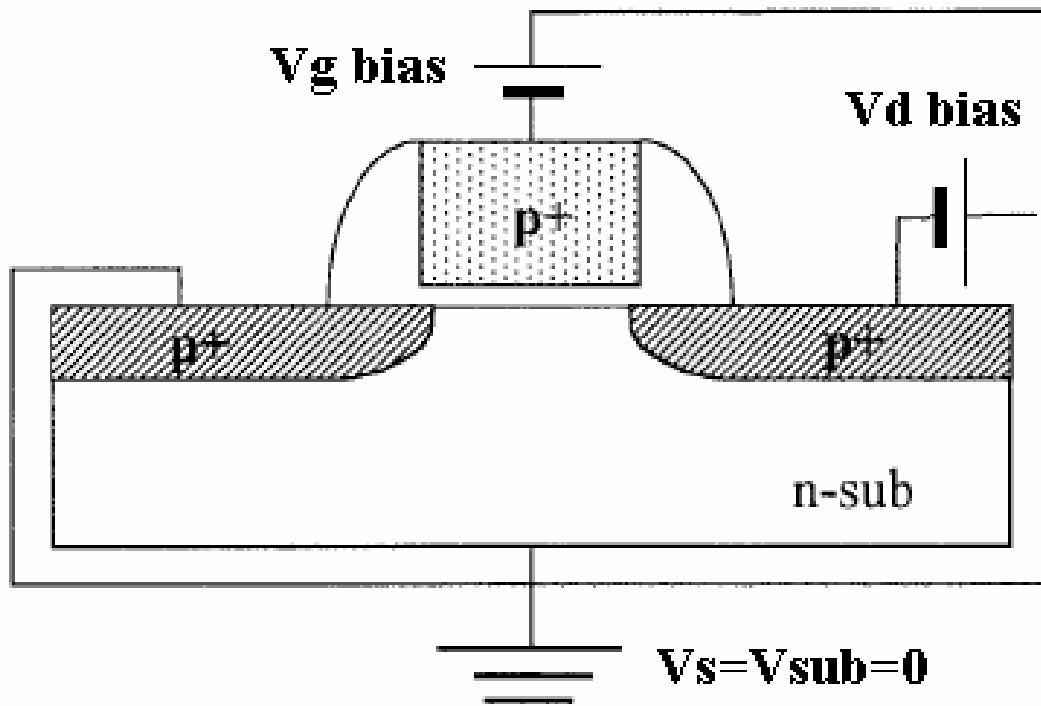
【圖 4-40】二氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(Vgn) 為使閘極介電層垂直電場 -13MV/cm，正偏壓設定(Vgp)為+1Volt 的 DNBT-stress 後 V_{TH} 的偏移



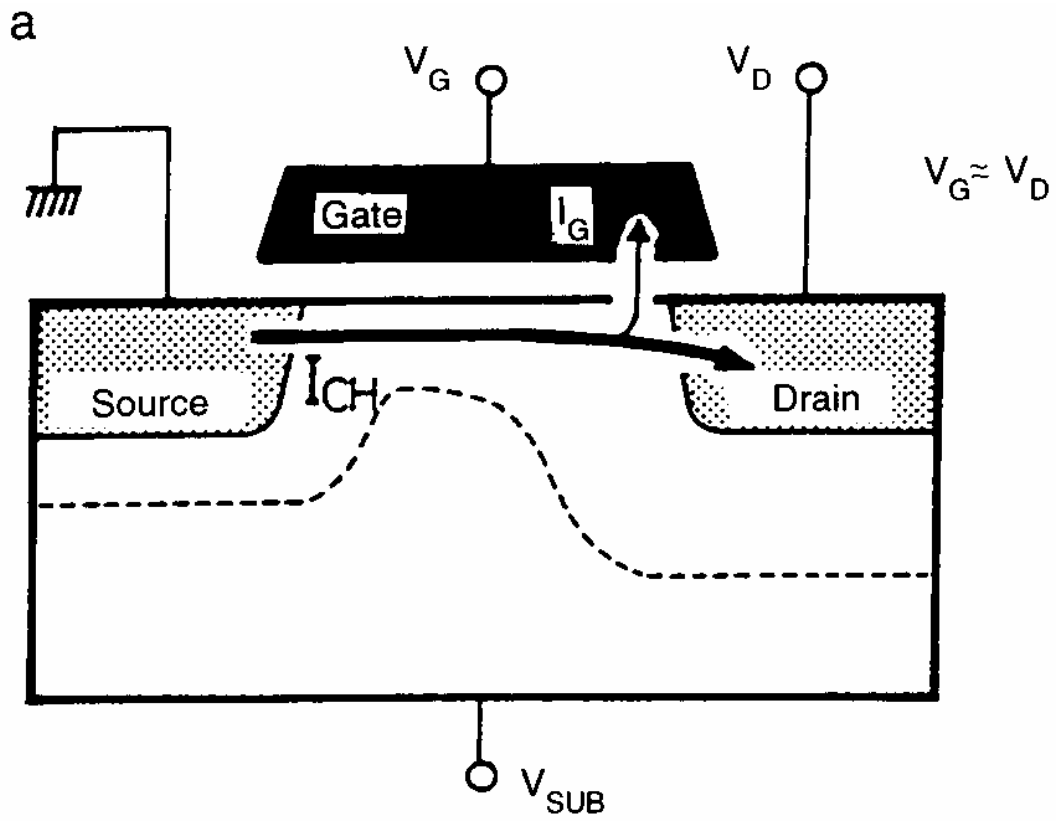
【圖 4-41】二氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(V_{gn}) 為使閘極介電層垂直電場 $-13MV/cm$ ，正偏壓設定(V_{gp})為+2Volt 的 DNBT-stress 後 V_{TH} 的偏移



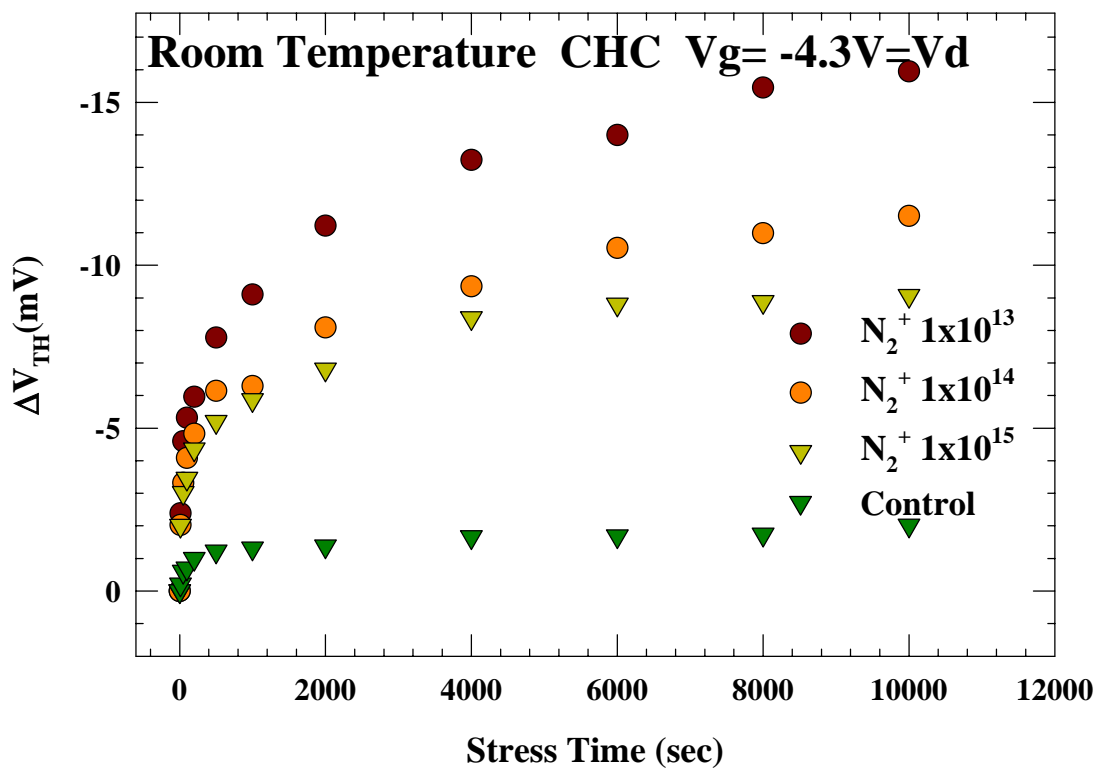
【圖 4-42】 $N_2^+ 1 \times 10^{15}$ 複晶矽鍺閘極且氮氧化矽閘極介電層做氮離子劑量 1×10^{15} ions/cm² 的離子佈植，氮氧化矽閘極介電層在 12000 秒的 125°C，負偏壓設定(V_{gn})為使閘極介電層垂直電場 -13MV/cm，正偏壓設定(V_{gp})分別為 0Volt、+1Volt、+2Volt 的 DNBT-stress 後 V_{TH} 的偏移



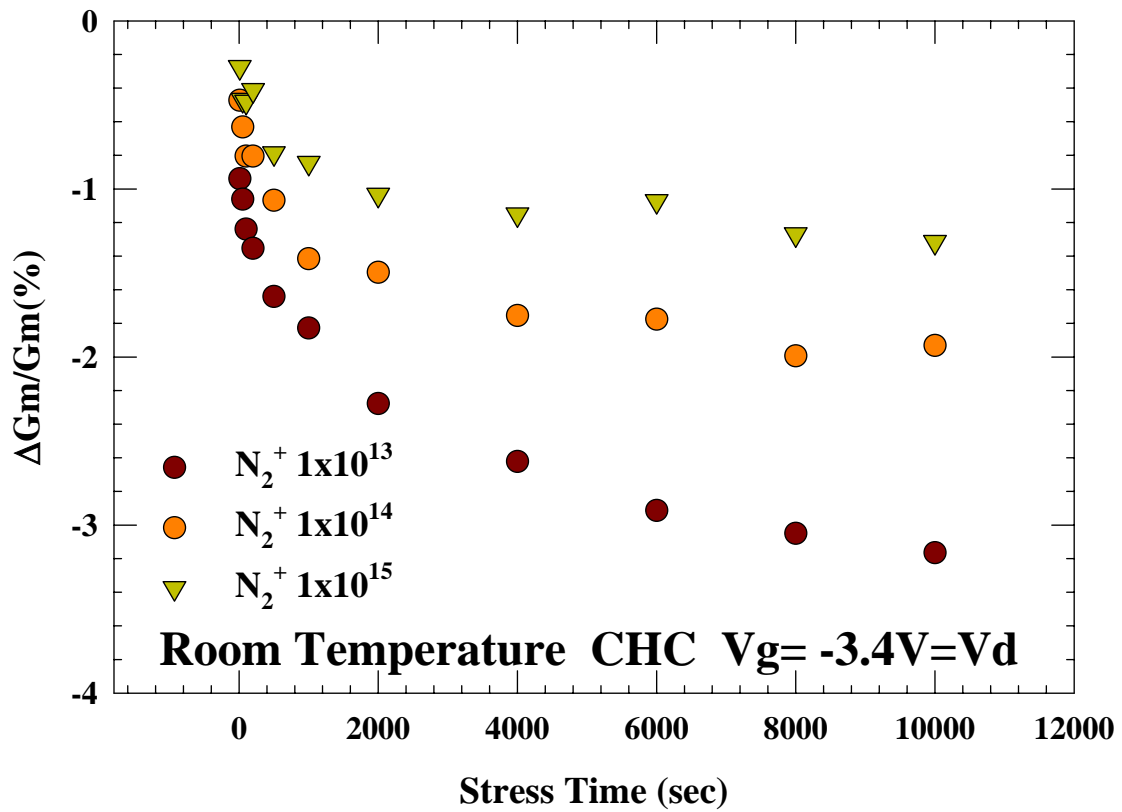
【圖 4-43】 Channel Hot-Carrier (CHC) stress 時各接腳所加之偏壓



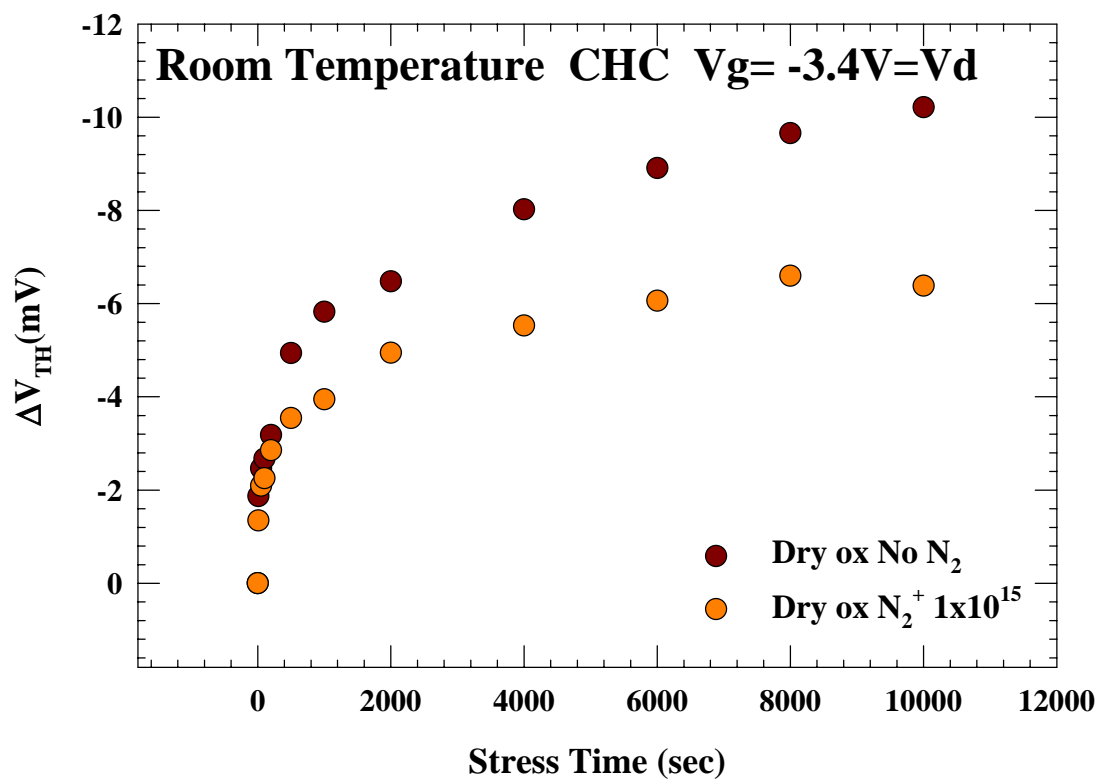
【圖 4-44】CHC-stress 時載子的流動方向



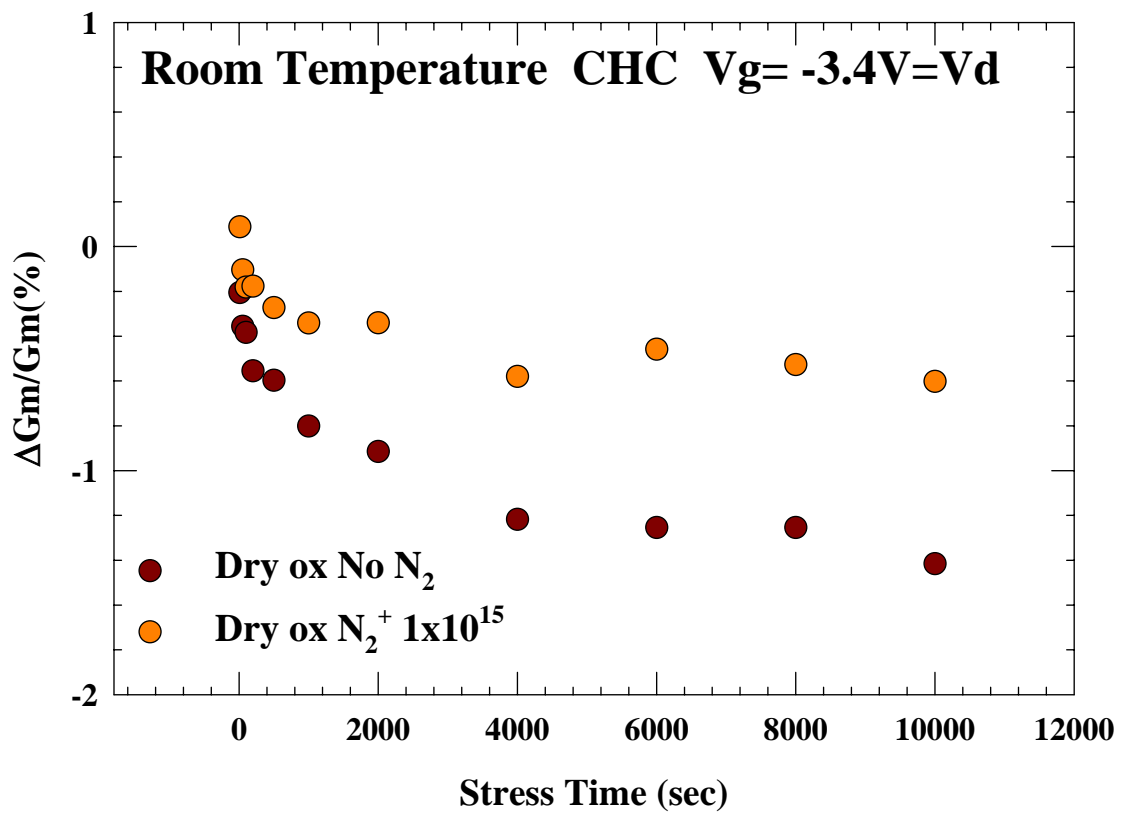
【圖 4-45】氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



【圖 4-46】複晶矽鍺閘極且氮氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 G_m 偏移



【圖 4-47】複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 V_{TH} 偏移



【圖 4-48】複晶矽鍺閘極且二氧化矽閘極介電層而在定義閘極前做不同劑量的氮離子佈植的 G_m 偏移

第五章

總結

在元件製程時加入氮離子佈植可以得到許多良好的特性，如：增加元件對傳統熱載子效應的抵抗力[54]、降低硼穿透現象的發生[55-57]、降低 reverse short channel effect[58]、降低 lateral transient enhanced dopant diffusion [59]等，所以對於氮離子佈植的時機、能量、劑量大小都已經有文獻詳細的探討過。

針對複晶矽鍺閘極而言，在 N_2O 環境下成長閘極氧化層元件在經過氮離子佈植後較乾氧成長的元件較能抑制硼穿透效應，隨著氮離子佈植濃度愈高，硼穿透效應越小。然而氮離子會與硼離子形成 B-N 鍵結造成硼離子活化不完全而使得片電阻值上升產生閘極空乏，隨著氮離子濃度的提高，元件有較高的片電阻值，而利用複晶矽鍺作為閘極由於因為活化能較低而使得片電阻值相對的減小。對於不同的硼離子佈植劑量與活化溫度的製程條件下，要在閘極空乏與硼穿透效應兩者間做一取捨。

傳統的 NBTI 與 DNBTI 對複晶矽鍺閘極而言，氮離子的存在都會造成更嚴重的影響。在基板加上 V_{sub} 會產生 Substrate Hot Hole 提升 NBTI 的影響。此外 DNBTI 在閘極加正偏壓時，發生回復，這個現象指出其實 NBTI 所造成的傷害是可以部分回復的，因此在可靠性分析與元件生命期的要求上可以放寬一點。雖然氮氧化矽閘極介電層的使用與在閘極加入氮離子佈植已經是常用的製程，而且對於元件特性也有若干的好處，如預防硼穿透，但是對於元件的可靠性分析 (NBTI) 而言，會造成更嚴重的影響，在使用上應該注意其中的關係。或著是使用其他高介電係數材料的閘極介電層，在能夠得到良好電性的同時，也能使元件在 NBTI-stress 後，不會形成更大的電性偏移。



『 参 考 文 献 』

- [1] *Iwai H*, "The future of ultra-small geometry MOSFETS beyond 0.1 micron" *Microelectronic Engineering* 1995,28(1-4):147-54
- [2] *Yuan Taur, Tak H. Ning*, "Fundamental of Modern VLSI Devices" First published 1998, Reprint 1999, p161
- [3] *Buchanan, D.A and Lo, S. -H* "Reliability and integration of ultra-thin gate dielectrics for advanced CMOS" *Microelectron.Eng.*,1997,36,pp.13-20
- [4] *C.E. Blat, E. H. Nicollian, E. H. Poindexter* "Mechanism of negative-bias-temperature instability" *J. Appl. Phys.* 69 (3), 1 February 1991
- [5] *Y.F. Chen, M.H. Lin, C.H. Chou, W.C. Chang, S.C. Huang, Y.J. Chang, K.Y. Fu, M.T. Lee, C.H. Liu, and S.K. Fan* "Negative Bias Temperature Instability (NBTI) in Deep Sub-micron p⁺-gate pMOSFETs" 2000, IRW
- [6] *J.F.Zhang and W.Eccleston* "A comparative study of positive and negative bias temperature instability in MOSFETs" **EDMS'1994 9-4-14**
- [7] *Kimizuka, N.; Yamamoto, T.; Mogami, T.; Yamaguchi, K.; Imai, K.; Horiuchi, T.* "The impact of bias temperature instability for direct-tunneling ultra-thin gate oxide on MOSFET scaling" *VLSI Technology*, 1999. Digest of Technical Papers. 1999 Symposium on , 14-16 June 1999 pp. 73 -74
- [8] *Zhang, J.F.; Eccleston, W.* "A comparative study of positive and negative bias temperature instabilities in MOSFETs" *Electron Devices and Materials Symposium*, 1994. EDMS 1994. 1994 International , 12-15 July, 1994 pp.9-4-14 -9-4-17
- [9] *Nishida, Y.; Sayama, H.; Ohta, K.; Oda, H.; Katayama, M.; Inoue, Y.; Morimoto, H.; Inuishi, A.*" SoC CMOS technology for NBTI/HCI immune I/O and analog circuits implementing surface and buried channel structures" *Electron Devices Meeting*, 2001. IEDM Technical Digest. International , 2-5 Dec. 2001 pp. 39.4.1 -39.4.4
- [10] *Shyue Seng Tan and T. P. Chen, C. H. Ang and L. Chan* "Relationship between interfacial nitrogen concentration and activation energies of fixed-charge trapping and interface state generation under bias-temperature stress condition" *Applied Physics Letters* -- January 13, 2003 -- Volume 82, Issue 2, pp. 269-271

- [11] Kimizuka, N.; Yamaguchi, K.; Imai, K.; Iizuka, T.; Liu, C.T.; Keller, R.C.; Horiuchi, T.; **“NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.10- μ m gate CMOS generation”** VLSI Technology, 2000. Digest of Technical Papers. 2000 Symposium on , 13-15 June 2000 pp.92 -93
- [12] Mitani, Y.; Nagamine, M.; Satake, H.; Toriumi, A.; **“NBTI mechanism in ultra-thin gate dielectric - nitrogen-originated mechanism in SiON”** Electron Devices Meeting, 2002. IEDM '02. Digest. International , 8-11 Dec. 2002 pp.509 -512
- [13] Da-Yuan Lee, Horng-Chin Lin, Wan-Ju Chiang, Chi-Chun Chen, Tiao-Yuan Huang, Tahui Wang, and Mong-Song Liang **“Negative-Bias-Temperature Instability in Ultra Thin Nitride/Oxide Gate Stack”** SNDDT'2002
- [14] Liu, C.H.; Lee, M.T.; Chih-Yung Lin; Chen, J.; Schroefer, K.; Brighten, J.; Rovedo, N.; Hook, T.B.; Khare, M.V.; Shih-Fen Huang; Wann, C.; Tze-Chiang Chen; Ning, T.H.; **“Mechanism and process dependence of negative bias temperature instability (NBTI) for pMOSFETs with ultrathin gate dielectrics”** Electron Devices Meeting, 2001. IEDM Technical Digest. International , 2-5 Dec. 2001 pp. 39.2.1 -39.2.4
- [15] Suzuki, A.; Tabuchi, K.; Kimura, H.; Hasegawa, T.; Kadomura, S.; **“A strategy using a copper/low-k BEOL process to prevent negative-bias temperature instability (NBTI) in p-MOSFETs with ultra-thin gate oxide”** VLSI Technology Digest of Technical Papers 2002 Symposium , 11-13 June 2002 pp.216 -217
- [16] Krishnan, A.T.; Reddy, V.; Krishnan, S.; **“Impact of charging damage on negative bias temperature instability”** Electron Devices Meeting, 2001. IEDM Technical Digest. International , 2-5 Dec. 2001 pp.39.3.1 -39.3.4
- [17] Uwasawa, K.; Yamamoto, T.; Mogami, T.; **“A new degradation mode of scaled p⁺ polysilicon gate pMOSFETs induced by bias temperature (BT) instability”** Electron Devices Meeting, 1995., International , 10-13 Dec. 1995 pp.871 -874
- [18] Sasada, K.; Arimoto, M.; Nagasawa, H.; Nishida, A.; Aoe, H.; Dan, T.; Fujiwara, S.; Matsushita, Y.; Yodoshi, K.; **“The influence of SiN films on negative bias temperature instability and characteristics in MOSFET's”** Microelectronic Test Structures, 1998. ICMTS 1998., Proceedings of the 1998 International Conference on , 23-26 March 1998 pp.207 -210
- [19] Chen, Y.F.; Lin, M.H.; Chou, C.H.; Chang, W.C.; Huang, S.C.; Chang, Y.J.; Fu, K.Y.; Lee, M.T.; Liu, C.H.; Fan, S.K.; **“Negative bias temperature instability (NBTI) in deep sub-micron p⁺-gate pMOSFETs”** Integrated Reliability Workshop Final

Report, 2000 IEEE International , 23-26 Oct. 2000 pp.98 -101

[20] *Chen, G.; Li, M.F.; Ang, C.H.; Zheng, J.Z.; Kwong, D.L.*; **“Dynamic NBTI of p-MOS transistors and its impact on MOSFET scaling”** Electron Device Letters, IEEE , Volume: 23 Issue: 12 , Dec. 2002 pp. 734 -736

[21] *Ershov, M.; Lindley, R.; Saxena, S.; Shibkov, A.; Minehane, S.; Babcock, J.; Winters, S.; Karbasi, H.; Yamashita, T.; Clifflon, P.; Redford, M.*; **“Transient effects and characterization methodology of negative bias temperature instability in pMOS transistors”** Reliability Physics Symposium Proceedings, 2003. 41st Annual. 2003 IEEE International , March 30 - April 4, 2003 pp.606 -607

[22] *Usui, H.; Kanno, M.; Morikawa, T.*; **“Time and voltage dependence of degradation and recovery under pulsed negative bias temperature stress”** Reliability Physics Symposium Proceedings, 2003. 41st Annual. 2003 IEEE International , March 30 - April 4, 2003 pp. 610 –611

[23] *T. I. Kamins*, **“Polycrystalline Silicon Integrated Circuit Applications.”** Boston: Kluwer, 1988.

[24] *M. C. Ozturk, Y. Zhong, D. T. Grider, M. Sanganeria, J. J. Wortman, and M. A. Littlejohn*, **“Selective deposition of polycrystalline Si_{1-x}Ge_x by rapid thermal processing,”** in Proc. SPIE- the Int. Society for Optical Engineering, pp. 260-269, 1990.

[25] *Tsu-Jae King, James R. Pfeister, and Krishna C. Saraswat*, **“A Variable-Work-Function Polycrystalline-Si_{1-x}Ge_xGate Material for Submicrometer CMOS Technologies”** IEEE Electron Devices Letters, VOL. 12, NO. 10, October, 1991.

[26] *Tsu-Jae King, Krishna C. Saraswat*, **“A low-temperature ($\leq 550^{\circ}\text{C}$) silicon-germanium thin-film transistor technology for large-area rlrctronics,”** in Int. Electron Devices Meet., Techn. Dig., pp. 567-570, 1991.

[27] *Ponomarev, Y.V.; Stolk, P.A.; Salm, C.; Schmitz, J.; Woerlee, P.H* **“High-performance deep submicron CMOS technologies with polycrystalline-SiGe gates”** Electron Devices, IEEE Transactions on , Volume: 47 Issue: 4 , April 2000

[28] *K. S. Krisch, M. L. Green, F. H. Baumann, D. Brasen, L. C. Feldman, and D. F. Manchanda*, **“Thickness dependence of Boron penetration O₂- and N₂O- grown gate oxide and its impact on threshold voltage variation,”** IEEE Trans. Electron Devices, vol, 43, pp. 982, June 1996.

- [29] *H. Fang, K. S. Krisch, B. J. Gross, C. G. Sodini, J. Chung, and D. A. Antoniadis*, **“Low-temperature furnace-grown reoxidized nitrided oxide gate dielectric as a barrier to boron penperation,”** IEEE Electron Device Lett., vol. 13, pp. 217, Apr. , 1992.
- [30] *Z. J. Ma, J. C. Chen, Z. H. Liu, J. T. Krick, Y. C. Cheng, C. Hu, and P. K. Ko*, **“Suppression of boron penperation in P⁺ polysilicon gate P-MOSFET’s using low-temperature gate-oxide N₂O anneal,”** IEEE Electron Device Lett., vol. 15, pp. 109, Mar., 1994.
- [31] *A. B. Joshi, J. Ahn, and D. L. Kwong*, **“Oxynitride gate dielectric for P⁺ polysilicon gate CMOS devices,”** IEEE Electron Device Lett., vol. 14, pp. 560, Dec., 1993.
- [32] *K. S. Krisch, M. L. Green, F. H. Baumann, D. Brasen, L. C. Feldman, and L. Manchanda*, **“Thickness dependence of boron penetration through O₂- and N₂O-grown gate oxides and its impact on threshold voltage variation,”** IEEE Trans. Electron Devices, vol. 43, pp. 982, June 1996.
- [33] *Bin Yu, Member, IEEE, Dong-Hyuk Ju, Member, IEEE, Wen-Chin Lee, Nick Kepler, Member, IEEE, Tsu-Jae King, Member, IEEE, and Chenming Hu, Fellow, IEEE*
- [34] *H. Fang, K. S. Krish, B. J. Gross, C. G. Sodini, J. Chung, and D. A. Antoniadis*, **“Low-temperature furnace-grown reoxidized nitrided oxide gate dielectric as a barrier to boron penetration,”** IEEE Electron Devic Lett., vol. 13, pp. 217, Apr. 1992.
- [35] *Z. J. Ma, J. C. Chen, Z. H. Liu, J. T. Krick, Y. C. Cheng, C. Hu, and P. K. Ko*, **“Suppression of boron penetration in P⁺ polysilicon gate P-MOSFET’s using low-temperature gate-oxide N₂O anneal,”** IEEE Electron Device Lett., vol. 15, pp. 109, Mar. 1994.
- [36] *A. B. Joshi, J. Ahn, and D. L. Kwong*, **“Oxynitride gate dielectric for P⁺ polysilicon gate CMOS devices,”** IEEE Electron Device Lett., vol. 14, pp. 560, Dec. 1993.
- [37] *S. T. Chang, N. M. Johnson, and S. A. Lyon*, **“Capture and tunnel emission of electrons by deep levels in ultrathin oxides on silicon,”** Appl. Phys. Lett., vol. 44, pp. 316, 1984.
- [38] *C. T. Chen, F. C. Tseng, C. Y. Chang, and M. K. Lee*, **“Study of electrical characteristics on thermally nitrided SiO₂ (nitroxide) films,”** J. Electrochem. Soc.,

vol. 131, pp. 875, 1984.

[39] *T.-J. King, J. R. Pfister, J. D. Shott, J. P. McVittie, and K. C. Saraswat*, “**A polycrystalline-Si Ge -gate technology,**” in IEDM Tech. Dig., Dec. 1990, pp. 253.

[40] *V. Z.-Q. Li, M. R. Mirabedini, R. T. Kuehn, J. J. Wortman, and M. C. Öztürk*, “**Single gate 0.15 μ m CMOS devices fabricated using RTCVD in-situ boron doped Si Ge gates,**” in IEDM Tech. Dig., Dec. 1997, pp. 833.

[41] *C. Salm et al.*, “**Diffusion and electrical properties of boron and arsenic doped poly-Si and poly-Ge Si (x similar to 0.3) as gate material for sub-0.25 μ m complementary metal oxide semiconductor applications,**” J. Electrochem. Soc., vol. 144, pp. 3665–3673, 1997.

[42] *T.-J. King, J. P. McVittie, K. C. Saraswat, and J. R. Pfister*, “**Electrical properties of heavily doped polycrystalline silicon-germanium films,**” IEEE Trans. Electron Devices, vol. 41, pp. 228–232, Feb. 1994.

[43] *P.-E. Hellberg, S. L. Zhang, and C. S. Petersson*, “**Work function of boron-doped polycrystalline Si Ge films,**” IEEE Electron Device Lett., vol. 18, pp. 456–458, Sept. 1997.

[44] *P. Bouillon et al.*, “**Experiments with 0.18- μ m SiGe channel PMOSFET's and P+ poly-SiGe gate,**” in Proc. ESSDERC, Sept. 1996, pp. 473.

[45] *Tuinhout, H.P.; Montree, A.H.; Schmitz, J.; Stolk, P.A.*; “**Effects of gate depletion and boron penetration on matching of deep submicron CMOS transistors**” Electron Devices Meeting, 1997. Technical Digest., International , 7-10 Dec. 1997 ,pp.631 -634

[46] *Nicollian, P.E.; Hunter, W.R.; Hu, J.C.*; “**Experimental evidence for voltage driven breakdown models in ultrathin gate oxides**” Reliability Physics Symposium, 2000. Proceedings. 38th Annual 2000 IEEE International , 10-13 April 2000 pp.7 –15

[47] *Kimura, M.*; “**Oxide breakdown mechanism and quantum physical chemistry for time-dependent dielectric breakdown**” Reliability Physics Symposium, 1997. 35th Annual Proceedings., IEEE International , 8-10 April 1997 pp.190 –200

[48] *Yassine, A.M.; Nariman, H.E.; McBride, M.; Uzer, M.; Olasupo, K.R.*; “**Time dependent breakdown of ultrathin gate oxide**” Electron Devices, IEEE Transactions on , Volume: 47 Issue: 7 , July 2000 pp.1416 –1420

[49] *Pey, K.L.; Tung, C.H.; Radhakrishnan, M.K.; Tang, L.J.; Lin, W.H.*;”**Dielectric breakdown induced epitaxy in ultrathin gate oxide - a reliability**

concern”Electron Devices Meeting, 2002. IEDM '02. Digest. International , 8-11 Dec. 2002 pp.163 –166

[50] *Roy, D.; Bruyere, S.; Vincent, E.; Ghibaudo, G.*; **“Electric field and temperature acceleration of quasi-breakdown phenomena in ultrathin oxides”** Integrated Reliability Workshop Final Report, 1998 IEEE International , 12-15 Oct. 1998 pp.49 –54

[51] *Seok-Hee Lee; Byung-Jin Cho; Jong-Choul Kim; Soo-Han Choi*; **“Quasi-breakdown of ultrathin gate oxide under high field stress”**Electron Devices Meeting, 1994. Technical Digest., International , 11-14 Dec. 1994 pp.605 –608

[52] *Miranda, E.; Sune, J.; Rodriguez, R.; Nafria, M.; Aymerich, X.; Fonseca, L.; Campabadal, F.*; **“Soft breakdown conduction in ultrathin (3-5 nm) gate dielectrics”** Electron Devices, IEEE Transactions on , Volume: 47 Issue: 1 , Jan. 2000 pp. 82 –89

[53] *Tsai, C.W.; Chen, M.C.; Gu, S.H.; Tahui Wang*; **“Substrate bias dependence of breakdown progression in ultrathin oxide pMOSFETs”** Electron Device Letters, IEEE , Volume: 24 Issue: 4 , April 2003 pp. 269 –271

[54] *Guarin, F.J.; Rauch, S.E., III; La Rosa, G.; Brelford, K.*;**” Improvement in hot carrier lifetime as a function of N₂ ion implantation before gate oxide growth in deep submicron NMOS devices “** Electron Device Letters, IEEE , Volume: 20 Issue: 12 , Dec. 1999 pp. 602 –604

[55] *Wen Luh Yang; Chiou-Jyi Lin; Tien Sheng Chao; Don-Gey Liu; Tan Fu Lei*; **”Suppression of boron penetration by using inductive-coupling-nitrogen-plasma in stacked amorphous/polysilicon gate structure”** Electronics Letters , Volume: 33 Issue: 13 , 19 June 1997 pp.1139 –1140

[56] *Bauer, A.J.; Mayer, P.; Frey, L.; Haublein, V.; Ryssel, H.*; **“Implantation of nitrogen into polysilicon to suppress boron penetration through the gate oxide”** Ion Implantation Technology Proceedings, 1998 International Conference on , Volume: 1 , 22-26 June 1998 pp.30 -33 vol.1

[57] *T. S. Chao, M. C. Liaw, C. H. Chu, and C. Y. Chang C. H. Chien, C. P. Hao, and T. F. Lei* **“Mechanism of nitrogen coimplant for suppressing boron penetration in p⁺-polycrystalline silicon gate of p metal–oxide semiconductor field effect transistor”** Applied Physics Letters -- September 16, 1996 -- Volume 69, Issue 12, pp. 1781-1782

[58] *Lee, T.K.; Liu, P.C.; Gan, C.H.; Zhang, Y.Q.; Nga, Y.A.*; **”Suppression of reverse short channel effect by nitrogen implantation and its implications on nitrogen as a dopant species for applications in 0.25 μm technology”** Electron Devices Meeting, 1997. Proceedings., 1997 IEEE Hong Kong , 30 Aug. 1997 pp. 61 –64

[59] *Nakashima, S.; Takahashi, M.; Nakayama, S.; Ohno, T.*; **”Suppression of lateral transient enhanced dopant diffusion by nitrogen implantation and its application to fully depleted MOSFETs/SIMOX”** Ion Implantation Technology Proceedings, 1998 International Conference on , Volume: 1 , 22-26 June 1998 pp. 122 -125 vol.1

[60] *Y. J. Lee, Y. C. Tang, M. H. Wu, T. S. Chao1, P. T. Ho, David Lai, W. L. Yang, T. Y. Huang*; **”NBTI Effects of pMOSFETs with Different Nitrogen Dose Implantation”** 2003 JJAP



作者簡介

姓名：吳明勳

性別：男

生日：民國 66 年 7 月 8 日

出生地：高雄市

住址：高雄市前金區六合二路 133 號

學歷：省立鳳山高中

國立中興大學物理系

國立交通大學電子物理所



論文題目：複晶矽鍺閘極之負偏壓溫度不穩定性研究

Study of NBTI in pMOSFETs with Poly-SiGe Gate