

# 國立交通大學

管理學院工業工程與管理學程碩士班

碩士論文

利用實驗設計改善積體電路

閘極缺陷

**Improvement on the Gate Electrode Defect of Integrated  
Circuits using Designed Experiments**

研究生：許家維

指導教授：唐麗英 博士

中華民國九十四年二月

利用實驗設計改善積體電路閘極缺陷

**Improvement on the Gate Electrode Defect of Integrated  
Circuits using Designed Experiments**

研究生:許家維

Student:Chia-Wei Hsu

指導教授:唐麗英 博士

Advisor:Lee-Ing Tong

國立交通大學  
管理學院工業工程與管理學程碩士班  
碩士論文



A Thesis  
Submitted to Department of Industrial Engineering and Management  
College of Management  
National Chiao Tung University  
in partial Fulfillment of the Requirements  
for the Degree of Master of Science  
in

Industrial Engineering and management

Feb.,2005

Hsinchu,Taiwan,Republic of China

中華民國九十四年二月

# 利用實驗設計改善積體電路閘極缺陷

學生：許家維

指導教授：唐麗英 博士

國立交通大學管理學院工業工程與管理學程碩士班

## 摘要

台灣半導體產業目前正面臨大陸晶圓廠的競爭,因此為了保持自身的競爭優勢,台灣各家半導體廠,尤其是生產 Dram 的製造商,無不致力於提昇晶圓良率,以期能在最短的時間內快速提昇產品良率。有鑒於目前業界在晶圓缺陷分析上仍使用傳統的實驗方法,即採取一次調動一個因子的設計法來進行實驗,此種實驗結果並不能保證可以找到最佳解且實驗時間相當冗長;因此本研究主要目的是利用三因子兩水準之隨機集區法( randomized complete block design ; RCBD )來進行積體電路閘極缺陷( defect )的改善,此閘極缺陷問題發生的原因是在矽化鎢( Wsix )沉積後之表面形成小凸起的現象,導致閘極線路製作完成後發生嚴重的線路橋接(Bridge)現象,以至讓晶圓良率降低,最嚴重時將會降至 3% 左右。由於目前許多中外文獻中並未見到探討本論文所提出的缺陷問題,故本研究在無太多參考資訊的情況下,運用穿透式電子顯微鏡( transmission electron microscopy,TEM )的分析儀器,發現閘極缺陷是發生在多晶矽與 Wsix 製程之間,因此從切片資料找出鹽酸/雙氧水/水 (Hydrochloric Peroxide Mixture, HPM)混酸、氧化層蝕刻以及多晶矽沉積等三個影響良率之實驗實驗因子,並將 HPM 混酸之製程參數設定為”使用 HPM”、”不使用 HPM”兩個水準,氧化層蝕刻之製程參數設定為”HF vapor (100% HF)”、”Dilute HF(H<sub>2</sub>O<sub>2</sub>: HF = 200:1)”兩個水準及多晶矽沉積之製程溫度設定在”高溫 1050°C (high temp.)”、”低溫 575°C (low temp.)”兩個水準,而集區變數為廠區,亦設定兩個水準,來進行整個實驗規劃且每組實驗條件進行 8 次,並利用 Mintab 統計軟體進行分析,順利找出解決閘極缺陷之最佳配方是”使用 HF vapor(100% HF)進行氧化層蝕刻”。根據上述最佳配方運用於量產產品上,最後使得產品之良率穩定在 82~84% 高良率水準上,使公司產品更具市場競爭力。

關鍵字：積體電路、缺陷(defect)、實驗設計(DOE)、橋接(Bridge)、  
閘極缺陷

# Improvement on the Gate Electrode Defect of Integrated Circuits using Designed Experiments

Student : Chia-Wei Hsu

Professor of instruction : Dr. Lee-Ing Tong

Department of Master Program of Industrial Engineering and  
Management National Chiao Tung University

## Abstract

Semiconductor industry in Taiwan currently has faced strong competition from the wafer foundry companies in Mainland China, therefore, to retain its own competitiveness in the market, all the wafer foundry companies in Taiwan are dedicating their great efforts on the improvement of semiconductor manufacturing yield rate, it is hoped that the product yield rate can be enhanced in short term, this is especially true for manufacturers of DRAM. Currently, traditional experimental method is used in the industry to perform wafer defect analysis, that is, one factor is adjusted each time to conduct the experiment, this method does not guarantee that it can find the optimum solution, besides, it is a very tedious process; therefore, this study aims at using Randomized Complete Block Design (RCBD) method with three factors and two levels for each factor to improve the gate electrode defect of integrated circuits. The gate electrode defect forms as small bumps on the surface after  $WSi_x$  is deposited, it leads to serious circuit bridge after gate electrode circuit is completely manufactured. The wafer yield rate thus could drop by 3% at the worst case. Since the defect problems mentioned in this study are not yet investigated by literature over the world, therefore, there are very few information we can refer to. Transmission electron microscopy (TEM) was used and the gate electrode defect appears between the processes of polycrystalline silicon and  $WSi_x$ . Therefore, Three experimental factors affecting yield rate from the sectioning sample are : HCL/ $H_2O_2$ /  $H_2O$  (Hydrochloric Peroxide Mixture, HPM) mixed acid, oxide etch and polycrystalline silicon deposition. Experimental planning by setting the process parameters of HPM mixed acid as two levels of "Using HPM" and "Not using HPM"; setting the process parameters of oxide etch as two levels of "HF vapor (100% HF)" and "Dilute HF( $H_2O_2$ : HF = 200:1)"; and setting the process temperatures of the polycrystalline silicon deposition as two levels of "1050°C (high temp.)" and "575°C (low temp.)". The block variable is the plant area, it has two levels for

the whole experimental planning, each experimental condition is performed 8 times. In the mean time, the Minitab statistical software is used for analysis, we eventually find an optimum recipe for solving the gate electrode defects, that is , "use HF vapor (100% HF)for the oxide layer etching ".By using the above optimum recipe in the mass production, we are able to obtain a stable yield tare of 82%~84%,it also help to make the company product more competitive.

Key words: Integrated circuit , defect, design of experiment(DOE) , bridge , gate electrode defect



## 誌 謝

終於完成交大學業,真是不容易,雖然過程有點辛苦,但學到很多在業界所學不到的理論和實務的相關課程,收穫實在豐碩。在這段時間有同學和師長陪伴,跟我一起成長,讓我在學習過程中能夠非常順遂。

非常感謝指導教授唐麗英老師,在我碩士論文上的指導與建議,讓我能夠很順利的完成我的碩士論文,也要感謝李榮貴老師與張永佳老師,在百忙之中能夠抽空指導我的論文之缺失,讓我受益匪淺。感謝我們公司的長官與同事的支持與鼓勵,才會讓我在交大的修業過程中能夠順心修業。感謝我的父母親的養育之恩以及最重要的是我的老婆惠玲與我的小孩東東,在旁陪伴我與支持我,這讓我覺得我是最幸福的人,有你們大家真好。



許家維 謹誌

交通大學 工業工程與管理學程碩士班

中華民國 94 年 2 月

# 目 錄

中文封面	
英文封面	
中文摘要 .....	I
英文摘要 .....	II
致謝 .....	IV
目錄 .....	V
圖目錄 .....	VII
表目錄 .....	VIII
第一章 緒 論	
1.1 研究動機 .....	1
1.2 研究目的 .....	1
1.3 研究架構 .....	3
第二章 文獻探討 .....	4
2.1 實驗設計(Design of Experiments ;DOE) .....	4
2.1.1 實驗設計歷史演進.....	5
2.1.2 傳統實驗與實驗設計方法之比較.....	6
2.1.3 隨機化集區設計 (Randomized Complete Block Design; RCBD).....	7
2.2 混酸在半導體業的應用 .....	9
2.2.1 濕式清洗製程 .....	10
2.2.2 化學站系統 .....	11
2.3 物理洗淨技術.....	14
2.3.1 刷洗機 (Scrubber) .....	14
2.4 擴散製程.....	15
2.4.1 擴散爐管設備 .....	15
2.4.2 化學氣相沉積(Cheical Vapor Deposition; CVD)反應原理 .....	16
2.4.3 多晶矽(Poly film) 沈積 .....	17
2.4.4 閘極歷史演進發展.....	17
2.5 半導體製造流程之污染源.....	19
2.5.1 晶片表面污染源改善之個案介紹 .....	20
第三章 解決閘極缺陷之實驗設計.....	24
3.1 問題敘述.....	24
3.2 定義品質特性.....	25
3.3 選擇因子、水準及實驗設計 .....	26

3.4 實驗儀器.....	29
3.5 執行設計與資料蒐集.....	30
3.6 資料分析.....	36
3.6.1 變異數分析.....	36
3.6.2 模式適當性(Model Adequacy)分析 .....	37
3.7 實驗分析結果.....	38
第四章 結論.....	39
參考文獻 .....	40





## 圖目錄

圖 1-1 黃光微觀缺陷.....	1
圖 1-2 黃光微觀缺陷剖面圖.....	2
圖 1-3 黃光典型缺陷問題 .....	2
圖 2-1 一個製程或系統的廣義模型.....	4
圖 2-2 化學站系統圖.....	12
圖 2-3 全自動溼式清洗站.....	12
圖 2-4 全流式密閉容器清洗系統.....	13
圖 2-5 單片晶圓旋轉清洗設備構造圖.....	13
圖 2-6 TEL 公司 SS-2 刷洗機外觀 .....	14
圖 2-7 SS-2 刷洗機刷洗系統結構圖 .....	15
圖 2-8 傳統水平式爐管(左)與垂直式爐管(右)示意圖.....	16
圖 2-9 CVD 反應的五個主要步驟.....	16
圖 2-10 連線間之電阻公式 .....	18
圖 2-11 鈷金屬矽化物自我對準的形成步驟 .....	19
圖 2-12 片狀缺陷殘留之 SEM/KLA map.....	20
圖 2-13 矽化鎢異物之 SEM/TEM/KLA map.....	21
圖 2-14 MB2 機台台結構/問題點 .....	21
圖 2-15 顯影殘留物之 OM/SEM/KLA map .....	22
圖 2-16 黃光顯影機構示意圖.....	22
圖 2-17 側邊光阻聚合物之 SEM/KLA map.....	23
圖 3-1 閘極缺陷之晶片圖.....	24
圖 3-2 閘極缺陷之 SEM 照片.....	24
圖 3-3 閘極缺陷與 Dram 良率之關係圖.....	25
圖 3-4 閘極缺陷之穿透式電子顯微鏡分析 .....	26
圖 3-5 閘極缺陷之成份分析 .....	26
圖 3-6 部分閘極製造流程 .....	27
圖 3-7 閘極缺陷之特性要因圖 .....	28
圖 3-8 按實驗順序之缺點圖 .....	32
圖 3-9 標準化效果常態圖.....	36
圖 3-10 常態機率圖(Normal probability plot).....	37
圖 3-11 殘差分析.....	37
圖 3-12 主效果圖.....	38
圖 3-13 改善後 Dram 良率趨勢圖.....	38

## 表目錄

表 2-1 RCBD 的變異數分析表.....	9
表 2-2 半導體製程材料及化學品 .....	9
表 2-3 清洗液在半導體扮演角色 .....	11
表 2-4 晶片表面的污染源之種類、來源及影響.....	20
表 3-1 $2^3$ 之 RCBD 設計.....	28
表 3-2 實驗數值資料 .....	30
表 3-3 變異數分析表.....	36

