

國立交通大學

工學院產業安全與防災學程

碩 士 論 文

砷化鎵高速元件積體電路之金屬鑲嵌銅製程

Copper Damascene Process for High Speed GaAs Integrating Circuit



研 究 生： 賴 仁 德
指 導 教 授： 張 翼 教 授

中 華 民 國 九 十 四 年 七 月

砷化鎵高速元件積體電路之金屬鑲嵌銅製程
Copper Damascene Process for High Speed GaAs Integrating Circuit

研究生: 賴仁德 Student : Jen-Te Lai
指導教授: 張 翼 Advisor : Yi Chang

國立交通大學

工學院產業安全與防災學程



Submitted to Degree Program of Industrial Safety and Risk Management
College of Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Industrial Safety and Risk Management
June 2005
Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

砷化鎵高速元件積體電路之金屬鑲嵌銅製程

學生:賴仁德

指導教授:張翼 教授

國立交通大學工學院產業安全與防災專班學系(研究所)碩士班

摘 要

本研究將使用在矽製程上已相當成熟的金屬鑲嵌技術運用於砷化鎵(GaAs)及磷化銦(InP)基材之銅金屬化製程中，驗證其可行性。實驗首先在砷化鎵基板上沉積完成介電質層後，即以兩道黃光微影製程定義出中介窗和溝渠的區域，且分別以 RIE 作不同深度之乾式蝕刻，再用銅電鍍的方式鍍上銅金屬，最後以化學機械研磨技術進行表面平坦化並以 SEM 檢視其金屬導線結構。本研究已將金屬鑲嵌技術運用在三五族化合物半導體之銅金屬連線製程上，並討論此技術在三五族化合物半導體元件上的應用及研發重點。

Copper Damascene Process for High Speed GaAs Integrating Circuit

student : Jen-Te Lai

Advisors : Yi Chang

Degree Program of Industrial Safety and Risk Management
National Chiao Tung University

ABSTRACT

The research was focused on application of well-developed metal damascene to copper microfabrication on GaAs and InP substrates and also verification of feasibility. The fabrication began with deposition of specific dielectric material on a GaAs substrate followed by two-masked photolithography to define vias and trenches. Subsequently, we used RIE to etch patterns to different depths and then electroplated copper with CMP planarization following by SEM inspection of metal interconnects. The research had applied metal damascene to fabrication of copper interconnects in III-VA semiconductor devices.

誌 謝

本論文的完成使我獲益良多，能順利畢業是多位貴人無怨無私的鼎助，取之於人者多，施之於人者少，真誠感恩協助我的人。

首先要感謝我的指導教授 張翼老師，在實驗研究方面的指導及人生哲理的啟發，他亦師亦友的感覺深植內心，對實驗過程的教導，對生活事務的關懷，師恩浩大永銘於心。

承蒙口試委員劉建惟博士及李承士博士，提供許多寶貴意見與精闢的建議，尤其是劉建惟博士在撰寫期間不斷的指引、鼓勵及提供多方資料協助，使論文在整體架構、分析、編排上能更進一步的完整，由衷感謝這段期間不厭其煩的指正，僅致以最深謝意。

再來要特別感謝的是材料所博士班的陳克弦學長在實驗上給予大力幫助，論文才得以完成，在此致上最誠摯的謝意，並預祝你畢業時都能達到自己的期望。

於此論文的研究期間，也很感謝本實驗室五位同仁鄭宗杰、施錫龍、文翔昇、蔡來福、林育德在資料解析及搜集上的協助，真心感謝。家永遠是最溫暖的避風港，要感謝我的父母、家人關心與支持及朋友的鼓勵，祝福所有關心我及我所關心的人平安喜樂。

目 錄

	頁次
中文摘要	III
英文摘要	IV
目錄	VI
表目錄	VIII
圖目錄	IX
第一章 前言	11
1.1 研究緣起	11
1.2 研究目的	12
第二章 研究背景與文獻回顧	13
2.1.1 IC 製程整合技術中的平坦化製程	13
2.1.2 化學機械研磨(CMP)技術之重要性	16
2.1.3 化學機械研磨(CMP)技術	20
2.1.4 CMP 原理機制	24
2.1.5 CMP 研磨液性質	29
2.1.6 CMP 的發展與應用	32
2.2.1 銅金屬的物化特性	35

2.2.2	銅金屬的化學機械平坦化製程.....	41
2.2.3	銅金屬鑲嵌法.....	43
2.3.1	砷化鎵元件的應用.....	44
第三章	實驗方法步驟、設備及材料.....	45
3.1	實驗方法步驟.....	45
3.2	實驗材料.....	52
3.3	實驗設備.....	56
第四章	實驗結果與討論.....	60
4.1	曝光顯影、蝕刻及電鍍銅金屬過程	60
4.2	化學機械研磨過程	62
第五章	結論.....	67
第六章	未來工作及建議.....	68
參考文獻	69



表目錄

表 2.1	不同的平坦化製程技術之流程及其優缺點.....	14
表 2.2	CMP 的製程參數(Process parameters)	26
表 2.3	CMP 研磨液及添加物.....	32
表 2.4	主要的低介電常數材料種類.....	39



圖目錄

圖 2.1	現今已使用之平坦化製程技術分類.....	14
圖 2.2	表面平坦化程度.....	15
圖 2.3	記憶體(DRAM)與邏輯 IC 之製程技術趨勢.....	19
圖 2.4	0.25 μm 製程技術所製作 256MB DRAM 之平坦化構造.....	19
圖 2.5	一般的鑲嵌法.....	22
圖 2.6	化學機械研磨設備示意圖.....	25
圖 2.7	不同 CMP 研磨液的應用.....	30
圖 2.8	製程技術與電路中訊號傳輸延遲的關係圖.....	36
圖 2.9	高效能的多層導體連線架構.....	38
圖 2.10	鋁導線與銅導線製程的區分.....	40
圖 2.11	銅導線之雙鑲嵌入結構.....	40
圖 2.12	銅 CMP 時可能發生的銅 Dishing 和氧化物腐蝕等現象.....	42
圖 2.13	雙鑲嵌技術.....	43
圖 3.1	電漿增強式化學氣相沉積(PECVD).....	53
圖 3.2	曝光對準機(Aligner).....	53
圖 3.3	旋轉塗佈機(Spin coater).....	54
圖 3.4	烤箱(Oven).....	54
圖 3.5	化學抽氣櫃(Wet Bench).....	55
圖 3.6	反應離子蝕刻機(RIE).....	55
圖 3.7	濺鍍機(Sputter).....	56
圖 3.8	蒸鍍機(Thermal evaporator).....	56
圖 3.9	銅金屬電鍍槽(Copper electroplating).....	57
圖 3.10	化學機械研磨機(LP50).....	57

圖 3.11	研磨載具.....	58
圖 3.12	熱場發射掃描式電子顯微鏡(TFESEM).....	58
圖 3.13	光罩圖案-Vias.....	59
圖 3.14	光罩圖案-Vias.....	59
圖 4.1	(a)第一次及(b)第二次曝光顯影之光罩.....	60
圖 4.2	第一次 RIE 乾蝕刻後的照片.....	60
圖 4.3	第二次 RIE 乾蝕刻後的照片.....	61
圖 4.4	失敗之金屬鑲嵌銅製程的 OM 結果分別為.....	63
圖 4.5	失敗之金屬鑲嵌銅製程的 SEM 結果分別為.....	64
圖 4.6	金屬鑲嵌銅製程之 SEM 結果分別為.....	66



第一章 前言

1.1 研究源起

1997 年中 Motorola 和 IBM 公司相繼發表銅導線製程並於隔年 1998 年投入量產，至今，銅導線製程已變成半導體業中一項重要的製程技術。銅導線製程中，鑲嵌(Damascene)技術的研發提升了低電阻性之銅導線與低介電質材料的製程整合性，因此可有效地降低元件導線的 RC 時間延遲。鑲嵌製程技術乃顛覆原以乾式蝕刻金屬導線後填充低介電質材料的傳統導線製程，而先將低介電質材料上製作出金屬導線的圖形(Pattern)後再沉積金屬。由於銅並不易以乾式蝕刻方式來定義圖形，因此鑲嵌技術大大減低銅導線製程上的困難度。鑲嵌技術可因製程步驟之差異分為單鑲嵌結構(Single damascene)及雙鑲嵌結構(Dual damascene)。單鑲嵌技術即為上述之製程方法，而雙鑲嵌技術則是以鑲嵌的方式來同時製作出孔洞(Trenches)與金屬導線，因此只需要一步驟的金屬沉積，故可簡化製程複雜度。

本研究將使用金屬鑲嵌技術運用於砷化鎵(GaAs)及磷化銦(InP)基材之銅金屬化製程中，驗證其可行性。實驗首先在砷化鎵基板上沉積完成介電質層後，即以兩道黃光微影製程定義出中介窗和溝渠的區域，且分別以 RIE 作不同深度之乾式蝕刻，再用銅電鍍的方式鍍上銅金屬，最後以化學機械研磨技術進行表面平坦化並以 SEM 檢視其金屬導線結構。本研究已將金屬鑲嵌技術運用在三五族化合物半導體之銅金屬連線製程上，並討論此技術在三五族化合物半導體元件上的應用及研發重點。

1.2 研究目的

銅金屬化製程，應用在矽製程方面，已由 IBM 率先成功實施在 VLSI 之金屬化製程上，目前成為矽製程上最熱門的題目之一，國內多家 IC 廠亦先後跟進。砷化鎵元件之銅金屬化可降低傳輸線的電阻，改進元件之散熱特性，同時亦可降低整體 IC 製作成本。由於銅在砷化鎵和矽半導體一樣，皆會產生擴散效應，且銅在砷化鎵半導體會形成 Deep acceptor 摻雜質，因此過去並沒有人使用銅做為砷化鎵 MMIC 之金屬化金屬。本實驗室已在 2000 年完成並發表砷化鎵 MESFET 之背面銅金屬化製程。

本計畫的研究重心將進一步使用在矽製程上已相當成熟的金屬鑲嵌技術，將此技術運用於砷化鎵(GaAs)及磷化銦(InP)基板上，並應用於銅金屬化製程中，驗證其可行性。若能將金屬鑲嵌技術應用於砷化鎵基板或是磷化銦基板等化合物半導體材料上，將會是化合物半導體在銅金屬化製程上的一大突破。

由於銅已被視為未來金屬連線之主流材料，為克服銅不易被蝕刻的缺點，只有使用此種鑲嵌技術，以化學機械研磨(CMP)替代金屬蝕刻。又傳統的金屬層蝕刻受限於光阻之蝕刻選擇比無法提升而使蝕刻外型不易掌握，相對地，在金屬鑲嵌法中主要的優點即是介電值層蝕刻選擇比較易掌控。同時在傳統金屬層定義後需要介電值填入金屬線間的空隙問題也可以完全避免。由此可知，金屬鑲嵌製程和傳統金屬化製程相比變得簡單許多。而將金屬鑲嵌技術用於砷化鎵基板或是磷化銦基板等化合物半導體材料上，不僅可取代傳統的金屬連線技術，在元件整合積集度上將會有一大提升。因此，此技術在高頻高積集度的三五族高速元件積體電路上將會是相當卓越的應用。

第二章 研究背景與文獻回顧

2.1.1 IC 製程整合技術中的平坦化製程

半導體科技發展中，往往致力於提升每一項產品的性能並同時減低其製造成本。此一目標可藉由縮小矽晶片上元件結構的尺寸及其複雜度來達成。當特徵尺寸接近四分之一微米，可佈線的密度將急遽增加，同時需要多層次的導線連結(Interconnection)技術及全面性的平坦化來提升產量和電路性能的可依靠程度。

IC 製造中可見數種傳統式的平坦化技術，截至目前為止所有的平坦化處理方法大致包括：回蝕(Etch back)法，電子環繞共振氧化層沉積法(Electron cyclotron resonance oxide deposition, ECR)[1]，氧化層流動化法(Oxide reflow)及化學機械研磨平坦化法(Chemical mechanical planarization, CMP)等幾種方式，詳細資料列於表 2-1[2]。

典型的回蝕法是將金屬膜、絕緣膜的堆積與濺鍍(Sputter)、反應性離子蝕刻(Reacted ion etching, RIE)等結合成兩階段進行。薄膜成長法是在成膜過程中加入電極 RF 偏壓使之平滑。氧化矽流動化法是將 PSG 加以高溫熱處理或將 BPSG 加以低溫熱處理或採以有機或無機 SOG(Spin on glass)塗佈後再加以熱處理而使之平坦化。然而，目前在商業應用方面，以 SOG 熱處理、電漿輔助化學氣相沉積(PECVD)及回蝕法進行平坦化最具代性。

就技術上而言，上述技術中後兩種(ECR oxide deposition and CMP) 可利用 Void-free 的介電層氧化物來填充較窄的空間。然而，全面性的平坦技術仍然存在一些問題，絕大部分的平坦化製程當製程範圍超過 100 μm 時將難以達到平坦化要求，如圖 2.1 所示[3]。利用低粘滯性流體作回流法(Reflow)平坦化技術

亦存在無法使用加工於特徵尺寸小於四分之一微米的問題。

有鑒於在深次微米顯影製程中縮短聚焦深度(DOF)的必須性，移除沉積在金屬導線上方後部的介電材料(層)表面起伏輪廓是相當必要的。然而，化學機械式平坦化法(CMP)是一種可於曝光區域上達成局部或全面性平坦化的前瞻先進技術[4]，如圖 2.2 所示。因此，CMP 被認定為達成全面性平坦化的唯一技術[5]。

表 2-1：不同的平坦化製程技術之流程及其優缺點。

	平坦化技術	製作流程	優缺點
1	回蝕法	金屬濺鍍後，以 RIE 或電漿輔助蝕刻。	製程簡單但蝕刻效果不易控制。
2	薄膜長成法	偏壓濺鍍法或 PECVD。	薄膜沉積及平坦化同時進行，但易造成損傷及微塵污染。
3	氧化矽流動化法	旋塗玻璃(SOG)，再熱回流(Reflow)。	低成本，但易形成不穩定薄膜。
4	化學機械研磨法	詳見內文	達全面平坦化。

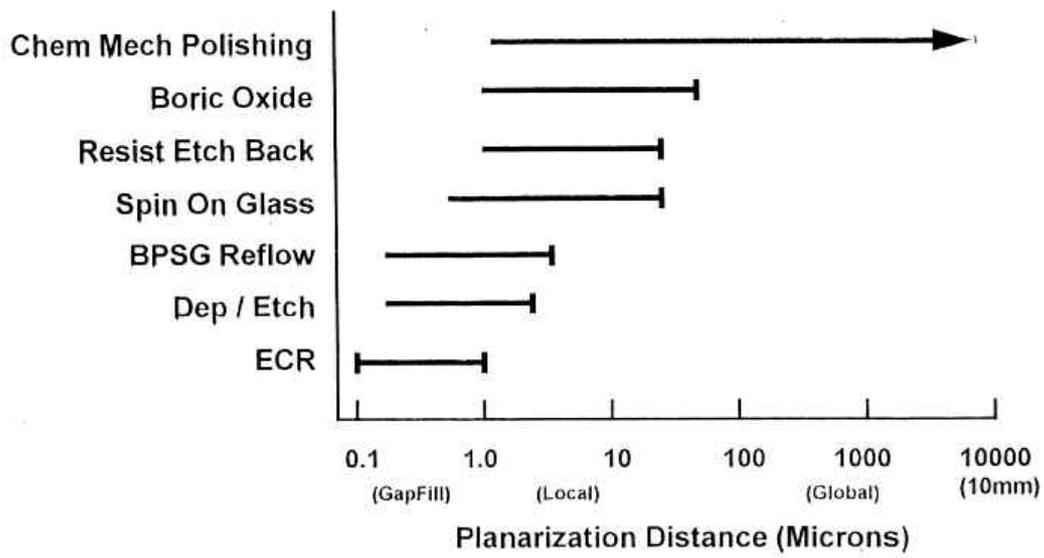


圖 2.1：現今已使用之平坦化製程技術分類。

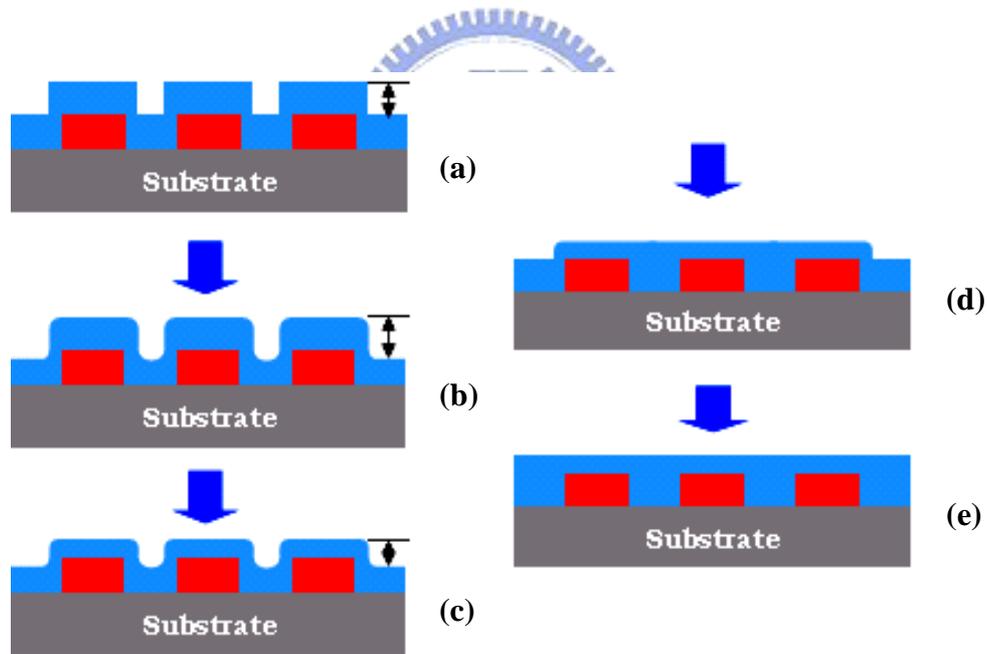


圖 2.2：表面平坦化程度(a)無平坦化，(b)僅表面光滑化，(c)表面光滑化並達局部平坦化，(d)達完全局部平坦化，(e)達完全全面性平坦化。

2.1.2 化學機械研磨(CMP)技術之重要應用性

1980 年代，IBM 公司開發了化學機械研磨技術。藉此技術的優異平坦化能力，使 IBM 在同等級的微影進步機(Stepper)中建立最小的臨界尺寸，並成為最早建立多重金屬連線的公司。Intel 公司的 CPU 製程以該技術為主軸，在不到 5 年內，其所產製 CPU 由 Pentium I 進步至 Pentium III，等級成長將近 10 倍。此外，Micron、Motorola、台積電、聯電與國內 DRAM 各大廠，均將化學機械研磨製程列入半導體製程關鍵程序之一。化學機械研磨是日前能滿足晶圓平坦度，對各種金屬及絕緣體有廣泛通用性，並可對不同材料進行選擇性研磨的唯一製程[6]。

半導體製程技術一直以超乎預期的速度不斷的進步。近十年來，在半導體製造業中，晶圓製程從電路圖案的微細化（一次元）、晶片口徑及晶片面積的增大化（二次元），到三次元的導線多層化的發展研究上，都互相激烈的競爭著。因此，各公司於追求比現在更高精準的曝光、成膜及蝕刻等技術是迫切需要的。然而，為了要支援這些技術並實現高度精密化，晶片表面的平坦化的施行就變的極為必要。在以往，雖然嘗試過了以電漿輔助蝕刻、薄膜成長等各種使表面平坦化的方法，但對於進入口徑大小為 300 mm 的晶片及線寬為 0.18 μm 世代後之層間絕緣膜(Interlayer dielectric, ILD)及金屬膜(Metal layer)平坦化過程等方面，不論是單片晶圓所耗費的時間或資源都與快速而有效率的製程技術顯得格格不入。而為了克服上述難題，各種平坦化技術應運而生。另外，因為晶圓表面材料的差異性，能夠達到平坦化的面積直徑範圍從數 μm 之部份平坦化(Local planarization)到數 mm 之全面性平坦化(Global planarization)不等。在精密度日益提升與要求高產能的考量下，CMP 卻能以有效率且全面平坦化的訴求應付生產極為快速的生產線，因此無疑地將成為線寬 0.25 μm 以下製程不可或缺的關鍵技術。除此之外，半導體應用材料中的絕緣層由氧化矽改為低

電容常數(Low-k)材料，金屬層導線佈線所使用的鋁、鎢也將改為銅之低電阻材料，金屬佈線製程也會逐漸由更有效率之鑲嵌法(Damascene)所取代。這等等之研發製程技術快速的改變都不致影響 CMP 在平坦化時對晶片的良率，更使 CMP 技術在各種不同產品性質之積體電路製造業的製程使用率上日漸成熟茁壯[7]。

製程提升精密化所遭遇之瓶頸便是黃光微影製程中的解析度與焦點景深 (Depth of focus, DOF) 無法兼顧之先天光學限制。雖然隨著先進微影製程技術所使用的超低波長 KrF 及 ArF 而大大的提升了製程線寬的解析度，但是晶圓表面上不平坦的矽氧化物及金屬沉積層，使得當線寬解析度小於 $0.25\ \mu\text{m}$ 時造成嚴重對焦不良的問題，因此平坦化的工作從以往就是造成微影技術上無法往前突破的一大阻礙。而以現今的製程整合技術為例，由於晶圓平坦化的工作已被 CMP 完全的克服，微影製程所使用的光源已進步到更低波長的氟雷射光與 X 射線，且製程線寬也朝 $0.1\ \mu\text{m}$ 以下邁進。

依據美國 SEMATECH(Semiconductor Manufacturing Technology Consortium)所製作到 2010 年為止的 DRAM 技術趨勢，目前 DARM 是由 64MB 向 1GB 級邁進的時代。而矽晶圓的尺寸也朝大口徑化，從 8 吋往 12 吋方面發展當中。圖 2.3 中歸納了記憶體(Memory)及邏輯(Logic)IC 的技術趨勢。其中 DRAM 的研發在超大型積體電路的元件製作技術上扮演著先驅者的角色。現在運用最小線寬所製造的 $0.35\ \mu\text{m}$ 或 $0.25\ \mu\text{m}$ 64MB DRAM 已在大量生產，新一代的 $0.25\ \mu\text{m}$ 以下製程，包含 0.18 、 0.15 甚至 $0.12\ \mu\text{m}$ 的技術開發也已進行到一定程度。一般預測公元 2000 年後，將最小線寬 $0.18\ \mu\text{m}$ 左右的製程運用在 1GB DRAM 的大量商業生產已成為全球半導體各大廠的共同目標。這樣的趨勢，不僅只發生在 DRAM 上，SRAM 及 Logic 積體電路的製造趨勢也是如此。整個多媒體時代的進步就建立在微處理器製造技術的不斷精益求精上。

整個超大型積體電路製造技術的趨勢可以用"微細化的追求一言以蔽之。藉由將組成積體電路的電晶體及金屬導線等不斷地微細化，不只是追求積集度的增加，連帶也要求更快的元件運作速度。另外，更有一個趨勢是將矽晶圓表面上二次元(Dimension)構造的電路加以積層化，也就是朝向利用絕緣層當做中介，將超大型積體電路導向高密度，高積集化及高度機能約三次元架構。在追求構造微細化及導線多層化的趨勢中，在製程(Process)技術遇到一些難題，其中對深次微米以下微細領域的黃光微影技術之開發即為其中之一。如果將在曝光上使用的光的波長以 λ 表示，曝光機鏡片之數值孔徑大小(Numerical aperture)以 N.A.表示的話，則在投影曝光方式中的解析度和焦點深度(景深，Depth of Focus,DOF)，就有解析度= $k_1 \cdot \lambda / N.A.$ ，焦點深度= $k_2 \cdot \lambda / N.A.^2$ 的關係。在這裡，也是一個與光阻材料及製程條件相關的常數， K_2 是一個和光阻相關之常數，也就是說，為使解析度提高可使用較短波長，或選擇比數值孔徑大小 N.A.還大的光學系統。但若使用較短的光波長 λ ，較大的數值孔徑 N.A.的話，焦點深度將會變淺。另一方面，矽晶圓表面的凹凸變動範圍，也會隨著平坦化過程的進行而增加。如此一來，解析度和焦點深度(景深)將無法同時兼顧，晶圓表面的凹部與凸部都要同時對焦就有困難。

以圖 2.4，用 0.25 μm 製程技術所製作 256MB DRAM 之平坦化構造為例。在運用兩層鋁金屬導線的情況下，在記憶體胞(Memory cell)及周邊電路(Peripheral)部分，高台(記憶體胞)與低地(周邊電路)兩者的高度將相差約 1 μm 。像這樣 1 μm 的表面凹凸程度，將會對曝光機的聚焦效果造成影響。舉例來說，如果將 KrF、ArF 這種的光源運用在聚焦深度變異(Variation)容忍度須小於 0.3 μm ，解析度小於或等於 0.25 μm 的半導體產品製程上，勢必造成嚴重的對焦不良問題。

		1994	1995	1996	1997	1998	1999	2000	2001 以後	
DRAM	研究	256M	1G		4G		16G		64G	
	量產	4M	16M		64M		256M		1G	
	量產技術	0.5 μ m (製程數目) 120~150		0.35 μ m	0.25 μ m	0.20 μ m 150~180				
		200mm (晶圓大小)		300mm						
邏輯 IC	先端技術	0.8 μ m	0.5~0.6 μ m	0.35~0.4 μ m	0.25~0.35 μ m	0.25 μ m 以下				
	量產技術	1.0 μ m	0.8 μ m	0.5 μ m	0.35 μ m	0.25 μ m				
製程技術趨勢		<p>圖案(Pattern) 微細化 (i 線→深紫外線→X 線)</p> <p>多層電極構造 → High aspect ratio</p> <p>埋入插柱構造 → 局部平坦化</p> <p>多層配線 → 高密度電漿輔助 CVD SiO₂</p> <p>三次元電容構造 → 高密度電漿輔助蝕刻</p> <p>微細接觸窗 → 低介電常數膜(Low-K)</p> <p>極薄之氧化膜 → 高介電常數 DRAM 胞(Cell) 高介電常數記憶體</p> <p>晶圓大口徑化 → CMP 技術 → SOI</p>								
金屬配線製程		金屬蝕刻			金屬蝕刻/積嵌法(damascene)並用			積嵌法(Damascene)		
材料	配線金屬	Al			Al/Cu			Cu		
	絕緣膜	SiO ₂			SiO ₂ /Low-K			Low-K		
	晶圓直徑 (mm)	200			200/300			300 (400)		

圖 2.3：記憶體(DRAM)與邏輯 IC 之製程技術趨勢[8]。

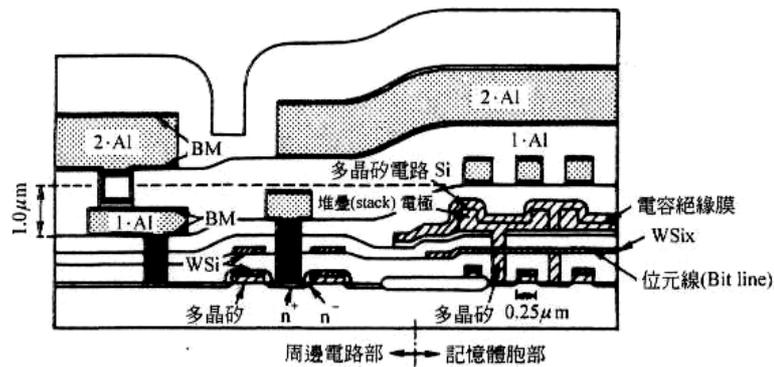


圖 2.4：0.25 μ m 製程技術所製作 256MB DRAM 之平坦化構造[8]。

2.1.3 化學機械研磨(CMP)技術

在矽晶圓的研磨過程中所引進的機械研磨技術。可追溯到 1960 年代前半，由 IBM 公司的 E. Mendel 等發表，利用銅置換化學反應的矽面研磨技巧。其後，E. Mendel 等在 1967 年發展出了現代矽晶圓化學機械研磨的雛形。以此研磨技術應用於元件製造初期的元件隔離製程(Device Isolation, DI)中。

大型積體電路元件的平坦化製程發展至此，依積體電路的種類不同也產生了各式各樣的應用情況。和一般的蝕刻相同，平坦化製程也同樣被應用在元件形成、元件與元件間的分離以及導線工程。以研磨對象而言，除了有做為層間絕緣(Interlevel dielectric)的氧化矽膜(SiO_2)之外，還有導線材料用的金屬膜(鎢、鋁、銅等)及底層材料的多晶矽及單晶矽等。以下將氧化矽膜、金屬材料與多晶矽的 CMP 應用製程分別概述及整理如下：

(1) 氧化矽膜的 CMP：

氧化矽膜的 CMP 大多應用在層間絕緣膜及元件間之隔離(Insulation)的平坦化工程。前者將導線或元件上之層間絕緣氧化矽膜進行平坦化，以利之後接續進行的第二層、第三層、第四層、甚至第五層以後的多層導線工程。此工程以導線之多層化為訴求，為大型積體電路製程中不可或缺的部份。元件間隔離的平坦化工程之目的在於形成平坦的氧化矽膜用來做為元件與元件間的絕緣分離層。

(2) 層間絕緣膜的 CMP：

在層間絕緣膜的平坦化方面，研磨對象有電漿輔助化學氣相沉積(PECVD)膜、硼磷矽玻璃膜(BPSG)及熱氧化膜(Thermal oxide)等。每一種對象的 CMP 研磨條件都隨著研磨液種類、研磨壓力與研磨時間而有所不同。在對特性不同

的絕緣膜研磨時，大多以偵測研磨終點(End point)來判定完成與否。放在研磨終點的管理上有必要嚴密為之。通常採取預先實驗來取得研磨時間及研磨速度的關係。再依此來進行 CMP 平坦化。此外，依研磨對象下方底層的導線金屬圖案的形狀、堆積的比例、元件的種類及製程的不同，在 CMP 時會產生各種的差異。例如：層間絕緣膜的表面會隨著依電路圖案結構的凹凸、尺寸大小、位置分佈、高度與密集程度的不同而變化。另外，研磨墊(Pad)、研磨液(Slurry)、及晶片的加壓方法也會對 CMP 的效果有所影響。

(3) 淺溝槽隔離(Shallow trench isolation, STI)製程的 CMP：

在矽晶圓上以反應性蝕刻形成溝槽後，以化學氣相沉積的方式沉積氧化矽膜，再將未被埋入凹溝內的氧化矽膜以 CMP 去除。如此一來，就可以用氧化矽膜作為元件間的隔離。再用研磨速度相對緩慢的膜(例如：氮化矽膜)來作為 CMP 的研磨停止層(Stop layer)。在此要特別注意的是，若選用之停止層的研磨速度和氧化矽膜的研磨速度差異不大的話，會使 CMP 無法停止而造成過度研磨(Over polishing)影響平坦化效果。在此通常採用與氧化矽膜有相當大研磨選擇比(Selectivity)的氮化矽膜做為研磨停止層。

(4) 多晶矽的 CMP：

將前述的 STI 製程的溝槽加深，並以多晶矽作為堆積材料，用 CMP 磨去深溝外多餘的多晶矽。並以在矽基板上及溝槽內長成的氧化矽膜作為 CMP 的研磨停止層。此方法常見於溝槽電容(Trench capacitor)的形成製程。

(5) 金屬膜的 CMP：

在半導體製程上採用作為導線的金屬膜有鋁、鎢、銅等。其中，銅有低電阻及耐電致遷移(Electron migration)的優點而被各方矚意為下一世代的導線材料。在導線金屬製程中最先使用 CMP 的是美國 IBM 公司的邏輯元件製程。最

主要的原因是與其它方法相較之下，應用 CMP 能在金屬導線的製程中得到最好的平坦化效果。

另一個金屬膜 CMP 的應用是在形成上層導線與下層導線間之接觸窗製程。如圖 2.5[9]所示，在絕緣膜之間有連接上下兩層金屬導線的接觸窗，在做為導線材料的金屬膜沉積，接觸窗以外的金屬即以 CMP 磨除。這就是 IBM 公司所提出著名的 Damascene 法。由於將沉積之金屬膜施以 CMP 使金屬如同埋入接觸窗及導線溝中，因此也稱為"鑲嵌法"。然而，因從研磨墊(Polishing pad)所傳來的壓力會在晶片凸出部份被分攤掉。故依照導線的密度及大小，受到研磨的程度也有所不同。也就是說，以區域絕緣膜在一般情況下做為研磨停止層的效果頗佳，但在高密度金屬導線圖形的部份，因絕緣膜所佔的面積較小而容易發生不良的過度研磨(Over polishing)現象。

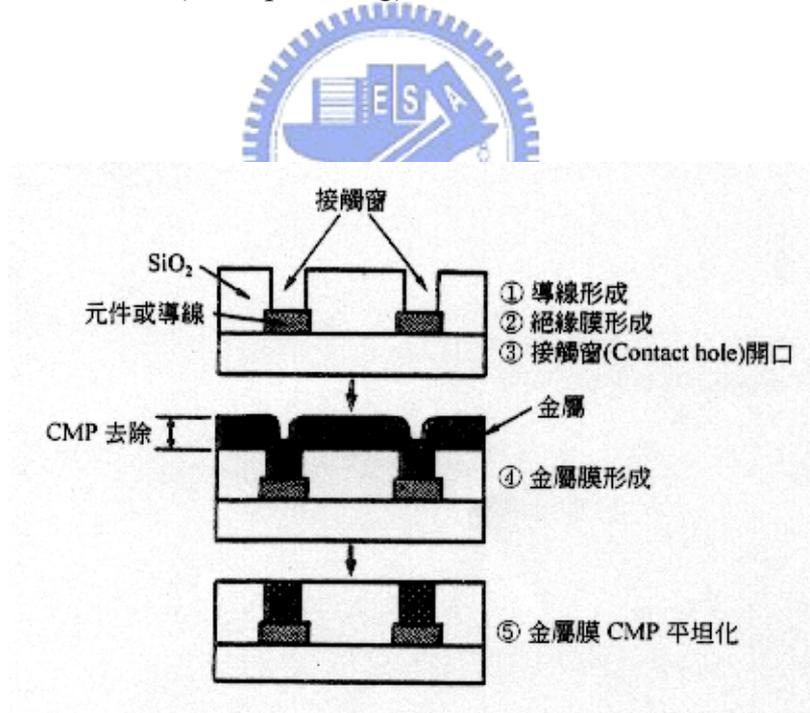


圖 2.5：一般的鑲嵌法。[9]

此過度研磨會依金屬導線圖形的密度及尺寸而有不同程度的差異。由於這種原因金屬導線因被過度研磨而造成厚度減少的現象稱為 Thinning。另一種大區域導線中央因研磨去除速度過快而使導線產生形似碟盤的凹陷，這種現象稱為 Dishing。另外，導線部份受到過度研磨的程度也取決於研磨墊的彈性及研磨液的化學性質。



2.1.4 CMP 原理機制

化學機械研磨原理

CMP 乃利用研磨液中的化學成份及微粒子，分別針對研磨層產生化學反應和機械作用而達到平坦化目的之一種複合加工法。一般而言，研磨機台最被要求達到的特性即是研磨精度與其產能輸出，且必須符合使晶片表面凹凸程度 $0.1\ \mu\text{m}$ 以下之研磨範圍同時達到平坦化及保持研磨層之均勻性，以及晶片處理速度快並且效率高的原則。

以下將藉由機台設備、研磨反應與其後清洗設備以說明 CMP 的原理：

1. CMP 機台設備

化學機械研磨設備與傳統的研磨拋光機械是十分相似的，由圖 2.6 [10] 所示，它是由一個用於進行晶圓片研磨的研磨平臺(Platen)，及一個用於固定晶圓片和施加壓力的晶圓載具(Carrier)所組合而成。其中晶圓載具靠真空吸住晶圓背面，然後將晶圓正面即須要被平坦化之積體電路部份，置於貼有一層或多層的研磨墊(Polish pad)的研磨平臺上，藉由研磨平臺與晶圓載具的旋轉所產生的相對運動，進行所謂的機械研磨作用，其相關參數如表 2-2 [11] 所示。以下並以 CMP 機台各使用機構在研磨時的控制重點來說明其裝置在 CMP 上的功用。

- a) 研磨平台及載具：必須耐磨耐高壓，專司晶片的固定與加壓並作為晶片緩衝墊材料，以維持長時間研磨動作之安定性。
- b) 研磨墊整理器：為研磨墊表面的均勻加工，使研磨液或超純水能在研磨墊上分佈均勻。
- c) 晶片清洗：刷洗或超音波震盪清洗以有效率的清除研磨液、金屬污染及微塵等雜質。

- d) 研磨液：依據不同研磨對象而搭配不同之研磨顆粒種類、大小、分散性、pH 值、添加劑以精確控制研磨的速度。
- e) 研磨墊：以其特殊材質之彈性形變的特性，使晶片均勻的接受來至研磨液中砥粒的機械與化學作用。
- f) 超純水：作為稀釋研磨液與清洗潤濕研磨墊的功用，並以濕式傳送晶片。

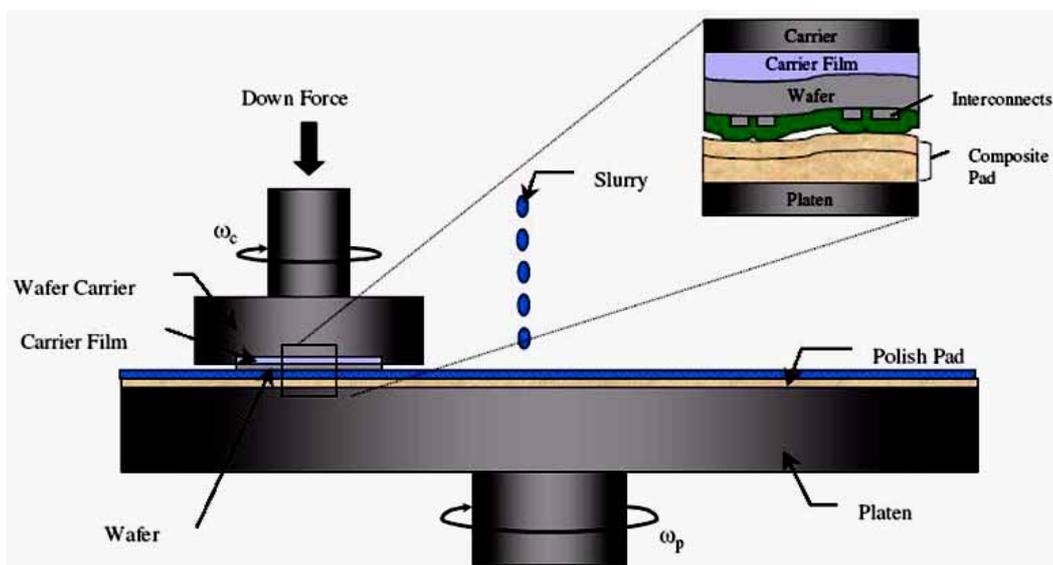


圖 2.6：化學機械研磨設備示意圖。[10]

表 2.2：CMP 的製程參數(Process parameters) [11]

No 1	研磨時間的控制
No 2	研磨頭的回轉速度
No 3	研磨頭的回轉方向
No 4	研磨頭的表面形狀
No 5	研磨頭的晶片邊緣壓覆環形狀
No 6	研磨台的回轉速度
No 7	研磨壓力
No 8	研磨台溫度
No 9	研磨液的供給速度
No 10	研磨頭的擺動及振動速度
No 11	研磨墊的整理次數
No 12	研磨液的成份
No 13	研磨墊的形狀
No 14	晶背緩衝墊材料的形狀
No 15	被研磨晶片的製作過程
No 16	被研磨的氧化膜/金屬膜之材料組成

註：16 個和 CMP 有關的參數(Parameters)。在這參數中從 No1 到 No12 都是與製程調整有深入的關聯性且被周圍的研磨環境所左右。其他的四項目研磨墊、晶背緩衝墊(、研磨液、晶片等與機台硬體設定的關連較少，反而是和機台及材料供應商的關係較為密切。

2. CMP 研磨反應

在化學機械研磨反應中，化學效應與機械效應缺一不可。若只有機械拋光容易對研磨材料表面造成嚴重的刮傷(Scratch)；然，若只有化學腐蝕則又容易在研磨材料表面造成坑洞，不易得到全面性之平坦度。因此，為避免純粹的機械磨擦，適當的化學溶液在此時扮演潤滑和侵蝕的兩種角色，亦可分散過多的熱能，並防止因磨擦力過大而使晶圓刮傷或破裂。所以，此項技術被定名為化

學機械研磨製程技術又可分為機械碾磨(Mechanical grinding)與化學侵蝕(Cheical etching)兩大部份。在這裡將以各半導體製程常使用的層間絕緣膜與金屬膜之研磨，以解釋 CMP 研磨時的化學-機械作用力。

a) 層間絕緣膜

從化學的角度來看，研磨漿液是 CMP 製程之化學助劑。以二氧化矽 CMP 為例，其漿液多以一種非晶型的矽砂為主，稱為 Fumed silica 研磨粒子。Fumed silica 系列的研磨液現在廣泛地用於層間絕緣膜。Fumed silica 在超純水中會均勻地分散開來，二次凝集後的粒徑大小為 100~200 nm 左右。一般而言，它可以安定的存在於 K^+ 或 NH_4^+ 這類陽離子水溶液中，而此研磨砥粒之等電點為 2~3 左右，且呈現懸浮混濁的狀態。若考慮研磨液的穩定性及研磨速率的一致性，其適合的 pH 值大約為 10~11 左右。

b) 金屬膜

金屬 CMP 之原理為利用漿液中之氧化劑，將金屬表面予以氧化並腐蝕，而同樣藉由研磨砥粒將此氧化層刮除。其漿液之化學反應較 SiO_2 CMP 佔有更複雜及更重要的地位。如在固液界面流體層流的形成、研磨表面的化學組成或由氧化劑氧化金屬表面的保護層、固態表面或因機械研磨消耗掉之固體殘屑的溶解反應、在水溶液中研磨砥粒與被研磨質表面所帶電荷及等電點、有效之磨除量與被磨除物質之再沈積作用等等，由上可知，研磨漿液內溶劑提供了化學的效用，而研磨砥粒則提供了機械力量。

Beaudoin(1999)提到 Alumina(Al_2O_3)系列研磨液是一般用於金屬導線的研磨，這是因為它對金屬的研磨速度較高，相對於很低的絕緣膜研磨速度。另外提到，金屬磨的研磨必須在研磨液中加入氧化劑，以便將金屬表面氧化然後進行研磨。所以氧化劑與研磨液的配合是很重要的。通常我們使用的氧化劑種類

有硝酸鐵 ($\text{Fe}(\text{NO}_3)_3$)、過氧化氫 (H_2O_2)、碘酸鉀 (KIO_3) 等等。一般而言這些氧化劑的 pH 值大約是在 2~4 之間。

金屬研磨拋光主要原理是利用研磨液中的氧化劑將金屬表面氧化成保護態(Passivation)。因為表面形成的氧化膜比其包覆而未被氧化的金屬部份要脆，凸出的氧化膜和研磨墊接觸而被研磨砥粒除去，下方的金屬表面顯露出來後再被氧化劑氧化，如此過程反覆進行便能研磨金屬膜，此原理對於鋁及銅的 CMP 也是相同。

金屬膜研磨液在技術開發方面有幾個難題需要去克服，一是 Al_2O_3 超細粉末不易分散於水中，容易凝結成塊。其次是氧化劑的選擇，目前較常於專利中被提及的有 H_2O_2 及 $\text{K}_3\text{Fe}(\text{CN})_6$ ，由於 $\text{K}_3\text{Fe}(\text{CN})_6$ 易造成金屬離子的污染。而 H_2O_2 在研磨高溫下易揮發而造成研磨性質不穩定，因此使得目前金屬膜研磨的再現性不高，平坦度亦較差，另外也有研磨液的保存期太短的問題尚待克服。

3. CMP 後清洗

CMP 製程主要包括：CMP 本體、CMP 後清洗裝置(Post-CMP cleaning)及終點檢測系統，而整個製程皆與積體電路製程區的潔淨室相隔離，因顧慮到 CMP 研磨過程中會產生大量的顆粒，避免污染其它製程單元。在研磨過程中，研磨液和研磨墊是主要的消耗材料。

2.1.5 CMP 研磨液性質

化學機械研磨液

極大型積體電路元件製程中的種類有很多，CMP 所應用到的薄膜材質也會有很多種，例如：Oxide(SiO_2)、Metal、Poly-silicon 及 Nitride (Si_3N_4)等等，而且其研磨範圍內的圖案凹凸狀況也不同，即使是這麼多變數下，仍必須追求沒有高低落差的平坦化，同時也要兼顧研磨後晶片表面的品質沒有缺陷。當然，若不能兼顧生產力的話，也不適合作為量產的工具。

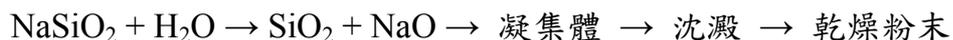
現在 CMP 製程的費用大致可分類為：CMP 洗淨裝置與消耗材料。其中消耗材料中包括研磨墊、研磨液 (Slurry)、純水、化學藥品等等。這些都是達成高精密平坦化、高品質晶片表面、高生產能力的重要材料。消耗材料佔了 CMP 費用中的 70%左右，而這些消耗材料中，又以研磨液為絕大部分。圖 2.7 [10] 所示，是以現在已開發的研磨液之砥粒種類來區分研磨液的類別。在此，將以具代表性的 Silica(SiO_2)以及 Alumina(Al_2O_3)為砥粒的研磨液作介紹。

(1) Silica (SiO_2)系列研磨砥粒

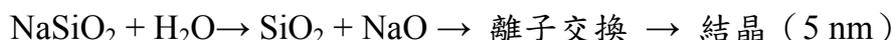
1. 矽酸鈉 (NaSiO_2) 之氧化矽粒子

矽酸鈉 (NaSiO_2) 又稱為水玻璃，由於製程特性之不同，可製造成“沈澱性 Silica”及“膠體狀 Silica”兩類的研磨液。其反應方程式如下所示：

(a) 沈澱性 Silica



(b) 膠體狀 Silica



→ 粒子成長 (10 ~ 100 nm) → 濃縮

沈澱性的 Silica 研磨液裡，每一個單獨的粒子會互相凝聚在一起，成為一個較大的顆粒，其具有會沈澱的特性。另一方面，由離子交換而成的膠體狀 Silica 研磨液中，是以 5 nm 大小的“核”(Core)為主的，它在溶劑中會成長為 10~100 nm 的單獨顆粒，基本上仍保持膠體溶液的狀態，經過濃縮就成為研磨液。

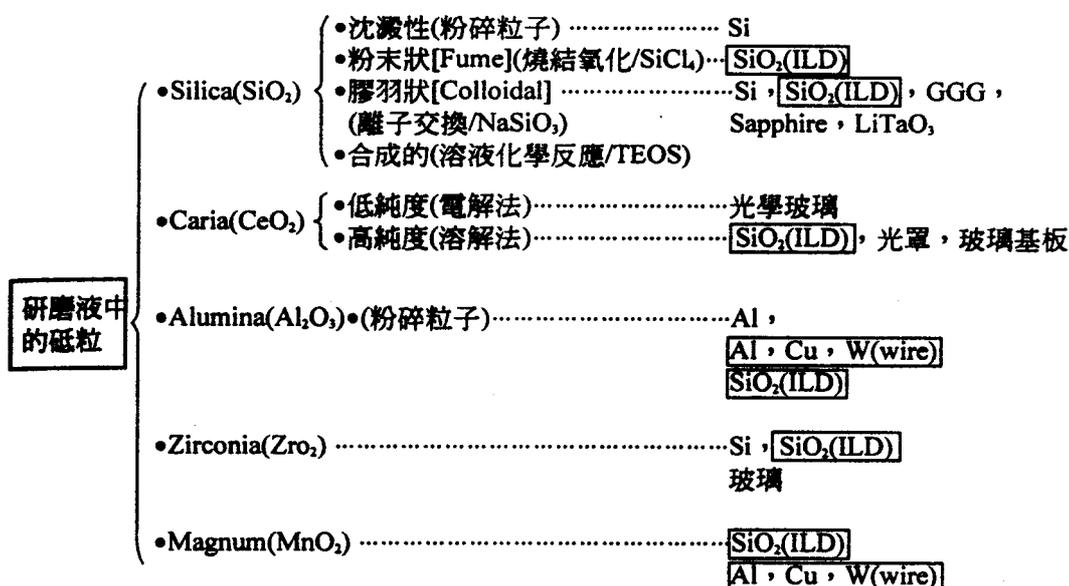


圖 2.7：不同 CMP 研磨液的應用。 [10]

沈澱的 Silica 研磨液其原料為 NaSiO_2 ，所以殘存了相當多量的 Na 成分，因此，現在這些粉狀物因為鹼金屬污染所造成的問題，使的今日的 ULSI 製程不能接受，所以已經沒有人使用這種研磨液了。另一方面，由離子交換法做出來的膠體狀 Silica 研磨液與膠體狀 silica 研磨液比較起來，膠體狀的金屬污染較低，一直被當作一次拋光及二次研磨之用途。一般而言，膠體狀 Silica 具有特殊的構造，帶負電的 Silica 分散在水中，形成膠體狀 (Colloidal) 的結構。

通常它在 pH 值 8~11 的鹼金屬水溶液中可以較安定的存在，比較適合加入帶有陰離子電荷或中性的界面活性劑。膠體狀的 Silica 大部分的顆粒都是呈球形的，而且會聚在一起。隨著反應溫度及反應物濃度不同，可得到不同粒徑的膠體狀顆粒（粒子直徑約在 20~200 nm 之間），且可得到不同形狀的顆粒。

1. 四氯化矽 (SiCl_4) 之氧化矽粒子

在氧化膜研磨粉末的製造技術一般而言為氣相燒結法。氣相燒結法乃是在 1800 將高純度 Chlorosilane (SiCl_4) 在氫氣/氧氣火燄中燒結，改變燒結火燄條件即可改變所得粉末粒徑大小，以此法所得之高純度 Silica 一般以 Fumed silica 來命名，它的形成過程會經過一個“二次凝集體”。因此，關於以 Fumed silica 為基礎的研磨液，有二次凝集的過程，所以它的粒徑大小較穩定，可維持較均勻的粒子。所以研磨時可以達到穩定化、再現性佳的製程特性，故被廣泛接受。

(2) 三氧化二鋁 (Al_2O_3) 系列研磨砥粒

關於鎢(W)、銅(Cu)及鋁(Al)等等金屬導線所用的研磨，大部分 IC 廠的作法是將 Al_2O_3 混入氧化能力高的溶液裡，來當作研磨液。對於這些研磨金屬導線用的研磨液裡，除了鎢的研磨較為成熟之外，其餘都還在開發階段。而今後所要注意的問題有：①開發不添加氧化劑的研磨液。②對於軟質金屬的研磨要如何降低刮傷及避免砥粒埋入金屬中。

2.1.6 CMP 的發展與應用

化學機械研磨的發展與應用

層間絕緣膜及金屬膜上所使用的研磨液，整理如表 2-3 [10]。現在已商業化的或開發中的研磨液都在下表中查的到，在此也對 CMP 所要研磨的薄膜做分類。

表 2-3：CMP 研磨液及添加物。[10]

CMP 的 研 磨 對 象		研 磨 液	
		砥 粒	添 加 劑
SiO ₂ (ILD)		SiO ₂ CeO ₂ ZrO ₂ Al ₂ O ₃ Mn ₂ O ₃	KOH (dispersants)
Metal	W (plug)	Al ₂ O ₃ Mn ₂ O ₃ SiO ₂	H ₂ O ₂ , Fe(NO ₃) ₃ , KIO ₃ H ₂ O ₂
	Al (wire/plug)	SiO ₂	H ₂ O ₂ , Fe(NO ₃) ₃ , KIO ₃
	Cu (wire/plug)	Al ₂ O ₃	H ₂ O ₂ , Fe(NO ₃) ₃ , KIO ₃

(1) 層間絕緣膜

此處所指的介電層研磨液其研磨對象包括氧化矽(SiO_2)介電層、硼磷矽玻璃(BPSG)膜、淺溝隔絕層(Shallow trench isolation, STI)及多晶矽(Polysilicon)薄膜層之研磨液。平均粒徑根據不同配方約在 110 nm 左右), 固體物含量約 10~30%, pH 值約在 9.0~11.0 之間(由 KOH 或 NH_4OH 調整), 以及去離子水約 70%, 加入中性或陰離子性界面活性劑, 以目前市面上常用之 SC-1(Cabot 公司產品為例), 其組成爲 SiO_2 粉末(平均粒徑爲 110 nm), 固體物含量 30.0 ± 0.3 wt%, pH 值約在 10.20 ~ 10.35, 黏度 < 150 cps, 比重則爲 1.197 ± 0.02 。

Fumed silica 系列的研磨液現在廣泛的用於層間絕緣磨。Fumed Silica 在超純水中會均勻地分散開來。二次凝集後的粒徑大小約爲 100 ~ 200 nm 左右, 一般而言它可以安定的存在 K^+ 或 NH_4^+ 這類陽離子水溶液中, 而呈現懸浮混濁的狀態。若考慮研磨液的穩定性及研磨速率的一致性, 其適合的 pH 值大約爲 10 ~ 11 左右。



(2) 金屬膜

在半導體製程上所採用作爲導線的金屬膜有鋁、鎢、銅等, 其中銅有低電阻及耐電子遷移的優點而被屬意爲下一世代的導線材料。在導線金屬製程中最先使用 CMP 的是美國 IBM 公司的邏輯元件製程。比起其他的平坦化方法, 應用 CMP 能在金屬導線製程中得到最好的平坦化效果。

另一金屬膜 CMP 的應用是在形成上層導線與下層導線間之接觸窗口。在絕緣膜之間有連接上下兩層金屬導線之接觸窗, 以導線材料的金屬膜沈積填入後, 接觸窗以外的金屬即以 CMP 磨去, 此即爲 IBM 公司所提出之有名的 Damascene 法。由於將沈積之金屬膜施以 CMP 而最後使金屬如同埋入接觸窗及導線溝中, 因此也稱爲鑲嵌法。然而, 因重研磨墊所傳來的壓力會在晶片凸

出部分被分攤掉。也就是說，大區域之絕緣膜在一般情況下作為研磨停止層的效果頗佳。但在高密度金屬導線圖形的部分因絕緣膜所佔的面積小而容易發生過度研磨的現象。



2.2.1 銅金屬的物化特性

先進半導體微電子產品的製造技術是藉著電晶體尺寸的不斷微縮與積集度的增加，來達到製作高速、高效能與多功能性積體電路的目標。一般而言，積體電路中元件閘極信號的延遲會隨著線寬尺寸的減少而呈線性的減少。相對於電晶體元件的微型化及反積集度的增加，半導體積體電路中導體連線(Interconnect)數目不斷地增多，使得電子訊號在連線系統中傳遞的時間延遲(簡稱為 RC 延遲)顯著地受到系統中寄生電阻(Parasitic resistance ; R)及寄生電容(Parasitic capacitance ; C)效應的影響，而呈現隨著線寬尺寸減少的平方兩增加的趨勢。當半導體製程進入奈米電子的技術領域時(技術節點小於 100nm)，導體連線系統的延遲效應將更為嚴重，使得積體電路系統的性能不再是只取決於電晶體閘極信號的延遲，而是由內連線系統的信號延遲來主宰圖 2.8 [12]所示。因此，在奈米電子連線技術領域中，必須引入具有低電阻率的金屬導線及低寄生電容值的導線間絕緣膜(Intermetal dielectric ; IMD)，才能有效提昇晶片之操作速度 [12]，如圖 2.9 [13]所示。在降低導線電阻方面，由於金屬銅(Copper)具有高熔點，低電阻係數($\rho=2\mu\Omega\text{-cm}$)及高抗電子遷移(Electro-migration resistance)的能力，已被廣泛地應用於導體連線架構中，來取代金屬鋁($\rho=3\mu\Omega\text{-cm}$)作為導體連線的材料。另一方面，在降低寄生電容方面，由於製程上和導線電阻的限制，使得我們不考慮藉由幾何上的改變(例如：改變導線面積，或改變導線間距)來降低寄生的電容值。因此，具有低介電常數(Low-dielectric-constant ; low k)的材質，便被不斷地發展[14-21]。於是，金屬銅導線以及低介電常數絕緣層所架構出的多層連線系統，就成為了現今高效能電路製作的指標。然而，應用低而電常數材料(可分為無機類及有機類聚合物，如表 2-4 [14-21] 所示)於銅連線製程整合時，除了介電材料本身的問題外，還將遭遇到不同於傳統鋁導線製程的挑戰。

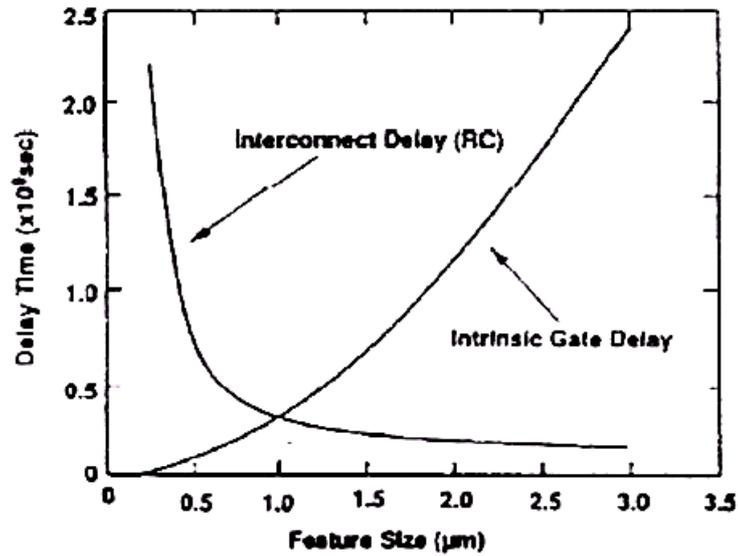


圖 2.8：製程技術與電路中訊號傳輸延遲的關係圖。[12]

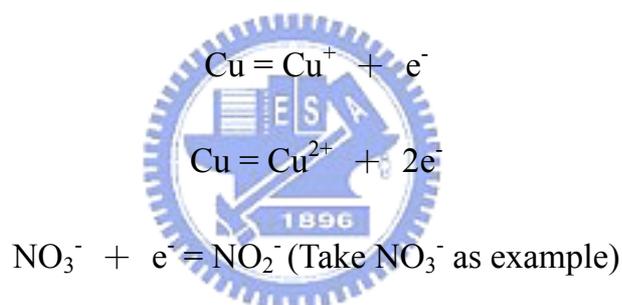
連線技術整合台上的挑戰：多層導體連線的架構，從鋁導線演化到銅導線製程時(如圖 2.10 [14-21] 所示)，由於銅金屬的不易蝕刻性，使得製程技術將由習知的金屬蝕刻(Subtractive etch)演變為蝕刻介電層的銅鑲嵌式製程(Cu damascene)。在銅雙鑲嵌式(Cu dual damascene)製程中，如圖 2.11 [14-21] 所示，首先的步驟是對電絕緣層進行蝕刻，以定義出線槽(Trench)及介層窗(或稱為管洞；Vias)。由於銅原子具有很強的擴散性，通常需要在銅金屬層與介電絕緣層之間加上一層金屬阻障層(例如：氮化鈮，TaN)，防止銅的擴散。接著，沉積銅晶種層(Seed layer)，進行銅金屬導線的電鍍製程(Electroplating process)。最後，進行銅金屬導線的化學機械研磨製程(Chemical mechanical polish；CMP)，將線槽圖像區之外的銅導線及阻障層去除，並接著覆蓋一絕緣層(例如：氮化矽-Si₃N₄ 或碳化矽類-SiC 的薄膜)來保護銅導線，避免銅連線材料氧化。如上所述可知，在整個銅雙鑲嵌式的製程中，將面臨到許多技術上的挑戰。以下將針對這些常見的問題做一探討。

物理特性

銅因為低電阻及較高電致遷移阻抗的優點,使得銅在積體電路的導線連接成為非常具吸引力的材料.連接導線的線寬降到 $0.25\mu\text{m}$ 或甚至更低時, RC delay 的現象可藉由降低電阻路來改善,如圖 2.8 [12]可以發現銅是下一個世代最適合的材料,銅導線的連接製程可藉 CMP 中雙鑲嵌的技術來達到平坦化的目的。[22-24]

化學特性

銅腐蝕：當銅放在一個充滿氧和氧化劑的環境中如 Fe^{3+} 和 NO_3^- ，腐蝕反應就會自然產生，為了達到蝕刻目的必須含有下列氧化劑 H_2O_2 、 HNO_3 、 Fe^{3+} 、 KIO_3 等蝕刻製程如下：



銅保護層在 CMP 製程中，為控制去除的選擇性及平坦化，必須有一層保護層防止銅被腐蝕。根據歷史文獻最有效的保護層是 BTA，BTA 因為表面有合成氧化銅在表面所以能夠做為保護層。[25]

0.18 μm Device Cross Section – High Performance Logic

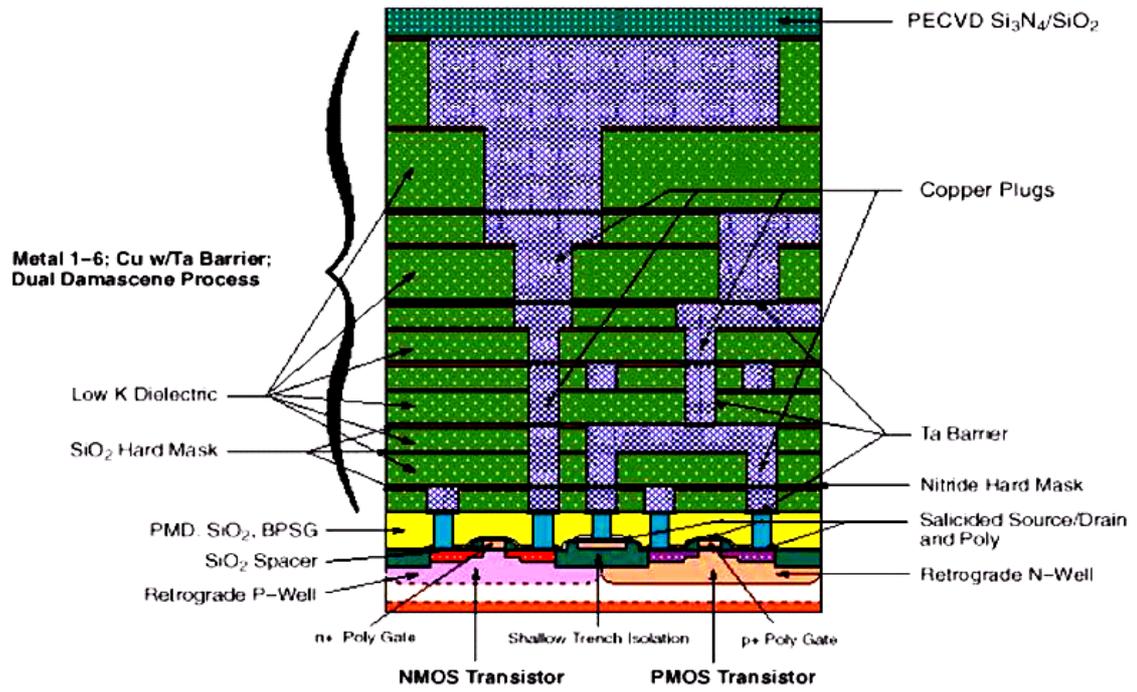


圖 2.9：高效能的多層導體連線架構。[13]

表 2-4：主要的低介電常數材料種類。[14-21]

Low-K 材料	介電常數	產品名稱	沉積方式
Fluorinated Oxide	3.6-3.6	FSG	CVD
Silsesquioxnae	2.7-3.0	HSQ、MSQ	SOD
Aromatic Hydrocarbon	2.65	SiLK	SOD
Organosilicate Glass	2.5-3.0	3MS、4MS	SOD
Parylene	2.1-2.9	Parylene-N、F、AF-4	CVD
Fluoro-Polymer	2.0-2.6	PFCB、Teflon	SOD/CVD
Poly(arylethers)	2.4-2.6	PAE-2、FLARE 2.0	SOD
Porous Polymer	1.2-2.2	XLK、Aerogel、Xerogel	SDO
Air Bridge	1.0		

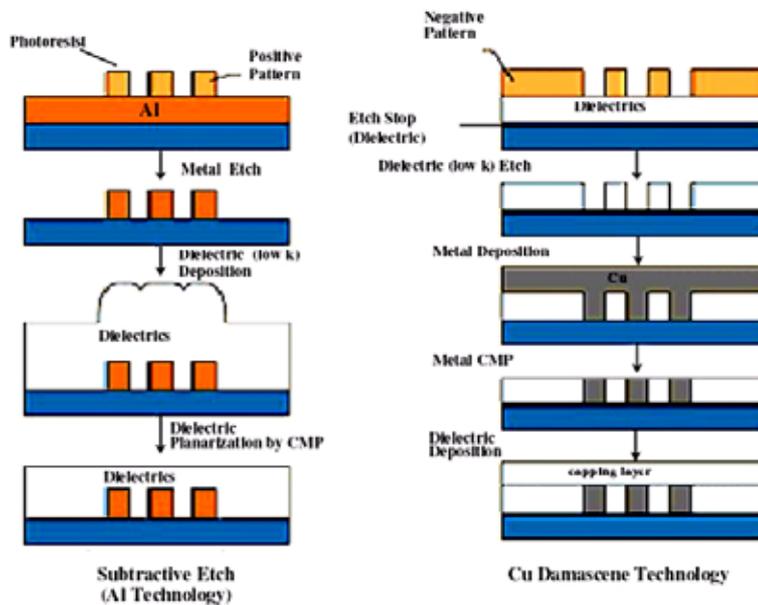
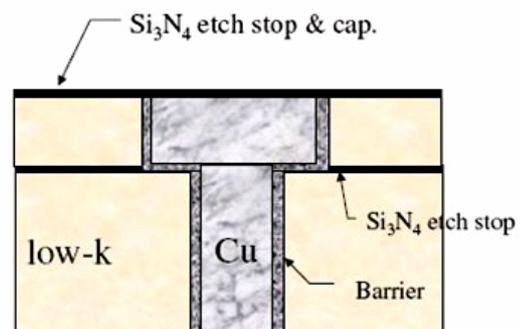


圖 2.10：鋁導線與銅導線製程的區分。[14-21]



Process Flow

- Low-k ILD Spin-on & Planarization
- Etch-Stop (SiO_2/SiN) Deposition
- Photolithography - Via Pattern
- Photoresist Strip
- Low-k ILD Spin-on
- Cap Layer (SiO_2/SiN) Deposition
- Photolithography - Conductor Pattern
- Plasma Etch - Via & Conductor Trench
- Photoresist Strip
- Barrier/Electroless Cu Dep. (Via & Trench)
- Cu CMP



Process Compatibility:	Low Temperature Process ($T_{\text{metal}} \sim 100^\circ\text{C}$)
Cost:	\$88/wafer-level
RC Performance:	X 1.6-2.0
Reliability:	X10-100

圖 2.11：銅導線之雙鑲嵌入結構。[14-21]

2.2.2 銅金屬的化學機械平坦化製程

銅的化學機械平坦化技術

銅的 CMP 可能被在或者酸或者中性或者鹼性介質裡執行[15-16, 27-28]。通常，氧化劑用在所有銅製程裡用來蝕刻在銅。Carpio et al.研究在各種各樣的 CMP 研磨液[29]。在酸的媒介，保護層 Benzotriazole(BTA)，用來控制移動速度並且避免等向性蝕刻[30]。根據銅的 Pourbaix 圖解[31]，銅在中性和鹼性的媒介裡可以被保護，因此在一個參差不齊的表面上地區，一保護層能用來降低等向性蝕刻法，使其凹進。中性的研磨液裡，氧化劑為 H_2O_2 。Stavreva 和 Jirabayashi 已經由實驗結果發現使用 H_2O_2 作為報告氧化劑[32]，因過氧化氫的金屬離子，將不會造成設備的污染和腐蝕。

凱爾 et al[33]在1990年取得這個研磨液配方和金屬的方法專利權，並且在1992年這項專利被Nenadic et al所延伸。1992年[34]，他們在低pH值的溶液中利用銨為研磨液，這種研磨液是用來將含有銅的基板作研磨，研磨好的基板造成平坦的表面。此外， HNO_3 、 H_2SO_4 、 $AgNO_3$ 、 $KOCl$ $KMnO_4$ 、 H_2O_2 和 CH_3COOH 也被採用於銅CMP製程的研磨液配方中[35]，為了了解銅CMP過程，即時觀測混合的電化學已經被實踐。

銅CMP所衍生的問題

現今許多銅CMP的化學研磨液已成功被發展出來，例如，作為氧化劑的 HNO_3 和 H_2O_2 [36]、作為抑制劑的BTA[37]、 NH_4OH 作為一位Complexing agent等。但是酸性研磨液之優點在於銅和 SiO_2 之間有高的選擇性，然而沒有穩定的氧化物保護層和非腐蝕性的氧化劑是目前尚未被解決的大挑戰。銅CMP鑲嵌技術的表面型態仍是最關鍵的問題，例如：銅的Dishing和氧化物腐蝕等現象(如圖2.12所示)。因此，通常於一個雙步驟的CMP過程中被使用。首先，銅會被迅

速和均勻地除去。而後，另一種研磨液形成，此種研磨液對於Cu/Ta的選擇性會隨PH值所變化。若一旦Ta被除去的速率比銅金屬快，Metal dishing的問題將更為嚴重。為了使Metal dishing減到最小，並且增加對介電材料的選擇比，建議選擇去除銅的速度較高的研磨液。目前銅金屬Dual damascence process已經採用CMP技術[38]，並且已被認為是唯一一項效率極佳的平坦化技術。

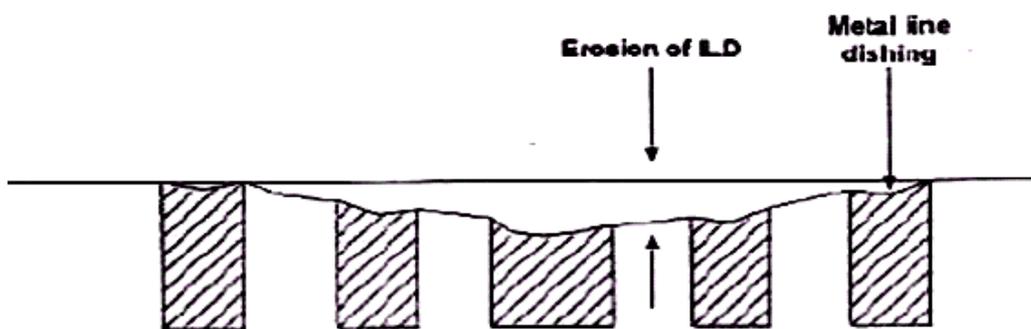


圖 2.12：銅 CMP 時可能發生的銅 Dishing 和氧化物腐蝕等現象。

2.2.3 銅金屬鑲嵌法

接下來將對目前最受注目的 CMP 應用製程"鑲嵌法" (Damascene)做一說明。一般的鑲嵌法的過程大致會經過如下步驟：1)接觸窗(Contact hole)開口(蝕刻氧化矽膜)、2)金屬膜成膜、3)金屬膜的 CMP、4)絕緣(氧化矽)膜的成膜、5)導線溝開口(蝕刻氧化矽膜)、6)金屬膜成膜、7)金屬膜的 CMP 等七個工程。另一種方法是在傳統鑲嵌法製程中的 1)接觸窗開口之後接著 5)導線溝上開口，再以 CMP 一次完成的方法為雙重鑲嵌法(Dual damascene)。這也是美國 IBM 公司提出的方法。其流程如圖 2.13[39]所示，1)接觸窗導線溝的開口(蝕刻氧化矽膜)，2)金屬膜成膜，然後 3)金屬膜 CMP，如此只需要一般的鑲嵌法工程數的一半以下就達到相同效果。另外，在進行金屬膜的 CMP 的時候，一定要盡量避免刮傷、污染及異物的產生。若在有刮傷殘留的情況下進行 CMP 的話，微量的金屬的研磨屑可能會跑到刮傷的內部，研磨刮傷(Scratch)在導線間蔓延則問題就嚴重了。也就是說，若要以鑲嵌法進行導線埋入並得到良好的元件特性的話，就必須不使研磨刮傷的損害或研磨液之類等的異物殘留在絕緣膜或導線金屬膜的表面。雙重鑲嵌法相對於要做兩次 CMP 的一般的鑲嵌法，有著因其只須要做一次 CMP 故可降低研磨損害發生頻率之特徵。

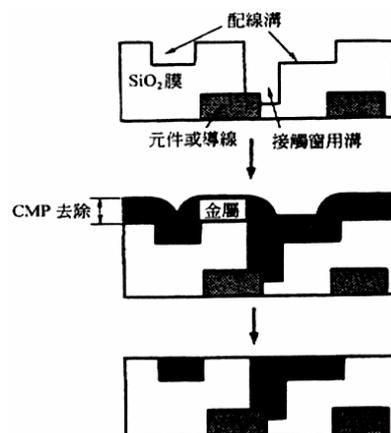


圖 2.13：雙鑲嵌技術。[39]

2.3.1 砷化鎵元件的應用

本研究之重心進一步使用在矽製程上已相當成熟的金屬鑲嵌技術，將此技術運用於砷化鎵(GaAs)及磷化銦(InP)基板上，並應用於銅金屬化製程中，驗證其可行性。若能將金屬鑲嵌技術應用於砷化鎵基板或是磷化銦基板等化合物半導體材料上，將會是化合物半導體在銅金屬化製程上的一大突破。

金屬鑲嵌製程在小線寬電子元件極受重視，由於銅已被視為未來金屬連線之主流材料，為克服銅不易被蝕刻的缺點，只有使用此種鑲嵌技術，以化學機械研磨(CMP)替代金屬蝕刻。又傳統的金屬層蝕刻受限於光阻之蝕刻選擇比無法提升而使蝕刻外型不易掌握，相對地，在金屬鑲嵌法中主要的優點即是介電質層蝕刻選擇比較易掌控。同時在傳統金屬層定義後需要介電質填入金屬線間的空隙問題也可以完全避免。由此可知，金屬鑲嵌製程和傳統金屬化製程相比變得簡單許多。而將金屬鑲嵌技術用於砷化鎵基板或是磷化銦基板等化合物半導體材料上，不僅可取代傳統的金屬連線技術，在元件整合積集度上將會有一大提升。因此，此技術在高頻高積集度的三五族高速元件積體電路上將會是相當卓越的應用。

第三章 實驗方法步驟、設備及材料

3.1 實驗方法步驟

金屬鑲嵌法是先在低介電質層上蝕刻出圖案，接著填充低阻值的金屬材料及必須的黏合層或防擴散層，最後以化學機械研磨法除去表面的金屬層。此製程的重點為圖案的蝕刻和金屬的化學機械研磨。

雙鑲嵌製程一步驟如以下所述：

1. 首先在 GaAs 上沉積上一層介電材料。在此一步驟上，我們會面臨到介電材料的選擇以及沉積方法的問題。目前可使用的介電材料及其沉積方法如：1) SiO_x , Si_xN_y ：PECVD，2) BCB：Spin coating，最終選擇 Si_xN_y 作為本次研究的介電材料，沉積厚度達 $1.2\mu\text{m}$ 。



介電材料(Si_xN_y)沉基製程(PECVD)參數如下：

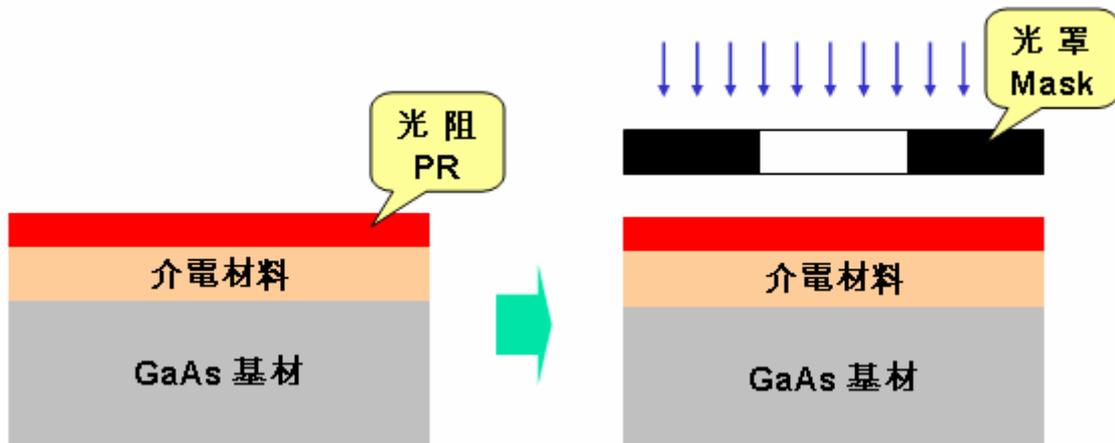
製程溫度(Temperature)： 300°C

壓力(Pressure)：100 Pa

氣體(Gas)： SiH_4 20 sccm、 NH_3 10 sccm、 N_2 490 sccm

沉基速率(Deposition rate)：100 Å/min

2. 接著利用微影曝光的方法定義出介電材料的圖形。因圖形的線寬大小形狀及邊緣平整度和曝光顯影製程有密切關聯，這部分必須經過謹慎的測試。



曝光顯影製程(Photolithography)參數如下:

試片清洗(Substrate cleaning)：ACE for 5 minute，IPA for 5 minute。

光阻塗佈(Spin coating)：1000 rpm for 5 sec/4000 rpm for 40 sec。

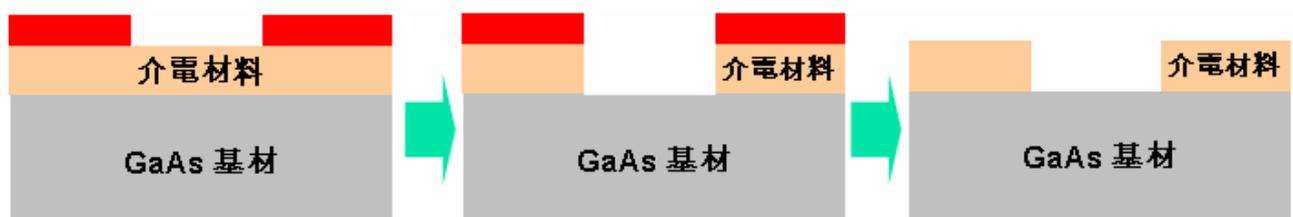
軟烤(Soft bake)：90 °C for 60 sec

曝光(Exposure)：22 秒(加濾鏡)，VIA MASK。

顯影(Development)：AZ300，1 minute。

硬烤(Hard bake)硬烤：120 °C for 5 minutes，即完成光阻圖形定義。

3. 定義出圖形後，即可利用 RIE 蝕刻介電材料。



4. 接續在由乾式蝕刻所定義出的介電材料上以濺鍍法鍍上銅金屬層。這部分在熟悉機器操作及考核後即可開始動作。最後，利用化學機械研磨法除去表面多餘金屬層。化學機械研磨終點的拿捏將是此一製程最重要的步驟，需不斷測試檢驗。



化學機械研磨製程(CMP)參數如下：

研磨材料(Material)：Cu

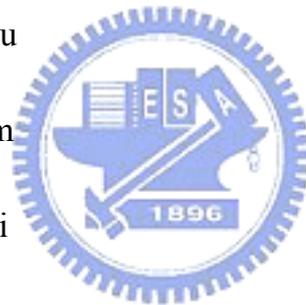
研磨轉速(RPM)：5 rpm

下壓力(Pressure)：4 psi

研磨速率(Polishing rate)：0.05 $\mu\text{m}/\text{min}$

研磨液流速度(Slurry flow rate)：180 c.c./min

研磨液組成成分(Slurry composition)：氧化鋁粉、水、漂白水



5. 上步驟中完成了第一層金屬銅導線，接續在第一層表面上以 PECVD (同先前之製程參數) 方式沉積相同的介電材料 Si_xN_y 1.2 μm ，並進行曝光顯影製程，如下圖所示。



6. 完成曝光顯影製程後，以 RIE 對介電材料進行乾式蝕刻至第一層金屬銅導線的深度。待乾式蝕刻至預設蝕刻深度後，同以電鍍方式鍍上第二層金屬銅並以化學機械研磨將其表面平坦化。此一連續步驟中，最重要的是 RIE 乾式蝕刻深度的控制，若無法精準地控制蝕刻深度，則第一層銅導線與第二層銅導線將無法有效地接觸及導通，會產生電性缺陷。



雙鑲嵌製程二步驟如以下所述：

1. 雙鑲嵌製程所採用的介電材料如同單鑲嵌之 Si_3N_4 ，接續進行第一次曝光製程及第一次介電材料 RIE 乾式蝕刻至設定深度 $1.5\mu\text{m}$ 。



第一次曝光顯影製程(Photolithography)參數如下：

光阻塗佈(Spin coating)：500 rpm for 10 sec/3000 rpm for 45 sec，

AZ5214E (2 μ m)

軟烤(Soft bake)：90 °C for 60 sec

冷卻(Cool down)：23 °C for 30 sec

曝光(Exposure)：1.5 mW/cm² for 30 sec

顯影(Development)：AZ 300 for 70 sec

硬烤(Hard bake)：1 minute

第一次反應離子蝕刻製程(RIE)參數如下：

蝕刻材料(Material)：Si₃N₄ (1.5 μ m)

氣體(Gas)：SF₆

流量(Flow rate)：40 sccm

壓力(Pressure)：25 mTorr

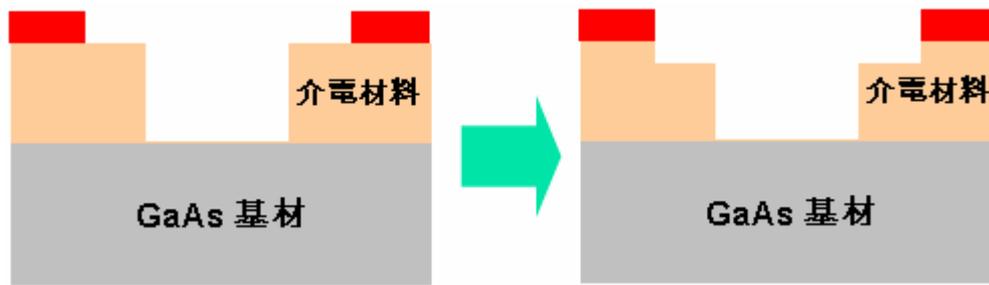
射頻功率(RF power)：40 W

基板溫度(Substrate temperature)：25 °C

光阻去除(Removal of photoresist)：浸泡丙銅、IPA 清洗



2. 接下來進行第二次曝光製程並第二次介電材料 RIE 乾式蝕刻至 1.0 μ m



第二次曝光顯影製程(Photolithography)參數如下：

光阻塗佈(Spin coating)：500 rpm for 5 sec/2400 rpm for 30 sec，

AZ5214E(2 μ m)

軟烤(Soft bake)：90 $^{\circ}$ C for 60 sec

冷卻(Cool down)：23 $^{\circ}$ C for 30 sec

曝光(Exposure)：1.5 mW/cm² for 30 sec

曝後烤(Post exposure bake)：110 $^{\circ}$ C for 270 sec

曝光(Flood exposure)：12 mW/cm² for 15 sec

顯影(Development)：AZ 300 for 70 sec

硬烤(Hard bake)：1 minute

第二次反應離子蝕刻製程(RIE)參數如下：

蝕刻材料(Material)：Si_xN_y (1.0 μ m)

氣體(Gas)：SF₆

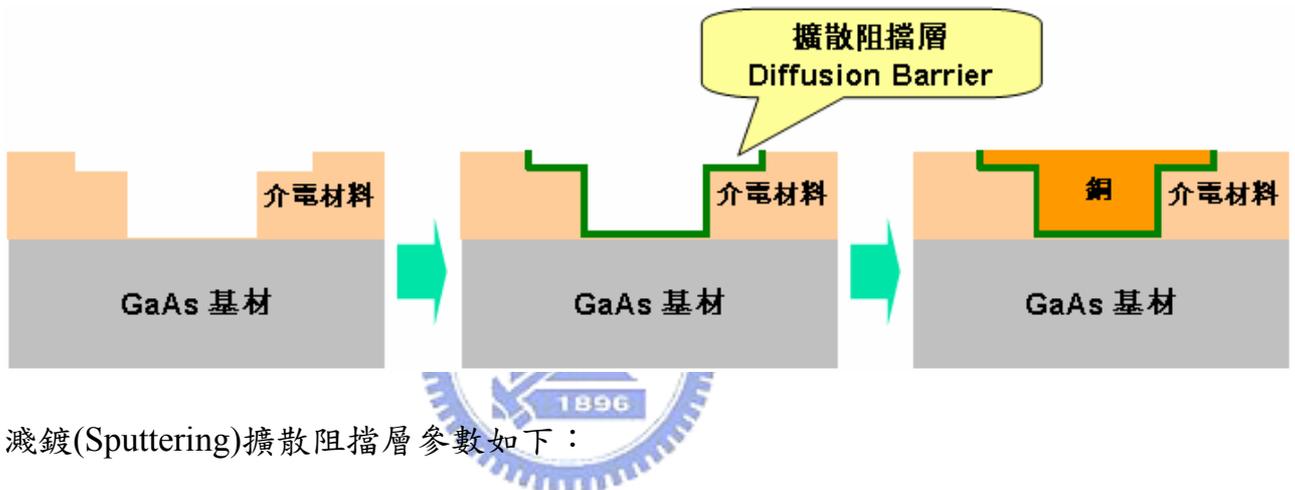
流量(Flowrate)：40 sccm

壓力(Pressure)：25 mTorr

射頻功率(RF Power)：40 W

基板溫度(Substrate temperature)：25 °C

3. 去除之前曝光製程的殘留光阻，在介電材料上鍍上並定義出擴散阻擋層。此一擴散阻擋層可避免後續鍍銅時的銅離子擴散現象並可提升銅與介電材料之附著。最後在擴散阻擋層上以電鍍方式鍍上銅金屬導線，並執行化學機械研磨。



濺鍍(Sputtering)擴散阻擋層參數如下：

擴散阻擋層材料(Material)：TaN (500A)

氣體(Gas)：Ar

功率(Power)：1000 W

濺鍍時間(Time)：300 sec

濺鍍速率(Deposition rate)：5 A/min

電鍍銅(Electroplating)參數如下：

電流(Current)：169 mA，電壓(Voltage)：40 V

3.2 實驗材料

4 吋 GaAs wafer

玻璃載片

介電材料(Si_xN_y)

擴散阻擋層(TaN)

510 光阻、AZ5214E 光阻

顯影液 AZ300

RIE 乾式蝕刻使用氣體 SF_6

研磨液(氧化鋁粉、水、漂白水)

丙酮(Acetone)

異丙醇(IPA)



3.3 實驗設備



圖 3.1：電漿增強式化學氣相沉積(PECVD)



圖 3.2：曝光對準機(Aligner)



圖 3.3：旋轉塗佈機(Spin coater)



圖 3.4：烤箱(Oven)



圖 3.5：化學抽氣櫃(Wet Bench)



圖 3.6：反應離子蝕刻機(RIE)



圖 3.7：濺鍍機(Sputter)



圖 3.8：蒸鍍機(Thermal evaporator)



圖 3.9：銅金屬電鍍槽(Copper electroplating)



圖 3.10：化學機械研磨機(LP50)



圖 3.11：研磨載具



圖 3.12：熱場發射掃描式電子顯微鏡(TFESM)



圖 3.13：光罩圖案-Vias

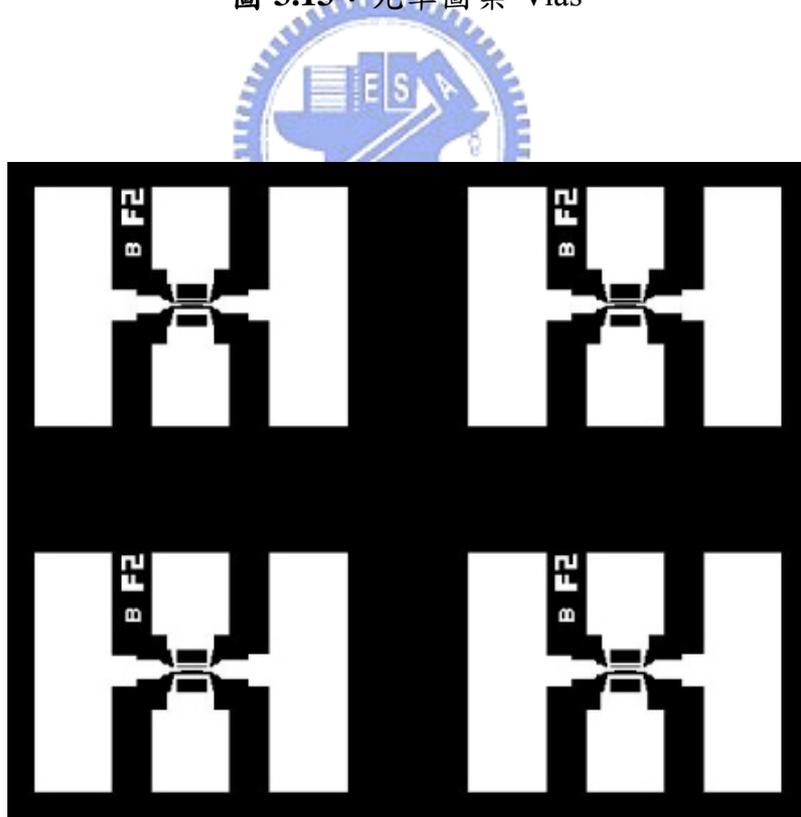


圖 3.14：光罩圖案-Metal lines

第四章 實驗結果與討論

4.1 曝光顯影、蝕刻及電鍍銅金屬過程

下圖 4-1 所示為雙鑲嵌製程一與製程二共用的光罩，由左而右是同一製程中第一次及第二次曝光顯影用之光罩照片。

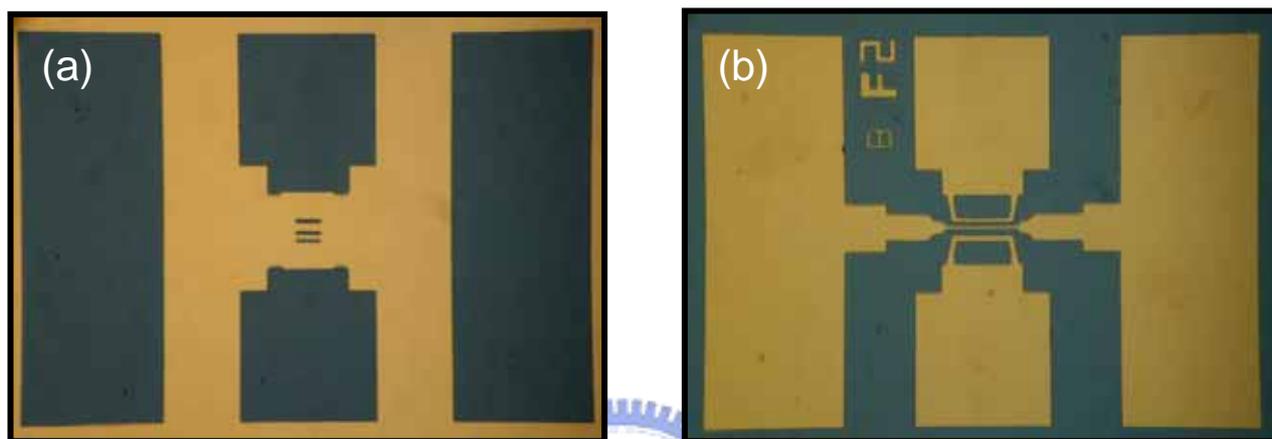


圖 4.1：(a)第一次及(b)第二次曝光顯影之光罩。

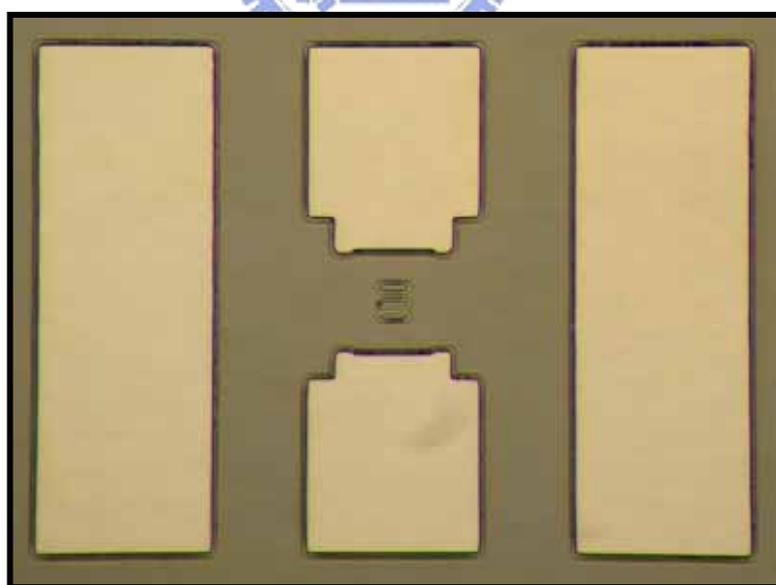


圖 4.2：第一次 RIE 乾蝕刻後的照片。

接下來，我們嘗試了兩種銅金屬沉積方法：一是直接用濺鍍(Sputtering)沉積 3 μm 銅金屬，但在濺鍍機台不穩定的狀況下，改以蒸鍍機(Evaporator)先鍍上 50nm 黏著種層(Seed layer)，最後再用銅電鍍的方式鍍上 3 μm 銅金屬。

以上述兩種方式在基材表面鍍上銅金屬有幾種不同的結果。以濺鍍的方式難以沉積至所設計的金屬膜厚，因此我們選擇以電鍍的方式來沉積銅金屬，因為電鍍較容易達到設計的金屬膜厚。

之後，即為化學機械研磨的部分，在正式研磨之前花了相當多的時間在測試研磨試片的製備前處理。最後，找出以下製備程序：首先，將 510 光阻分別塗佈於玻璃載片及研磨試片背面，將兩者黏合後，經滾輪均勻的壓應力後，以烤箱烘烤 100 $^{\circ}\text{C}$ ，10 分鐘，即完成研磨試片的製備。之後，將研磨試片放上研磨載具，抽真空後放上研磨機台(LP50)。

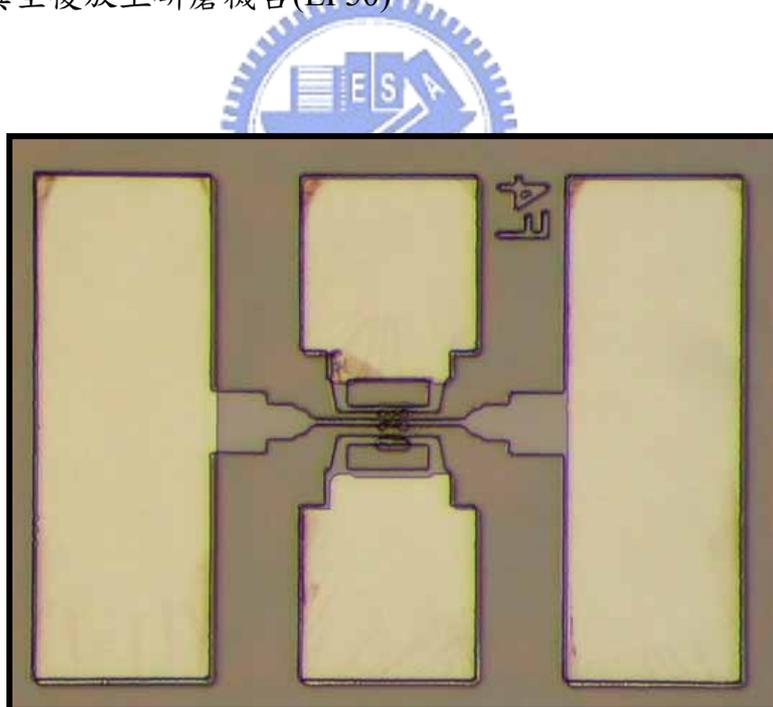


圖 4-3：第二次 RIE 乾蝕刻後的照片。

4.2 化學機械研磨過程

在研磨參數的設定方面，固定的壓力、研磨液流速及研磨轉盤轉速(每分鐘五轉)等三項條件，主要以研磨時間控制研磨的程度(研磨終點直接以光學顯微鏡的觀察判斷)，因需被研磨掉的銅金屬層厚度甚薄，因此，以慢研磨速率研磨之(研磨速率為 $0.05\mu\text{m}/\text{分鐘}$)，較為恰當。然而，經過多次研磨測試，大部分的試片都發生了銅金屬嚴重撥離及劇烈氧化的狀況，因此，成功出現 Vias 圖形的試片不多且不均勻，如圖 4.4、4.5 所示。圖 4.4 顯示絕大部分的銅金屬薄膜再 CMP 製程過後都無法順利地保存下來。特別是大面積銅金屬薄膜的部分，殘存率更是低，造成銅金屬剝落及破裂的原因可能如下列幾項：

2. 研磨機台所施加的外應力過大，銅金屬薄膜無法承受。
3. 電鍍銅金屬的機械強度不足，如：楊氏模數(Young's module)。
4. 鍍銅之前須沉積上金屬種層(Seed Layer)或黏著層(Adhesion layer)，可能是此兩種薄膜對砷化鎵基材的附著力不佳。
5. 砷化鎵基材本身較脆弱。
6. 研磨時的壓力($\sim 4\text{psi}$)過大。
7. 研磨的速度過快($0.05\mu\text{m}/\text{分鐘}$)。研磨液中的漂白水，似乎加快銅氧化，因此需要改變研磨液的組成。
8. 平坦化使用的漿料(slurry)可能導致薄膜再度吸附水氣，降低了附著力，造成銅金屬薄膜剝離。
9. 目前所使用的研磨盤及研磨布，可能不適用而影響研磨結果。

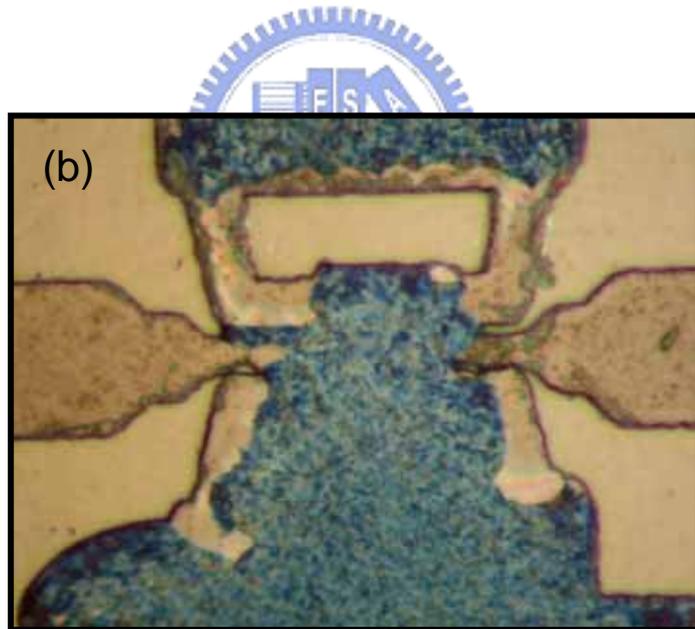
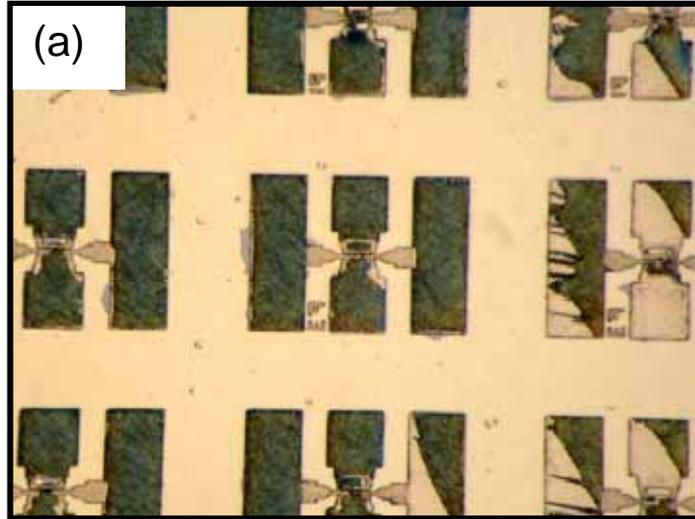


圖 4-4：失敗之金屬鑲嵌銅製程的 OM 結果分別為：(a) 遠視圖，(b) 近拍圖。

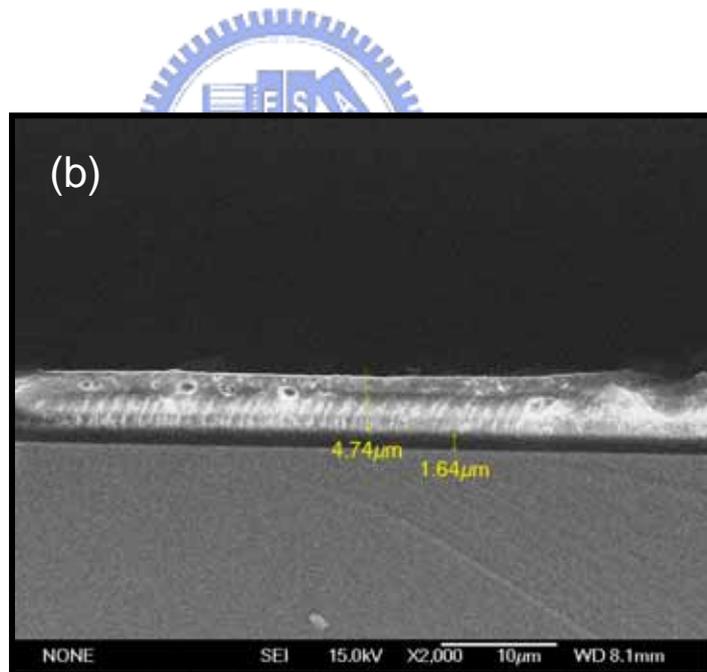
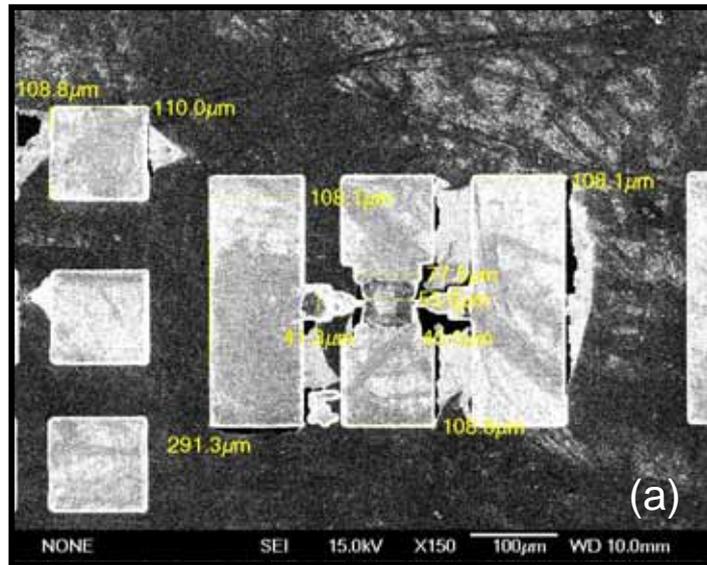


圖 4-5：失敗之金屬鑲嵌銅製程的 SEM 結果分別為：(a) 上視圖，(b) 側視圖。

針對以上幾個狀況，我們將從幾個方面來作討論和改進：

1. 介電質層和銅金屬層間可增加一層幫助黏合層(如：Ti 金屬層)，避免在研磨過程中發生的嚴重銅金屬撥離現象。
2. 在平坦化中，調整銅金屬電鍍時的相關參數，增加其機械強度，使其能承受研磨機台所施加的外應力。
3. 改變加強銅金屬之附著力。
4. 研磨液中的漂白水，似乎加快銅金屬氧化，因此需要改變研磨液的組成。
5. 研磨壓力選擇 2 或 3 psi 即可，不要施太大的力量，以免造成銅金屬破裂。
6. 研磨速度越愈快愈會破裂，因此選擇較慢的研磨速度($\sim 0.01\mu\text{m}/\text{分鐘}$)。
7. 可再增加一層阻障層(barrier)。
8. 其它如研磨盤及研磨布的選擇，都可能影響研磨結果。綜合以上各點，改善研磨製程後，大約研磨 30 分鐘可得不錯的結果，SEM 的結果如圖 4-6 所示。



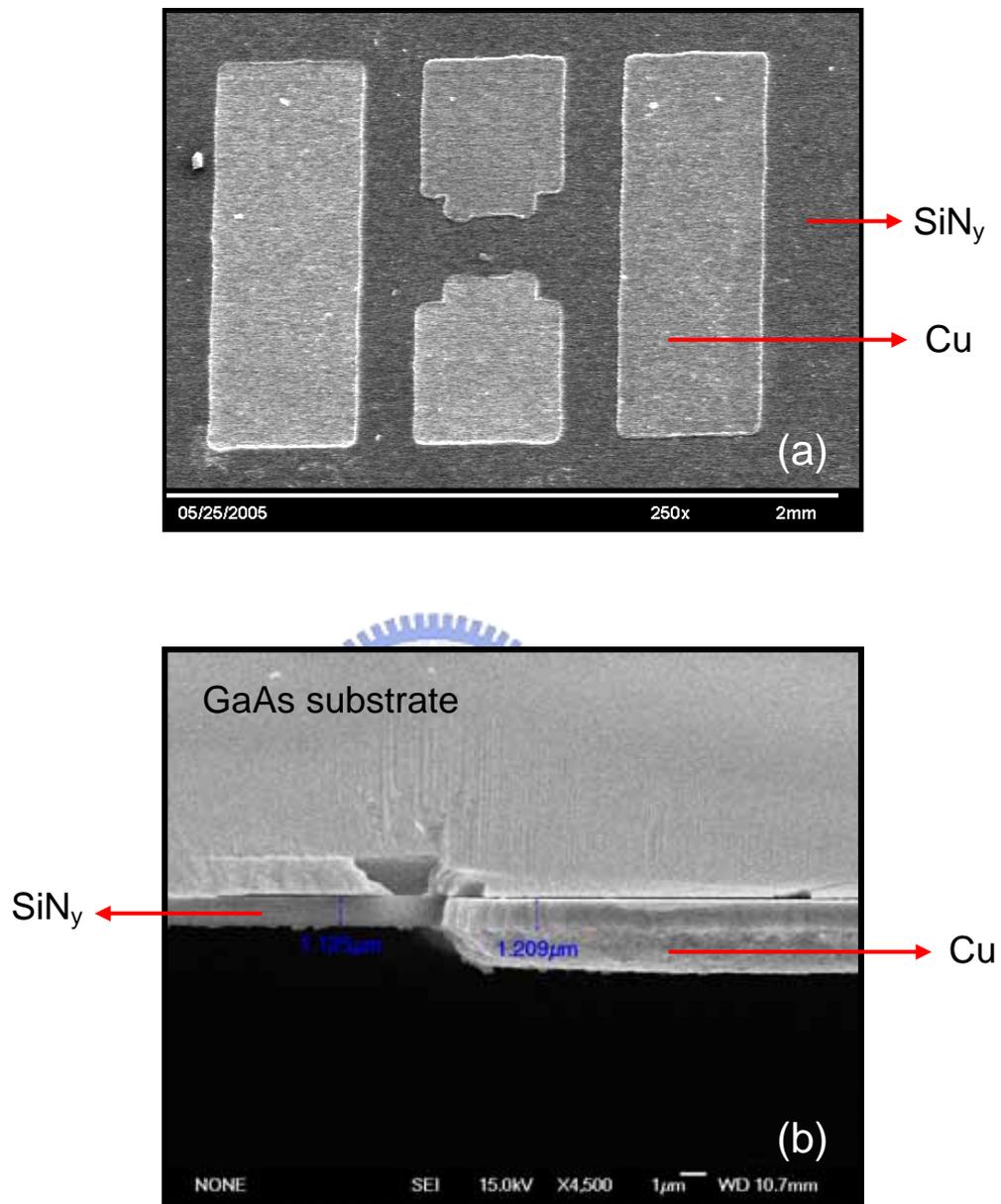


圖 4-6：金屬鑲嵌銅製程之 SEM 結果分別為：(a) 上視圖，(b) 側視圖。

第五章 結論

造成 CMP 製程後銅金屬剝落及破裂的原因可能如下列幾項：

1. 研磨機台所施加的外應力過大，銅金屬薄膜無法承受。
2. 電鍍銅金屬的機械強度不足，如：楊氏模數(Young's module)。
3. 鍍銅之前須沉積上金屬種層(Seed Layer)或黏著層(Adhesion layer)，可能是此兩種薄膜對砷化鎵基材的附著力不佳。
4. 砷化鎵基材本身較脆弱。
5. 研磨時的壓力($\sim 4\text{psi}$)過大。
6. 研磨的速度過快($0.05\mu\text{m}/\text{分鐘}$)。研磨液中的漂白水，似乎加快銅氧化，因此需要改變研磨液的組成。
7. 平坦化使用的漿料(slurry)可能導致薄膜再度吸附水氣，降低了附著力，造成銅金屬薄膜剝離。
8. 目前所使用的研磨盤及研磨布，可能不適用而影響研磨結果。

本研究改善的方式如下：

1. 介電質層和銅金屬層間可增加一層幫助黏合層(如：Ti 金屬層)，避免在研磨過程中發生的嚴重銅金屬撥離現象。
2. 在平坦化中，調整銅金屬電鍍時的相關參數，增加其機械強度，使其能承受研磨機台所施加的外應力。
3. 改變加強銅金屬之附著力。
4. 研磨液中的漂白水，似乎加快銅金屬氧化，因此需要改變研磨液的組成。
5. 研磨壓力選擇 2 或 3 psi 即可，不要施太大的力量，以免造成銅金屬破裂。
6. 研磨速度越愈快愈會破裂，因此選擇較慢的研磨速度($\sim 0.01\mu\text{m}/\text{分鐘}$)。
7. 可再增加一層阻障層(barrier)。
8. 選擇其他種類的研磨盤及研磨布。



第六章 未來工作及建議

1. 本研究過程中，化學機械研磨(CMP)時常發生銅金屬與介電質材料剝離的現象。因此，在未來的元件研發中黏合層(Adhesion layer)的慎選及應用是決定元件表現之關鍵因素。
2. 銅金屬的氧化問題會直接影響導線之電性，而製程中誘導氧化反應的材料即為化學機械研磨中的研磨液。故未來選擇研磨液時，應注重成分中不應有過多的漂白水以免氧化反應之發生。
3. 至於金屬阻障層的研究，因 TaN 具有阻擋銅原子擴散與穿透、提升銅與介電質材料表面之附著力及較低的電阻率，因此未來元件製作上我們將考慮使用 TaN 作為銅金屬鑲嵌技術之阻障層。
4. 三五族化合物除了為高速計算元件之適用材料外，目前也致力研發運用於光電發光元件。未來我們可尋求銅金屬優異之導線特性於半導體科技外之應用，而本研究之銅金屬鑲嵌技術亦可加以改進並整合至光電發光元件之導線製作。

參考文獻

- [1] V. Comello, *Semiconductor International*, No.13, p.60, 1990.
- [2] 半導體平坦化 CMP 技術，王建榮 等編譯，全華科技圖書公司，1-8 頁。
- [3] M.E. Thomas, S. Sekigahama, P. Renteln and J.M. Pierce, *Proc. of IEEE-VMIC*, Vol. 990, p.438.
- [4] S.Sivaram, H. Bath, R. Leggett, A. Maury, K. Monnig, R. Tolles, *Solid State Technology*, Vol. 35, p.87-91, 1992.
- [5] M.A. Martinez, *Solid State Technology*, p.20-31, 1994.
- [6] J.M. Steigerwald, S.P. Murarka, and R.J. Gutmann, *Chemical Mechanical Polish*
- [7] 呂宗昕，*圖解奈米科技與光觸媒*，商周出版，70-73 頁，2003。
- [8] 國家毫微米元件實驗室，2001。
- [9] 王建榮、林慶福、林必窈，*半導體平坦化 CMP 技術*，全華科技圖書有限公司，1-3~1-6 頁，1999。
- [10] 王建榮、林慶福、林必窈，*半導體平坦化 CMP 技術*，全華科技圖書有限公司，1-10~15 頁，1999。
- [11] 邱顯盛，*以電化學法處理化學機械研磨水*，碩士論文，2001。
- [12] 王建榮、林慶福、林必窈，*半導體平坦化 CMP 技術*，全華科技圖書有限公司，3-7 頁，1999。
- [13] L. Peters, *Semiconductor International*, Cover Story, p.64, 1998.

- [14] *The National Technology Roadmap for Semiconductors*, Semiconductor Industry Association, San Jose, CA, 2000.
- [15] G. Sugahara, N. Aoi, M. Kubo, K. Arai, K. Sawada, *International Dielectrics for ULSI Multilevel Interconnection Conference*, p.19, 1997.
- [16] P.H. Townsend, S.J. Martin, et al., *Mat. Res. Soc. Symp. Proc.*, Vol.476, p.9, 1997.
- [17] M.J. Loboda, C.M. Grove, R.F. Schneider, *J. of Electrochem. Soc.*, Vol.145, p.2861, 1998.
- [18] P.T. Liu, T.C. Chang, Y.S. Mor, S.M. Sze, *Jpn. J. Appl. Phys.*, Vol.38, p.3482, 1999.
- [19] P.T. Liu, T.C. Chang, Y.L. Yang, Y.F. Cheng, S.M. Sze, *IEEE Trans. Electron Devices*, Vol.47, p.1733, 2000.
- [20] P.T. Liu, T.C. Chang, H. Su, Y.S. Mor, Y.L. Yang, H. Chang, J. Hou, S.M. Sze, *J. Electrochem. Soc.*, Vol.148(2), F30, 2001.
- [21] C. Jin, S. List, E. Zielinski, *Mat. Res. Soc. Symp. Proc.*, Vol.511, p.213, 1998.
- [22] J.H. Lee, N. Chopra, J. Ma et al., *Mat. Res. Soc. Symp. Proc.*, Vol.612, D. 3.4.1, 2000.
- [23] Y. Shacham-Diamand, V. Dubin, M. Angyal, *Thin Solid Films*, No.262, p.93-103, 1995.
- [24] C.K. Hu, B. Luther, F.B. Kaufman, J. Hummel, C. Uzoh and D.J. Pearson, *Thin Solid Films*, No.262, p.84-92, 1995.

- [25] S. Lakshminarayanan, J. Steigerwald, D.T. Price, M. Bourgeois, T.P. Chow, R.J. Gutmann, S.P. Murarka, *IEEE Electronic Device Letters*, Vol.15, p.307-309, 1994.
- [26] H. Leidheiser, *The Corrosion of Copper, Tin and Their Alloys*, Wiley & Sons, Inc., 1971.
- [27] R. Iscoff, *Semiconductor International*, May, 1993, p72.
- [28] H. Landis, P. Burke, W. Hill, C. Hoffman, C. Kaanta, C. Koburger, W. Lange, S. Luce, *Thin Solid Films*, No.220, p.1-7, 1992.
- [29] R. Carpio, J. Farjas, R. Jairath, *Thin solid films*, No.266, p.238-244, 1995.
- [30] J.M. Steigerwald, S.P. Murerka, R.J. Gutmann, D.J. Duquette, *Mater. Chem. Phy.*, Vol.41, p.217, 1995.
- [31] M. Pourbaix, *Atlas of electrochemical Equilibria in Aqueous Solutions*, NACE, Houston, TX, 1974.
- [32] H. Hirabayashi M. Higuchi M. Kinoshita, H. Kaneko, N. Hagasaka, K. Mase, J. Oshima, *Proceedings of the 1st International VMTC Specialty Conference on CMP Planarization*, p.119, Santa Clara, CA, 1996.
- [33] J.M. Carr et al., US Patent 4,954,142, September 4, 1990.
- [34] A. Nenadic et al., US patent 5,084,071, January 28, 1992.
- [35] C.C. Yu et al., US patent 5,354,490, October 11, 1994.
- [36] Z. Stavreva, D. Zeidler, M. Plotner, K. Drescher, *Appl. Surf. Sci.*, No.91, p.192, 1995.

- [37] Q. Luo, S. Ramarajan, S.V. Babu, *Thin Solid Films*, No.335, p.160, 1998.
- [38] R. Carpio, J. Farjas, R. Jairath, *Thin Solid Films*, No.266, p.238-244, 1995.
- [39] 王建榮、林慶福、林必窕，*半導體平坦化 CMP 技術*，全華科技圖書有限公司，1-17 頁，1999。
- [40] G. Steinlesberger, A. von Glasow, M. Engelhardt, G. Schindler, W. Honlein, M. Holz, E. Bertagnolli, “Copper damascene interconnects for the 65 nm technology node: a first look at the reliability properties,” *Proceedings of the IEEE 2002 International Interconnect Technology Conference*, pp. 265-267, 3-5 June, 2002.
- [41] H. Ruelke, C. Streck, J. Hohage, S. Weiher-Telford, O. Chretien, “Manufacturing implementation of low-k dielectrics for copper damascene technology,” *Advanced Semiconductor Manufacturing 2002 IEEE/SEMI Conference and Workshop*, pp. 356-361, 30 April-2 May, 2002. Lee, A. S., Lakshmanan, A., Rajagopalan, N., Zhenjiang Cui, Le, M., Li Qun Xia, Bok Heon Kim, Hichem M'Saad, “Reliability of dielectric barriers in copper damascene applications,” *IEEE International Integrated Reliability Workshop Final Report*, pp. 137-138, 20-23 Oct., 2003.
- [43] N. Engelhardt, G. Schindler, W. Steinhogel, G. Steinlesberger, M. Traving, “Investigation of nano interconnects for an early experimental assessment of future interconnect challenges,” *International Conference on Integrated Circuit Design and Technology (ICICDT '04.)*, pp. 113-116, 2004.
- [44] R.L. Guldi, J.B. Shaw, J. Ritchison, D.L. Corum, S. Oestreich, K. Sherman, J.H. Lin, R. Fiordalice, “Characterization of copper voids in damascene processes,” *IEEE Transactions on Semiconductor Manufacturing*, Volume 17, Issue 4, pp. 597-602, Nov., 2004.