

國立交通大學

電機學院 電子與光電學程

碩士論文

利用電路設計技巧達到低電壓低功率消耗之

靜態記憶體操作

Design Assist Method to Achieve

Low Voltage Low Power SRAM Operation

研究生：唐伯元

指導教授：郭浩中 博士

中華民國九十六年四月

利用電路設計技巧達到低電壓低功率消耗之

靜態記憶體操作

Design Assist Method to Achieve
Low Voltage Low Power SRAM Operation

研究生：唐伯元

Student : Po-Yuan Tang

指導教授：郭浩中

Advisor : Hao-Chung Kuo



A Thesis

Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics and Electro-Optical Engineering

April 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年四月

利用電路設計技巧達到低電壓低功率消耗之靜態記憶體操作

學生：唐伯元

指導教授：郭浩中 博士

國立交通大學電機學院 電子與光電學程（研究所）碩士班

摘 要

追求低電壓產品的使用操作，不僅能降低功率的損耗，更能確保產品的可靠度，延長產品的使用壽命。

因 SRAM 在低電壓下操作時，不是遇到“寫”的問題，就是遇到“讀”的問題。故要使之能在低電壓下有效的工作，則非要能同時解決這兩種問題不可。

本實驗中所引用之 SRAM，則是故意將 SRAM Cell 設計成擁有較高的 SNM，使之比較偏向不會有讀的問題，然後利用在寫時，將寫入的資料設計成比 0 伏特還來的低的電壓（為負電壓），借此增加寫入的能力。當然因 SRAM Cell 已被偏向讀的一方，故在低電壓下所面臨之寫的問題，會比原先未被偏向讀的特性還來得嚴重，故此負電壓必須能夠補償及克服此寫的問題才行。同時，也利用降低 SRAM Cell 的電壓，藉以降低存“1”的能力。更增加寫入的成功。

除了在寫時加強外，本實驗還提出了在低電壓下，增加讀速度的改善方法。那就是利用與產生負電壓同一個電壓產生器，來產生一個比外面單一輸入電壓源還來得高的電壓值，藉以增加讀的電流。（在本實驗中模擬 $V_{DD}=0.5v$ ，卻有約 $0.7v$ 的讀出電流）。故可同時達到低電壓，低漏電，低功率消耗與高效能之目的。

而事實上，在高壓下操作時是沒有任何寫或讀的問題，故在本實驗中也設計了在高壓下，將此電壓產生器“關掉”的裝置，如此可減少在高壓下有多餘的功率消耗，又可避免產生太低的負電壓或太高的正電壓而造成產品的可靠度問題。

本文將針對以上設計來加以特性上的探討，尤其是在低電壓下操作。

Design Assist Method to Achieve Low Voltage Low Power SRAM Operation

Student : Po Yuan Tang

Advisor : Dr. Hao-chung Kuo

Degree Program of Electrical and Computer Engineering

National Chiao Tung University

ABSTRACT

Searching for the lower voltage operation not only can reduce the power consumption but also can extend the life time because of improving the reliability issue.

Only two issues that make SRAM cannot work at low voltage, write or read issue or both. So it needs to improve these two at the same time when do low voltage operation.

In this thesis, first to bias SRAM Cell to have higher SNM, let it doesn't have read problem and then using negative voltage to write data to improve write ability. Since Cell is biased to prefer read, the write problem should be worse than original design. So it needs to cover back this write issue using negative design. At the same time, also reduce the Cell power to reduce the keep "1" node ability.

Not only get improvement at write cycle, but also pump Cell power at read cycle to improve the read performance at low voltage operation using the same voltage generator as negative voltage generator. (In this thesis, the simulation showed 0.7v read current at VDD =0.5v). So we can get both low voltage/low leakage and high performance together.

In fact, there is no any write and read issue at high voltage operation. So I have a shut off design in this thesis when do high voltage operation, in order to get less active power consumption and prevent reliability problem caused by too large negative/positive voltage.

I will have more evaluation in this thesis especially at low voltage operation.

誌 謝

在我碩士生涯中，首先對於我的指導教授 蘇朝琴老師與 郭浩中老師表達崇高的感謝之意，多謝他們多年來的諄諄教誨及耐心的指導，無論是在求學態度與做人處世上都使我受益良多。此外更感謝同一 Group 的吳家仁同學與王清煌同學，在學業上能相互切磋和學習，使我能完成碩士論文的研究。

更感謝的是我的老婆與家人，謝謝你們默默的給我支持與關愛，在此僅向所有對我有恩的人致上最高的謝意與敬意…



目 錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表目錄	v
圖目錄	vi
第一章 緒論	1
1.2 SRAM 的輸入電壓趨勢	2
1.3 SRAM 的架構	2
1.3.1 SRAM Cell Array	3
1.3.1.1 SRAM Cell Static Noise Margin (SNM)	4
1.3.1.2 SRAM Cell 的不對稱性	6
1.3.1.3 SRAM Cell 寫的操作	6
1.3.1.4 SRAM Cell 讀的操作	7
1.3.2 SRAM 周邊電路	8
1.3.2.1 控制電路	9
1.3.2.2 位址解碼電路/Ypass 電路	9
1.3.2.3 放大器電路	9
1.3.2.4 寫入電路	10
1.3.2.5 Tracking Cell 電路	10
REFERENCES	11
第二章 研究動機與方法	13

2.1 研究動機	13
2.2 SRAM 省電的方法	14
2.2.1 減少 SRAM 靜態功率消耗	14
2.2.1.1 降低 SRAM 操作電壓以減少 SRAM 靜態功率消耗....	15
2.2.1.2 降低 $I_{sub-threshold}$ 電流以減少 SRAM 靜態功率消耗.	15
2.2.1.3 降低 I_{gate} 電流以減少 SRAM 靜態功率消耗.....	15
2.2.1.4 Multiple V_{th} 設計減少 SRAM 靜態功率消耗.....	16
2.2.1.5 Sleep 電晶體設計減少 SRAM 靜態功率消耗.....	16
2.2.1.6 堆疊效應降低 V_{DS} 電壓以減少 SRAM 靜態功率消耗.	17
2.2.2 減少 SRAM 動態功率消耗.....	18
2.2.2.1 降低電容以減少 SRAM 動態功率消耗.....	18
2.2.2.2 降低頻率以減少 SRAM 動態功率消耗.....	20
2.2.2.3 降低電壓以減少 SRAM 動態功率消耗.....	20
2.2.2.4 降低短路電流以減少 SRAM 動態功率消耗.....	22
2.2.2.5 利用 Body-biasing 的設計.....	23
2.2.2.6 SRAM 陣列區塊分割.....	25
2.2.2.7 動態重組記憶體結構.....	26
REFERENCES	26
第三章 負電壓寫入,Pump 正電壓讀出的 SRAM 設計.....	29
3.1 設計概念.....	29
3.2 SRAM Cell 改善.....	29
3.2.1 當 SRAM Cell 沒有發生不對稱時的 SNM 值.....	29
3.2.2 當 SRAM Cell 有發生不對稱時的 SNM 值.....	31
3.2.3 當 SRAM Cell 沒有發生不對稱時能寫成功的 Bit Line 電壓值.	33
3.2.4 當 SRAM Cell 有發生不對稱時能寫成功的 Bit Line 電壓值...	35

3.2.5 SRAM Cell 漏電流.....	36
3.2.6 SRAM Cell 讀的電流.....	36
3.3 電壓產生器.....	37
3.3.1 負電壓產生器.....	38
3.3.2 Pumping 正電壓產生器.....	40
3.3.3 One Step PMOS 電容.....	42
3.4 高電壓偵測電路.....	42
3.5 自動偵測寫入電壓之負電壓產生電路.....	45
3.6 自動關掉負電壓產生之電路.....	46
3.7 在 SRAM 上的模擬結果.....	48
3.8 功率消耗之模擬值.....	52
3.9 面積值預估.....	53
REFERENCES	54
第四章 結 論.....	56
4.1 結論.....	56
自傳	57



表 目 錄

表 1-1 製程與操作電壓關係	2
表 3-1 無不對稱 SRAM 之 SNM 模擬值比較	31
表 3-2 不對稱 SRAM 之 SNM 模擬值比較	33
表 3-3 無不對稱 SRAM Cell 能寫入成功的 Bit Line 電壓模擬值比較.....	34
表 3-4 不對稱之 SRAM Cell 能寫入成功的 Bit Line 電壓模擬比較.....	35
表 3-5 漏電流對不同溫度與不同電壓之比較表	36
表 3-6 讀的電流比較表	37
表 3-7 負電壓的功能真值表	40
表 3-8 Pump 正電壓的功能真值表	41
表 3-9 高電壓偵測電路電壓模擬值	44
表 3-10 不同 VDD 下，寫/讀的周期之 Timing 模擬表.....	52
表 3-11 Critical Path 的功率消耗之模擬表.....	53



圖 目 錄

圖 1-1 6 個電晶體的 SRAM 記憶體單元	3
圖 1-2 4X4 的 SRAM Cell Array	4
圖 1-3 Butterfly 圖形	4
圖 1-4(a) SNM 與 VDD 電壓變化的關係圖.....	5
圖 1-4(b) 不對稱時的 SNM	5
圖 1-5 Yamaoka's chart	6
圖 1-6 SRAM 的周邊電路	8
圖 1-7 Tracking Cell 電路	11
圖 2-1 Sleep 電晶體的設計	17
圖 2-2 堆疊效應	18
圖 2-3 MOS size 與負載之消耗功率關係圖.....	19
圖 2-4(a) SRAM Cell 的 Multiple VDD 設計.....	21
圖 2-4(b) 周邊電路的 Multiple VDD 設計	21
圖 2-5 短路電流與負載電容關係圖	23
圖 2-6 動態 VT SRAM	24
圖 2-7 Forward-Body-biasing SRAM	24
圖 2-8 Substrate 電壓與 MOS 電流關係圖	25
圖 3-1 無不對稱之 TSMC 0.13um SRAM Cell SNM 模擬圖.....	30
圖 3-2 無不對稱之 TSMC 0.13um Proposed SRAM Cell SNM 模擬圖.....	31
圖 3-3 不對稱 SRAM Cell	32
圖 3-4 TSMC 0.13um 不對稱 SRAM Cell SNM 模擬圖	32
圖 3-5 無不對稱之原 SRAM Cell 能寫入成功的 Bit Line 電壓模擬圖.....	34
圖 3-6 無不對稱之 Proposed SRAM Cell 能寫入成功的 Bit Line 電壓模擬圖.....	34
圖 3-7 不對稱之 SRAM Cell 能寫入成功的 Bit Line 電壓模擬圖.....	35

圖 3-8 電壓產生器的功能示意圖	38
圖 3-9 負電壓的功能示意圖	39
圖 3-10 負電壓/Pumping 電壓的電路示意圖	39
圖 3-11 Pump 正電壓的功能示意圖	41
圖 3-12 高電壓偵測電路	43
圖 3-13 BL/BLB 上有無正確之負寫入電壓比較圖	45
圖 3-14 自動偵測寫入電壓之負電壓產生電路的示意圖.....	46
圖 3-15 具有自動關掉負電壓產生之負電壓觸發電路	47
圖 3-16 具有自動關掉負電壓產生之負電壓觸發電路 Timing 圖.....	48
圖 3-17(a) VDD=1.2v 時寫的周期之 Timing 模擬圖.....	49
圖 3-17(b) VDD=1.2v 時讀的周期之 Timing 模擬圖.....	49
圖 3-18(a) VDD=0.6v 時寫的周期之 Timing 模擬圖.....	50
圖 3-18(b) VDD=0.6v 時讀的周期之 Timing 模擬圖.....	50
圖 3-19(a) VDD=0.5v 時寫的周期之 Timing 模擬圖.....	51
圖 3-19(b) VDD=0.5v 時讀的周期之 Timing 模擬圖.....	51
圖 3-20 Critical Path 的功率消耗之模擬圖形.....	53
圖 3-21 擁有電壓產生器之 I/O 電路 Layout 圖.....	54

第一章 緒 論

1.1 SRAM 記憶體簡介

SRAM(靜態隨機存取記憶體)是由兩個反相器再加上兩個 Pass Gate NMOS，共 6 個電晶體所組成的記憶體單元。透過兩個互相做 Latch 的裝置，將所要儲存的資料“記憶”起來。而它也是揮發性記憶體的一種，即當外在輸入電壓源關掉時，其所儲存在 SRAM Cell 內的資料也會消失不見。

早期的 SRAM，是以追求較大的記憶容量與較快的操作速度為主要訴求，故將反相器的 PMOS 用 Poly 電阻來取代，以形成較小且只有 4 個電晶體的記憶單元。此 4 個電晶體的記憶單元架構最大的缺點是在存“0”的 Cell 節點，會因 Poly 電阻直接連到電壓源上而有直流漏電的情況。故不得不提高 Poly 電阻以降低此直流漏電流。然而當操作電壓往下降時，會使得存“1”的 Cell 節點，因 Poly 電阻的提高而使得保存“1”的能力下降，進而使得 Cell 的資料很容易地被翻轉而影響儲存功能。此兩難的 4 個電晶體記憶單元已被 6 個電晶體所組成的記憶單元所改善。利用多加的 2 個 PMOS 電晶體來隔絕直流漏電流，並且提供存“1”的 Cell 節點的供電能力，使得既無直流漏電流問題又較無低壓操作的問題。

雖然多出了 2 個 PMOS 電晶體，卻也方便地減少了製程的複製性。(不像 4 個電晶體的記憶單元，需要多加 1 個 Poly 層)，使得 6T SRAM 的製程變得與邏輯產品的製程完全相同。這可大幅增加 SRAM 與其它邏輯產品的整合，增加產品的多樣性；亦可因製程完全相同，而能大幅降低 SRAM 的製作成本。故最近的 SRAM 市場訴求，不僅要強調記憶容量與操作速度外，更重要的是強調在 SOC 產品的整合上，使之能夠在 SOC 產品上達到功能上的匹配，與達到低電壓操作與低功率的消耗。

因 SRAM 操作速度非常快又兼具省電的因素，(不像 DRAM 的 Cell，是由一個電

晶體與一個電容所組成，先天要求的操作速度是透過與 Bit Line 的 Charge Sharing 而來的。此方式會遠比 SRAM 來的慢，而且 DRAM 需要額外的 Refresh 動作，這使得 DRAM 在應用上會較為耗電)。故在產品應用面上，SRAM 常被定位為 Cache Memory 的中繼角色，利用 SRAM 直接與邏輯操作速度快的中央處理器做資料的存取溝通，然後再將資料與次一級速度上要求不會太高的記憶體，如 DRAM 或 FLASH 再做進一步資料的大量儲存。也因此產品面的應用區隔，使得 SRAM 的記憶容量，大約只要有 Mega bits 即可滿足市場需求。

1.2 SRAM 的輸入電壓趨勢

隨著製程的往下微縮，為了要降低熱載子與閘極氧化層因受到太強的電場強度驅動下，而引起的崩潰效應，故迫使 VDD 輸入電壓因而需要跟著下降。表 1-1 所示為各個製程下所操作的 VDD 電壓值。當然，低電壓的操作不僅是為了配合製程的往下微縮，更為了能夠降低功率的消耗。因為功率消耗是與電壓的平方成正比的。(Power 正比於 $C*f*V^2$)

	0.35um	0.25um	0.18um	0.15um	0.13um	90nm	65nm	45nm
操作電壓 VDD	3.3v	2.5v	1.8v	1.5v	1.2v	1.0v	1.0v	0.9v

表 1-1 製程與操作電壓關係表

1.3 SRAM 的架構

SRAM 是由下列三個功能單元所組合而成的：即 SRAM Cell Array，周邊電路，與 I/O 介面電路。其簡單介紹如下：

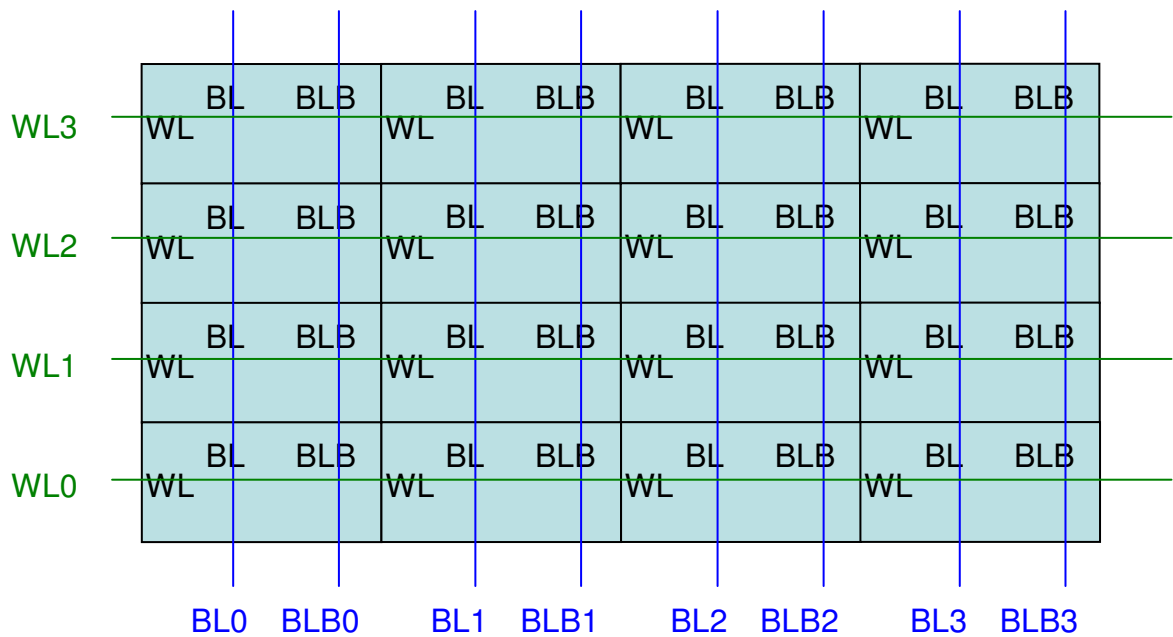


圖 1-2 4X4 的 SRAM Cell Array

1.3.1.1 SRAM Cell Static Noise Margin (SNM)

表現此 SRAM Cell 的穩定度與對靜態雜訊抑制能力最好的表示圖形，即為如圖 1-3 所示之 Butterfly 圖形。此圖 1-3 即為整合此兩個反相器的特性轉換曲線所構成的。理論上，因對稱性的關係，上下所夾擊的正方型矩陣應為大小相同。而此矩陣之對角線被稱之為 Static Noise Margin (SNM)。SNM 的值越大表示此 SRAM Cell 讀出的特性會較快，而且抵抗靜態雜訊的能力亦會較優異。

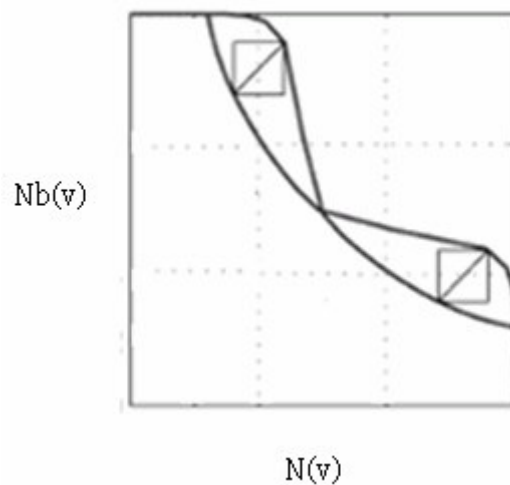


圖 1-3 Butterfly 圖形

而圖 1-4(a)所示為 SNM 值與 VDD 電壓變化的關係圖。很明顯的，若操作電壓往下降時，則正方形矩陣的大小就會越來越小，這表示 SNM 值越來越小。而且當又有因製程因素所造成的元件互相不對稱時，如 PU1 與 PU2, PD1 與 PD2, PG1 與 PG2 不對稱時，(越先進製程，則不對稱性越嚴重[2])，其 SNM 值就因取決於最小的正方形矩陣之對角線，而更相對地變小。如圖 1-4(b) 所示。

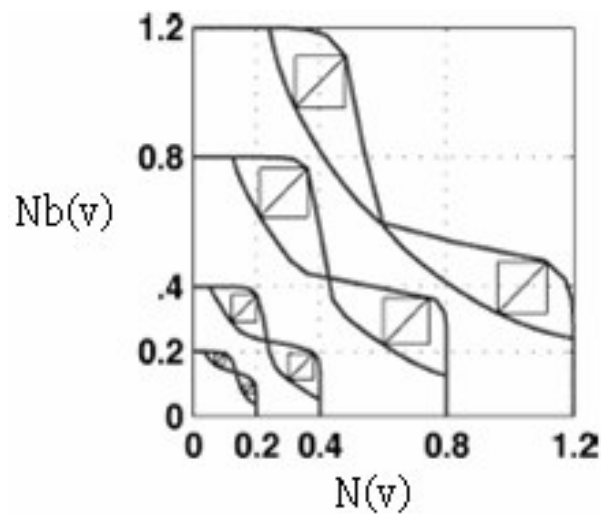


圖 1-4(a) SNM 與 VDD 電壓變化的關係圖

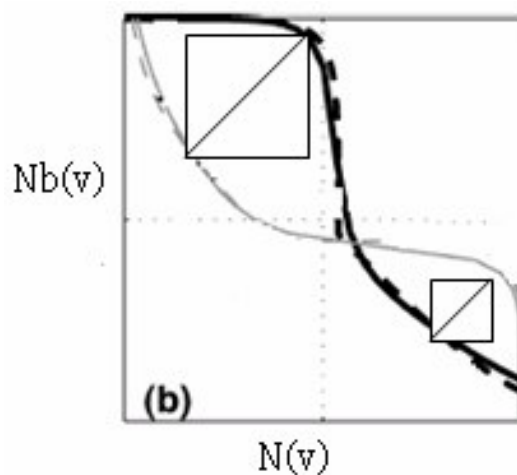


圖 1-4(b) Cell 不對稱時的 SNM 圖形

1.3.1.2 SRAM Cell 的不對稱性

圖 1-4(b)為 SRAM Cell 有不對稱時的 SNM 圖形·然表現此 SRAM Cell 不對稱性與讀/寫特性的圖形，被稱為 Yamaoka's chart[3]·如圖 1-5 所示· X 軸表示 SRAM Cell NMOS 的 V_T 電壓值，Y 軸則表示 SRAM Cell PMOS 的 V_T 電壓值·在圖 1-5 上方表示因有較小的 NMOS V_T 電壓值，而使得 SNM 不好，故而造成讀時發生問題·而圖 1-5 下方則表示因有較小的 PMOS V_T 電壓值，而使得存“1”的資料變得較強，故而造成寫時發生問題·

故圖 1-5 上方有 SNM 造成讀時發生問題的界線，下方有寫時發生問題的界線，而中間則為 SRAM Cell 可操作的受限區域·然而在 SRAM Cell Array 裡面的每一個 SRAM Cell，又都有各自的 Global Variation 與 Local Variation·這使得 SRAM Cell Array 能夠正常工作的區間，相形之下更被擠壓壓縮了·

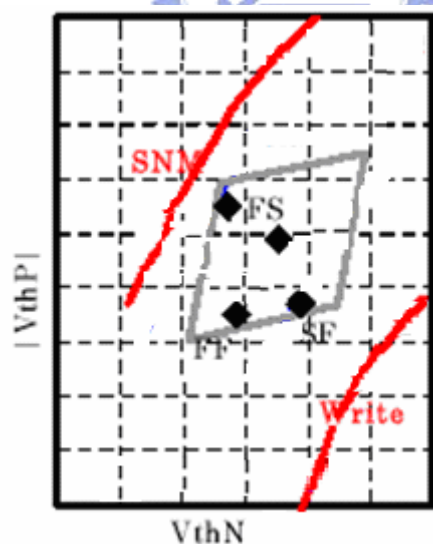
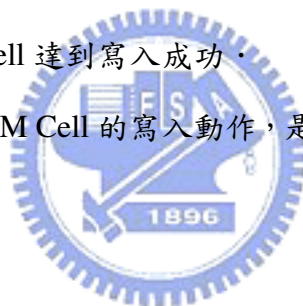


圖 1-5 Yamaoka's chart

1.3.1.3 SRAM Cell 寫的操作

當 SRAM Cell 被寫“0”時，(假設圖 1-1 的節點 N 存資料“1”，而節點 Nb 存資料“0”)，則表示要輸入 BL 為“0”，且輸入 BLB 為“1”的資料進入此 SRAM Cell 內，當然 WL 會先被開啟。因為 WL 的 Pass Gate 為 NMOS，故 BLB 的 VDD 訊號經過 PG2 時會被減小一個 V_T ，而且因節點 Nb 的“0”的資料是被 PD2 所拉住，且 Pull Down NMOS 的大小是最大的，這表示此“0”的資料被儲存的很好，不容易被拉往“1”。反觀節點 N 那端，BL“0”的資料，經過 NMOS PG1 傳入到節點 N，並不會有電壓上的衰減。然後會與原先受 PMOS PU1 所供給的“1”之資料互相競爭，因 Pull UP PMOS 的大小是最小的，而且只要 BL“0”的資料夠強（表示電壓值夠低的意思），則就能將節點 N 的電壓，從“1”拉到較低的水位，這個動作會使得節點 Nb 儲存“0”的能力，會因 PD2 的 V_{gs} 變小而相對地變弱，連帶地會使得 PU2 微微開啟，進而拉高了節點 Nb 的電壓，此一動作又將 PU1 微微關閉，且微微開啟了 PD1，這使得節點 N 的電壓越趨往更低的電壓水位進行。如此猶如形成正回授一樣，使得 SRAM Cell 達到寫入成功。

故此 6 個電晶體的 SRAM Cell 的寫入動作，是由 SRAM Cell 節點存“1”的那一端，所觸發開始的。



1.3.1.4 SRAM Cell 讀的操作

在每一個讀(寫)週期之前，BL/BLB 的電壓會先被 Pre-charge 到 VDD 的水位，當 SRAM Cell 被操作在 Read 時，(假設圖 1-2 的 WL0/BL0 的 Cell 被驅動，且此 Cell 的 BL 端存資料“0”，而 BLB 端存“1”)，此時的 BL0/BLB0 會被 floating 在 VDD 水位，當 WL0 開啟時，BL0 會因 SRAM Cell 存資料“0”，而被慢慢地 Discharge 電壓。而 BLB0 則會 Floating 在 VDD 的水位上，若有其他的漏電的路徑，使得 BLB0 的電壓往下降，則也會因 SRAM Cell 存“1”的關係，透過 PG2 NMOS 而被保持在 $VDD - V_T$ 的電壓值上。如此只要經過一段時間之後，BL0 與 BLB0 之間就會有電壓差產生，並可被下一個放大器單元所偵測讀出來。

而 BL1~BL3 或 BLB1~BLB3 也會因 WL0 的開啟而有 Discharge 的動作，被稱為 Dummy Read。此動作會增加動態功率的浪費。故為了進一步降低 BL/BLB Discharge 功率的浪費並能夠提高 SRAM 的操作速度，應該設計成在讀時，只要 BL 與 BLB 之間有“小”的電壓差即可(Small Swing)。當然這也需要與放大器的設計相互配合才行，即與放大器所能判讀的最小電壓差有關。

1.3.2 SRAM 周邊電路

如圖 1-6 所示。SRAM 的周邊電路大致包含了下列幾個部份：控制電路，位址解碼器/Ypass 電路，放大器電路，寫入電路與 Tracking Cell 電路。分別簡單說明如下。

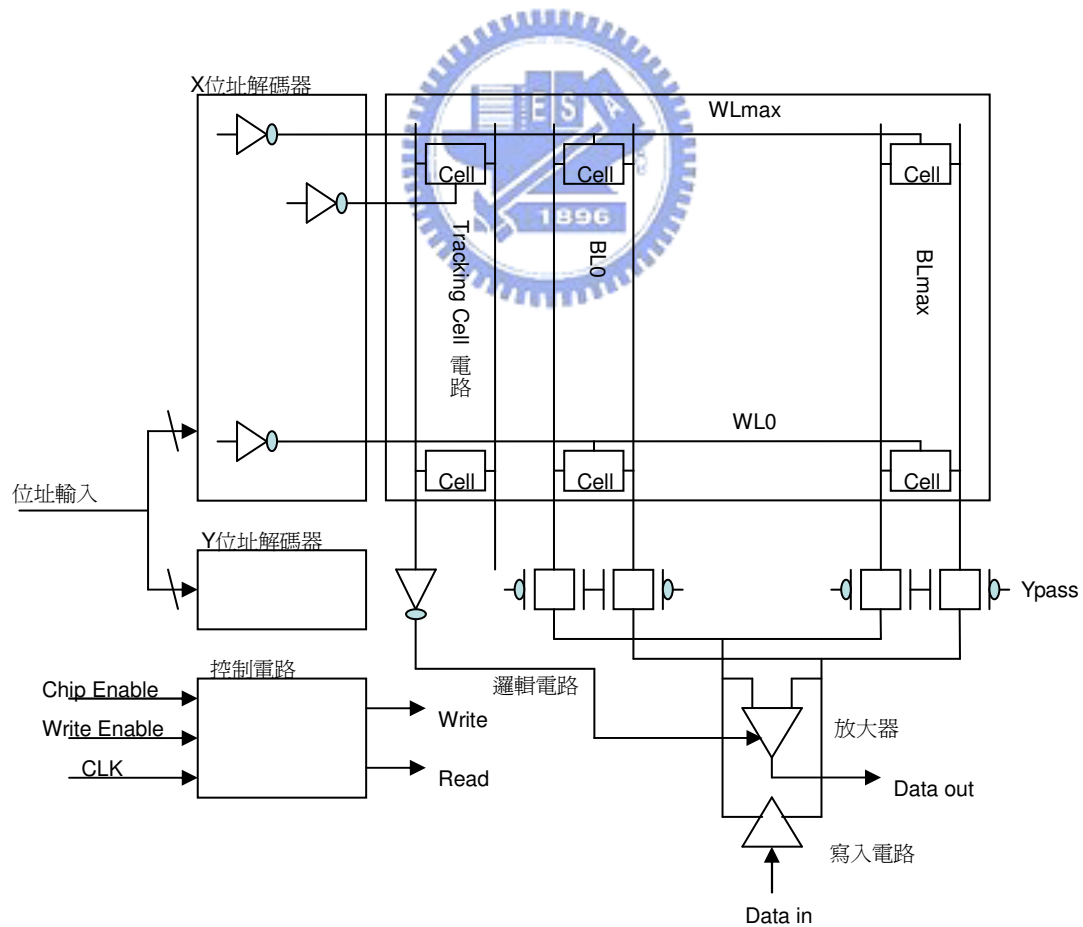


圖 1-6 SRAM 的周邊電路

1.3.2.1 控制電路

控制電路為 SRAM 的主要核心，為 SRAM 發號命令的單元。提供 SRAM 在電路上之寫入/讀出或待機的功能判斷，並提供相對應的訊號給相關的電路單元，以做為相對應的運作。

如當寫的週期開始時，會送出栓住的訊號，保持住外面所輸入的位址與要寫入的動作與資料，使之不會受到外面輸入訊號的變化所影響。且於此同時，控制訊號亦會啟動寫入電路單元，並將放大器功能關閉。

當讀的週期開始時，一樣也會送出栓住的訊號，保持住外面所輸入的位址與要讀出的動作，同時，控制訊號亦會啟動放大器功能，並將寫入電路單元關閉。

當待機的週期開始時，除了栓住訊號外，控制訊號會送出此待機訊號給各個電路單元，將所有的電路關閉。



1.3.2.2 位址解碼電路/Ypass 電路

位址解碼電路主要的功能即為位址解碼，可分為 X 位址解碼電路與 Y 位址解碼電路。X 位址解碼電路是解碼 WL，而 Y 位址解碼電路則是解碼 BL。

當位址解碼電路收到 CLK 的正緣觸發時，能將當下的位址栓住起來，並且有效地將下一週期的位址隔絕，且進一步將所栓住的位址解出，看所要開啟的是那一條 WL 與 BL，用以開啟相對應的 WL 與 Ypass 電路來。

1.3.2.3 放大器電路

放大器電路為 SRAM 的重要單元，也是影響 SRAM 讀出性能快慢的重要關鍵。主

要動作為，在讀的週期時，將 SRAM 在 BL/BLB 上所分開的些微電壓差，能夠進一步的拉開放大，使得其它的邏輯電路能夠判別出是讀出“0”或讀出“1”的訊號來。

1.3.2.4 寫入電路

寫入電路即是將外面所輸入的寫入資料，透過此單元寫入到所對應到的 SRAM Cell 內。

1.3.2.5 Tracking Cell 電路

Tracking Cell 電路的設計[8]是為了能有效的模擬放大器開始動作的準確時間，倘若放大器太慢動作，則 SRAM 的讀出效能即會大打折扣；而倘若放大器太早動作的話，則 SRAM 又會因 BL/BLB 訊號電壓差分的不夠開，而使得讀出資料判斷錯誤。故準確地掌握何時啟動放大器電路是非常關鍵的。

它的設計原理，是利用同樣都是 SRAM Cell 的 MOS 特性，來模擬真正的 SRAM Cell 的行為。故意多製造一個 Column 的 SRAM Cell，將多個 SRAM Cell 的 WL 都連接在一起(稱為 Tracking Cell，並假設有 N 個)，使得當 SRAM 在讀的動作時，會觸發這些 Tracking Cell 都被啟動，又因已經故意將這些 Tracking Cell 所儲存的資料設為相同，故 Tracking SRAM Cell 資料“0”的那一端，會同時將 BL 電壓 Discharge 到低電壓水位，要注意的是此 Discharge 的速度，比起正常只有一個 SRAM Cell 來 Discharge 的速度快。因有 N 個 Cell 被開啟而快了 N 倍。

但因正常的 BL/BLB 直接就接到放大器電路的輸入端點，而對於 Tracking Cell 電路，還要經過一些邏輯線路的延遲。此可透過經密的電路模擬，在兩相比較下剛好達到準確地時間延遲平衡。如圖 1-7 所示。

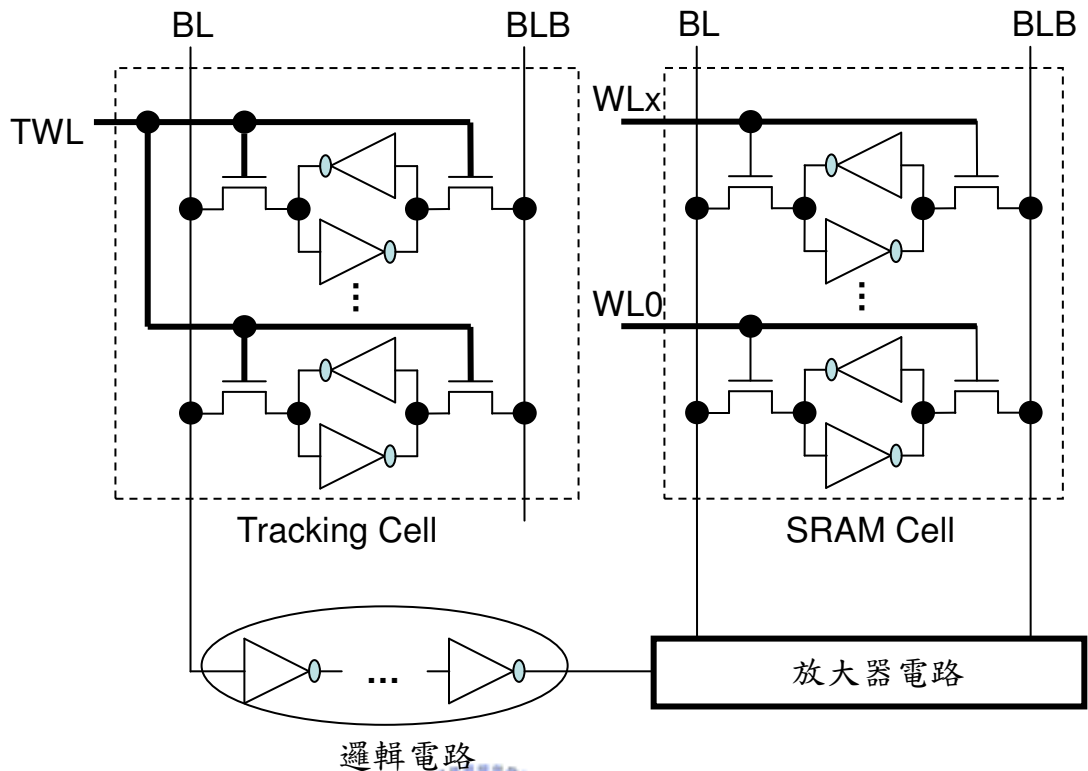


圖 1-7 Tracking Cell 電路

Tracking Cell 電路還有另一個電路設計優點，當已經準確地啟動了放大器電路，只要將放大器的輸出栓住即可，這表示已經可以將讀的動作整個關掉，即將整個 WL “OFF”，如此除了可以保有較小的 BL/BLB 電壓差，減少耗電量產生之外，更可進一步縮短讀的週期，提高整個 SRAM 的操作速度。

同樣的，當在寫入週期時亦可利用此同一個 Tracking Cell 電路來達到減少耗電量與縮短週期的目地。因為 SRAM 在寫時的速度會比讀的速度來得快，這是因為一旦寫入電壓達到一定的電壓低水位時，SRAM Cell 即會有正回授的情形產生。

References

- [1]. E. Seevinck, F. J. List and J. Lohstroh, “Static Noise Margin Analysis of MOS SRAM Cells”, Journal of Solid-State Circuits, Vol.SC-22, No.5, 748-754, 1987.
- [2]. A. J. Bhavnagarwala, X. Tang, D. Meindl, “The Impact of Intrinsic Device Fluctuations

on CMOS SRAM Cell Stability”, Journal of Solid-State Circuits, Vol.36, No.4, 658-665, 2001.

- [3].Worst-Case Analysis to Obtain Stable Read/Write DC Margin of High Density 6T-SRAM Array with Local Vth Variability, Tsukamoto, Y.; Nii, K.; Imaoka, S.; Oda, Y.; Ohbayashi, S.; Yoshizawa, T.; Makino, H.; Ishibashi, K.; Shinohara, H. Computer-Aided Design, 2005. ICCAD-2005. IEEE/ACM International Conference on Volume, Issue, 6-10 Nov. 2005 Page(s): 398 – 405.



第二章 研究動機與方法

2.1 研究動機

6 個電晶體 SRAM 的發展已經有一段時間了，近年來 SRAM 越趨於重要的原因，是其容易被整合成 SOC Chip，這是因其製作製程與邏輯產品完全相同的原因。這不僅擴大了產品性能的多樣性，提高產品的設計功能變化，增加產品的競爭能力之外，而且也能大幅降低生產成本，如節省了不同產品之間的界面問題，不用尋求較高成本的堆疊封裝，亦能大幅降低操作時的能源消耗，減少了界面的 I/O 升降電壓的功率損失與時間浪費。這使得嵌入式 SRAM 的製作成本遠低於其他種記憶體。而影響消費性記憶產品最重要的因素即是生產成本的降低，這使得 SRAM 更具優勢。

另一方面，記憶體/匯流排/及相關周邊電路，倘若有因系統不同單元之間的時序產生落差時，則會導致在資料傳輸與處理時，容易因為不同步而造成互相等待，形成處理單元的空轉，造成效率不彰與效能的損耗。這都突顯了快取記憶體 Cache SRAM 的重要性來。

然而可想而知，整顆 SOC Chip 因整合了多種功能的產品，其操作功率必定非常龐大，而其中佔最大面積的，即是 SRAM。故如何降低 SRAM 的操作功率就變成非常重要的課題；而且，雖然 SRAM 製作製程與邏輯產品相同，但 SRAM Cell 的 Design rule，還是比一般邏輯性電子產品來得緊，(這也是近年來各 Fab 晶圓代工廠以 SRAM 來做為新製程開發的 Test Vehicle 的原因，由 SRAM 的良率來評估 Fab 中缺陷多寡與製程能力，以做為好壞的判斷標準)。這使得當一個產品整合有邏輯產品與 SRAM 產品時，SRAM 是其影響良率的最大瓶頸。

不僅如此，隨著製程技術持續往下微縮，電晶體數目的倍增，追求低電壓操作以降

低功率消耗，在現在的系統就變得非常重要。SRAM 也是影響整個 SOC chip 無法更低壓的原因，這引發出學生想進一步探討 SRAM 如何做有效的省電又不影響操作效能的低電壓操作的研究。

2.2 SRAM省電的方法

SRAM的功率消耗主要有兩類，分別是靜態功率消耗與動態功率消耗。靜態功率消耗是SRAM在沒有進行動作時，因SRAM元件本身漏電特性所造成的功率消耗。而動態功率消耗則是指因存取SRAM Cell中的資料所消耗的電力。

早期SRAM計憶體的容量較小，閒置的機會不多，因此主要偏向在節省動態功率消耗的部份。但隨著晶片上的快取記憶體越做越大，而每次讀寫時所存取的記憶體範圍相對變小，閒置部份的功率消耗也開始變得關鍵起來。

現分別就現行SRAM如何達到節省靜態功率消耗與動態功率消耗方式，分門別類簡介如下：



2.2.1 減少SRAM靜態功率消耗

SRAM靜態功率消耗 ($P_{leakage}$) 主要來源，可分為VDD; $I_{sub-threshold}$ 電流與 I_{gate} 電流，可由公式(2.1)所表示。

$$P_{leakage} = VDD * (I_{sub-threshold} + I_{gate}) \quad (2.1)$$

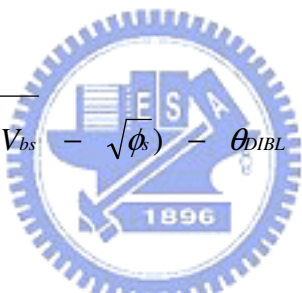
故要減少SRAM靜態功率消耗，可分別由減少VDD電壓，減少 $I_{sub-threshold}$ 電流與 I_{gate} 電流著手。

2.2.1.1 降低SRAM操作電壓以減少SRAM靜態功率消耗

要減低SRAM操作電壓差，可由VDD端降低[1];另一方面亦可由GND端提高[2]來做控制。當SRAM於靜態動作時，利用上述兩種方式來降低電壓差，進而減低SRAM靜態功率消耗。等到需要SRAM操作在動態時，再將SRAM回復成正常的操作電壓差。

2.2.1.2 降低 $I_{\text{sub-threshold}}$ 電流以減少SRAM靜態功率消耗

$I_{\text{sub-threshold}}$ 電流主要是由 V_{th} 電壓所決定的，當 V_{th} 電壓越高，則 $I_{\text{sub-threshold}}$ 電流就越小。故可由提高 V_{th} 電壓著手。公式(2.2)[3]所表示即為 V_{th} 電壓。


$$V_{th} = V_{th0} + \gamma * (\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - \theta_{DIBL} * VDD + \Delta V_{NW} \quad (2.2)$$

由公式(2.2)得知，要提高 V_{th} 電壓可由經由改變MOS Body對Source端的偏壓以及改變MOS本身的 V_{th} 離子植入參數。以NMOS來說，降低Body端的電壓[4]或提高Source端的電壓[5]即可提高 V_{th} 電壓值。

另外對NMOS而言，藉由產生負的Gate對Source (V_{GS}) 電壓[6]，與增大MOS的通道長度 (Channel Length) 亦可減少 $I_{\text{sub-threshold}}$ 電流。

2.2.1.3 降低 I_{gate} 電流以減少SRAM靜態功率消耗

要降低 I_{gate} 電流，可由公式(2.3)來著手[7]。即：

1. 降低MOS Width的大小，因MOS Width與 I_{gate} 電流成正比。
2. 降低MOS Gate端到Source端的電壓值 (V_{GS})。

3. 增大氧化層（Gate Oxide）的厚度以提高 t_{ox} 值。
4. 使用High-K的氧化層材料。

$$I_{ox} = K^2 * W * (V_{GS}/t_{ox})^2 * e^{(-\alpha * t_{ox}/V_{GS})} \quad (2.3)$$

2.2.1.4 Multiple V_{th} 設計減少SRAM靜態功率消耗

利用Multiple V_{th} 的設計，即使用較低的 V_{th} 用來設計需要較高速度且需要擁有較高性能的邏輯電路，而用較高的 V_{th} 用來設計一些不是需要高性能的邏輯電路[8]。如此可兼顧速度性能與耗電能力。

2.2.1.5 Sleep電晶體設計減少SRAM靜態功率消耗

利用Sleep電晶體的設計連接電源與邏輯電路[9]，當不需要啟動邏輯電路時，可將Sleep電晶體關閉，使得邏輯電路的電壓源整個也跟著關閉，如此達到減少靜態功率消耗。如圖2-1所示。其中圖2-1(a)表示，同時使用Sleep PMOS與Sleep NMOS來連接VDD與GND；而圖2-1(b)與2-1(c)則分別只用Sleep PMOS與Sleep NMOS來達到隔絕外部電壓源以達到降壓的目的。

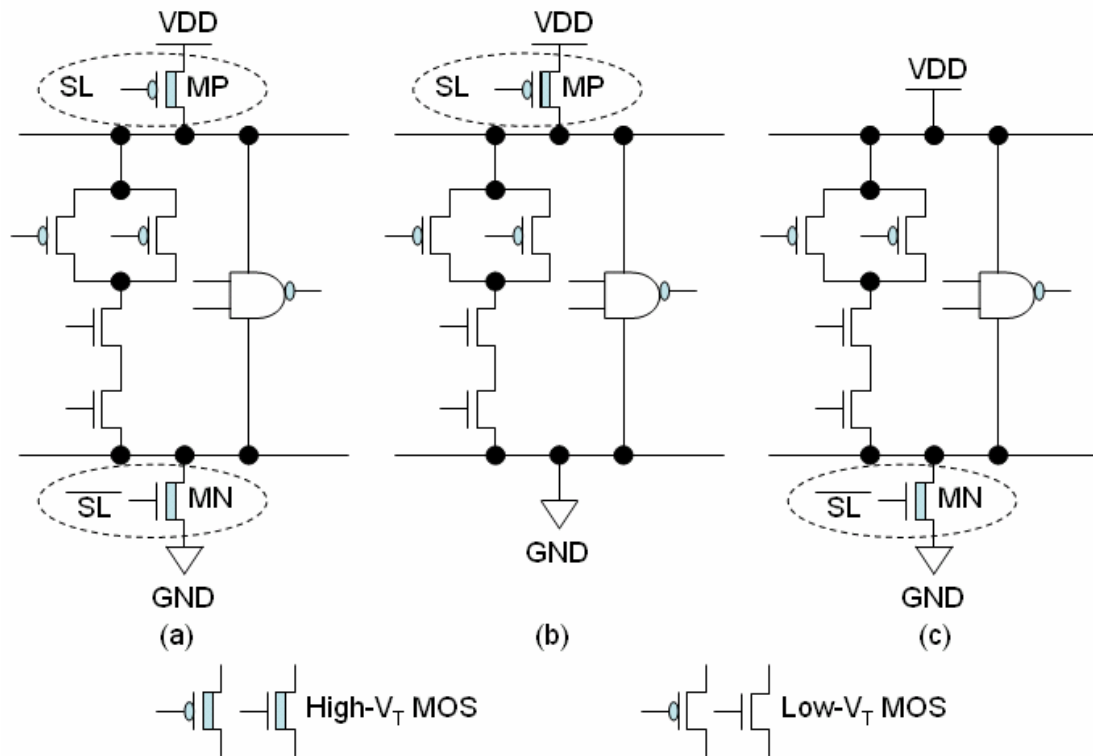


圖 2-1 Sleep 電晶體的設計

2.2.1.6 堆疊效應降低 V_{DS} 電壓以減少SRAM靜態功率消耗

如圖2-2所示，利用串接NMOS M1與M2的方式，產生堆疊效應，來降低 $I_{sub-threshold}$ 電流，理由是：

- (1). M1的Threshold電壓因 $V_M > 0$ 的關係產生Body Effect而變大。
- (2). 對M1而言，其 V_{DS} 的壓差也縮小了（比原來沒有堆疊而只有M2時，其 V_{DS} 為VDD）。
- (3). 而且當M1的Gate電壓輸入為0時，猶如有負 V_{GS} 輸入一般。

故可知，堆疊效應的Leakage可比單一MOS還來得好幾個order，而且此Leakage電流取決於輸入的狀態，如M1的gate必須為0才行。

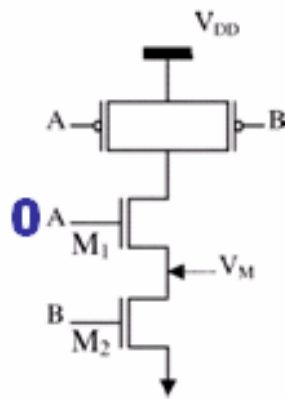


圖 2-2 堆疊效應

2.2.2 減少SRAM動態功率消耗

SRAM 動態功率消耗 (P_{active}) 主要來源，可以用公式 (2.4) 來表示。主要變數有電容 C ，頻率 f ，電壓 V_{DD} 與 MOS 轉態時所發生的短路電流 I_{short} 。分別說明如下：



$$P_{active} = C * f * V_{DD}^2 + V_{DD} * I_{short} \quad (2.4)$$

2.2.2.1 降低電容以減少SRAM動態功率消耗

隨著Chip越做越大，電晶體的數量也越來越多，要降低電容實屬不易，然可由減低充放電的電容大小值，來降低SRAM動態功率消耗。我們可從下列幾個方向來著手：

(1). 因應產品的特性來調整MOS size的大小：

配合所搭配的負載電容大小，來選擇適當產品效能所需的MOS W/L比率。

如 $\alpha=2$ 且高速考量時，則每一級數的MOS W/L倍率就設在約2.8倍左右；而當

低功率考量時，則設在約4~5倍左右[10]。如圖2-3所示。(其中 α 為 C_p 與 C_{ref} 的比值; C_p 為傳輸線的寄生電容; C_{ref} 為MOS的閘級電容)

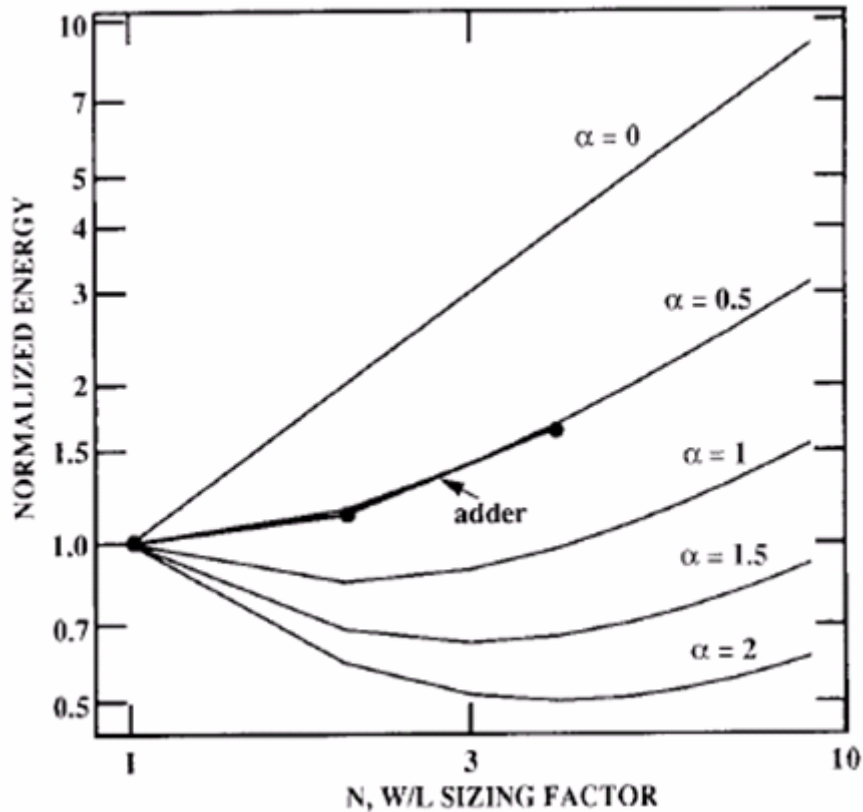


圖 2-3 MOS size 與負載之消耗功率關係圖

(2). 在Layout上的調整:

如用Share contact來降低Junction電容; 並且可以將較常被啟動的訊號線路彼此之間的距離拉遠以降低Couple電容[11]。

(3). 在傳輸線上插入Buffer級數:

插入較小的Gate，將較長較大的Wire線路分割成較小的區段，用以降低整個線路的電容。

(4). 降低Active的閘級數目:

儘量用較少閘級數目來達到相同的電路功能。並使用分段的WL設計技巧來降低BL/BLB充電放電的個數[12]; 而使用分段的BL來降低BL/BLB電容值

[13] ·

2.2.2.2 降低頻率以減少SRAM動態功率消耗

操作頻率的下降固然可以降低SRAM動態功率消耗，但也相對的使產品特性降低而失去競爭力。此處所指的降低頻率是指減少不必要的動作而造成功率的無效浪費，在此可分為：

- (1). 降低因Race condition而產生不必要的額外轉態 (transition)，進一步來降低Glitch的產生 ·
- (2). 利用Clock gating將整個SRAM Chip區隔開來[14]，如使用內部的CLK來取代外部的CLK。如此可減少一些非必要的區塊被啟動，造成功率無效浪費。



2.2.2.3 降低電壓以減少SRAM動態功率消耗

雖然降低電壓，因為二次方的關係，可大幅降低SRAM動態功率。然而同樣的，很可能直接影響整個SRAM的效能。在此可分為：

- (1). 利用Multiple VDD的方法：

將SRAM依功能性加以區隔。如要求速度快的電路，則用外界輸入的VDD；而對效能不要求的電路，則使用比VDD還低的電壓[15]，如此來達到節省動態功率的方法。如圖2-4(a)與圖2-4(b)所示。圖2-4(a)表SRAM Cell的Multiple VDD設計；而2-4(b)表周邊電路的Multiple VDD設計。

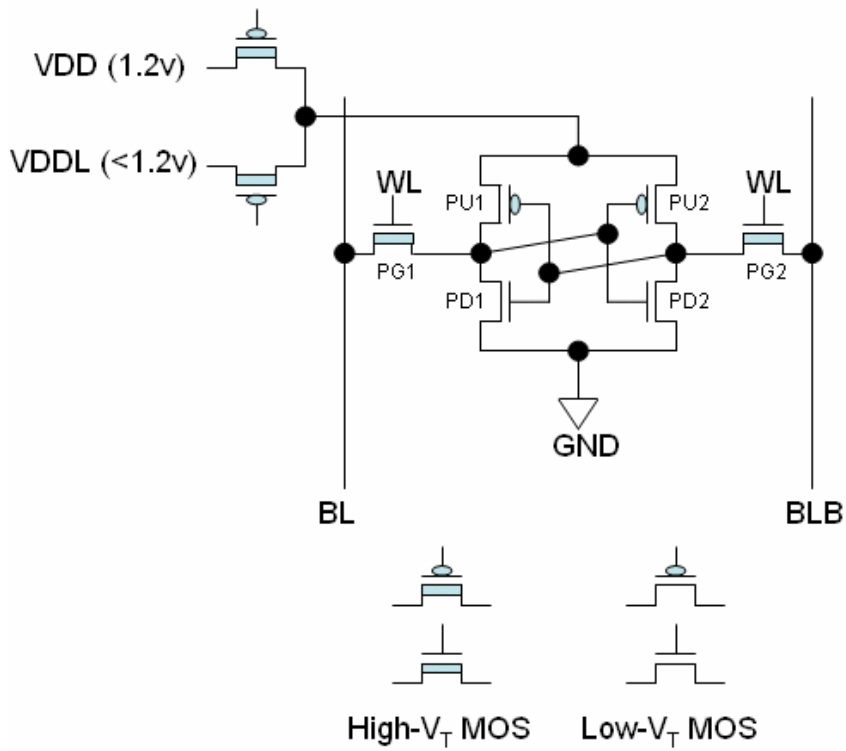


圖2-4 (a) SRAM Cell的Multiple VDD設計

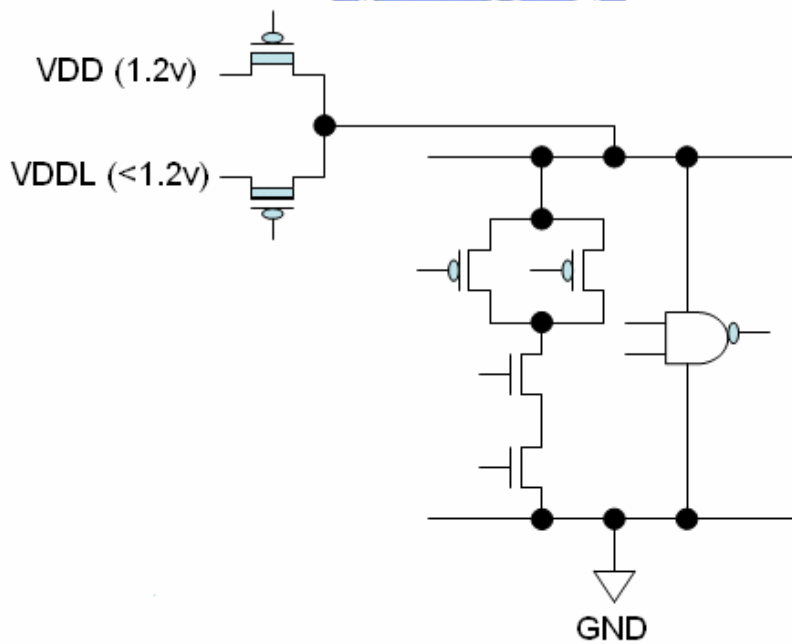
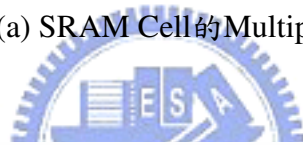


圖 2-4(b) 周邊電路的 Multiple VDD 設計

(2). 使用Power區隔的方式:

即利用Sleep電晶體，將未被啟動的電路關掉，來達到節省動態功率的目的。

(3). DL/DLB上在讀時Small Swing[16]，而在寫時用VDD- V_T 與Late Write[17]:

SRAM 在 Read 時，於整個 Data path 上，在放大器可分辨的最小電壓範圍內使用較小的 swing，避免因 DL/DLB 分得太開，造成 DL/DLB 上電容無謂的充放電。(要達到 Small Swing 的方法，可利用 Tracking Cell 的設計技巧，如圖 1-7 與章節 1.3.2.5 Tracking Cell 所示。)

而當在 Write 時，則是 Full swing，而且與“0”的那一端有較強的相關。故可故意將 VDD 端降低為 $VDD-V_T$ 來降低電壓的擺幅。且使用 Late Write 的機制為當 SRAM 偵測到為 Write 時，若同時間就啟動 Write 的資料寫入的話，會產生因 Write 的狀態與 Write 的資料同時須要變化的不確定性而有 Glitch 產生，以致於有較多的功率上的浪費。故使用 Late Write 可避免此現象發生。

2.2.2.4 降低短路電流以減少SRAM動態功率消耗



要降低短路電流，可由兩方面來著手，一是 PMOS 和 NMOS 之間的比率；二是負載電容。

適當調整 PMOS 與 NMOS 的比率可降低兩個 MOS 在轉態時，同時出現都偏壓在 Saturation 的時間，如此不會發生最大的短路電流。

而有關於負載電容，可參考圖 2-5 所示，為短路電流與負載電容的關係圖 [18]。我們可看出當負載越大時，其因轉態所發生的短路電流會跟著變小；而當負載越小時，其因轉態所發生的短路電流也會跟著變大。

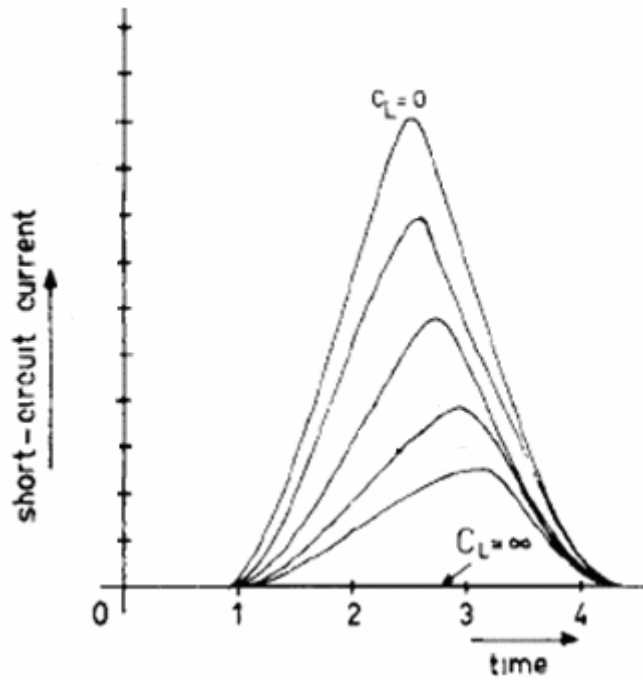


圖 2-5 短路電流與負載電容關係圖

2.2.2.5 利用Body-biasing的設計



動態 V_T SRAM(Dynamic threshold voltage SRAM,DTSRAM)為當Cell在不動作的情形下,利用改變Body-biasing的方式[19],來改變SRAM Cell內的NMOS, PG與PD之 V_T 值,使其在不損失SRAM Cell的穩定度下,減少Isub-threshold電流值。而當Cell在操作的情況下,則恢復成正常的情况(值為0)。如圖2-6所示。

而圖2-7所示,則是在SRAM不操作的情況下,使用較高的 V_T MOS以降低Isub-threshold電流,而當要將SRAM動作時,利用Forward-Body-biasing的方式來降低MOS的 V_T 值,以提高產品的操作速度。

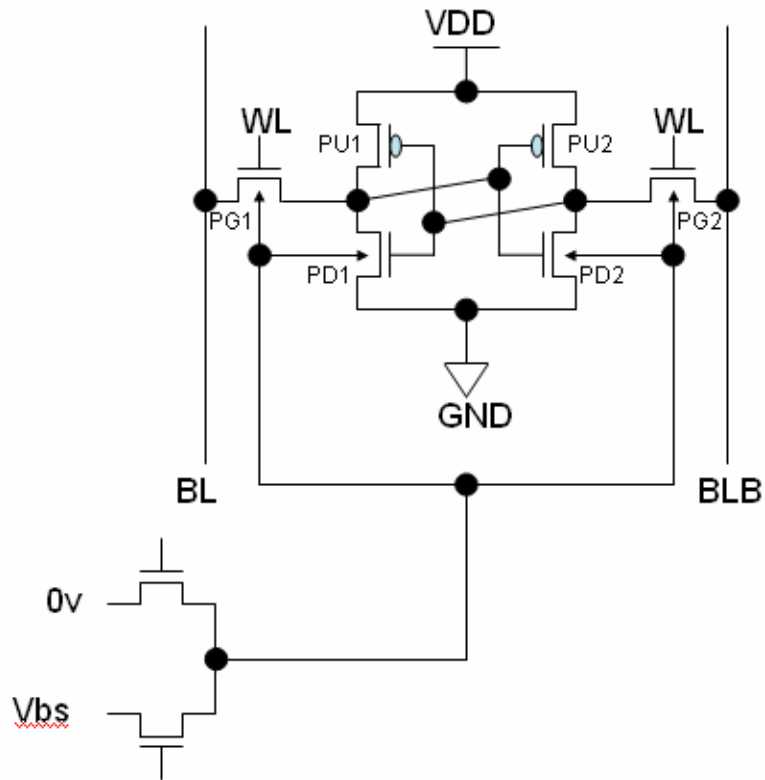


圖 2-6 動態 V_T SRAM

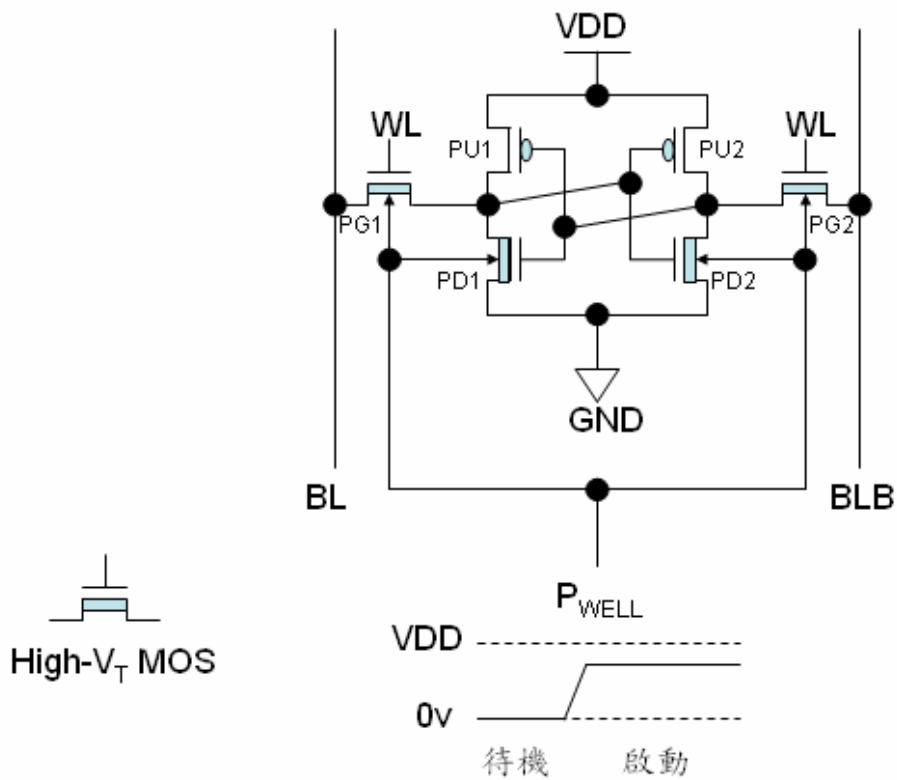


圖 2-7 Forward-Body-biasing SRAM

Body-biasing 的設計，不僅是在待機時使用較高的 MOS V_T ，而且也可以在產品為讀或寫時，來產生不同的 PD 與 PG V_T 值，以滿足各別的操作 Margin 來。然而此 Body-Biasing 的電壓範圍有受到相當程度的限制。如當 Forward-Body-Bias 太大的話，則會產生寄生的 Bipolar 效應而引發 Drain 與 Substrate 的電流來；而當 Back-Body-Bias 太大的話，則會產生 GIDL/BTBT 效應的增加與 NBTI Reliability 的衰減。如圖 2-8 所反應即是[20]。

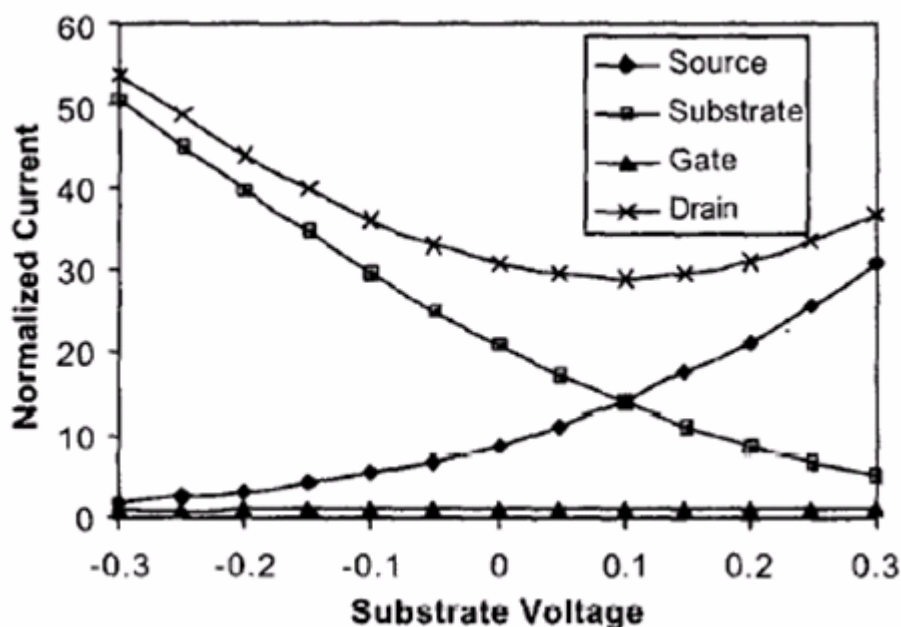


圖 2-8 Substrate 電壓與 MOS 電流關係圖

2.2.2.6 SRAM 陣列區塊分割

若記憶體的容量不斷地擴大，SRAM 陣列的大小也將不斷的擴大，然而 SRAM 陣列擴大的結果，會造成兩個負面的影響，一是 Word Line 與 Bit Line 都會跟著變長，使得改變 Word Line 與 Bit Line 的電位狀態，所需要花費的時間延遲也相對的變長；另一方面則是在功率消耗上，由於 Word Line 與 Bit Line 長度變長，使得 Word Line 與 Bit Line

上的電容係數也相對地變大，根據 $P=CV^2$ ，也會增加耗電量。

由於記憶體 SRAM Cell 陣列面積增大所帶來的不良影響，因此發展出所謂的記憶體區塊分割 (Memory Partition) 的技術。這種技術的原理是將 Word Line 與 Bit Line 切割，利用 Row Decoder 來將 Word Line 變短，如此可減少當啟動 Word Line 時所連帶啟動的 Dummy Cell 數量，以及利用加入一些簡單的邏輯電路，讓每次存取所需要動作的 Bit Line 長度變短，進而減少 Bit Line 上的電容。

然而，若將 Word Line 與 Bit Line 切得太小，則反而有因要連結各個小陣列所多出的龐大邏輯電路，不僅會有面積上的浪費，更增加了功率的損耗。

經過了記憶體區塊“適當地”分割之後的記憶體陣列，除了能獲得更短的存取時間，間接讓處理器的時脈得以提升外，在功率消耗上也能有相當程度的減少。

2.2.2.7 動態重組記憶體結構

在嵌入式系統平台，由於所執行的應用程式通常較為單一，例如常見的 MP3 Player 或數位相機…等，系統所需要執行的應用程式只有單一型態，因此可以預先透過模擬器或是一些可重組邏輯的方式，來將各種可能的硬體組合執行過一遍，並且在眾多組合中挑選出執行效能與電力消耗上可以達到平衡點的組合。

References

- [1].Leakage reduction techniques in a 0.13um SRAM cell, Romanovsky, S.; Achyuthan, A.; Natarajan, S.; Wing Leung VLSI Design, 2004. Proceedings. 17th International Conference on Volume, Issue, 2004 Page(s): 215-221.
- [2].PVT-Aware Leakage Reduction for On-Die Caches With Improved Read Stability, ISSCC 2005 / SESSION 26 / STATIC MEMORY / 26.5.
- [3].J.P.Mckeley, “Solid State and Semiconductor Physics”.
- [4].High Resolution Body Bias Techniques for Reducing the Impacts of Leakage Current and

Parasitic Bipolar

- [5].Dynamic-Vt, dual-power-supply SRAM cell using D2G-SOI for low-power SoC application, Yamaoka, M.; Osada, K.; Tsuchiya, R.; Kawahara, SOI Conference, 2004. Proceedings. 2004 IEEE International Volume, Issue, 4-7 Oct. 2004 Page(s): 109-111.
- [6].Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits, Roy, K.; Mukhopadhyay, S.; Mahmoodi-Meimand, H. Proceedings of the IEEE Volume 91, Issue 2, Feb 2003 Page(s): 305-327.
- [7].Gate Oxide Leakage Current Analysis and Reduction for VLSI Circuits, IEEE Transactions On Very Large Scale Integration (VLSI) Systems, VOL.12, No.2, 2004.
- [8].Low Voltage Low Power CMOS Design Techniques for Deep Submicron ICs, Liqiong Wei; Roy, K.; De, V.K. VLSI Design, 2000, Thirteenth International Conference on Volume, Issue, 2000 Page(s): 24-29.
- [9].A SRAM Design on 65nm CMOS Technology with Integrated Leakage Reduction Schemes, Zhang, K.; Symposium on Volume , Issue , 17-19 June 2004 Page(s): 294 – 295
- [10].DIGITAL INTEGRATED CIRCUITS, A DESIGN PERSPECTIVE, JAN M. RABAEY, p250.
- [11].The Art of ANALOG LAYOUT, Alan Hastings, 2001.
- [12].A new array architecture for parallel testing in VLSI memories, Matsuda, Y.;Arimoto, K.; Tsukude, M.; Oishi, T.; Fujishima, K. International Volume, 1989 Page: 322-326.
- [13].Interconnect-centric array architectures for minimum SRAM access time, Bhavnagarwala, A.J.; Kosonocky, S.; Meindl, J.D. Computer Design, 2001. Page(s):400-405.
- [14].Power and thermal effects of SRAM vs. latch-mux design styles and clock gating choices, Yingmin Li Hempstead, M. Mauro, P. Brooks, D. Hu, Z. Skadron, K.
- [15].A Vth-Variation-Tolerant SRAM with 0.3-V Minimum Operation Voltage for Memory-Rich SoC under DVS Environment, IEEE, 2006.

- [16].Wordline & Bitline Pulsing Scemes for Improving SRAM Cell Stability in Low-Vcc 65nm CMOS Designs, 2006.
- [17].Power-saving read/write circuit for apparatus for digital data transfer with a magnetic disk, US Patent 4816934, 1989.
- [18].Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits, Veendrick, H.J.M. Solid-State Circuits, IEEE Journal, Volume: 19, Issue:4, page: 468-473. 1984.
- [19].A SRAM Core Architecture with Adaptive Cell Bias Scheme, IEEE, 2006.
- [20].Dynamic sleep transistor and body bias for active leakage power control of microprocessors, Solid-State Circuits, IEEE Journal, Volume: 38, Issue: 11, On Page(s): 1838-1845.



第三章 負電壓寫入, Pump 正電壓讀出的 SRAM 設計

3.1 設計概念

若在寫的周期時，會發生寫入不成功，則加強 SRAM Cell 外面“寫”的能力，即降低 SRAM Cell 保持”1”的能力與要寫入”0”的 BL/BLB 電壓拉低(拉到比 0 伏特還低的負電壓[1])，來促使 SRAM 的寫入成功[2]。而若在讀的周期時，會發生讀不成功，則除了增加 SRAM Cell 本身對靜態雜訊抑制的能力之外，再利用提高 SRAM Cell 本身的電壓的方式，以增加讀時的電流，使其在時序速度上，不會有太多的衰減而造成讀的錯誤。此為本實驗之最原始的設計理念，也是本實驗能使 SRAM 在低壓下操作的設計技巧。



3.2 SRAM Cell 改善

當 SRAM 在操作時，不管是寫或讀的動作，都會將 WL 開啟，此時除了被指定的 Cell 會有寫或讀的動作外，其餘在同一條 WL 下未被指到的 Cell，也都會因 WL 被開啟而受到靜態雜訊所影響。故要改善 SRAM Cell，確保其能準確地在低壓上操作，就必須先從改善 SNM 著手，使之不會因降低了 VDD 電壓，而使得 SNM 太過糟糕而造成 SRAM Cell 被翻轉所儲存的資料。

3.2.1 當 SRAM Cell 沒有發生不對稱時的 SNM 值

圖 3-1 所示為 TSMC 0.13um SRAM Cell，在不考慮 MOS 不對稱的情況下，針對不同電壓/不同溫度下所顯示的 SNM 模擬值。(虛線表示正常操作電壓 1.2v)。我們可

發現 SNM 會隨著溫度上昇與電壓下降而變差，(因溫度上升，主要使得 PD NMOS 的 V_T 下降所造成；而電壓因素已在 1.3.1.1 章節有提過)·且在電壓低到 0.5v 時，模擬就出現有問題的情形·(事實上，在 $VDD=0.55v$ 且溫度=125C 時，其 SNM 就有問題了，為 9.46mV)

而圖 3-2 所示為本文所提出改善的 SRAM Cell，在不改變 SRAM Cell 的面積及 MOS 之大小的情況下，只將 SRAM PU PMOS 的 V_T ，製造成趨近”Fast”角落，藉此來提高 SNM 值·我們可發現不僅是每一個電壓的 SNM 值皆有改善，而且更能在低於 $VDD=0.5v$ 下還能保有 $SNM > 100mV$ ·表 3-1 為其比較表，在 $VDD > 1.1v$ 的 SNM 值，提出改善的 SRAM Cell 約改善了 10mV 的 SNM 值，換言之改善了 200mV 的 VDD，而在 $VDD < 1.1v$ 時，約改善了 20mV 的 SNM 值，換言之改善了 100mV 的 VDD·

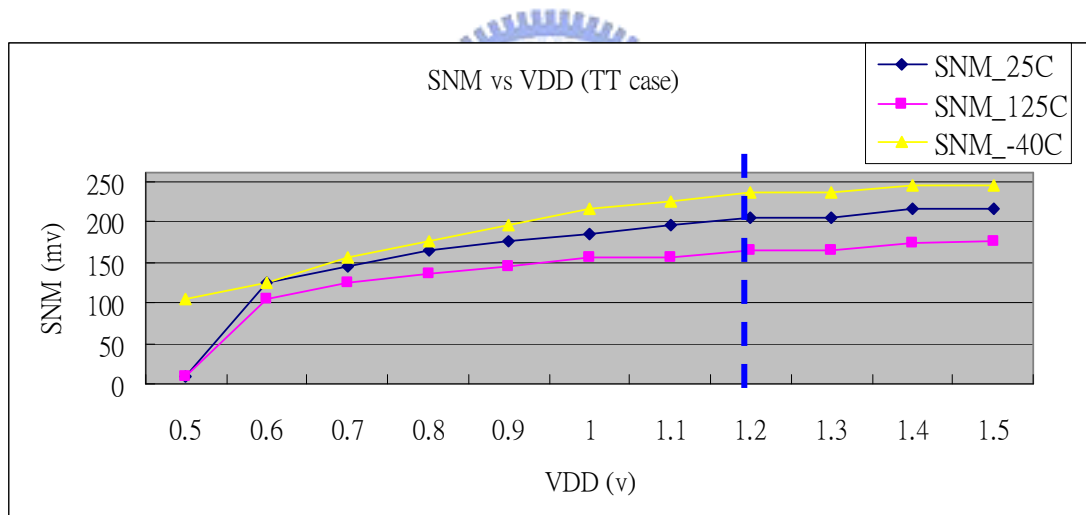


圖 3-1 無不對稱之 TSMC 0.13um SRAM Cell SNM 模擬圖

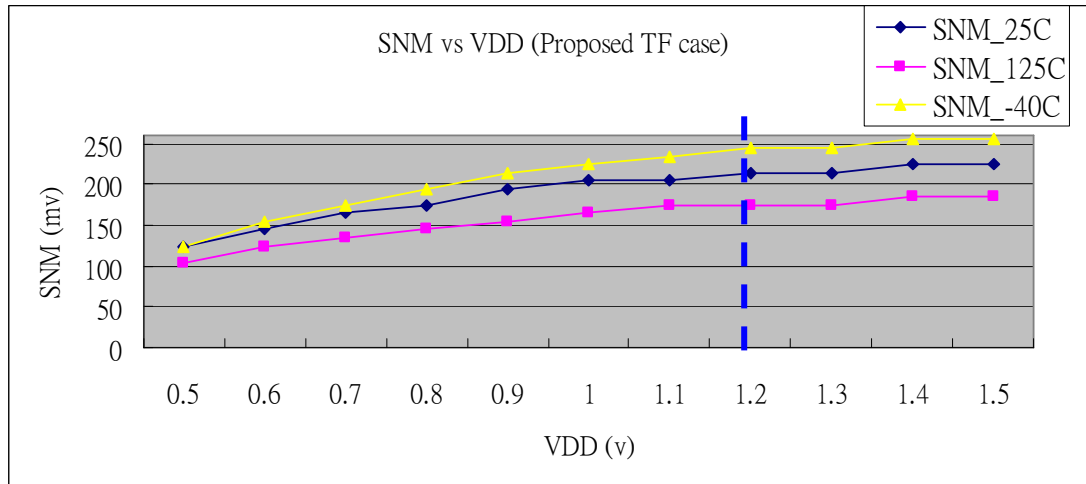


圖 3-2 無不對稱之 TSMC 0.13um Proposed SRAM Cell SNM 模擬圖

25C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
SNM_TT	9.458	124.5	144.5	164.5	174.6	184.6	194.6	204.6	204.6	214.5	214.6
SNM_TF(Proposed)	124.3	144.4	164.4	174.6	194.4	204.5	204.6	214.6	214.6	224.5	224.6
Improved %	1214	15.98	13.77	6.14	11.34	10.78	5.14	4.89	4.89	4.66	4.66

125C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
SNM_TT	8.459	104.6	124.5	134.6	144.6	154.5	154.6	164.5	164.6	174.4	174.5
SNM_TF(Proposed)	104.4	124.4	134.5	144.6	154.6	164.5	174.4	174.5	174.6	184.5	184.5
Improved %	1134	18.93	8.03	7.43	6.92	6.47	12.81	6.08	6.08	5.79	5.73

-40C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
SNM_TT	104.5	124.6	154.5	174.6	194.6	214.6	224.7	234.6	234.7	244.6	244.7
SNM_TF(Proposed)	124.4	154.3	174.4	194.5	214.5	224.6	234.6	244.6	244.7	254.6	254.6
Improved %	19.04	23.84	12.88	11.40	10.23	4.66	4.41	4.26	4.26	4.09	4.05

表 3-1 無不對稱 SRAM 之 SNM 模擬值比較

3.2.2 當 SRAM Cell 有發生不對稱時的 SNM 值

在實際情況下，即使 Layout 是對稱的，但於 Silicon 上所表現的，還是會因製程因素而有 MOS 不對稱性的情形發生。當考慮 SRAM Cell 的 MOS 會有不對稱性時，如圖 3-3 所示，其會有 PU/PD/PG 的不對稱性，而 $SNM_{variation}$ 被定義為如下公式(3-1)[3][4]，公式(3-1)表示此 6 個 MOS 皆有各自對 SNM 的變異關係值，故總變異量以平方相加再開根號來統計，而 5.42σ 表示含蓋了 99.9999% 的變異量。其模擬結果如圖 3-4 與表 3-2 所示。

$$SNM_{variation} = SNM_{TT} \pm 5.42 \cdot \sigma_{SNM} \quad (3.1)$$

$$\sigma_{SNM} = \sqrt{(A\sigma_{\Delta V_{i_{PU1}}})^2 + (B\sigma_{\Delta V_{i_{PU2}}})^2 + (C\sigma_{\Delta V_{i_{PG1}}})^2 + (D\sigma_{\Delta V_{i_{PG2}}})^2 + (E\sigma_{\Delta V_{i_{PD1}}})^2 + (F\sigma_{\Delta V_{i_{PD2}}})^2}$$

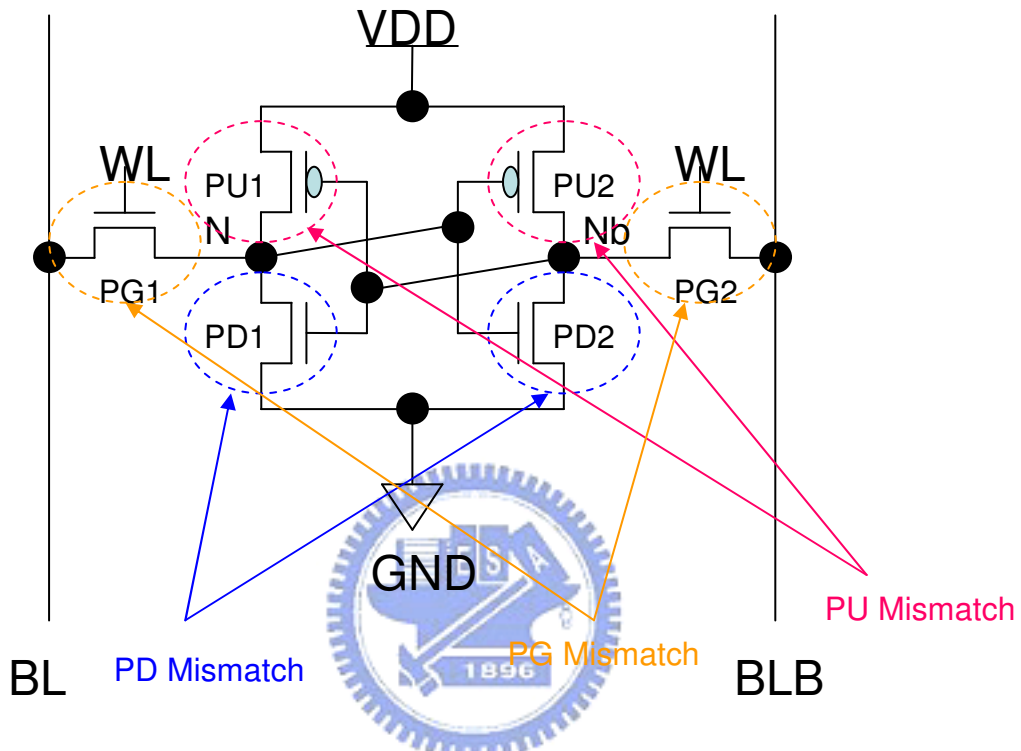


圖 3-3 不對稱 SRAM Cell

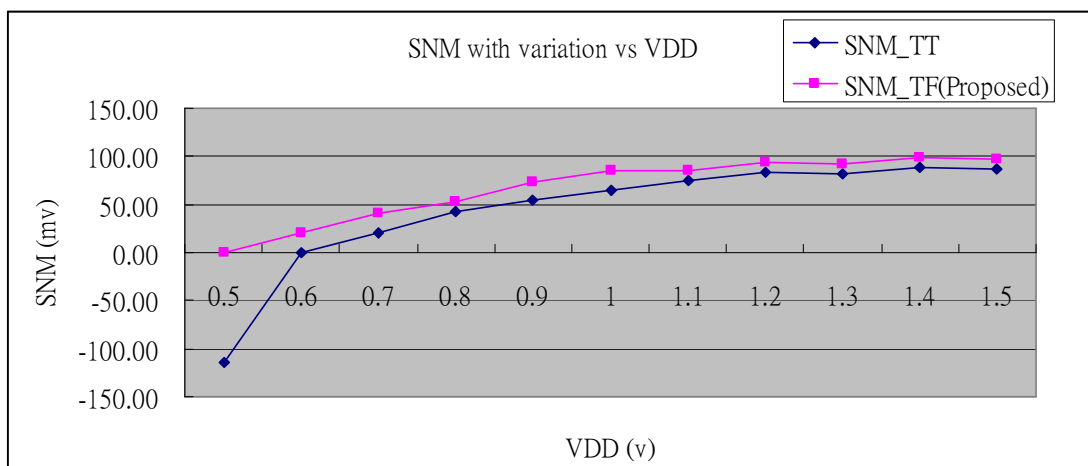


圖 3-4 TSMC 0.13um 不對稱 SRAM Cell SNM 模擬圖

SNM \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
SNM_TT	-114.77	-0.05	20.71	42.5	54.33	65.03	74.93	83.68	81.73	88.05	87.28
SNM_TF(Proposed)	0.07	19.85	40.61	52.61	74.13	84.93	84.93	93.68	91.73	98.05	97.28

表 3-2 不對稱 SRAM 之 SNM 模擬值比較

由表 3-2 得知，當考慮有不對稱性時(如圖 3-4)，其 SNM 值約比原先無不對稱時(如圖 3-1, 3-2)還低 120mV 左右。且原 SRAM Cell 在 VDD=0.6v, 0.5v 時，其 SNM_{variation} 的值皆為負的(此表示 SRAM 是無法正常工作的)，而所提出改善的 SRAM Cell 則可正常工作到 0.5v，改善了約 200mV。

3.2.3 當 SRAM Cell 沒有發生不對稱時能寫成功的 Bit Line 電壓值

當 SRAM Cell 的特性被調成偏向 SNM 那一方時，其對寫的特性必定會受到影響。故在此章節中，將對寫的特性加以探討。圖 3-5 與圖 3-6 所示為在沒有 MOS 不對稱的情形下，針對不同電壓/不同溫度下，能寫入成功的 Bit Line 電壓模擬值(WV)。(虛線表示正常操作電壓 1.2v)。我們可發現 WV 會隨著溫度下降與電壓下降而變差。這是因為當溫度上升，會使得 SRAM NMOS 的 V_T 值下降，PMOS 的 V_T 值反而上升，故 SRAM Cell 儲存“1”的能力變的較弱，換言之，WM 變得較好寫。而表 3-3 為其比較表，所提出改善的 SRAM Cell 約需比原來的 SRAM Cell 再低 50mV 才能寫入成功，換言之，VDD 值差了 100mV 左右。

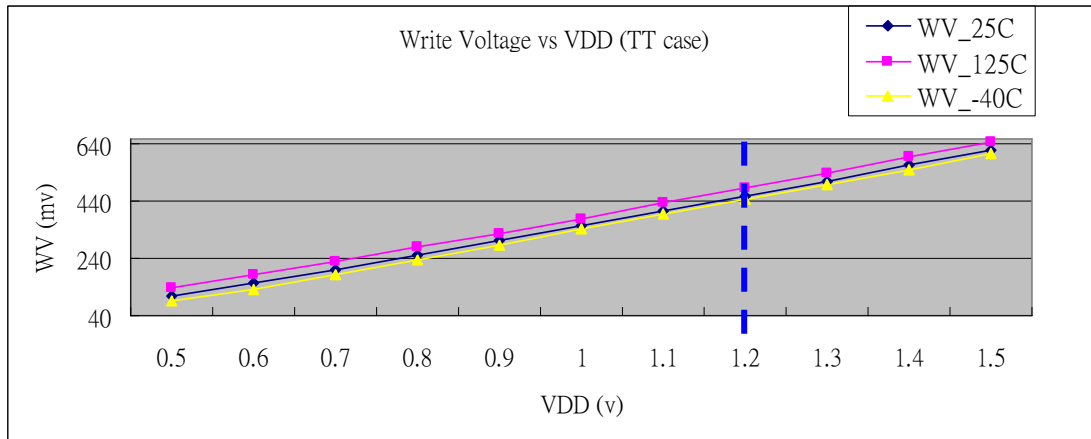


圖 3-5 無不對稱之原 SRAM Cell 能寫入成功的 Bit Line 電壓模擬圖

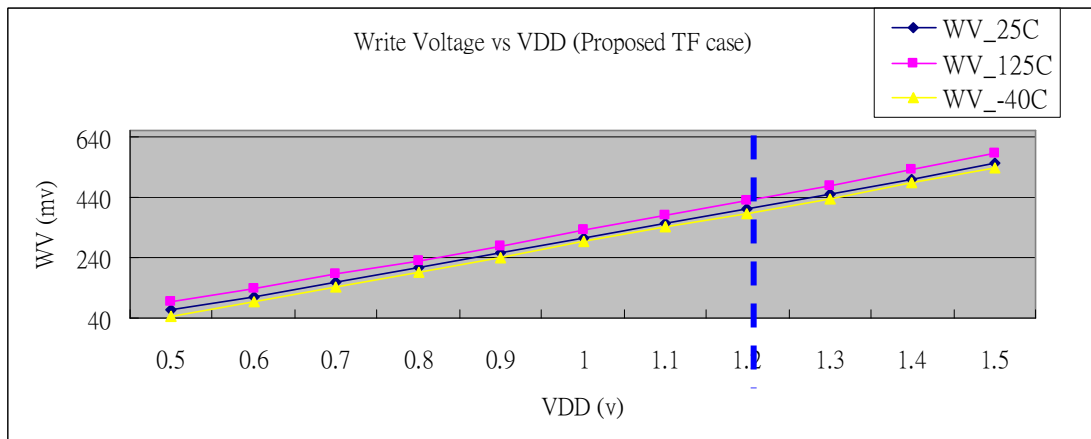


圖 3-6 無不對稱之 Proposed SRAM Cell 能寫入成功的 Bit Line 電壓模擬圖

25C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
WV_TT	111.2	155.2	203.3	253.3	305.3	357.3	409.3	461.3	513.3	567.3	621.3
WV_TF(Proposed)	65.22	111.2	159.3	207.3	255.3	303.3	351.3	401.3	449.3	499.3	551.3
Decrease %	-41.35	-28.35	-21.64	-18.16	-16.38	-15.11	-14.17	-13.01	-12.47	-11.99	-11.27

125C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
WV_TT	139.2	181.3	229.3	279.3	329.3	381.3	433.3	487.3	541.3	595.3	651.3
WV_TF(Proposed)	93.28	137.3	183.3	231.3	279.4	329.3	377.4	427.4	479.3	531.3	583.3
Decrease %	-32.99	-24.27	-20.06	-17.19	-15.15	-13.64	-12.90	-12.29	-11.45	-10.75	-10.44

-40C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
WV_TT	91.11	133.1	183.2	235.2	289.2	343.3	395.3	449.3	501.3	553.3	607.3
WV_TF(Proposed)	45.17	91.23	141.3	191.3	241.3	291.3	339.3	387.3	435.3	485.3	535.3
Decrease %	-50.42	-31.46	-22.87	-18.66	-16.56	-15.15	-14.17	-13.80	-13.17	-12.29	-11.86

表 3-3 無不對稱 SRAM Cell 能寫入成功的 Bit Line 電壓模擬值比較

3.2.4 當 SRAM Cell 有發生不對稱時能寫成功的 Bit Line 電壓值

當考慮 SRAM Cell 的 MOS 會有不對稱時，則 $WV_{variation}$ 被定義為如下公式(3-2)，其模擬結果如圖 3-7 與表 3-4 所示。

$$WV_{variation} = WV_{TT} \pm 5.42 \cdot \sigma_{WV} \quad (3.2)$$

$$\sigma_{WV} = \sqrt{(A\sigma_{\Delta V_{TPU1}})^2 + (B\sigma_{\Delta V_{TPU2}})^2 + (C\sigma_{\Delta V_{TPG1}})^2 + (D\sigma_{\Delta V_{TPG2}})^2 + (E\sigma_{\Delta V_{TPD1}})^2 + (F\sigma_{\Delta V_{TPD2}})^2}$$

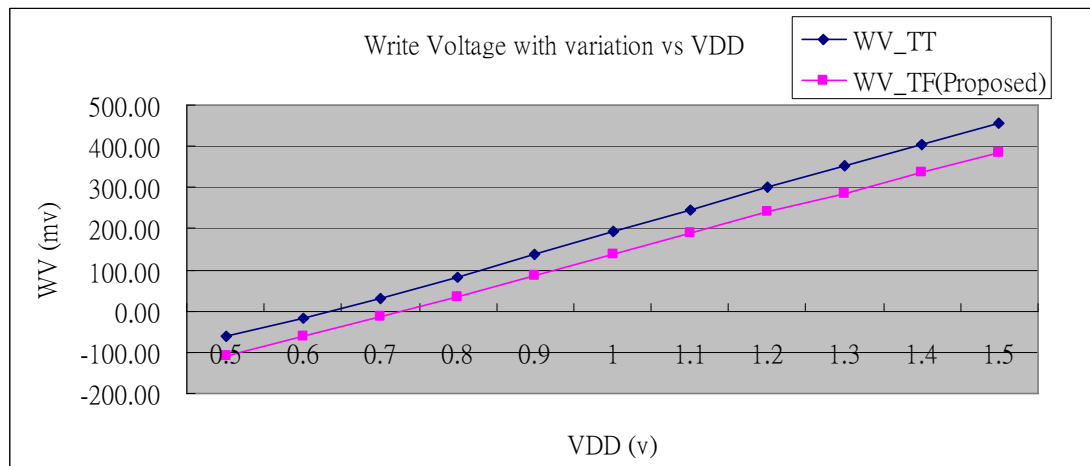


圖 3-7 不對稱之 SRAM Cell 能寫入成功的 Bit Line 電壓模擬圖

WV \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
WV_TT	-62.40	-18.29	30.29	80.94	137.93	193.29	246.81	299.51	350.92	404.21	456.59
WV_TF(Proposed)	-108.38	-62.29	-13.71	34.94	87.93	139.29	188.81	239.51	286.92	336.21	386.59

表 3-4 不對稱之 SRAM Cell 能寫入成功的 Bit Line 電壓模擬比較

由表 3-4 我們得知，原 SRAM Cell 在 $VDD=0.6v, 0.5v$ 時，其 $WV_{variation}$ 的值為負的，此表示 SRAM 無法寫入成功，故 SRAM 在寫時能正常操作的電壓最低只到 $0.7v$ 。而所提出改善的 SRAM Cell 因已改往 SNM 的方向，故其比原來的 Cell 寫的電壓值還差了

約 45mV，換言之 VDD 差了 100mV 左右(為 0.8v)，才能正常寫入的操作。故本文於 3.3 章節中引用了負電壓，來解決此寫的電壓不足問題。

3.2.5 SRAM Cell 漏電流

為了保有較高的 SNM 值，使其能在更低電壓下操作，故意將 SRAM Cell 的 PU PMOS 之 V_T 的電壓值調低，由 Typical 變成趨於 Fast。如此，在相同的電壓下，其在待機時的漏電流情況必會有所增加，表 3-5 所列为漏電流對不同溫度與不同電壓之比較表。我們可發現，在溫度 25C/相同的電壓值下，低電壓範圍內其漏電流約增加了 30%，而高電壓範圍內其漏電流約增加了 70%左右。



Unit: pA

25C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
Cell-Leak_TT	264.94	297.84	333.29	371.73	413.55	459.19	509.08	563.66	623.45	688.96	760.77
Cell-Leak_TF(Proposed)	303.22	359.70	425.03	500.58	587.87	688.63	804.83	938.68	1092.65	1269.53	1472.47
Worse %	14.45	20.77	27.53	34.66	42.15	49.97	58.10	66.53	75.26	84.27	93.55

125C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
Cell-Leak_TT	7253.8	7912.5	8600.4	9323.5	10086.9	10895.7	11754.4	12667.6	13640.1	14676.4	15781.6
Cell-Leak_TF(Proposed)	10774.1	12242.7	13869.6	15672.6	17670.9	19885.1	22337.8	25053.5	28058.9	31383.0	35057.2
Worse %	48.53	54.73	61.27	68.10	75.19	82.50	90.04	97.78	105.71	113.83	122.14

-40C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
Cell-Leak_TT	0.04	11.16	12.86	4.71	16.73	18.94	21.36	24.04	26.99	30.27	33.90
Cell-Leak_TF(Proposed)	12.83	15.98	19.80	24.45	30.09	36.93	45.22	55.25	67.36	81.95	99.50
Worse %	34547.6	43.23	53.98	419.26	79.89	95.05	111.69	129.84	149.52	170.74	193.51

表 3-5 漏電流對不同溫度與不同電壓之比較表

3.2.6 SRAM Cell 讀的電流

SRAM Cell 讀的電流是影響整個 SRAM 讀的效能最重要的參數，雖 SRAM Cell 有些微調整是在 PU PMOS 上，在理論上是不會對讀的電流有太大的影響。我們還是針對此重要參數做進一步分析。如表 3-6 所示，我們可看出，確實在讀的電流上沒有太大的差異(小於 0.5% 以內)。

Unit: uA

25C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
Read-Current_TT	3.88	9.45	17.05	25.94	35.70	46.12	57.01	68.23	79.74	91.46	103.40
Read-Current_TF(Proposed)	3.86	9.42	17.01	25.90	35.66	46.08	56.97	68.20	79.70	91.42	103.30
Worse %	-0.41	-0.35	-0.23	-0.15	-0.11	-0.09	-0.07	-0.04	-0.05	-0.04	-0.10

125C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
Read-Current_TT	5.42	10.55	17.04	24.51	32.70	41.50	50.78	60.41	70.35	80.55	90.96
Read-Current_TF(Proposed)	5.41	10.53	17.01	24.47	32.67	41.47	50.74	60.37	70.31	80.51	90.92
Worse %	-0.29	-0.19	-0.18	-0.16	-0.09	-0.07	-0.08	-0.07	-0.06	-0.05	-0.04

-40C \ VDD	0.5	0.6	0.7	0.8	0.9	1	1.1	1.2	1.3	1.4	1.5
Read-Current_TT	2.60	8.51	17.18	27.40	38.55	50.32	62.51	74.99	87.69	100.60	113.60
Read-Current_TF(Proposed)	2.58	8.46	17.13	27.35	38.50	50.28	62.47	74.95	87.66	100.50	113.60
Worse %	-0.81	-0.59	-0.29	-0.18	-0.13	-0.08	-0.06	-0.05	-0.03	-0.10	0.00

表 3-6 讀的電流比較表

3.3 電壓產生器

由圖 3-7 得知，為了確保能有效且準確的在低電壓下操作，我們需要在寫的周期

時，能提供負電壓的設計。圖 3-8 為此電壓產生器的功能示意圖，我們特別設計了由 YPASS NMOS 來做切換，能夠使每一個 I/O 能分享一個負電壓產生器以節省 MOS 與面積的浪費，不僅如此，此負電壓亦將 SRAM Cell 的電壓壓低來增加寫的成功。

除了能產生負電壓之外，更能產生一個比外面輸入的單一電壓源 VDD 還高的電壓值，提供給當在讀的周期時，SRAM Cell 的電壓所使用，如此可以提高在低電壓讀時的電流以增加操作上的速度。而此 Pump 的正電壓，亦可由此電壓產生器所產生，達到多功能的效果。在此先將負電壓與 Pump 的正電壓分別討論。

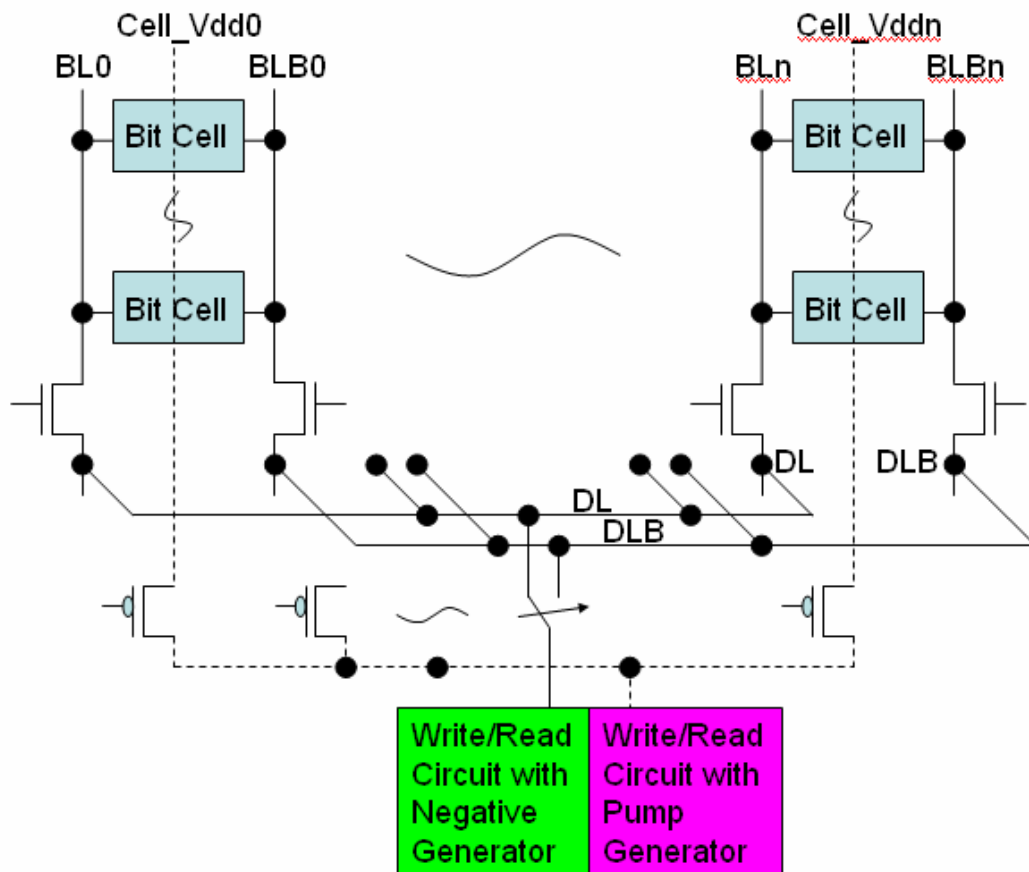


圖 3-8 電壓產生器的功能示意圖

3.3.1 負電壓產生器

圖 3-9 與圖 3-10 為僅有負電壓的功能與其電路示意圖。其動作之真值表，則如表

3-7 所示。

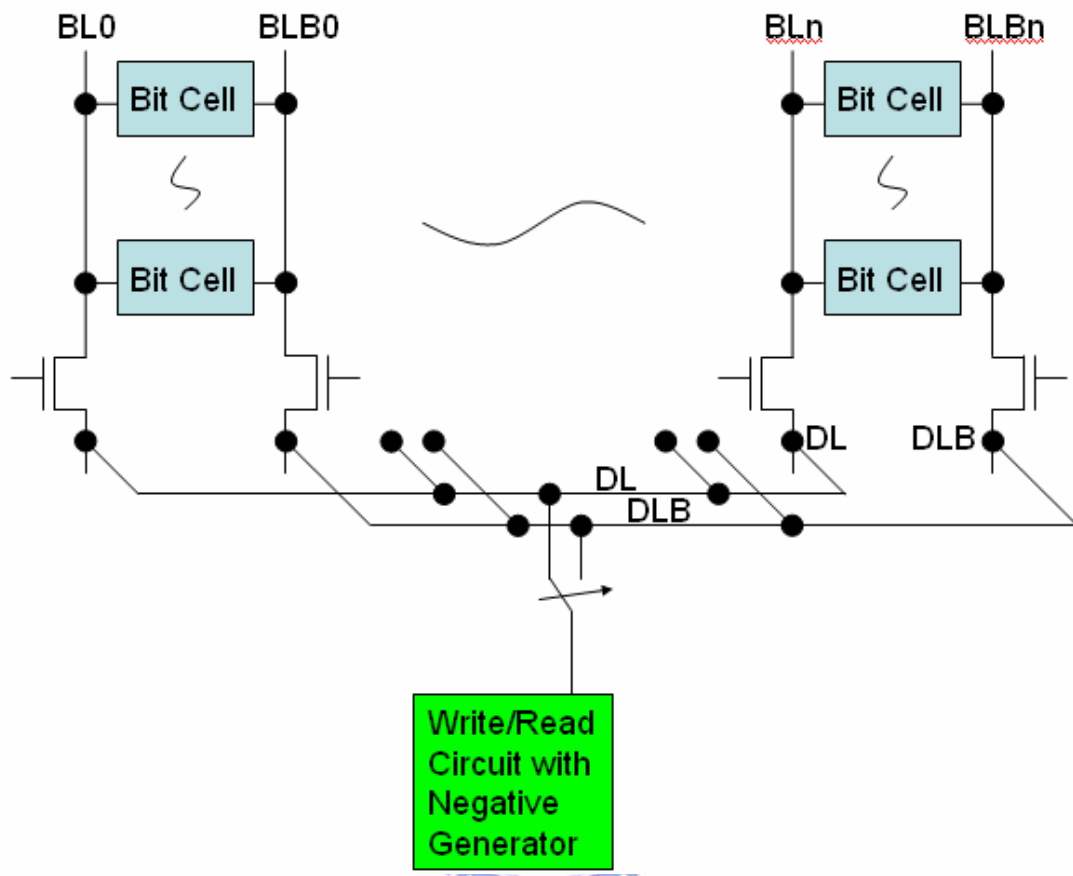


圖 3-9 負電壓的功能示意圖

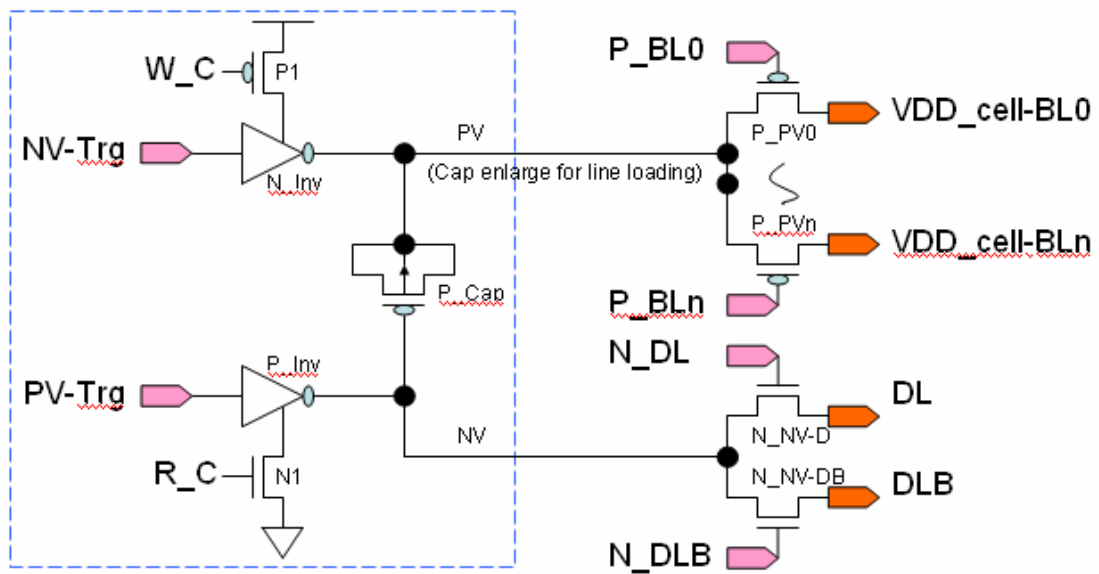


圖 3-10 負電壓/Pumping 電壓的電路示意圖


Truth Table	PV_Trgr	NV_Trgr	W_C	R_C	PV	NV
Precharge	1	0	0	1	1	0
Write	1		0	0	0	< 0

表 3-7 負電壓的功能真值表

Pre-charge 即是一開始的初始狀態，此時 NV-Trgr 與 W_C 皆為“0”，使得節點 PV 被初始成“1”，而 PV-Trgr 與 R_C 皆為“1”，使得節點 NV 被初始成“0”，此時選擇 PMOS (P_PV0 ~ P_PVn) 開關為“ON”，藉以節點 PV 來提供 SRAM Cell 的 VDD_Cell 電壓。而 NMOS 的開關則為“OFF”。

當為寫的周期時，PV-Trgr 維持為“1”，但 R_C 則由“1”轉變為“0”，使得節點 NV 處於“Floating”的狀態，如此是為了能做負電壓 Pumping 之用。而 W_C 還是維持“0”的輸入狀態。當 NV-Trgr 由“0”轉變為“1”，使得節點 PV 由“1”轉變為“0”，而讓節點 NV 被從初始狀態的“0”，Pumping 成負電壓。

此時，依據解碼決定是要開啟那一個 BL，再將不選擇的所有 BL 的 PMOS 開關關閉，只留下所要選擇的 BL 的 PMOS 開關維持為“ON”，使得該 BL 的 SRAM Cell 的 VDD_Cell 電壓因負電壓而往下壓，待一段時間後再將此 PMOS 開關關閉。

並且由解碼，看是要寫“0”或要“1”，來決定是要打開 N_DL 或 N_DLB，再將此負電壓同時傳入 DL 或 DLB 中。

經由上述動作之後，在寫的周期會使得要動作的 BL 的 SRAM Cell 的 VDD_Cell 電壓會往下掉，且也會產生寫的負電壓訊號在所要寫的 DL 或 DLB 中。

3.3.2 Pumping 正電壓產生器

圖 3-11 與圖 3-10 為僅有 Pump 正電壓的功能與其電路示意圖。其動作之真值表則如表 3-8 所示。

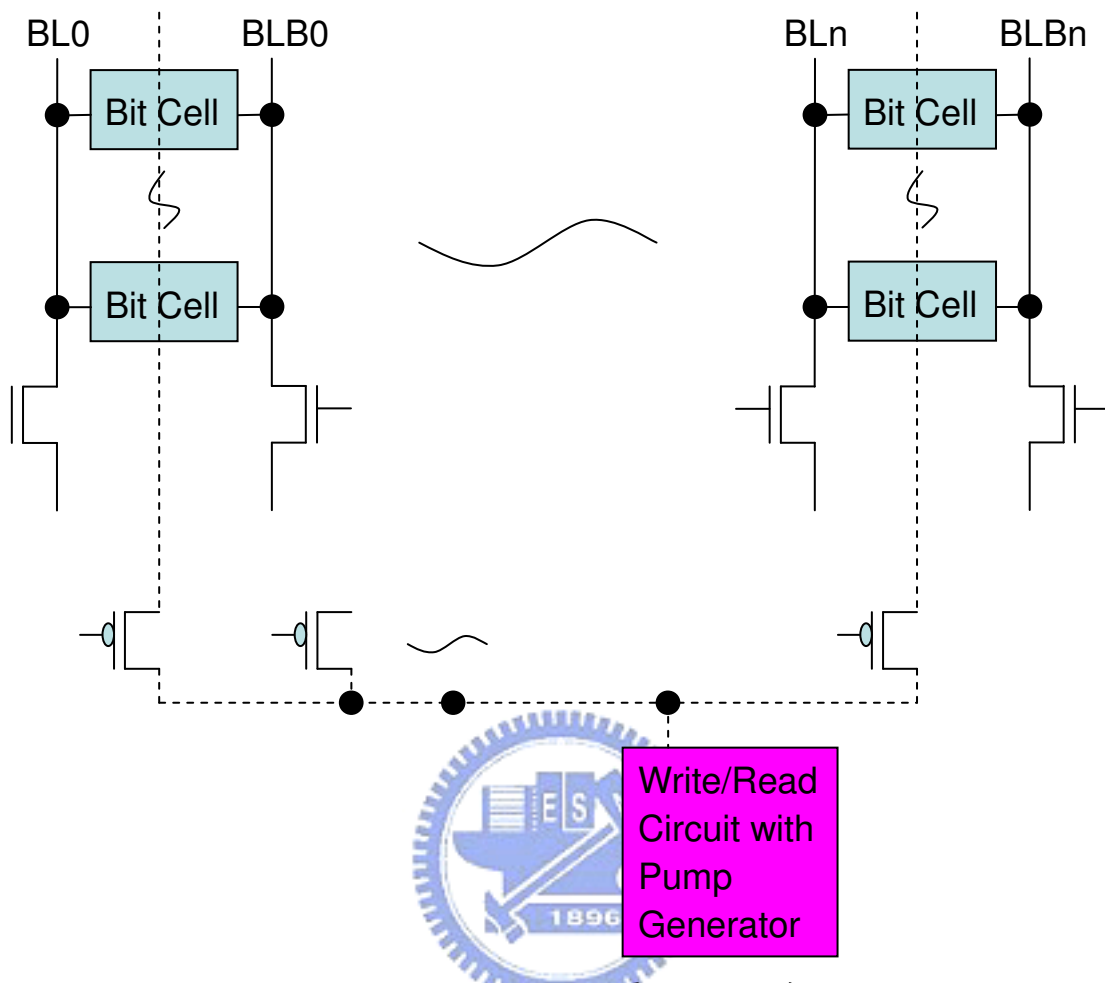


圖 3-11 Pump 正電壓的功能示意圖


Truth Table	PV_Trq	NV_Trq	W_C	R_C	PV	NV
Precharge	1	0	0	1	1	0
Read		0	1	1	> 1	1

表 3-8 Pump 正電壓的功能真值表

同樣的，在讀的周期之前已有 Pre-charge 了，這會使得節點 PV 為“1”，而節點 NV 為“0”。同樣的，選擇 PMOS 開關為“ON”，藉以節點 PV 來提供 VDD_Cell 的電壓，而 NMOS 的開關則為“OFF”。

當讀的周期來時，NV-Trq 還是保持為“0”，但 W_C 則由“0”變成“1”，使得節點 PV

處於“Floating”的狀態，如此是為了能做 Pumping 正電壓之用，而 R_C 還是保持為“1”，PV-Trg 在 WL “ON”時，則由“1”轉態為“0”，使得節點 NV 被從初始狀態的“0”提高成“1”，促使節點 PV 被從初始狀態的“1”，Pumping 成大於輸入電壓 VDD 的正電壓。

然後再解碼看是那一個 BL 要做讀的動作，而後再將其 PMOS 開關(P_PV0 ~ P_PVn) 延續，而將其他都關閉，故此大於 VDD 的正電壓得以傳入至所開啟的 BL 的 SRAM Cell 電壓節點上，以增加讀時的電流。

在 Pumping 成正電壓之前，PMOS 電容還是處於 Strong Inversion 的狀態[5]，故此 Pumping 動作發生時，還保有 PMOS 電容值在較高的位準上，而且節點 PV 端所連接的是有 16 個 PMOS 的 Junction 電容(P_PV0 ~ P_PV15, 此處 n=15)，如此亦可增加電容值進而產生較大的 Pumping 電壓。

3.3.3 One Step PMOS 電容



很明顯的如圖 3-10 所示，選擇了 One Step PMOS 電容的設計來達到產生負電壓與 Pump 正電壓的功能。其原因是因為產生負電壓是在 PMOS 的 Gate 端，故不管是在初始狀態還是在寫或讀時的狀態，此 PMOS 都偏壓在強反轉的區域內(Strong Inversion)。不像在累積區(Accumulation)與空乏區(Depletion)，會因 Vgs 電壓快速的 ON/OFF 使得 Inversion Layer 無法快速的形成而導致電容值的下降。

另一個原因是在 PMOS 的 P+ Implant 所形成的 Drain/Source 端與 NWell 端，其電壓的變化會從 0v 到大於 VDD，如果是使用了 NMOS 的話，會有 PWell 為正電壓所導致的 Forward-biased 效應，而有漏電流甚至於邏輯錯誤的情況。否則的話，又要多加上一層 Deep NWell 光罩來將此 PWell 包住，形成成本的浪費。

3.4 高電壓偵測電路

為了能夠在較低電壓下操作，而有負電壓產生與 Pump 正電壓的電路設計。然而由圖 3-7 所示，當 VDD 電壓大於 1.0v 時，要能寫入成功的電壓值只要能低於 100mv 就可以了，如此表示當 VDD 電壓大於 1.0v 時，根本不需要有負電壓產生來幫助寫入的成功，亦即可將此負電壓產生的電路設計“關掉”。（當然若為了增加讀的電流則可不必將此電路“關掉”）。如此可進一步降低寫時的動態操作電流。圖 3-12 為一電壓偵測電路示意圖，來做為是否開啟負電壓電路的啟動裝置。

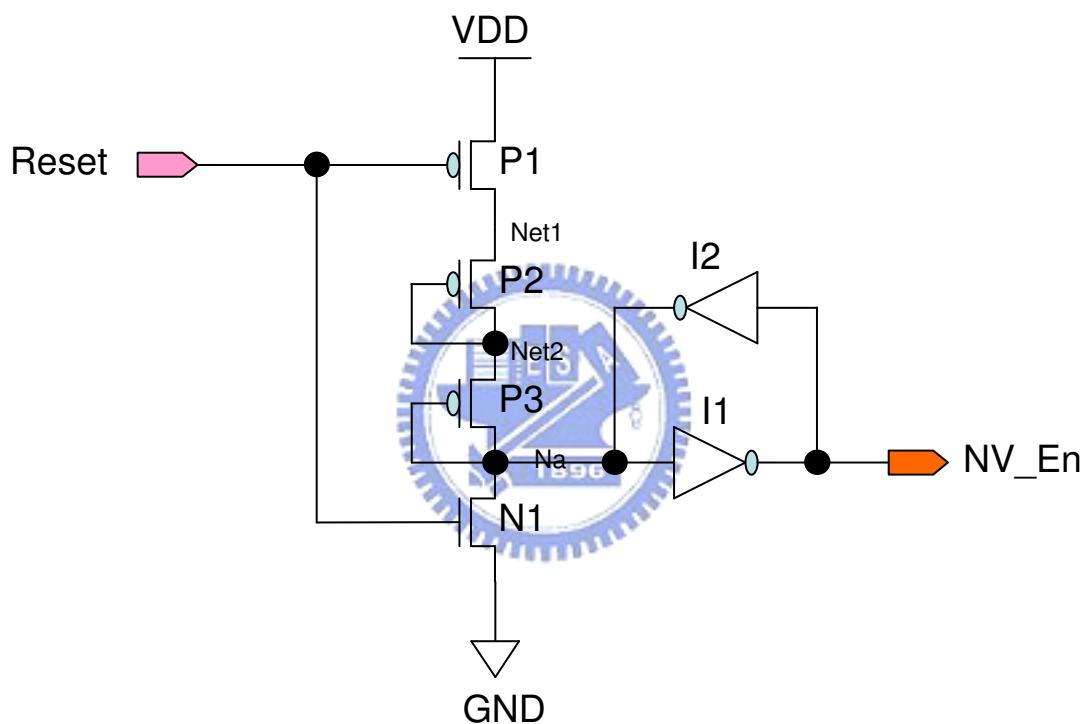


圖 3-12 高電壓偵測電路

在一開始時，Reset 輸入電壓為“1”，使得 PMOS P1 為“OFF”，而 NMOS N1 為“ON”，故節點 Na 被初始為“0”，而使得輸出訊號 NV_En 為“1”。（此 NV_En = “1”表示 Default 為能產生負電壓的訊號）。此時透過較弱的反相器 I2 將此 NV_En = 1 的訊號栓住。

然後 Reset 輸入訊號就由“1”變成“0”，進入偵測 VDD 的動作。當 VDD 的電壓升高時，使得節點 Na 電壓相對的亦被拉高，此時雖有 I2 在做扯後腿的動作，但是因 I2 的 MOS 大小是非常小的，故使得輸出訊號 NV_En 由“1”轉變成“0”，而來 Disable 負電壓產生器。

PMOS P2 與 P3 的串聯決定了大部份的轉態電壓值，若所需的轉態電壓值要較高時，則可再多加 PMOS(亦可改變 MOS 的大小)，反之則減少。

事實上只要在 SRAM 被 Power ON 時，才做高電壓偵測即可，並不需要每次寫的周期都做偵測。如此可降低動態操作電流，並可避免因太過負電壓而造成問題。而且此電壓偵測器可以不用太精確於一定要在某特定的電壓值做轉態，只要確保能在“較高”的電壓下將負電壓 Disable 即可。

表 3-9 為圖 3-12 的模擬值，其含蓋了不同製程 corner 與不同溫度。我們可發現在高溫下的負電壓開關偵測值比低溫時來的低，這主要是因為在高溫下，NMOS 的 V_T 電壓降低的幅度與 PMOS 升高的幅度不同所致。使得節點 Na 經由 PMOS P1~P3 所偵測的 VDD 電壓值會有所飄動，且也會受到反相器 I1/I2 的轉態點的溫度效應而有所影響。

所幸由圖 3-6 得知，WV 在高溫下的值是比較高的，這表示在高溫時是比較容易寫入成功的，故偵測負電壓產生器的 ON/OFF 電壓值是可以下降的。

Condition		Negative Detect Voltage
TT	125C	1.00v
	25C	1.30v
	-40C	1.55v
FNFP	125C	1.00v
	25C	1.30v
	-40C	1.55v
SNFP	125C	0.90v
	25C	1.25v
	-40C	1.50v
FF	125C	0.85v
	25C	1.15v
	-40C	1.40v
SS	125C	1.10v
	25C	1.45v
	-40C	1.70v

表 3-9 高電壓偵測電路電壓模擬值

3.5 自動偵測寫入電壓之負電壓產生電路

本實驗中已引用負電壓來補足寫入電壓的不足，而章節 3.4 所探討的是在針對較高輸入電壓時，所做的”OFF”設計，然在寫入周期內，何時觸發負電壓的產生也是非常重要且值得探討的。

先由圖 3-13 可知其重要性，在 Case-I 中，因為無任何負電壓的設計，故 BL/BLB 最終寫入的電壓一定會高於 0v，使得寫入動作受到限制而發生寫入錯誤，而在 Case-II 中，雖有負電壓的設計，但若負電壓太早做 Pumping (因只做 One Step Pumping)，使得最終 BL/BLB 的寫入的電壓也會高於 0v 而使得寫入動作發生錯誤，故必須設計成如 Case-III 所示的圖形，在 BL/BLB 在比較低的電壓水位的條件下才做負電壓的 Pumping，此時因 BL/BLB 已經是較接近 0v 的電壓水位，然後再啟動負電壓就可真正達到 BL/BLB 為負電壓水位了。

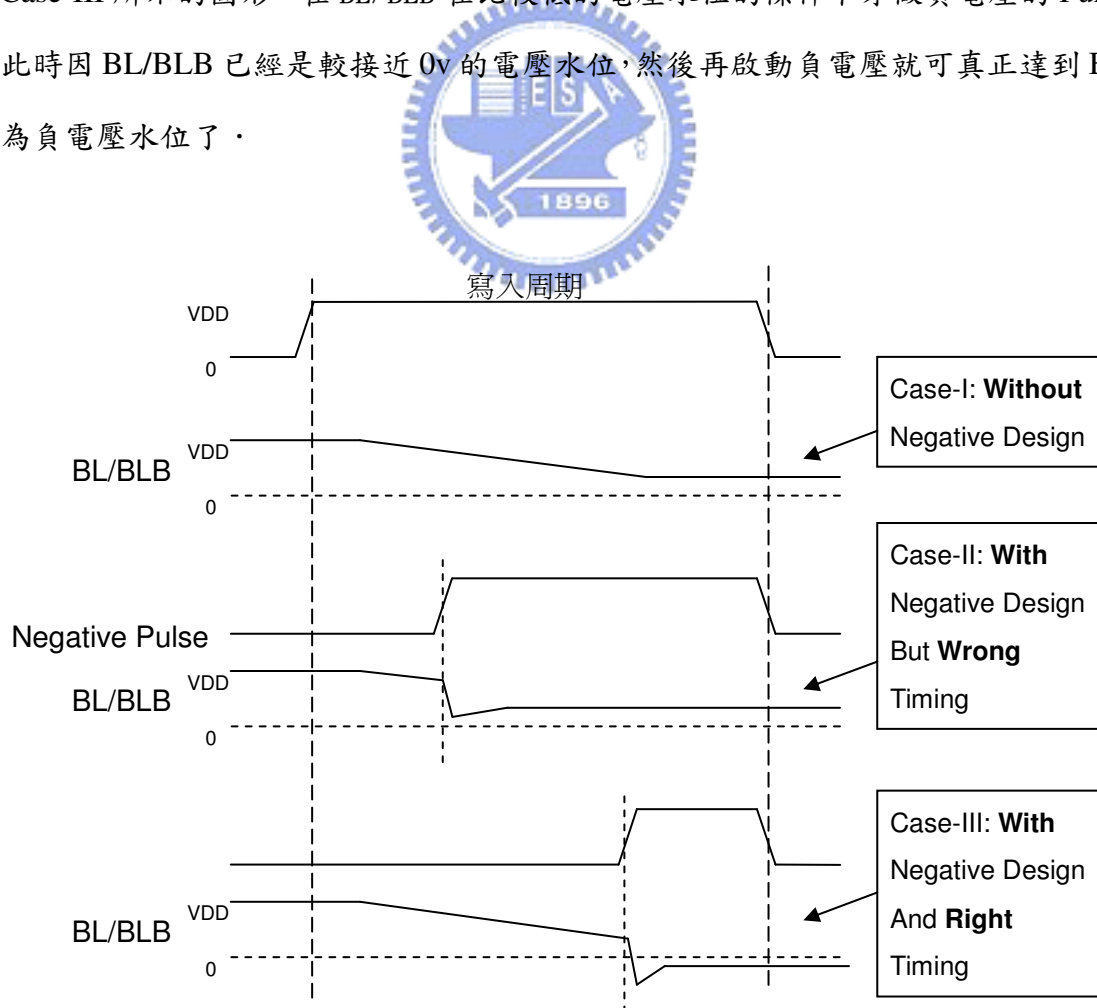


圖 3-13 BL/BLB 上有無正確之負寫入電壓比較圖

圖 3-14 為此自動偵測寫入電壓之負電壓產生電路的示意圖。藉由調整 Nand X1 的 MOS 大小，來調整轉態點使其轉態觸發點偏低，以做為偵測寫入的電壓值是否已到達較低水位。而節點 N_load 與電容 NMOS1，則是模擬 BL 上的線負載。(因實際電路上，每一條 BL 上都連接有相同個數的 NMOS PG)。

當不是寫的周期時，Web_Ctr 會為”1”，使得節點 Na 與輸出 Neg_Trig 被初始為”0”。當為寫的周期時，Web_Ctr 會為”0”，即開始偵測 DL/DLB 的電壓，當輸出點 Neg_Trig 的訊號若被 Enable，則表示不僅在靠近 DL/DLB 端的 SRAM Cell 之寫入電壓已接近低電壓水位，而且在遠離 DL/DLB 端的 SRAM Cell 之寫入電壓也是如此，此時再來觸發產生負電壓，方能達到正確的寫入效果。

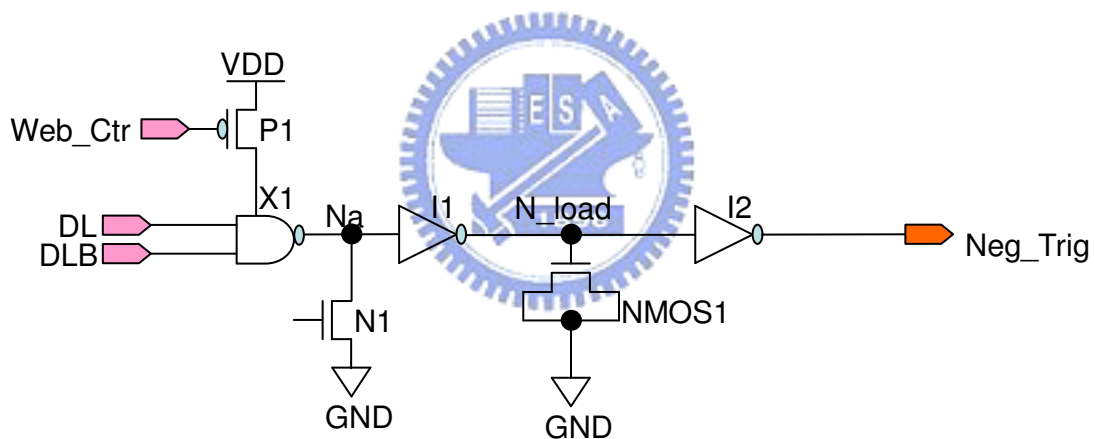


圖 3-14 自動偵測寫入電壓之負電壓產生電路的示意圖

3.6 自動關掉負電壓產生之電路

在圖 3-13 中，當已在正確的時間點產生了負電壓來補足寫入電壓的不足了，但何時來結束負電壓產生呢？事實上，在章節 1.3.1.3 中描述了 SRAM Cell 的寫入動作，其寫入電壓只要能將 Cell 的節點”1”拉低至足以觸發 SRAM Cell 產生正回授反應，便可將 SRAM Cell 寫入成功。故當圖 3-14 產生了負電壓的觸發時，之後所考慮的則是此

觸發訊號只要再經過 BL 的線負載，能夠傳到最遠離 DL/DLB 端的 SRAM Cell 即可，此時便可將此負電壓關閉。

而圖 3-15 即整合了圖 3-14，並多加了電容 NMOS2 與 I3/X_AND 電路，藉以達到自我關閉的功能。而且為了增加負電壓脈波的 Margin，故意設計電容 NMOS2 與 NMOS1 不同，（事實上 NMOS2 比 NMOS1 大，以延長負電壓的脈波）。而圖 3-16 為圖 3-15 之 Timing 關係圖。由圖 3-16 可看出，節點 Trig_off 多出了 Buffer 的時間，而且當輸出點 Neg_Trig 由”1”轉態為”0”時，即可將寫的周期整個關閉掉，如此不僅可將寫的周期縮短，增加操作速度外，更重要的是可降低寫的操作功率消耗，並且可進一步將 Pre-charge 的 MOS 大小縮小，以節省面積。

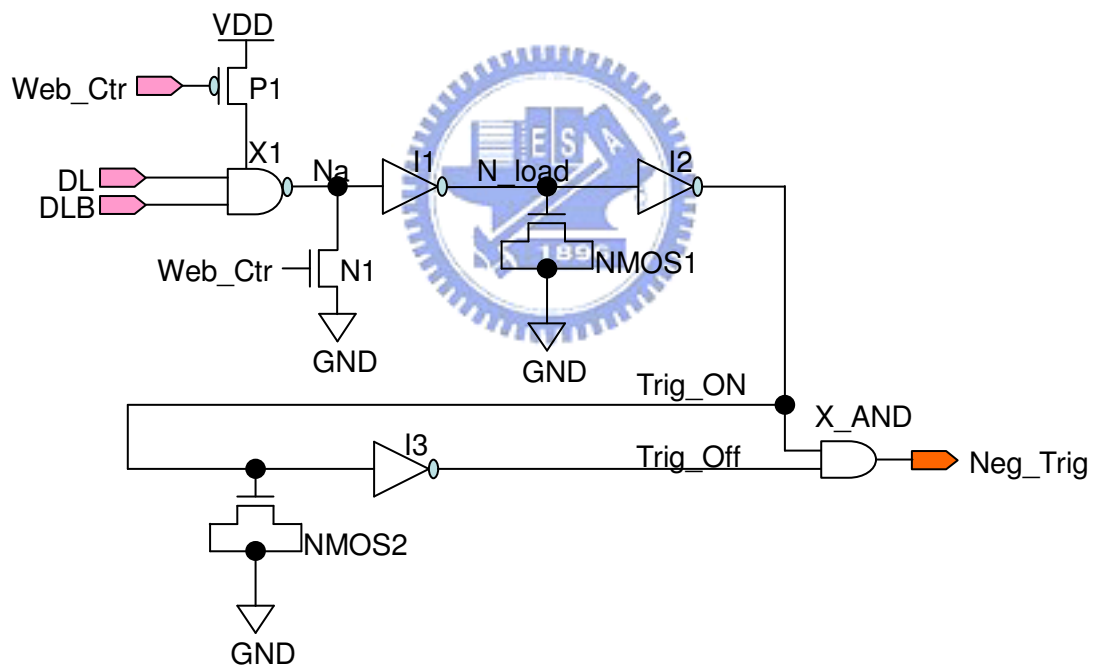


圖 3-15 具有自動關掉負電壓產生之負電壓觸發電路

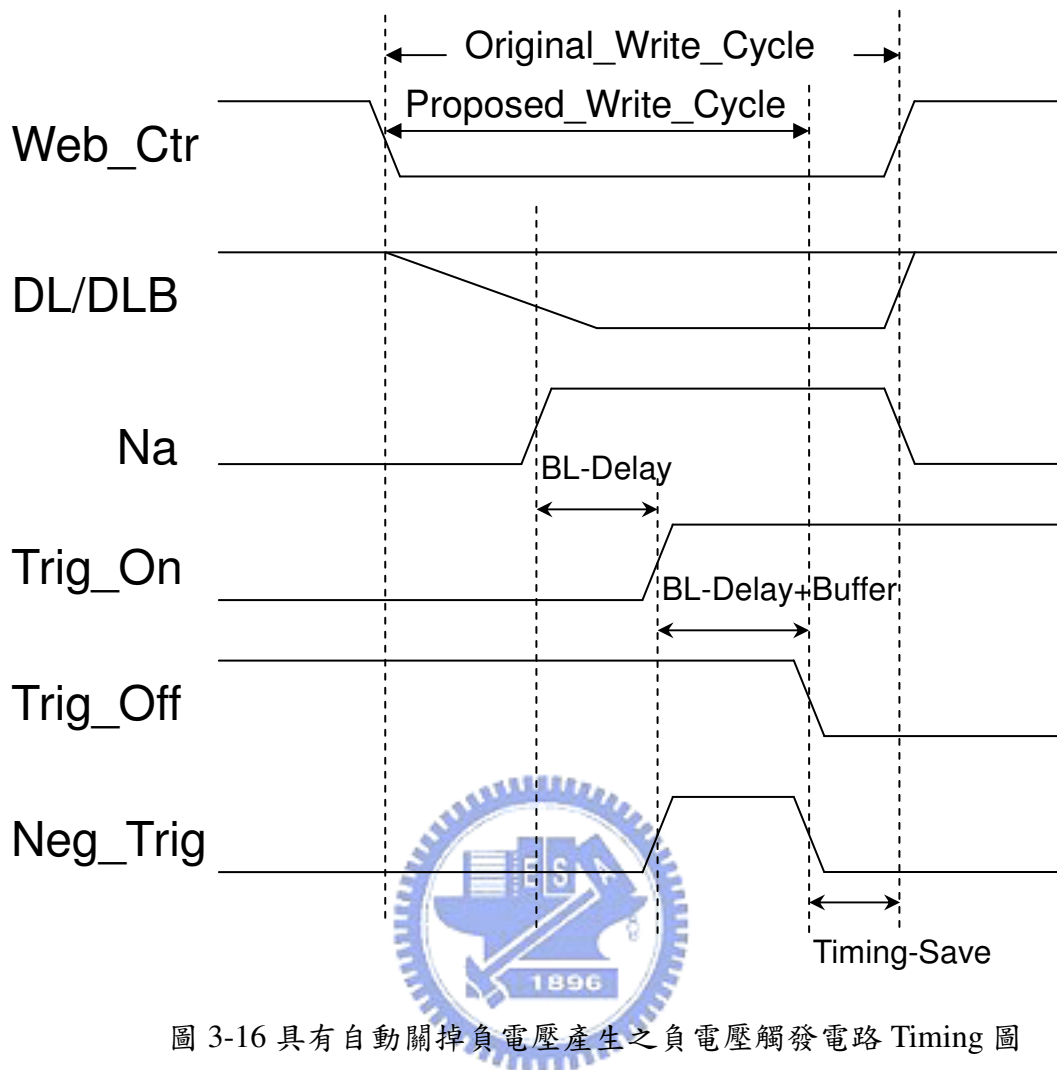


圖 3-16 具有自動關掉負電壓產生之負電壓觸發電路 Timing 圖

3.7 在 SRAM 上的模擬結果

在此整合了電壓產生器電路/放大器電路/自動關掉負電壓產生之負電壓觸發電路/YPASS 電路/Tracking 電路/Pre-charge 電路與 SRAM Cell 的 Critical Path，一起來做時序上的模擬。我們著重的焦點擺在，當為寫的周期時，DL 上負電壓的產生與 SRAM Cell 的 VDD 電壓下降；而當為讀的周期時，SRAM Cell 的 VDD 電壓上升。

如下為圖 3-17(a), 3-18(a), 3-19(a)分別為 VDD=1.2v, 0.6v, 0.5v 時之寫的周期的時序模擬圖。而圖 3-17(b), 3-18(b), 3-19(b)分別為 VDD=1.2v, 0.6v, 0.5v 時之讀的周期的時序模擬圖。表格整理如表 3-10 所示。

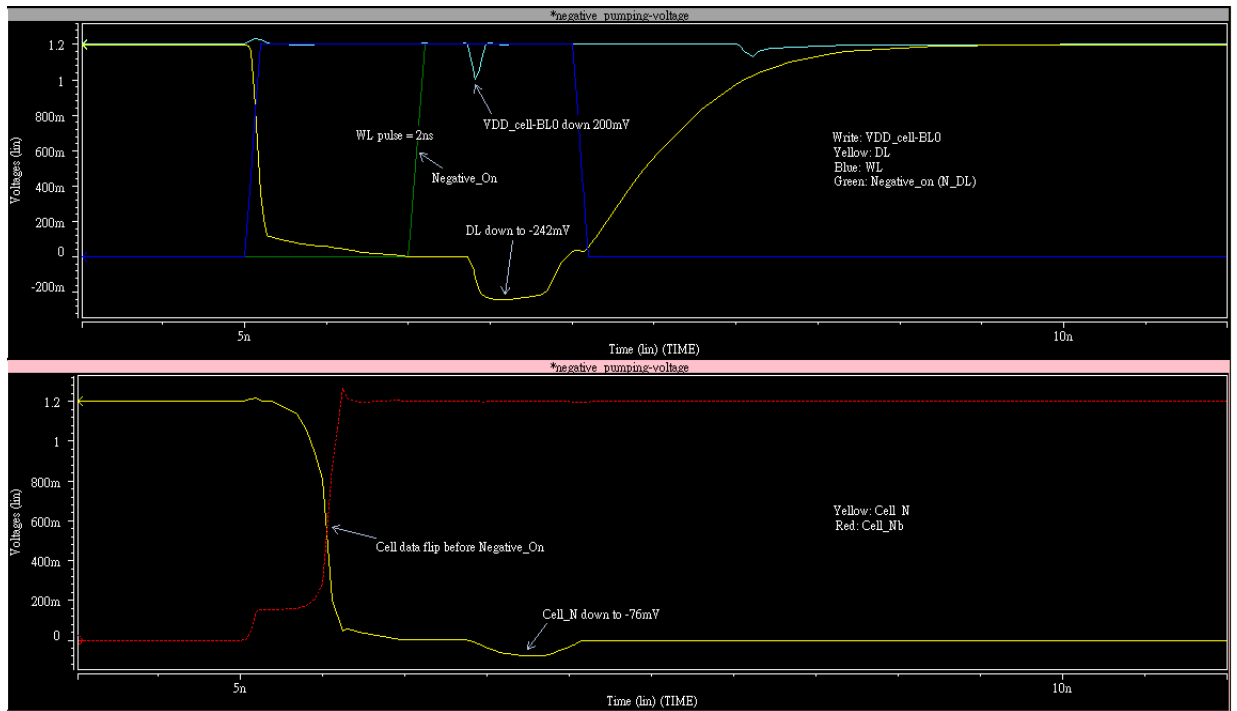


圖 3-17(a) VDD=1.2v 時寫的周期之 Timing 模擬圖

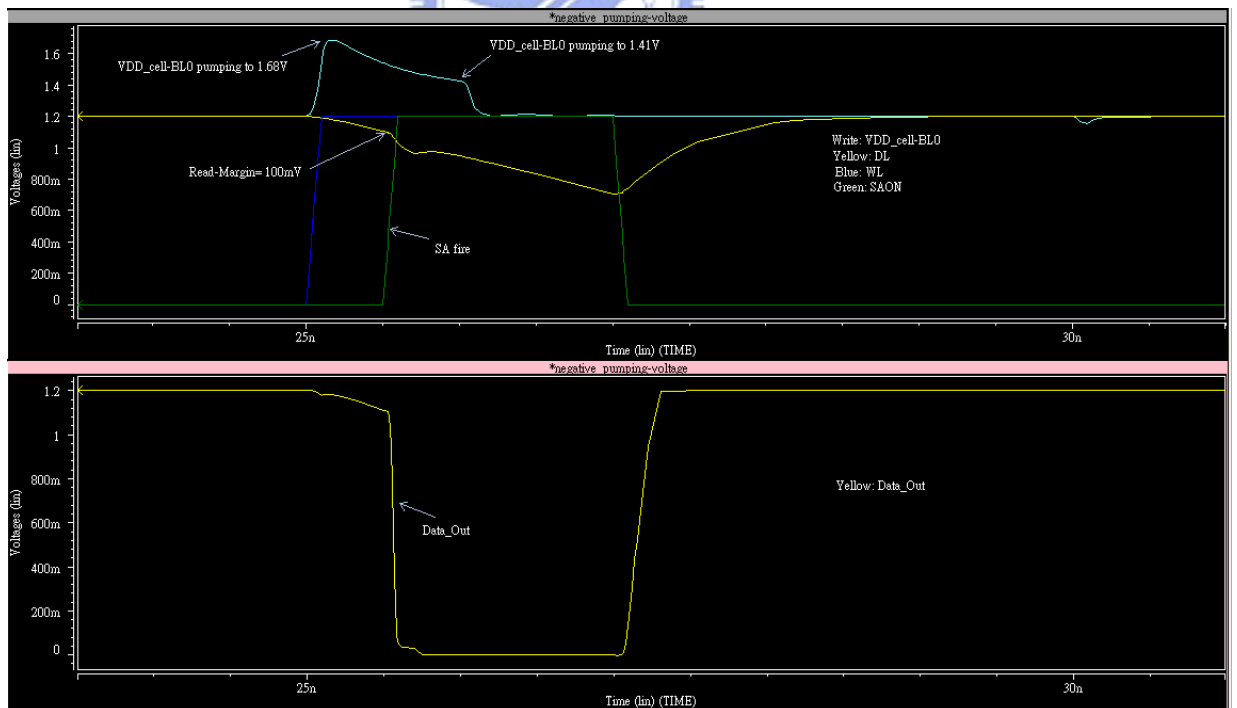


圖 3-17(b) VDD=1.2v 時讀的周期之 Timing 模擬圖

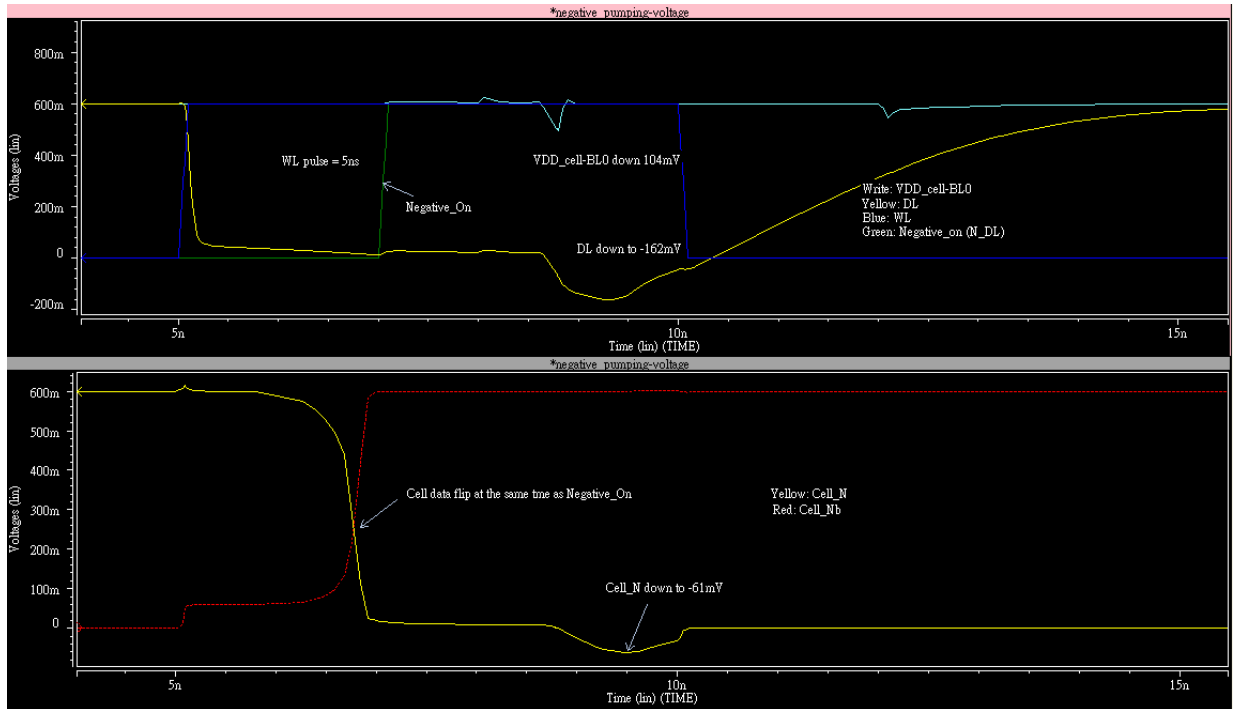


圖 3-18(a) VDD=0.6v 時寫的周期之 Timing 模擬圖

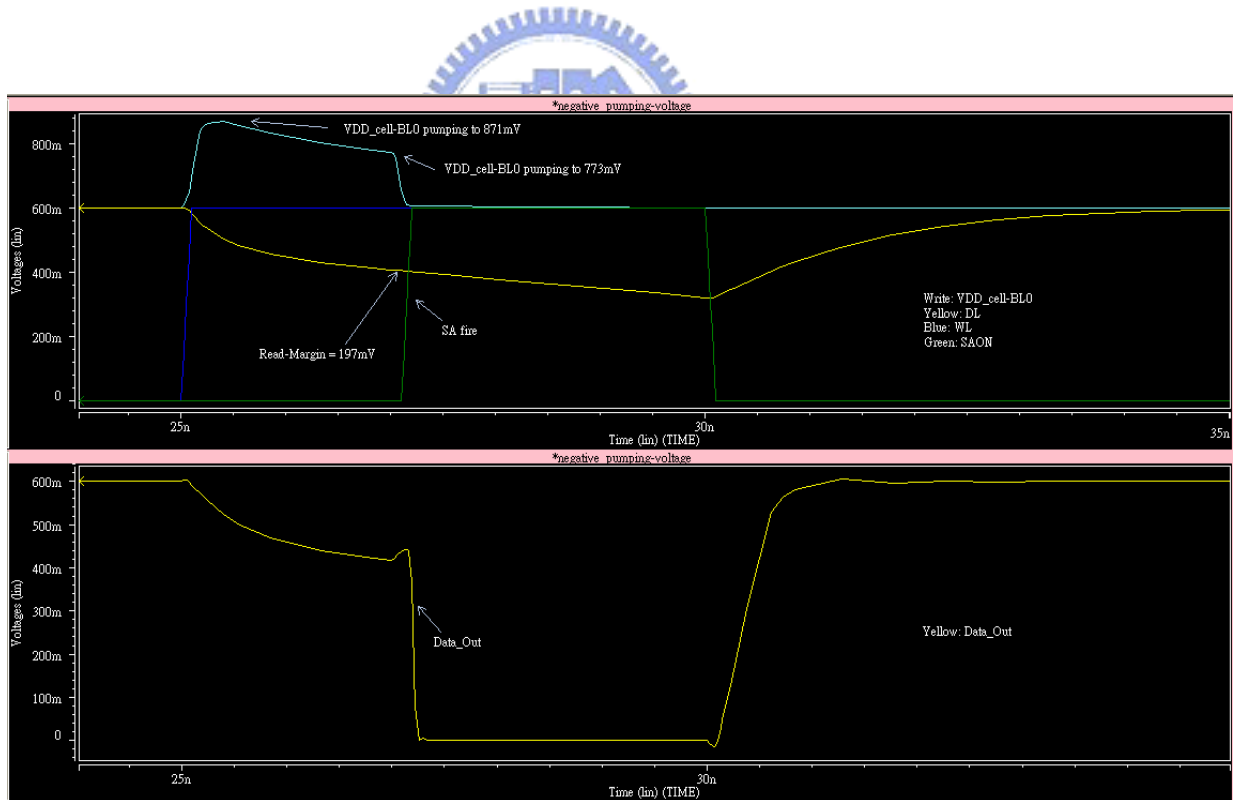


圖 3-18(b) VDD=0.6v 時讀的周期之 Timing 模擬圖

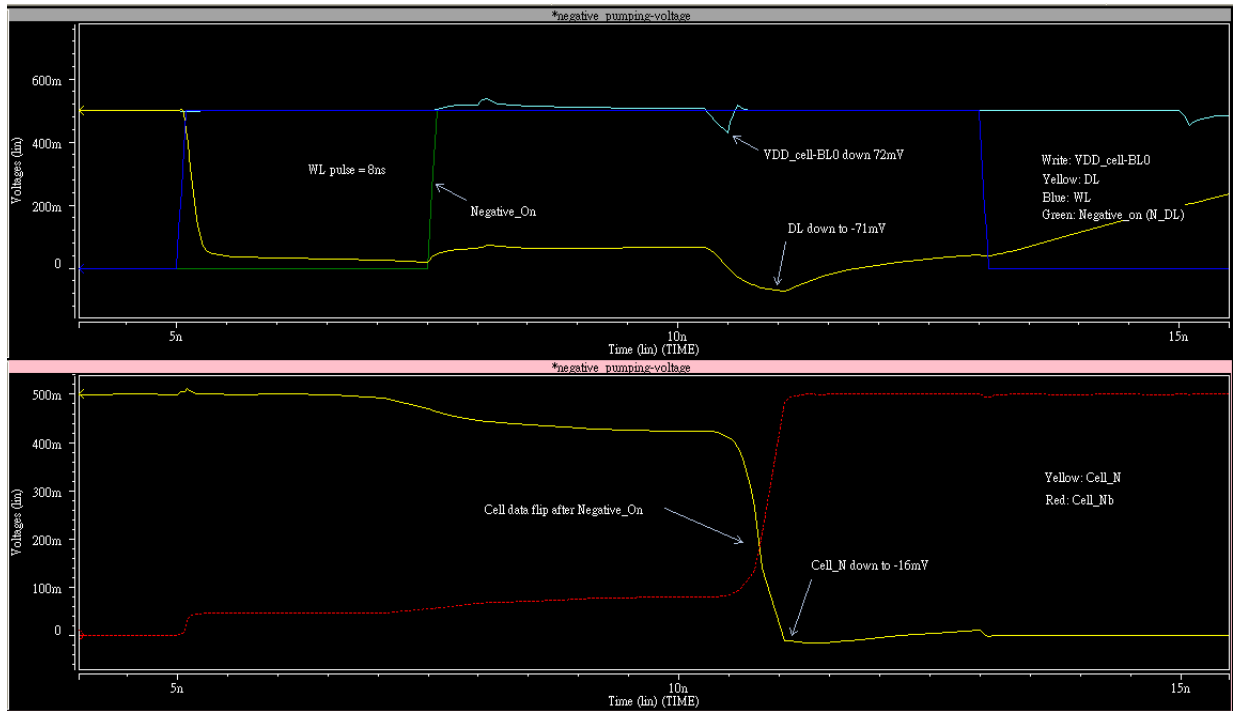


圖 3-19(a) VDD=0.5v 時寫的周期之 Timing 模擬圖

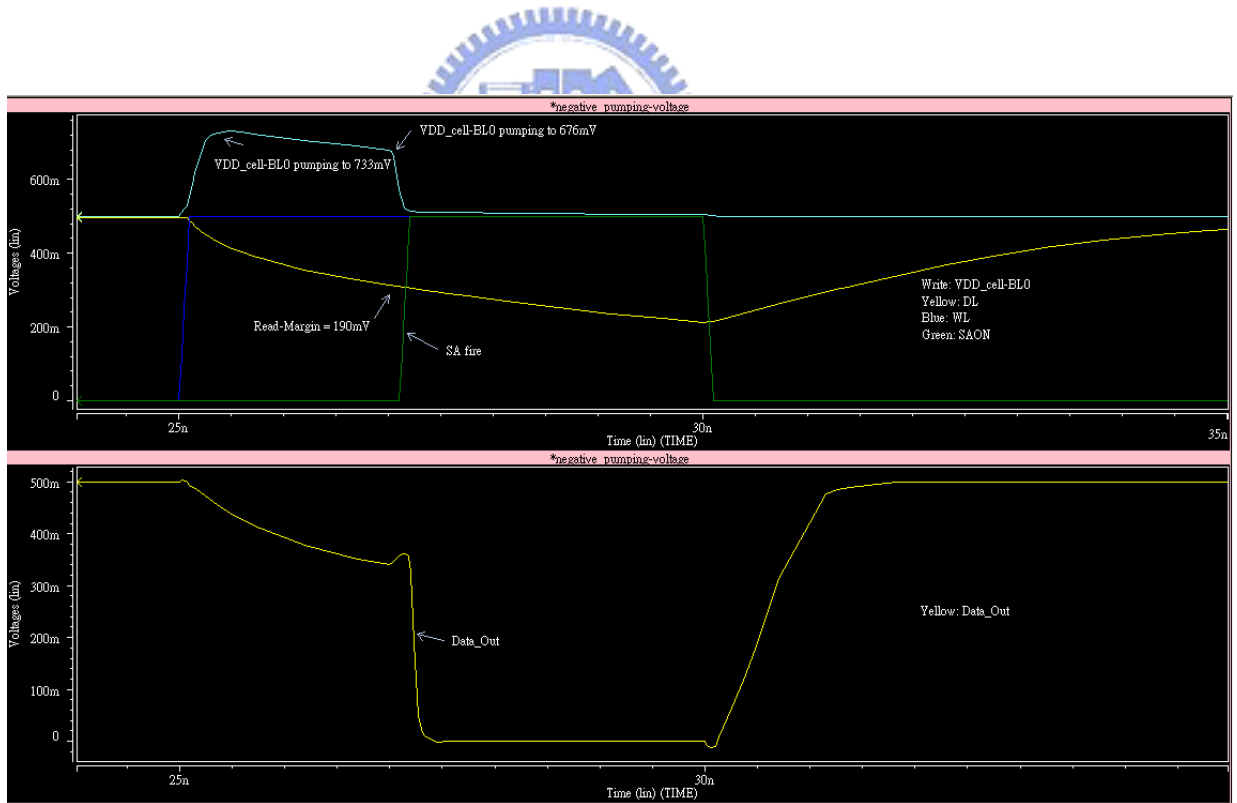


圖 3-19(b) VDD=0.5v 時讀的周期之 Timing 模擬圖

Write	VDD_cell-BL0	DL	Cell_N	WL pulse	Cell data flip
1.2v	down 200mV	down to -242mV	down to -76mV	2ns	Before Negative_On
0.9v	down 183mV	down to -208mV	down to -71mV	3.8ns	Before Negative_On
0.8v	down 180mV	down to -199mV	down to -71mV	4.2ns	Before Negative_On
0.7v	down 162mV	down to -189mV	down to -69mV	4.7ns	Before Negative_On
0.6v	down 104mV	down to -162mV	down to -61mV	5ns	As Negative_On
0.5v	down 72mV	down to -71mV	down to -16mV	8ns	After Negative_On

Read	VDD_cell-BL0		Read_Margin
1.2v	pumping to 1.68v	pumping to 1.41v	100mV
0.9v	pumping to 1.28v	pumping to 1.13v	140mV
0.8v	pumping to 1.15v	pumping to 0.96v	148mV
0.7v	pumping to 1.01v	pumping to 0.87v	150mV
0.6v	pumping to 0.87v	pumping to 0.77v	197mV
0.5v	pumping to 0.73v	pumping to 0.68v	190mV

表 3-10 不同 VDD 下，寫/讀的周期之 Timing 模擬表

我們得到，因在寫的周期時有負電壓的幫助，並有效地將 SRAM Cell 拉住 Data “1” 的 VDD_cell 往下降低，大大地提高了寫成功的機會，故可在 VDD 低到 0.5v 的條件下，依然可以將 Cell 寫入成功。不僅如此，更因負電壓自動關閉的設計，縮短了 Cell 寫入的時間，如在 VDD=0.5v 下，WL pulse 可維持在 8ns，如此可增快 SRAM 的操作速度。

另一方面，在讀的周期時，因為有正電壓 Pumping 的幫助下，雖在較低的 VDD 電壓如 0.5v 下操作，但卻有 0.68v ~ 0.73v 左右的讀出電流值。如此可以不衰減讀的性能，又可以將 SRAM 操作在低操作電壓下，達到兩全其美的目的。

3.8 功率消耗之模擬值

表 3-11 與圖 3-20 為此 Critical Path 的功率消耗之模擬表與圖形。很明顯的，若降低 VDD 100mV，則可降低寫的功率消耗約 58.3%與降低讀的功率消耗約 61.5%。

Voltage	Write_Current	Read_Current	Write_Power	Read_Power
1.2v	2.23E-04	1.98E-04	2.68E-04	2.38E-04
0.9v	1.73E-04	1.59E-04	1.56E-04	1.43E-04
0.8v	1.53E-04	1.45E-04	1.22E-04	1.16E-04
0.7v	1.05E-04	1.00E-04	7.34E-05	7.01E-05
0.6v	6.40E-05	6.32E-05	3.84E-05	3.79E-05
0.5v	3.24E-05	3.84E-05	1.62E-05	1.92E-05

表 3-11 Critical Path 的功率消耗之模擬表

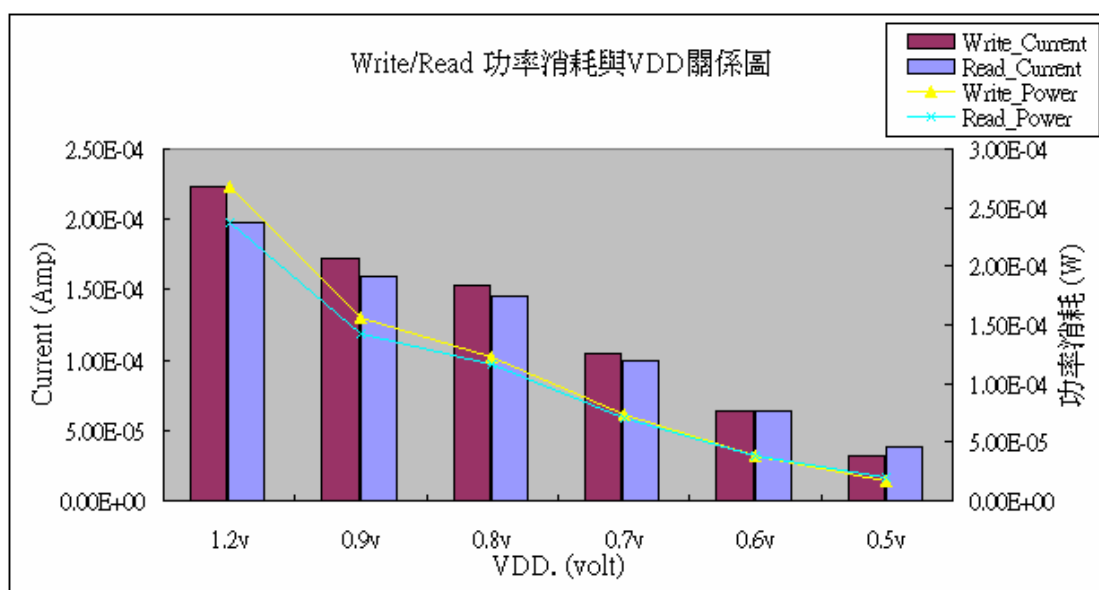


圖 3-20 Critical Path 的功率消耗之模擬圖形

3.9 面積值預估

因多設計了 One Step PMOS 電壓產生器，故會有面積上的增加，在此僅做面積增加的預估值推算。

圖 3-20 為擁有電壓產生器之 I/O 單元電路的 Layout 圖，可以看出擺在最下方的即是最大顆的 PMOS 電容，且最左邊的即是 Mux 為 8 的 Layout 圖，而右邊那兩個即是 Mux 為 16 的 Layout 圖。

對於一條 BL 有 512 個 SRAM Cell 而言，當 Mux=8 時，得到約增加了 2.54%的面

積；而當 Mux=16 時，約增加了 1.69%。

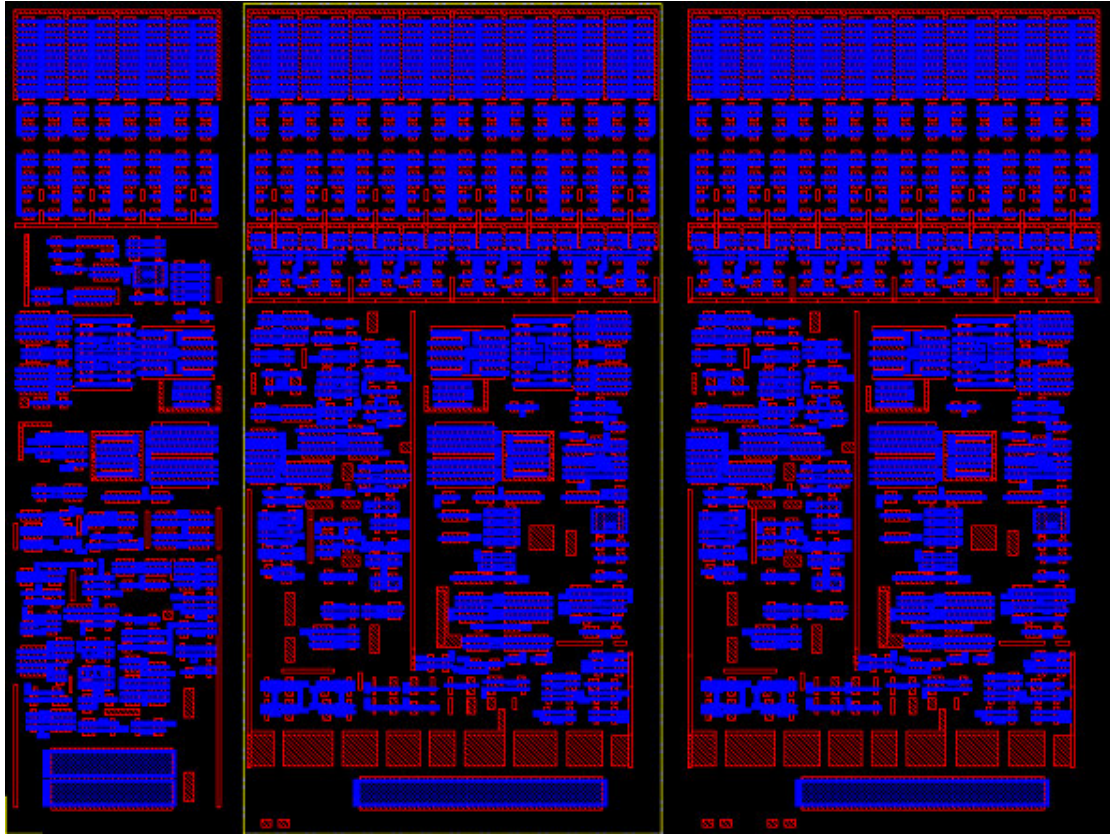


圖 3-21 擁有電壓產生器之 I/O 電路 Layout 圖

References

- [1].A 0.5-V 25-MHz 1-mW 256-Kb MTCMOS/SOI SRAM for Solar-Power-Operated Portable Personal Digital Equipment-Sure Write Operation by Using Step-Down Negatively Overdriven Bitline Scheme, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO.3, MARCH 2006.
- [2].90-nm Process-Variation Adaptive Embedded SRAM Modules With Power-Line-Floating Write Technique, Yamaoka, M. Maeda, N. Shinozaki, Y. Shimazaki, Y. Nii, K. Shimada, S. Yanagisawa, K. Kawahara, T. Central Res. Lab, Solid-State Circuits, IEEE Journal,

Volume: 41, Issue:3, On page: 705-711.

- [3]. F. Tachibana and T. Hiramoto, “Re-examination of Impact of Intrinsic Dopant Fluctuations on SRAM Static Noise Margin”, Proc. Of Intl. Conf. on Solid State Devices and Materials, 192-193, 2004.
- [4].S. Mukhopadhyay, H. Mahmodi-Meimand, K. Roy, “Modeling and Estimation of Failure Probability due to Parameter Variations in Nano-scale SRAMs for Yield Enhancement”, Proc. Of 2004 Symp. On VLSI Circ.64-67.
- [5].On the use of MOS varactors in RF VCOs, Andreani, P. Mattisson, S. Solid-State Circuits, IEEE Journal, Volume: 35, Issue: 6, On Page(s): 905-910.



第四章 結 論

4.1 結論

近年來有關於手提式 SOC 商用產品的設計日益複雜與多樣性，當整合記憶產品時，卻常常因記憶產品的先天限制而無法達到性能上與良率上的顯著提升。尤其是在功率消耗上與低電壓操作要求上。

本實驗所提出的方法，是非常直接的。提供負電壓寫入並降低 SRAM Cell 的電壓來幫助寫入成功；並增加 SRAM Cell 本身對靜態雜訊抑制的能力，再利用提高 SRAM Cell 本身的電壓的方式，以增加讀時的電流，藉此保有同時達到低電壓操作；低功率消耗；卻保有比外面單一輸入電壓源還來得高的操作性能，如在 $V_{DD}=0.5v$ 時，卻有 $0.7v$ 的讀出效能。

