

國立交通大學

電機資訊學院 電子與光電學程

碩士論文

802.11a CMOS 頻率合成器設計

Design of CMOS RF Synthesizer for 802.11a



研究生：潘宏良

指導教授：溫瓊岸 教授

中華民國九十三年七月

802.11a CMOS 頻率合成器設計

Design of CMOS RF Synthesizer for 802.11a

研究生：潘宏良

Student : Houng- Liang Pan

指導教授：溫瓌岸

Advisor : Kuei-Ann Wen

國立交通大學
電機資訊學院 電子與光電學程
碩士論文

A Thesis
Submitted to Degree Program of Electrical Engineering Computer
Science
College of Electrical Engineering and Computer Science
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Electronics and Electro-Optical Engineering
July 2004
Hsinchu, Taiwan, Republic of China

中華民國九十三年七月

授權書

(博碩士論文)

本授權書所授權之論文為本人在 國立交通 大學(學院) 電機資訊學院 系所
電子與光電學程 組 九十二 學年度第 二 學期取得 碩 士學位之論文。

論文名稱：_____

1. 同意 不同意

本人具有著作財產權之論文全文資料，授予行政院國家科學委員會科學技術資料中心、國家圖書館及本人畢業學校圖書館，得無限地域、時間與次數以微縮、光碟或數位化等各種方式重製後散布發行或上載網路。

本論文為本人向經濟部智慧財產局申請專利的附件之一，請將全文資料延後兩年後再公開。(請註明文號: _____)

2. 同意 不同意

本人具有著作財產權之論文全文資料，授予教育部指定送繳之圖書館及本人畢業學校圖書館，為學術研究之目的以各種方法重製，或為上述目的再授權他人以各種方法重製，無限地域與時間，惟每人以一份為限。

上述授權內容均無須訂立讓與及授權契約書。依本授權之發行權為非專屬性發行權利。依本授權所為之收錄、重製、發行及學術研發利用均為無償。上述同意與不同意之欄位若未鈎選，本人同意視同授權。

指導教授姓名： 溫瓌岸

研究生簽名： 潘宏良
(親筆正楷)

學號：9167512
(務必填寫)

日期：民國 93 年 7 月 6 日

-
1. 本授權書請以黑筆撰寫並影印裝訂於書名頁之次頁。
 2. 授權第一項者，所繳的論文本將由註冊組彙總寄交國科會科學技術資料中心。
 3. 本授權書已於民國 85 年 4 月 10 日送請內政部著作權委員會(現為經濟部智慧財產局)修正定稿。
 4. 本案依據教育部國家圖書館 85.4.19 台(85)圖編字第 712 號函辦理。

國立交通大學

論文口試委員會審定書

本校 電機資訊學院專班 電子與光電學程 組 潘宏良 君

所提論文

(中文) 802.11a CMOS 頻率合成器設計

(英文) Design of CMOS Frequency Synthesizer for 802.11a

合於碩士資格水準、業經本委員會評審認可。

口試委員：詹益仁 郭建男

高曜煌 溫瓌岸

指導教授：溫瓌岸

班主任：郭仁財

中華民國 93 年 7 月 6 日

802.11a CMOS 頻率合成器設計

學生：潘宏良

指導教授：溫瓊岸 教授

國立交通大學電機資訊學院 電子與光電學程（研究所）碩士班

摘 要

現今熱門的射頻電路有無數學者在研究，瀏覽各式的論文雖然已成功地 CMOS 製程下將 VCO 特性設計得符合無線網路的規格，但射頻電路容易受干擾的特性若要成功地整合有數位電路的頻率合成器為一顆單晶片，這更是個艱難深入的研究。

本論文是以 UMC 0.18 μm 1P6M CMOS 製程來製作 IEEE802.11a WLAN 5GHz U-NII 的頻率合成器。晶片採用 20 腳 QFN 封裝和使用 RO4003 材質電路板量測訊號。為了得到低的相位雜訊使用了 L-C tank 電壓控制振盪電路架構，為了防止製程和溫度的變化並加入開關電容網路電路 (SWITCHED-CAPACITOR NETWORK) 來增加頻率的振盪範圍，經測試所得可到為 22%，和 $-88.87\text{dBc}/\text{Hz}@100\text{KHz}$ 的相位雜訊 (PHASE NOISE)，而達輸出頻率為 3421MHz~4177MHz，此外電路還包括，參考頻率電路、相位偵測電路、電荷幫浦電路、低通濾波電路和除頻電路，這些都是經過測試可以正常工作的電路。

為了將電壓控制振盪器的輸出頻率降到和參考頻率一樣，在此篇論文使用整數型 (Integer-N) 架構以獲得所需要的載波頻率，經過測試後可以選擇載波頻率，且相位頻率鎖住時間為 145.0 μs 。此篇論文也提出 802.11b WLAN 的 2.4GHz 配合 802.11a WLAN 組成雙頻頻率合成器，並經過 AGILENT ADS 電路模擬。

Design of CMOS RF Synthesizer for 802.11a

student : Houn- Liang Pan

Advisors : Prof. Kuei-Ann Wen

Degree Program of Electrical Engineering Computer Science
National Chiao Tung University

ABSTRACT

The radio frequency circuit of nowadays attract lots of researches hot subject that countless scholars wants to develop, various types of thesis made under the very challenge CMOS process had succeed to have VCO characteristic fit the wireless network specification. However, it is a hard study if you would like the easy interfered radio frequency circuit combine successfully with digital circuit frequency synthesizer to a single of chip.

The design is fabricated in UMC 0.18um 1P6M CMOS process to make frequency synthesizer, according to IEEE802.11a WLAN of 5GHz U-NII specification. The chip adopts 20 pin QFN package and uses RO4003 substrate circuit's board examine the signal. Usign L-C tank VCO structure of the circuit in order to get the low phase noise and prevent temperature and process variations, we added switched capacity network circuit to increase frequency tuning range. After examining, the tuning range is 22%, and phase noise is -88.87dBc/Hz@100KHz, and outputs frequency is 3421MHz- 4177MHz. In addition the circuit also includes reference frequency circuit, phase detect circuit, charge pump circuit, low pass filter circuit and frequency divider circuit. All these circuits can function work normally through measurements.

In order to make the output frequency of the VCO as low as reference frequency, we use the structure of the integer-N divider to get carrier frequency in this thesis. The integer-N divider can choose channel frequency and the phase settling time is 145uS after testing. This thesis also proposes dual mode frequency synthesizer based on 802.11a WLAN structure that can be adapted to 2.4GHz 802.11b WLAN.

誌 謝

能在交通大學取得碩士學位，我最想感謝的就是我的指導教授 溫瓊岸博士，因為老師在 TWT 實驗室努力的成果，使我們可以很快瞭解要研究的主题。對射頻電路很專業的口試委員 詹益仁博士、郭建男博士和 高曜煌博士在口試時對論文上的建議使我更喜歡射頻電路。在此也感謝實驗室二年中讓我獲得不少專業知識的同學，尤其是二年級的同學木山、永正、國章、敬文、佳欣，他們對研究的專注，使我在論文方面獲得不少啟發，一年級的同學相霖、皓名、健銘、兆鈞、格輝、富昌，有了他們陪伴讓我的研究增添很多樂趣。

我也要感謝益勤科技協理 王博慶博士、經理 胡振華先生，因為他們寫的推薦函，讓我可以就讀交通大學研究所，且也由於他們專業的工作資歷，使我比其他人先了解無線網路的世界。還有很多在此論文中提供我建言的，我也非常感謝他們。

最後懷著報恩的心我要感謝我的父母，潘富松先生、潘陳白蓮女士，他們對我的付出全都烙印在我心裡，我會無時無刻來報答他們，再來就是要感謝我的阿公阿嬤，潘文生先生、潘許素花女士，他們教導我天主教信仰，在我遇到挫折時我的心都可以找到正確方向，他們在我碩一、碩二相繼到天父的身邊來不及分享我的喜悅，但他們樂觀的人性永遠是我追求的人生指標，因父及子及聖神保佑他們在天國享永福。

目 錄

中文摘要	-----	v
英文摘要	-----	vi
誌謝	-----	vii
目錄	-----	viii
表目錄	-----	x
圖目錄	-----	xi
一、	緒論	1
1.1	論文簡介	1
1.2	系統規劃	3
二、	鎖相迴路基礎	4
2.1	簡單相位偵測器	4
2.2	一階低通濾波器	4
2.3	二階低通濾波器	6
2.4	相位偵測電路和電荷幫浦電路	7
2.5	鎖相迴路一階模型	8
2.6	鎖相迴路二階模型	10
2.7	鎖相迴路三階模型	11
2.8	參考雜訊分析	14
2.9	電壓控制振盪器原理	15
2.9.1	一般考慮	16
2.9.2	使用LC振盪器振盪條件	18
2.10	相位雜訊	20
2.10.1	相位雜訊定義	21
2.10.2	相位雜訊對通訊系統的影響	22
2.10.3	振盪器的相位雜訊	25
2.10.3.1	非時變模型	25
2.10.3.2	時變模型	27
三、	頻率合成器原理	34
3.1	頻率合成器架構	34
3.2	在5GHz的頻率合成器規劃	34
3.3	除頻器電路設計	36
3.3.1	在5GHz的雙模除法器	36
3.3.2	快速源極耦合邏輯電路除法器	41
3.4	相位偵測器電路設計	44
3.5	電荷幫浦電路設計	45
3.6	電壓控制振盪器電路設計	47

3.6.1	I-MOS 電容-----	48
3.6.2	A-MOS 電容-----	49
3.6.3	高頻電感-----	50
3.6.4	使用電容倍數調整頻率-----	52
3.6.5	使用電晶體開關增加振盪頻寬-----	54
3.6.6	各邏輯電路-----	56
3.7	在2.4GHz的頻率合成器規劃-----	62
3.8	在2.4GHz的雙模除法器-----	62
3.9	Ultra Wide Band VCO-----	65
四、	積體電路和電路板佈線-----	67
4.1	微帶線原理-----	67
4.2	PCB 佈線技巧-----	69
4.3	積體電路佈線考慮-----	71
4.4	靜電放電考慮-----	75
4.5	封裝考慮-----	75
五、	量測結果-----	77
5.1	相位偵測電路量測-----	77
5.2	電荷幫浦電路量測-----	79
5.3	電壓控制振盪器電路量測-----	80
5.4	頻率合成器電路量測-----	83
六、	總結與未來展望-----	87
6.1	總結-----	87
6.2	未來展望-----	89
參考文獻	-----	90
自傳	-----	96

表目錄	
第一章	
表 1 接收靈敏度和相鄰頻道拒斥值規定	2
第三章	
表 2 在 5GHz 的頻率合成器八通道各對應 M N P S 值	36
表 3 為源極耦合邏輯電路電晶體閘極的寬度和長度值	42
表 4 為電荷幫浦電路圖電晶體閘極的寬度和長度值	46
表 5 二輸入及閘電路電晶體閘極的寬度和長度值	57
表 6 六輸入及閘電路電晶體閘極的寬度和長度值	58
表 7 緩衝電路電晶體閘極的寬度和長度值	58
表 8 CMOS 傳輸閘電路電晶體閘極的寬度和長度值	58
表 9 反向電路電晶體閘極的寬度和長度值	59
表 10 二輸入反及閘電路電晶體閘極的寬度和長度值	59
表 11 二輸入反或閘電路電晶體閘極的寬度和長度值	60
表 12 二輸入互斥反或閘電路電晶體閘極的寬度和長度值	60
表 13 二輸入互斥或閘電路電晶體閘極的寬度和長度值	61
表 14 在 2.4GHz 頻率合成器十四通道各對應 M N P S 值	62
第四章	
表 15 ESD 和頻率的關係	75
第五章	
表 16 和使用開關電容的 LC-tank VCO 比較	83
表 17 和完全積體化頻率合成器比較	83



圖目錄

第一章

圖 1 在 802.11a 射頻頻道與寬頻之規範-----1

圖 2 在 IEEE802.11a WLAN 低中頻段通道配置圖-----3

第二章

圖 3 (a)相位偵測器定義 (b)使用 XOR 說明相位偵測器原理-----4

圖 4 (a)電荷幫浦串接一階低通濾波器 (b)一個極點低通濾波器頻率響應-----5

圖 5 (a)電荷幫浦串接二階低通濾波器 (b)二個極點低通濾波器頻率響應-----6

圖 6 (a)加入相位偵測電路的電荷幫浦 (b)輸入輸出狀態圖-----7

圖 7 由相位偵測電路、電荷幫浦電路和 low-pass 濾波電路組成頻率響應-----9

圖 8 簡單的 PLL 二階線性模型-----9

圖 9 (a)二階 PLL 增益和相位波得圖 (b)加一零點在二階 PLL 增益和相位波得圖-----10

圖 10 加一個零點鎖相迴路-----11

圖 11 (a)加 C_2 使得三階 PLL 控制電壓穩定 (b)三階 PLL 數學模式-----12

圖 12 為三階 PLL 增益和相位波得圖-----13

圖 13 (a)電荷幫浦不匹配住入電荷效應 (b)由於電荷幫浦回饋到 VCO 調變-----14

圖 14 回授系統-----16

圖 15 振盪系統隨時間的進展-----17

圖 16 振盪系統的不同觀點-----17

圖 17 理想的 LC 振盪器-----18

圖 18 單級 LC 負載放大器-----18

圖 19 單級 LC 負載放大器小信號模型-----18

圖 20 二級 LC 負載放大器串接振盪器-----19

圖 21 加入尾電流源以降低供應電壓的靈敏度-----20

圖 22 互補式交錯耦合振盪電路-----20

圖 23 訊號向量偏移量-----21

圖 24 載波頻率在 4.136688GHz 的相位雜訊-----22

圖 25 (a)理想振盪器輸出功率 (b)真實振盪器輸出功率-----23

圖 26 無線收發機基本架構-----23

圖 27 當本地振盪器為理想振盪器時的頻率轉換-----24

圖 28 相位雜訊對接收機接收的影響-----24

圖 29 相位雜訊對發射機影響-----25

圖 30 振盪器的相位雜訊模型-----25

圖 31 Leeson's 相位雜訊模型-----27

圖 32 電流脈衝注入到 L-C tank VCO 簡化圖-----28

圖 33 脈衝注入振盪器造成的改變-----28

圖 34 舉出 ISF 函數的例子(a)L-C tank VCO (b)ring VCO-----29

圖 35 Hajimiri 和 T. H. Lee 相位雜訊模型-----30

圖 36 Hajimiri 和 T. H. Lee 相位雜訊示意圖-----33

第三章

圖 37 頻率合成器基本架構圖-----34

圖 38 可規劃的頻率除法器-----35

圖 39 CMOS D 門鎖電路和簡化圖-----37

圖 40 CMOS 邊緣觸發主僕式 D 型正反器-----37

圖 41 除 5 電路	38
圖 42 除 5 電路時序圖	38
圖 43 除 4 電路	38
圖 44 除 4 電路時序圖	39
圖 45 除 4/5 電路	39
圖 46 除 4/5 除頻器 MC = 0 時序圖	40
圖 47 除 4/5 除頻器 MC = 1 時序圖	41
圖 48 源極耦合邏輯電路	41
圖 49 沒有清除端的 D 型正反器	42
圖 50 PROGRAM 和 SWALLOW COUNTER 電路	43
圖 51 有清除端的 D 型正反器	43
圖 52 PULSE-SWALLOW 頻率除法器	44
圖 53 相位頻率偵測器電路和所使用的 D 型正反器	44
圖 54 模擬 CLK _A < CLK _B 正脈衝圖	45
圖 55 (a)由邏輯閘組成的相位偵測電路 (b)其內部波形	45
圖 56 電荷幫浦電路圖	46
圖 57 電荷幫浦放電狀態	47
圖 58 (a)使用 MOS 的變容二極體架構 (b)電容變化曲線 (c)串聯的等效電容	48
圖 59 (a)增加反向 PMOS 電容架構 (b)電容變化曲線	49
圖 60 (a)增加累積 NMOS 電容架構 (b)電容變化曲線	50
圖 61 繞線電感模型	51
圖 62 高頻時電流分布情形 @ 7.2GHz	51
圖 63 低頻時電流分布情形 @ 1.041GHz	52
圖 64 (a)互補式交錯耦合 LC-tank 振盪電路 (b)開關電容陣列	53
圖 65 相對電容陣列振盪頻率範圍	53
圖 66 在 5GHz 的 CMOS L-C TANK 壓控振盪器電路圖	54
圖 67 在 5GHz 的控制電壓對震盪頻率模擬結果	55
圖 68 在 5GHz 的 KVCO 模擬結果(MAX1280MHz/V @0.625V)	55
圖 69 在 5GHz 的相位雜訊模擬(-91.09dBc/Hz @100KHz)	56
圖 70 在 5GHz 電荷幫浦相位鎖住穩定時間模擬結果(1.0uS)	56
圖 71 二輸入及開電路	57
圖 72 六輸入及開電路	57
圖 73 緩衝電路	58
圖 74 CMOS 傳輸開電路	58
圖 75 反向電路	59
圖 76 二輸入反及開電路	59
圖 77 二輸入反或開電路	59
圖 78 二輸入互斥反或開電路	60
圖 79 二輸入互斥或開電路	61
圖 80 在 2.4GHz 的除 15/16 電路	62
圖 81 在 2.4GHz 的 PROGRAM 和 SWALLOW COUNTER 電路	63
圖 82 在 2.4GHz 的 PULSE-SWALLOW 頻率除法器	63
圖 83 在 2.4GHz 控制電壓對震盪頻率模擬結果	63
圖 84 在 2.4GHz 的 KVCO 模擬結果	64

圖 85 在 2.4GHz 相位雜訊模擬(-95.36dBc/Hz@100KHz)-----	64
圖 86 在 2.4GHz 電荷幫浦相位鎖住穩定時間模擬結果(4.2uS)-----	65
圖 87 UWB mode1-----	65
圖 88 mode1 and mode2-----	65
圖 89 UWB 主頻率振盪範圍-----	66
圖 90 頻率倍頻器電路-----	66
圖 91 頻率倍頻器輸出波形-----	66
第四章	
圖 92 一段微量長度傳輸線等效電路(a) 電壓、電流的定義(b)集總等效電路-----	67
圖 93 電源加入去耦元件配置圖-----	70
圖 94 PCB layout 實體圖-----	71
圖 95 (a)微帶線傳輸電磁場 (b)共平面波線傳輸電磁場-----	72
圖 96 (a)加入地線以屏蔽靈敏信號 (b)加大線間的距離以減少耦合-----	72
圖 97 藉由上下接地平面以屏蔽一靈敏的線路-----	73
圖 98 頻率合成器 IC layout 圖-----	74
圖 99 電壓控制振盪電路 IC layout 圖-----	74
圖 100 積體電路中加入 ESD 保護電路-----	75
圖 101 裸晶封裝-----	76
圖 102 接收端開路的傳輸線-----	76
第五章	
圖 103 測量整合型頻率合成器外部電路-----	77
圖 104 測試相位偵測電路-----	78
圖 105 量測 CKUP > CKDOWN 正脈衝圖-----	78
圖 106 量測 CKUP=CKDOWN 時的闌延遲為 123nS-----	79
圖 107 電荷幫浦電路量測電路-----	79
圖 108 電荷幫浦電路充電時相位鎖住穩定時間量測結果(145uS)-----	80
圖 109 電荷幫浦電路放電時相位鎖住穩定時間量測結果(185uS)-----	80
圖 110 電壓控制振盪器量測電路-----	81
圖 111 使用 3 號乾電池量測電壓控制振盪電路-----	81
圖 112 控制電壓對震盪頻率量測結果-----	82
圖 113 相位雜訊模擬(-88.87dBc/Hz @100KHz)-----	82
圖 114 頻率合成器量測電路-----	84
圖 115 量測頻率合成電路儀器使用圖-----	84
圖 116 參考頻率、除法器、相位偵測電路和振盪器控制電壓波形-----	85
圖 117 參考雜訊頻譜-----	85
圖 118 單一顆 VCO 振盪頻率範圍-----	86
圖 119 單一顆 VCO 相位雜訊量測(-83.85dBc/Hz @100KHz)-----	86
圖 120 頻率合成器內 VCO 相位雜訊有 SPUR(-88.64dBc/Hz @100KHz)-----	86
第六章	
圖 121 (a)相位偵測電路增加 DELAY CHAIN (b)電荷幫浦電路增加電壓補償-----	89