

第一章

緒論

1.1 論文簡介

由於可攜式電腦普及率的快速成長，行動數據需求性的增加及網路市場的成熟發展，WLAN(無線區域網路；Wireless Local Area Network)對今日的電腦及通訊工業來講，將成為一項重要的觀念及技術。無線區域網路正逐漸受到重視，為了使各種競爭產品之間能相容互通，標準的制定就成了重要的工作。IEEE(電機電子工程師協會；The Institute of Electrical and Electronics Engineers)和 ETSI(歐洲電信標準協會；European Telecommunication Standards Institute)，則是促成這些標準最大的兩股力量。在北美，FCC(Federal Communication Commission)於 5GHz 規畫了 300MHz 頻寬給 ISM(工業、科學與醫療應用；Industrial Scientific and Medical)即是 U-NII(unlicensed national information infrastructure)頻帶上使用，IEEE802 標準制定委員會在 1997 年提出了 IEEE802.11，接這在 1999 年又提出了 IEEE802.11b[1]和 IEEE802.11a [2]。另外，在歐洲方面，ETSI 的 BRAN(寬頻射頻接取網路技畫室；Broadband Radio's Access Networks Project)制定 HIPERLAN/2(高效能無線區域網路；High Performance LAN)，其應用與實體層技術均與 IEEE802.11a 相似。

802.11a 系統頻率範圍如圖 1 所示分為低、中、高三個頻帶，低頻帶為 5150~5250MHz，有四個頻道中心頻率依序為 5180MHz、5200MHz、5220MHz 和 5240MHz 最大輸出功率限制在 40mW(16dBm)。中頻帶為 5250~5350MHz，有四個頻道中心頻率依序為 5260MHz、5280MHz、5300MHz 和 5320MHz 最大輸出功率限制在 200mW(23dBm)，高頻帶為 5750~5850MHz，有四個頻道中心頻率依序為 5745MHz、5765MHz、5785MHz 和 5805MHz 最大輸出功率限制在 800mW(29dBm)，頻帶內每一個頻寬為 20MHz。

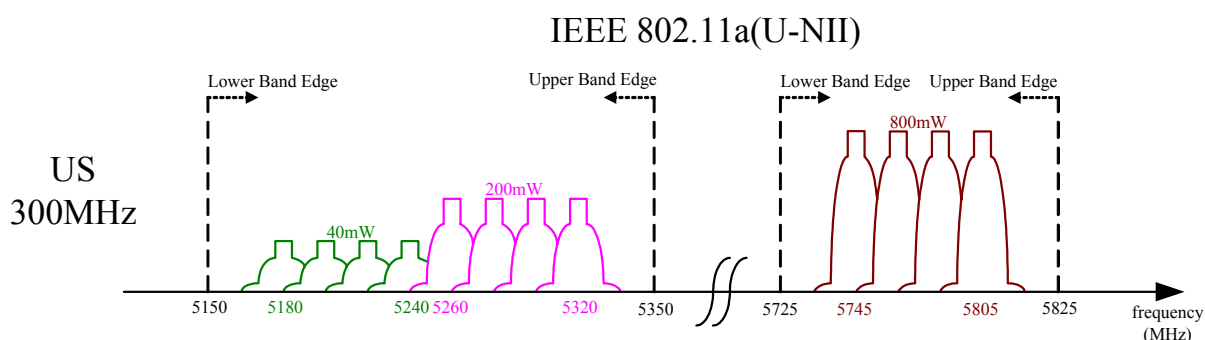


圖 1 在 802.11a 射頻頻道與寬頻之規範

IEEE802.11a 使用 OFDM[3](頻率正交分頻多工; Orthogonal Frequency Division Multiplexing)技術，利用 52 個副載波在不同頻段同時傳送資料以增加傳輸速度，其目的是要可以克服頻率選擇性通道衰減(Frequency Selective Fading Channel)，其傳輸速率分別為 6Mbps、9Mbps、12Mbps、18Mbps、24Mbps、36Mbps、48Mbps 和 54Mbps，其資料可以透過 BPSK、QPSK、16QAM 和 64QAM 來調變。

IEEE802.11a 系統規範的最大輸入功率限制為-30dBm，接收機靈敏度隨傳輸速率訂為-82dBm 至-65dBm，相鄰頻道的拒斥值亦隨之由 16dB 變為-1dB，間隔相鄰頻道拒次值亦隨之由 32dB 變為 15dB，如表 1 所示。

Data rate (Mbps)	Minimum Sensitivity(dBm)	Adjacent Channel Rejection(dB)	Alternate Adjacent Channel Rejection(dB)	Modulation
6	-82	16	32	BPSK
9	-81	15	31	BPSK
12	-79	13	29	QPSK
18	-77	11	27	QPSK
24	-74	8	24	16-QAM
36	-70	4	20	16-QAM
48	-66	0	16	64-QAM
54	-65	-1	15	64-QAM

表 1 接收靈敏度和相鄰頻道拒斥值規定

為了符合 OFDM 調變要求設計頻率合成器 VCO(電壓控制振盪器; Voltage Control Oscillator)須符合低的相位雜訊和高的頻率穩定度，所以在規格上 40MHz 的主頻率需要有 10ppm 以下的誤差，因為這是要得穩定度頻率輸出的參考依據。

以往應用在高頻電路的設計皆以 GaAsMESFET 或 HBT 為主，主要是因為其工作頻率高、雜訊低等因素，隨著近年來 CMOS 製程技術的進步，CMOS 在元件

特性上已可能達到高頻電路的要求[4][5][6]，而且 CMOS 成本較低、技術成熟、可以和基頻電路相結合成為 SOC(單系統晶片；System On Chip)，故 CMOS RFIC 已成為無線通訊射頻模組的新趨勢。

1.2 系統規劃

IEEE802.11a WLAN 工作在 5GHz 所以我們製作的頻率合成器的 VCO 需要振盪到 5GHz。OFDM 調變方式需要有低相位雜訊和高振盪頻率穩定度，所以我們使用 L-C tank VCO 架構。而頻率合成器採用 N-Integer(整數型-N)來產生 5GHz U-NII 頻帶低、中頻段的 5180MHz、5200MHz、5220MHz、5240MHz、5260MHz、5280MHz、5300MHz 和 5320MHz 的中心頻率，如圖 2 所示。

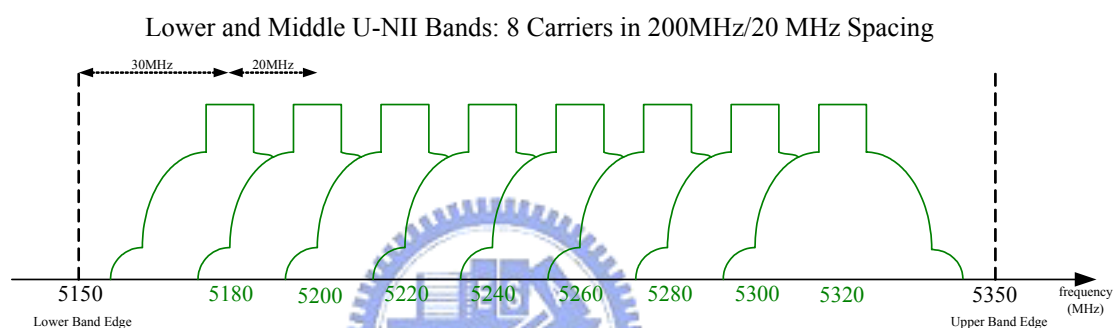


圖 2 在 IEEE802.11a WLAN 低中頻段通道配置圖

在頻率合成器中包括了，N-Integer 除法器、相位偵測器(Phase Detectors)、電荷幫浦(Charge Pump)、晶片外低通濾波器和 VCO，其中 N-Integer 除法器我們使用 Pulse-Swallow Divider 架構來實現載波頻率的取得，而相位偵測器我們使用邊緣觸發型的 DFF(D 型正反器：D Flip Flop)來實現，電荷幫浦設計為慢速充放電且有相同的電流以減少參考頻率雜訊(Reference spurious)，晶片外低通濾波器設計為極點二階型式和 VCO 所產生的極點一階型式組成頻率合成器有極點三階型式所以要注意整個回路是否會產生振盪，而 VCO 為整個頻率合成器的重點，為了得到低的相位雜訊和高振盪頻率穩定度 L-C tank 為必需的選擇，雖然他佔的晶片面積大也沒有直流準位的輸出，為了使 VCO 有高的振盪頻率範圍且不受製程和溫度的影響，我們在 L-C tank 下多設計了電容開關網路(Switched Capacitor Network)以預防上述兩項缺點。茲將上述電路的理論推導和實現電路分述如下：

第二章

鎖相迴路基礎

2.1 簡單相位偵測器

相位偵測器理想上，輸出的電壓，是和兩個輸入的頻率相位，成一個正比例的關係，如圖 3 所示 $\overline{V_{out}}$ 和 $\Delta\Phi$ 的關係是線性的。

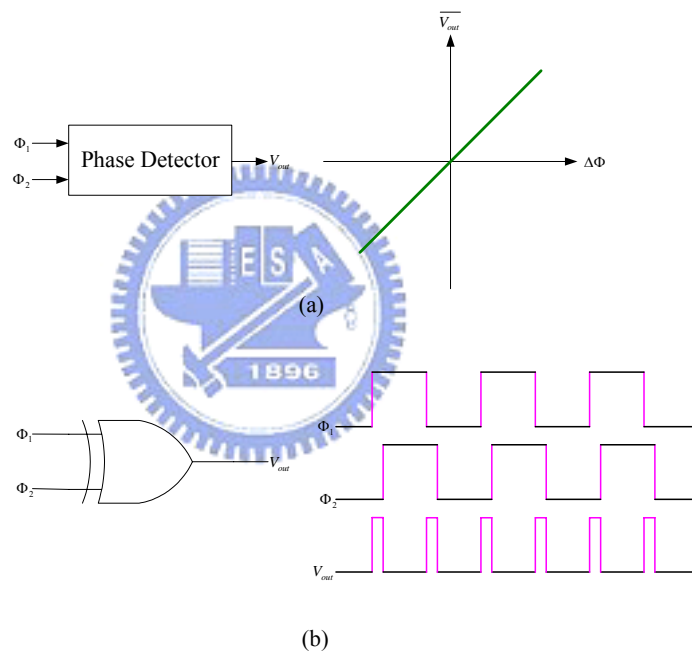


圖 3 (a)相位偵測器定義 (b)使用 XOR 說明相位偵測器原理

當 XOR 輸入有不同準位時輸出會得到高電位，此電路僅在說明相位偵測器原理在實作電路上是不可行的因為 Φ_1 和 Φ_2 需要有相同的工作週期(Duty Cycle)。我們會在電路實作中提出實現的電路到時候在多做說明。

2.2 一階低通濾波器

一階低通濾波器使用在 PLL 中成為二階鎖相迴路[7]，在第四章電路實作，有討論相位頻率偵測器，使用電荷幫浦當輸出，在電荷幫浦電路，串接低通濾波器去看有多少的相位差異，而轉換成電壓輸出。在這一節中將要討論，高階

低通濾波器，是否適合串接在一階鎖相迴路，而得到穩定的輸出電壓，且可以有效控制振盪器。低通濾波器和 PLL 可以用數學方程式來模型化，而分析此數學模式之目的，是為了很快找到低通濾波器 R 和 C 值如圖 4(a)，而這些值是大約的值，我們大約可以猜測 f_2 的頻率是和調變的最小頻寬有關，在 IEEE802.11a 的最小傳輸速率為 6Mbps，所以設計 f_2 要遠離和小於此值，在 f_2 決定後，很快就可以求得 R 和 C 值如式(6)。之後求得整個閉迴路的 PLL 頻率響應，因為 VCO 會產生一個極點，所以使用此一階低通濾波器，有可能會發生振盪，若帶入的 R 和 C 值，發生振盪我們在微調到不會振盪的 f_2 ，若不會振盪也要有足夠的相位邊限(Phase Margin)，正常我們都保留有 60° 相位邊限。

一階的低通濾波器

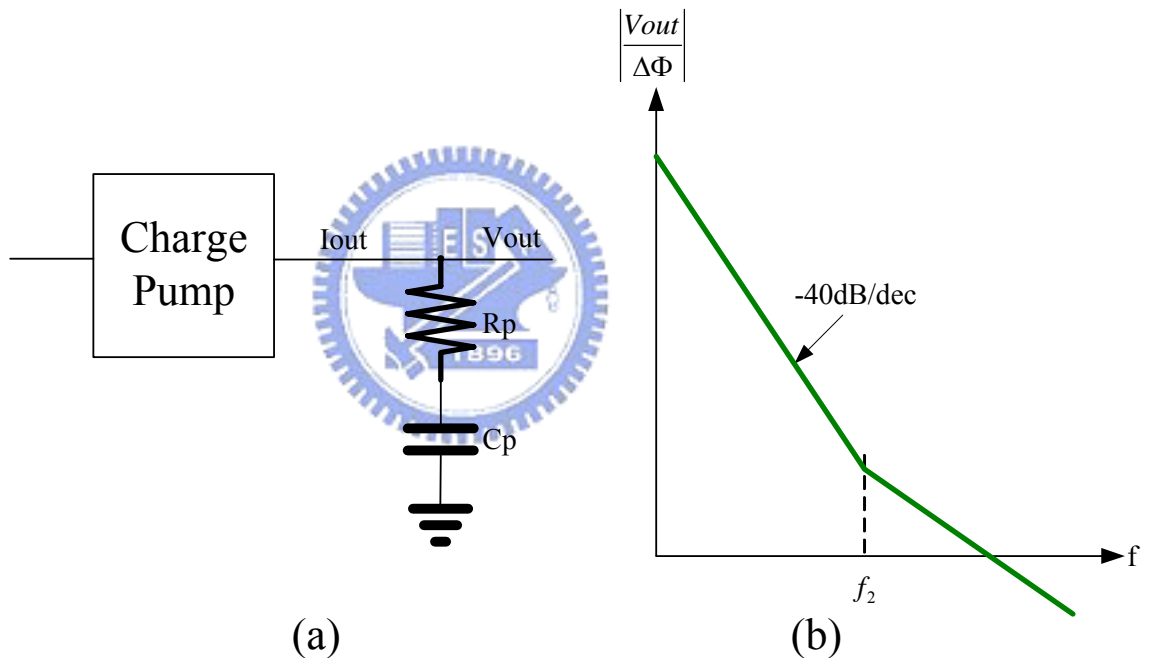


圖 4 (a)電荷幫浦串接一階低通濾波器 (b)一個極點低通濾波器在 PLL 頻率響應

$$V_{out} = I_{out} \left(R_p + \frac{1}{C_p S} \right) \quad (1)$$

$$\frac{I_{out}}{\Delta\Phi} = \frac{I_p}{2\pi} \quad (2)$$

$$\frac{V_{out}}{\Delta\Phi} = \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p S} \right) = \frac{I_p}{2\pi} \frac{1 + R_p C_p S}{C_p S} \quad (3)$$

$$\text{令 } R_b = \frac{2\pi}{I_p} \quad (4)$$

$$\frac{V_{out}}{\Delta\Phi} = \frac{1 + R_p C_p S}{R_b C_p S} = \frac{1 + \tau_2 S}{\tau_1 S} \quad (5)$$

$$\tau_1 = R_b C_p, \tau_2 = R_p C_p, f_2 = \frac{1}{2\pi R_p C_p} \quad (6)$$

2.3 二階低通濾波器

二階低通濾波器使用在 PLL 中成為三階的鎖相迴路，二階低通濾波器如圖 5(a)所示，他計算的方式類似一階低通濾波器，而在濾波器的轉移函數中，如圖 5(b) τ_3 總是小於 τ_2 典型值大約是 10 倍，而 C_2 也要比 C_p 小。所以可以由最小傳輸速率，為 6Mbps 先決定 f_3 的 R_p 和 C_2 值，且要符合 $f_3 = 10f_2$ 可求得 C_p 值，最後再將算出的值，代入閉迴路鎖相迴路數學方程式中，求得暫態響應，分析穩定時間(setting time)和相位邊線是否達到我們要求，若沒有微調低通濾波器 f_3 和 f_2 極點頻率值，這樣重複算可以快速，而正確的求得穩定的鎖相迴路電路。

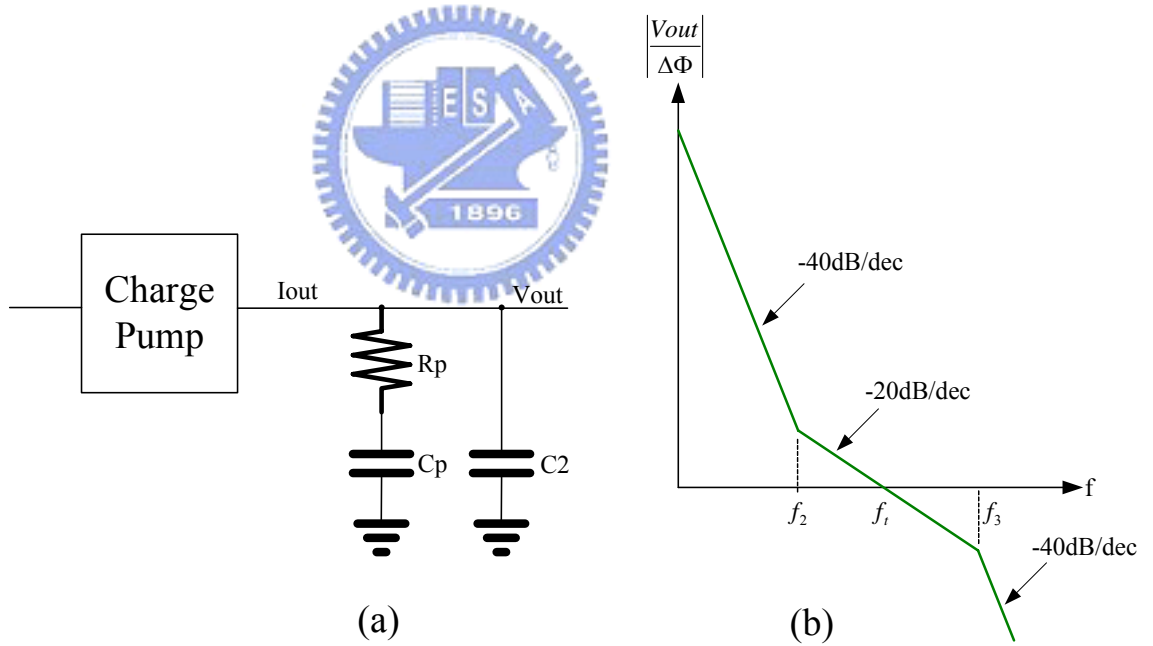


圖 5 (a)電荷幫浦串接二階低通濾波器 (b)二個極點低通濾波器頻率響應

$$V_{out} = I_{out} \left[\left(R_p + \frac{1}{C_p S} \right) \| C_2 \right] = I_{out} \frac{1 + R_p C_p S}{(R_p C_p C_2 S + C_p + C_2) S} \quad (7)$$

$$\frac{I_{out}}{\Delta\Phi} = \frac{I_p}{2\pi} \quad (8)$$

$$\frac{V_{out}}{\Delta\Phi} = \frac{I_p}{2\pi} \left(\frac{1 + R_p C_p S}{(R_p C_p C_2 S + C_p + C_2) S} \right) \quad (9)$$

$$\text{令 } R_b = \frac{2\pi}{I_p} \quad (10)$$

$$\frac{V_{out}}{\Delta\Phi} = \frac{1 + R_p C_p S}{R_b (R_p C_p C_2 S + C_p + C_2) S} \quad (11)$$

$$= \frac{1 + R_p C_p S}{SR_b (C_p + C_2) \left(1 + \frac{R_p C_p C_2}{C_p + C_2} S \right)} = \frac{1 + \tau_2 S}{S \tau_1 (1 + \tau_3 S)} \quad (12)$$

$$\tau_1 = R_b (C_p + C_2), \tau_2 = R_p C_p, \tau_3 = \frac{R_p C_p C_2}{C_p + C_2} \quad (13)$$

$$C_p \gg C_2 ; \quad \tau_1 \approx R_b C_p, \tau_2 \approx R_p C_p, \tau_3 \approx R_p C_2 \quad (14)$$

$$f_3 = \frac{1}{2\pi R_p C_2}, f_2 = \frac{1}{2\pi R_p C_p} \quad (15)$$

2.4 相位偵測器和電荷幫浦

相位偵測器如何利用到鎖相迴路呢[8][9][10]？因為我們有興趣的是 UP 和 DOWN 的平均值的不同，而這兩個輸出，可以用低通濾波器去偵測它們的不同，且有一個電荷幫浦電路，可以放入相位頻率偵測電路，和低通濾波電路之間，將 UP 和 DOWN 轉換成只有一個輸出。

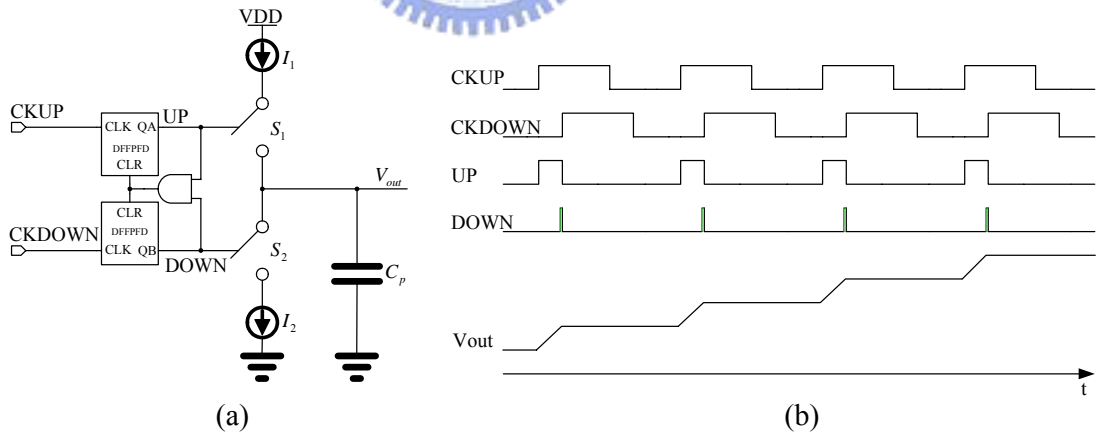


圖 6 (a)加入相位偵測電路的電荷幫浦 (b)輸入輸出狀態圖

一個電荷幫浦，有兩個電流開關組成，他能將電荷注入，或流出低通濾波器，而控制電荷量大小，是由兩個 UP 和 DOWN 的邏輯輸入。圖 6(a)舉出電荷幫浦被相位偵測電路控制，而去驅動電容，這個電路有三個狀態，若 UP=DOWN=0 則 S_1 和 S_2 是關閉的， V_{out} 保持不變，若 UP=1、DOWN=0 則 S_1 開啟 I_1 向 C_p 充電，相反

的若 UP=0、DOWN=1 則 S_2 開啟 C_p 以 I_2 的電流量放電。因此，如 UP 一直領先 DOWN 則 UP 連續的產生脈衝，使得 V_{out} 穩定的上昇，假如 I_1 和 I_2 的電流量是相同的，這個假設是設計電荷幫浦電路重要達成的目標，若趨近完美，可以減少參考雜訊(reference spurious)，而 I_1 和 I_2 電流量的大小，會影響參考雜訊的量，若 I_1 和 I_2 電流量小，會得到小的參考雜訊，以至於不會影響到 VCO 的品質，但有可能不能達到穩定時間，相反的，若使用大的 I_1 和 I_2 電流，會使得穩定時間會縮短，但參考雜訊就會上升，而影響到 VCO 的頻率穩定性。所以 I_1 、 I_2 電流量和穩定時間需要互相妥協(trade off)。

2.5 鎖相迴路二階模型

這個章節導出相位偵測電路，和電荷幫浦電路在 S 領域(DOMAIN)數學方程式，並配合電壓控制振盪器，在 S 領域數學方程式，將這兩個數學模式代入鎖相迴路中，此也有數學方程式，再求出此電路的閉迴路方程式，由分析，有迴授的放大器，可能在某一個頻率下會變成振盪器，若將他拿來分析鎖相迴路的閉迴路模型，此答案是肯定的，鎖相迴路也會在某一個頻率下，若設計不好也有可能發生振盪，這是所有，有迴路的電路都需要分析的，茲分析如下：

我們假設電荷幫浦，所提供給電容器的充電放電電流為 $\pm I_p$ ，和相位頻率偵測電路輸入的週期為 T_{in} ，如圖在 $t=0$ 之前，輸入到相位頻率偵測電路的兩個相位差為零，之後 CKDOWN 落後 CKUP 有一個相位差為 Φ_0 ，寫成數學模式為 $\Delta\Phi = \Phi_0 u(t)$ (當 $t>0$ 時才有值)，當有此相位差時，此 Φ_0 會開啟 I_p 電流向 C_p 電容

充一段時間，我們可以計算此充電時間為 $\frac{\Phi_0}{2\pi} = \frac{t_x}{T_{in}}$ 所以 $t_x = \frac{\Phi_0 T_{in}}{2\pi}$ ，而在此時間充

電下， C_p 內的電壓增加多少呢？電荷恆等式 $Q=CV=It$ 所以 $C_p V_{out} = I_p \frac{\Phi_0 T_{in}}{2\pi}$ 得到

$V_{out} = I_p \frac{\Phi_0 T_{in}}{2\pi C_p}$ 等效了輸出電壓有一個斜率 $\frac{I_p \Phi_0}{2\pi C_p}$ ，所以進一步將 V_{out} 表示為，一個

線性的表示式：

$$V_{out}(t) = \frac{I_p}{2\pi C_p} t \Phi_0 u(t) \quad (16)$$

而脈衝響應為：

$$h(t) = \frac{I_p}{2\pi C_p} u(t) \quad (17)$$

將輸出電壓和輸入的相位差，在時間軸上關係轉為 S 領域關係

$$\frac{V_{out}}{\Delta\Phi}(s) = \frac{I_p}{2\pi C_p} \frac{1}{S} \quad (18)$$

所以由上的推導相位偵測電路、電荷幫浦和低通濾波器組成的電路，包含一個極點在原點上而 $\frac{I_p}{2\pi C_p}$ 為此電路的增益，我們也稱此二階鎖相迴路為模型 I (Mode I)。

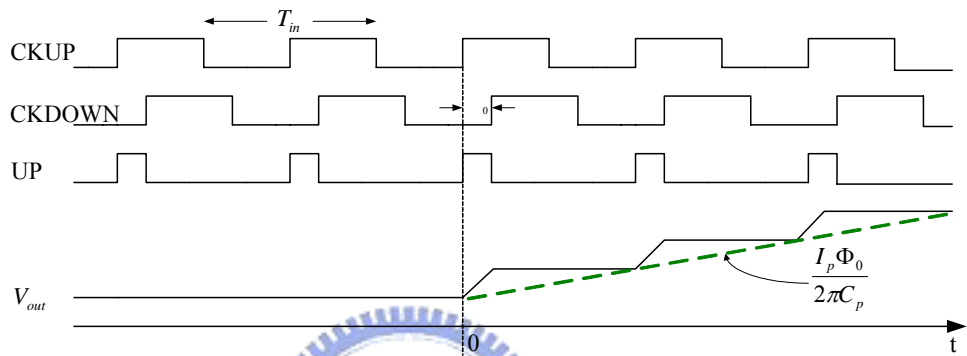


圖 7 由相位偵測電路、電荷幫浦電路和 low-pass 濾波電路組成頻率響應

我們再重建鎖相迴路二階的數學線性模型如圖 8

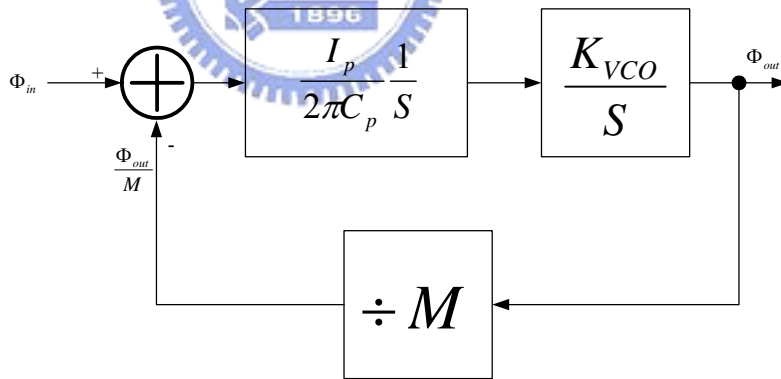


圖 8 簡單的 PLL 二階線性模型

這個模型的閉迴路轉移函數為

$$\Phi_{out}(s) = \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{S^2} \left(\Phi_{in} - \frac{\Phi_{out}}{M} \right) \quad (19)$$

$$\Phi_{out}(s) \left(1 + \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{MS^2} \right) = \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{S^2} \Phi_{in} \quad (20)$$

$$H(s)_{closed} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{\frac{I_p}{2\pi C_p} \frac{K_{VCO}}{S^2}}{1 + \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{MS^2}} = \frac{\frac{I_p}{2\pi C_p} K_{VCO}}{S^2 + \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{M}} \quad (21)$$

這個模型的開迴路轉移函數為

$$H(s)_{open} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{S^2} \quad (22)$$

畫出其增益波得圖(Bode plot) , 和相位波得圖如下圖 9 , 在二階鎖相迴路模 I 中 , 頻率上升到某一個值時 , 若此時相位為 -180° , 因巴克豪生準則 ($|H(j\omega)| = 1$, $\angle H(j\omega) = 180^\circ$) 使得鎖相迴路發生振盪 , 為了穩定的系統 , 我們直覺上需要加一個零點使得此鎖相迴路頻率 , 操作在某一個值時 , 因為有一個零點和一個極點對消 , 相位的偏移才只有 -90° 而保證了此鎖相迴路為穩定的系統。

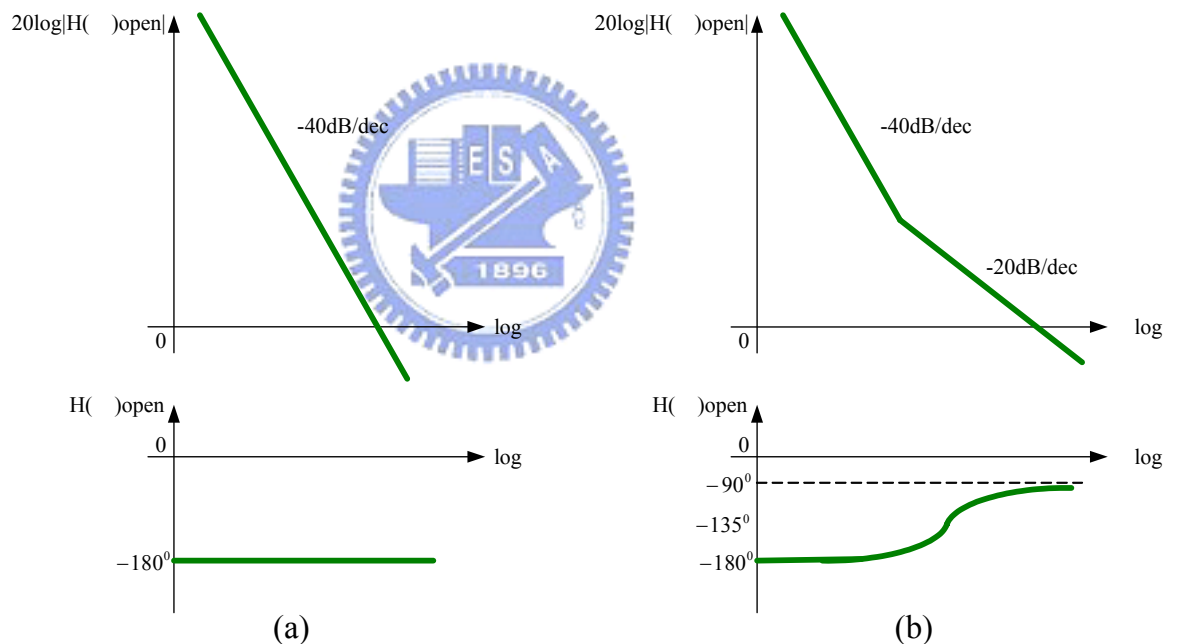


圖 9 (a)二階 PLL 增益和相位波得圖 (b)加一零點在二階 PLL 增益和相位波得圖

2.6 鎖相迴路二階模型

下圖為加一個零點鎖相迴路

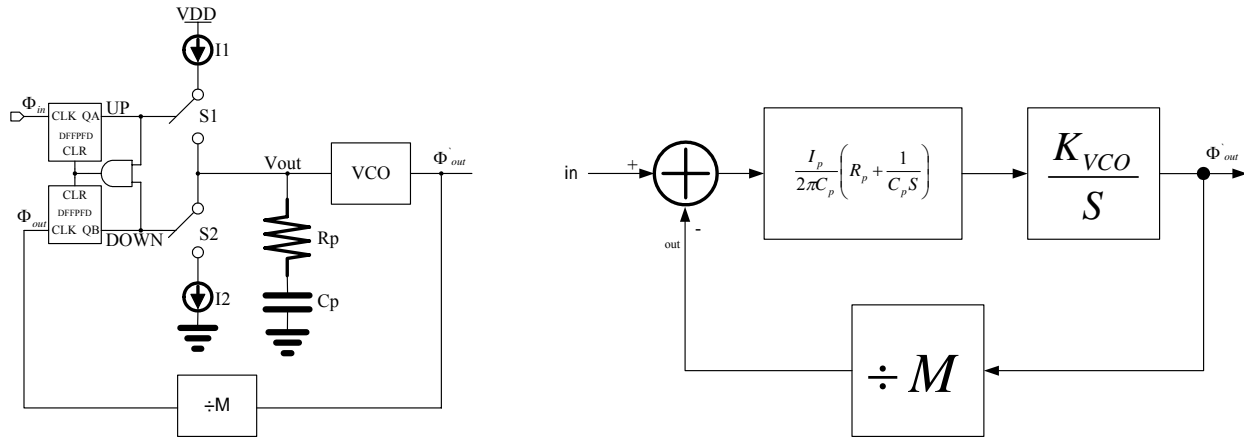


圖 10 加一個零點鎖相迴路

這個模型的閉迴路轉移函數為

$$\Phi_{out}(s) = \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p S} \right) \frac{K_{VCO}}{S} \left(\Phi_{in} - \frac{\Phi_{out}}{M} \right) \quad (23)$$

$$\Phi_{out}(s) \left(1 + \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p S} \right) \frac{K_{VCO}}{MS} \right) = \frac{I_p}{2\pi} \frac{K_{VCO}}{S} \left(R_p + \frac{1}{C_p S} \right) \Phi_{in} \quad (24)$$

$$H(s)_{closed} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{\frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p S} \right) \frac{K_{VCO}}{S}}{1 + \frac{I_p}{2\pi} \left(R_p + \frac{1}{C_p S} \right) \frac{K_{VCO}}{MS}} \quad (25)$$

$$= \frac{\frac{I_p}{2\pi} \left(\frac{R_p C_p S + 1}{C_p S} \right) \frac{K_{VCO}}{S}}{1 + \frac{I_p}{2\pi} \left(\frac{R_p C_p S + 1}{C_p S} \right) \frac{K_{VCO}}{MS}} = \frac{\frac{I_p K_{VCO}}{2\pi C_p} (R_p C_p S + 1)}{S^2 + \frac{I_p}{2\pi C_p} \frac{K_{VCO}}{M} (R_p C_p S + 1)} \quad (26)$$

這個模 II 鎖相迴路，會遭遇到一個嚴重的問題，因為電荷幫浦對串聯的 R_p 和 C_p 充電時，每次電流被注入到迴路濾波器時，控制 VCO 的電壓會有一個大的跳躍，此時若在鎖住的條件下由於 I_1 和 I_2 的不匹配在電荷的注入下，時脈會穿過 S_1 和 S_2 ，近而導至控制 VCO 的電壓跳動，因為這個電壓漣波而擾動 VCO，使得 VCO 的相位變的極差，為了降低這個因素的影響，我們加一個並聯電容在串聯的 R_p 和 C_p 旁，去壓制電壓的跳動，因為加入的電容，使得低通濾波器現在變成為二階，而得到鎖相迴路有三階，所以要有穩定的鎖相迴路系統更難了。

2.7 鎖相迴路三階模型

下圖為低通濾波器多加一個零點且並聯 C_2 得到穩定控制電壓的鎖相迴路

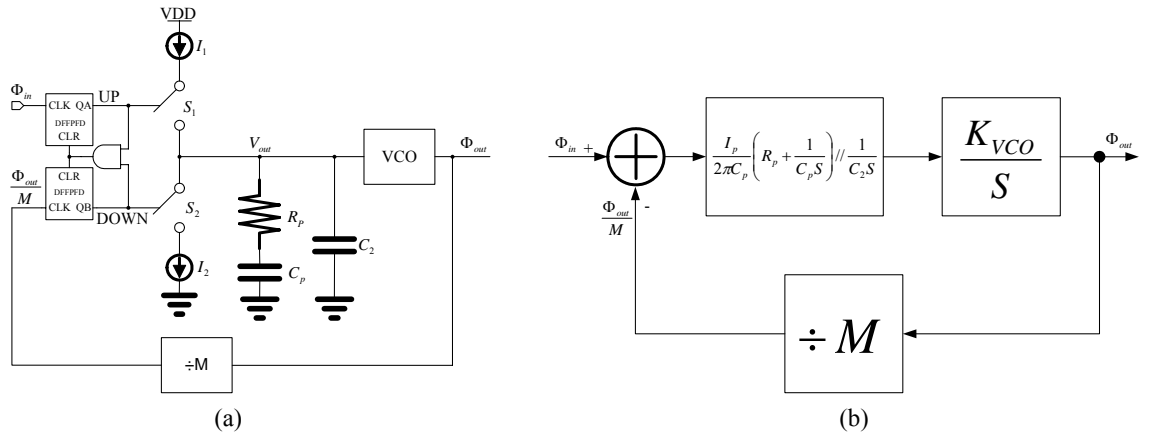


圖 11 (a)加 C_2 使得三階 PLL 控制電壓穩定 (b)三階 PLL 數學模式

這個模型的閉迴路轉移函數為

$$\Phi_{out}(s) = \frac{I_p^*}{2\pi} \left[\left(R_p + \frac{1}{C_p S} \right) // \frac{1}{C_2 S} \right] \frac{K_{VCO}}{S} \left(\Phi_{in} - \frac{\Phi_{out}}{M} \right) \quad (27)$$

$$\Phi_{out}(s) \left(1 + \frac{I_p^*}{2\pi} \left[\left(R_p + \frac{1}{C_p S} \right) // \frac{1}{C_2 S} \right] \frac{K_{VCO}}{MS} \right) = \frac{I_p^*}{2\pi} \left[\left(R_p + \frac{1}{C_p S} \right) // \frac{1}{C_2 S} \right] \frac{K_{VCO}}{S} \Phi_{in} \quad (28)$$

$$H(s)_{closed} = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{\frac{I_p^*}{2\pi} \left[\left(R_p + \frac{1}{C_p S} \right) // \frac{1}{C_2 S} \right] \frac{K_{VCO}}{S}}{1 + \frac{I_p^*}{2\pi} \left[\left(R_p + \frac{1}{C_p S} \right) // \frac{1}{C_2 S} \right] \frac{K_{VCO}}{MS}} \quad (29)$$

$$\begin{aligned} & \frac{\frac{I_p^*}{2\pi} \left[\left(R_p + \frac{1}{C_p S} \right) \frac{1}{C_2 S} \right] \frac{K_{VCO}}{S}}{R_p + \frac{1}{C_p S} + \frac{1}{C_2 S}} = \frac{\frac{I_p^*}{2\pi} \left[\frac{C_p C_2 S \left(R_p + \frac{1}{C_p S} \right) \frac{1}{C_2 S}}{C_p C_2 S \left(R_p + \frac{1}{C_p S} + \frac{1}{C_2 S} \right)} \right] \frac{K_{VCO}}{S}}{\quad} \\ & = \frac{1 + \frac{I_p^*}{2\pi} \left[\left(R_p + \frac{1}{C_p S} \right) \frac{1}{C_2 S} \right] \frac{K_{VCO}}{MS}}{1 + \frac{I_p^*}{2\pi} \left[\frac{C_p C_2 S \left(R_p + \frac{1}{C_p S} \right) \frac{1}{C_2 S}}{C_p C_2 S \left(R_p + \frac{1}{C_p S} + \frac{1}{C_2 S} \right)} \right] \frac{K_{VCO}}{MS}} \quad (30) \end{aligned}$$

$$= \frac{\frac{I_p^*}{2\pi} \left[\frac{(R_p C_p S + 1) \frac{1}{S}}{R_p C_p C_2 S + C_p + C_2} \right] \frac{K_{VCO}}{S}}{1 + \frac{I_p^*}{2\pi} \left[\frac{(R_p C_p S + 1) \frac{1}{S}}{R_p C_p C_2 S + C_p + C_2} \right] \frac{K_{VCO}}{MS}} = \frac{\frac{I_p^*}{2\pi} \left[\frac{R_p C_p S + 1}{(R_p C_p C_2 S + C_p + C_2) S} \right] \frac{K_{VCO}}{S}}{1 + \frac{I_p^*}{2\pi} \left[\frac{R_p C_p S + 1}{(R_p C_p C_2 S + C_p + C_2) S} \right] \frac{K_{VCO}}{MS}} \quad (31)$$

$$= \frac{\frac{I_p^* K_{VCO}}{2\pi} (R_p C_p S + 1)}{(R_p C_p C_2 S + C_p + C_2) S^2 + \frac{I_p^* K_{VCO}}{2\pi M} (R_p C_p S + 1)} \quad (32)$$

$$= \frac{\frac{I_p^* K_{VCO}}{2\pi} (R_p C_p S + 1)}{R_p C_p C_2 S^3 + (C_p + C_2) S^2 + \frac{I_p^* K_{VCO}}{2\pi M} R_p C_p S + \frac{I_p^* K_{VCO}}{2\pi M}} \quad (33)$$

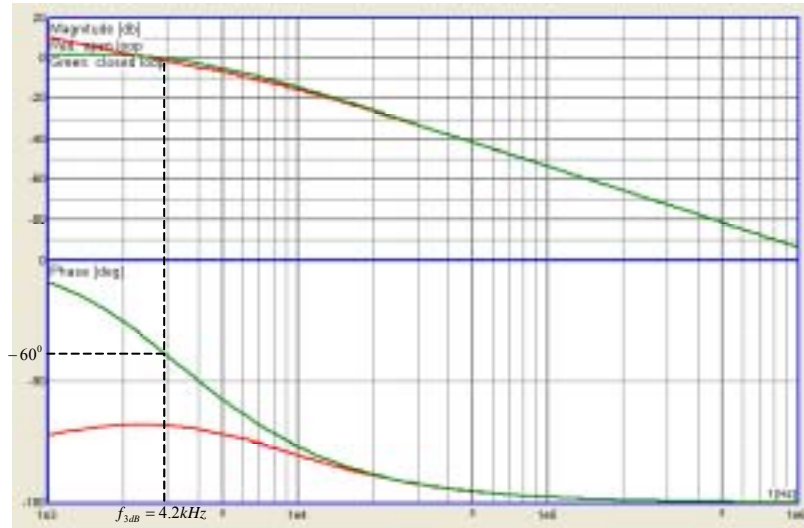


圖 12 為三階 PLL 增益和相位波得圖

由 ADS 萃取出下列參數值並帶入 SystemView 模擬軟體模擬增益和相位波得圖 [11][12][13] [14]。

$$K_{VCO} = \frac{6.177 - 5.385}{1 - 0.3} 2\pi \cdot \text{rad} / \text{s} / \text{V} = 1.131428571 \times 10^9 \text{ rad} / \text{s} / \text{V} \quad (34)$$

$$K_p = \frac{DF_{High} - UF_{Low}}{2(2\pi)} = \frac{1.8 - 0}{4\pi} = 0.143239448 \text{ V} / \text{rad} \quad (35)$$

$$M_{min} = 512, M_{max} = 535, Kn = \frac{1}{512} \text{ to } \frac{1}{535} \quad (36)$$

$$I_p = 942.6 \mu\text{A} \quad (37)$$

$$I_p^* = K_p \times I_p = 0.143239448 \times 942.6 \times 10^{-6} = 135.0175037 \times 10^{-6} \quad (38)$$

$$\text{lock time} = 224 \mu\text{S} (\text{IEEE802.11a 規格}) \quad (39)$$

$$f_{3db} = 6,912,18,24,36,48 \text{ and } 54 \text{ Mbit/s} \quad (40)$$

$$\frac{I_p^* K_{VCO}}{2\pi} = \frac{135.0175037 \times 10^{-6} \times 1.131428571 \times 10^9}{2\pi} = 24312.93266 \quad (41)$$

$$\frac{I_p^* K_{VCO}}{2\pi M} = \frac{135.0175037 \times 10^{-6} \times 1.131428571 \times 10^9}{2\pi \times 512} = 47.486196 \quad (42)$$

$$\text{低通迴路濾波器} \left| \frac{V_{out}}{\Delta\Phi} \right| \text{ 的 } f_{3dB} = 4.2 \text{ kHz} \text{ 和 Phase margin} = -60^\circ \quad (43)$$

2.8 參考雜訊分析

由前幾節分析，若理想上輸入有相同的相位，若此時的電荷幫浦電路，充電放電有相同的電流，可以完全消除在低通路徑上(X點)的小脈衝如圖 13，而實際上電子電路並不可能做的如此對稱，茲將不完美狀況分析如下：

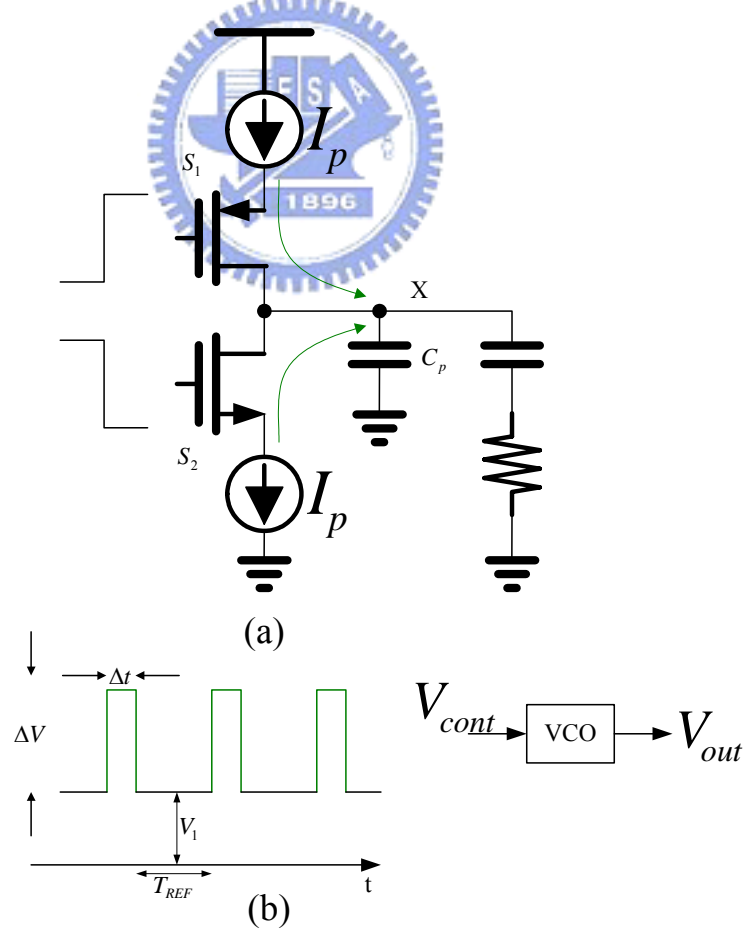


圖 13 (a)電荷幫浦不匹配注入電荷效應 (b)由於電荷幫浦回饋到 VCO 調變

$$v_{out}(t) = V_0 \cos[\omega_{FR}t + K_{VCO} \int g(t)dt + K_{VCO} \int V_1 dt] \quad (44)$$

將 $g(t)$ 用富立葉級數展開

$$g(t) = \frac{\Delta V \Delta t}{T_{REF}} + \sum_{n \neq 0} a_n \cos(n\omega_{REF}t + \theta_n) \quad (45)$$

第一項表示直流(DC)項能和 V_1 放在一起，在重寫 $v_{out}(t)$

$$v_{out}(t) \approx V_0 \cos\left(\omega_{FR}t + K_{VCO} \frac{\Delta V \Delta t}{T_{REF}} + K_{VCO} V_1\right)t - K_{VCO} \left[V_0 \sum_{n \neq 0} \frac{a_n}{n\omega_{REF}} \sin(n\omega_{REF}t + \theta_n) \right] \sin\left(\omega_{FR} + K_{VCO} \frac{\Delta V \Delta t}{T_{REF}} + K_{VCO} V_1\right)t \quad (46)$$

由上面方程式知，有個離載波 ω_{FR} 距離 $\pm \omega_{REF}$ 的旁波，且稱此為參考雜訊(reference spurious)，注意旁波的振幅和 ω_{REF} 成反比。

在頻率合成器，使用整數型除法器，有個嚴重問題，是參考頻率的饋入，所引起的參考雜訊，假若 ω_{REF} 很小，以至於掉入使用的頻寬內，典型使用整數型除法器，會使用一顆大的電容並聯在低通濾波器上，以減少 ΔV 的變化，而讓調變指數縮小或使用小的 K_{VCO} ，而考慮要使用低的工作電壓是很不實際的，因為我們都想要有寬的振盪頻率範圍，來防止製程和溫度的變化。

2.9 電壓控制振盪器原理

在高速和無線的要求下，所驅動的電子市場，許多的研究在討論發展快速的電路和改善半導體製程。最近幾年有一個強烈的變動，在整合整個系統為一個單晶片(SOC)，為了得到整合密度大和商業型的方案，之前所設計的電路方塊，都使用離散元件來組成，而現今都能使用單一的積體電路來實作。一個很普及高速和無線的裝置，使用電感器電容器，來做電壓控制振盪器(LC-tank VCO)[15]，LC-tank VCO 是個比較喜歡的方法去產生高速的頻率時脈，因為 LC-tank VCO 比環形振盪器(ring oscillators)有更好的相位雜訊免疫力，因此是一個可以應用在，要求頻譜很乾淨的高頻時脈產生器上，如射頻無線的應用。

積體電路整合型 LC-tank VCO，並不是所有特性都能得到，特別是在晶片內要製造有高 Q 的電感是困難，而需要 LC-tank VCO 消耗高的功率，以得到穩定的振盪，而且由於電感和電容因為製程的限制，會有一個很大的變動，以至於所震盪的中心頻率也會有一個很大的變動，大約是 $\pm 20\%$ ，為補償製程的變動振盪頻率必需能夠被調整至少要有 $\pm 20\%$ 。在中心頻率大的變動，及表示想要一個可調的中心

頻率我們已經研究一個寬範圍調整技術，應用在 LC-tank VCO(要大於±20%的調整)，由於可調頻率在高頻的應用要考慮功率消耗、雜訊、面積的感受度，在某種應用上需要有其限制，如 LC-tank VCO 應用在無線網卡上，需要低功率消耗，和低的相位雜訊而通常只需要 20-30%的調整。

此段主要介紹寬範圍的可調技術應用在 LC-tank VCO，因為規格的要求，需要達成在功率消耗，相位雜訊調整範圍和晶片面積。

2.9.1 一般的考慮

一個簡單的振盪器會週期的產生以電壓為型式的頻率輸出，就是電路在沒有輸入情況下而能保持不確定的輸出，此電路能振盪嗎？有負回饋的系統是可以振盪的，就像我們開玩笑的說振盪器就是一個設計不良的回授放大器！考慮一個單位增益負回授電路如圖 14

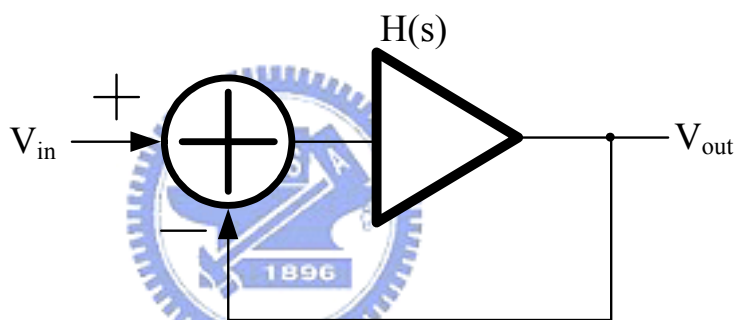


圖 14 回授系統

$$\frac{V_{out}}{V_{in}}(s) = \frac{H(s)}{1 + H(s)} \quad (47)$$

假如放大器，在高頻工作時自己的特性使得相位偏移，使得整個回授變成正的，則振盪就可能發生，更精確的，假如 $s=j\omega_0$ ， $H(j\omega_0)=-1$ ，則閉回路增益大約是無窮大在 ω_0 ，在此條件下，放大器會放大自己的雜訊的成分。實際上，我們以圖 15 示，在 ω_0 時有一個雜訊的成分，那時整個增益為一且相位偏移為 180° ，此輸出拉回到加法器的負端和輸入相加。此輸入的信號和回授回來經過偏移 180° 的信號相減，會使得此電路繼續的“再生(regenerator)”。

當振盪開始時，迴路的單位增益要大於等於一是必要的，我們可以拿下列回路信號，在很多週期來看圖 15，X 點我們可以以一個集合級數來表示($H(j\omega_0)=180^\circ$)：

$$V_x = V_0 + |H(j\omega_0)|V_0 + |H(j\omega_0)|^2V_0 + |H(j\omega_0)|^3V_0 + \dots \quad (48)$$

若 $|H(j\omega_0)| > 1$ ，上面的和是發散的，若 $|H(j\omega_0)| < 1$ 我們可以寫成

$$V_X = \frac{V_0}{1 - |H(j\omega_0)|} < \infty \quad (49)$$

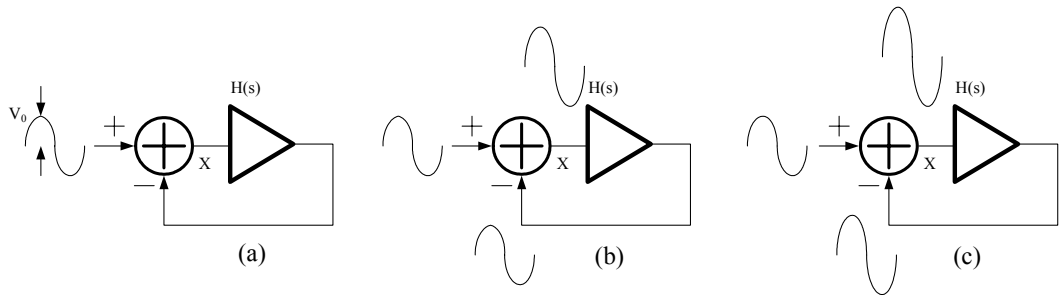


圖 15 振盪系統隨時間的進展

摘要，若一個負回授電路迴路要飽和的條件是

$$|H(j\omega_0)| > 1 \quad (50)$$

$$\angle H(j\omega_0) = 180^\circ \quad (51)$$

則這電路可以振盪在，我們稱巴克豪生準則(Barkhausen criteria)這些條件是必要的但不是充份的，為了能確保在溫度和製程的變化下能振盪，我們典型上選擇迴路增益至少要兩倍或三倍於需要的值。

重新來描述第二個巴克豪生準則 $\angle H(j\omega_0) = 180^\circ$ ，或整個相位的偏移為 360° ，這應該不會混淆的，如有一個系統被設計有一個低頻的負回授，他會產生 180° 相位的偏移在信號經過這個迴路時，即 $\angle H(j\omega_0) = 180^\circ$ ，表示相位的偏移和頻率有關如圖 16，則確保迴授的信號，能加強原來的訊號，因此有三個狀況在圖 16 被舉出，他們都等效於第二個巴克豪生準則。

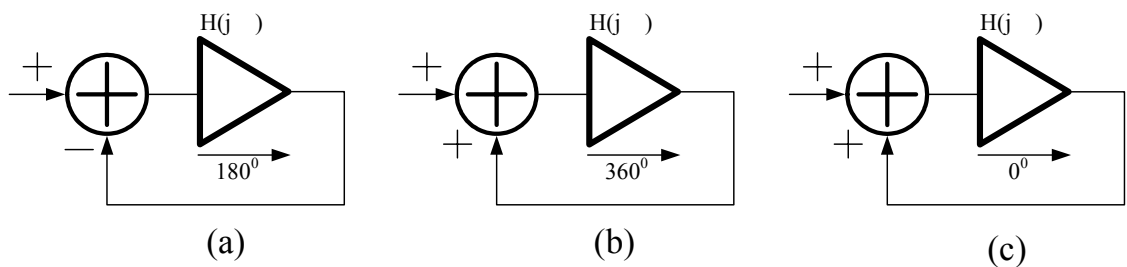


圖 16 振盪系統的不同觀點

我們可以說圖 16(a)，此系統存在一個頻率有關的 180° 相位的偏移(如箭頭表示)，和有一個直流的 180° 相位的偏移，圖 16(b)兩個的不同是，開回路放大器增益前面，有足夠的級數去提供適當的極性，提供整個的 360° 相位的偏移在 ω_0 頻率時，而後面圖 16(c)即表是在 ω_0 沒有相位的偏移。

現今 CMOS 振盪器技術典型被以”LC-tank VCO”實現，底下我們會說明各個的

形式。

2.9.2 使用 LC 振盪器振盪條件

理想的 LC 振盪器有下列的結構和轉移函數

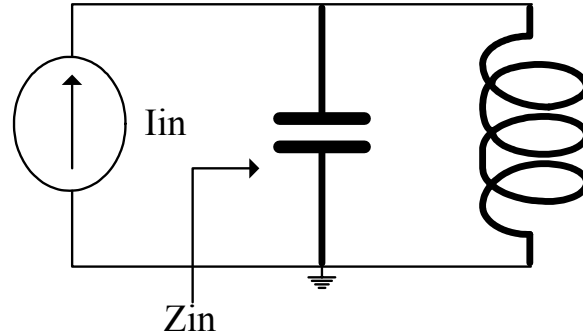


圖 17 理想的 LC 振盪器

$$H(s) = \frac{I_{in}Z(s)}{I_{in}} = Z(s) = \frac{1}{1+s^2LC} = \frac{1}{1-\omega^2LC} \quad (52)$$

此系統在沒有輸入情況下，會有 $\omega_0 = \frac{1}{\sqrt{LC}}$ 的弦波輸出，我們將此 $H(s)$ 做反富利葉轉換 (inverse fourier transform) 而得到一個轉換函數，穩定的解為一個純弦波 $\sin(\frac{1}{\sqrt{LC}}t)$ 。考慮底下放大器我們可以得到此電路的相位和增益。

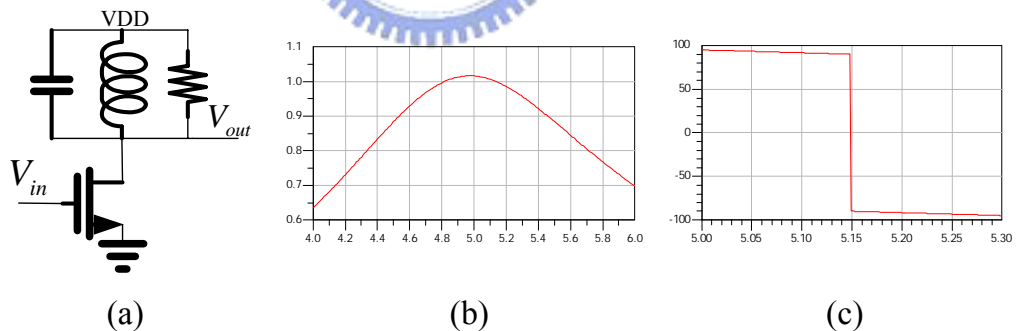


圖 18 單級 LC 負載放大器 (a)單級電路 (b)增益圖 (c)相位圖

在共振頻率下， ω_0 的峰值阻抗為 R_p ，和相位為 0° ，L 和 C 的電抗，在共振時會互消，使用簡單的小信號模型，去表示單級 LC 負載放大器 MOSFET。

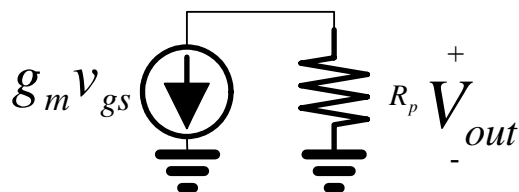


圖 19 單級 LC 負載放大器小信號模型

小信號增益可以被寫成為 $V_{out} = -g_m R_p V_{gs}$ ，注意在輸入和輸出間是有一個負號，這會使得此級有 180° 相位的偏移，此即是一個反向器。

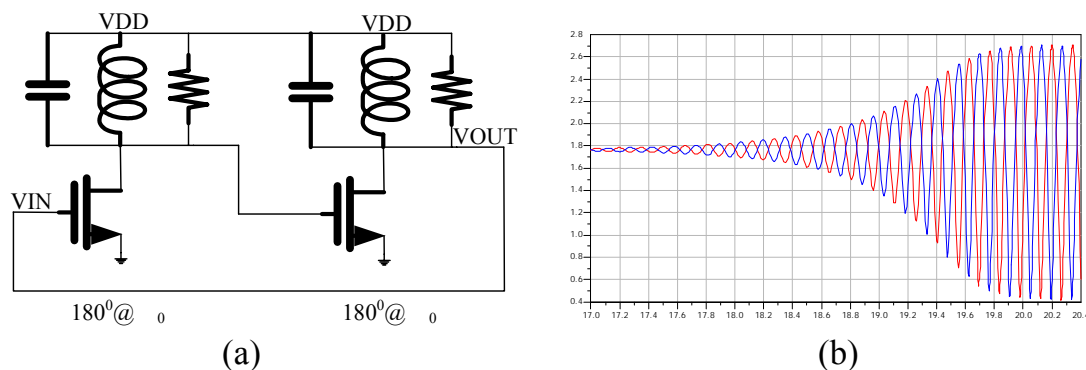


圖 20 二級 LC 負載放大器串接振盪器

為了達到巴克豪生準則 $|H(j\omega_0)| = 1$ (增益為負一), 或整個相位的偏移為 360° (增益為正一) 需要使用圖 18(a) 當振盪器的核心, 且要多加一個負回授, 去增加一個反向如圖 20(a), 此符合了偏移為 360° , 及增益為正一, 假如兩級串接 LC 負載放大器增益 $(g_m R_p)^2 \geq 1$, 這電路將會振盪, 且他只能振盪在 ω_0 , 因為只有這個頻率才有整個 360° 相位的偏移。此振盪器開始於電晶體本身的雜訊, 而此雜訊一直在此回路中被放大如圖 20(b), 振盪器有一個指數的時間, 去達到振盪飽和的強度, 而兩個電晶體的汲極偏壓電流和輸出振幅, 是和電源電壓息息相關, 為了不被這電源電壓所限制, 更改基本的振盪電路如圖 22。此信號輸出為一個弦波且直流接近於 VDD, 這個電路是一個有名的交錯耦合振盪器 (Cross-coupled Oscillator), 兩個輸出差 180° , 這是一個非常有用的電路, 在許多的應用中去驅動 Gilbert cell 混波器。

有一個很好的解決方法, 去達到較好的振幅, 就是將交錯耦合電晶體的源極和接地隔離, 使用一個電流源去偏壓交錯耦合 (Cross-couple pair) 電晶體。

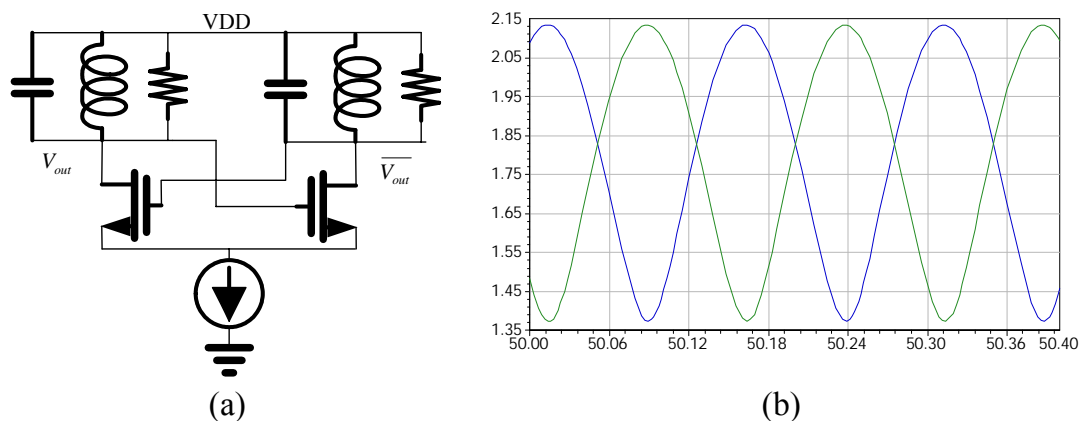


圖 21 加入尾電流源以降低供應電壓的靈敏度

圖 21(a)振盪器以全差動形式建立，然而電路的供應電壓靈敏度，甚至在完美的對稱下仍不為零，這是因為二個電晶體的汲極接面電容，隨著供應電壓變化，會在應用此振盪電路時產生很差的相位雜訊。

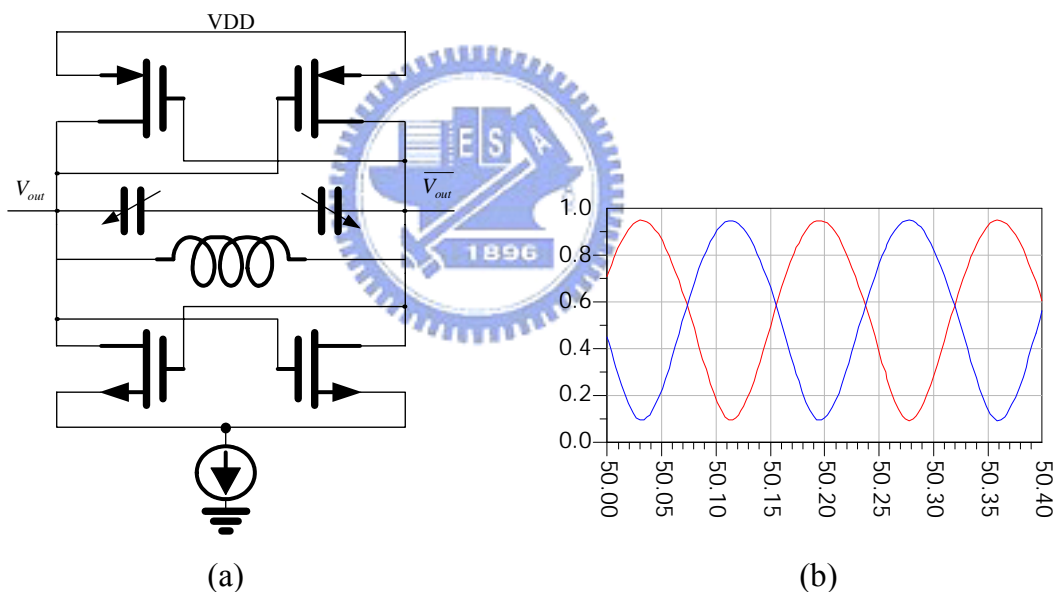


圖 22 互補式交錯耦合振盪電路

圖 22(a)互補式交錯耦合(complementary cross-coupled pair)LC-tank 振盪電路，加入上半部二個電晶體，是為了隔離振盪器對，對供應電壓靈敏度，使得輸出振盪頻率甚至在完美的對稱下為零，增加負電阻阻抗和輸出電壓有 GND 到 VDD 的擺幅，避免了下半部二個電晶體的汲極接面電容，會隨著供應電壓變化，而有了良好的相位雜訊，但其增加了寄生電容。

2.10 相位雜訊(Phase Noise)

2.10.1 相位雜訊定義

振盪器中常見的雜訊來源為電阻、電容、電感、電晶體等內部元件的雜訊，電阻、shot noise、thermal noise 和 flicker(1/f)noise。由於振盪器對於溫度及雜訊相當敏感，當溫度變化或雜訊存在，將使振盪器的輸出訊號在振幅、相位及頻率上產生改變，也就是所謂的 AM、PM 及 FM 雜訊[16][17]。如圖 23 所示，振盪器輸出訊號 $A_c \cos(\omega_c t + \theta)$ ，由於溫度或雜訊，使得訊號相位(或振幅、頻率)產生改變，如由 $A_c \cos(\omega_c t + \theta)$ 改變至 $A'_c \cos(\omega_c t + \theta')$ ，或其他訊號(圖 23 其他黑點所示)，也可以從此圖 23 觀察到，要有小的相位偏移量，需要大的信號振幅，所以製作振盪器是不太能省功率的。

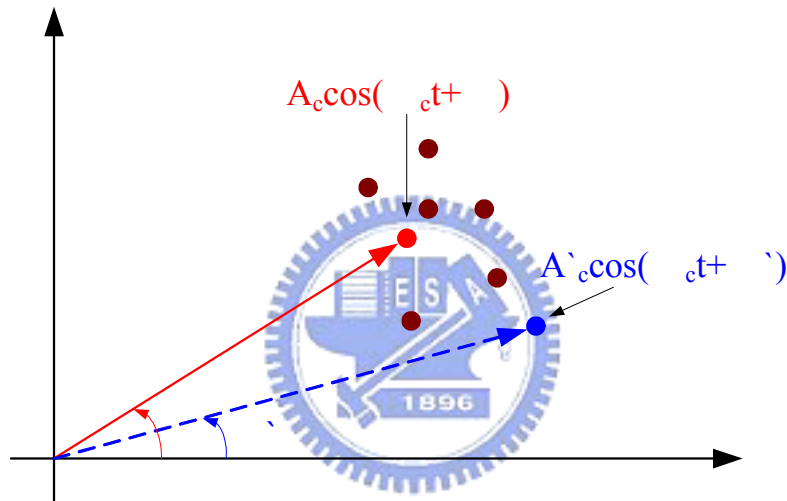


圖 23 訊號向量偏移量

通常由於振盪器輸出振幅，被溫度及雜訊影響產生的改變量不大，且會在極短瞬間趨於穩度，因此 AM 雜訊可忽略，而將訊號振幅視為常數。所以振盪器的輸出可表示成 $S(t) = A_c \cos(\omega_c t + \theta_n(t))$ ，其中 $\theta_n(t)$ 表示訊號相位變動(PM 及 FM 雜訊)，即所謂的相位雜訊。若 $|\theta_n(t)| \ll 1 \text{ rad}$ ，則 $S(t) = A_c \cos(\omega_c t) - A_c \theta_n(t) \sin(\omega_c t)$ 。其中 $A_c \theta_n(t) \sin(\omega_c t)$ 為雜訊訊號(相位雜訊)，將會在載波 $A_c \cos(\omega_c t)$ 附近形成雜訊分佈。因此一般振盪器輸出訊號以頻譜觀察，可以看到訊號頻譜的形狀，在中心頻率周圍形成”裙擺”形狀圖，而其相位雜訊定義如下。

$$L(\Delta f) = \frac{\text{在 } f_c + \Delta f \text{ 的頻率取 } 1 \text{ Hz 頻寬的雜訊功率}}{\text{載波功率}} \quad (53)$$

計算方式如下圖 24 所示：

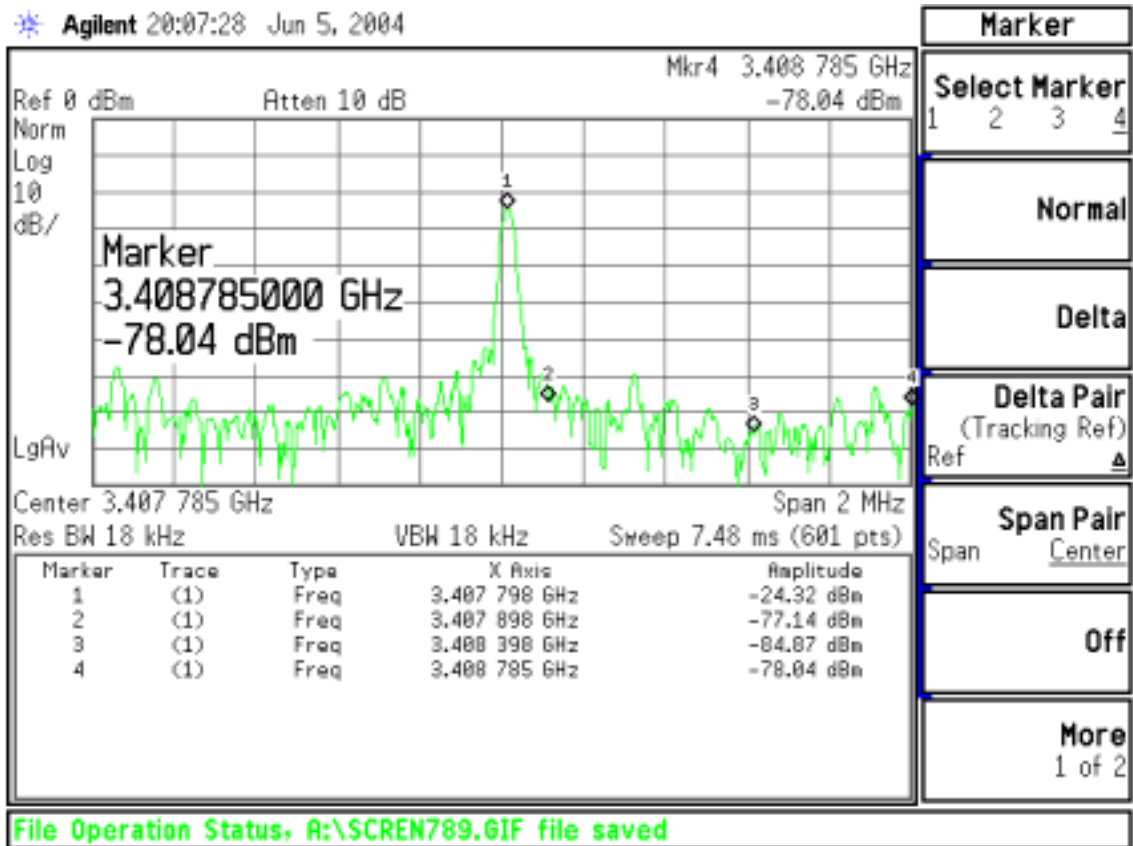


圖 24 載波頻率在 4.136688GHz 的相位雜訊

$$L(100kHz) = [-77.14 - (-24.32)] - 10 \log \left(\frac{18kHz}{1Hz} \right) \quad (54)$$

$$= -52.82 - 42.55 = -95.37 dBc/Hz ; \text{在 } 100kHz \text{ 的相位雜訊} \quad (55)$$

$$L(600kHz) = [-84.87 - (-24.32)] - 10 \log \left(\frac{18kHz}{1Hz} \right) \quad (56)$$

$$= -60.55 - 42.55 = -103.1 dBc/Hz ; \text{在 } 600kHz \text{ 的相位雜訊} \quad (57)$$

$$L(1000kHz) = [-78.04 - (-24.32)] - 10 \log \left(\frac{18kHz}{1Hz} \right) \quad (58)$$

$$= -53.72 - 42.55 = -96.27 dBc/Hz ; \text{在 } 1MHz \text{ 的相位雜訊} \quad (59)$$

2.10.2 相位雜訊對通訊系統的影響

在通訊系統中，常用頻率合成器作為本地振盪器，來達到頻率轉換目的，本地振盪訊號源，相位雜訊的好壞，會影響到接收訊號，或是發射訊號的品質。圖 25(a)為理想振盪器，圖 25(b)為真實振盪器，將分別考慮理想振盪器，與真實振盪器對在圖 26 中所列舉的無線收發機的影響。

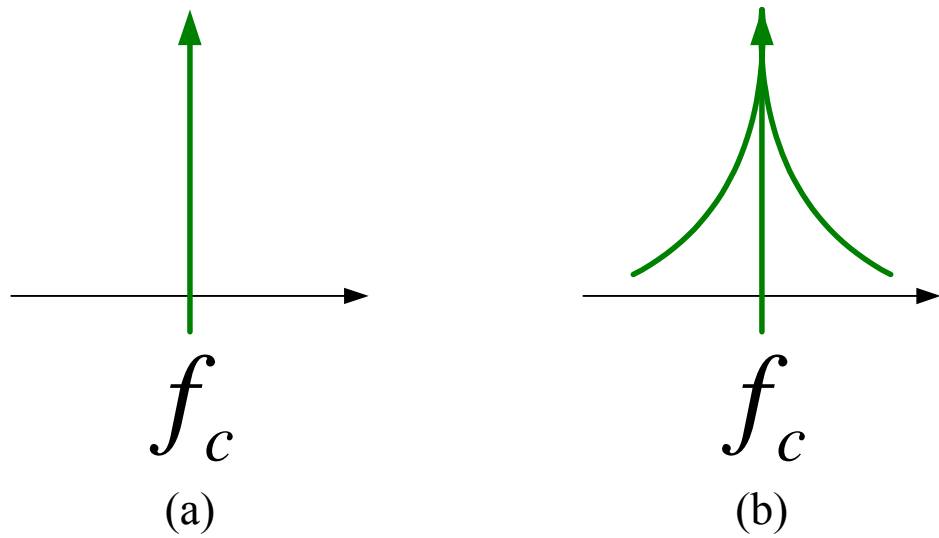


圖 25 (a)理想振盪器輸出功率 (b)真實振盪器輸出功率

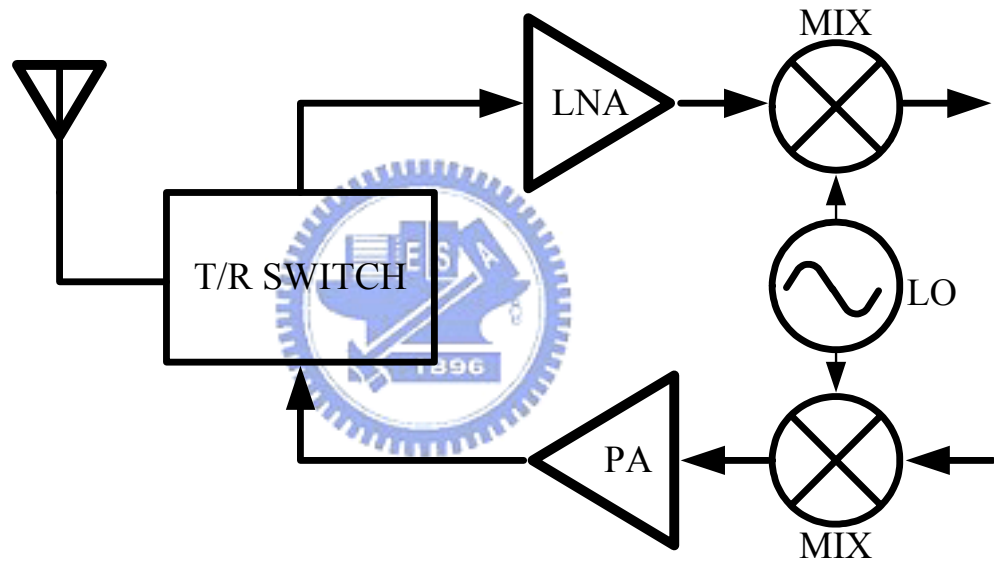


圖 26 無線收發機基本架構

首先考慮在圖 25(a)中的本地振盪器為理想振盪器[18]，此時假如有訊號輸入至無線收發機時，若已降頻為例，其動作如圖 27 所示，經過本地振盪器及混波器轉換後的訊號除了中心頻率降低外，訊號不會有改變。

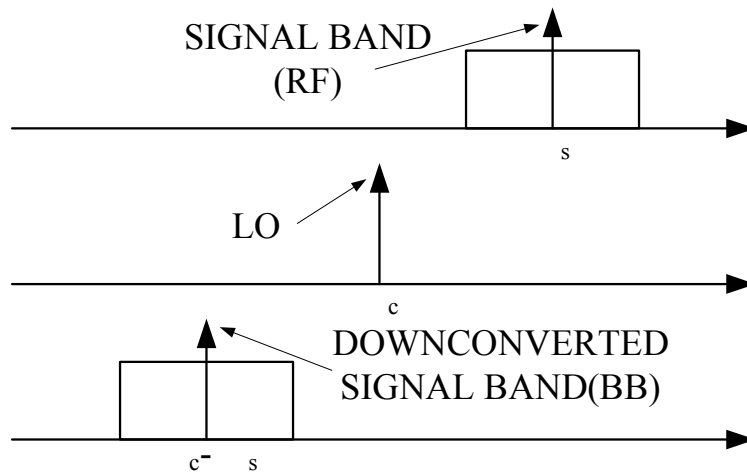


圖 27 當本地振盪器為理想振盪器時的頻率轉換

接下來考慮本地振盪器為真實振盪器，假如無線收發機，除了欲接收的訊號外，也可能接收到鄰近頻帶的干擾訊號。假設其功率大於欲接收的訊號，兩個訊號經過本地振盪器轉換後，重疊訊號頻譜如圖 29 所示，此時鄰近頻帶干擾訊號將可能”淹沒”欲接收的訊號，直接造成接收機靈敏度下降。

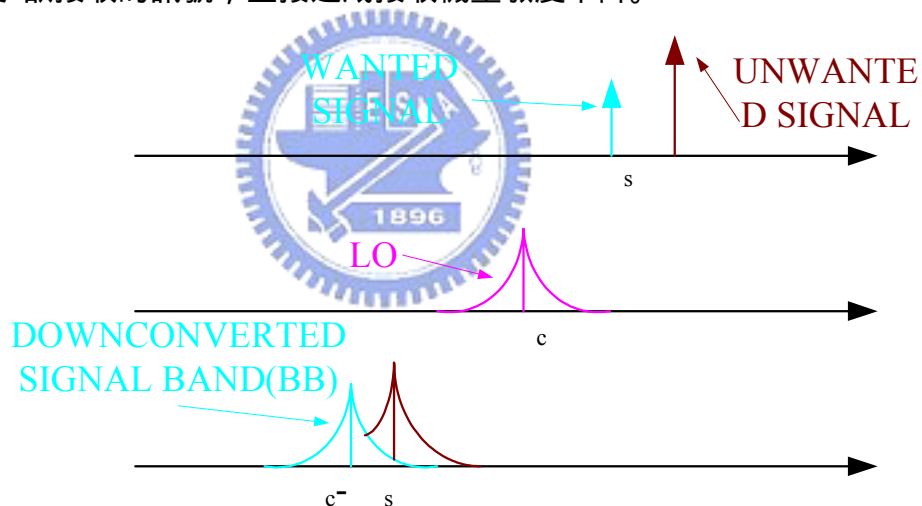


圖 28 相位雜訊對接收機接收的影響

接下來考慮當無線收發機發射訊號 ω_2 ，若鄰近無線收發機(發射訊號 ω_1 功率大於訊號 ω_2)的訊號，有相當大的相位雜訊，如圖 29 所示，此時訊號 ω_2 將被訊號 ω_1 所”污染”。

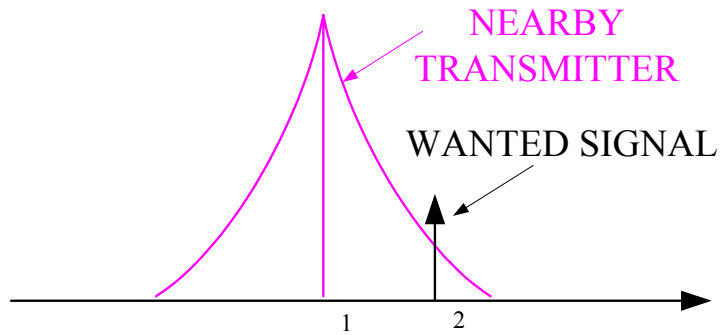


圖 29 相位雜訊對發射機影響

2.10.3 振盪器的相位雜訊

2.10.3.1 非時變模型

以下以非時變概念來分析相位雜訊的形成原因，非時變指的是，雜訊源不論任何時候，注入 VCO 所得到的相位雜訊都是相同的，所以是不會隨時間改變，稱非時變，或是說不論在任何 VCO 輸出波形的時間點上，雜訊造成相位雜訊偏移的效果都是一樣的。因此不需要考慮雜訊，是在 VCO 輸出波形的那個點進入 VCO 電路。假設振盪器是由放大器與共振器(resonator)組成，在振盪時，放大器補償共振器能量損失。因此可假設放大器與共振器在共振器的增益為一。輸入的白色雜訊經過放大後，放大器輸出雜訊，在頻寬等於 1Hz 時為 $N=FkT$ ，其中 F 為放大器雜訊指數，此 F 是由電晶體本身的雜訊(大約 0.8-2dB)，和電路本身產生的的雜訊(大約 10-20dB)組成的。

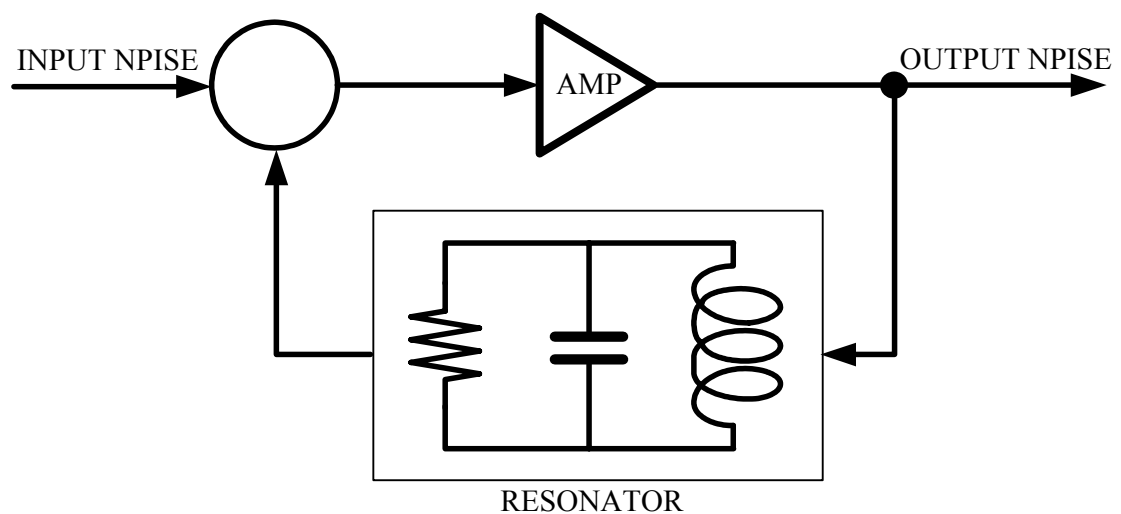


圖 30 振盪器的相位雜訊模型

共振器的頻率響應為帶通響應，其轉移函數

$$H(j\omega) = \frac{j\omega(1/RC)}{(1/LC) + j\omega(1/RC) - \omega^2} \quad (60)$$

與帶通響應的通式

$$H(j\omega) = \frac{j\omega(\omega_0/Q)}{\omega_0^2 + j\omega(\omega_0/Q) - \omega^2} \quad (61)$$

比較後知

$$\omega_0^2 = 1/LC, \quad Q = \omega_0 RC \quad (62)$$

在振盪器輸出頻率的附近 $\omega = \omega_0 + \Delta\omega$ ，若 $\omega_0 \ll \Delta\omega$ 則可用泰勒展開式(Taylor expansion)的首二項近似式

$$H(j\omega) \approx 1 + \frac{2}{j(\omega_0/Q)} \cdot \Delta\omega \quad (63)$$

因此振盪器的閉迴路響應為

$$G(j\omega) = \frac{1}{1 - H(j\omega)} \approx \frac{j(\omega_0/Q)}{2 \cdot \Delta\omega} \quad (64)$$

當輸入端的雜訊密度為 $S_i(\omega)$ 時，則經過此系統 $G(j\omega)$ 後，在輸出端的雜訊密度為 $S_o(\omega)$

$$S_o(\omega) = S_i(\omega) |G(j\omega)|^2 = FKT \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \quad (65)$$

上式為雙邊帶雜訊頻譜密度，因此距離振盪頻率 $\Delta\omega$ 處的單邊帶(single sideband) 雜訊對訊號比，以 dB 值表示，也就是相位雜訊為

$$L(\Delta\omega) = 10 \log \left[\frac{1}{2} \frac{FKT}{P_s} \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \quad (66)$$

其中 P_s 為振盪器輸出訊號功率，所以從以上的公式可以看出，若要得到較好的相位雜訊表現，則必須要增加訊號功率與共振值的 Q 值。增加訊號功率也可意謂，增加振盪器等效模型中放大器的功率，使放大器的雜訊指數(F)下降，如此可達到增加抑制相位雜訊的能力。

由式 66 可對相位雜訊得到一概略性的了解，但是式 66 所描述的頻譜，與 VCO 通常量測到的很大的差異。VCO 頻譜如圖 31 所示，在相當大的偏移頻率(frequency offset)VCO 頻率會趨於水平，而非如式 66 預測，持續以二次方倒數下降，VCO 頻譜是以三次方倒數下降，而不是如式 66 所預測。因此在相位雜訊的描述上，必須

要修正為

$$L(\Delta\omega) = 10 \log \left[\frac{1}{2} \frac{FKT}{P_s} \left\{ 1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right\} \left\{ 1 + \frac{\Delta\omega}{\omega_0} \right\} \right] \quad (67)$$

即所謂的 Leeson's model，他是一個由量測 VCO 頻譜後，curve fit 的 model，用來描述其輸出頻譜。在此 model 中有些參數如： $\Delta\omega_{1/f^3}$ 必須要經過量測得到，且在

VCO 頻譜成水平的轉角頻率(corner frequency)也並不一定是 $\frac{\omega_0}{2Q}$ 。再者在非時變

分析中無法對 VCO 頻譜，有 $1/(\Delta\omega)^3$ region 提出合理的解釋，雖然我們都知道此 $1/f$ noise 是如何升頻至中心頻率的附近？以下將介紹另一種分析方式(時變分析)，此分析可以解釋 $1/(\Delta\omega)^3$ region 的成因，並應用其結論，提供除了增加 tank Q 及訊號大小外其他的方式，用於 VCO 設計來降低相位雜訊。

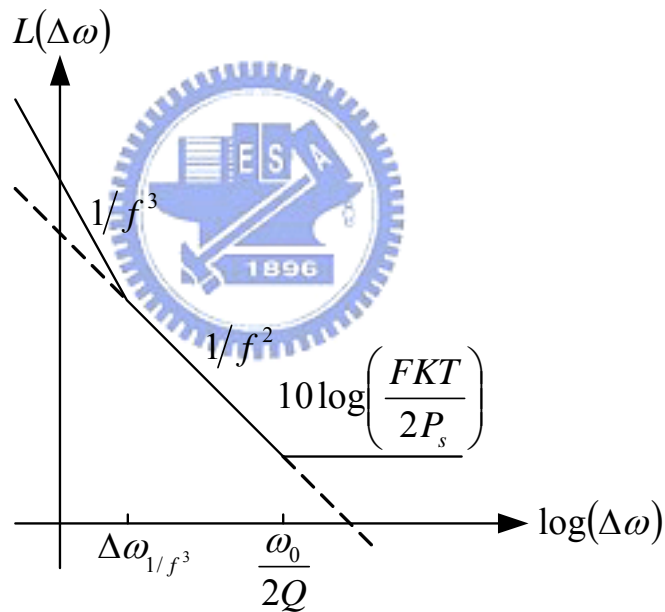


圖 31 Leeson's 相位雜訊模型

2.10.3.2 時變模型(time variant)

非時變模型假設雜訊，在任何時候被產生時，其影響 VCO 輸出，所得到的結果都是一樣的，但事實並不是如此。如圖 33 中所示，一個脈衝(impulse)電流注入一個 lossless 的 L-C 諧振電路，假設此系統振盪於某一頻率，及固定的振幅。若脈衝注入時正好是訊號振幅最大的時候，此時電壓振幅，將瞬間被提升 $V = Q/C$ ，但因為注入的脈衝正好疊在最大振幅處，如圖 33(a)所示，此脈衝不會造成，訊號

相位有任何的改變。反之，若脈衝注入時，正好是訊號振幅為零交越(zero crossing)的時候，如圖 33(b)所示，訊號的相位造成了改變，且相位改變量與注入脈衝大小有關。因此對於一個振盪器而言，雜訊造成的相位改變，是與雜訊注入的時間有關，對於相位雜訊的分析，顯然非時變模型，是不足以完全地描述，而需採用時變的觀念。

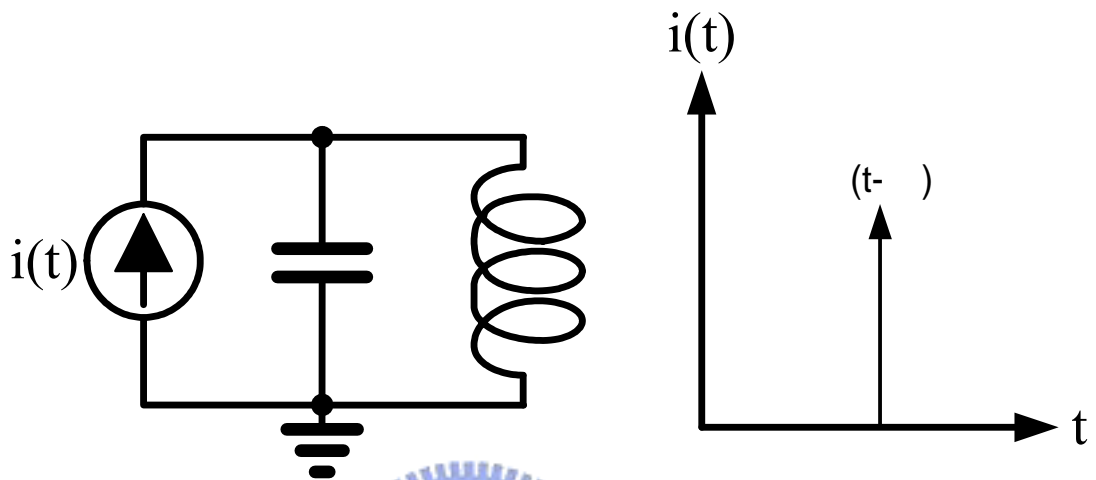


圖 32 電流脈衝注入到 L-C tank VCO 簡化圖

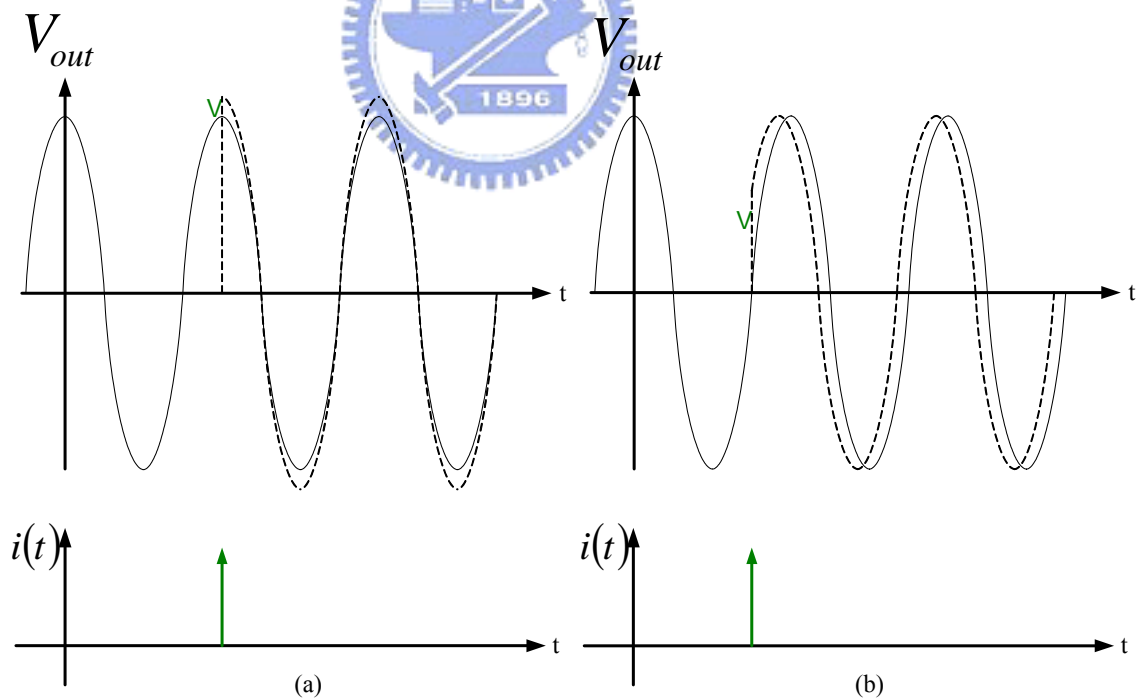


圖 33 脈衝注入振盪器造成的改變

如圖 33 所示，當一個脈衝在時間 t 時，注入且持續 Δt 時間，而能量為 $\Delta q = i(t)\Delta t$ ，訊號將產生相位改變如圖 33(a)，若在最高點打上去，波幅只會有振幅的影響，若干擾到振幅，他會恢復原來的樣子，若在交錯零點打上去時，波幅

會有相位的變化，若干擾到相位，他不會恢復原來的樣子，也可以由圖 33(b)知道相位的變化是週期函數，其相位改變的脈衝響應(impulse response)可表示成：

$$h_{\Phi(t,\tau)} = \frac{\Gamma(\omega_0, \tau)}{q_{\max}} u(t - \tau) \quad (68)$$

造成脈衝變化可以表示為：

$$\Delta\Phi = \Gamma(\omega_0\tau) \frac{\Delta q}{q_{\max}} \quad (69)$$

其中 $u(t)$ 為單位步階函數(unit step function)， q_{\max} 為 L-C 振盪器最大儲存的電荷量，通常打入的電荷，大約是 $q_{\max} = 10\Delta q$ ，此用來量測相位的偏移。 (x) 為 impulse sensitivity function(ISF)，為一週期是 2 的函數，與訊號頻率及最大振幅無關，而與訊號波形有極大的關係，我們以注入的電荷，來量取相位的變化，而求出 (x) 函數。此函數表示一個振盪器，對於一個脈衝在 $\omega_0\tau$ 注入的敏感度(sensitivity)。舉例說明，如圖 34(a)所示，對於一個 L-C 振盪器， (x) 最大值，發生在訊號零交越處，最小值則在訊號振幅，達到最大的時候。由圖 34(b)可看出，環形振盪器的 ISF 最大值，發生在訊號振幅變化最劇烈的時候。

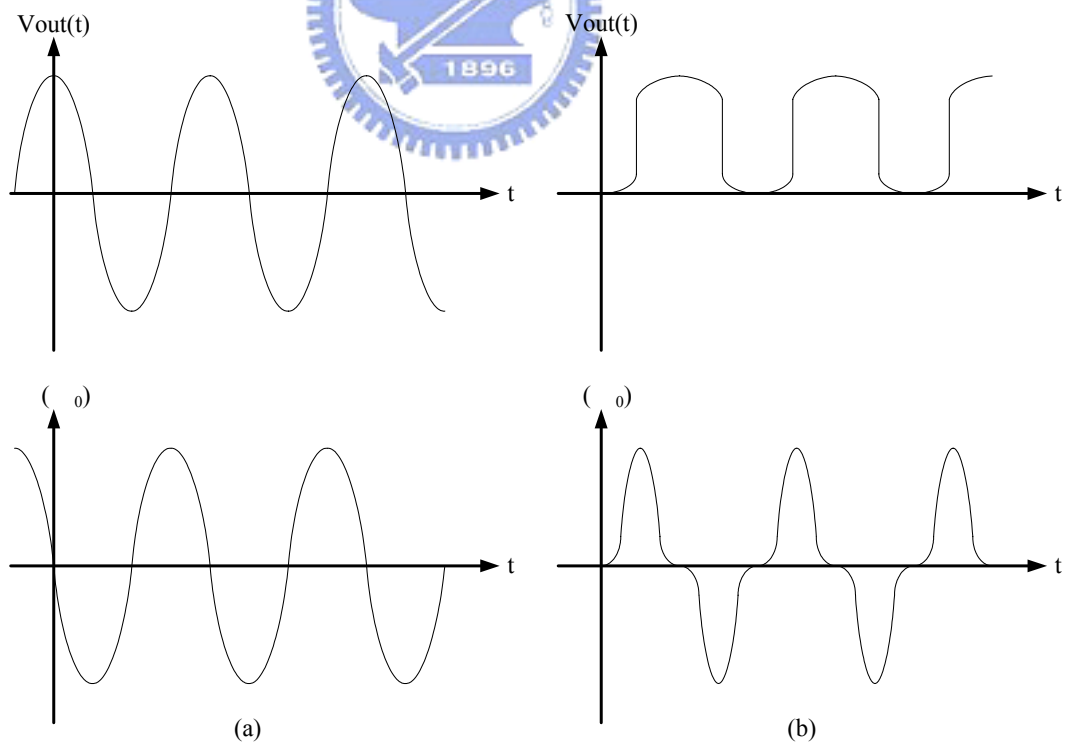


圖 34 舉出 ISF 函數的例子(a)L-C tank VCO (b)ring VCO

$$\therefore \Delta q = i(t)\Delta t \text{ 和 } \Delta\Phi = \Gamma(\omega_0\tau) \frac{\Delta q}{q_{\max}} \quad (70)$$

將所有注入的電荷都收集起來，求得相位的偏移量

若 ISF 已知，則可算出相位經由脈衝注入的改變量為：

$$\Phi(t) = \int_{-\infty}^{\infty} h_{\Phi}(t, \tau) i(\tau) d\tau = \frac{1}{q_{\max}} \int_{-\infty}^t \Gamma(\omega_0 \tau) i(\tau) d\tau \quad (71)$$

因為 ISF 為一週期函數，所以可由 Fourier series 展開

$$\Gamma(\omega_0 \tau) = \frac{C_0}{2} + \sum_{n=1}^{\infty} C_n \cos(n\omega_0 \tau + \theta_n) \quad (72)$$

ISF 函數要小，可有好的相位雜訊，及 C_0 項要小，意思是說在設計時，波形越對稱越好，可在相位雜訊得到小值，且 flick noise 也會小，導致相位雜訊會很好，而 C_0 為低頻產生的，即為直流項，而如何將 DC 項縮小呢？

因為雜訊源的 uncorrelated 特性，所以 θ_n 可忽略來簡化之後的討論，將帶入得到

$$\Phi(t) = \frac{1}{q_{\max}} \left[\frac{C_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} C_n \int_{-\infty}^t i(\tau) \cos(n\omega_0 \tau) d\tau \right] \quad (73)$$

式中的運算，可由通訊方塊作一對應，如圖 35 所示，寬頻雜訊會被振盪頻率，及其諧波頻率訊號降頻，並乘上 C_n 這個常數。 C_n 為 ISF 的 Fourier coefficient。

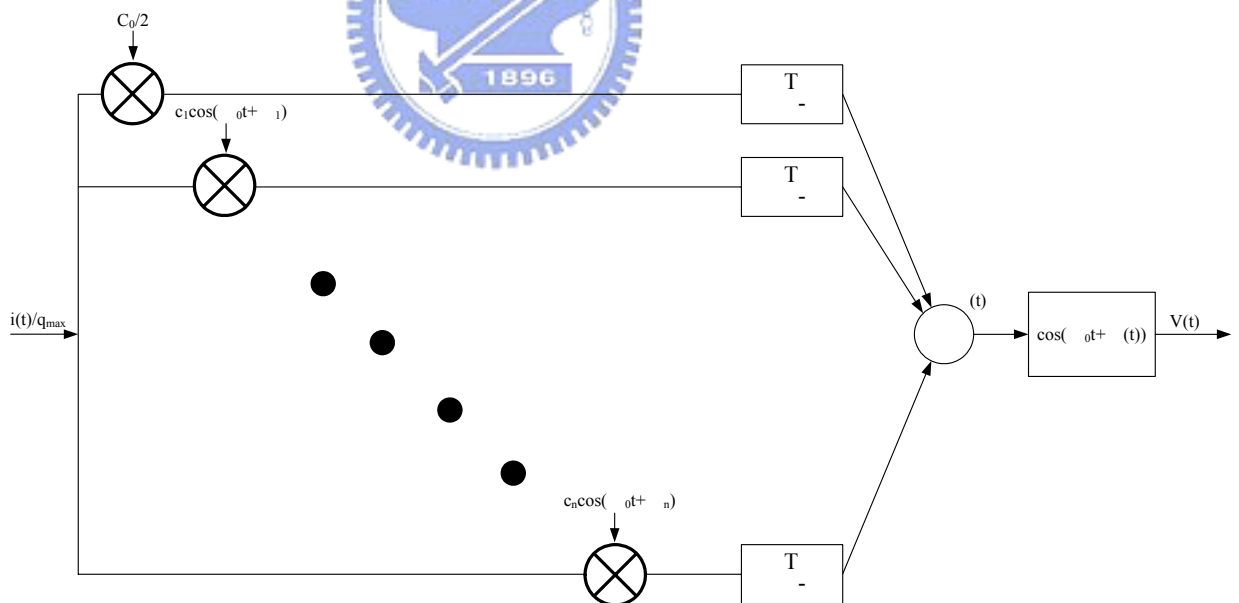


圖 35 Hajimiri 和 T. H. Lee 相位雜訊模型

假設有一雜訊為弦波電流源波形形式，其頻率在 $n\omega_0 + \Delta\omega$ ，其中 n 為一常數，則此電流可表示成

$$i(t) = I_n \cos[(n\omega_0 + \Delta\omega)t] \quad (74)$$

若 $\omega_0 \gg \Delta\omega$ ，將代入則可得到

$$i(t) = I_n \cos(\Delta\omega t) \quad (75)$$

$$\Phi(t) = \frac{I_0 C_0}{q_{\max}} \left[\int_{-\infty}^t \cos(\Delta\omega\tau) d\tau \right] = \frac{I_0 C_0 \sin(\Delta\omega t)}{2q_{\max} \Delta\omega} \quad (76)$$

$$i(t) = I_n \cos[(n\omega_0 + \Delta\omega)t], \quad \Delta\omega \ll \omega \quad (77)$$

$$\Phi(t) \approx \frac{I_n C_n \sin(\Delta\omega t) \Delta}{2q_{\max} \Delta\omega} = \theta_m \sin \Delta\omega t \quad (78)$$

將此式代入

$$V_{out}(t) = \cos[\omega_0 t + \Phi(t)] = \cos(\omega_0 t) \cos[\Phi(t)] - \sin(\omega_0 t) \sin[\Phi(t)] \approx \cos(\omega_0 t) - \Phi(t) \sin(\omega_0 t) \quad (79)$$

假設 $\frac{I_n C_n}{2q_{\max} \Delta\omega} < 1$ ，則得到雜訊，將造成輸出訊號頻譜，在 ω_0 附近有二個等功率的

訊號，其頻率與中心頻率，大小各為

$$P_{SBC}(\Delta\omega) \approx 10 \log \left(\frac{I_n C_n}{4q_{\max} \Delta\omega} \right)^2 \quad (80)$$

若電流雜訊源為白色高斯雜訊，功率頻譜密度為 $\frac{i_n^2}{\Delta f}$ ，則其在振盪頻率附近，造成

VCO 輸出頻譜展開的單頻帶雜訊功率，除以訊號功率比為

$$C_{SSB}(\Delta\omega) \approx 10 \log \left[\frac{\frac{i_n^2}{\Delta f} \sum_{m=0}^{\infty} C_m^2}{4q_{\max}^2 \Delta\omega^2} \right] \quad (81)$$

由 Parseval's theorem

$$\sum_{m=0}^{\infty} C_m^2 = \int_0^{2\pi} |\Gamma(x)|^2 dx = 2\Gamma_{rms}^2 \quad (82)$$

因此白色高斯雜訊造成的相位雜訊為

$$L(\Delta\omega) \approx 10 \log \left[\frac{\frac{i_n^2}{\Delta f} \Gamma_{rms}^2}{2q_{\max}^2 \Delta\omega^2} \right] \quad (83)$$

又 $q_{\max} = CV_{\max}$ ， V_{\max} 為 VCO 最大振幅； $\frac{i_n^2}{\Delta f} = \frac{4KT}{R}$ 。代入可得到

$$L(\Delta\omega) \approx 10 \log \left[\frac{2KT}{\frac{V_{\max}^2}{R}} \Gamma_{rms}^2 \left(\frac{\omega_0}{Q\Delta\omega} \right)^2 \right] \quad (84)$$

若 VCO 訊號為弦式波形則可改寫為

$$L(\Delta\omega) \approx 10 \log \left[\frac{2KT}{P_s} \Gamma_{rms}^2 \left(\frac{\omega_0}{Q\Delta\omega} \right)^2 \right] \quad (85)$$

上式 85 與式 66 只差一個常數項，但在非時變分析時中的 F 通常為一個在 VCO 頻率量測以後則 fit 的參數，而在式 85 中卻可找出 ISF 後計算而得，且由式 85 可知道，除了增加訊號大小及增加 tank Q 外，也可以經由改變波形，以降低 ISF 的 RMS 值 (Γ_{rms})，來抑制白色雜訊造成的相位雜訊。

若輸入 VCO 的雜訊為 1/f noise，其功率頻率密度為

$$i_{n,1/f}^2 = i_n^2 \frac{\omega_{1/f}}{\Delta\omega} \quad (86)$$

其中 $\omega_{1/f}$ 為 1/f noise 的 1/f corner frequency。將式 86 代入式 85 可以得到 $1/(\Delta\omega)^3$ region 的相位雜訊。

$$L(\Delta\omega) \approx 10 \log \left[\frac{i_n^2 C_0^2 \omega_{1/f}}{8q_{\max}^2 \Delta\omega^3} \right] \quad (87)$$

綜合上述，白色雜訊及 1/f noise 以電流源的形式注入 VCO，造成 VCO 的相位產生變化，而相位變化的大小，與雜訊大小及訊號波形有關。雜訊造成的相位變化，經由相位調變(phase modulation)，在 VCO 輸出訊號頻譜的周圍，展開成裙擺狀相位雜訊，相位雜訊形成的示意圖如下圖 36

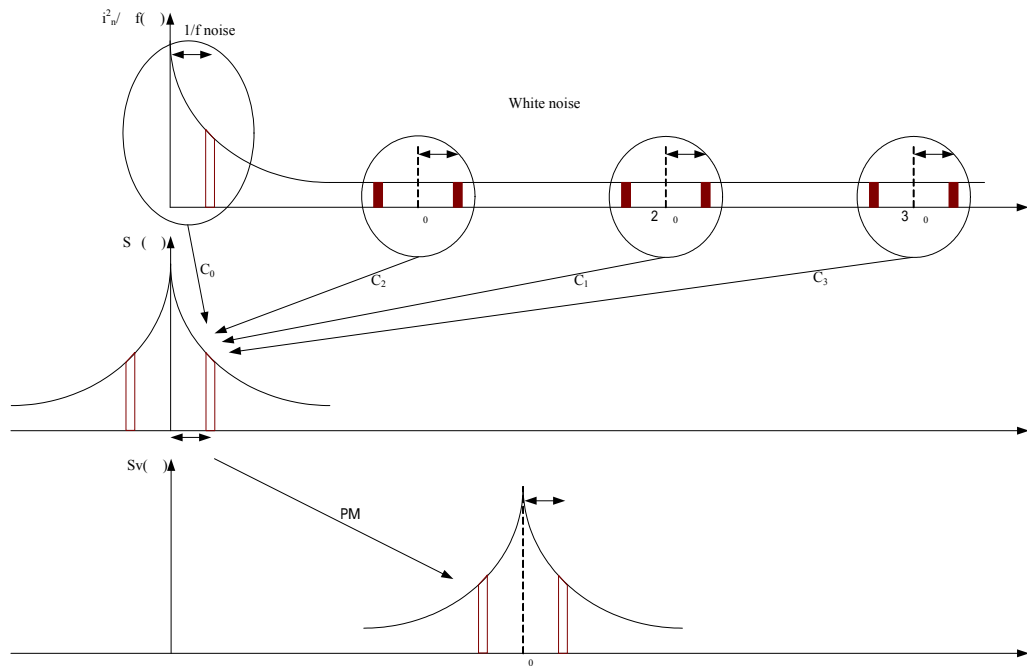


圖 36 Hajimiri 和 T. H. Lee 相位雜訊示意圖

相位雜訊 $1/(\Delta\omega)^3$ 、 $1/(\Delta\omega)^2$ region 之間的 corner frequency $\Delta\omega_{1/f^3}$ 可經由此比較及得到

$$\Delta\omega_{1/f^3} = \omega_{1/f} \cdot \frac{C_0^2}{4\Gamma_{rms}^2} = \omega_{1/f} \cdot \frac{C_0^2}{\sqrt{2}C_1} \quad (88)$$

因此，若要減少 $1/(\Delta\omega)^3$ region 的相位雜訊及降低 $\Delta\omega_{1/f^3}$ ，則必須要降低 C_0 ，也就是 ISF 的 DC 成份。要降低 C_0 必須使得 VCO 輸出波形越奇對稱(odd-symmetry)越好。在 CMOS 製程中，高 $1/f$ noise 的元件，此規則相對地寶貴，在 VCO 設計時注意訊號波形形狀，則可抑制元件 $1/f$ noise 造成相位雜訊。

在時變模型分析中，解釋了相位雜訊 $1/(\Delta\omega)^3$ 、 $1/(\Delta\omega)^2$ region 形成的原因，並可對相位雜訊作一精確的預測。對於 VCO 中任何一個雜訊源，都可以依他的雜訊等效模型，及訊號波形對此雜訊源的 ISF 來求出相位雜訊。要找出 ISF 可以將雜訊源，以一個脈衝訊號代替，並找出 VCO 對此脈衝訊號的脈衝響應，即是 VCO 對應此雜訊源的 ISF。有時 VCO 的雜訊來源很多，或是雜訊模型不完整，所以利用 ISF 分析相位雜訊將變得複雜。時變模型除了比非時變模型，更準確的來預測相位雜訊外，更指引設計者除了增加 VCO tank Q，及訊號大小(非時變模型的結論)，波形形狀也是一個相當重要的考量，尤其是 $1/f$ noise 的抑制，VCO 輸出波形越奇對稱越好，特別是對於高 $1/f$ noise 的 CMOS 元件。

頻率合成器原理

3.1 頻率合成器架構

頻率合成器基本架構如圖 37 所示，架構電路包括了參考頻率電路、相位偵測電路、電荷幫浦電路、迴路濾波電路、電壓控制振盪電路、除頻電路 [19][20][21] [22]。

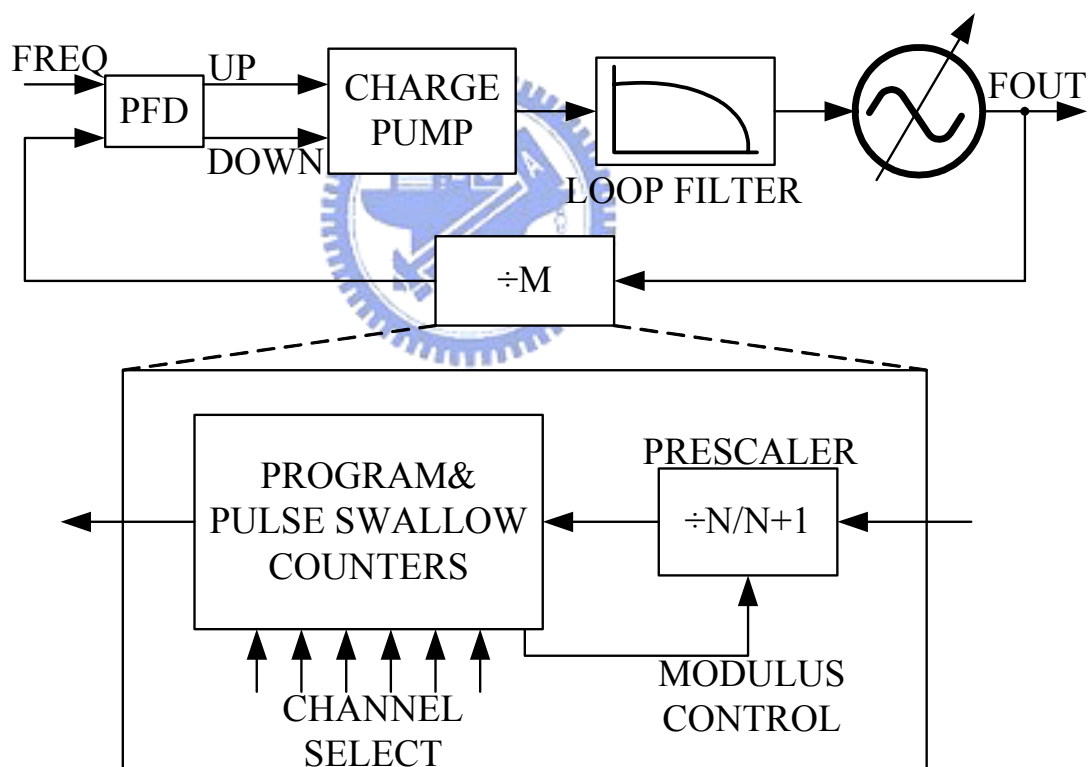


圖 37 頻率合成器基本架構圖

3.2 在 5GHz 的頻率合成器規劃

在 5GHz 頻率合成器的除頻電路上，採用整數型(integer-N)除法電路，而此除法電路使用 PULSE-SWALLOW COUNTER 架構如圖 38 所示 [23][24][25][26][27][28] [29]，此除法電路包含了一個雙模數除 $N/N+1$ 前置除頻電

路(prescaler), 及可規劃除數計數電路(program)和 SWALLOW COUNTER 兩個除頻電路組成。PROGRAM 及 SWALLOW COUNTER 以下各簡稱 P 及 S 計數電路(COUNTER)。PULSE-SWALLOW COUNTER 工作原理如下, 雙模數前置除頻電路, 一開始為除 N+1, VCO 訊號經前置除頻器除 N+1 後, 同時送入 P 及 S 計數電路, P 計數電路的除值, 必須大於 S 計數電路, 所以 S 計數電路, 比 P 計數電路先歸為零, S 計數電路停止計數後, 其溢位輸入到, 雙模數前置除頻電路控制端, 以改變除數至 N, 直到 P 計數電路也到溢位值時停止計數, 上述動作結束後 PULSE-SWALLOW COUNTER 歸零重新計數。由上可知 PULSE-SWALLOW COUNTER 一個週期(CYCLE)共計數 $(N+1)S + N(P-S) = NP + S$ 次。因此適當選取並改變 N、P 及 S 值即可達到任何整數除值 M。

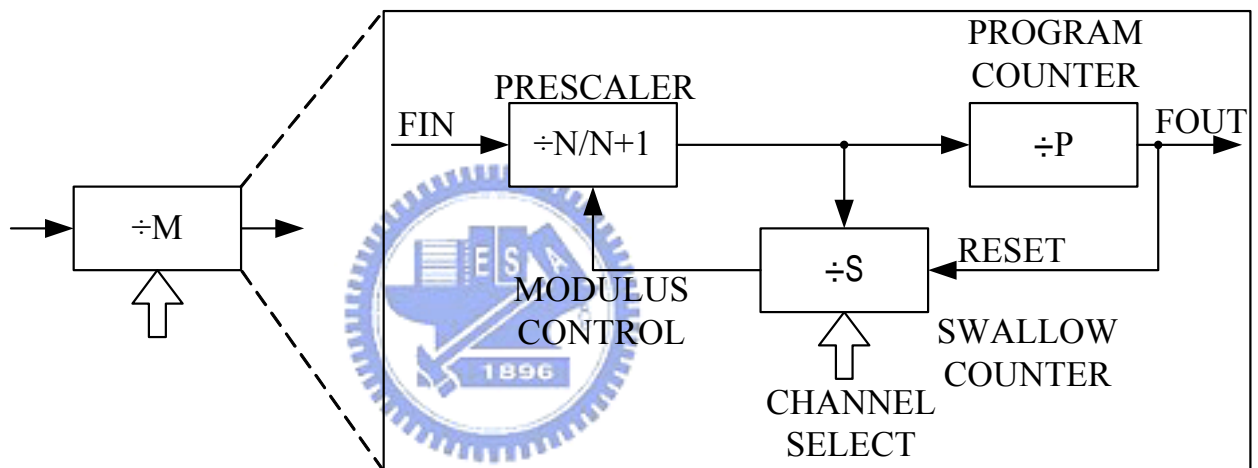


圖 38 可規劃的頻率除法器

$$\text{ONE OUTPUT CYCLE} = (N+1)S + N(P-S) = NP + S \text{ INPUT CYCLES}$$

$$M = PN + S$$

$$N = 4, P = 64, S = 3 \quad 10, M = 259 \quad 266 (@5\text{GHz})$$

$$N = 15, P = 160, S = 12 \quad 84, M = 2412 \quad 2484 (@2.4\text{GHz})$$

選擇參考頻率為 10MHz, 因此可求出八個通道各需要的除值 M, 並決定 N、P 及 S 的值, 經由計算列於表 2

5GHz	LO(MHz)	SCL(MHz)	Fin(10MHz)	M	N	P	S
Channel1	5180	2590	10	259	4	64	3
Channel2	5200	2600	10	260	4	64	4
Channel3	5220	2610	10	261	4	64	5
Channel4	5240	2620	10	262	4	64	6
Channel5	5260	2630	10	263	4	64	7
Channel6	5280	2640	10	264	4	64	8
Channel7	5300	2650	10	265	4	64	9
Channel8	5320	2660	10	266	4	64	10

表 2 在 5GHz 的頻率合成器八通道各對應 M、N、P、S 值

由上表 2 知 PULSE-SWALLOW COUNTER 需要一個 4/5 雙模數前置除頻電路、七個位元可規劃除數電路，及六個位元 SWALLOW COUNTER。

3.3 除頻器電路設計

3.3.1 在 5GHz 的雙模除法器

這裡使用 LATCH PAIR 當作 D 閘鎖如圖 39(a)，而由 CMOS 閘鎖組成 CMOS 邊緣觸發主僕式 D 型正反器 [30][31][32]。

D 閘鎖使用 CMOS 的實現方式組成，元件有一個基本雙反向器迴路，和二個 CMOS 傳輸閘(Transmission Gate)開關。藉著 CLK 訊號，輸入端的 T G 開啟，反之，藉由 CLK 的反相 \overline{CLK} ，在反相器迴路的 T G 開啟。因此，當 CLK=1，輸入訊號進入電路中，且此資訊在當 CLK=0 時，會保留做為反向器迴路的狀態。如果用簡單的開關替換 CMOS 傳輸閘，則更易於了解 CMOS 傳輸閘電路的操作方式如圖 39(b)、(c)。D 閘鎖並不是一個邊緣觸發的儲存元件，因為其輸出隨輸入而改變，亦即當時脈為高位準時，閘鎖為通透的。此通透性質造成此 D 閘鎖不適用於計數器和資料儲存的應用。

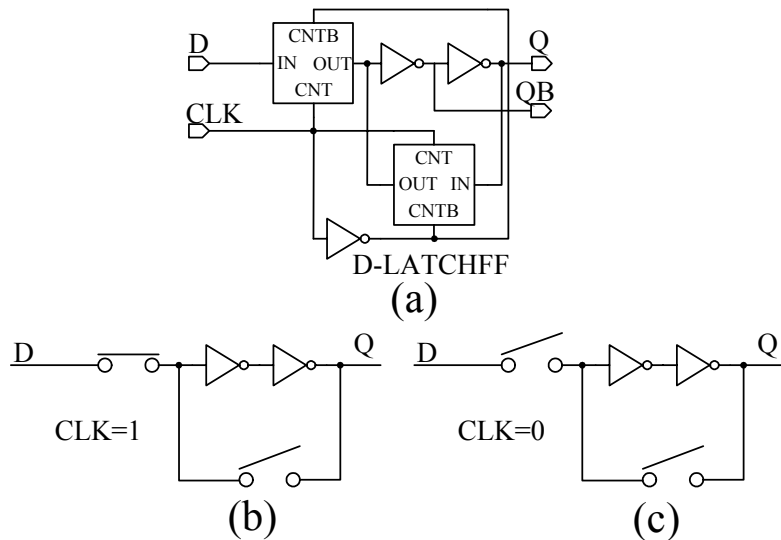


圖 39 CMOS D 門鎖電路和簡化圖

圖 40 為 CMOS 邊緣觸發主僕式 D 型正反器，僅僅由兩個串接 D 門鎖電路組成，第一級(主)由時脈訊號驅動，而第二級(僕)由反相時脈驅動，因此主級為正敏感位準，而僕級為負敏感位準。

當時脈為高位準時，主級由 D 輸入產生，而僕級保持先前值，當時脈由邏輯”1”變為邏輯”0”時，主門鎖拒絕 D 輸入進入，並在時脈轉變時儲存 D 值。同時，僕級門鎖呈現通透現象，將主級值 Q_m 傳送到僕級輸出 Q_s 。因為主級斷絕與 D 輸入的連接，使輸入無法影響輸出。當時脈再次由 0 轉變為 1 時，僕門鎖鎖住主門鎖的輸出，且主級又重新取入輸入訊號，因此，此電路為負邊緣觸發 D 正反器，其在時脈下降邊緣取入輸入值。

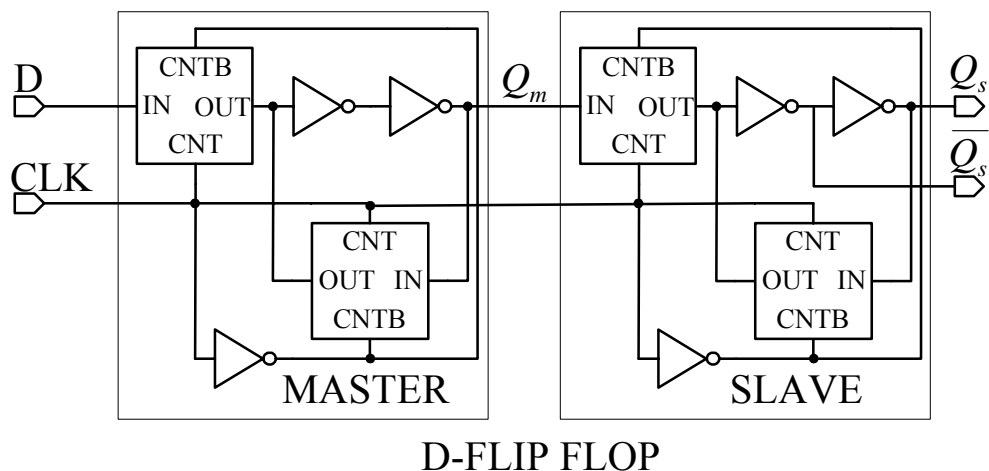


圖 40 CMOS 邊緣觸發主僕式 D 型正反器

一個共同使用的雙模除法器為除 4/5 電路，首先考慮簡單的 $\div 5$ 電路如圖 41，除法器利用 LATCH PAIR D 型正反器和 NAND 閘去產生五個狀態： $Q_1Q_2Q_3 =$

011、001、100、110、111，狀態 $Q_1Q_2Q_3 = 000$ 是不會發生的，因位他須要先前狀態 $Q_2=1, Q_3=1, G=0$ 其是不可能發生的。狀態 $Q_1Q_2Q_3 = 010$ 是不會發生的，因位他須要先前狀態 $Q_2=1, Q_3=1, G=0$ 其是不可能發生的。狀態 $Q_1Q_2Q_3 = 101$ 是不會發生的，因位他須要先前狀態 $Q_1=0, Q_2=1, Q_3=1$ 其是不可能發生的。

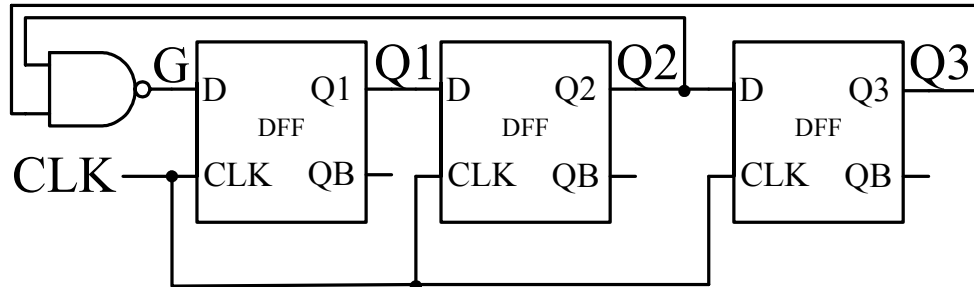


圖 41 除 5 電路

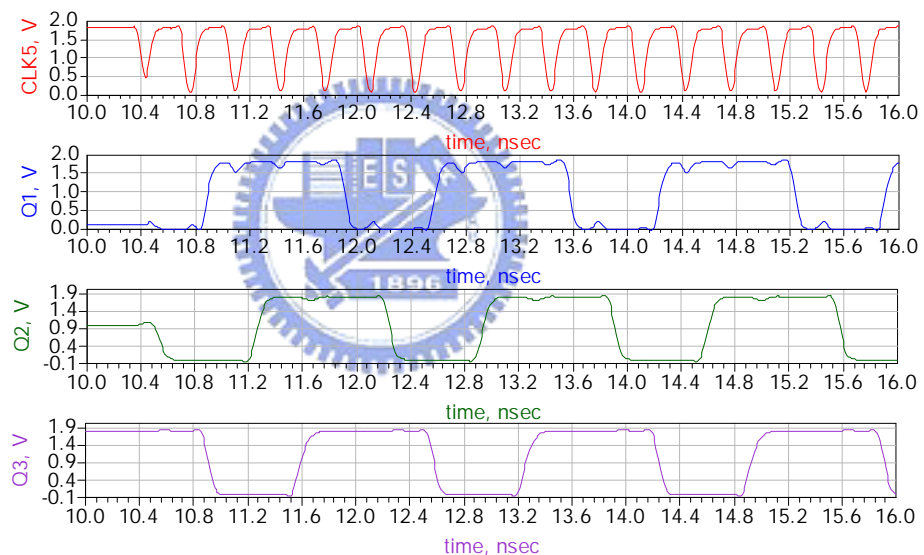


圖 42 除 5 電路時序圖

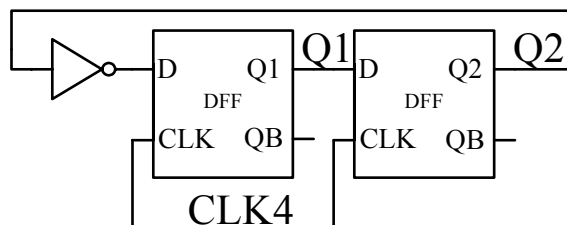


圖 43 除 4 電路

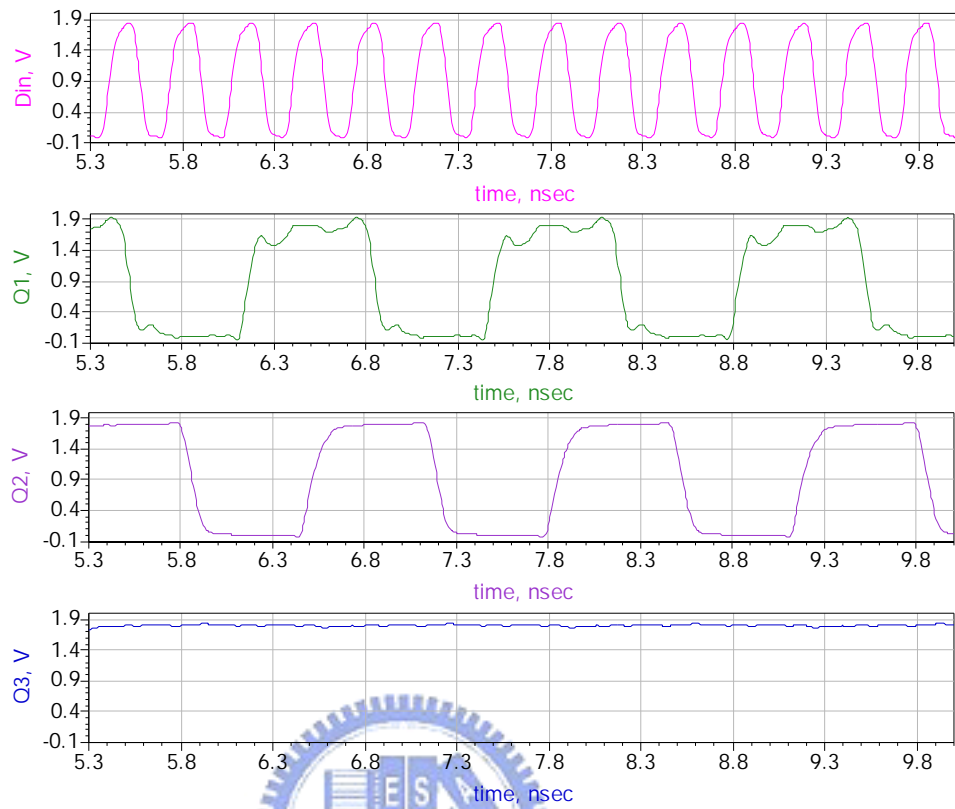


圖 46 除 4/5 除頻器 MC = 0 時序圖

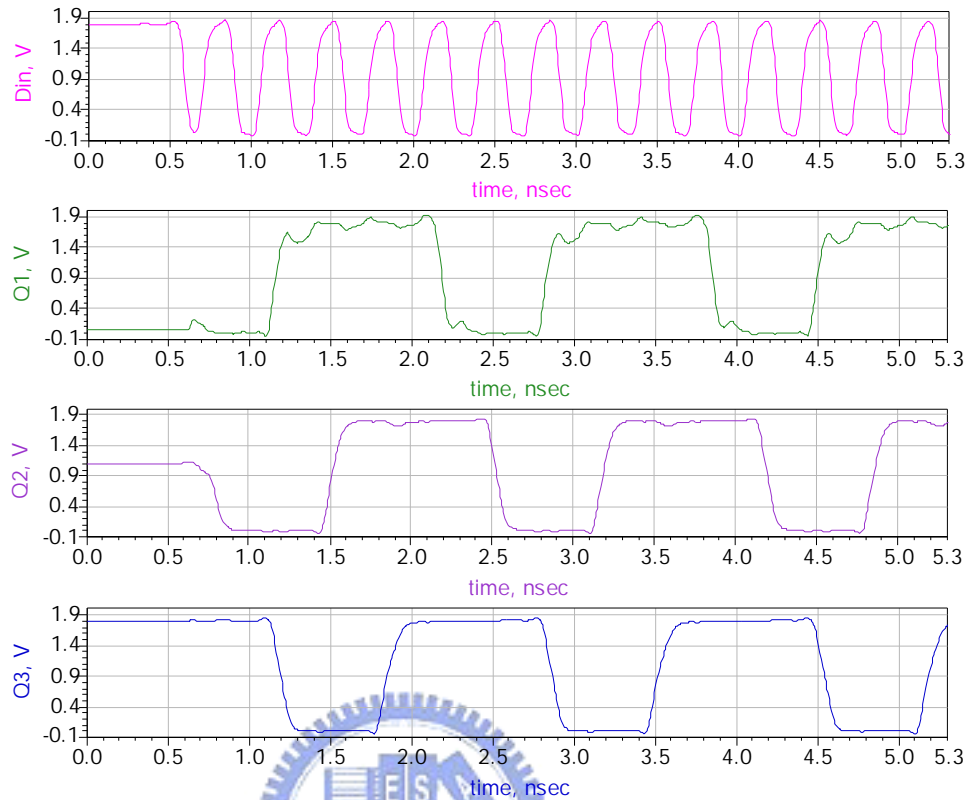


圖 47 除 4/5 除頻器 MC = 1 時序圖

3.3.2 快速源極耦合邏輯電路除法器

除 4/5 除頻器第一級需要工作在 6GHz 的頻率下，所以使用源極耦合邏輯電路如圖 48 所示[25]。

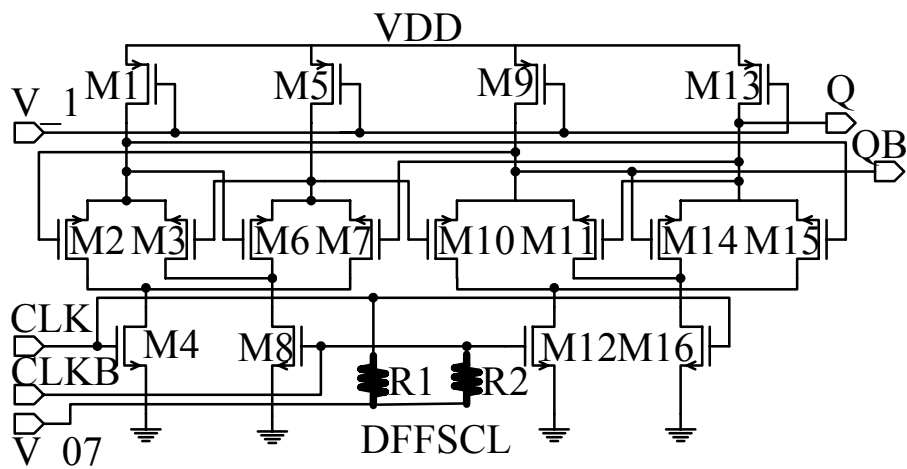


圖 48 源極耦合邏輯電路

	M1	M2	M3	M4	M5	M6	M7	M8
W(μm)	12.6	1.8	0.9	5	12.6	0.9	1.8	5
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18

	M9	M10	M11	M12	M13	M14	M15	M16
W(μm)	12.6	1.8	0.9	5	12.6	0.9	1.8	5
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18

表 3 為源極耦合邏輯電路電晶體閘極的寬度和長度值

除 4/5 除頻器第二級需要工作在 3GHz 的頻率下,所以使用沒有清除端的 D 型正反器,來增加其操作速度如圖 49。

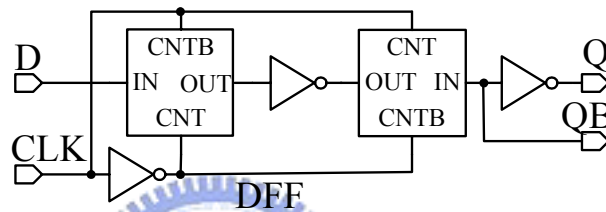


圖 49 沒有清除端的 D 型正反器

可規劃除數計數電路(PROGRAM COUNTER)和 SWALLOW COUNTER 電路如圖 50 所示,根據 $M = PN+S$ 決定了雙模數前置除頻預除電路、可規劃除數計數電路、SWALLOW COUNTER 電路的位元數如表 2 所示,已知為所要設計的頻段 5180MHz、5200 MHz、5220 MHz、5240 MHz、5260 MHz、5280 MHz 和 5300 MHz 等七個通道,我們發現每個通道相隔 20MHz,在 802.11a 中使用工作頻率是 40MHz 這對拿來作頻率合成器的參考頻率是很合適的,參考頻率是頻率合成器的最小解析度,越小可選則的頻率越多,但越容易影響頻道內(in-band)的頻率,製作 802.11a 的基頻段(Base Band)的速率是 6/9/12/18/24/36/48/54Mbps,若選擇最小的參考頻率 20MHz 其使用 24Mbps 以下速率傳輸,都會受到參考雜訊(reference spurious)諧波的影響,為了考慮到除法器第一級的執行速度,所以先將七個通道的頻率先除二變為 2590 MHz、2600 MHz、2610 MHz、2620 MHz、2630 MHz、2640 MHz、2650 MHz 這樣,使得除法器能工作在較低的頻率使得容易製作,現在通道剩下相隔 10Mhz 我們也決定了此為所要的頻率合成器的參考頻率,因為 $F_{OUT}=M \cdot F_{REF}$ 現在 $F_{REF}=10\text{MHz}$,所以 M 是要可以產生 259、260、261、262、263、264、265 的除值,之後為了符合此等式 $M = PN+S$ 找出 P、N、S 可適用的值,N 為雙模數前置除頻

預除電路，可用的有 2/3、3/4、4/5、15/16 等等很多種，我們依此計數器設計原則，S 計數器要比 P 計數器先計數完，所以先選擇 N=4 之後代入 $M = PN+S$ 看 S 計數器和 P 計數器是否符合如表 2 所列 P 和 S 也求出了， $P=64$ 其位元數需要符合 $2^{B-1} - 1 \leq P \leq 2^B - 1$ ，所以需要 7 位元的同步計數器，使用同位元比較器來實作 S 計數器，來得到可產生 S=3、4、5、6、7、8、9 的計數值，而我們要用六個位元來實現，而 CS5、CS6 可以等於低電位，因為我們不會用到此狀態，使用 R/S 拴鎖正反器來切換雙模數前置除頻預除電路。

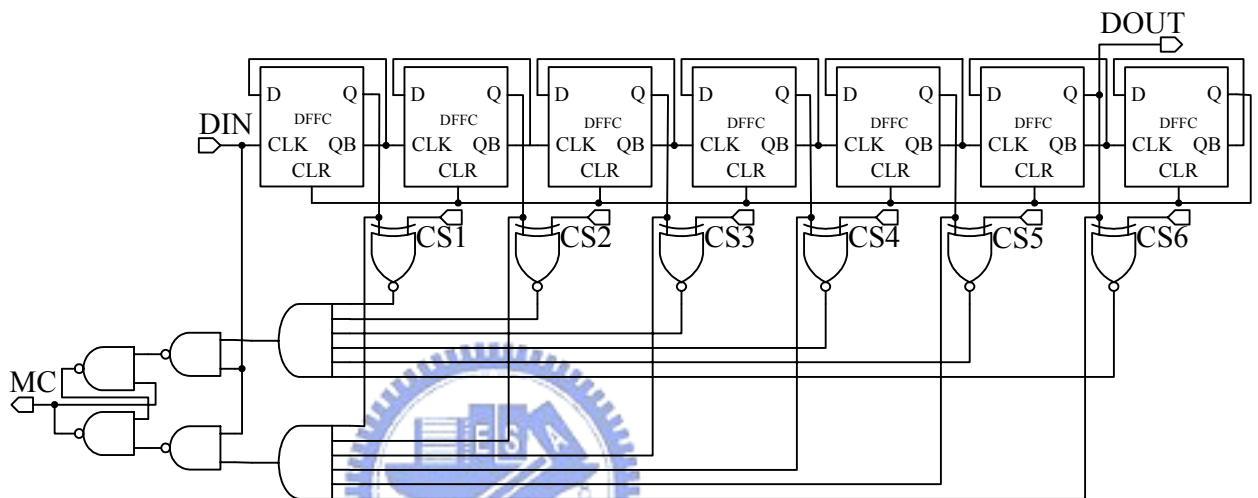


圖 50 在 5GHz 的 PROGRAM 和 SWALLOW COUNTER 電路

在可規劃計數器裡，工作的頻率大約在 1.5GHz，所以使用有清除端的 D 型正反器 [26]。

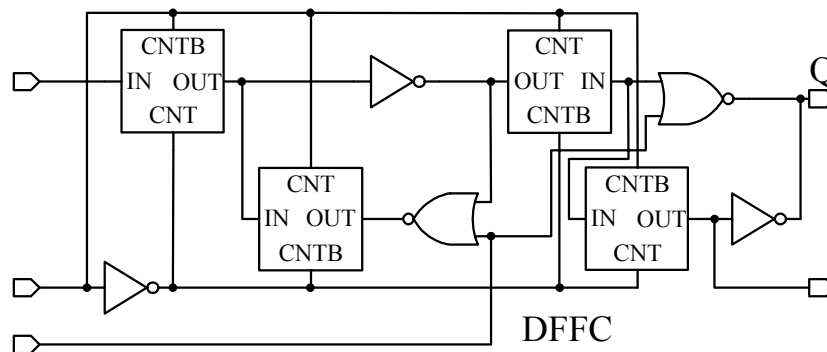


圖 51 有清除端的 D 型正反器

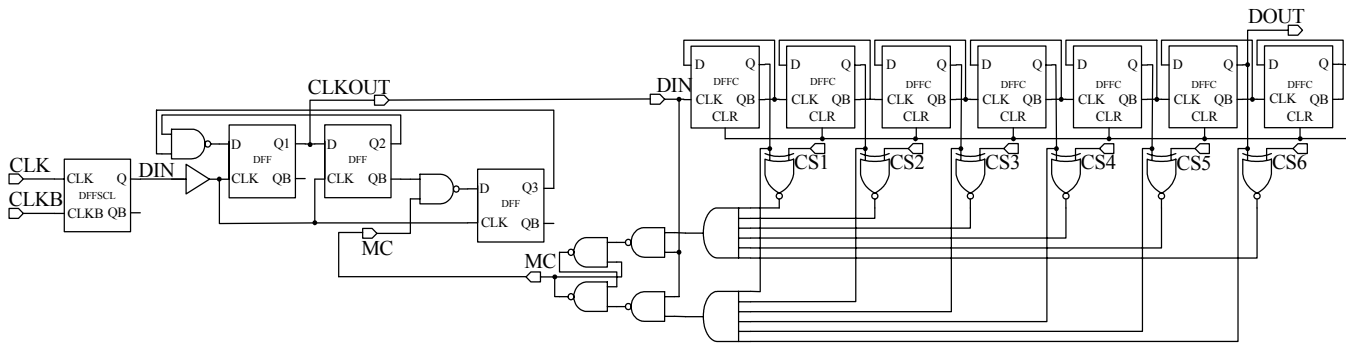


圖 52 在 5GHz 的 PULSE-SWALLOW 頻率除法器

3.4 相位偵測電路設計

相位偵測電路利用循序邏輯電路，提出有三個狀態，和使用邊緣觸發的電路 [33][34][35][36] [37]如圖 53，假如在 $QA=QB=0$ 時 $CLKA$ 有一個上升的正電壓，會使得 QA 有一個輸出的正電壓，在此同時 $CLKA$ 不變而 $CLKB$ 有一個上升的正電壓出現，導致了 QB 也變為正電壓輸出，此時及開清除兩個正反器，使得 QA 和 QB 又回到低電位。相反地若 $CLKB$ 有一個上升的正電壓，會使得 QB 有一個輸出的正電壓，在此同時 $CLKB$ 不變而 $CLKA$ 有一個上升的正電壓出現，導致了 QA 也變為正電壓輸出，此時及開清除兩個正反器使得 QA 和 QB 又回到低電位。也可以說，當 $CLKA$ 大於 $CLKB$ 時，相位偵測電路在 QA 產生正脈衝而 QB 為零，相反的當 $CLKB$ 大於 $CLKA$ 時， QB 產生正脈衝而 QA 為零，換言之， QA 和 QB 在一極短的時間有一相同的高電位，為了要清除正反器的輸出為低電位。由以上分析可以得到 QA 和 QB 輸出的平均電壓不同，而這個輸出電壓不同值可以用來表示輸入的 $CLKA$ 和 $CLKB$ 相位或者說是頻率的不同，輸出 QA 和 QB 我們總是稱“UP”和“DOWN”訊號。圖 53 為電路的實現，圖 54 為模擬結果。

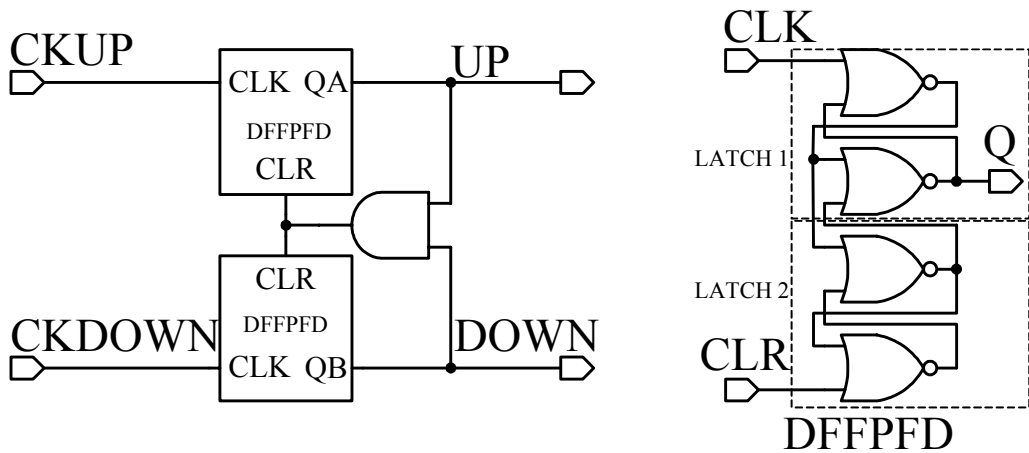


圖 53 相位頻率偵測器電路和所使用的 D 型正反器

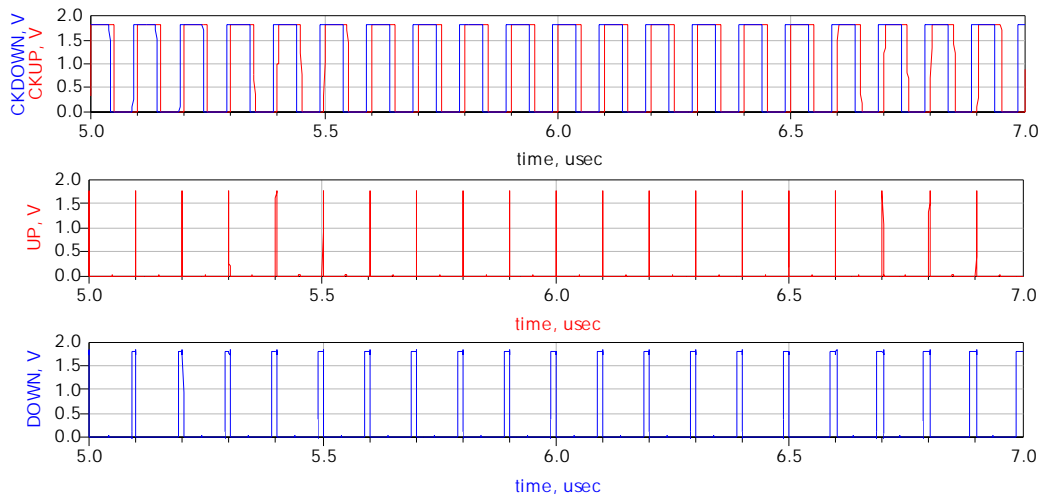


圖 54 模擬 CLKA < CLKB 正脈衝圖

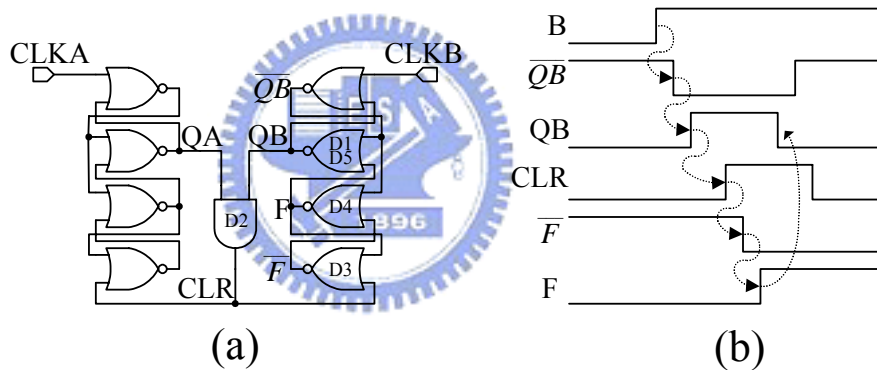


圖 55 (a)由邏輯閘組成的相位偵測電路 (b)其內部波形

我們現在分析顯現在 QB 端的窄脈衝的波形如圖 55(b)，假若電路在開始時有 $CLKA=1$, $QA=1$ 和 $QB=0$ 的狀態，之後在 $CLKB$ 端有一個上升的高電路使得 \overline{QB} 為低電位，在經過一個閘極的延遲之後 QB 變成了高電位，如圖 55(a)所示此狀態會前進到 CLR 、 \overline{F} 、 F 和 QB 。因此在 QB 的脈衝寬度大約是等於五個閘延遲時間(因為及閘和反或閘延遲時間不一樣所以我們說大約)。

3.5 電荷幫浦電路設計

電荷幫浦電路，是將相位偵測電路的正脈衝，轉換為電流電荷的充放電，圖 56 為實現電路， $M1$ 、 $M2$ 、 $M5$ 為一組電流鏡，能得到固定的偏壓電流， $M3$ 、 $M4$ 、 $M6$ 、 $M7$ 為一組電流鏡，他能使得 I_2 、 I_3 電流是一樣的， $M3$ 、 $M4$ 、 $M10$ 、 $M11$

為一組電流鏡提供充電 (charge) 電流，M8、M9、M12、M13 為一組電流鏡，提供放電 (discharge) 電流，若 UP=1、DOWN=0 則 $I_1=I_2=I_3$ 作充電動作，若 UP=0、DOWN=1 則 $I_2=I_3=I_4$ 作放電動作如圖 57，我們如此做，使得流入電流(source current) I_1 和流出電流(sinking current) I_4 是相等的，能達到完美電流匹配的目的，而減少參考頻率雜訊(reference spurious)的產生。

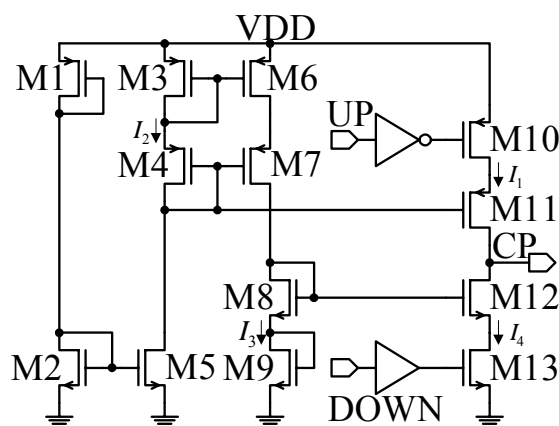


圖 56 電荷幫浦電路圖

	M1	M2	M3	M4	M5	M6	M7
W(μm)	1.08	0.54	1.08	1.08	0.54	1.08	1.08
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18	0.18

	M8	M9	M10	M11	M12	M13
W(μm)	0.54	0.54	2.4	2.4	1.2	1.2
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18

表 4 為電荷幫浦電路圖電晶體閘極的寬度和長度值

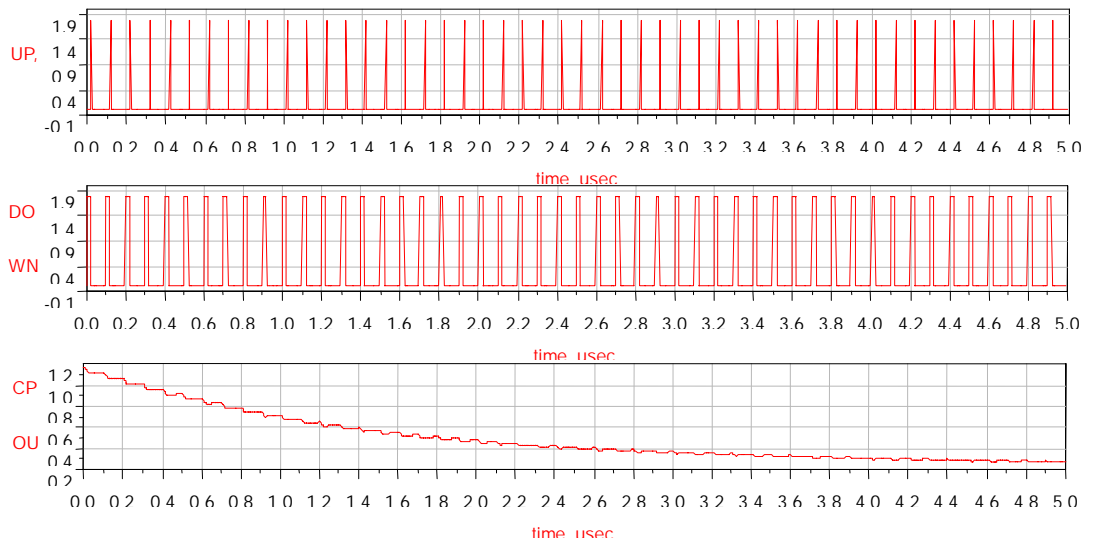


圖 57 電荷幫浦放電狀態

3.6 電壓控制振盪電路設計

現今的無線網路應用趨勢，是要有低的消耗功率以保持電池功率和乾淨的頻譜，以減少污染鄰近通道的機會，而 PMOS 在逆偏工作下，空乏區(depletion region)的通道形成，此一通道有其固定厚度，且上面有正電荷下面有負電荷，這就是其

本質的電容 $C_{ox} = \epsilon_r \frac{A}{d}$ 如圖 58(a)，我們就可以達到使用 PMOS 當電容器功能[38]。

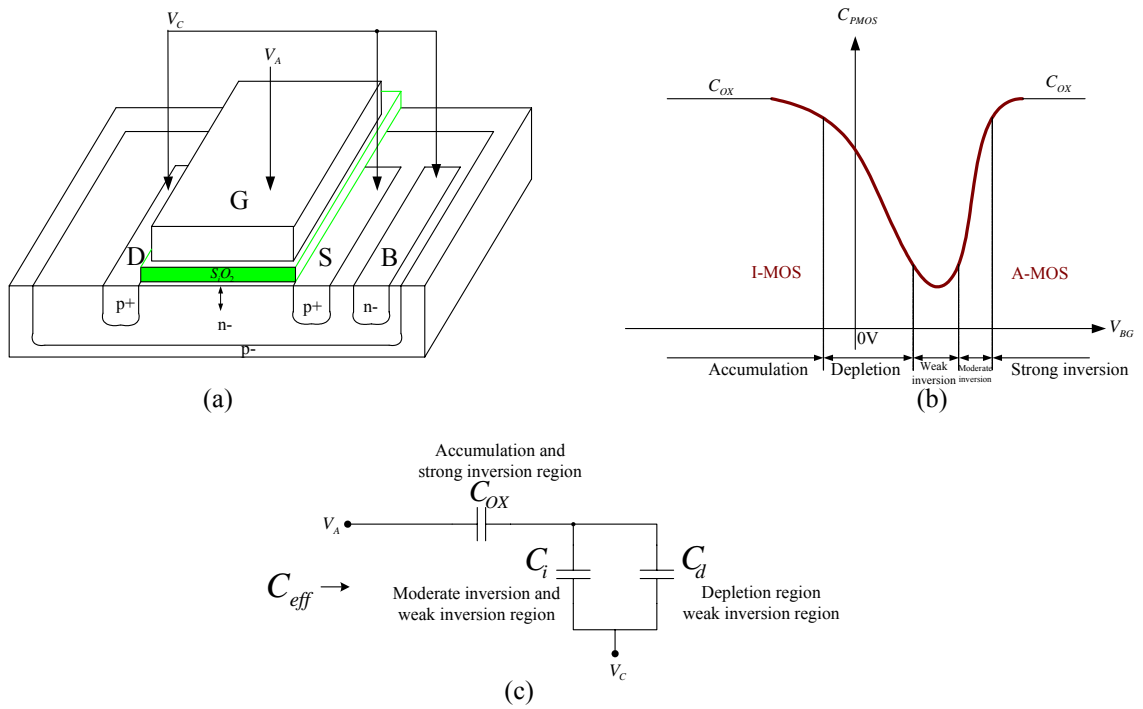


圖 58 (a)使用 MOS 的變容二極體架構 (b)電容變化曲線 (c)串聯的等效電容

3.6.1 I-MOS 電容

當 PMOS 電晶體要做電容時我們將源極、汲極和基極綁在一起，接到地電位 (V_C)，而閘極端點接到控制電壓 (V_A)，若將此電壓由負電壓往零伏，再往正的方向慢慢加電壓時，汲極到源極的通道會慢慢變厚，且閘極上為正離子聚集，所以此時的等效電容慢慢變小，在累積的正離子，到達一個值時厚度最大，也是等效電容最小時，此累積正離子會往基極流走，所以等效的厚度由最大慢慢縮小，此時等效電容 $C_{eff} = C_{ox} // (C_i + C_d)$ 由最小慢慢變大，而閘極控制電壓，到達某一個負值時，等效電容變成最大的 C_{ox} ，我們稱此為反向 PMOS 電容 (Inversion MODE-PMOS capacitor)。

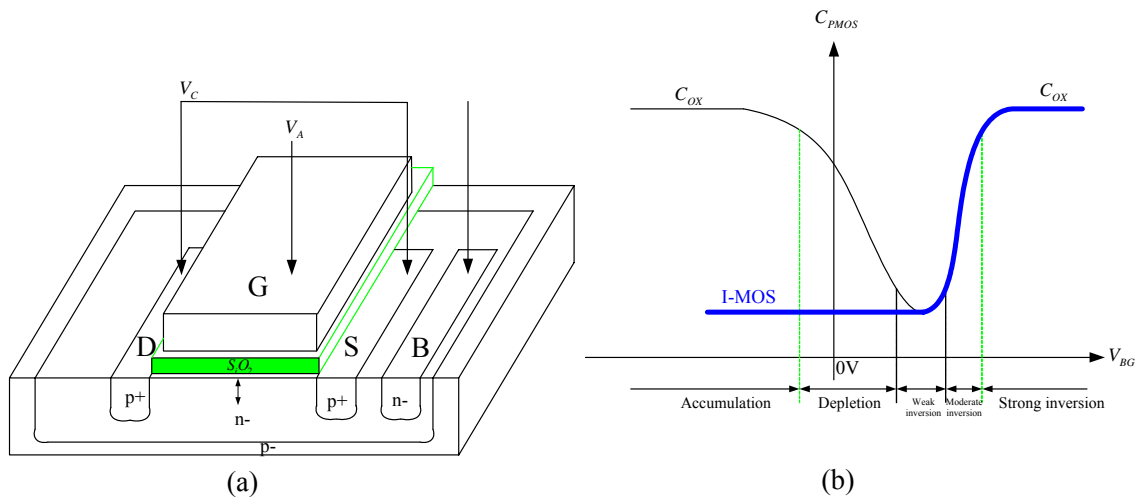


圖 59 (a)增加反向 PMOS 電容架構 (b)電容變化曲線

3.6.2 A-MOS 電容

反之，若閘極端點控制電壓，由正電壓往零伏，再往負的方向慢慢加電壓時，汲極到源極的通道會慢慢變厚，且閘極上為負離子聚集，所以此時的等效電容慢慢變小，在累積的負離子到達一個值時厚度最大，也是等效電容最小時，此累積負離子會往源極、汲極流走，所以等效的厚度由最大慢慢縮小，此時等效電容由最小慢慢變大，而閘極控制電壓到達某一個負值時，等效電容變成最大的 C_{OX} ，我們稱此為累積 NMOS 電容(Accumulation MODE-NMOS capacitor)。因為 C_{eff} 為 V_{BG} 的函數，等效的閘極電容被 V_{BG} 調變，因此 C_{eff} 可當作可變電容。

由以上的分析，希望在反向 PMOS 電容(Inversion MODE-PMOS capacitor)閘極端點控制電壓(V_A)很正時，不要有累積(Accumulation)發生，因此可以將基體浮接，使得累積在閘極的正離子，不會從基體逃走，維持了汲極到源極的通道厚度不變，電容等效值就如圖 59(b)粗實線所示：

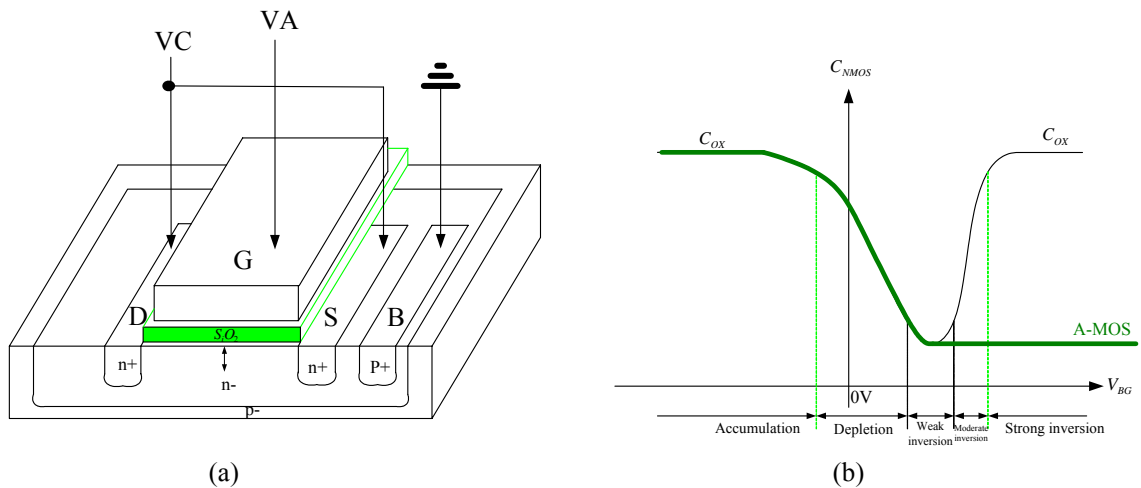


圖 60 (a)增加累積 NMOS 電容架構 (b)電容變化曲線

由以上的分析,我們希望在累積 NMOS 電容(Accumulation MODE-NMOS capacitor)閘極端點控制電壓(V_A)很負時不要有反向(Inversion)發生,我們可以將汲極和源極佈質為 N^+ ,使得累積在閘極的負離子不會從汲極和源極逃走,維持了汲極到源極的通道厚度不變,這樣可變的電容範圍擴大了,使得對電壓就沒有那麼靈敏。電容等效值就如圖 60(b)粗實線所示。

3.6.3 高頻電感

纏繞線在高頻時,金屬線因肌膚效應,而產生截面電流分佈不均勻現象,使得金屬線本身損耗增加。低頻時導線受肌膚效應影響較小,此時導線電阻並不會明顯增加,但若導線長度增加時,相對電阻將會提高。而高頻時,肌膚效應(skin effect)增強,電流通過導線的等效截面積越來越小。在使用 CMOS 做纏繞式電感時,導線的厚度需要大於肌膚效應,不然會使得線電阻增加而影響電感的 Q (Quality factor)值。

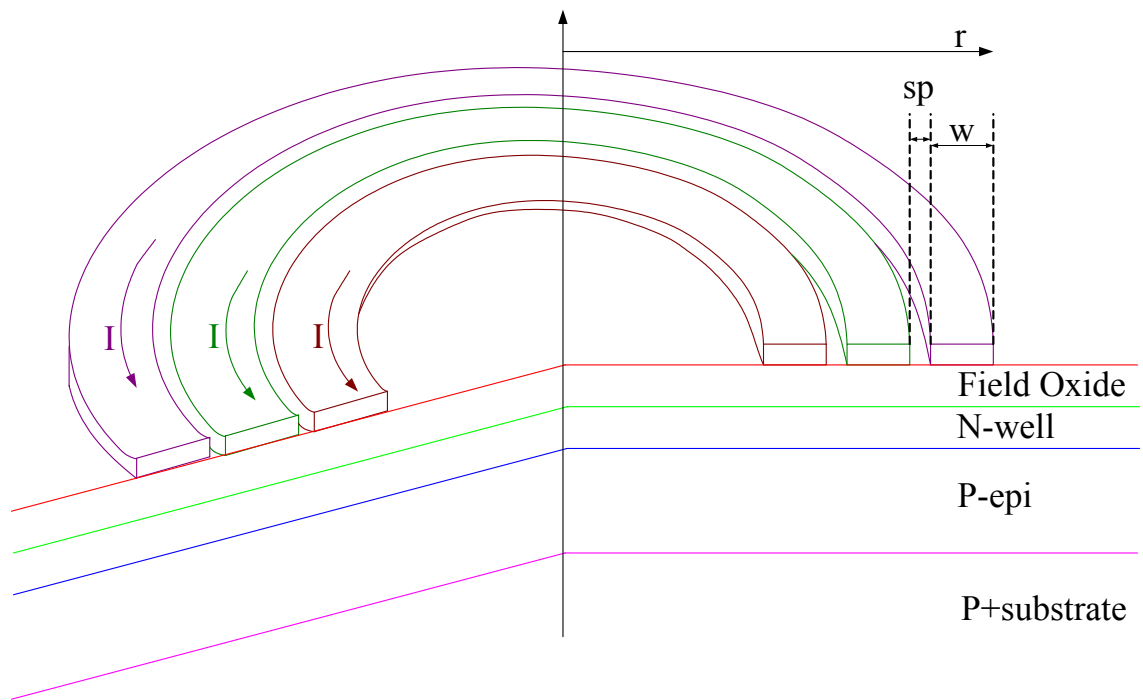


圖 61 繞線電感模型

增加繞線的寬度(Width) ，會減小導線的阻抗使得 Q 值增加，但會增加導線的面積，使得電容值增大，這樣會使得此電感的使用頻率下降。線間距(Spacing)越小，在做大電感可以有很小的面積，而最小的間距和製程的規格有關。通常製作電感都會使用離基體(substrate)最遠的金屬層，在 UMC0.18um 1P6M 是使用 METAL6 ，因為基體電阻很小會有損失(lossy) 。

在使用 CMOS 製程製作高頻電感，內圈若繞的太緊密，會影響電感量，且電流會越靠近繞線導體內側如圖 62 所示，這就是越靠近內側其渦流(Eddy Current)越明顯，這表示不會增加電感量，而會增加電阻使得 Q 值會下降[39][40]。

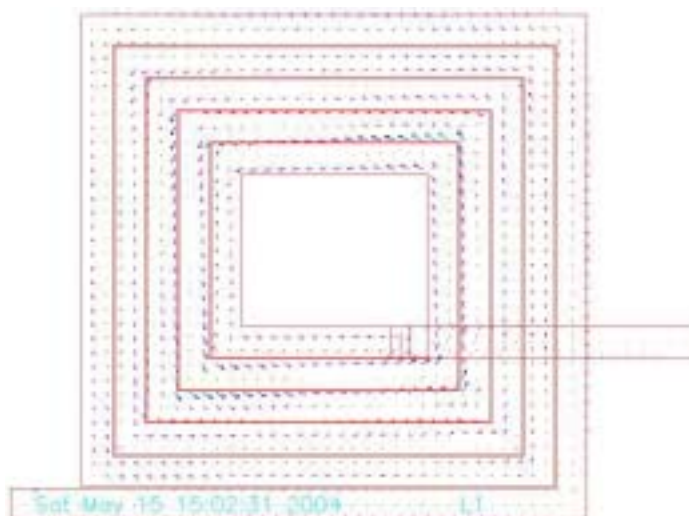


圖 62 高頻時電流分布情形@ 7.2GHz

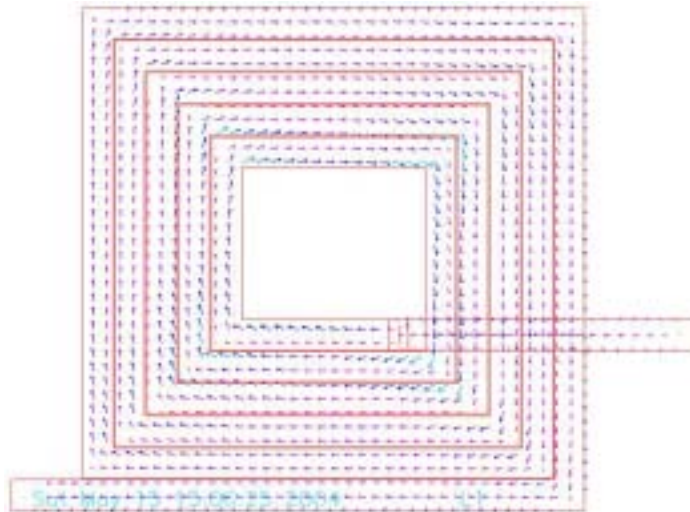


圖 63 低頻時電流分布情形@1.041GHz

由圖 62、圖 63 觀察得知，越接近纏繞線中心電流，集中於導線表面內側越明顯，即為纏繞線內圈中空部份，所通過的磁力線多，由法拉第定律得知，在導體上所產生的渦流電流比起低頻時為大，表面電流在往內側集中的結果，更使內圈導線電阻大增。

結論，對於克服損耗，所造成的品質因素，與感值下降方式，除提高氧化層厚度外，另需注意下列幾項要點：

- 1) 螺旋電感器之最外圈，與其他金屬線間距，至少應有五倍電感器導線寬度，如此可免除不必要的寄生效應。
- 2) 於製程所允許最小設計規則下，儘可能讓電感器纏繞線之線距縮小，如此可使得此磁場耦合更為緊密，同時亦獲得最大品質因素，以及減少電感器佈局面積。
- 3) 大部分螺旋電感器佈局線寬介於 10 ~ 15 微米之間，若線寬過寬，將促使電感值及品質因素的峰值下降，同時也會使得品質因素，對頻率的改變較為靈敏。
- 4) 在製程允許下，氧化層應盡可能加厚，如此可減少一些並聯的寄生效應，以及矽基材損耗。
- 5) 螺旋電感器的品質因素，受纏繞的金屬線厚度，與阻抗影響甚巨，若能增加金屬厚度，便能減少一些歐姆損耗，已達到提高品質因素的目的。

3.6.4 使用電容倍數調整頻率

我們不使用變容二極體去達成電容的調整，而利用電容值的寬範圍再加開關下，並聯使用來達成主動電容變動。

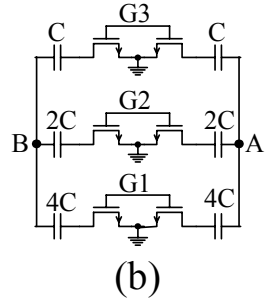
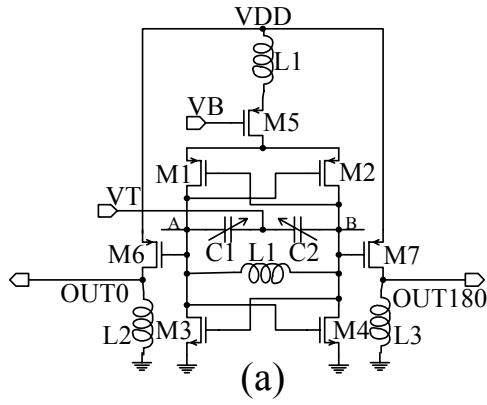


圖 64 (a)互補式交錯耦合 LC-tank 振盪電路 (b)開關電容陣列

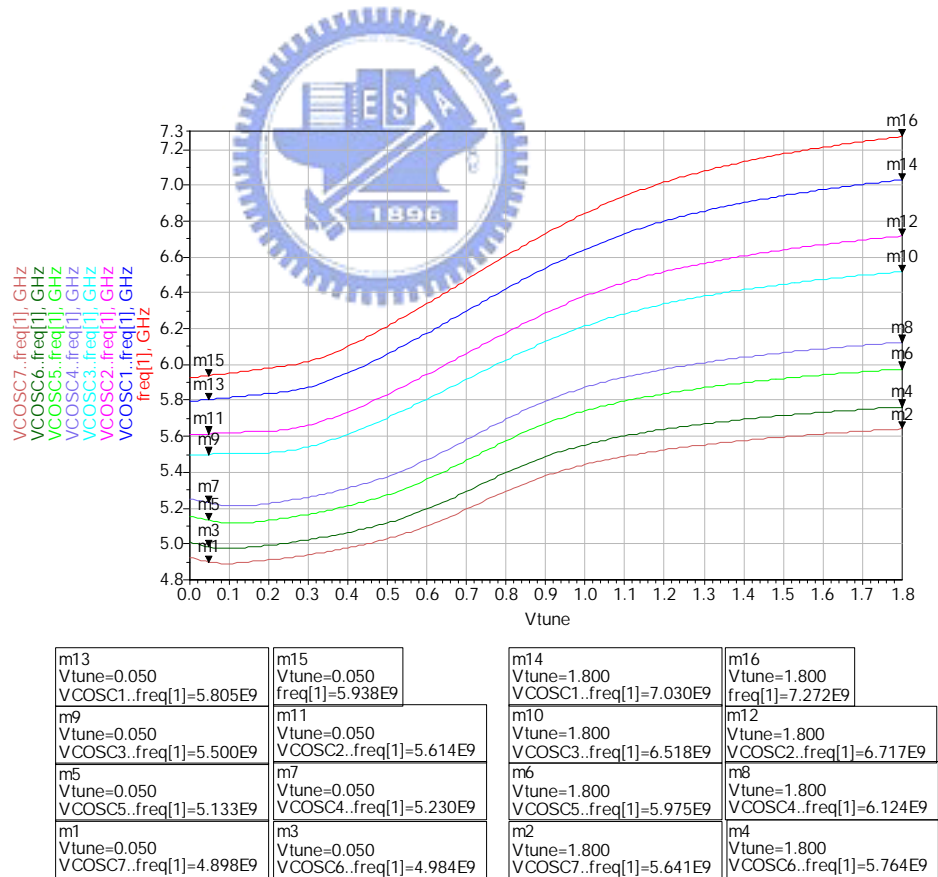


圖 65 在 5GHz 的相對電容陣列振盪頻率範圍

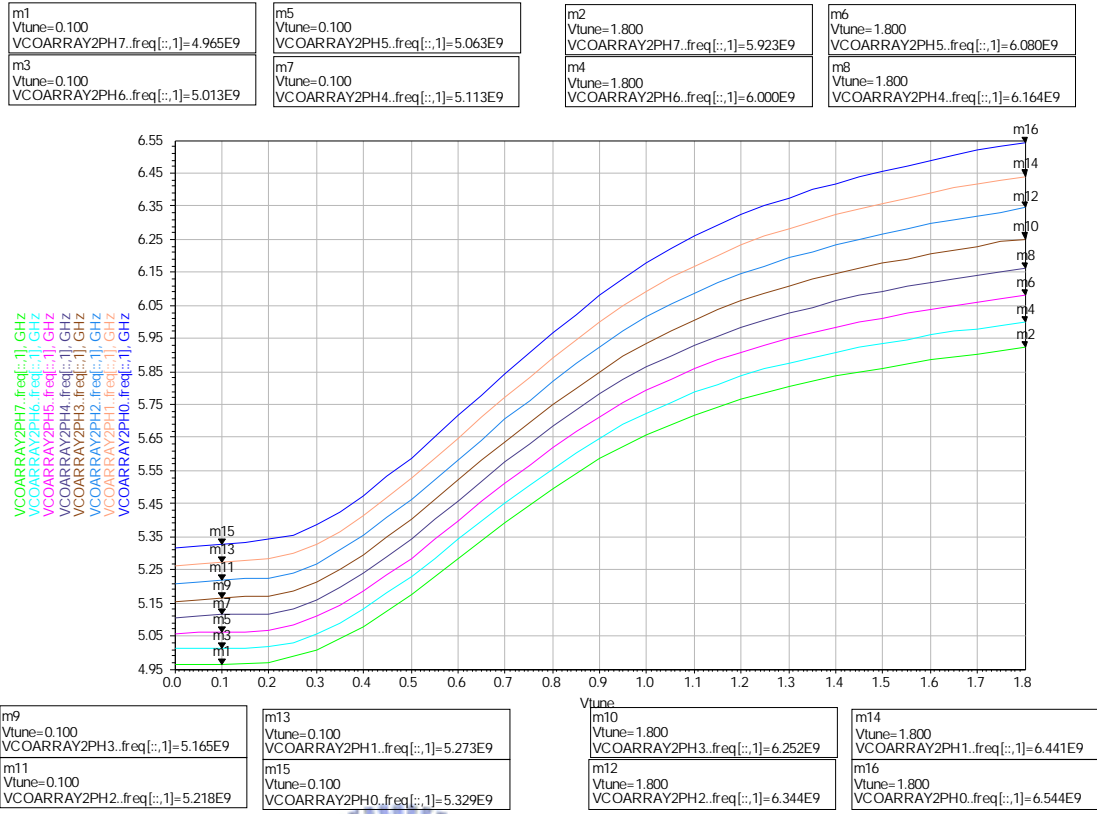


圖 67 在 5GHz 的控制電壓對震盪頻率模擬結果

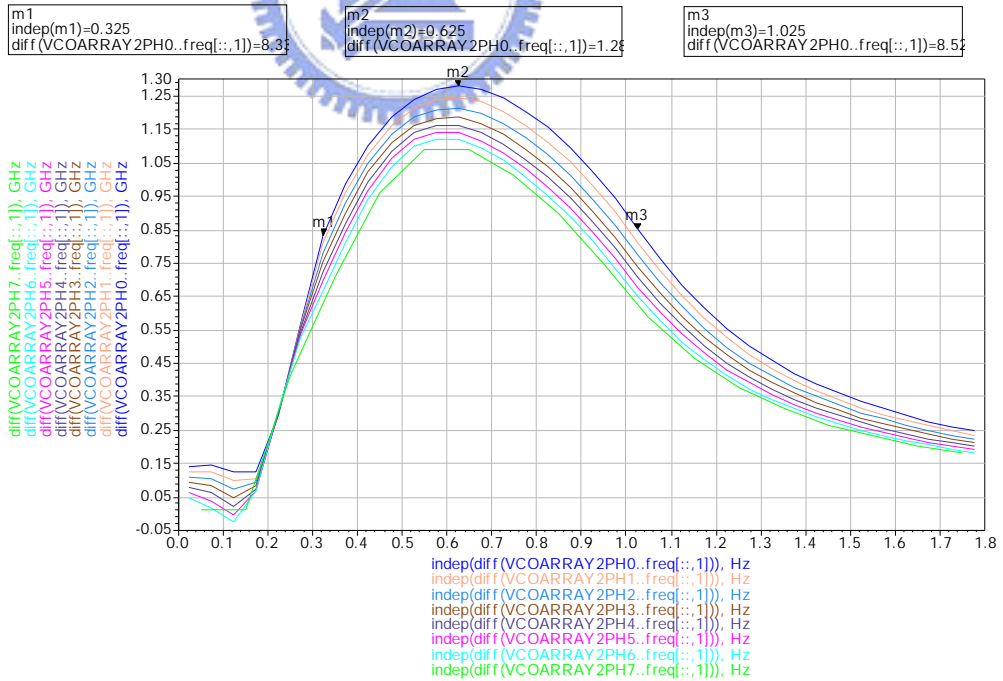


圖 68 在 5GHz 的 KVC0 模擬結果(MAX1280MHz/V @0.625V)

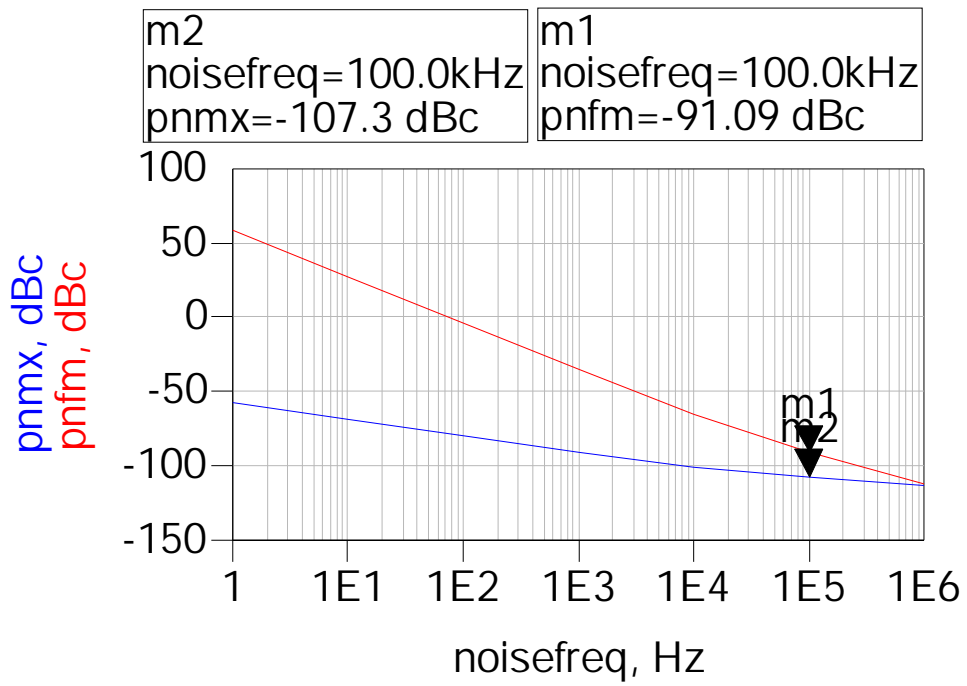


圖 69 在 5GHz 的相位雜訊模擬(-91.09dBc/Hz @100kHz)

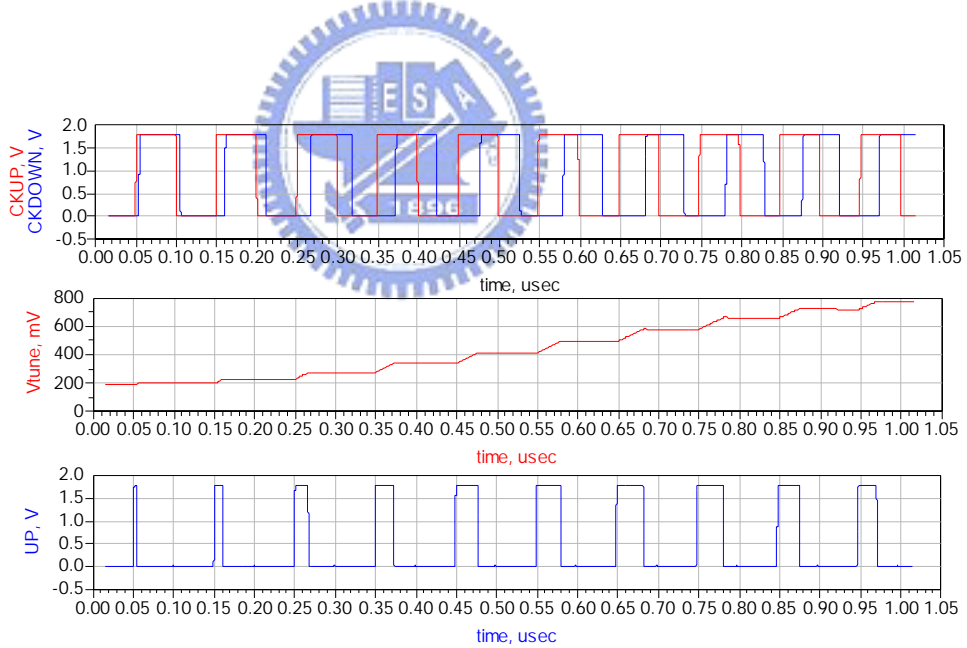


圖 70 在 5GHz 電荷幫浦相位鎖住穩定時間模擬結果(1.0uS)

3.6.6 各邏輯電路

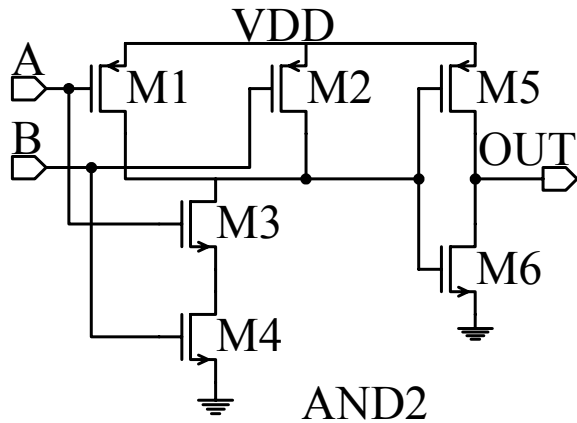


圖 71 二輸入及開電路

	M1	M2	M3	M4	M5	M6
W(μm)	0.72	0.72	0.36	0.36	0.72	0.36
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18

表 5 二輸入及開電路電晶體閘極的寬度和長度值

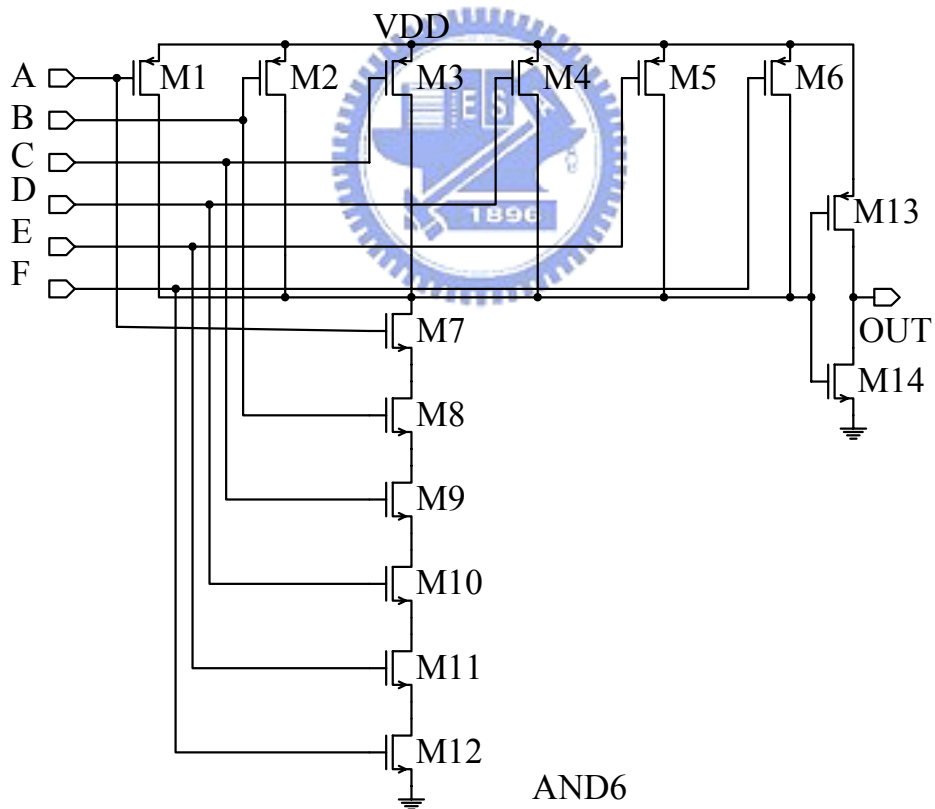


圖 72 六輸入及開電路

	M1	M2	M3	M4	M5	M6	M7
W(μm)	1.08	1.08	1.08	1.08	1.08	1.08	0.72
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18	0.18

	M8	M9	M10	M11	M12	M13	M14
W(μm)	0.72	0.72	0.72	0.72	0.72	0.72	0.36
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18	0.18

表 6 六輸入及開路電晶體閘極的寬度和長度值

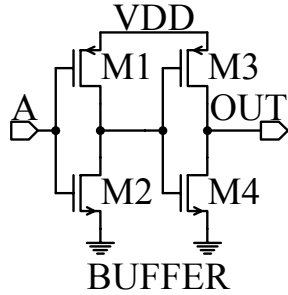


圖 73 緩衝電路

	M1	M2	M3	M4
W(μm)	1.8	0.9	3.6	1.8
L(μm)	0.18	0.18	0.18	0.18

表 7 緩衝電路電晶體閘極的寬度和長度值

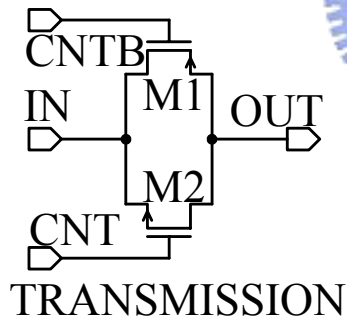


圖 74 CMOS 傳輸閘電路

	M1	M2
W(μm)	0.72	0.36
L(μm)	0.18	0.18

表 8 CMOS 傳輸閘電路電晶體閘極的寬度和長度值

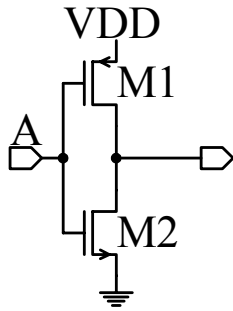


圖 75 反向電路

	M1	M2
W(μm)	0.72	0.36
L(μm)	0.18	0.18

表 9 反向電路電晶體閘極的寬度和長度值

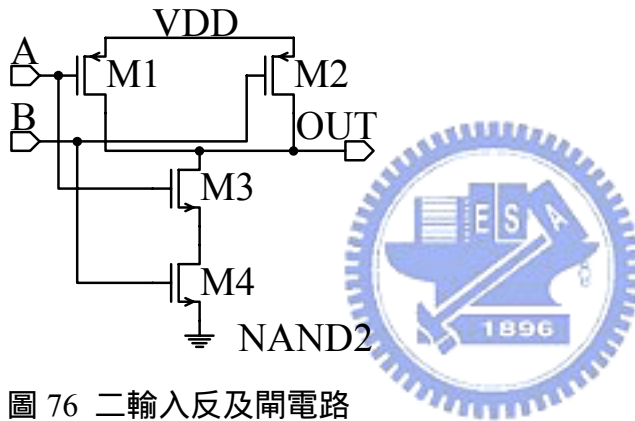


圖 76 二輸入反及開電路

	M1	M2	M3	M4
W(μm)	1.44	1.44	0.72	0.72
L(μm)	0.18	0.18	0.18	0.18

表 10 二輸入反及開電路電晶體閘極的寬度和長度值

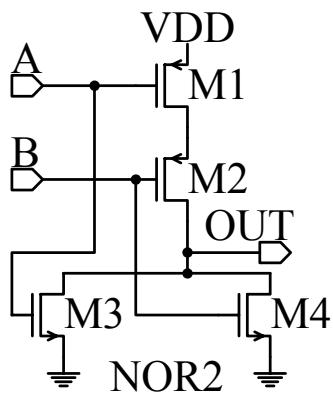


圖 77 二輸入反或開電路

	M1	M2	M3	M4
W(μm)	0.72	0.72	0.36	0.36
L(μm)	0.18	0.18	0.18	0.18

表 11 二輸入反或閘電路電晶體閘極的寬度和長度值

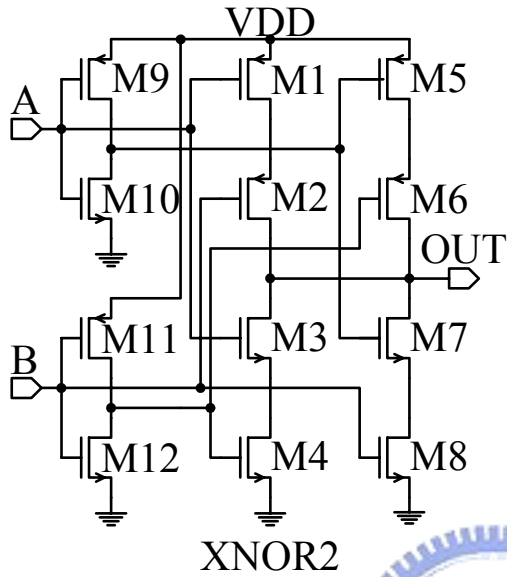


圖 78 二輸入互斥反或閘電路

	M1	M2	M3	M4	M5	M6
W(μm)	0.72	0.72	0.36	0.36	0.72	0.72
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18

	M7	M8	M9	M10	M11	M12
W(μm)	0.36	0.36	0.72	0.36	0.72	0.36
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18

表 12 二輸入互斥反或閘電路電晶體閘極的寬度和長度值

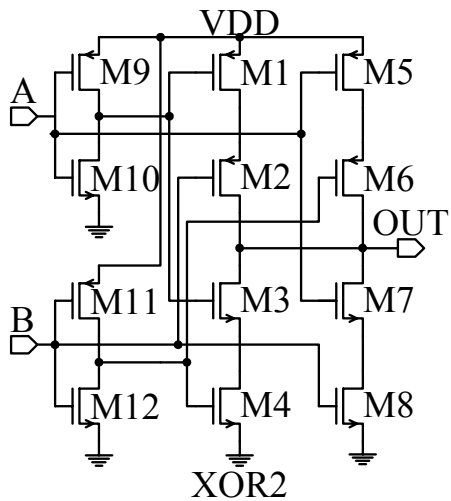


圖 79 二輸入互斥或閘電路

	M1	M2	M3	M4	M5	M6
W(μ m)	0.72	0.72	0.36	0.36	0.72	0.72
L(μ m)	0.18	0.18	0.18	0.18	0.18	0.18

	M7	M8	M9	M10	M11	M12
W(μ m)	0.36	0.36	0.72	0.36	0.72	0.36
L(μ m)	0.18	0.18	0.18	0.18	0.18	0.18

表 13 二輸入互斥或閘電路電晶體閘極的寬度和長度值

3.7 在 2.4GHz 的頻率合成器規劃

	LO(MHz)	SCL(MHz)	Fin(0.5M)	M	N	P	S
Channel1	2412	1206	0.5	2412	15	160	12
Channel2	2417	1208.5	0.5	2417	15	160	17
Channel3	2422	1211	0.5	2422	15	160	22
Channel4	2427	1213.5	0.5	2427	15	160	27
Channel5	2432	1216	0.5	2432	15	160	32
Channel6	2437	1218.5	0.5	2437	15	160	37
Channel7	2442	1221	0.5	2442	15	160	42
Channel8	2447	1223.5	0.5	2447	15	160	47
Channel9	2452	1226	0.5	2452	15	160	52
Channel10	2457	1228.5	0.5	2457	15	160	57
Channel11	2462	1231	0.5	2462	15	160	62
Channel12	2467	1233.5	0.5	2467	15	160	67
Channel13	2472	1236	0.5	2472	15	160	72
Channel14	2484	1242	0.5	2484	15	160	84

表 14 在 2.4GHz 頻率合成器十四通道各對應 M、N、P、S 值

由上表 14 知 PULSE-SWALLOW COUNTER 需要一個 15/16 雙模數前置除頻器、八個位元可變除數除頻器，及八個位元 SWALLOW COUNTER。

3.8 在 2.4GHz 雙模除法器

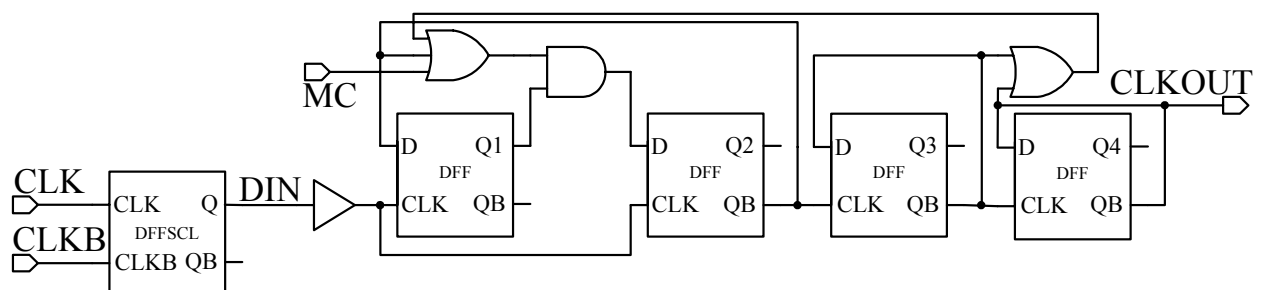


圖 80 在 2.4GHz 的除 15/16 電路

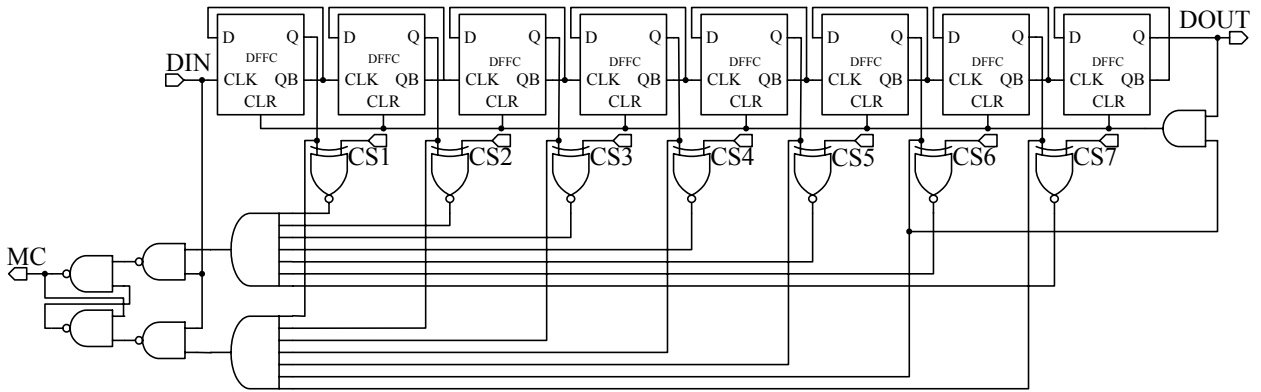


圖 81 在 2.4GHz 的 PROGRAM 和 SWALLOW COUNTER 電路

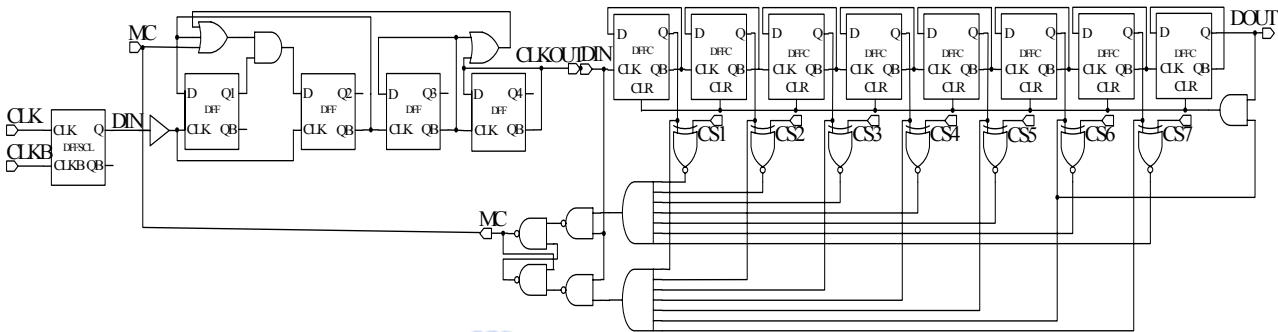


圖 82 在 2.4GHz 的 PULSE-SWALLOW 頻率除法器

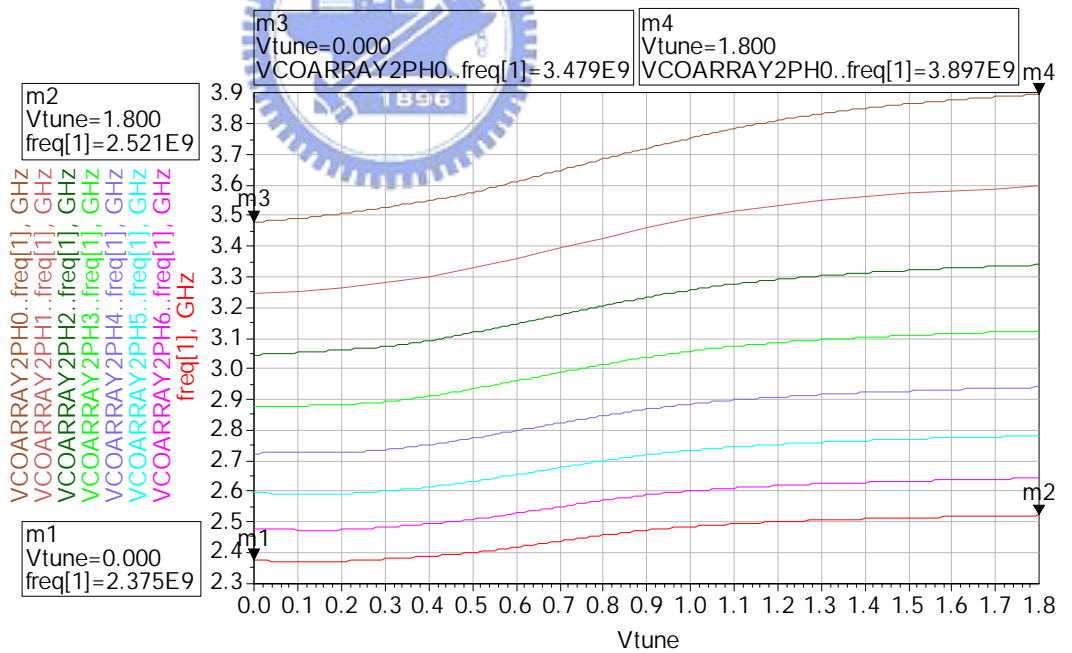


圖 83 在 2.4GHz 控制電壓對震盪頻率模擬結果

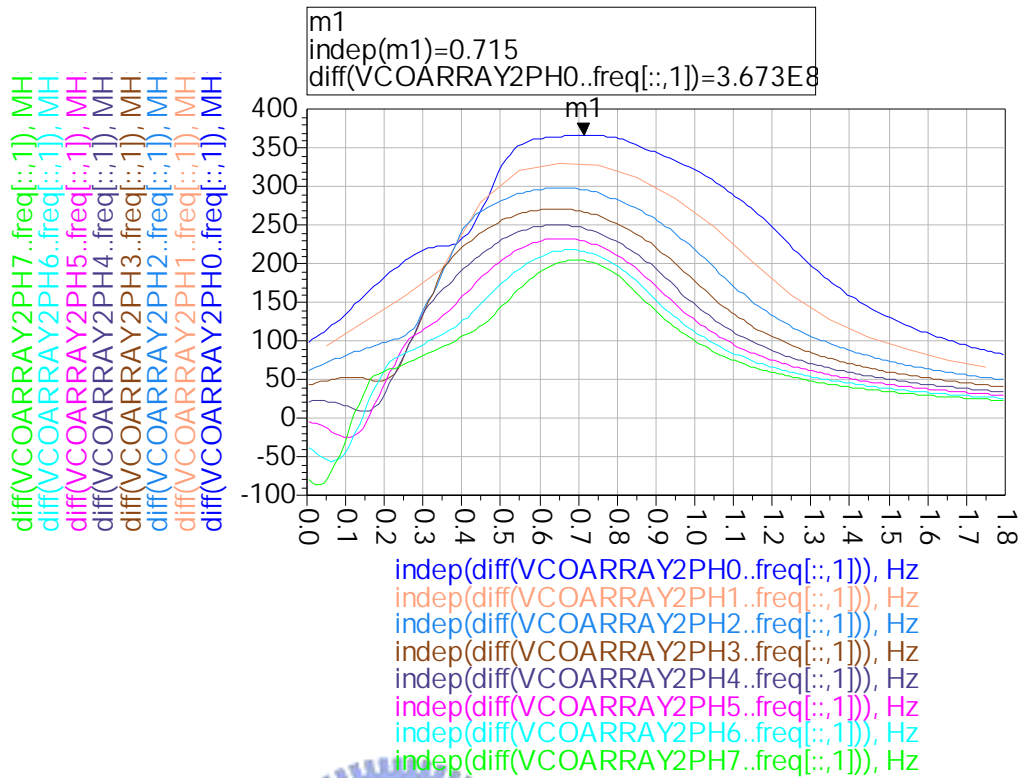


圖 84 在 2.4GHz 的 KVCO 模擬結果

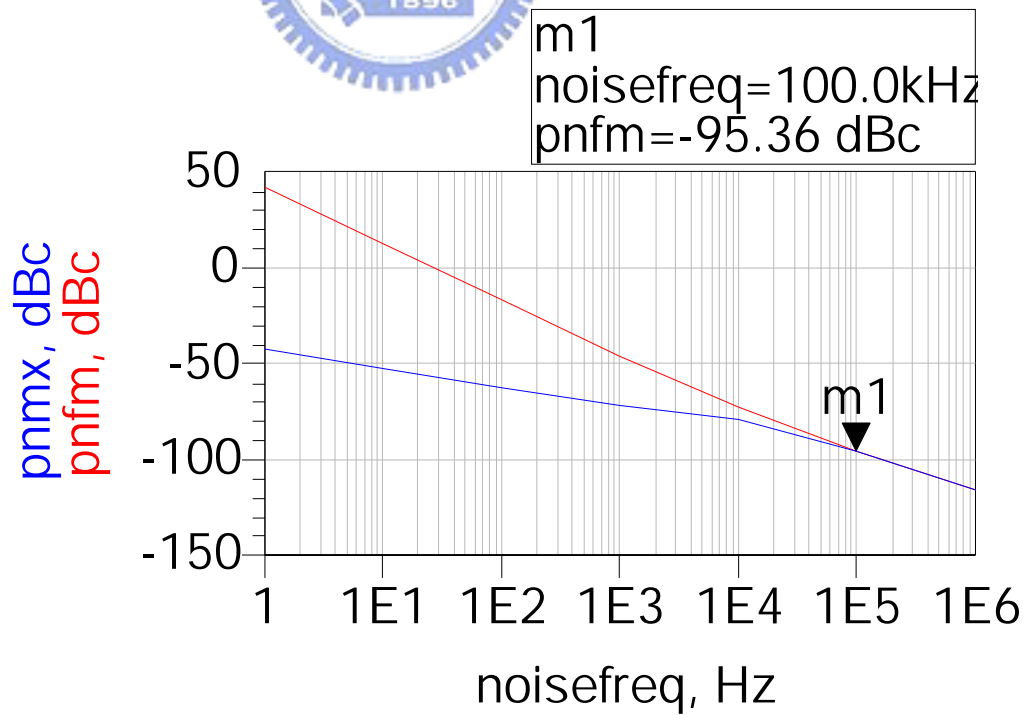


圖 85 在 2.4GHz 相位雜訊模擬(-95.36dBc/Hz@100KHz)

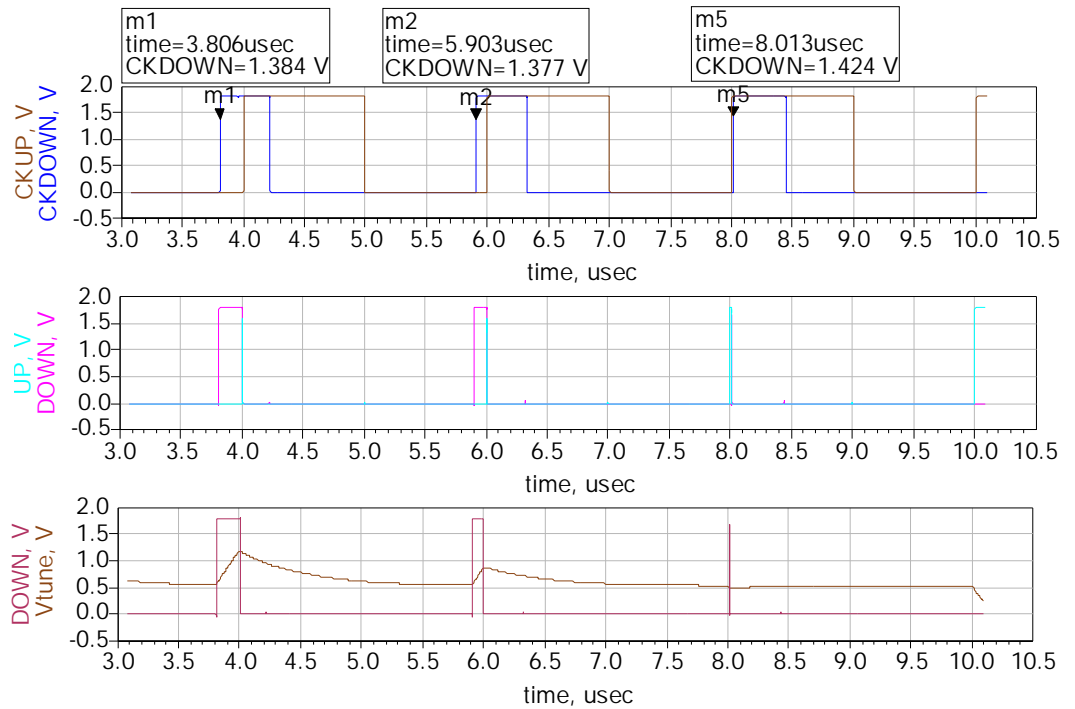


圖 86 在 2.4GHz 電荷幫浦相位鎖住穩定時間模擬結果(4.2 μs)

3.9 Utral Wide Band VCO

下圖 87、圖 88 為 UWB 使用的頻譜，振盪器是使用 L-C tank VCO 來得到小的相位雜訊，振盪頻率設計在 3036MHz 到 4752MHz 範圍，可以含括 mode 1 而利用圖 90 的倍頻器，來產生 mode 2 的振盪頻率[62][63][64][65][66]。

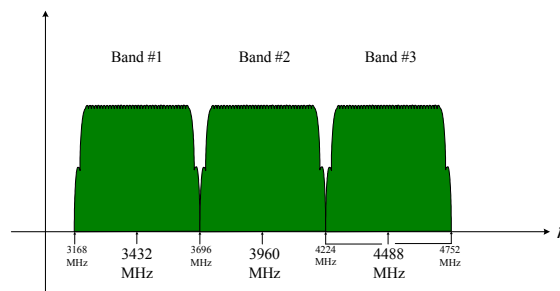


圖 87 UWB mode1

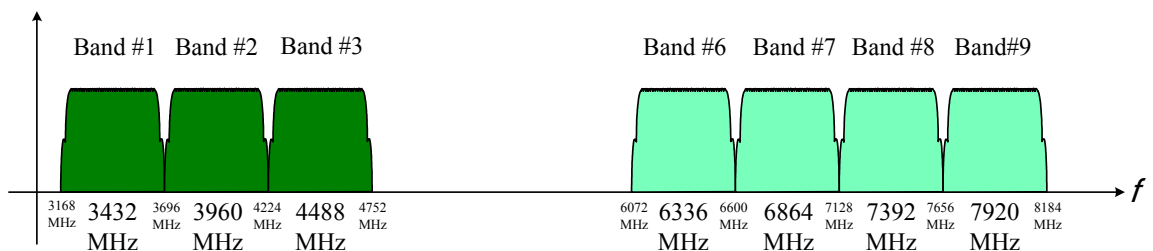


圖 88 mode1 and mode2

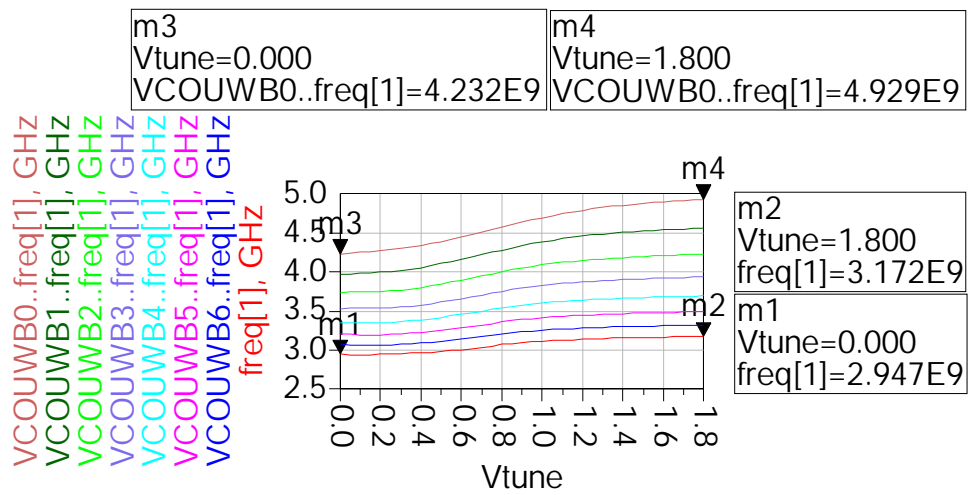


圖 89 UWB 主頻率振盪範圍

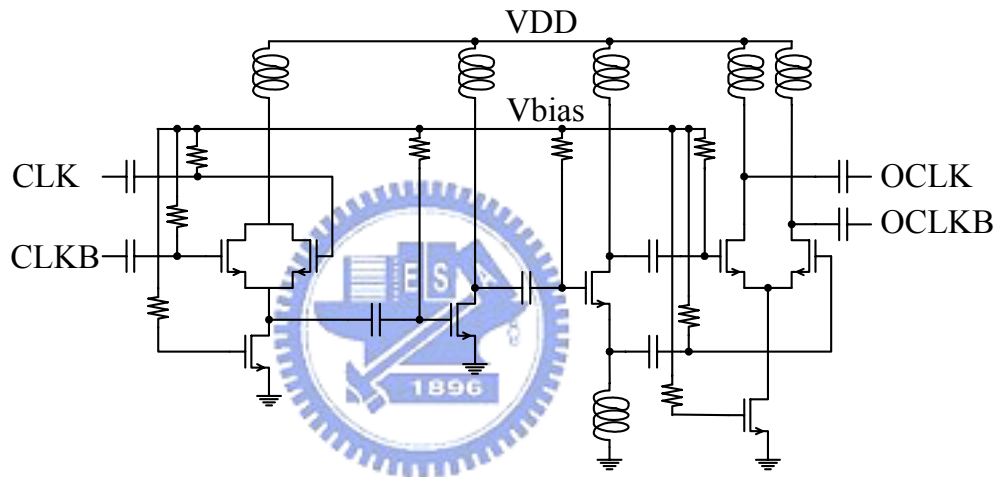


圖 90 頻率倍頻器電路

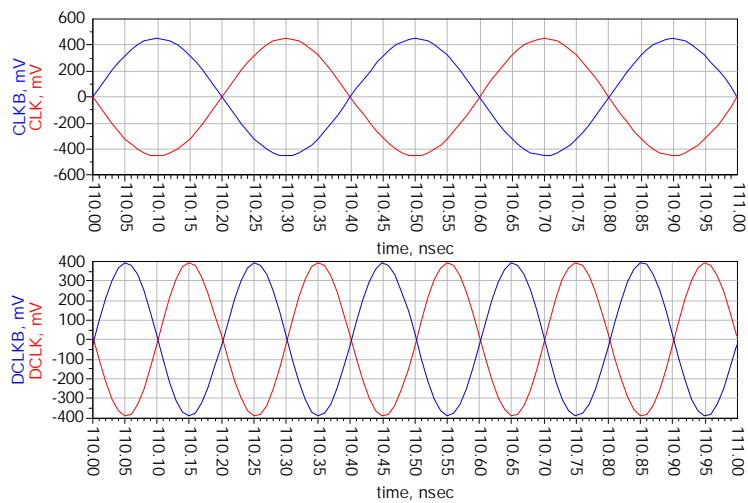


圖 91 頻率倍頻器輸出波形

積體電路和電路板佈線

4.1 傳輸線原理

傳輸線的集總元件電路模型如圖 92(b)所示，基本電路學與傳輸線理論最大的不同點，在於元件的電器大小[51][52][53]。在電路學中，均假設整個網路比波長小很多；而傳輸線的大小長短則不受任何限制，可以短於一個波長，也可以長到數個波長。因此，傳輸線是一個散佈式的網路，也就是說，在傳輸線上不同的位置，電流與電壓的大小與相位均可能不相同。

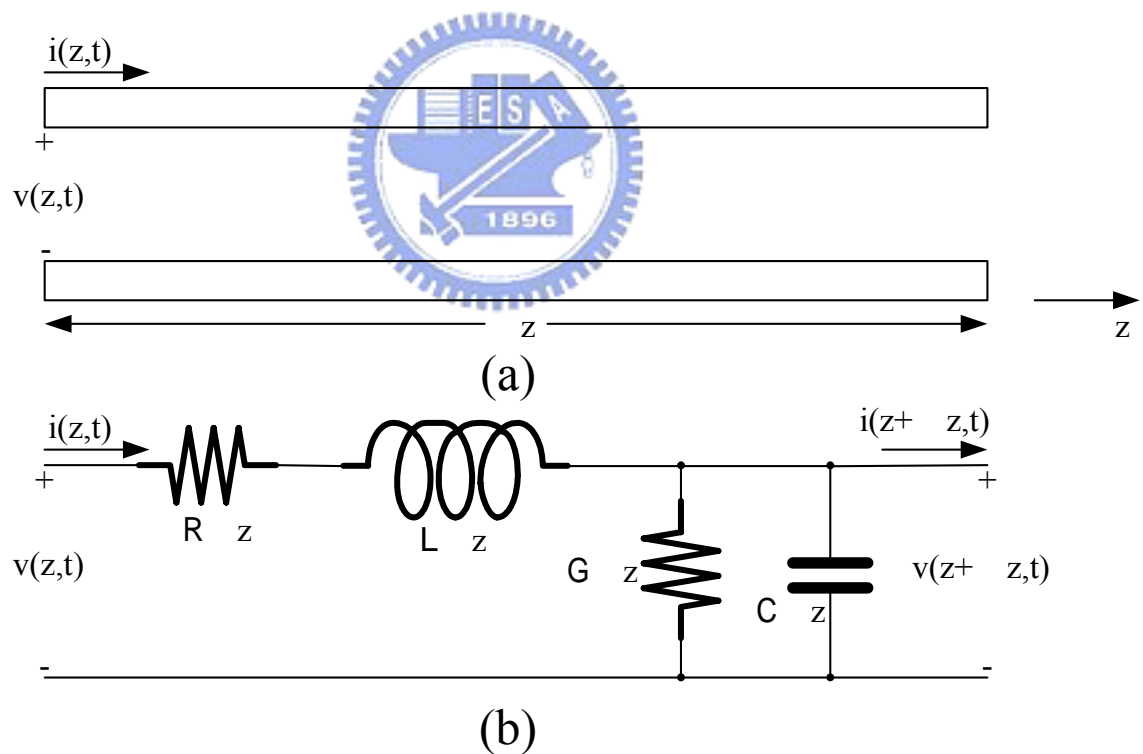


圖 92 一段微量長度傳輸線等效電路(a) 電壓、電流的定義(b)集總等效電路

傳輸線通常皆以兩條等長的導線表示，如圖 92(a)所示，原因是 TEM 波的傳輸線一定至少有兩個導體。圖中一小段長度為 z 的傳輸線，可用圖 92(b)的集總元件電路模型描述，圖中的 R 、 L 、 G 、 C 為傳輸線每單位長度的物理量，其定義為：

R =兩個導體中每單位長度的串聯電阻，單位是 Ω/m 。(單位長度兩導體的電阻和，與導體的歐姆損耗有關)

L =兩個導體中每單位長度的串聯電感，單位是 H/m 。(與單位長度儲存之磁能成正比，因為金屬有電流流過必有磁場)

G =每單位長度的並聯電導，單位是 S/m 。(與單位長度內兩導體間的漏電阻成正比，與導體間之介質損耗有關)

C =每單位長度的並聯電容，單位是 F/m 。(與單位長度儲存之電能成正比，因為兩導線間有電位差，所以必有電能)

串聯電感 L 為兩導體的總自感，並聯電容 C 是因兩導體的距離接近而產生的，串聯電阻 R 為傳導線導體具有有限導電率時，所必須考慮的電阻，而並聯電導 G 則與兩導體之間的介質損耗有直接的關係。因此， R 與 G 代表傳輸線的損耗。一段有線長度的傳輸線，可視為許多如圖 92(b)的小段傳輸線串接而成。

在圖 92(b)的電路中，由柯希荷夫電壓定律可得：

$$v(z,t) - R\Delta z i(z,t) - L\Delta z \frac{\partial i(z,t)}{\partial t} - v(z+\Delta z,t) = 0 \quad (89)$$

由柯希荷夫電流定律，可得

$$i(z,t) - G\Delta z v(z+\Delta z,t) - C\Delta z \frac{\partial v(z+\Delta z,t)}{\partial t} - i(z+\Delta z,t) = 0 \quad (90)$$

將與之除以 Δz ，並取 $\Delta z \rightarrow 0$ 的極限，可得到下面的微分方程式：

$$\frac{\partial v(z,t)}{\partial z} = -Ri(z,t) - L \frac{\partial i(z,t)}{\partial t} \quad (91)$$

$$\frac{\partial i(z,t)}{\partial z} = -Gv(z,t) - C \frac{\partial v(z,t)}{\partial t} \quad (92)$$

此兩式為時域的傳輸線方程式，或稱為電報方程式。

在弦波穩態時，以 \cos 為表示電磁物理量相量的基準，可以簡為

$$\frac{dV(z)}{dz} = -(R + j\omega L)I(z) \quad (93)$$

$$\frac{dI(z)}{dz} = -(G + j\omega C)V(z) \quad (94)$$

將與兩式聯立解出，可得傳輸線上電壓 $V(z)$ 與電流 $I(z)$ 的波動方程式如下：

$$\frac{d^2V(z)}{dz^2} - \gamma^2 V(z) = 0 \quad (95)$$

$$\frac{d^2 I(z)}{dz^2} - \gamma^2 V(z) = 0 \quad (96)$$

$$\text{其中 } \gamma = \alpha + j\beta = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (97)$$

是與頻率有關的複傳波常數。的行進波解為

$$V(z) = V_0^+ e^{-\gamma z} + V_0^- e^{\gamma z} \quad (98)$$

$$I(z) = I_0^+ e^{-\gamma z} + I_0^- e^{\gamma z} \quad (99)$$

其中 $e^{-\gamma z}$ 項表示波往+z 方向傳播， $e^{\gamma z}$ 項表示波往-z 方向傳播。

我們由以上推導一條傳輸線要傳波電流訊號，此電流訊號是有+z 方向傳播和-z 方向傳播，這個前提需要在此傳輸線下，要有一片接地平面(Ground plane)，若沒有此接地平面訊號，只有延一個方向會導致訊號輻射，在 IC 內部此輻射量有可能變成相位雜訊或是交互耦合(cross talk)，而在 PCB 板上會是電磁干擾(EMI)，所以傳輸射頻訊號傳輸線，下面要有接地平面是必要選擇。而我們有時候也須將微帶線(microstrip line)轉為共平面波線(Co-plane Waveguide Line)，這會視我們選用的基材而定。

4.2 PCB 佈線技巧

在設計射頻訊號 PCB 佈局時，有幾個總的原則必須優先加以滿足：盡可能地把高功率 RF 放大器(HPA)和低雜訊放大器(LNA)隔離開來。確保 PCB 板上高功率區至少有一整塊地，最好上面沒有貫孔(via)，RF 輸出通常需要遠離 RF 輸入。零組件佈局，首先固定位於 RF 路徑上的零組件，並調整其方向，以將 RF 路徑的長度減到最小，使輸入遠離輸出，並盡可能地遠離高功率電路和低功率電路。最有效的電路板堆疊方法，是將主接地面(主地)安排在表層下的第二層，並盡可能將 RF 線走在表層上。將 RF 路徑上的貫孔尺寸減到最小，不僅可以減少路徑電感，而且還可以減少主地上的虛焊點，並可減少 RF 能量，泄漏到層疊板內其他區域的機會。RF 與 IF 走線應盡可能走十字交叉，並盡可能在它們之間隔一塊地。

此外，恰當和有效的晶片電源去耦也非常重要。許多整合了線性線路的 RF 晶片，對電源的雜訊非常敏感，通常每個晶片都需要採用，高達四個電容和一個隔離電感，來確保濾除所有的電源雜訊(見圖 93)。

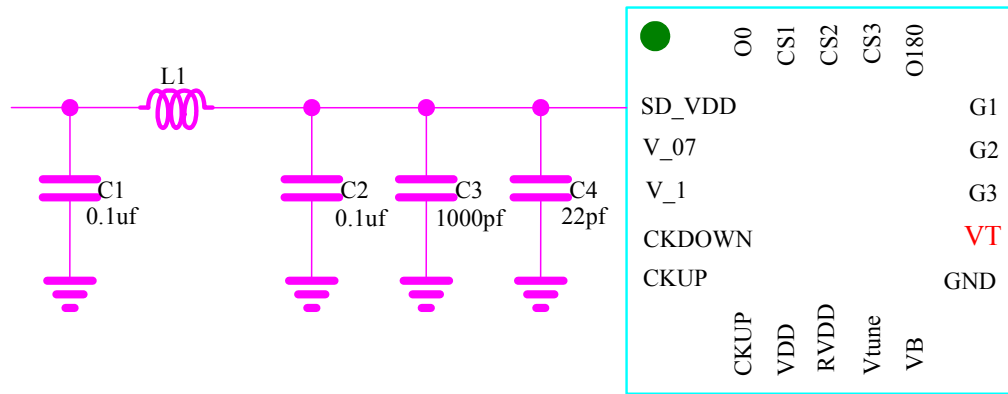


圖 93 電源加入去耦元件配置圖

最小電容值通常取決於其自諧振頻率和低引腳電感，C4 的值就是據此選擇的。C3 和 C2 的值，由於其自身引腳電感的關係，而相對較大一些，從而 RF 去耦效果要差一些，不過它們較適合於，濾除較低頻率的雜訊信號。電感 L1 使 RF 信號無法從電源線耦合到晶片中。記住：所有的走線都是一條潛在的，既可接收也可發射 RF 信號的天線，另外將感應的射頻信號，與關鍵線路隔離開也很必要。這些去耦元件的物理位置通常也很關鍵，底下說明其物理位置的佈局方法。這幾個重要元件的佈局原則是：C4 要盡可能靠近 IC 引腳並接地，C3 必須最靠近 C4，C2 必須最靠近 C3，而且 IC 引腳與 C4 的連接走線要盡可能短，這幾個元件的接地端(尤其是 C4)，通常應當藉由下一地層，與晶片的接地引腳相連。將元件與地層相連的貫孔應該盡可能靠近 PCB 板上元件焊墊(pad)，最好是使用打在焊墊上的貫孔，以將連接線電感減到最小，電感應該靠近 C1。電感極少平行靠在一起，因為這將形成一個空芯變壓器，並相互感應產生干擾信號，因此它們之間的距離，至少要相當於其中一個器件的高度，或者成直角排列，以將其互感減到最小。在大多數情況下，同樣關鍵的是，確保 RF 輸出遠離 RF 輸入。這也適用於放大器、緩衝器和濾波器。要確保 RF 走線下層的地，是真實有和主地相連的，不然若是一個假的地 RF 感應到此假地，是會使得訊號輻射的，而就變成 EMI，而且所有的零組件，都牢固地連到主地上，並與其它可能帶來雜訊的走線，隔離開來。此外，要確保 VCO 的電源已得到充分去耦，VCO 往往放在 RF 區域的末端，有時它還需要一個金屬屏蔽罩。在 PCB 板的每一層，應佈上盡可能多的地，並把它們連到主地面。盡可能把走線靠在一起，以增加內部信號層，和電源分配層的地塊數量，並適當調整走線，以便你能將地連接貫孔，佈置到表層上的隔離地塊。應當避免在 PCB 各層上生成游離地，因為它們會像一個小天線那樣，拾取或注入雜訊。在大多數情況

下，如果你不能把它們連到主地，那麼你最好把它們去掉。

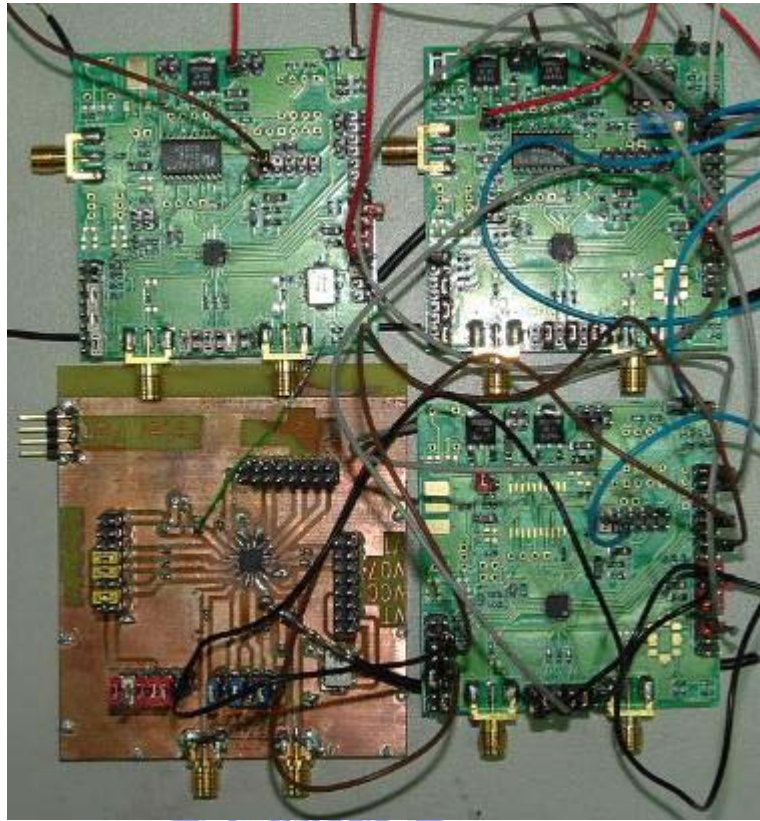


圖 94 PCB layout 實體圖

4.3 積體電路佈線考慮

由於在射頻電路積體電路的製作，有使用砷化鎵(GaAs)和矽晶體材質製程，當使用 GaAs 時，由於其具有低損失和高隔離度，所以在佈線時可以使用微帶線來節省拉線的面積如圖 95(a)所示，因為它的介質阻抗($1 \times 10^8 \Omega - cm$)很大電流不會邊跑邊漏，既不會損失增益也不會增加雜訊。若使用 CMOS 來當射頻積體電路的材料時，因為其具有高損失和低隔離度，所以訊號在金屬線移動時，我們若使用微帶線做其傳輸線，因為它的介質阻抗很小($10 \Omega - cm$)電流會邊移動邊漏，既損失增益也會增加雜訊，因為這個關係，所以考慮使用 CPW(共平面波線；Co-Planar Waveguide Line)來當其傳輸線如圖 95(b)所示，其缺點就是增加佈線面積。

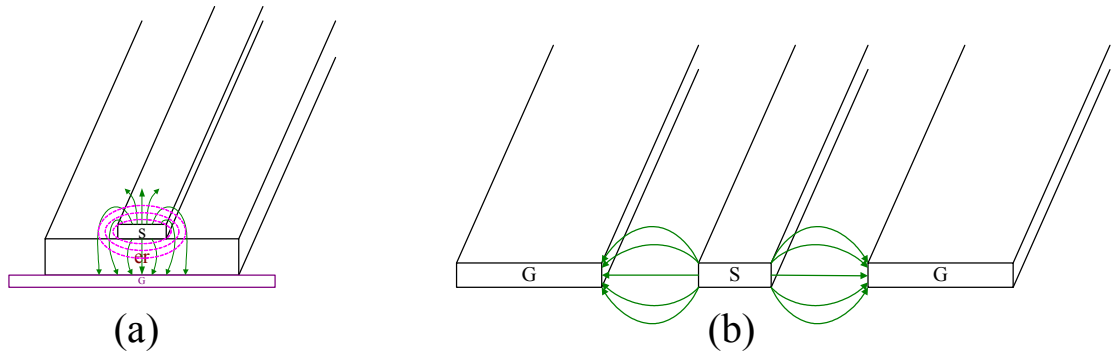


圖 95 (a)微帶線傳輸電磁場 (b)共平面波線傳輸電磁場

在積體電路中將信號線分成電源信號線(VDD、GND)，控制信號線(enable、disable)，數位訊號線(Digital signal)，類比信號線(Analog signal)，射頻信號線(RF signal)。在積體電路內部要將這五個部份分開佈局，以防止互相干擾。數位、類比、射頻的 VDD 盡量不要在積體電路內就接在一起，希望留在印刷電路板再連接，以防止雜訊串到各個電路，若想要在積體電路內就處理，需要很大的電感和電容，因為需要做一個低通濾波器。在數位、類比、射頻的 GND 也是一樣的，希望留在印刷電路板再連接，且是使用電感互接這樣可將高頻雜訊隔離。在射頻信號線要特別處理如圖 96 所示，可在佈線中加屏蔽，此方法將地線置於信號的兩端，迫使大部分的電場由雜訊線發散至地線上，而非信號線上。注意此方法被證明，只允許在信號線間更多空間的方法還要有效如圖 96(b)。然而，此屏蔽效應是付出更多複雜導線，及信號與地線之間更大電容的成本才得到的。

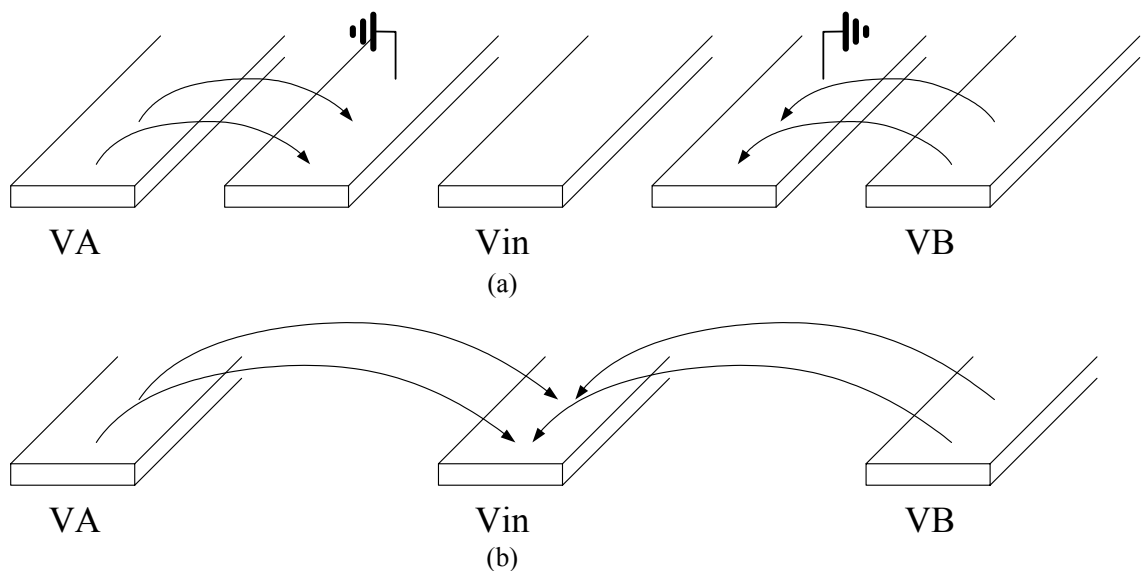


圖 96 (a)加入地線以屏蔽靈敏信號 (b)加大線間的距離以減少耦合

當 RF 信號線有交錯時，若是使用有六層金屬線如 UMC0.18um 1P6M，我們

會將特別敏感的線盡量佈局在最上層(第六層), 如圖 96(b)所示。將一條 RF 信號線貫到第四層, 越過另一條 RF 信號線時, 盡量使得重疊面積最小, 且也要在第五層做接地屏蔽, 隔離 RF 信號耦合。

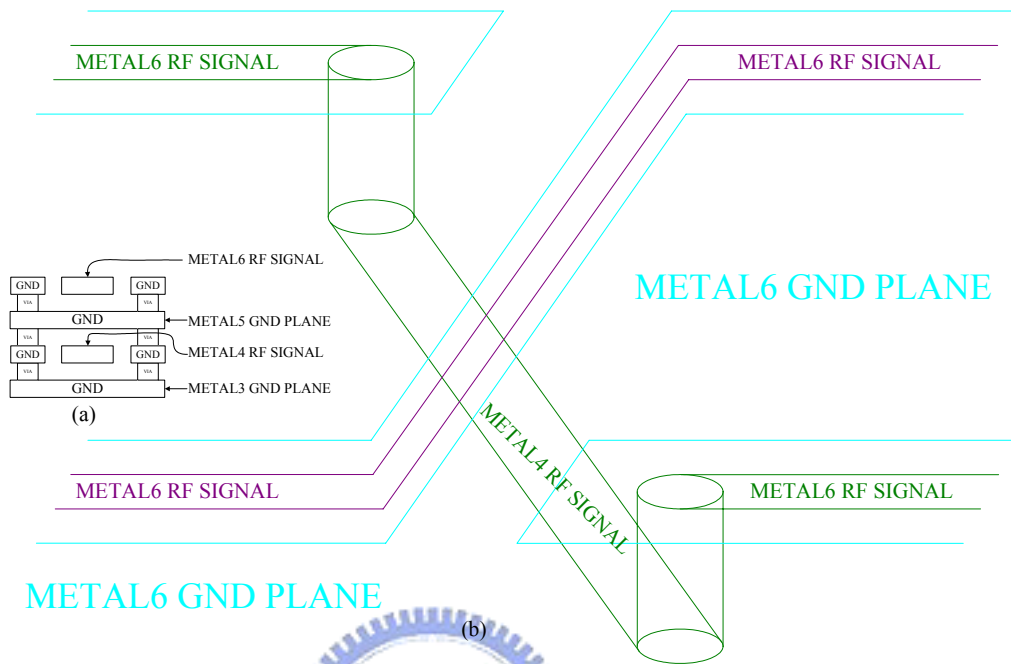


圖 97 藉由上下接地平面以屏蔽一靈敏的線路

另一個屏蔽的技巧, 如圖 97(a)所示, 在此對信號很靈敏的線, 被一個由較高和較低之金屬層, 組成之接地屏蔽所環繞, 並完全地和外加電場線隔離。然而, 此信號會遇到對地較高的電容, 且使用三層金屬使得其他信號的導向更加複雜。

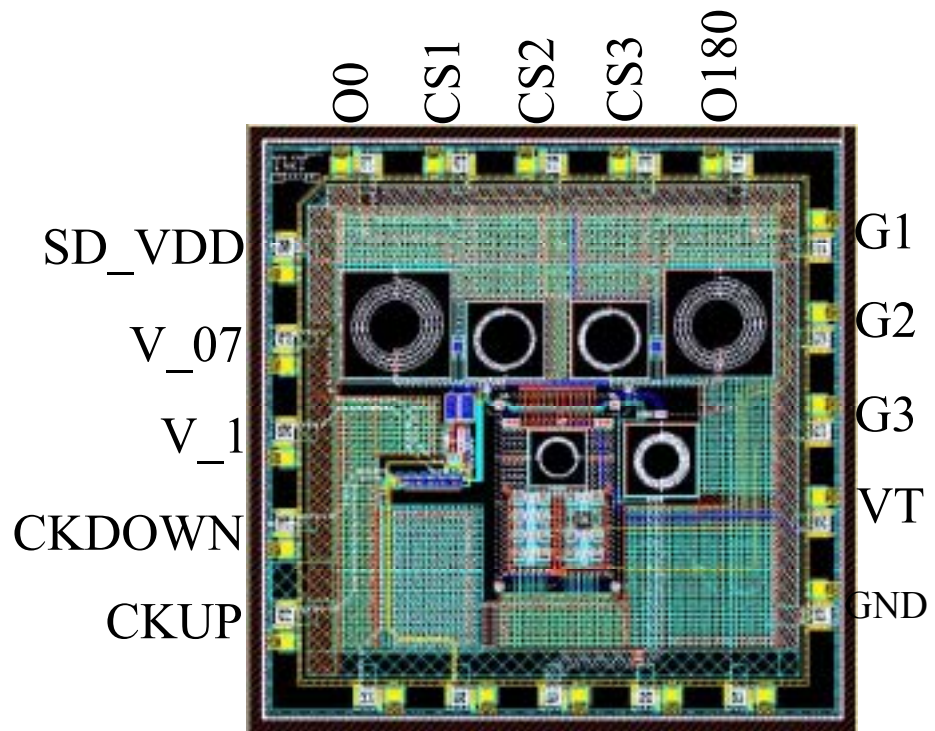


圖 98 頻率合成器 IC layout 圖

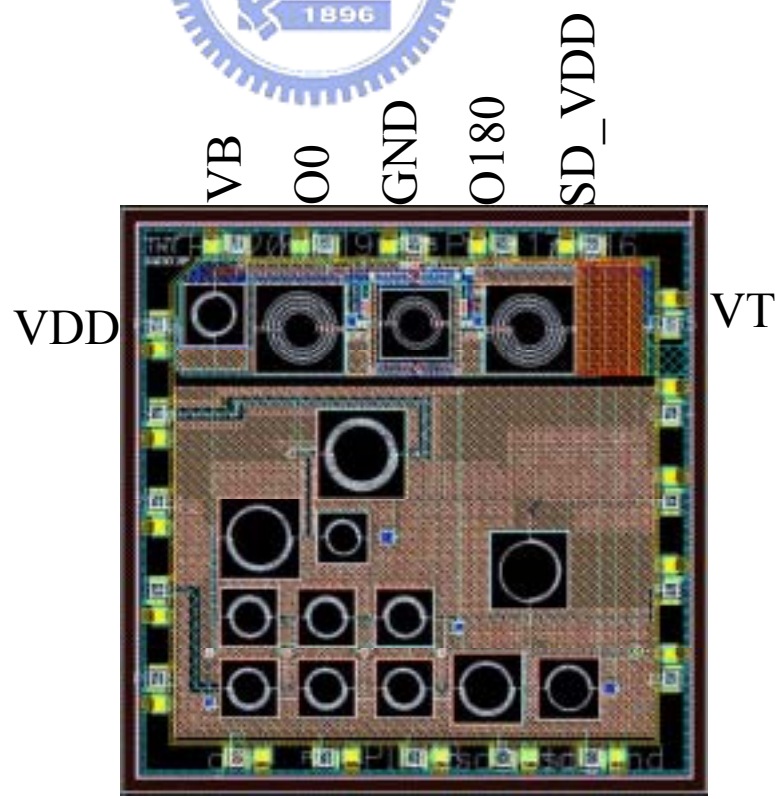


圖 99 電壓控制振盪電路 IC layout 圖

4.4 靜電放電考慮

當製程使用到次微米以下時，自然界的靜電放電，對積體電路越容易造成內部電路的傷害，為了在保護積體電路，通常會在鋁墊中加入保護電路[54]，而這些電路在使用積體電路時，這些保護電路，不能造成積體電路在正常操作下有錯誤動作。在射頻積體電路設計 ESD 的考量，是將保護電路所生成的寄生電容減到最小，而一個有效方法，是將鋁墊方形改成六角型，如圖 100(a)所示，在加入 ESD 保護電路時可串聯多個，使得 ESD 保護電路的寄生電容能降到最小，表 15 為工作在射頻段時，所對應的鋁墊能產生最大的寄生電容值。在 5GHz 要求最好是不能產生寄生電容，即要使用電感退化將電容中和掉，也就是阻抗匹配。

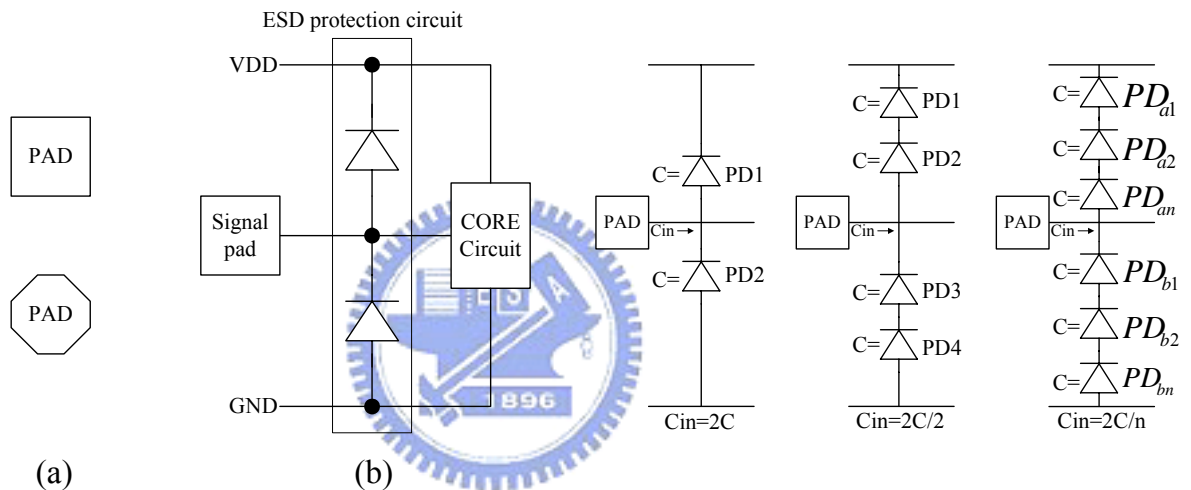


圖 100 積體電路中加入 ESD 保護電路

Band frequency(GHz)	0.8~1.2	1.7~2.6	3.0~5.8
Max parasitic Bond pad capacitance	80fF	80fF	50fF
Capacitance budget for ESD device	100fF	100fF	degenerator

表 15 ESD 和頻率的關係

4.5 封裝考慮

我們使用 CMOS 製作積體電路，來整合許多電路到一顆裸晶上，當我們想要使用積體電路內的功能時，我們藉由金線(Gold Wire)，將導線架(Leadframe)的腳(PIN)，和晶元(DIE)上的鋁墊(PAD)連接在一起，在頻率很低時(1GHz 以下)，此連接路徑並不會對信號產生嚴重的變化，但積體電路工作在高頻時(1GHz 以上)，金線(GOLD WIRE)和導線架的腳，會對訊號產生嚴重的衰減。

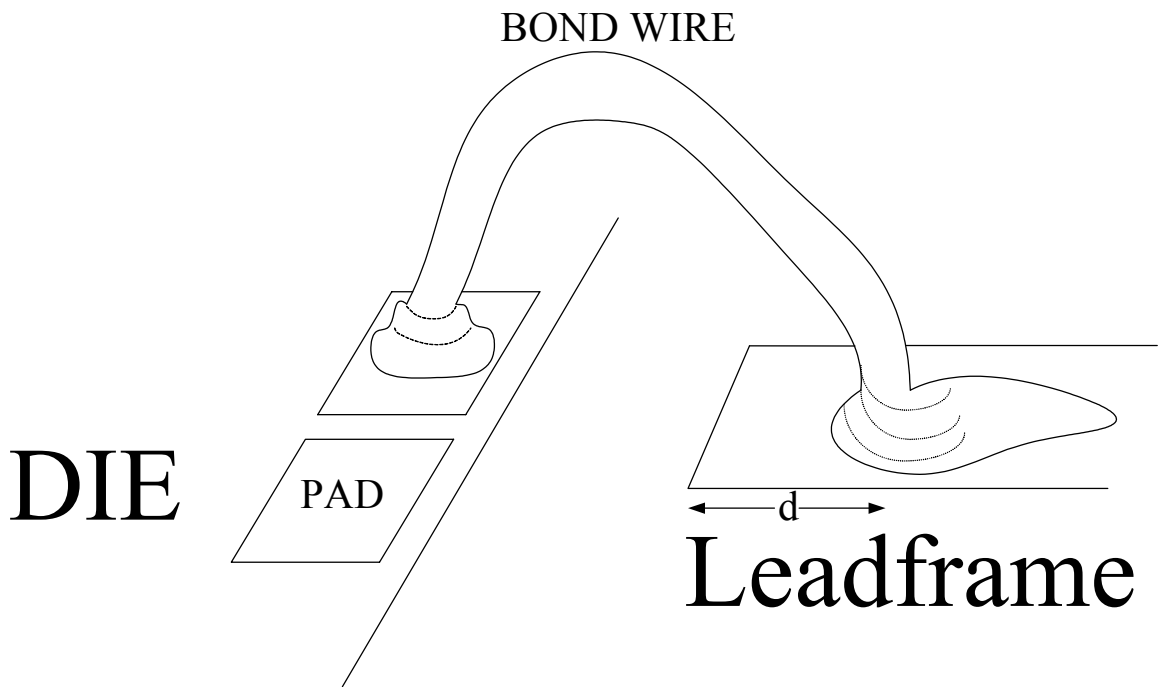


圖 101 裸晶封裝

可以將金線等效為電感，而導線架的腳等效為開路 STUB，而開路 STUB 可以由傳輸線理論，繪出如圖 102 所示的等效電抗值，在 $0 \leq d \leq \frac{\lambda}{4}$ 的長度範圍，開路 STUB 傳輸線呈現電容性阻抗，所以金線和導線架的腳，就成為一個低通濾波器如圖 102(C)所示，此等效電路會在高頻時嚴重影響我們的射頻訊號，

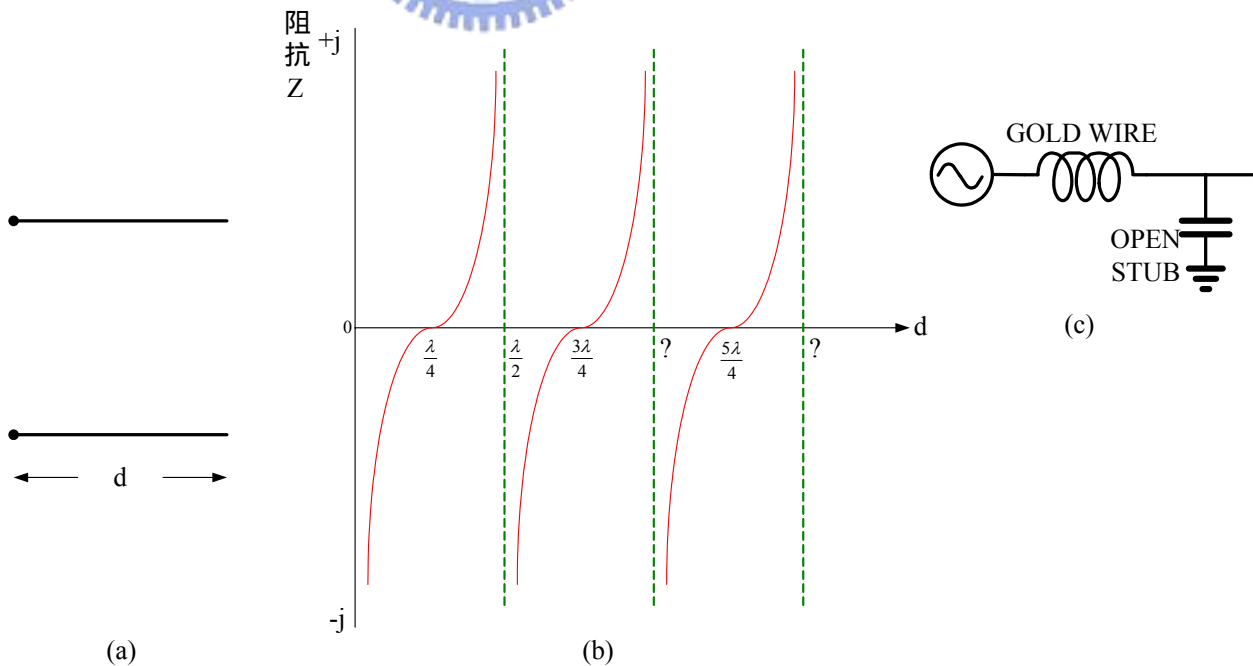


圖 102 接收端開路的傳輸線

第五章

量測結果

圖 103 為量測整個頻率合成器和子電路所需使用的外部電路，

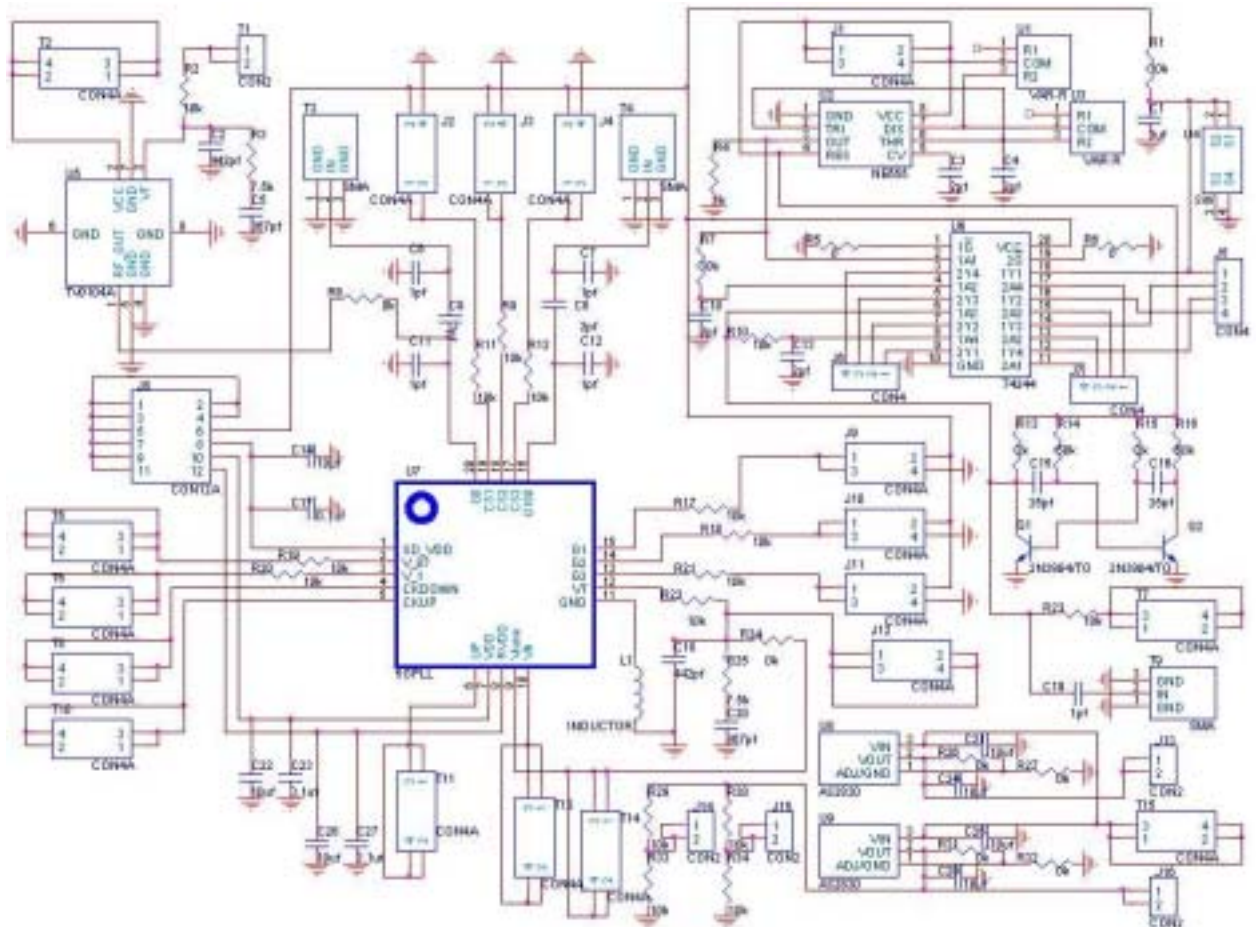


圖 103 測量整合型頻率合成器外部電路

5.1 相位偵測電路量測

相位偵測電路如圖 53 所示，使用 NE555 來製作不穩多諧振盪器，頻率經過 R-C 電路來產生 45° 的相位偏移，來當相位偵測電路 CKUP 和 CKDOWN 的輸入，此時量取 UP 是否得到我們想要的輸出如圖 105 所示。量測相位偵測電路時，並不要振盪器有輸出，所以我們將 RVDD 接地。若微調 CKUP 和 CKDOWN 輸入的相位

差，會得到 UP 輸出工作週期的變化。

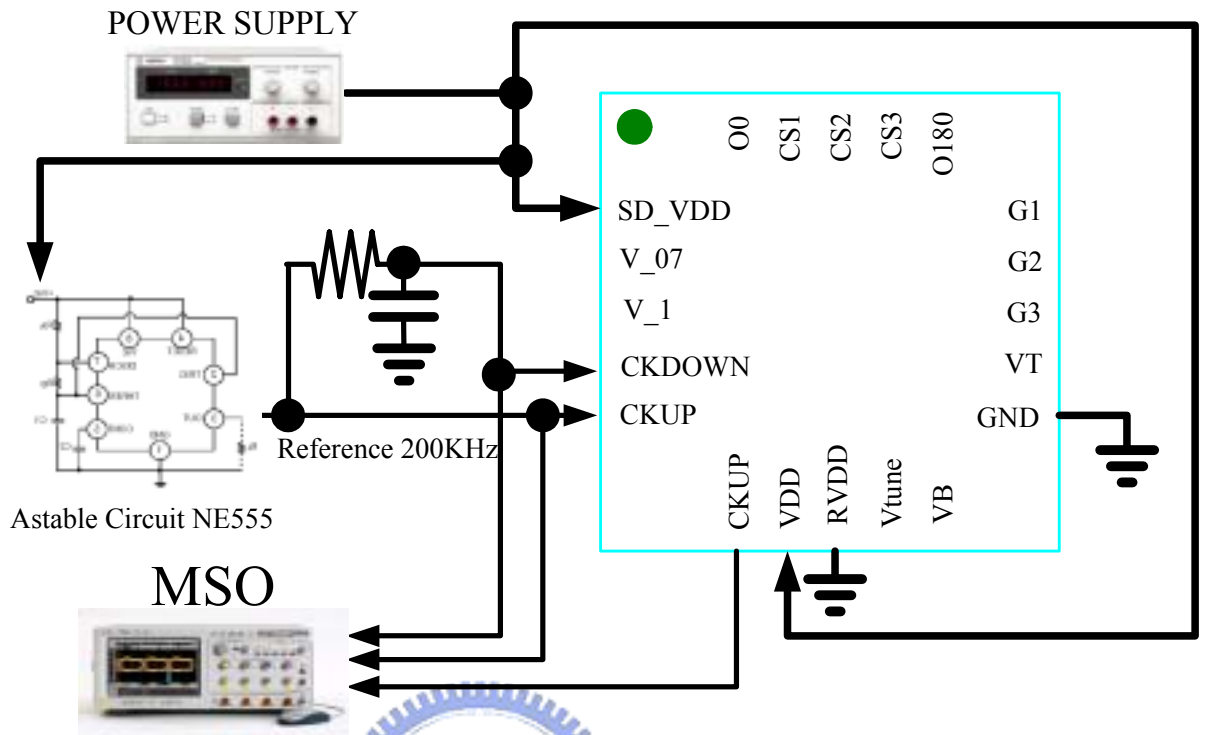


圖 104 測試相位偵測電路

CKDOWN
CKUP
UP
Vtune



圖 105 量測 CKUP > CKDOWN 正脈衝圖

CKDOWN

CKUP

UP

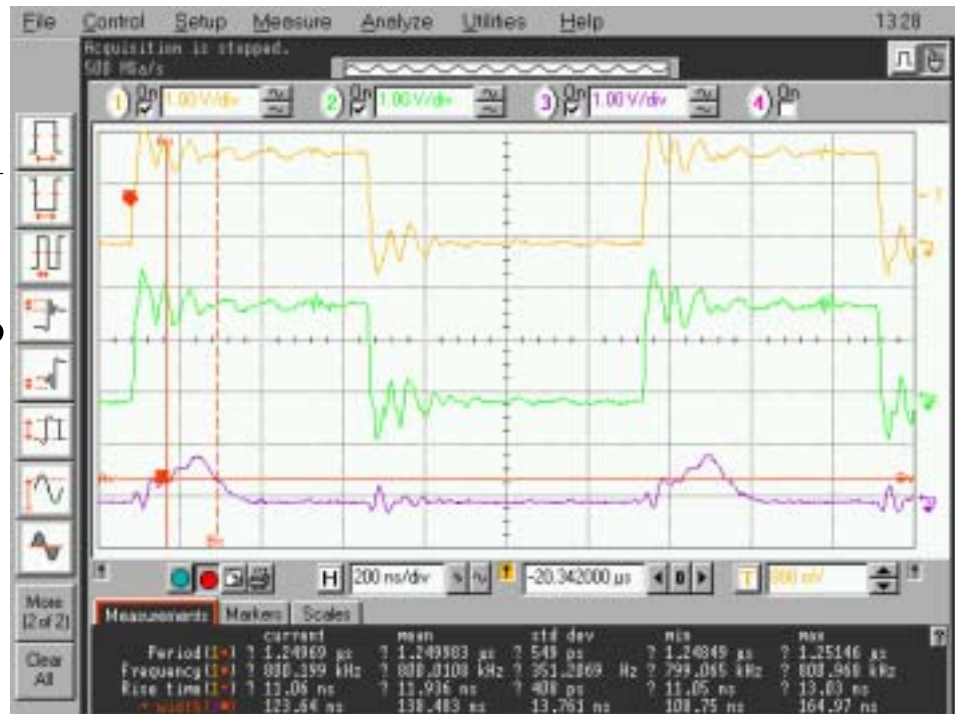


圖 106 量測 CKUP=CKDOWN 時的闌延遲為 123nS

5.2 電荷幫浦電路量測

電荷幫浦如圖 56 所示，拿相位偵測器電路輸出的結果，來測量電荷幫浦電路，如圖 107 所示，外加的低通濾波器可以量到電荷幫浦充放電的狀況，而電荷幫浦相位鎖住穩定時間量測結果為 145.0uS，如圖 108 所示。

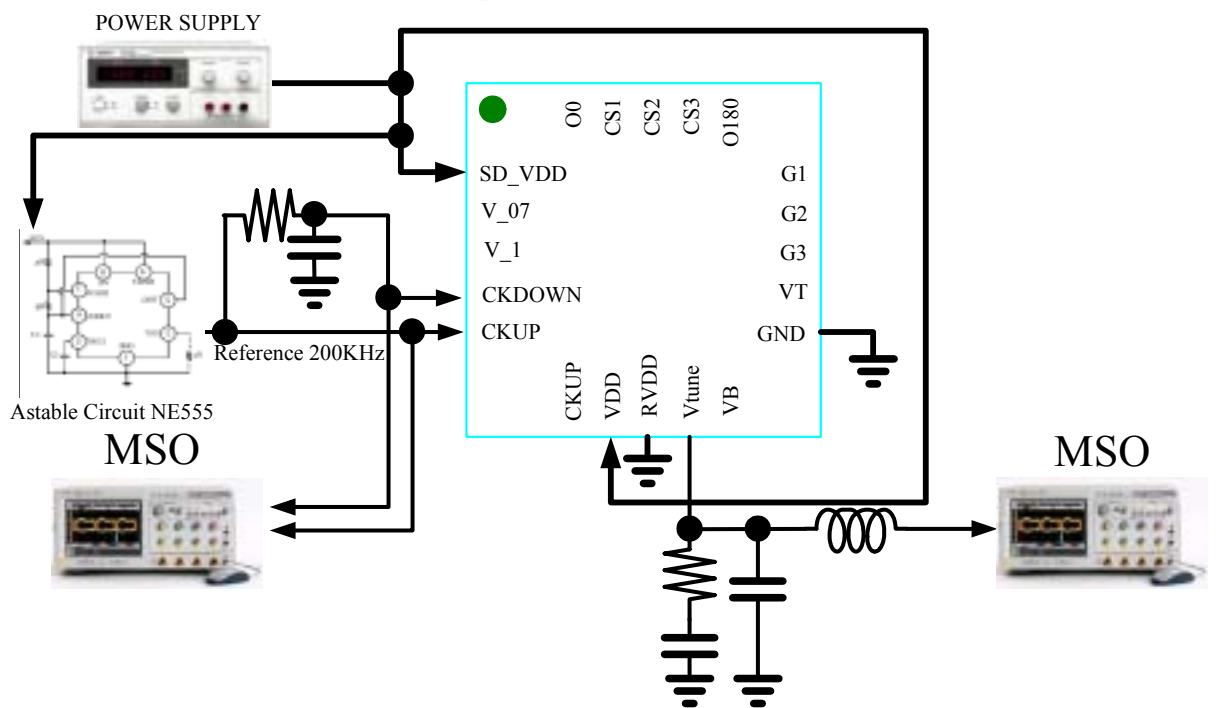


圖 107 電荷幫浦電路量測電路

CKDOWN
CKUP
UP
Vtune

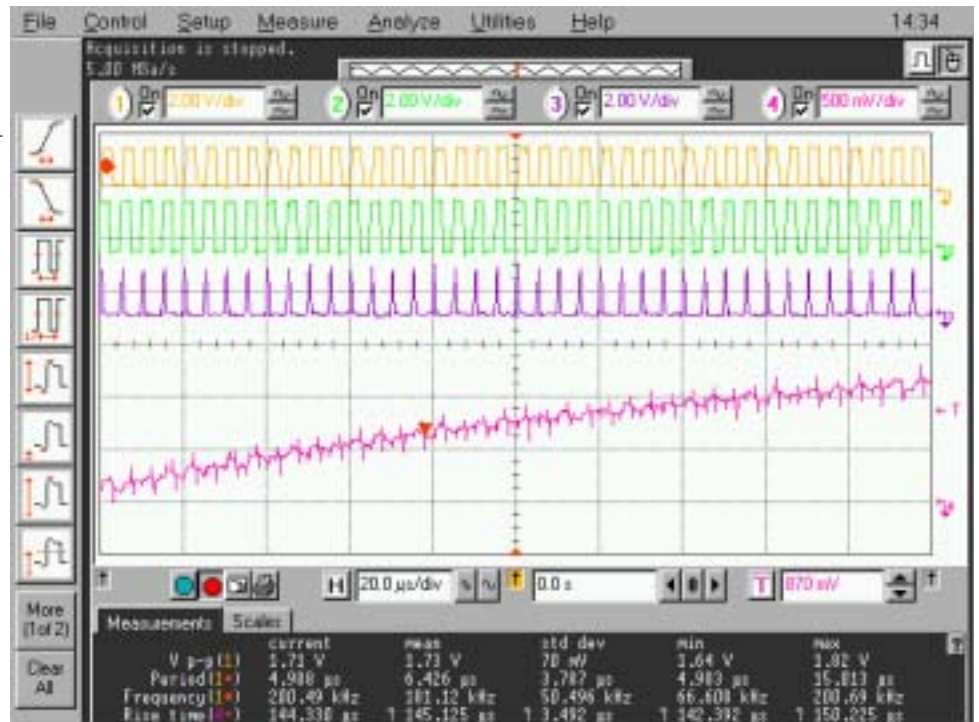


圖 108 電荷幫浦電路充電時相位鎖住穩定時間量測結果(145uS)

CKDOWN
CKUP
UP
Vtune

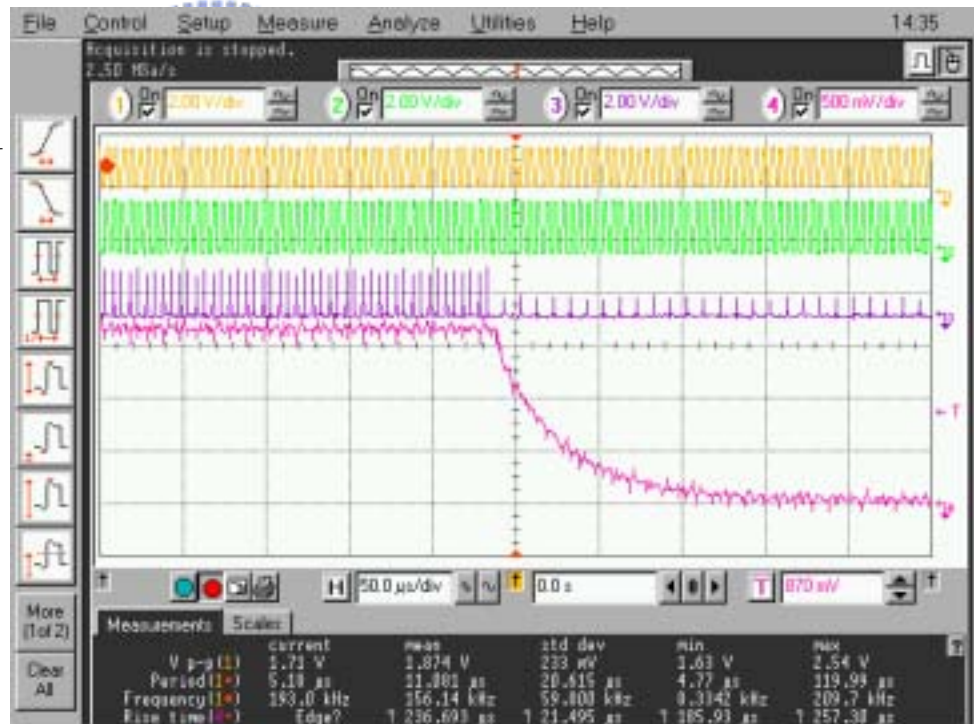


圖 109 電荷幫浦電路放電時相位鎖住穩定時間量測結果(185uS)

5.3 電壓控制振盪電路量測

我們所設計的電壓控制振盪器有八個粗調由 G1G2G3 所控制八個狀態 [55][56][57]，量測圖如圖 112 所示。

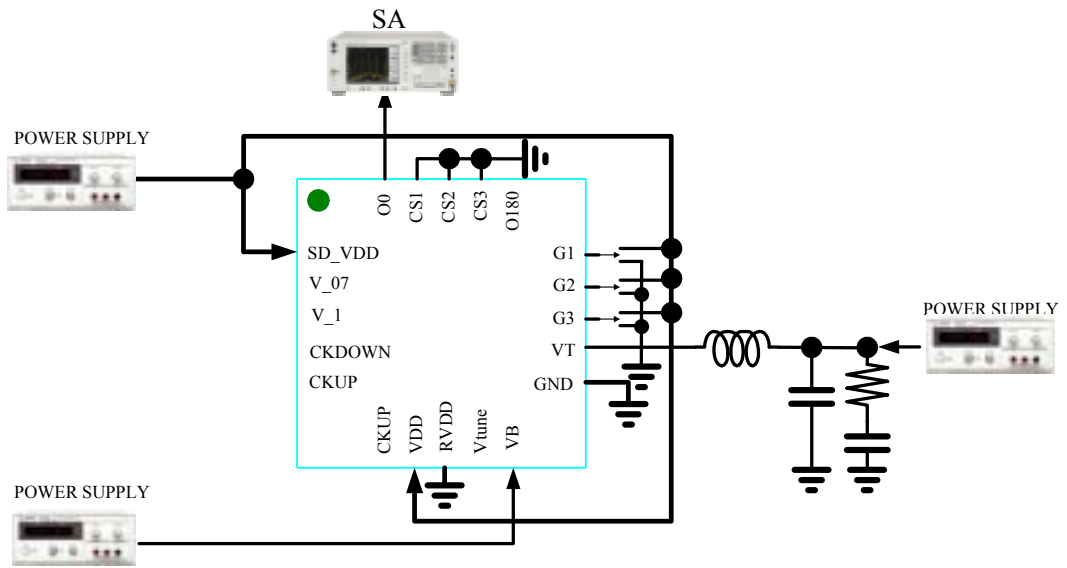


圖 110 電壓控制振盪器量測電路

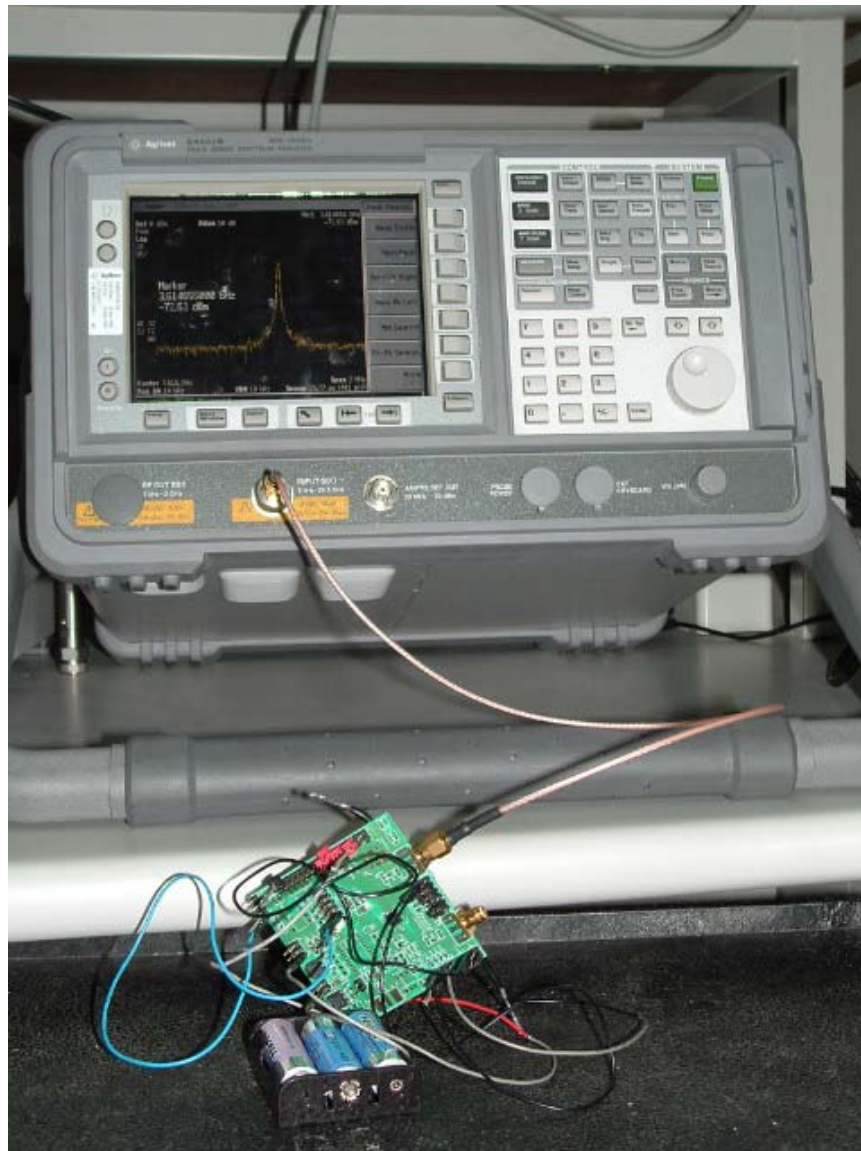


圖 111 使用 3 號乾電池量測電壓控制振盪電路

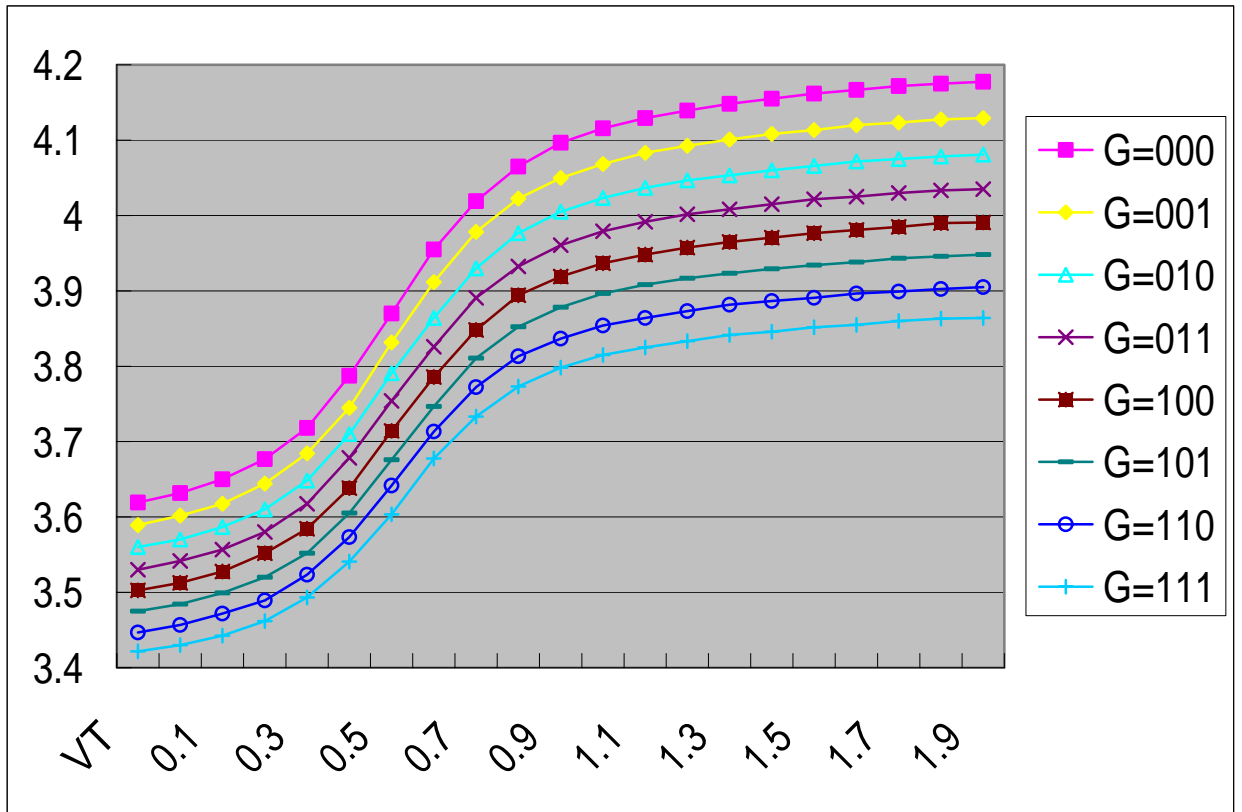


圖 112 控制電壓對振盪頻率量測結果

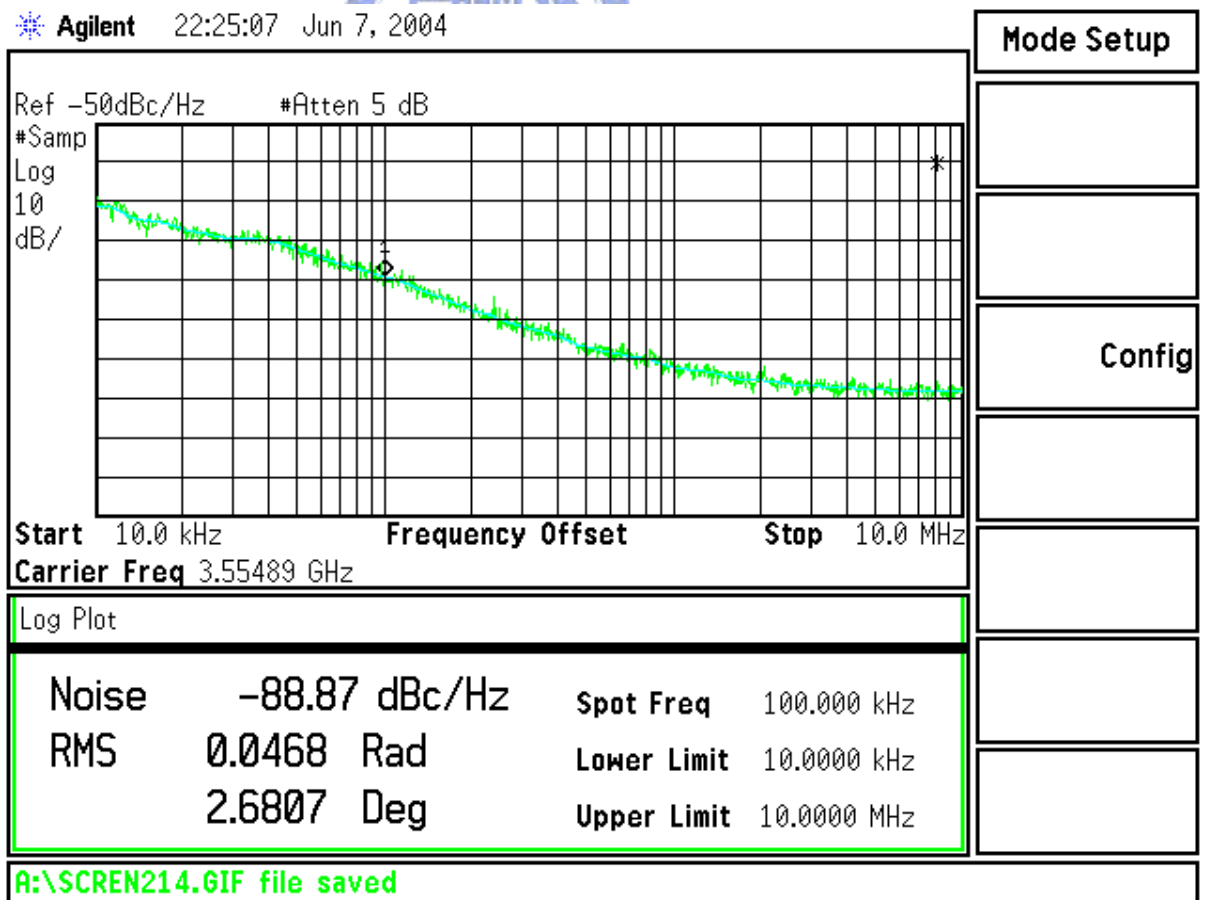


圖 113 相位雜訊模擬(-88.87dBc/Hz @100KHz)

	Tuning Range	Technology	Current VCO (mA)	Frequency (GHz)	Phase Noise (dBc/Hz)	@Offset (KHz)	Supply Voltage	Ref. Spur (dBc)	Fre. Tuning Range(GHz)	Settling Time (sec)	Year
[27]		0.25 μ m	4.1	5.4	-117	1000	1.5		5.02~5.356		2000
[43]	10%	0.18 μ m		5.3	-121.5	1000	1.8		4.94~5.45		2003
[44]		0.25 μ m	8.6	4.6	-118.1	1000	2		4.4~4.63		2002
[45]	16%	0.24 μ m	4.8	5.5	-114	1000	2.5		5.1~5.95		2002
[46]		0.18 μ m	8.1	5.8	-110	1000	1.8		5.86~6.026		2003
[47]	8.7%	0.5 μ m	0.5	1.6	-95	100	2		1.47~1.6		
[48]	10%	0.35 μ m	1.6	1.8	-118.5	600	2.0				1999
[49]			6	1.8	-121	600	1.5				1999
[50]	18%	0.25 μ m	5.5	5.0	-94	100	2.5		4.2~5.05		2001
[55]	20%	0.4 μ m (high sub)	11	1.8	-113	200	3		0.84~1.03 1.62~1.99		1997
[56]	14%	0.7 μ m	4	1.8	-116	600	1.5				1997
*[57]	26%	0.6 μ m	8.5	1.84	-101	100					1998
			7	1.53	-104	100	3		0.9~2.0		1998
*[58]	20%	0.6 μ m	2.5	0.916	-102	100	3	<-55	0.821~1.0	<2m	2001
[59]	28%	0.25 μ m	18	1.8	-127.5	600	1.8		1.45~1.85		2000
[60]	20%	1.25 μ m	10.8	0.19	-92.3	50	2.7		0.111~0.29		2000
[61]	35%	0.25 μ m	8.7	2.1	-99	20	1.4		1.75~2.51		2001
*work	22%	0.18 μ m	20.0	3.55489	-88.87	100	1.8		3.421~4.177	<200u	2004

表 16 和使用開關電容的 LC-tank VCO 比較

	Current PLL (mA)	Technology	Current VCO (mA)	Frequency (GHz)	Phase Noise (dBc/Hz)	@Offset (KHz)	Supply Voltage	Ref. Spur (dBc)	Fre. Tuning Range(GHz)	Settling Time (sec)	Year
[23]	47	0.25 μ m					2.5	~-50	4.12~4.72	~0.1m	2003
[24]	25	0.24 μ m	3.8		-101	1000	1.5(2)	-54	4.84~4.994		2000
[25]	30	0.25 μ m	15		-120	1000	3.3		5.17~5.33	0.3u	2002
[26]	23	0.25 μ m	4.6	5.46214	-88	40	1.5	-69	5.25~5.48		2002
[28]	60	0.35 μ m	12.3	0.98	-106	100	3.0		1.55~1.98 0.86~1.10		2001
work		0.18 μ m	20.0	3.55489	-88.87	100	1.8	~-15	3.421~4.177	<200u	2004

表 17 和完全積體化頻率合成器比較

5.4 頻率合成器電路量測

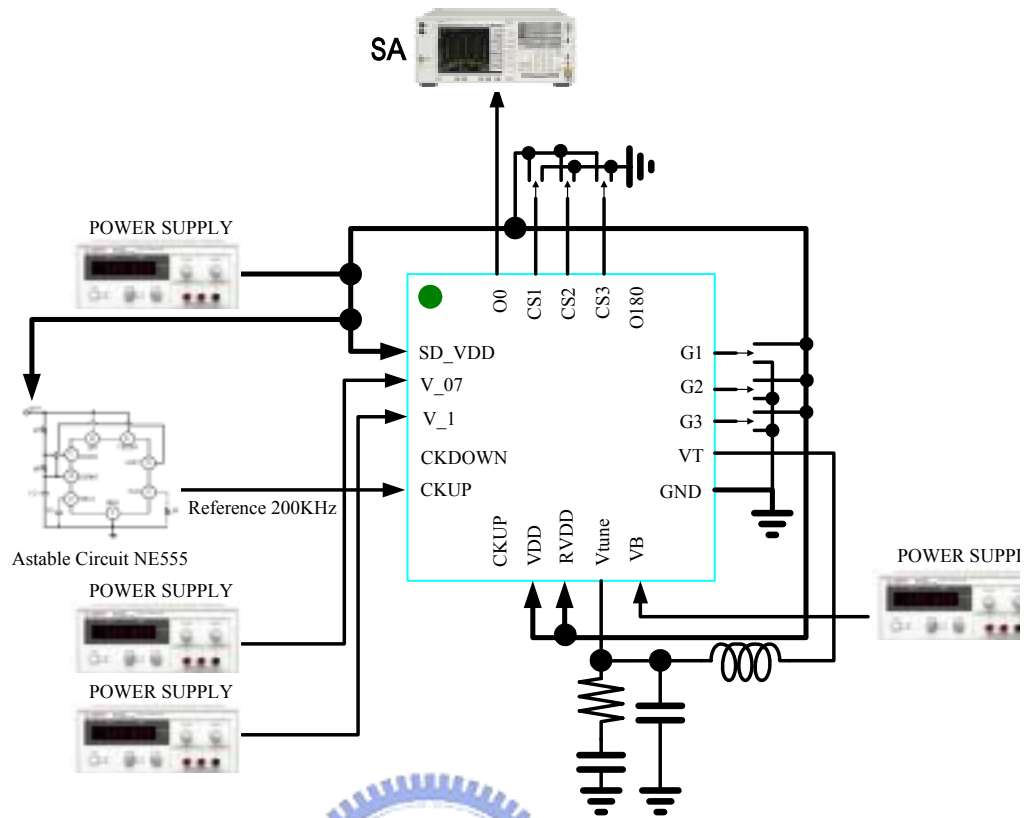


圖 114 頻率合成器量測電路

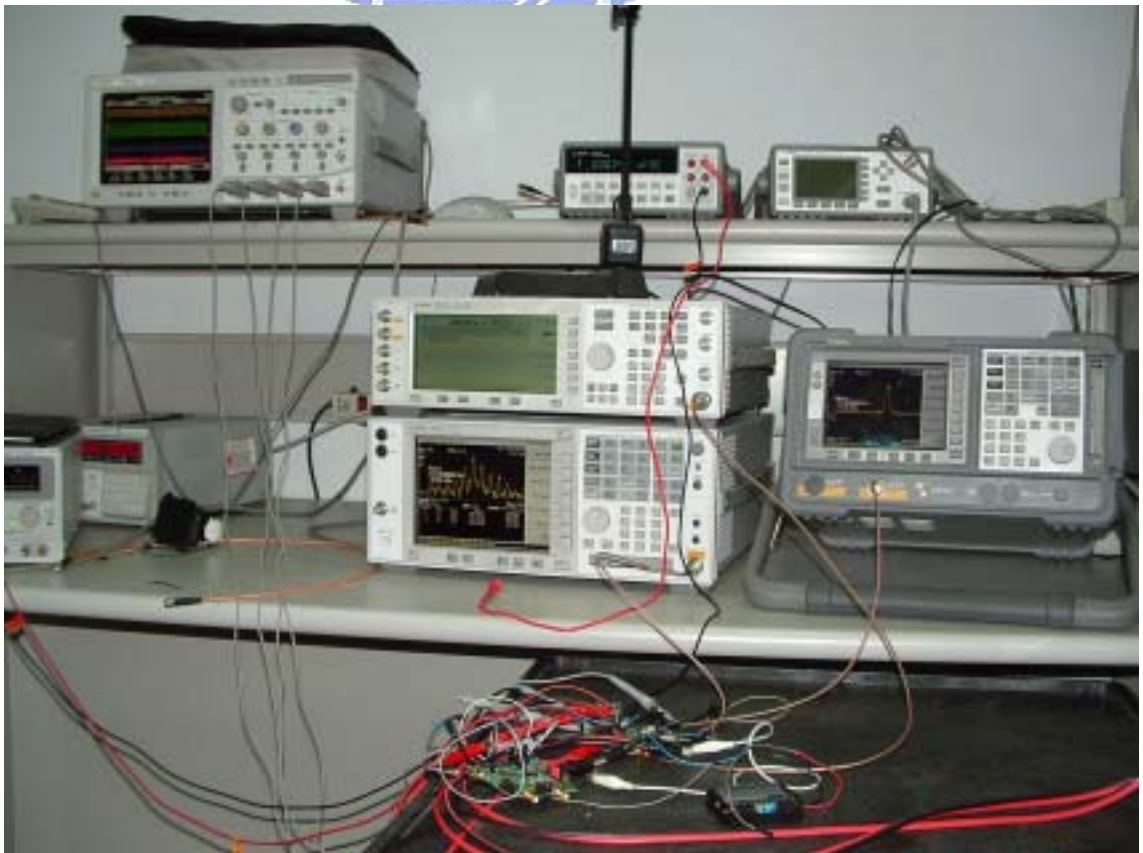
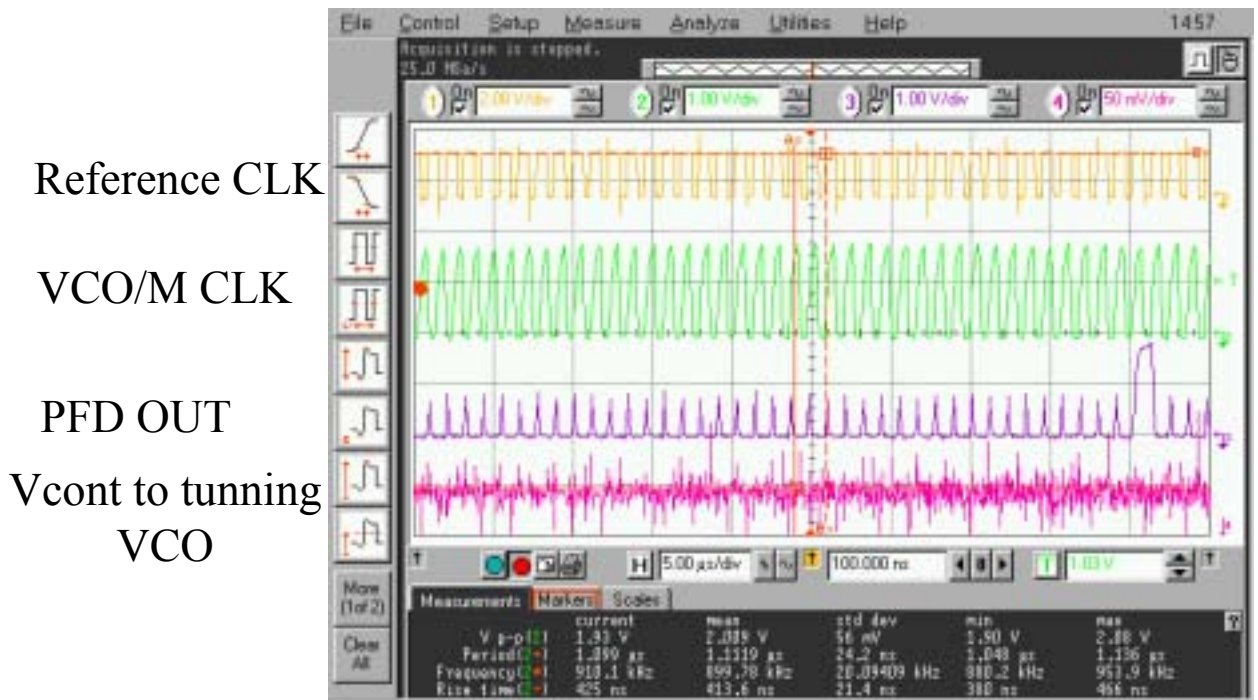


圖 115 量測頻率合成電路儀器使用圖



Reference CLK

VCO/M CLK

PFD OUT

Vcont to tuning
VCO

圖 116 參考頻率、除法器、相位偵測電路和振盪器控制電壓波形

Reference frequency
@880KHz

Carrier frequency
@3.41096GHz with -15.33dBm

Reference spurious
@3.41182GHz with -30.66dBm

Second sideband
@3.41269GHz with -50.62dBm

Third sideband
@3.41356GHz with -51.69dBm

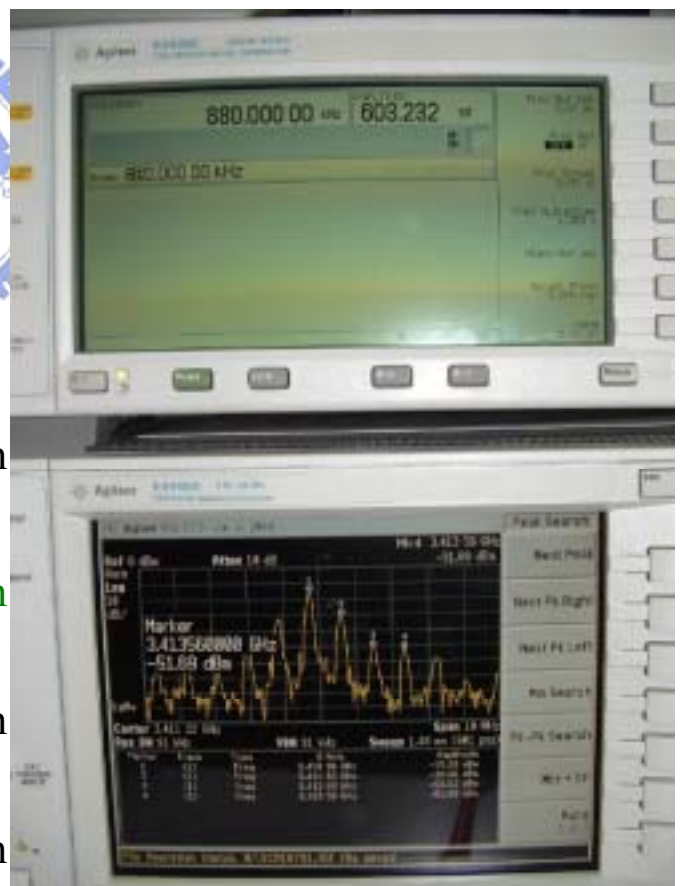


圖 117 參考雜訊頻譜

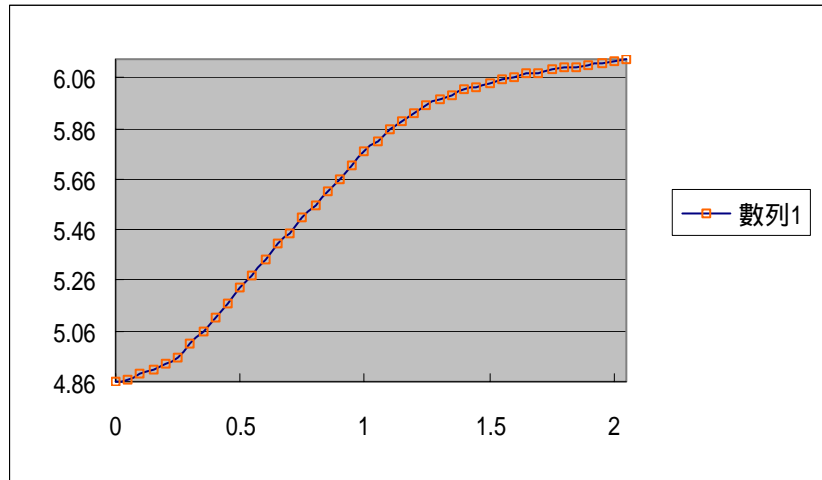


圖 118 單一顆 VCO 振盪頻率範圍

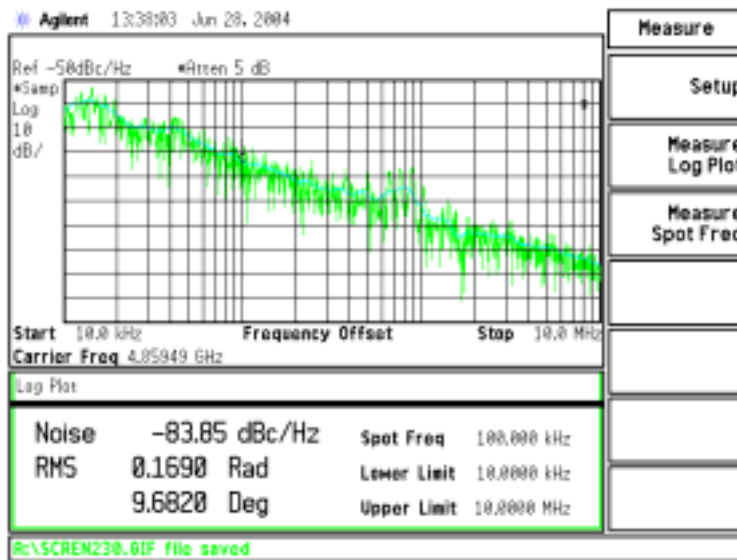


圖 119 單一顆 VCO 相位雜訊量測(-83.85dBc/Hz @100KHz)

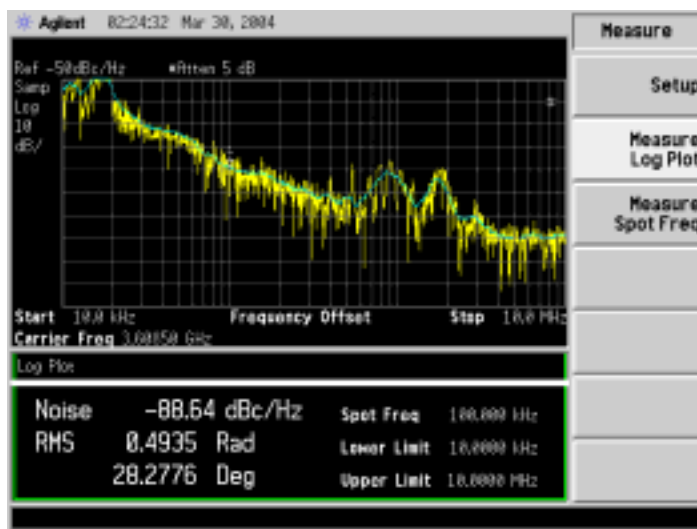


圖 120 頻率合成器內 VCO 相位雜訊有 SPUR(-88.64dBc/Hz @100KHz)

總結與未來展望

6.1 總結

在現今使用 CMOS(互補式金氧半導體；Complementary Metal Oxide Silicon)積體電路設計中，我們已經可以完全整合，任何的數位積體電路到一顆 IC 上，即所謂的 SOC(系統單晶片；System On Chip)，若要整合混合信號積體電路，即有數位積體電路和類比積體電路在一顆單晶片上，大致遇到的問題也都能獲得解決，只有良率未能獲得提升。但若要整合數位積體電路、類比積體電路和射頻積體電路在一顆晶片上，如 WLAN802.11a 有 MAC(媒介存取控制器；Media Access Control)、PHY(實體層；Physical Layer)和 RF(射頻；Radio Frequency)那就遇上更多的瓶頸，如因為 PHY 採用 OFDM 調變，所以 RF 電路一些特性相對的提高，包括高線性度之接收電路、直流偏移(DC OFFSET)、低相位雜訊振盪器、高頻穩定度的頻率合成器、高線性高效率功率放大器等。再來就是 CMOS 材料的關係，設計射頻電路使用本來是給數位電路使用，且發展已經有幾十年的 CMOS 製程，所以在考慮射頻電路的設計時，也要兼顧本來 CMOS 製程的限制，如高頻使用的電感為了提高 Q(Quality factor)值，我們將最上層的 METAL 厚度提高，以減少金屬的內阻，這樣可大大提高 Q 值，且並不會影響到現有的 CMOS 製程，但若我們要減少渦流(Eddy Current)，雖然已經找到很好的方法，如在電感下方做米字型 n^+ 阻隔，或是挖掉基底(substrate)這樣可以提高 Q 值，但在作量產射頻電路時不這樣做，因為這會影響到現有的 CMOS 製程。我們也在現有 CMOS 製程下，找到所需要的變容二極體，即 MOS 電晶體工作在 A-MOS 和 I-MOS 下，可以有等效的電容與 C_{ox} 串聯，這樣的電容變化，是與電壓成一個比例關係。我們也遇到一個嚴重的問題，就是 CMOS 電路為了防

止 Latch Up(門鎖現象), 會在基底中參雜濃度(Doping), 以降低基底電阻值, 因為這個低的基底電阻關係, 使得在經由最上層金屬線傳輸射頻訊號時, 電流訊號會邊移動邊漏, 這樣會降低增益而增加了雜訊。也因為這樣在不改變 CMOS 製程, 我們將傳導訊號的微帶線(Microstrip line), 改為使用共平面波線(Co-Planar Waveguide Line)傳導, 缺點是增加佈局的面積僅此而以。 f_t (單位增益頻寬) 會影響我們的工作頻寬, 大約估算想要的工作頻率, 再去找可以使電晶體操作在大於十倍 f_t 工作頻率以上的 MOS, 而 $f_t = \frac{g_m}{2\pi(C_{GS} + C_{GD})}$, $g_m = \mu C_{ox} \frac{W}{L}(V_{GS} - V_t)$ 所以 f_t 是和 MOS 的通道長度有關的, 在 $0.25 \mu m$ f_t 大約等於 40GHz 而在 $0.18 \mu m$ f_t 大約等於 60GHz, 所以想要做 IEEE802.11a RF Chip, 我們選擇使用 $0.18 \mu m$ CMOS 製程, 而本論文是以 UMC(聯電) $0.18 \mu m$ 1P6M CMOS 製程來製作, IEEE802.11a WLAN 5GHz U-NII 的頻率合成器。電路經過 ADS(Advanced Device System)模擬結果, 輸出振盪頻率 4.964GHz 為 6.544GHz 可調的振盪範圍到 32%, 最大 K_{VCO} 為 $1.280GHz/V$ 在 $V_T=0.625V$ 時, 平均 K_{VCO} 為 $0.8337GHz/V$ 在 $V_T=0.325V$ 或 $V_T=1.025V$ 時, 輸出的功率為 -5dBm, 最大峰對峰振幅為 1.40V。整個頻率合成器, 除了有 VCO(電壓控制振盪器)外還包括, 工作在 5GHz 的 SCL(源極耦合邏輯除法器; source couple logic) 除法器、工作在 2.5GHz 的雙模除 4/5 除法器、工作在 625MHz 的可規劃除法器, 為了因應不同的工作頻率, 我們使用不同形式的除法器, 還有鎖相迴路電路、電荷幫浦電路、晶片外的低通濾波電路, 整個頻率合成器的穩定時間為 $1.0 \mu s$ 。晶片採用 20 腳 QFN 封裝, 和使用 RO4003 材質電路板量測訊號, 單一 L-C tank 電壓控制振盪器, 量測消耗電流為 20.0mA, 而加入交換式電容網路電路 (SWITCHED-CAPACITOR NETWORK) 來增加頻率的振盪範圍到 22%, 和小的 VCO 增益(KVCO), 藉由提高相位雜訊(PHASE NOISE)為 -88.87dBc/Hz@100KHz, 量測所得輸出頻率為 3421MHz 4177MHz。量測所得整個頻率合成器的穩定時間為 145.0uS。我們也提出 802.11b WLAN 之 2.4GHz 配合 802.11a WLAN 組成雙頻頻率合

成器並有經過 AGILENT ADS 電路模擬。而此論文也提出 UWB(Utral Wide Band)。

6.2 未來展望

射頻電路看起來好做，但實作起來是有一點兒困難，雖然他不像數位電路一樣已經有了成熟的製程和理論基礎。它是這幾年因為無線通信的發展，才有的新興課程，也因為這樣才富有挑戰性，吸引一些熱愛此射頻電路的學生研究，筆者因為在台揚科技學習微波技術和，益勤科技製作無線網路晶片，深知此技術需要有很好的數學基礎和電路實作，才在報考前就已經決定要做射頻晶片，在學習中遇到很多困難，也在困難知道如何解決射頻晶片問題。學校的課程是職業生涯中基礎的訓練，未來的工作中也要靠這些年，在學校所學習的運用在職場上，而射頻晶片就是靠這不斷的下線量測，來解決一些實務問題，學校的畢業不是學習的結束，是挑戰的開始，也因為要有這種決心，才可以將射頻晶片製作成很成熟。

在量測相位偵測電路時因為闌延遲時間不夠長，導致發生 DEAD ZONE，就是雖然有偵測到相位的不同，但因為電荷幫浦開啟的時間不夠快，而對此相位的差異沒有反應，也因為這樣，更改相位偵測電路增加其闌延遲時間如圖 121(a)多加兩個反向器串聯，因為要對稱所以上下都要加。增加相位偵測電路的闌延遲導致發生 REFERENCE SPURIOUS，所以也更改了電荷幫浦電路如圖(b)使得充電和放電都有相同的電流。

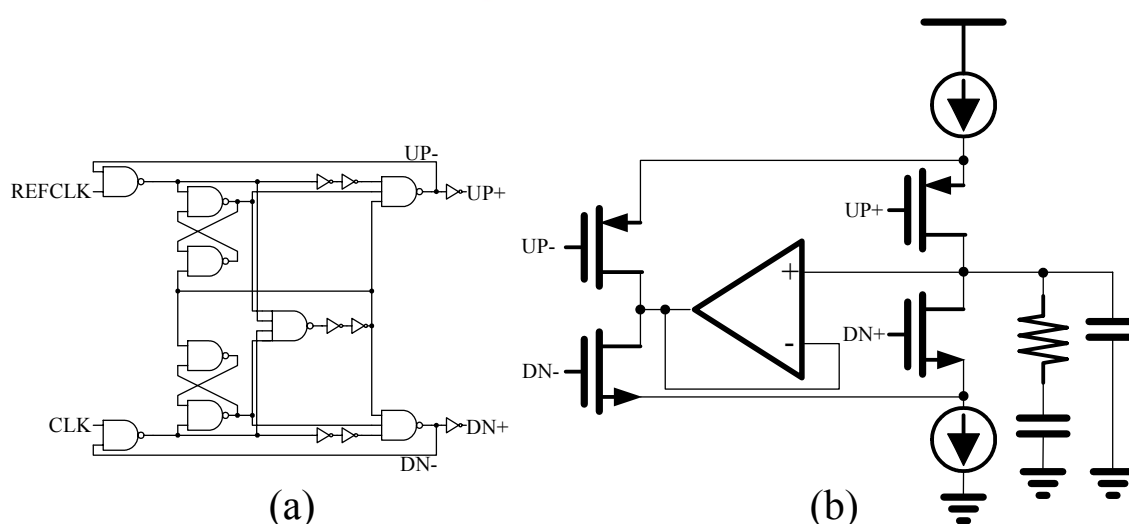


圖 121 (a)相位偵測電路增加 DELAY CHAIN (b)電荷幫浦電路增加電壓補償

參考文獻

- [1] LAN MAN Standards Committee of the IEEE Computer Society, Information technology—Telecommunications and information exchange between systems—Local and metropolitan area networks—Specific requirements—Part 11 : Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, *IEEE*, USA, 1999.
- [2] LAN / MAN Standards Committee of the *IEEE* Computer Society, Supplement to IEEE Standard Information technology — Telecommunications and information exchange between systems — Local and metropolitan area networks — Specific requirements—Part 11 : Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications High — speed Physical Layer in the 5GHz Band, *IEEE*, USA, 1999.
- [3] Ali Zamanian “ Orthogonal Frequency Division Multiplex Overview ” , Fluor Corp
- [4] David K. Lovelace , Jesus L. Finol and Jeffrey C. Durec “ SUB—MICRON SILICON RFIC TECHNOLOGIES : An Overview ” , *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 317 —320, 1998.
- [5] C. Raynaud, J. Gautier, G. Guegan, M. Lerne, E. Playez and G. Gambrine “ High—Frequency Performance of Submicrometer Channel — Length Silicon MOSFET’s ” , *IEEE Electron Device Letters*, vol. 12, pp. 667—669 December 1991.
- [6] Tajinder Manku, “ Microwave CMOS—Device Physics and Design ” *IEEE J. Solid—State Circuit*, vol. 34, pp. 277—285 , March 1999.
- [7] Roland E. Best, Phase-Locked Loops Design , Simulation , and Applications , Fifth Edition, McGraw-Hill, Switzerland, 2003.
- [8] Behzad Razavi, Design of Integrated Circuits for Optical Communications, McGraw-Hill, USA, 2003.
- [9] Behzad Razavi, RF MICROELECTRONICS, McGraw-Hill, USA, 1997.
- [10] Derek K. Shaeffer , Thomas H. Lee , THE DESIGN AND IMPLEMENTATION OF LOW-POWER CMOS RADIO RECEIVERS, Kluwer Academic Publishers, USA, 1999.
- [11] 繆紹剛, 黃嘉淵, 通訊系統模擬 SystemView By ELANIX 使用入門, 全華, 台灣, 1999.

- [12]鄭永福,陸人傑,Benjamin C. KUO,自動控制系統,第六版,全華,台灣,1993.
- [13]廖東成,Franklin Powell , Emami-Naeini , 動態系統回授控制,曉園,台灣,1991.
- [14]葉榮木,自動控制 Visual Basic 輔助分析與設計,松崗,台灣,1998.
- [15]Thomas H. Lee,THE DESIGN OF CMOS RADIO-FREQUENCY INTEGRATED CIRCUIT,Cambridge University Press,USA,1998.
- [16] Ali Hajimiri,THE DESIGN OF LOW NOISE OSCILLATORS,Kluwer Academic Publishers,USA,1999.
- [17]Ali Hajimiri, “ Thomas H. Lee,A General Theory of Phase Noise in Electrical Oscillators ” *IEEE J. Solid—State Circuit*,vol. 33,pp. 179—194,February 1998.
- [18]J. Craninckx,M. Steyaert,WIRELESS CMOS FREQUENCY SYSTHEISER DESIGN,Kluwer Academic Publishers,USA,1998.
- [19] Bosco Leung,VLSI for WIRELESS COMMUNICATION,Prentice Hall,USA,2002.
- [20] 高曜煌,“ 鎖相迴路與頻率合成講義 ”,交大,台灣,2003.
- [21]Garth Nash,Phase-Locked Loop Design Fundamentals,MOTOROLA,USA,1994.
- [22]Rudy J. van de Plassche,Johan H. Huijsing and Willy Sansen,Analog Circuit Design High-Seed Analog-to-Digital Converters ; Mixed-Signal Design ; PLL's and Synthesizers,Kluwer Academic Publishers,USA,1998.
- [23]Frank Herzel,Gunter Fischer and Hans Gustat, “ An Integrated CMOS RF Synthesizer for 802.11a Wireless LAN ” ,*IEEE J. Solid—State Circuit*,vol. 38,pp. 1767-1770,OCTOBER 2003.
- [24]Hamid R. Rategh , Hiran Samavati,Thomas H. Lee, “ A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5-GHz Wireless LAN Receiver ” ,*IEEE J. Solid—State Circuit*,vol. 35,pp. 780-787 , MAY 2000.
- [25]Xiaomin Yang,Thomas Wu,and McMacken, “ A 5GHz Fast-Switching CMOS Frequency Synthesizer ” ,*IEEE Radio Frequency Integrated Circuits Symposium*,pp. 479-482,2002.
- [26]Chih-Ming Hung and Kenneth K. O, “ A Fully Integrated 1.5-V 5.5-GHz CMOS Phase-Locked Loop ” ,*IEEE J. Solid—State Circuit* , vol. 37,pp. 521-525,APRIL 2002.
- [27] Chih-Ming Hung,Brian A. Floyd,and Kenneth K. O, “ A FULLY INTEGRATED 5.35-GHz CMOS VCO AND A PRESCALER ” ,*IEEE Radio Frequency Integrated Circuits Symposium*,pp. 69-72,2000.

- [28]Yid Koo , Hyungki Huh,Yongsik Cho,Jeongwoo Lee,Joonbae Park,Kyeongho Lee,Deog-Kyoon Jeong,and Wonchan Kim, “ A Fully-Integrated CMOS Frequency Synthesizer with Charge-Averaging Charge Pump and Dual-Path Loop Filter for PCS- and Cellular-CDMA Wireless Systems ” ,Symposium on VLSI Circuit Digest of Technical Papers,pp. 43-48,2001.
- [29]Debapriya Sahu, “ A Completely Integrated Low Jitter CMOS PLL for Analog Front Ends in System on Chip Environment ” ,*IEEE International Conference on VLSI Design*,vol. 15,2002.
- [30]黃正光,吳紹懋, “ CMOS 數位積體電路分析與設計 ” ,全華 ,台灣,2001.
- [31]黃淑絹,林登彬,Neil H. E. Weste Kamran Eshraghian “ CMOS VLSI 設計原理 ” ,偉明 , 台灣,1998.
- [32]李峻原,劉深淵,Behzad Razavi, “ 類比積體電路設計 ” ,滄海,台灣,2002.
- [33]T. Fuse,M. Tokumasu,S. Kawanaka,H. Kameyama,M. Yoshimi and S. Watanabe, “ A 1.1V SOI CMOS Frequency Divider using Body-Inputting SCL Circuit Technology ” ,*IEEE ISOIC*,pp. 106-107,Oct 2000.
- [34]Nagendra Krishnapura,Peter R. Kinget, “ A 5.3-GHz Programmable Divider for HiPerLAN in 0.25-um CMOS ” ,*IEEE J. Solid—State Circuit*,vol. 35,pp. 1019—1024,JULY 2000.
- [35]Jae-Shin Lee,Min-Sun Keel,Shin-II Lim and Suki Kim, “ Charge pump with perfect current matching characteristics in phase-locked loops ” ,*IEEE Electron Letters*,vol. 36,pp. 1907-1908 November 2000.
- [36]Robert C. Chang Lung-Chih Kuo, “ A New Low-Voltage Charge Pump Circuit for PLL ” ,*IEEE ISCAS*,vol. 28-31,pp. 701-704 May 2000.
- [37]Woogeun Rhee, “ DESIGN OF HIGH-PERFORMANCE CMOS CHARGE PUMPS IN PHASE-LOCKED LOOPS ” ,*IEEE*,pp.545-5481999.
- [38]Won-Hyo Lee,Jun-Dong Cho “ A High Speed and Low Power Phase-Frequency Detector and Charge-pump ” ,*IEEE*,pp.269-272 1999.
- [39]Esdras Juarez-Hernandez,Alejandro Diaz-Sanchez, “ A NOVEL CMOS CHARGE-PUMP CIRCUIT WITH POSITIVE FEEDBACK FOR PLL APPLICATIONS ” ,*ELECTRO*,pp.283-286 2001
- [40]Pietro Andreani and Sven Mattisson, “ On the use of MOS varactors in RF

VCOs ” ,*IEEE J. Solid—State Circuit*,vol. 35,pp. 905-910 , JUNE 2000.

[41]Ferenc Mernyei , Franz Darrer,Matthijs Pardoen and Andreas, “ Reducing the substrate losses of RF integrated inductors ” ,*IEEE Microwave and Wave Letters* , vol. 8,pp. 300-301,September 1998.

[42]Jose M. Lopez-Villegas,Josep Samitier,Charles Cane,Pere Losantos and JoanBausells “ Improvement of the Quality Factor of RF Integrated Inductors by Layout Optimization ” ,*IEEE Transation on Microwave Theory and Techniques* , vol.48,pp. 76-83,January 2000.

[43]Hyung Ki Ahn,In-Cheol Park and Beomsup “ A 5-GHZ SELF-CALIBRATED I/Q CLOCK GENERATOR USING A QUADRATURE LC-VCO ” ,*IEEE*,pp. 797-800, 2003.

[44]R. Fujimoto,R. Tachibana, H. Yoshida, K. Kojima and S. Otaka, “ 4.6GHz CMOS voltage-controlled oscillator ” , *IEEE Electronics Letters*,vol. 38,pp. 632-633,June 2002.

[45]Jishnu Bhattacharjee,Debanjan Mukherjee,Joy Laskar, “ A MONOLITHIC CMOS VCO FOR WIRELESS LAN APPLICATIONS ” ,*IEEE*,pp. 441-444 , 2002.

[46]Yuan-Kai Chu,Huey-Ru Chuang, “ A Fully Integrated 5.8GHz U-NII Band 0.18-um CMOS VCO ” ,*IEEE Microwave and Wireless Components Letters*,vol.13,pp. 287-289,JULY 2003.

[47]Tamara I. Ahrens,Ali Hajimiri,Thomas H. Lee, “ A 1.6GHz 0.5mW CMOS LC Low Phase Noise VCO Using Bond Wore Inductance ” ,*IEEE*.

[48]Maria del Mar Hershenson,Ali Hajimiri,Sunderarajan S. Mohan,Stephen P. Boyd,Thomas H. Lee, “ Design and optimization of LC oscillators ” ,*IEEE*,pp. 65-69,1999.

[49]Ali Hajimiri and Thomas H. Lee, “ Design Issues in CMOS Differential LC Oscillators ” ,*IEEE J. Solid—State Circuit*,vol. 34,pp. 717—724 , MAY 1999.

[50]C. Samori,S. Levantino,Boccuzzi, “ A $-94\text{dBc/Hz}@100\text{KHz}$,fully-integrated,5-GHz,CMOS VCO with 18 % tuning range for Bluetooth applications ” ,*IEEE Custom Integrated Circuits Conference*,pp. 201-204,2001.

[51]郭仁財,David M. Pozar , 微波工程,高立,台灣,第二版,2002.

- [52]袁杰,高頻電路分析與設計(一)(二),全威,台灣,2001.
- [53]Reinhold Ludwig,Pavel Bretchko,RF Circuit Design Theory and Applications,Prentice Hall,USA,2000.
- [54]Chyh-Yih Chang and Ming-Dou Ker, “ On-Chip ESD Protection Design for GHz RF Integrated Circuits by Using Polysilicon Diodes in sub-quarter-micron CMOS Process ” ,*IEEE*,pp. 240-243,2001.
- [55]J. Craninckx,M. Steyaert,and H. Miyakawa “ A fully integrated spiral-LC CMOS VCO set with prescaler for GSM and DCS-1800 systems ” ,*IEEE* . Santa Clara,CA,pp. 403-406,1997.
- [56] J. Craninckx , and M. Steyaert, “ A 1.8-GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors ” ,*IEEE J. Solid—State Circuit*,vol. 32,no. 5,pp. 736-744,MAY 1999.
- [57]A. Kral,F. Behbahani,and A. A. Abidi, “ RF-CMOS Oscillator with Switched Tuning ” ,*IEEE Custom IC Conf.*,pp. 555-558 , 1998.
- [58]Tsung-Hsien Lin and William J. Kaiser, “ A 900-MHz 2.5-mA CMOS Frequency Synthesizer with an Automatic SC Tuning Loop ” ,*IEEE J. Solid—State Circuit* , vol. 36,no. 3,pp. 424-431, , MARCH 2001.
- [59]Bram De Muer , Nobuyuki Itoh , Marc Borremans and Michiel Steyaert, “ A 1.8 GHz highly-tunable low-phase-noise CMOS VCO ” ,*IEEE Custom IC Conf.*,pp. 585-588,2000.
- [60]Samuel M. Palermo and Jose Pineda de Gyvez, “ A multi-band single-loop PLL frequency synthesizer with dynamically-controlled switched tuning VCO ” ,*IEEE Midwest Symp. On Circuit and Systems*,pp. 818-821,Aug. 2000.
- [61]Jakub J. Kucera , “ Wideband BiCMOS VCO for GSMUMTS direct conversion receivers ” , *IEEE ISSCC*,pp. 374-376,2001.
- [62]Katsuji Kimura and Hiroshi Asazawa, “ Frequency Mixer with a Frequency Doubler for Integrated Circuits ” ,*IEEE J. Solid—State Circuit*,vol. 26 , no. 9,pp. 1133-1137,SEPTEMBER 1994.
- [62]Moon-Su Yang,Seung-Min Oh, and Sang-Gug Lee “ A Low Power Fully Differential Frequency Doubler ”
- [63]Jan Steinkamp, Frank Henkel, Uwe Stehr, Cornelia Eube, Peter Waldow, Hisanori

Uda,Hiroaki Hayashi,Ryu Kimura and Kazuo Mizuno, “ A 5.84GHz Tunable SAW Oscillator with Frequency Doubler for a DSRC System ” ,*IEEE Radio Frequency Integrated Circuits Synposium*,pp. 483-486,2003.

[64]Joseph M. C. Wong and Howard C. Luong, “ A 1.5-V 4-GHz Dynamic-Loading Regenerative Frequency Doubker in a 0.35- μ m CMOS Process ” ,*IEEE Radio Frequency Integrated Circuits Synposium*,pp. 463-466,2002.

[65]Robert G. Meyer , William D. Mack,and Johannes J. E. M. Hageraats, “ A 2.5-GHz BiCMOS Transceiver for Wireless LAN`s ” ,*IEEE J. Solid—State Circuit*,vol. 32,no. 12,pp. 2097-2104 , DECEMBER 1997.

[66]Sang-Gug Lee,Nam-Soo Kim , Seung-Min Oh,Jeong-ki Choi,and Sin-Churl Kim, “ A Dual-Band Receiver Architecture for PCS and IMT-2000 ”



自 傳

姓名：潘宏良

性別：男

生日：1971 年 7 月 16 日

籍貫：高雄市

學歷：

1977-1983： 高雄市正興國小

1983-1986： 高雄市民族國中

1986-1989： 高雄市立志工商電子設備修護科

1990-1992： 台北縣板橋市亞東工專電子工程科計算機工程組

1995-1997： 台北市台灣科技大學電子工程系

2002-2004： 新竹市交通大學電機資訊學院電子與光電學程(研究所)碩士班

經歷：

1997-1998： 高雄市日月光半導體製造有限公司

1998： 新竹科學園區台揚科技有限公司

1998-2000： 新竹科學園區民生科技有限公司

2001-2002： 新竹科學園區益勤科技有限公司