

國立交通大學

工學院精密與自動化工程學程

碩士論文

氮化鋁鈦擴散阻障層在銅金屬化製程中
熱穩定性及特性之研究



Thermal Stability and Properties of Ti-Al-N Diffusion
Barrier Layer for Copper Interconnections

研究生：李育儒
指導教授：徐瑞坤 博士
歐耿良 博士

中華民國九十四年六月

氮化鋁鈦擴散阻障層在銅金屬化製程中
熱穩定性及特性之研究

Thermal Stability and Properties of Ti-Al-N Diffusion
Barrier Layer for Copper Interconnections

研究生：李育儒

Student：Yu-Ru Li

指導教授：徐瑞坤 博士

Advisor：Ray-Quen Hsu

歐耿良 博士

Keng-Liang Ou



A Thesis

Submitted to Degree Program of Automation and Precision Engineering
College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Automation and Precision Engineering

June 2005

Hsinchu, Taiwan, Republic of China

中華民國 九十四 年 六 月

氮化鋁鈦擴散阻障層在銅金屬化製程中 熱穩定性及特性之研究

學生：李育儒

指導教授：徐瑞坤 博士
歐耿良 博士

國立交通大學 工學院精密與自動化工程學程 碩士班

摘 要

當積體電路製造進入深次微米時代，金屬銅勢必取代鋁合金，成為金屬內連接導線的主流。然而，銅導線因擴散係數高，會在矽基材中形成深層能階，使元件電性劣化；加以銅對介電層的附著性差，會嚴重地影響元件的效能，故需藉由合金化擴散阻障層的研究來克服銅導線先天的缺點。

本論文以 Ti-Al 的靶材通入不同的氮流量進行 Ti-Al-N 薄膜的沉積。待沉積完後的 Ti-Al-N 薄膜再以物理氣相沉積的方式沉積 Cu 於 Ti-Al-N 薄膜上形成 Cu/Ti-Al-N/Si 結構。完成 Cu/Ti-Al-N/Si 結構後分別進行不同溫度的退火，以進行熱穩定性的探討。

依照本實驗之結果，當氮流量等於 3 sccm 時，Ti-Al-N 具有最佳阻擋銅原子擴散的能力，為最理想之擴散阻障層，因其在 650°C 回火後具有電阻率極低的(111)優選方向之非晶質結構，並可使得隨後沉積的銅膜擁有較佳的抗電致遷移能力，最符合內連接金屬導線之要求。

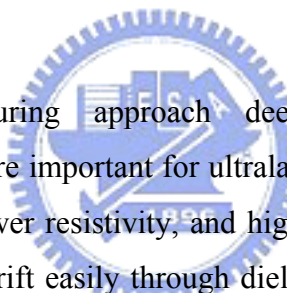
Thermal Stability and Properties of Ti-Al-N Diffusion Barrier Layer for Copper Interconnections

student : Yu-Ru Li

Advisors : Dr. Ray-Quen Hsu
Dr. Keng-Liang Ou

Department of Automation and Precision Engineering
National Chiao Tung University

ABSTRACT



As semiconductor manufacturing approach deep submicron dimensions, copper interconnection material becomes more important for ultralarge scale integration (ULSI) due to its better electromigration resistance, lower resistivity, and higher melting temperature than those of aluminum. However, copper atoms drift easily through dielectric layer to silicon substrate at low temperature and cause degradation of the oxide quality as well as affect electrical characteristics of the device. To overcome those drawbacks, a diffusion barrier is considered necessary for IC (Integrated Circuit) application.

This article presents the deposition of Ti-Al by reactive RF-magnetron sputtering on silicon substrate in various nitrogen flow rate, and carries out a ternary barrier film, Ti-Al-N, with different characteristics. Copper films are subsequently deposited onto Ti-Al-N by PVD without a vacuum break. After that, the samples were treated under various temperatures annealing to investigate Cu/Ti-Al-N/Si stack films and observe the thermal stability.

The results show that Cu (111) crystallographic orientation, better resistance to electromigration, enhanced on a barrier film having (111) orientation. From this experiment, Ti-Al-N converts from polycrystalline to a very low resistivity amorphous structure, α -Ti-Al-N, as well possess (111) orientation after 650°C annealing, exhibit excellent barrier ability when N₂ flow is 3 sccm. Thus, Ti-Al-N barrier layer can achieve the requirement of interconnections owing to its lower resistivity, (111) orientation, barrier ability and amorphous structure.

誌 謝

6年前，大學畢業的我，因緣際會，選擇就業，捨棄了升學；看著研究所的學長穿著碩士服參加畢業典禮，心中有著萬分的羨慕和憧憬。

今天，將換我披上眾人的目光，再次離開校園，心中五味雜陳。3年的學校生活在即將結束之際，沒有如釋重負的輕盈，卻有點失落，或許是對交大的不捨吧。

在這段不算短的求學時間裏，首先要謝謝恩師 徐瑞坤老師耐心的教導與關懷，更要謝謝歐耿良老師在學生的實驗及書面報告中不倦地提醒、修改和協助，以及吳志偉老師在口試時給于學生的指正與建議。因為你們，我得以順利完成實驗和論文之撰寫。

感謝最最最愛的老婆，在我忙於學業時，體諒我、支持我；因為有妳，我才有足夠的信心，往前邁進。

感謝爸爸、媽媽多年的教育，使我擁有健全的人格及求知的渴望。

感謝所有曾經幫助過我的同學、晚上幫我值班讓我可以上課的同事、還有曾經默默為我祝福的人；因為你們，我的人生才得以更加充實。

最後，僅以此篇論文獻給我摯愛的父母親、老婆以及關心我的朋友們。

育儒

2005年7月8日 于新竹

目 錄

項 目

頁次

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表目錄	vi
圖目錄	vii
第一章 序論	
1.1 銅金屬化製程介紹	1
1.1.1 金屬導線材料的選擇	1
1.1.2 銅金屬的特性	5
1.1.3 銅的沉積技術	9
1.1.4 銅的蝕刻技術	11
1.1.5 結語	12
1.2 研究動機	12
第二章 擴散阻障層概述	
2.1 物理氣相沉積	19
2.2 濺鍍的原理	19
2.3 薄膜成長	21
2.3.1 成核	21
2.3.2 晶粒成長	22
2.3.3 晶粒聚集	22
2.3.4 縫道填補	22
2.3.5 薄膜成長	23
2.4 擴散阻障層的發展與要求	23
2.5 擴散阻障層的機制與種類	26
2.6 結語	28
第三章 實驗步驟	
3.1 前言	33
3.2 試片製程	33
3.3 材料分析與量測	35
第四章 結果與討論	
4.1 氮流量對 Ti-Al-N 薄膜特性的影響	40
4.2 氮流量對 Ti-Al-N 薄膜阻障能力的影響	42

4.2.1	片電阻量測	42
4.2.2	XRD 分析	43
4.2.3	SIMS 分析	43
4.2.4	XTEM 分析	44
第五章	結論與未來研究方向	
5.1	結論	45
5.2	未來研究方向	46
參考文獻	58



表 目 錄

	項 目	頁次
表 1.1	應用於後段金屬連線所需材料與製程之要求·····	14
表 1.2	內連線金屬材料的比較·····	15



圖 目 錄

	項 目	頁次
圖 1.1	不同線寬世代之積體電路延遲時間圖	16
圖 1.2	(a)濺鍍沉積時其階梯覆蓋的現象 (b)加入準直管的情形	17
圖 1.3	銅膜底切之現象	17
圖 1.4	MOS 之部分剖面結構示意圖	18
圖 2.1	薄膜沉積步驟分解圖	31
圖 2.2	擴散阻障層之示意圖	32
圖 3.1	實驗流程圖	39
圖 4.1	不同氮流量下所沉積的 Ti-Al-N 薄膜經 XRD 繞射圖	48
圖 4.2	氮流量為零所沉積的 Ti-Al 薄膜經 XTEM 觀察分析的結果	49
圖 4.3	不同氮流量下所沈積的 Ti-Al-N 薄膜隨電阻率變化的情形	50
圖 4.4	Cu/Ti-Al-N/Si 結構經不同溫度退火後片電阻率變化的情形	51
圖 4.5	Cu/Ti-Al/Si 經不同退火溫度一小時退火後的 XRD 繞射圖	52
圖 4.6	Cu/Ti-Al-N/Si 經不同退火溫度一小時退火後的 XRD 繞射	53
圖 4.7	Cu/Ti-Al /Si 經 550°C 下退火 30 min 後的 SIMS 縱深分佈圖	54
圖 4.8	Cu/Ti-Al-N/Si 經 650°C 下退火 30 min 後的 SIMS 縱深分佈圖	55
圖 4.9	Cu/Ti-Al/Si 經 550°C 下退火 30 min 後的 TEM 影像	56
圖 4.10	Cu/Ti-Al-N/Si 經 650°C 下退火 30 min 後的 TEM 影像	57

第一章 序論

1.1 銅金屬化製程介紹

1.1.1 金屬導線材料的選擇

隨著電子科技產業的進步，短短的半個世紀，半導體積體電路(Integrated Circuits)工業由 1958 年的第一顆積體電路發明到現在，其製作技術已邁入超大型積體電路(Ultralarge-Scale Integration)，也使人類快速地邁向高科技時代。在積體電路的製造過程中，金屬材料更是扮演了一個非常重要的角色，而將金屬材料應用在積體電路的製造上，則稱之為金屬化(Metallization)製程。因為金屬具有低阻抗的特性，故在傳輸電流時，便可以從某個區域負載大量電流到達另一個端而只有極小的電流耗損，因此金屬材料被大量的應用在積體電路的後段(Back End)製程上。表 1.1 列出在後段金屬連線上所需材料與製程上的要求。但事實上目前並沒有任何金屬可以符合表 1.1 所列的所有要求，因此必須從製程中加以改善並做取捨。

鋁，是金屬化製程中最被廣泛使用的一種金屬，因為它的諸多優點，所以到目前為止，大部分積體電路的後段製程還是以它做為金屬連線的材料。鋁會在表面自行生成一層緻密的氧化鋁(Al_2O_3)，隔絕會與鋁材造成氧化的物質及空氣中的水氣，而不致因為腐蝕導致金屬連

線失效，影響元件特性；與介電層(SiO₂)的附著性良好；此外，鋁是第四佳的電傳導金屬，僅次於銀(1.59 $\mu\Omega\text{-cm}$)、銅(1.67 $\mu\Omega\text{-cm}$)、金(2.35 $\mu\Omega\text{-cm}$)；以及沉積與蝕刻技術的成熟等，都是鋁導線沿用至今的原因。雖然鋁本身還是有其材料上的缺點，但仍可透過製程的改善來達到產品上的要求。表 1.2 是鋁與其他四種金屬的特性比較^[1]。

但是當單位面積上的元件密度不斷提高，及線寬降至深次微米尺寸時，後段金屬連線製程就必須朝向多層化及微細化發展，因此對材料的特性要求將更為嚴謹^[2]。圖 1.1 是不同的線寬世代(Generation)其積體電路的時間延遲(Time Delay)^[3]。其中元件本身的延遲時間曲線約在 0.25 μm 的線寬世代與金屬連線的延遲時間曲線重疊，亦即小於 0.25 μm 線寬，或金屬層的層數大於五層以上時的結構，其延遲時間將由金屬連線主導，這表示後段金屬連線結構的訊號傳遞速度已明顯跟不上前段元件的訊號傳播速度，也就是電子訊號在金屬連線間傳送的時間延遲(Time Delay)常數將大幅增加，使得元件的傳輸速度到達瓶頸。要減低時間常數之延遲，可經由降低金屬之電阻率 ρ 或介電質的介電常數 k 來達到目的。因此導線金屬的選擇是 IC 工業的主要課題，其中包含電阻率 (Resistivity) 的降低，較佳的抗電致遷移 (Electron-migration) 能力，及防止與矽基板間的相互擴散等。

目前在金屬鋁導線中均會主動添加約 1% 的矽與約 0.5% 的銅，形

成鋁矽銅(Al-Si-Cu)合金導線。因為矽在 400°C 左右對鋁有相當程度的固態溶解度(Solid Solubility)，因此，當鋁材在歷經溫度 400°C 以上的製程溫度時，會與矽表面發生擴散的現象，矽就會藉著擴散效應進入鋁，而鋁也會回填矽因擴散作用所遺留下來的空隙，因此在鋁與矽接觸的地方，會形成所謂的突穿現象(Spiking)。如果這些突穿的長度太長，甚至超過了金氧半導體(Metal-Oxide-Semiconductor MOS)的汲極(Drain)或源極(Source)的接面深度(Junction Depth)，則這個鋁與矽的接觸將會因為短路而失效，稱之為接合突穿(Junction Spiking)。因此透過加入適量的矽，使鋁對矽的固態溶解度飽和，就可以減少突穿現象的發生^[4]。再者，由於鋁的抗電致遷移(EMR)(Electron-migration Resistance)能力較差，假如電致遷移的現象太過劇烈，將導致該金屬鋁線的斷路，因此加入原子較大的銅金屬將可以減少電致遷移的現象，進而提高元件的可靠度(Reliability)。

但目前廣泛使用的鋁矽銅合金導線在金屬連線的線寬持續縮至深次微米與高度積集化世代，高電阻率的鋁合金導線在傳輸電流時，會與週遭的介電層產生嚴重的偏極化(Polarization)現象，造成平行導線間大量的側向電容(Lateral Capacitance)，導致極大的電阻電容時間延遲(RC Time Delay)。而且又因本身較低的抗電致遷移特性，在高密度電流的流動下極易導致產生空孔(Voids)或小突起(Hillocks)等缺陷，形成

斷路，而不再適用^[5]；而且當金屬連接線的截面積縮小後，亦較不符合快速 IC 元件的要求^[6,7]。

因此，目前積體電路業界一致公認，具有低電阻率與高熔點的銅金屬，是取代鋁合金做為積體電路元件金屬化製程的最佳內連接導線材料^[8]。

銅金屬本身具有許多的優點：

- (1) 低電阻率($1.7 \mu \Omega\text{-cm}$)；
 - (2) 熱傳導係數高(3.98 W/cm)；
 - (3) 抗電致遷移能力佳；
 - (4) 可以利用物理沉積、化學沉積、電鍍或無電鍍方式沉積薄膜；
- 所以在深次微米元件的多層金屬連線運用上倍受矚目^[9~12]。雖然如

此，若以銅做為金屬連線的材料仍有一些問題需要解決，例如：

- (1) 在 200°C 的低溫下，銅極易與矽反應形成銅矽合金(Cu_3Si)，導致元件退化及電阻率上升；
- (2) 銅無法在表面自行生成連續氧化膜，因此在約 300°C 的溫度時，銅即會與氧化性氣體產生反應，形成 Cu_xO 氧化物，造成表面腐蝕；
- (3) 銅在低於 400°C 以下溫度退火時就會發生晶粒成長，造成銅膜表面變得粗糙且出現孔洞，使崩潰電流上升；

(4) 銅的鹵化物其蒸氣壓較低，因此以乾蝕刻方式定義圖樣(Pattern)

時，其反應的副產品(By-Product)無法揮發，導致蝕刻困難；

(5) 銅原子具有快速的擴散性。在電場的加速下，銅能穿透介電層

而快速的擴散，尤其針對矽基材，一但銅原子擴散至矽基材

中，會造成深層能階缺陷(Deep Level Trap)，而造成元件特性

退化及失效^[13-19]。

這也是早期 IC 製程不願採用銅作為金屬連接線的理由。雖然銅製程仍有許多問題待克服，但因為其材料本身的諸多優點，使得在深次微米的元件上，銅金屬的使用是勢在必行。

1.1.2 銅金屬的特性

1. 擴散(Diffusion)

在銅金屬連線的應用上，因為其擴散係數很高，與矽基材或二氧化矽介電層接觸後會很快擴散到矽基材，產生互相混合(Intermixing)的現象，衍生出深層能階的問題，因此必須在銅導線與矽基材或二氧化矽間沉積一層擴散阻障層(Diffusion Barrier)。由於材料本身的熔點和擴散係數(Diffusivity)成反比，熔點愈高則擴散係數愈低，因此在研究銅擴散阻障層的領域中，目前均致力於鎢(W)，鈦(Ti)，鉭(Ta)，鉬(Mo)與鈮(Nb)等高熔點之耐火金屬與其氮化物^[20~32]之研究。

鎢，是目前最常被用來填充金屬與金屬間的中介窗插塞(Via Plug)

或是接觸窗插塞(Contact Plug)的金屬。雖然阻值較高($5.65 \mu \Omega\text{-cm}$)，但由於它高熔點的特性，因此也有人研究它對銅的擴散阻障能力^[33,34]。分別可以承受 450°C 與 750°C 高溫的鎢化鈦(TiW)^[35,36] 與氮化鎢(WN)^[37]，也是研究的範圍。另外，也有研究使用選擇性鎢沉積(Selective Tungsten Deposition)的方法來成長矽化鎢(WSi_x)^[38,39]，但由於很難掌握其製程的再現性(Repeatibility)及沉積速率低而效果不佳。

而在鋁導線及鎢插塞製程中廣泛做為擴散阻障層的鈦，則可以忍受約 400°C 的高溫而不失效；在沉積金屬材料時，藉著加入適量的氧或氮，使氧或氮的原子填塞(Stuffed)在晶界中，更可以進一步提高其高溫熱穩定性及擴散阻障性^[40-44]。此外，也有研究指出硼化鈦(TiB_2)阻障層更可忍受 600°C 以上的高溫^[45]。由於氮化鈦的製程技術現已相當成熟，因此，仍有很多的研究單位投入於改善氮化鈦薄膜的特性，以增加其在銅製程中的阻障能力^[46,47]。

鈦(Ta)與氮化鈦(TaN)是目前公認具有最佳抗銅穿透能力的金屬材料。由於鈦與銅是不互溶(Immiscible)系統，且氮亦不易與銅形成穩定之化合物；再者，銅原子在具有高熔點(約 3087°C)及高溫熱穩定性的鈦或氮化鈦中的擴散性相當不好，故鈦或氮化鈦能忍受比其他阻障金屬更高的溫度^[48]。

而目前產學研各界更積極地研究開發多種三元(Ternary)的金屬阻

障層(如 TaSiN、TiWN 等)^[49~51]，目的在使金屬阻障層形成非晶質(Amorphous)結構；或使銅的擴散路徑變長，以增加阻障的效果^[52,53]。

2. 腐蝕(Corrosion)

銅在空氣中容易被腐蝕的特性也是銅應用於金屬連線的一大缺點。高純度的銅並不像鋁會在表面生成緻密的氧化鋁作為保護層(Passivation Layer)，因此若無與空氣做適當的隔絕處理，會有可靠度的問題^[54]。目前改善銅腐蝕的研究有很多，例如：在矽烷(SiH₄)的環境下經過熱處理，使銅的表面形成矽化物(Silicide)^[55]；在銅金屬裏加入約1~2%的鋁或鎂，使成為銅鋁、或銅鎂合金^[56]；在銅金屬裏利用離子植入(Ion Implantation)技術添加約0.01%的硼^[57,58]；在銅的表面沉積一層很薄的氮化矽(Si₃N₄)或氮化鉭(TaN)以作為保護層^[59]。

雖然這些方法都能有效防止銅的腐蝕，但相對的也會衍生出等效電阻或電容值增加的問題，因此實際上的應用需要作個取捨，以達成兩方面的要求。

3. 電氣特性(Electrical Properties)

在表 1.2 中列出的銅金屬其電阻係數為 $1.67 \mu \Omega\text{-cm}$ ，但實際上所沉積的銅膜因為有缺陷的存在，其電阻係數會略微的上升。而影響電阻係數的缺陷主要原因是表面狀態與晶粒邊界的散射(Scattering)，這兩者又與電子的平均自由路徑(Mean Free Path)以及膜厚、晶粒大小有關。

因此在選擇或沉積擴散阻障層時，電阻值及沉積厚度也是相當重要的考慮因素之一。因為一般阻障層的電阻值(50~150 $\mu\Omega\text{-cm}$)都比銅導線的電阻值來得高許多，當完成擴散阻障層和內連接導線沉積後，整體的電阻值更是倍增，如此一來，低電阻值的銅導線的使用效果必會大打折扣。

4. 微結構(Microstructure)

理想的單晶銅是面心立方體(Face-Center Cubic, FCC)結構，其一個單胞(Cell)裏有四個銅原子，晶格常數(Lattice Constant)為 3.61 Å，比重為 8.92 g/cm³。

以銅的面心立方結構來看，(111)是其最密堆積面，即表示銅膜在(111)方向擁有最緻密的結構，抗電致遷移的能力也最佳。若阻障層能在阻擋擴散的功能外，更能引發銅膜沉積出(111)的結晶結構，實為較佳的擴散阻障層。另一方面，金屬銅經由各種方法沉積於矽晶圓上，必定含有許多缺陷，這些缺陷將會直接影響銅膜的物理與化學特性；實驗發現銅膜經過熱退火(Annealing)後可形成較為巨大的晶粒。此外，雜質(Impurity)的存在(例如氧)也會有抑制晶粒成長的作用^[60]。

5. 附著性(Adherence)

銅無法與介電層(SiO₂)產生良好的鍵結，而如果附著性不好，會使得元件退化，因此必須由製程的改善來增加銅對氧化層的附著性。研

究發現經過高熱使氧化層不再含有水氣，並在超高真空度($10^{-6}\sim 10^{-7}$ Pa)下沉積銅膜，會有良好的附著性^[61]。另外，在銅金屬裡面加入適量的鎂或鋁可以增加其附著性且不致犧牲太多銅的低阻抗特性^[55]。然而，經過後續的高溫退火製程後，銅膜會因應力的關係而使附著性變差，此時必須在銅膜與氧化層中間加入一層黏著層，而這層黏著層同時也必須有阻擋銅穿透的能力。

1.1.3 銅的沉積技術

目前銅膜的沉積方法有物理氣相沉積法、化學氣相沉積法、電鍍法(Electroplating)和無電鍍法(Electroless Cu Plating)。其中物理氣相沉積法中的直流電漿濺鍍法是最普遍的方法，而且目前的技術非常成熟；電鍍法則是業界用以製造銅膜的主要技術；而化學氣相沉積與無電鍍銅的方法仍有些問題需待克服，尚未訴諸量產。

1. 濺鍍法

濺鍍法是利用輝光放電(Glow Discharge)產生電漿，可以分為直流電漿(DC Plasma)與交流射頻電漿(RF Plasma)兩種，基本上以直流電漿來進行薄膜的濺鍍時，會有較高的濺擊產率(Sputtering Yield)。

直流電漿濺鍍法是鍍金屬膜最普遍的方法，目前的技術也非常成熟，但是在導線尺寸越來越小、深寬比(Aspect Ratio)大於 1 的情況下，此法會有階梯覆蓋(Step Coverage)能力的問題，造成如圖 1.2(a)所示，

因縫道填補不完全而留下空孔(Void)^[62]。這是由於濺出粒子在接觸洞口的沉積速率，遠較溝渠側壁及底部為快所致。圖 1.2(b)是在靶材與基板間加一準直管(Collimator)，以提升對溝渠側壁及底部的沉積能力。但是濺鍍法還是有它的極限在，而且使用準直管雖然可以減少發生空孔或斷線的機會，但卻增加了預防保養(Preventive Maintenance)的頻率及降低沉積速率。現今的 DC 濺鍍法大多用在銅製程中種晶層的沉積，好讓接下來的電鍍銅得以進行。

2. 化學氣相沉積法

銅的 CVD 沉積所使用的前驅物(Precursor)是一種有機金屬，故稱為有機金屬化學氣相沉積(Metal-Organic CVD, MOCVD)。雖然以 MOCVD 方式沉積銅膜具有高階梯覆蓋率與選擇性沉積的優點，但由於所沉積的銅膜中會摻雜高濃度的氯及有機不純物，所以此法還未能實際運用在業界。

3. 電鍍法

電鍍是一門相當傳統的技術，將其應用在半導體金屬導線的沉積上，其原理及方法是完全一樣的。因為電鍍法需在導體上進行，故鍍銅膜前必須要先沉積一層種晶層當做導電層，再利用電解液中陰、陽兩極間的電位差，陽極還原出銅離子，鍍上置於陰極的晶圓表面。在電解液中可加入添加劑來改善鍍膜品質以達到製程的要求。

相較於傳統物理氣相沉積的高成本和化學氣相沉積的技術困難度，電鍍法的低溫、低成本、高填溝能力及高鍍膜速率，現已成為半導體製造業用以製作銅膜的主要技術。

4. 無電鍍法

所謂無電鍍銅法就是無需使用到電力，而利用會與銅產生化學反應的溶液，來沉積銅膜的一種技術。運用此方法鍍銅膜時可加入安定劑來防止電鍍液分解或加入催化劑增加反應速率。此法因程序複雜且其基本反應機制及介面活化還有待研究，故未正式量產。

1.1.4 銅的蝕刻技術

銅膜的蝕刻可分為濕式蝕刻、乾式蝕刻與化學機械研磨 (Chemical-Mechanical Polishing) 三種。其中大馬士革法(Damascene)或稱鑲嵌法，便是用化學機械研磨的方式來定義銅膜的圖案，是目前唯一可以達到全面性平坦化要求的技術，因此現在的工業界與研究機構，莫不傾全力開發這項技術，以維持以後的競爭優勢。

1. 濕式蝕刻


有許多種溶液配方可以來進行銅膜的濕式蝕刻，一般最為常用的是稀釋的硝酸溶液(Diluted HNO₃)。雖然濕式蝕刻是最簡單便宜的蝕刻方式，但是其等向性蝕刻(Isotropic Etching)的特性卻是一大致命傷，尤其是以硝酸溶液蝕刻的銅膜，其底切(Undercut)的現象非常的嚴重

(如圖 1.3 所示)。因此在小尺寸的圖樣上以濕蝕刻方式有其困難之處。

2. 乾式蝕刻

銅的乾式蝕刻是以反應式離子蝕刻法(Reactive-Ion-Etching, RIE)來進行，參與反應的氣體為大多為 CCl_4 、 CCl_2F_2 、 SiCl_4 或 BCl_3 等含有氯的氣體。如前面所述，銅的乾式蝕刻最大的問題在於室溫下銅的鹵化物蒸氣壓太低，導致蝕刻反應後的副產物 CuF_x 或 CuCl_x 無法氣化。提高 RIE 的反應溫度固然可以解決此一問題，但如此一來一般的光阻就耐不住如此的高溫，銅導線的圖樣便無法精確定義出來。

1.1.5 結語



由於半導體產業在台灣的地位日趨重要，而且台灣也是世界上主要晶圓代工國，為了可以與其它先進國家之半導體廠家互相競爭，所以製程技術的開發是台灣半導體業所必備的要素。由於銅製程可使積體電路元件層數達到五層以上，這對於現在的積體電路元件要求的往上多層堆疊設計，是極有幫助的製造技術，且在半導體製程邁入更小線寬時，基於降低電阻電容時間延遲(RC Time Delay)及抗電/應力遷移能力的要求，就一定非銅製程莫屬了。

1.2 研究動機

銅金屬化製程的引入已是目前後段深次微米技術的主流，未來在

元件操作速度及可靠度的考量下，銅金屬連線勢必會漸漸取代鋁，到最後整個金屬連線及插塞必將完全使用銅為金屬材料^[63]，而銅金屬的快速擴散性質將是在實際應用時所需解決的問題之一，因此有大量的文獻在阻障層的研究上，以期能找出一個適用的方法。

雖然許多研究已對二元及三元的阻障層薄膜均被廣泛方面探討如 Ta-N 及 Ta-Si-N^[48] 薄膜，然而過去的文獻在定義銅/阻障層/矽基材的結構之退化機制時往往是以材料的觀點，例如用薄膜片電阻值的變化、電子顯微鏡 (SEM) 下的型態改變及 X 光薄膜繞射分析 (XRD) 或二次離子質譜儀 (SIMS) 中銅離子濃度的曲線等等方式來說明。但是在實際應用於 MOS 結構上時，金屬(銅/阻障層)會與矽基材直接接觸的地方只有汲/源極，也就是二極體接面處，此可以從圖 1.4，MOS 結構圖中看出。因此作者認為以銅/阻障層/矽基材的結構而言，其在定義退化機制時，應該以電性量測之接面二極體漏電流變化為依據。也就是當小部分的銅(可能只有 1%)擴散到接面處，雖然其片電阻值並沒有變化，但元件已因漏電流太大而失效，此時就應定義其結構已經退化。

故本文欲以 Ti-Al 的靶材通入不同的氮流量進行 Ti-Al-N 薄膜的沉積。待沉積完後的 Ti-Al-N 薄膜再以物理氣相沉積的方式沉積 Cu 於 Ti-Al-N 薄膜上形成 Cu/Ti-Al-N/Si 結構。完成 Cu/Ti-Al-N/Si 結構後分別進行不同溫度的退火以進行熱穩定性的探討。

表 1.1 應用於後段金屬連線所需材料與製程之要求

最小的電阻與熱阻係數	配合基板的熱膨脹係數
容易沉積於高視窗比圖案	抗應力遷移能力良好
高沉積速率	高熔點
容易蝕刻與平坦化	有較大的晶粒與較小的表面粗糙度
腐蝕與氧化的防止	和其他材料、製程相容
低化學活性	不會污染周圍材料
可生成自我保護層	可靠性良好
良好的附著性	

表 1.2 內連線金屬材料的比較

特性	金屬材料				
	鋁	金	銀	銅	鎢
電阻係數(Resistivity) $\mu\Omega\text{-cm}$	2.66	2.35	1.59	1.67	5.65
楊氏係數(Young's modulus) $\times 10^{-11} \text{ dyn/cm}^2$	7.06	7.85	8.27	12.98	41.1
熱傳導係數(W/cm)	2.38	3.15	4.25	3.98	1.74
熔點($^{\circ}\text{C}$)	660	1064	962	1085	3387
比熱(J/Kg K)	917	132	234	386	138
抗腐蝕性(空氣中)	△	○	X	X	△
附著性(與 SiO_2)	△	X	X	X	X
沉積方法					
物理沉積(Sputtering)			可		
化學沉積(CVD)			可		
蝕刻技術					
乾蝕刻	可	?	?	?	可
濕蝕刻	可	可	可	可	可

○優 △佳 X差

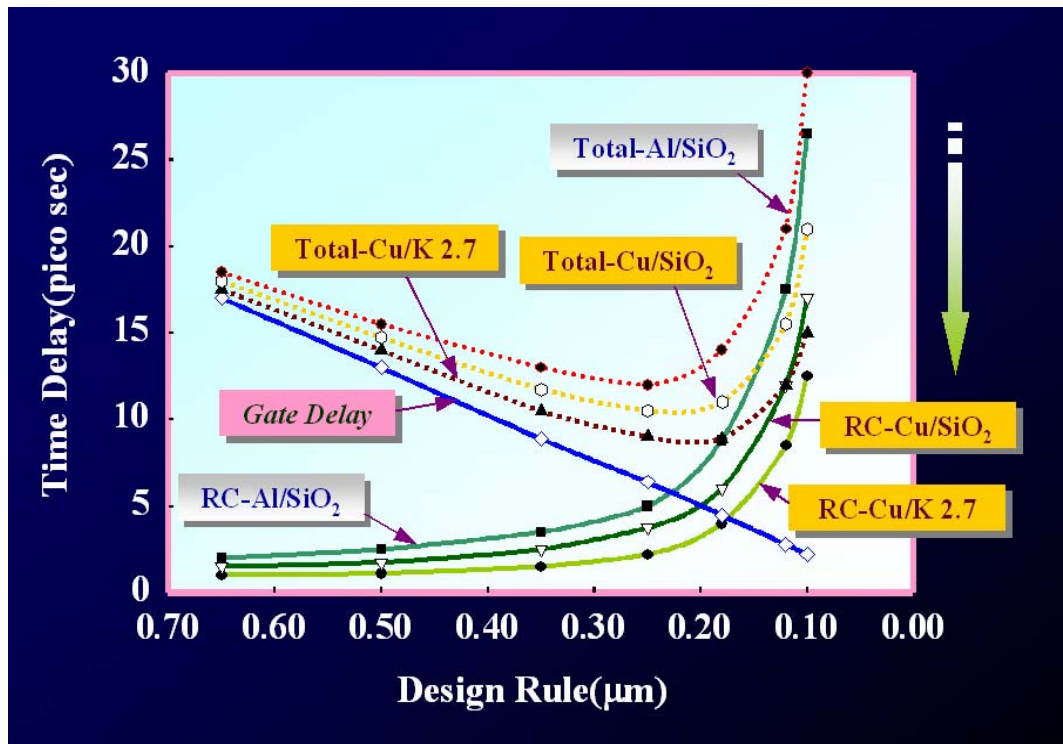


圖 1.1 不同線寬世代之積體電路時間延遲圖。



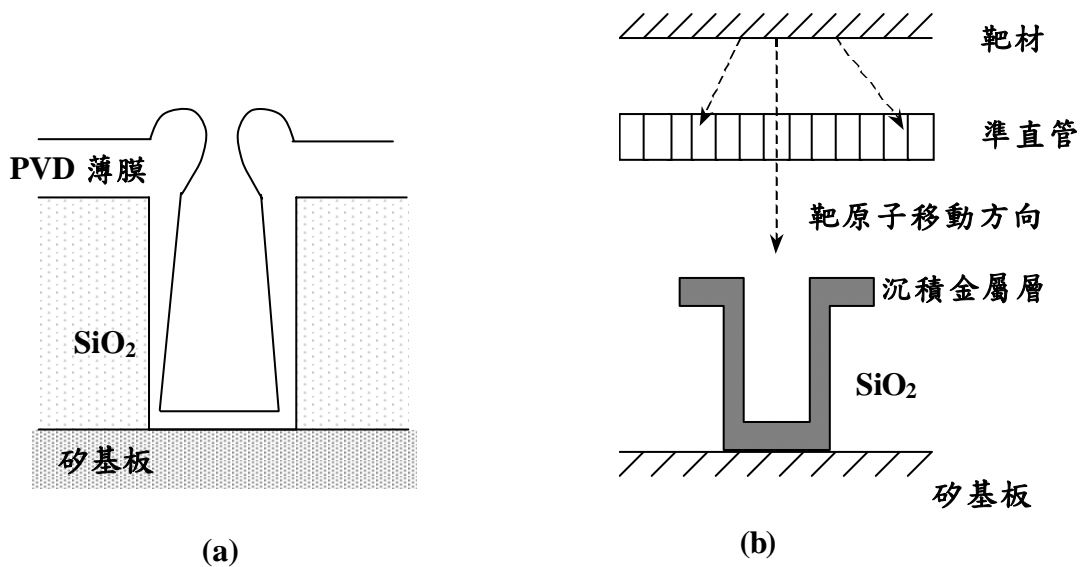


圖 1.2 (a)顯示進行濺鍍沉積時其階梯覆蓋的問題。(b)加入準直管的情形。

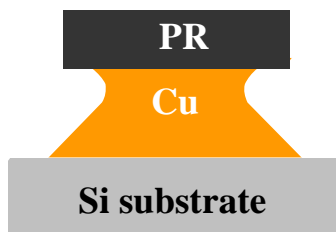


圖 1.3 銅膜底切之現象

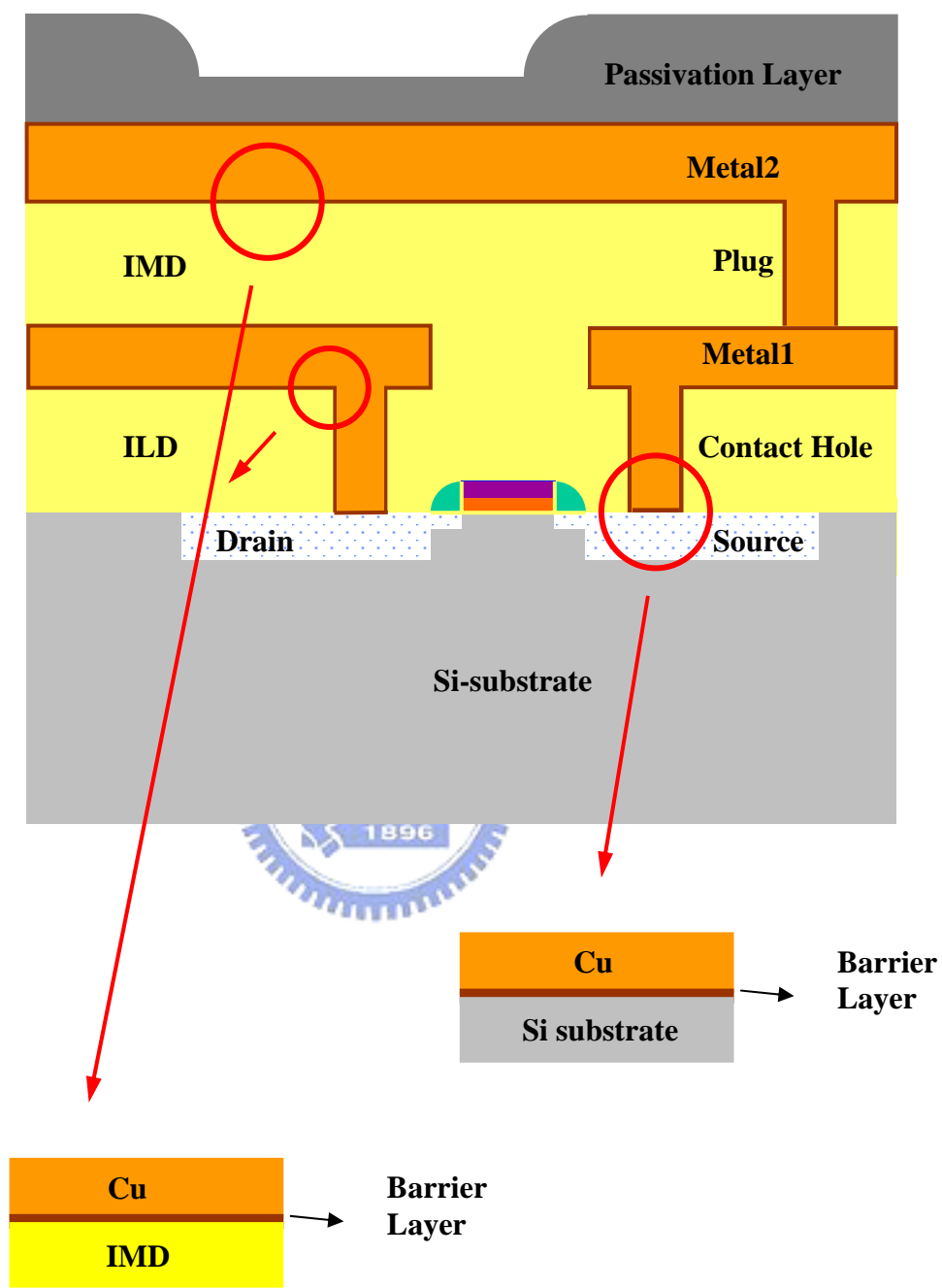


圖 1.4 MOS 之部分剖面結構示意圖

第二章 擴散阻障層概述

2.1 物理氣相沉積(PVD)

PVD 是指物理氣相沉積(Physical Vapor Deposition)；主要是一種物理製程而非化學反應。此技術藉著加熱或濺射步驟將固態材料氣態化，然後再使蒸氣在矽基材表面再凝結(Recondense)已形成固態的薄膜。一般在濺鍍時會使用氬氣等鈍氣，在高真空的氣氛中將氬離子加速撞擊濺鍍靶材(Target)，即可將靶材(鎢、鋁或其合金)原子濺擊出來，沉積在晶圓表面。



2.2 濺鍍的原理(Sputtering)

在 IC 工業的金屬化過程中，濺鍍沉積是最常用的 PVD 製程。它牽涉到電漿中帶能量離子的轟擊，物理性地從固態金屬表面撞擊出原子或分子，並在矽晶圓表面重新沉積，進而形成一層合乎我們要求的金屬薄膜^[64]。

而所謂電漿，其實就是指諸多由離子、電子、分子、及原子團(Radicals)所組成的部分離子化氣體(Partially Ionized Gases)，藉由在兩個相對應的電極上施以電壓，假如電極間的氣體分子濃度在某一特定

區間，電極表面因離子轟擊(Ion Bombardment)所產生的二次電子(Secondary Electrons)，在電極所提供的電場下將獲得足夠的能量而與電極間的氣體分子因撞擊而進行解離(Dissociation)、離子化(Ionization)及激發(Excitation)等反應而產生離子、原子、或原子團及更多的電子。

濺鍍的沉積機構，大致上可以分為以下幾個步驟：


- (1) 電漿內之負電荷電子被加速到稱為陽極的正偏壓電極時，正電荷的氬離子則同時被加速至負偏壓的陰極板，也就是靶材(Target)。
- (2) 帶能量的氬離子撞擊到靶材表面時，靶材材料的原子會藉著撞擊離子的動量轉移而從表面被擊出。
- (3) 被擊出的靶材原子以金屬蒸氣的形式被引入電漿內，最後有些靶材原子會到達另一個放置有晶圓的電極表面。
- (4) 這些到達晶圓表面的靶材原子吸附在表面上並形成所謂的附著原子(Adatoms)。這些附著原子會在表面找到成核點(Nucleation Sites)，並與凝聚附近之附著原子，而形成單晶結構的晶粒。
- (5) 當晶粒成長並與其他的晶粒相遇時，就會在晶圓表面形成連續性的多晶態金屬薄膜。

2.3 薄膜成長

PVD 薄膜沉積的機構，依照發生的順序，可以分為以下幾個步驟，如圖 2.1：

- (1) 成核(Nucleation)；
- (2) 晶粒成長(Grain Growth)；
- (3) 晶粒聚集(Coalescence)；
- (4) 縫道填補(Filling of Channels)；及
- (5) 沉積膜的成長(Film Growth)。

2.3.1 成核



首先，通過邊界層(Boundary Layer)的氣體分子到達晶圓表面，有些氣態粒子會馬上彈回氣流中，有些粒子則在表面停留一段時間後，失去部分的動能，而物理性地(Physically)被晶圓表面所吸附(Adsorbed)，這種暫時性被吸附的粒子稱為附著原子(Adatoms)。這些附著原子在晶圓表面上因消耗了橫向運動的能量，所以只有縱向運動的能力。這些附著原子可能與其它附著原子因交互作用(Interaction)，而釋出多餘的凝聚熱(Condensation Heat)，且在晶圓表面形成一穩定的核團(Cluster)，終而化學性地被吸附(Chemisorption)在晶圓表面上。部分的附著原子則於物理性吸附一段時間後，經釋出(Desorb)而回到原來的氣相中。假若附著原子的吸附能大於釋出能，薄膜的成長將得以進行。

因此，氣態粒子的凝聚(Condensation)其實是粒子的吸附(Adsorbed)與釋出(Desorb)達到平衡時的結果。

2.3.2 晶粒成長

當穩定的晶粒(Grain)在晶圓表面形成後，晶粒成長隨即開始。晶粒初期的成長大多都依賴附著原子的加入，當晶粒成長到較大體積時，所需的原子來源便不侷限於附著原子，而可以是直接由氣相中傳來的粒子經與晶粒碰撞後成為晶粒的一部份。

2.3.3 晶粒聚集

當原本個別且獨立的晶粒，因晶粒成長所增加的體積，大到開始與附近的其它晶粒相接觸時，便開始進入晶粒聚集(Coalescence)的階段。當這些原本獨立，體積相仿的晶粒開始接觸之後，晶粒彼此間的相互擴散(Inter-Diffusion)便開始進行，晶粒會因自由能的調降，合而為一，形成一個體積比原來還大晶粒。

簡單地說，所謂的晶粒聚集就是大晶粒在消耗小晶粒的過程中成長的一種現象，個別的晶粒將不停的吸收附著原子，或併吞較小的晶粒，或併入較大的晶粒。在此聚集過程中，整個系統的表面能將隨著小晶粒的消失而逐漸降低。

2.3.4 縫道填補

當系統的表面能逐漸降低，晶粒持續的長大，晶粒與晶粒之間的

距離也將越來越小，在晶粒與晶粒之間形成所謂的縫道。這些縫道實際上就是晶圓表面尚未被附著原子或晶粒所覆蓋的區域，而這些縫道也會很快的被其他的晶粒填滿。

2.3.5 薄膜成長

當這些位於晶粒間的縫道也陸續地被填滿之後，整個完整的薄膜便初步的在晶圓表面上形成了。接著，薄膜的沉積便往增加薄膜厚度的方向繼續進行^[4]。

2.4 擴散阻障層的發展與要求

積體電路的物理結構，基本上是由許多不同材質的薄膜堆疊而成，各層薄膜的厚度、組成，以及薄膜間的介面特性，皆會影響元件在 IC 製程的良率(Yield)、產品電性功能與可靠性。

由於銅製程若以電鍍(Electroplating)及 CVD 方式製作薄膜，所鍍的銅金屬連線層其結構仍不十分良好，尤其電鍍方式，常造成銅金屬薄膜於存在較多的空孔，缺陷和接縫。因此，多層金屬連線製程會加入熱處理之循環步驟，以改善銅膜結構的缺陷問題。此退火處理所需溫度約 400 °C 左右，可提供薄膜結構中之銅原子有重新排列(Rearrangement)的能力。

再者，銅與矽在低溫下就會形成銅矽化合物，在經過反覆的退火

處理後，為防止產生深層能階的問題；或阻止與氧化性氣氛產生反應，形成 Cu_2O 或 Cu_xO 等氧化物，造成表面腐蝕；所以需要一有效的擴散阻障層。這層擴散阻障層在退火處理的高溫下必需能有效的抑制銅原子擴散到矽元件內部，亦即此擴散阻障層需擁有良好的熱穩定性以提高元件的壽命與可靠度。

由於積體電路後段製程中，元件的內部結構會遭遇高溫之熱循環過程，因此擴散阻障層也需具備適當的熱及化學穩定性，以防止銅與矽基材之間有高溫擴散或內部反應的產生。並且此一擴散阻障層亦可作為一有效的黏著層，強化與銅及介電層的附著性。

當線寬進入深次微米階段，孔洞(Void)填充及擴散阻障層的應用也需有所調整。孔洞的深寬比(Aspect Ratio)的增加與填充截面積的減少，不但金屬導線層本身的電阻值會增加，又由於一般較內連接導線電阻率為高之阻障層的加入，使整體電阻值更加遞增。因此，擴散阻障層於製程的設計上不宜太厚，否則元件的有效電阻值會上升。然而，其熱穩定性及阻障性質又和厚度有一定的正比關係，所以厚度的控制與調整必須有適當的考量。

而就材料的特性來考量擴散阻障層對銅膜的阻隔和附著能力的話，若阻障層不會與銅膜產生任何反應，則此阻障層可能具備了良好的阻障特性，但卻會因此而缺乏與銅膜良好的附著性；相反地，兩者

間若有良好的反應介面存在，附著性會有一定的提昇，但是阻障的效果也可能因此而降低。

基於以上的論述，現階段擴散阻障層材料的選擇必須符合下列幾個要點：

- (1) 高溫熱穩定性(Thermal Stability)：擴散阻障層不會因為後段製程的高溫退火處理，使內部有結構性的改變，或與接觸之薄膜層材料產生反應。阻障層的電性對高溫的阻抗性質也需一定的水準，並有熱疲勞破壞(Thermal Fatigue)的能力，以提高元件的壽命及可靠度。
- (2) 化學穩定性(Chemical Stability)：各階段製程與後續清洗過程常有酸鹼化學藥品或不同氣體的接觸，需有適當的抗腐蝕性(Corrosion Resistance)以避免阻障層本身的變質。
- (3) 低電阻係數(Resistivity)：擴散阻障層的薄膜導電性質要好，且與金屬連線層堆疊所產生的有效串聯電阻值能盡量的減少，以降低訊號傳遞過程的電阻電容時間延遲(RC Time Delay)。
- (4) 良好的阻障性質：高溫下還能有效抑致銅原子擴散到矽元件內部，並使介面處無層間原子或離子的交互反應與相互擴散。
- (5) 具備適當的黏著性質：與銅膜和介電層有適當的附著性。與接觸材料的介面平整性及粗糙度(Roughness)也須有所注意，此

對於薄膜的結構及電性也會有所影響。

- (6) 由於阻障層材料的結構會影響後續鍍製之銅金屬膜結構，若結構上能幫助銅膜形成較強烈的(111)緻密組織(Texture)，可提高銅金屬導線層對電致遷移的阻抗能力。

作為一擴散阻障層，較高的熔點溫度是必要的，因此耐火金屬(Refractory Metal)是很好的選擇，耐火金屬需幾乎不與銅互溶，即使在高溫之下，與銅的溶解度也很低。此外，因為擴散阻障層材料選用的不同，亦會影響其後鍍上之銅金屬膜的結構，我們期望銅膜能有較好的<111>優選方向(Prefer Orientation)，以得到最緻密的結構，提高抗電致遷移的能力^[65]。



2.5 擴散阻障層之機制與種類

當 A 材料沉積到 B 材料，再經由熱處理後造成 A 與 B 互相擴散而使得元件特性被破壞掉。其中最著名的例子便是鋁薄膜經由擴散進入矽基材中而造成突穿(Spiking)。此時，若於其中置入一良好的阻擋層 X，使得 A 與 B 無法直接接觸，則可避免此種情形，如圖 2.2。

擴散阻障層通常被分類為三種，分別為犧牲型阻障層(Sacrificial Barriers)、填塞型阻障層(Stuffed Barriers)及被動型阻障層

(Passivation Barriers)。以下分別敘述其機制:

- (1) 犧牲型阻障層，能與材料 A、B 起反應，因此 A 或 B 經由擴散進入阻障層 X (或 X 擴散進入 A 與 B)。若 X 與 A、B 之間的反應速率及擴散速率夠慢，使得預期的犧牲型阻障層的壽命大於預期元件的壽命，則犧牲型阻障層便達到目的。一旦阻障層 X 完全與 A、B 形成化合物，則阻障層便完全失去阻擋的效用。
- (2) 晶界通常為快速擴散通道(Fast Diffusion Path)，因此若於沉積阻障層時加入某些材料，使這些材料存在於阻障層晶界中，則將使快速擴散通道被阻擋住；意即擴散阻障層的晶界因其它材料的填補而阻擋了 A、B 之相互擴散，便稱為填塞型阻障層。通常阻障層中的雜質濃度必須高於一定水準，才能有顯著的效果。
- (3) 當 X 不易與 A、B 起反應，且 A、B 於 X 中的固溶度很低，此擴散阻擋層即稱為被動型阻障層。一良好的被動型阻障層需具有很強的鍵結力，使得於接觸處与其它材料接觸時能維持化學性質穩定而不與其起反應^[66]。

2.6 結語

過去數十年來，金屬鋁一直被用來當作品片內部的導線材料。當內連接導線尺寸變得狹窄，導線間的節距變得更小，以滿足深次微米世代元件之性能要求時，業界往往為了降低鋁及其合金的電阻率和緩和鋁的電致/應力遷移破壞而產生極大的困擾。特別是 0.25 微米世代以下，元件運算的速度會因為電阻電容時間延遲(RC Time Delay)的增加而顯著的下降。

因此，為降低鋁合金導線上述的缺點，在現有的製程能力下，銅於是取代鋁成為金屬連接導線之首選。事實上，銅金屬本身就具有許多先天上的優勢。例如：

- (1) 由於銅具有低電阻的特性，阻值為 $1.67 \mu\Omega\text{-cm}$ ，而鋁則為 $2.66 \mu\Omega\text{-cm}$ ，因此以銅為導線的元件可承受更密集的電路排列，如此可大大減少所需金屬層的數目，進而降低生產成本和提昇電腦的運算速度。
- (2) 比鋁還高四個數量級(Order)的抗電子遷移性，因此在相同密度電流所形成的電子風(Electron Wind)的破壞下，以銅導線為架構所堆疊製造出的元件要比鋁導線為架構的元件具有更高的壽命及穩定性。
- (3) 良好的抗熱/機械應力，故可防止空洞的形成及沉積薄膜的剝

落(Peeling)等等。

以上所說的這些優點，對元件的特性有很大的幫助，例如較快的速度；可降低 Cross talk；以及具有較小的 RC 時間常數^[67]。

再者，銅無法用傳統的乾式蝕刻技術來進行導線佈植，因此目前工業界大部採用新一代的導線製作技術大馬士革(Damascene)法來做銅導線的充填。將銅充填至嵌式結構之中的方式主要有二種：

(1) 乾式製程：乃利用化學氣相沉積加上物理氣相沉積回流來達到銅導線的鑲嵌；

(2) 濕式製程：為製作銅導線的主流，此法利用物理氣相濺鍍法沉積一層薄的種晶層(Seed Layer)在嵌式結構的表面，再利用電鍍的方式將銅充填至嵌式結構內。此項技術需要用到兩個重要的製程步驟。第一，為了預防銅藉由擴散方式進入介電層之中而造成漏電，同時也為了避免銅與矽基材產生反應，因此在銅鑲嵌之前必須加一阻障層，以避免導線和導線間的漏電。此阻障層必須能夠防止銅的擴散、具有低阻抗、對介電層以及銅膜的附著性良好、及良好的化學機械研磨相容性。在目前已知的材料中，以鈮(Tantalum, Ta) 和氮化鈮(Tantalum Nitride, TaN) 具有最好的銅阻擋能力。第二，阻障層製作完畢之後，必須再製作一層薄、均勻而且連續的種晶層，藉以提高附著力並促進電

鍍時銅的生長。

當積體電路製造進入深次微米時代，銅勢必取代鋁合金，成為金屬內連接導線的主流。然而，銅導線因擴散係數高，會在矽基材中形成深層能階缺陷，使元件電性劣化；加以銅對介電層的附著性差，會嚴重地影響元件的效能。是故需藉由合金化擴散阻障層的研究來克服銅導線先天的缺點；而高附著性、高抑制銅擴散能力及低電阻率的擴散阻障層如：TiN、TaSiN、WN、Ta、TaN 以及新穎的 CoWP 等都是研究的重點。再者，某些金屬擴散阻障層的晶體結構的優選方向(例如： $\langle 111 \rangle$ 、 $\langle 200 \rangle$ 、 $\langle 0002 \rangle$ 等)會直接影響後續沉積銅金屬膜的晶體結構的優選方向(例如： $\langle 111 \rangle$ 、 $\langle 200 \rangle$ 或是二者混合)。因此，探討銅金屬膜與擴散阻障層間的關係是現今最重要的^[68]。

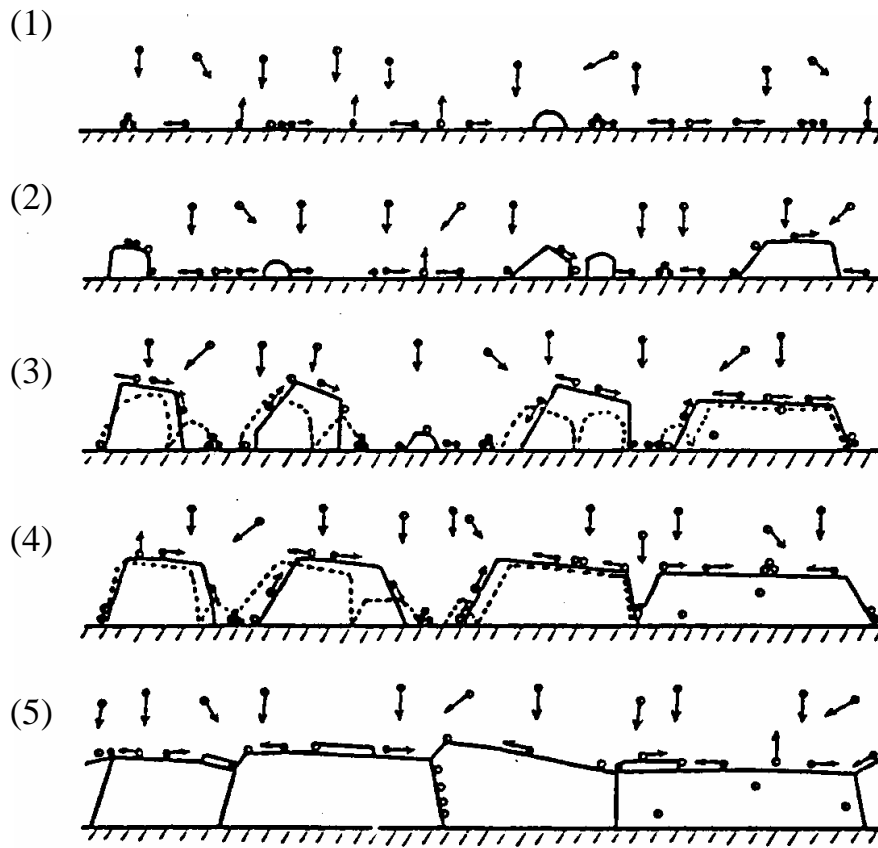


圖 2.1 顯示 5 個薄膜沉積步驟的分解圖。(1) 成核，(2) 晶粒成長，
 (3) 晶粒聚結，(4) 縫道填補，及(5) 沉積膜的成長。

圖示來源: 莊達人, VLSI 製造技術

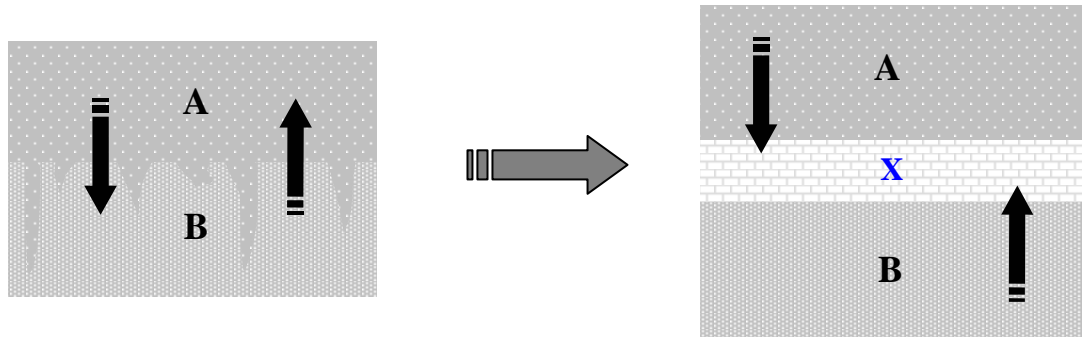


圖 2.2 擴散阻障層(X)置入 A 材料和 B 材料之間之示意圖。



第三章 實驗步驟

3.1 前言

根據文獻^[69]，以 CVD 方式沉積具有柱狀晶結構(Columnar Structure)之鈦擴散阻障層其熱穩定性較非晶質(Amorphous)結構之鈦擴散阻障層還來得差；然而以 CVD 方式沉積非晶質結構之鈦擴散阻障層，雖具備極佳的擴散阻擋能力及熱穩定性，但其電阻率卻比用 PVD 方式沉積之鈦擴散阻障層來得更高許多。

故本文試以 PVD 方式沉積電阻率較低之鈦基擴散阻障層，同時藉由鋁的摻雜，使銅膜表面形成一抗氧化層或與介電材料之附著層。又因氮原子的加入可以改善抗電致遷移的現象，故將會在不同的氮流量下沉積鈦基擴散阻障層。

3.2 試片製程

本實驗採用 4 吋及 6 吋，P-type，(100)方向的矽晶片。

鍍膜前，將晶片以去離子水沖 5 分鐘，接著放入硫酸與雙氧水的混合液(H_2SO_4 900ml + H_2O_2 300ml)，溫度維持在 75~85°C 泡 10 分鐘，以去除表面的有機污染物，再以去離子水沖洗 5 分鐘，去掉上一步驟的

清洗液，接著將晶片置入稀釋過的氫氟酸(HF:H₂O=1:100) 10~15 秒，去除表面的原生氧化層(Native Oxide)，再用去離子水將殘留的氫氟酸清除，最後將晶片取出，以旋乾機將晶片表面的水分去除。本實驗以不同結構的障礙層鍍在矽基材上，矽基材在完成上述清潔步驟後直接放入濺鍍機(Sputter)中鍍膜。

本實驗採用 Ion Tech Microvac450 CB 濺鍍機，不加偏壓，在壓力低於 1×10^{-6} Torr，功率 150 W，氣體總流量 24 sccm，於常溫下濺鍍總厚度為 30 nm 的障礙層，靶材為純度 Ti、Al 各佔 49.999% 的 Ti-Al 靶，(Ar 流量 24 sccm，鍍 Ti-Al；改變 Ar 流量及 N₂ 流量比，鍍 Ti-Al-N)。鍍完擴散障礙層後不破真空，以 Ar 流量 24 sccm，功率 200 W，純度 99.999% 的銅靶接著濺鍍 350 nm 厚的銅膜，以避免障礙層與銅膜的界面接觸大氣而氧化。濺鍍過程中的壓力維持在 7.6×10^{-6} Torr。

接著將試片切成 2 cm x 3 cm，以真空退火爐，在壓力 $\leq 10^{-5}$ Torr 時進行不同溫度，30 分鐘的退火。真空退火爐分為高溫爐與石英封管兩部分，將試片置於石英管內，以機械幫浦，擴散幫浦抽真空，同時將高溫爐升至退火溫度，等到管內壓力低於 1×10^{-5} Torr 時，將石英管移至高溫爐中，試片溫度升到退火溫度時起計時 30 分鐘，再將石英管移開，待其自然冷卻到室溫後，破真空取出試片。退火後的試片將做後續的分析。來比較不同結構的熱穩定性。

3.3 材料分析與量測

3.3.1 X光繞射儀(XRD) — Ti-Al-N的相鑑定：

X光繞射儀(X-ray diffraction—XRD)是以高能量的電子撞擊材料表面來產生X光，不同成分與結構的材料會有其特性的X光光譜。利用實驗所得到的特性光譜與國際性粉末繞射標準委員會(Joint Committee on Powder Diffraction Standards—JCPDS)所建立的粉末繞射資料庫(Powder Diffraction File — PDF)比對，則可得出待測物的成分與結構。本實驗利用XRD來鑑定不同氮流量所濺鍍出的Ti-Al-N之成分結構。

3.3.2 四點探針 — 片電阻(Sheet Resistance)量測：

比較不同的擴散阻障層結構對總電阻值的影響，並比較不同熱處理條件下，各鍍層間的反應所造成的電阻差異。

3.3.3 場發射電子顯微鏡(FE-SEM) — 鍍膜形態觀察：

場發射電子顯微鏡(Field Emission Scanning Electron Microscopy, FE-SEM)是以電場發射原理產生電子，場發射槍為鎢針尖，當施加一負偏壓於電子槍時，強大的電場會集中在針尖，藉此游離電子，再將游離的電子聚焦，用電子束撞擊材料表面，以偵測二次或背向散射電子。SEM主要是用來查看物質表面的影像(Topography)，解析度可達15Å。本實驗使用Hitachi S4000場發射電子顯微鏡，加速電壓20 kV來觀察鍍膜的均勻性及銅膜表面的反應物。

3.3.4 歐傑電子能譜儀(AES) — 鍍膜縱深分析

歐傑電子能譜儀(Auger Electron Spectroscopy-AES)分析技術是利用一電子束(2~30 keV)照射在試片表面，以激發帶有特性動能的 Auger 電子，藉著量測 Auger 電子的動能，來判斷試片表面的元素成分或化學態。由於低能電子(1~3 keV)在固態材料的平均自由路徑(Inelastic Mean Free Path)很短(5~20 Å)，故 AES 檢測的深度大致上在 50 Å 以內。當電子束直徑很小時，SAM(Scanning Auger Microscope)技術可得表面成分之 Auger 影像。如果利用離子束濺射試片表面，並檢測產生之新表面的 Auger 訊號，便可得到試片自表面到內部的成分縱深分佈(Depth Profile)，因此適合分析薄膜。本實驗以 FISIONS Microlab 310F 的 Auger 電子能譜儀，入射能量 10 kV，濺射槍為 3 keV 的 Ar，來做鍍膜縱深分析。比較各種結構在不同的退火溫度下，各鍍層成份的擴散與分佈。

3.3.5 二次離子質譜儀(SIMS) — 量測銅在矽中的含量：

二次離子質譜儀(Secondary Ion Mass Spectrometry, SIMS)是以離子束撞擊材料表面，以偵測二次離子，可作縱深分析，其靈敏度(Detection Limit)高達 $10^{12} \sim 10^{16}$ at/cm³，常用來偵測半導體材料的污染源。本實驗以 CAMECA IMS-5F 的二次離子質譜儀，離子源為 12.5 kV 的氧離子(O₂⁺)來量測銅在基材中的含量，用以判定銅是否擴散至二氧

化矽或矽基材中。

3.3.6 穿透式電子顯微鏡(TEM)—觀察界面及銅膜、反應物微結構：

穿透式電子顯微鏡(Transmission Electron Microscopy, TEM)是利用高能量電子撞擊材料，偵測繞射的電子，主要用來觀察材料的結構，其解析度很高，可到個別的原子(2\AA)，對於界面或閘極氧化層(Gate Oxide)的厚度判定非常有用，且可用 mapping 觀察成份分布。TEM 尚可附加電子激發 X 射線光譜儀(Electron Dispersive X-Ray Spectroscopy, EDS)及電子能量損失能譜儀(Electron Energy Loss Spectroscopy, EELS)來鑑定材料的化學組成，後者是偵測在產生內層電子游離化或其他晶體激發的過程中，喪失了一定能量的電子，來做成份分析。

在電子顯微鏡的試片製作方面，由於 TEM 分析的是穿透過試片的電子束，所以試片的厚度必須小於 1000\AA ，且試片的直徑僅為 3 mm ，欲得到如此薄的試片，可借助於超薄切割機或離子減薄機。

本實驗採用的橫載面試片製作的步驟如下：

1. 將試片切成 $2\text{ mm} \times 3\text{ mm}$ 的大小。
2. 以三明治的夾法用樹脂接著劑(G1 Epoxy)將試片夾緊待乾。
3. 待接著劑完全硬化後，再依次以 400、1200、2400、4000 號的砂紙將試片研磨至 $20\ \mu\text{m}$ 以下，再以化學溶液拋光至近鏡面。

4. 將直徑 3.05 mm 的鉬環黏著於試片上，鉬環中空部份圈住欲觀察的界面處。
5. 以離子減薄機(Gatan Model 600 Dual Mill)將試片在能量 5 keV、電流 10 mA 的氬的離子束下減薄至薄區出現。

本實驗使用的機台為 JEOL 2000FX STEM 及 JEOL 2010F FEGTEM，以橫載面穿透電子顯微術(XTEM)，輔以 EDS 及 EELS 來判定各層成分，進行各層膜厚的量測。並觀察銅的晶粒大小(Grain Size)，界面及表面反應物，且以繞射圖形(Diffraction Pattern)來分析反應物的微結構。本實驗的實驗流程圖可參考圖 3.1。



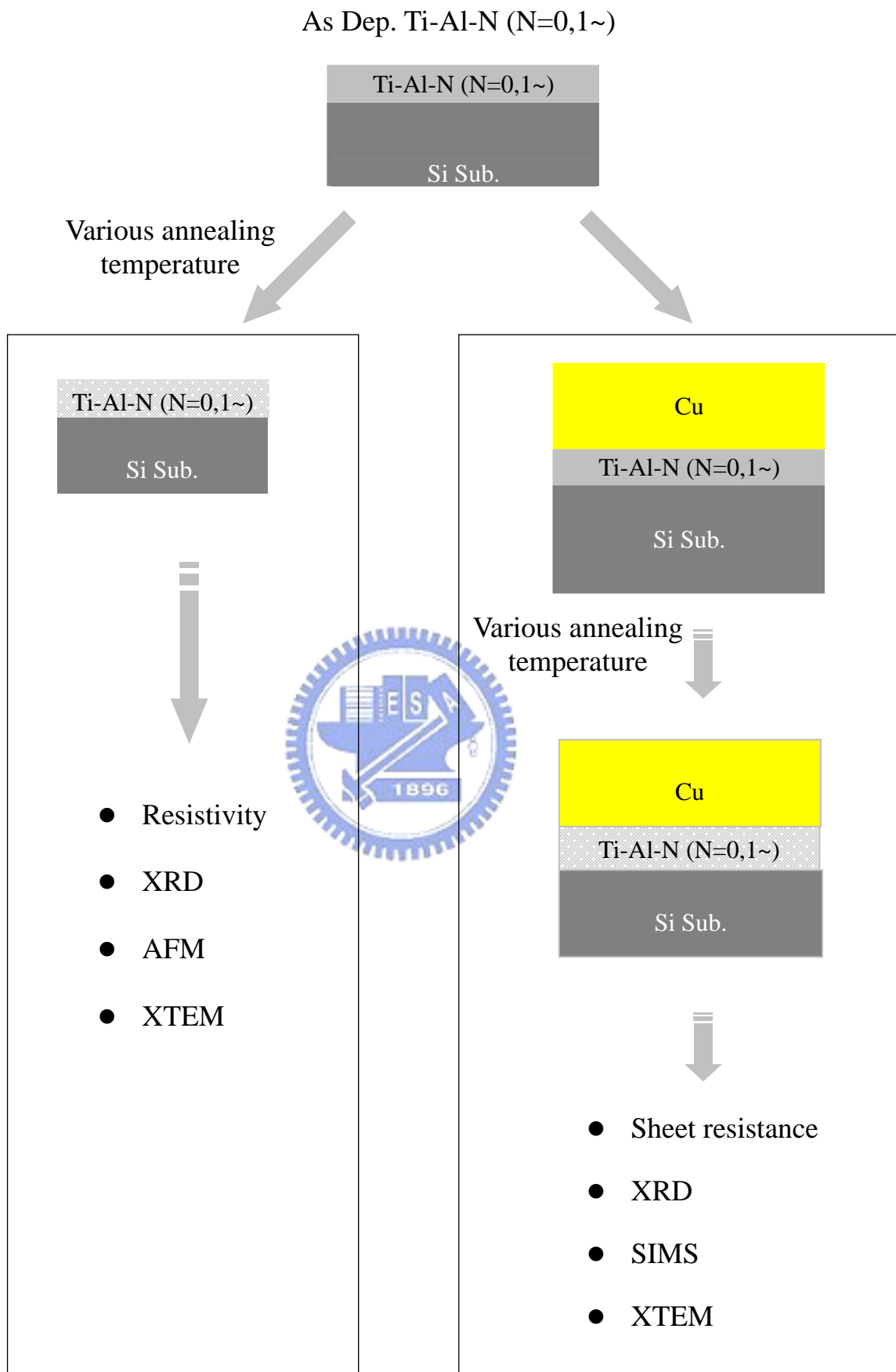


圖 3.1、實驗流程圖

第四章 結果與討論

4.1 氮流量對 Ti-Al-N 薄膜特性的影響

根據以往研究顯示隨著氮氣流量的增大，其沉積速率相對地減小。這是由於在濺鍍過程中其壓力保持固定，因此氮氣流量增大導致氬氣(Ar)流量相對地減少，而使得濺擊產額(Sputtering Yield)下降。圖 4.1 所示為不同氮流量比的 Ti-Al-N 薄膜之一系列 X 光繞射圖譜。沉積在(100)矽晶圓之 Ti-Al-N($N_2=1$ sccm)為具有(111)及(200)優選方向(Preferred Orientation)的六方最密堆積結構(hcp Structure)的 Ti-Al-N。當氮流量增加至 2 sccm 時，Ti-Al-N 的(111)優選方向(Preferred Orientation)有明顯的轉強，此顯示隨氮流量增加有益於 Ti-Al-N 薄膜的(111)優選方向的成長。此時，Ti-Al-N 薄膜的(111)及(200)繞射峰強度比接近 1:1，由此得知氮流量增加至 2 sccm 時 Ti-Al-N 薄膜是以明顯的多結晶相存在。且隨著氮流量增大至 3 sccm 時，其繞射圖譜會再度轉變，Ti-Al-N 薄膜會具有(111)結晶面方向存在，且存在大角度(8°)的繞射峰，Ti-Al-N(200)特徵波峰消失，(111)成為優選方向，而隨著氮流量增大，其繞射峰越趨平緩且半高寬越寬，顯示 Ti-Al-N 越趨於非晶質結構。

由成核成長理論可知，欲形成穩定的結晶核，成核自由能必須越過臨界核的能障，也就是當不穩定的晶核聚集分子的數目，或不穩定

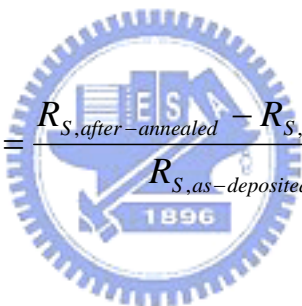
核彼此結合達到臨界晶粒的數目時，始能有機會形成穩定的結晶核，否則不穩定的核將崩潰，或被其他穩定成長的晶粒併吞。因此當反應進行時，若是氮流量較少則成核速度很慢，使得形成穩定結晶核後，晶粒成長成為形成薄膜的主要機制。而當氮流量增加時，反應速率變的較快，成核的數目迅速增加，此時成核速率將遠大於成長速率，所形成的晶粒數目多且尺寸較小，因此成核成為形成薄膜的主要機制。

圖 4.3 為氮流量與 Ti-Al-N 薄膜電阻率的關係圖，由圖中可看出 Ti-Al 薄膜其電阻率約為 $22 \mu \Omega\text{-cm}$ ，而當氮流量稍微增加至 1 sccm，電阻率並無明顯的變化。當氮流量增加至 2 sccm 時，此時為具有明顯 (111) 及 (200) 優選方向的 hcp Ti-Al-N 結構，電阻率會稍微下降至 $20 \mu \Omega\text{-cm}$ ；而持續增加氮流量下，阻值開始劇烈上升，最後至 $63 \mu \Omega\text{-cm}$ ，氮流量為 4 sccm。此結果與一般耐火金屬與氮氣反應後電阻率變化的趨勢是相同的。附帶一提的是，電阻率的急遽上升也暗示了薄膜由原先金屬鍵結(Ti-Al)為多數的結構轉換成共價鍵結的氮化物(Ti-Al-N)為多數的結構。

4.2 氮流量對 Ti-Al-N 薄膜阻障能力的影響

4.2.1 片電阻量測

由於銅金屬與矽在高溫下會形成高阻值的銅矽化合物(Cu_3Si)，因此藉由片電阻(Sheet Resistance)值的變化，我們可以初步的判斷薄膜是否有其化合物的存在。圖 4.4 為不同氮流量所沉積的 Ti-Al-N 阻障層於各種退火溫度下，Cu/Ti-Al-N/Si 之片電阻變化率關係圖。圖中的片電阻變化率是以退火前的薄膜片電阻為基準，而取退火後與退火前的片電阻差值來計算變化率。定義如下：

$$\frac{\Delta R_S}{R_S} \% = \frac{R_{S,after-annealed} - R_{S,as-deposited}}{R_{S,as-deposited}} \times 100\%$$


由圖中可以看出，Cu/Ti-Al/Si結構經 550°C 的高溫退火後，其片電阻值已有明顯的上升，然而其他有通氣的Ti-Al-N阻障層薄膜，所有試片在 550°C 的高溫退火下，其片電阻都沒有明顯的變化，甚至有些微下降的情形，這是因為高溫退火修補薄膜缺陷的作用；但隨退火溫度的上升至 650°C ，Cu/Ti-Al-N(N=1)/Si及Cu/Ti-Al-N(N=2)/Si的片電阻急遽的上升，顯示此結構可能已產生了變化，然而Cu/Ti-Al-N(N=3)/Si的結構經高溫退火至 700°C ，片電阻值並非明顯的變化，此結果代表氮流量的增加可使得阻障能力增加。

4.2.2 XRD分析

藉由X光繞射分析的方法，我們可以得知Cu/Ti-Al/Si及Cu/Ti-Al-N/Si試片經過高溫退火後所生成的化合物。圖4.5與圖4.6分別顯示Cu/Ti-Al/Si與Cu/Ti-Al-N/Si試片在經過不同溫度退火後的XRD頻譜圖。圖4.5顯示Cu/Ti-Al/Si經過550°C的高溫退火後有銅-矽化合物Cu₃Si(320)的結晶相產生，此外經過600°C高溫退火後會有Al₂Ti(111)與Al₃Ti(200)結晶相產生。圖4.6顯示Cu/Ti-Al-N/Si試片經600°C高溫退火後有明顯的TiAlN₂(102)與Al₅Ti₃(321)結晶相產生。隨退火溫度的上升TiAlN₂(102)與Al₅Ti₃(321)結晶性逐漸變強。此外，另一結晶相AlTi₃(200)亦有明顯增強。另外值得一提的是，沉積在Ti-Al-N上的銅膜其Cu(111)與Cu(200)之比值約為4:1，而在Ti-Al上的銅膜其比值卻為3:1，此明顯的顯示沉積在Ti-Al-N上的銅膜比在Ti-Al上的銅膜有較高的(111)之優選方向。而由於Cu(111)結晶相的銅膜其抗電致遷移能力會比其他結晶相的銅膜來的高，因此愈能夠沉積出(111)的優選方向，銅膜的品質會愈佳。

4.2.3 SIMS分析

圖4.7與圖4.8為Cu/Ti-Al/Si及Cu/Ti-Al-N/Si結構下分別經550°C及650°C退火後，經SIMS(二次質譜儀)作完縱深分析的結果。圖4.7經分析後發現Cu原子已明顯擴散至Si底材，此結果與XRD與片電阻量測的結

果相符合。然而，圖4.8相對於Cu/Ti-Al-N/Si結構經650°C退火後發現Cu並無擴散至Si底材，此代表Ti-Al-N(N=3)具有較佳的擴散阻擋能力。

4.2.4 XTEM分析

圖4.9與圖4.10為Cu/Ti-Al/Si及Cu/Ti-Al-N/Si結構下分別經550°C及650°C退火後，以穿透式電子顯微鏡(Transmission Electron Microscopy, TEM)觀察Cu/Ti-Al/Si及Cu/Ti-Al-N/Si結構界面擴散情形。圖4.9為Cu/Ti-Al/Si結構經550°C退火後，Cu原子已完全擴散至Ti-Al擴散阻障層，並有三元的Cu-Ti-Al化合物形成。由此得知Ti-Al擴散阻障層與銅膜是屬於彼此互溶的擴散阻障層。而Ti-Al及Cu-Ti-Al化合層的形成是使得阻值升高產生的主因。圖4.10為Cu/Ti-Al-N/Si結構下分別經550°C及650°C退火後以穿透式電子顯微鏡觀察的結果。銅膜及Ti-Al-N擴散阻障層及Si底材界面很明顯且並無Ti-Al及Cu-Ti-Al化合層的形成。由此得知氮與Ti-Al擴散阻障層結合形成之Ti-Al-N，可以有效提高Ti-Al-N擴散阻障層阻擋銅原子擴散的能力。

第五章 結論與未來研究方向

5.1 結論

Ti-Al擴散阻障層及與氮氣反應的Ti-Al-N擴散阻障層薄膜，經研究發現Ti-Al薄膜具較低的電阻值。隨氮含量的增加會形成Ti-Al-N擴散阻障層薄膜使得電阻值上升，此一現象是因為更多數的氮原子存在於晶界當中。依本研究結果顯示，氮化效應致使具氮含量的Ti-Al-N擴散阻障層具較佳的擴散阻障層特性，此乃因氮氣細晶化及填塞效應，阻礙銅原子的擴散發生之故；具多晶結構的Ti-Al-N擴散阻障層，其抵抗銅原子擴散能力增加。

比較得知，當氮氣流量為3 sccm時所沉積之Ti-Al-N擴散阻障層，其抵抗銅擴散的失效溫度比沒有通入氮氣的Ti-Al薄膜高150°C；而Cu/Ti-Al-N(N₂=3 sccm)/Si試片，在經700°C的高溫退火破壞考驗後，並沒有發生明顯之銅原子擴散破壞情形。經氮含量由0 sccm到3 sccm的增加，擴散阻障層Ti-Al-N由六方最密堆積(hcp Structure)的結構，趨於非晶質結構特性的改良，更大幅提高了Ti-Al-N的失效溫度及熱穩定性。其次，此非晶質結構之Ti-Al-N擴散阻障層，因同時具有<111>的優選方向，能誘使後續沉積之銅膜具有最緻密(111)的結構，可有效提高銅金屬導線對電致遷移的阻抗能力。

5.2 未來研究方向

在第一章時曾提到，鋁材在歷經 400°C 以上的製程溫度時，與矽表面會有相互擴散的情況發生，故在鋁與矽接觸的地方會形成所謂的突穿現象；要解決此一現象，可以在鋁導線中加入適量的矽，使鋁對矽的固態溶解度飽和，就可以減少突穿現象發生的機率。在本論文中，利用鋁的摻雜加強銅膜的抗氧化性及擴散阻擋能力，對銅金屬導線製程具有正面的幫助。而加入的鋁金屬與矽底材間的擴散作用，也是不能忽略的，但因本文最主要是找出對銅原子具有最佳擴散阻擋能力的薄膜，因此鋁與矽之間的相互關係也有待進一步之研究。

第二，擴散阻障層材料的選擇必須符合許多要求；其中，銅膜與介電層或矽底材之附著性也是個相當重要的參數。金屬導線必然的多層化發展，在鍍上第一層銅膜後，將還會有後續的化學機械研磨，介電層沉積、金屬沉積和熱處理製程；另外，利用不同方式所沉積出來的介電層薄膜或金屬薄膜也會有不同的應力表現。故在不斷的昇溫及降溫的熱循環中，由溫度所產生疲勞會使得原本熱膨脹係數或應力就不盡相同的各層材料增加了剝離的機會，對於薄膜的結構及電性的可靠度會有相當大的影響。本文中原欲藉由鋁與銅的反應生成鋁銅基合金，以鍵結力較強的金屬鍵取代離子鍵，直接提升擴散阻障層與金屬薄膜的附著性；但至目前為止，並無有效方法可直接證實銅膜與Ti-Al-N

的附著性增加與否。因此，擴散阻障層與介電層或矽底材之附著性的探討和驗證也須再加以證實。



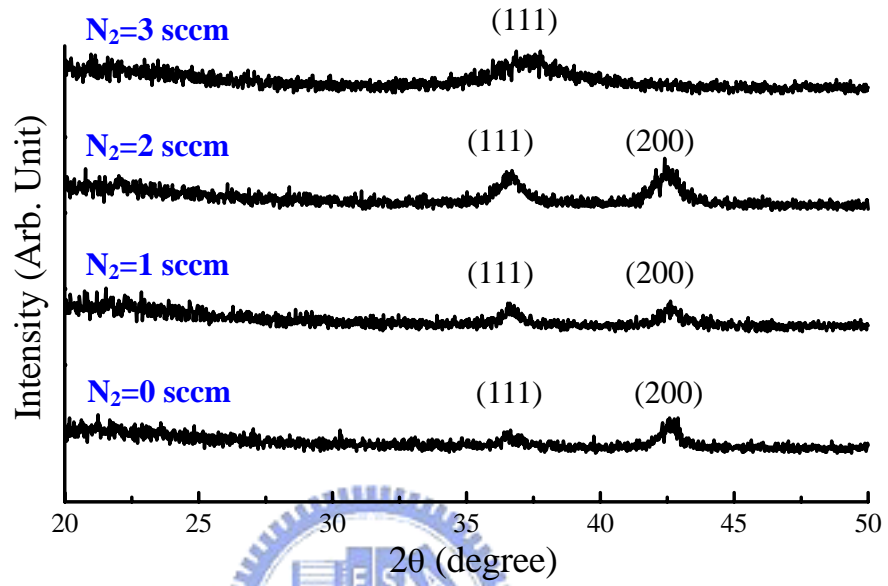


圖 4.1 不同氮流量下所沉積的 Ti-Al-N 薄膜經 X 光繞射分析結果。

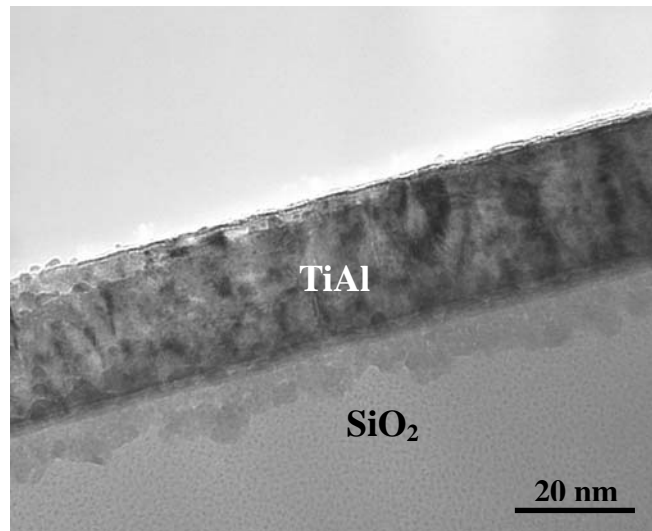


圖 4.2 氮流量為零所沉積的 Ti-Al 薄膜經穿透式電子顯微鏡觀察分析的結果。

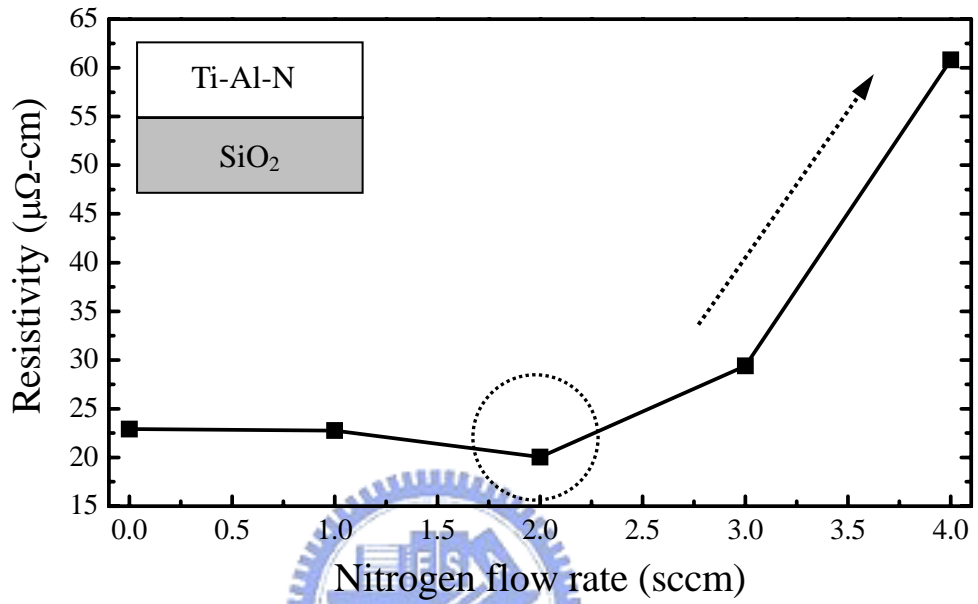


圖 4.3 不同氮流量下所沈積的 Ti-Al-N 薄膜隨電阻率變化的情形。

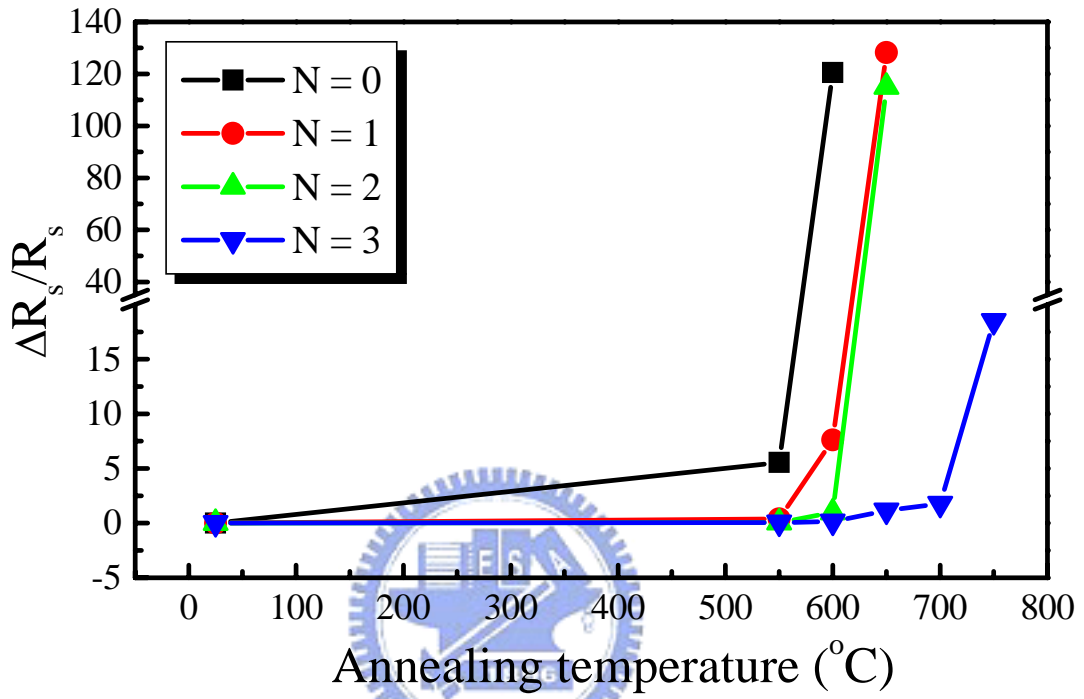


圖 4.4 Cu/Ti-Al-N/Si 結構經不同溫度退火後片電阻率變化的情形。

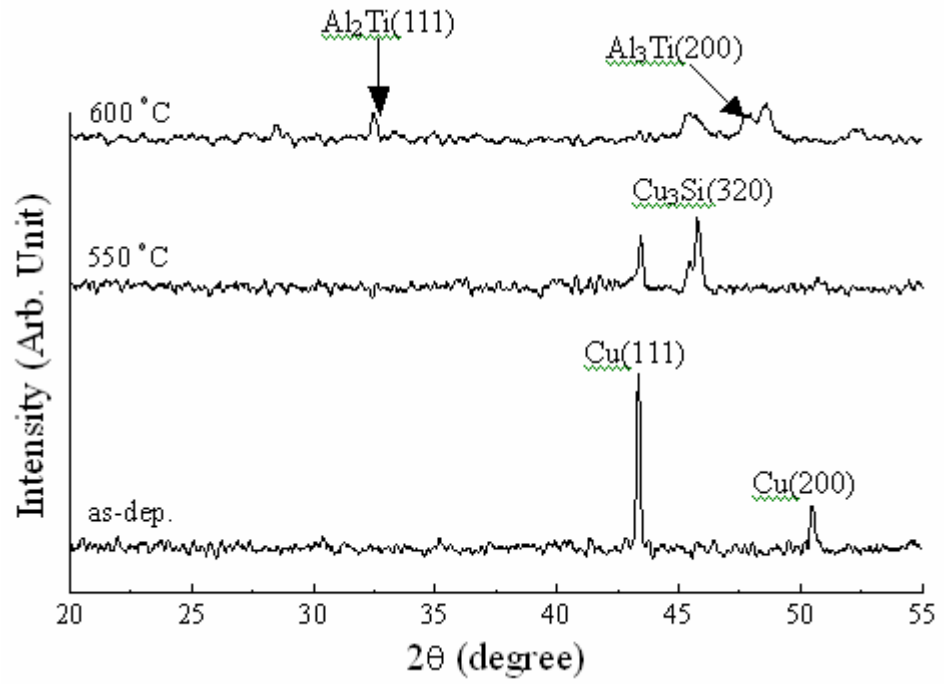


圖 4.5 Cu/Ti-Al/Si 經不同退火溫度一小時退火後的 XRD 繞射圖。

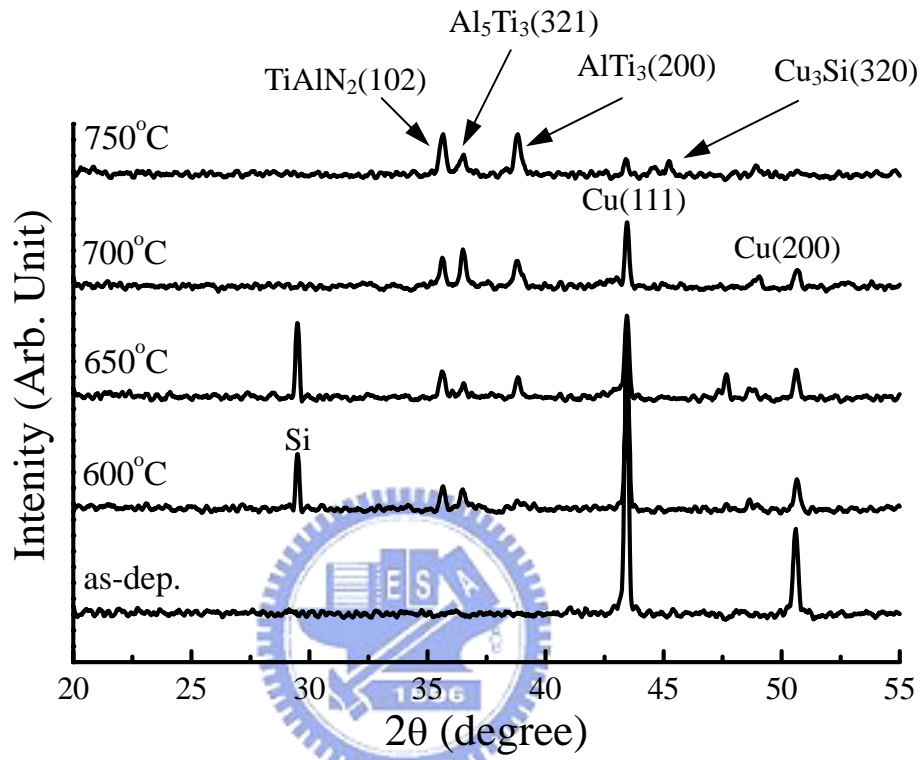


圖 4.6 Cu/Ti-Al-N/Si 經不同退火溫度一小時退火後的 XRD 繞射圖。

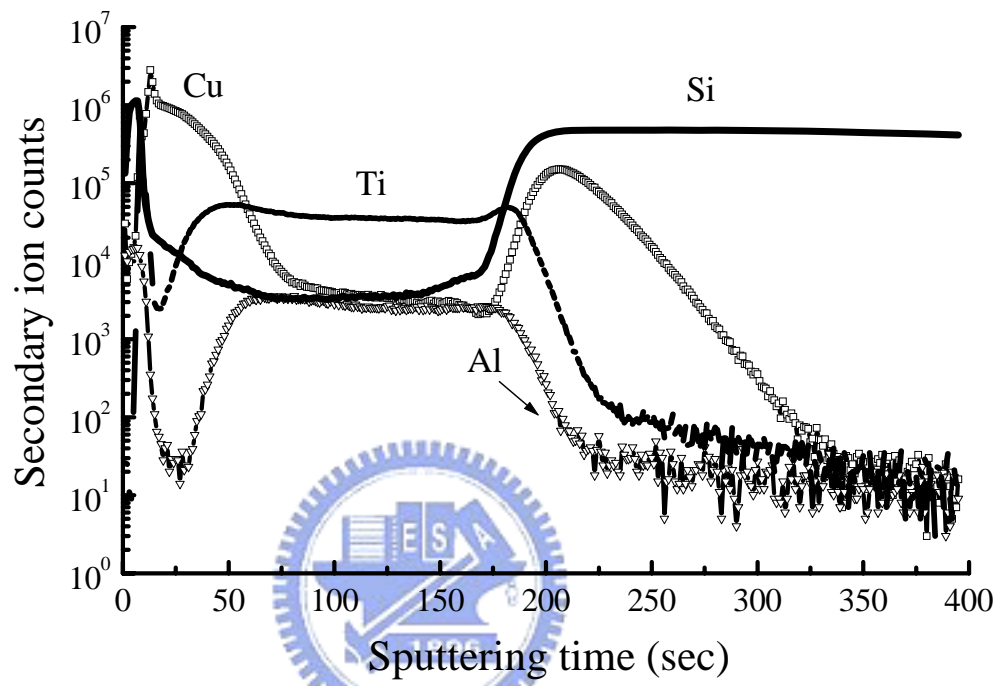


圖 4.7 Cu/Ti-Al/Si 經 550°C 下退火 30 min 後的 SIMS 縱深分佈圖。

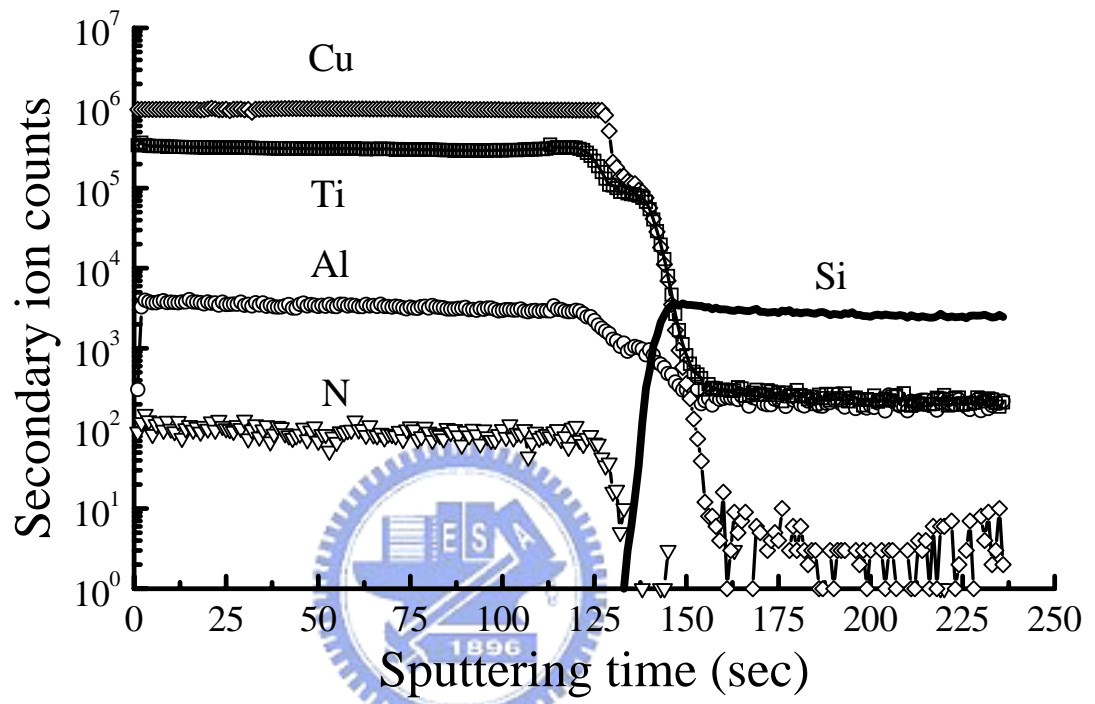


圖 4.8 Cu/Ti-Al-N/Si 經 650°C 下退火 30 min 後的 SIMS 縱深分佈圖。

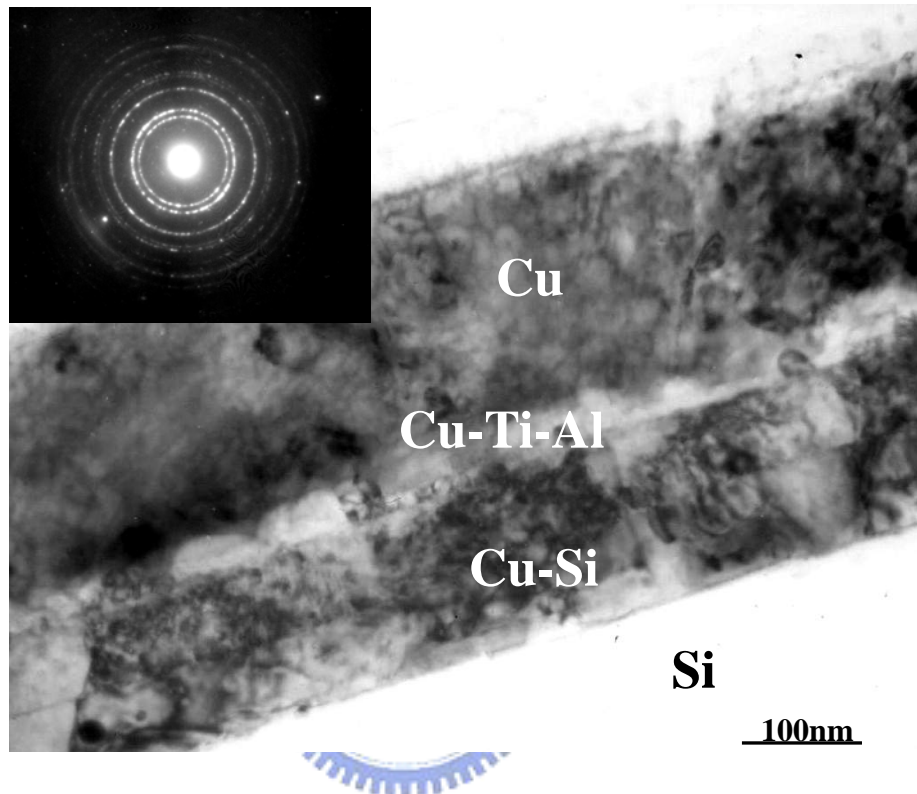


圖 4.9 Cu/Ti-Al/Si 經 550°C 下退火 30 min 後的 TEM 影像。

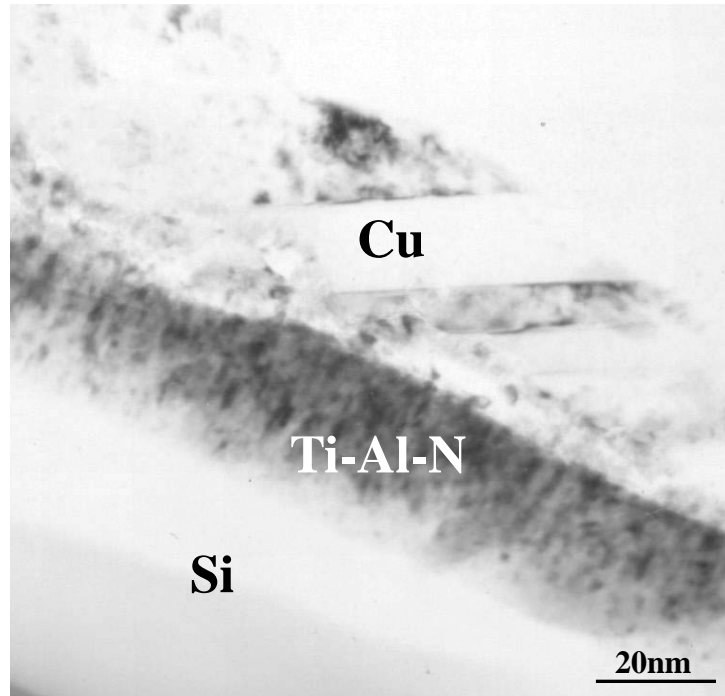


圖 4.10 Cu/Ti-Al-N/Si 經 650°C 下退火 30 min 後的 TEM 影像。

參考文獻

- [1] Shyam P. Murarka, "Multilevel interconnections for ULSI and GSI era", Materials Science and Engineering, R19, 1997, pp. 87-151.
- [2] M. M. Moslehi, A.P. Lino, T. Omsted, "Ultralarge Scale Integrated Metallization and Interconnects", J. Vac. Sci. Technology. A17 (4), 1999, pp. 1893-1897.
- [3] S. P. Murarka and Steven W. Hymes, "Copper Metallization for ULSI and Beyond", Critical Reviews in Solid State and Materials Sciences, 20(2), 1995, pp. 87-124.
- [4] 莊達人, VLSI 製造技術, 五版, 台北, 高立圖書有限公司, 民國九十一年。
- [5] 陳錦山, 黃獻慶, 鄭亦冠, 「泛談銅內連接導線與低 k 介電層製程與特性」, 真空科技, 第十二卷第二期, 27-33 頁, 民國八十八年七月。
- [6] S. Vaidya, T. T. Sheng, A. K. Sinha, "Linewidth Dependence of Electromigration in Evaporated Al-0.5% Cu.", Appl. Phys. Lett., 36(6), 15 March 1980.
- [7] R. L. Jackson, E. Broadbent, and T. Cacouris, "Processing and Integration of Copper Interconnects", Solid State Technology, March 1998.
- [8] Y.T. Kim, C.H. Jun, D.Y. Kim, "Barrier Properties of TiN/TiSi₂ Bilayers Formed Two-Step Rapid Thermal Conversion Process for Cu Diffusion Barrier", Thin Solid Films, Vo.347, 1999, pp. 214-219.
- [9] D. Pierce, J. Educato, V. Rana, and D. Yost, "Wafer Level Electromigration Applied to Advanced Copper/Low-k Dielectric Process Sequence Integration", IEEE IRW Final Report, 1998, pp. 10-15.
- [10] S. Bothra, B. Rogers, M. Kellam, C.M. Osburn, "Analysis of the Effects of Scaling on Interconnect Delay in ULSI Circuits", IEEE Transactions On

Electron Devices, Vol. 40, No. 3, March 1993.

- [11] T. Sakurai, Member, "Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's", IEEE Transactions On Electron Devices, Vol. 40, No. 1, January 1993.
- [12] C.K. Hu, B. Luther, F.B. Kaufman, J. Hummel, C. Uzoh, D.J. Pearson, "Copper Interconnection Integration and Reliability", Thin Solid Films, 262 (1995), pp. 84-92.
- [13] S.W. Russell, S.A. Rafalski, R.L. Spreitzer, J. Li, M. Moinpour, F. Moghadam, T.L. Alford, "Enhanced adhesion of copper to dielectrics via titanium and chromium additions and sacrificial reactions", Thin Solid Films, 262 (1995), pp. 154-167.
- [14] Y.S. Diamand, A. Dedhia, D. Hoffstetter, and W.G. Oldham, "Copper Transport in Thermal SiO₂", J. Electrochem. Soc., Vol. 140, No. 8, August 1993, pp. 2427-2432.
- [15] X.W. Lin, and D. Pramanik, "Future Interconnection Technologies and Copper Metallization", Solid State Technology, October 1998, pp. 63-79.
- [16] F. Braud, J. Torres, J. Palleau, J.L. Mermet, C. Marcadal, E. Richard, "Ultra Thin Diffusion Barriers for Cu Interconnections at The Gigabit Generation and Beyond", Microelectronic Engineering, 33 (1997), pp. 293-300.
- [17] C. Ryu, K.W. Kwon, A.L.S. Loke, H. Lee, T. Nogami, V.M. Dubin, R.A. Kavari, G.W. Ray, and S.S. Wong, "Microstructure and Reliability of Copper Interconnects", IEEE Trans. Elec. Device, Vol. 46, No. 6, June 1999, pp. 1113-1119.
- [18] D.S. Gardner, J. Onuki, K. Kudoo, Y. Misawa, Q.T. Vu, "Encapsulated copper interconnection devices using sidewall barriers", Thin Solid Films, 262 (1995),

pp. 104-119.

- [19] G. Raghavan, C. Chiang, P.B. Anders, S.M. Tzeng, R. Villasol, G. Bai, M. Bohr, D.B. Fraser, "Diffusion of copper through dielectric films under bias temperature stress", Thin Solid Films, 262 (1995), pp. 168-176.
- [20] A. Misra, M. F. Hundley, D. Hristova, H. Kung, T. E. Mitchell, M. Nastasi, and J. D. Embury, "Electrical Resistivity of Sputtered Cu/Cr Multilayered Thin Films", J. Applied Physics, Vol. 85, No. 1, January 1999, pp. 302-309.
- [21] L. C. Lane, T. C. Nason, G. R. Yang, T. M. Lu, H. Bakhru, "Secondary Ion Mass Spectrometry Study of the Thermal Stability of Cu/ Refractory Metal/ Si Structures", J. Appl. Phys., 69 (9), 1 May 1991..
- [22] T. Nogami, J. Romero, V. Dubin, D. Brown, E. Adem, "Characterization of the Cu/Barrier Metal Interface for Copper," IEEE, IITC, pp. 98-298.
- [23] H. Ono, T. Nakano, T. Ohta, "Diffusion Barrier Effects of Transition Metals for Cu/M/Si Multilayers (M=Cr, Ti, Nb, Mo, Ta, W)", Appl. Phys. Lett., 64 (12), 21 March 1994.
- [24] C.A. Chang, "Thermal Stability of the Cu/ Ta / PtSi Structures", J. Appl. Phys., 679 (12), 15 June 1990.
- [25] E. Kolawa, J.S. Chen, J.S. Reid, P.J. Pokela, M.A. Nicolet, "Tantalum-based Diffusion Barriers in Si/Cu VLSI Metallizations", J. Appl. Phys., 70 (3), 1 August 1991.
- [26] J.O. Olowolafe, C.J. Mogab, R.B. Gregory, M. Kottke, "Interdiffusions in Cu/ Reactive-ion-sputtered TiN, Cu/ Chemical-vapor-deposited TiN, cu/TaN, and TaN/Cu/TaN Thin-film structures: Low Temperature Diffusion Analyses", J. Appl. Phys., 72 (9), 1 November 1992.
- [27] S.S. Wong, C. Ryu, H. Lee, A.L.S. Loke, K.W. Kwon, S. Bhattacharya, R. Eaton,

- R. Faust, B. Mikkola, J. Mucha, and J. Ormando, "Barrier/Seed Layer Requirements for Copper Interconnects", IEEE, IITC 98, pp. 107-109.
- [28] S. Q. Wang, I. Raaijmakers, B. J. Burrow, S. Redker, K. B. Kim, "Reactively Sputtered TiN as A Diffusion Barrier between Cu and Si", J. Appl. Phys., 68 (10), 15 November 1990.
- [29] Vee S.C. Len, R.E. Hurley, N. McCusker, D.W. McNeill, B.M. Armstrong, H.S. Gamble, "An investigation into the performance of diffusion barrier materials against copper diffusion using metal-oxide-semiconductor (MOS) capacitor structures", Solid-State Electronics 43, 1999, pp. 1045-1049.
- [30] J.C. Chuang, S.L. Tu, and M.C. Chen, "Sputtered Cr and Reactively Sputtered CrN_x Serving as Barrier Layers Against Copper Diffusion", J. Electrochem. Soc., Vol. 145, No. 12, 1998, pp. 4290-4296.
- [31] J.C. Chuang, S.L. Tu, M.C. Chen, "Rapid Thermal Annealed Cr Barrier Against Cu Diffusion", J. Electrochem. Soc., Vol. 146, No. 7, 1999, pp. 2643-2647.
- [32] J.C. Chuang, S.L. Tu, M.C. Chen, "Sputter-Deposited Mo and Reactively Sputter-Deposited Mo-N films as Barrier Layers Against Cu Diffusion", Thin Solid Films, Vol.346, 1999, pp. 299-306.
- [33] H. Wakabayashi, Y. Saito, K. Takeuchi, T. Mogami, and T. Kunio, "A Novel W/TiN_x Metal Gate CMOS Technology using Nitrogen-Concentration-Controlled TiN_x Film", IEEE 1999.
- [34] S.B. Herner, H.M. Zhang, B. Sun, Y. Tanaka, W. Shi, S.X. Yang, R. Lum, K.A. Littau, and A. Saleh, "Fluorine Barrier Properties of Bias-Sputtered Tungsten Films", J. Electrochem. Soc., 147(5), 2000, pp. 1936-1939.
- [35] S.Q. Wang, S. Suthar, C. Hoeflich B.J. Burrow, "Diffusion Barrier Properties of TiW between Si and Cu", J. Appl. Phys. 73 (5), 1 March 1993.

- [36] J.C. Chiou, K.C. Juang, and M.C. Chen, "TiW(N) as Diffusion Barriers Between Cu and Si", J. Electrochem. Soc., Vol. 142, No. 7, July 1997, pp. 2326-2331.
- [37] K.K. Lai, A.W. Mark, Thomas P.H.F. Wendling, P. Jian, B. Hathcock, "Characterization of a PECVD W_xN process using N_2 , H_2 , and WF_6 ", Thin Solid Film, 332 (1998), pp. 329-334.
- [38] M.T. Wang, Y.C. Lin, J.Y. Lee, C.C. Wang, and M.C. Chen, "Thin-Film Properties and Barrier Effectiveness of Chemically Vapor Deposited Amorphous W_{Si_x} Film", J. Electrochem. Soc., Vol. 145, No. 12, Dec. 1998, pp. 4206-4211.
- [39] M.T. Wang, L.J. Chen, and M.C. chen, "Barrier Capabilities of Selective Chemical Vapor Deposited W Films and $WSiN/WSi_x/W$ Stacked Layers Against Cu Diffusion", J. Electrochem. Soc., 146 (2), 1999, pp. 728-734.
- [40] M.Y. Kwak, D.H. Shin, T.W. Kang, K.N. Kim, "Characteristics of TiN barrier layer against Cu diffusion", Thin Solid Films, 339 (1999), pp. 290-293.
- [41] S.H. Kim, D.S. Chung, K.C. Park, K.B. Kim, S.H. MIN, "A Comparative Study of Film Properties of Chemical Vapor Deposited TiN Films as Diffusion Barriers for Cu Metallization", J. Electrochem. Soc., Vol. 146, No. 5, 1999, pp. 1455-1460.
- [42] S. Santucci, P. Giuliani, P. Picozzi, A.R. Phani, M.D. Biase, R. Alfonsetti, G. Moccia, M. Missori, "X-ray reflectivity study on TiN/Ti/Si structures before and after annealing", Thin Solid Films, 360 (2000), pp. 89-95.
- [43] Y.T. Kim, C.H. Jun, D.Y. Kim, "Barrier Properties of TiN/TiSi₂ Bilayers Formed Two-Step Rapid Thermal Conversion Process for Cu Diffusion Barrier", Thin Solid Films, 347 (1999), pp. 214-219.
- [44] S.D. Kim, S.G. Jin, M.R. Hong, and C.T. Kim, "Rapid Thermal Process for Enhancement of Collimated Titanium Nitride Barriers", J. Electrochem. Soc.,

Vol. 144, No. 2, 1997, pp. 664-669.

- [45] J.S. Chen, and J.L. Wang, "Diffusion Barrier Properties of Sputtered TiB₂ Between Cu and Si", J. Electrochem. Soc., Vol. 147 (5), 2000, pp. 1940-1944.
- [46] J.Y. Yun, M.Y. Park, and S.W. Rhee, "Comparison of Tetrakis (dimethylamido) titanium and Tetrakis (diethylamido) titanium as Precursors for Metallorganic Chemical Vapor Deposition of Titanium Nitride", J. Electrochem. Soc., Vol. 146, No. 5, 1999, pp. 1804-1808.
- [47] H.J. Lee, and R. Sinclair, "A Study of the Mechanism of Titanium Nitride Diffusion Barrier", Journal of Applied Physical, Vol. 144, No. 3, 1999, pp. 3096-3103.
- [48] K. Holloway and P. Fryer, "Tantalum as a diffusion barrier between copper and silicon", Appl. Phys. Lett., 57 (17), 1990, pp. 1736-1738.
- [49] E. Kolawam, P.J. Pokela, J.S. Chen and M.A. Nicolet, "Amorphous Ta-Si-N Diffusion Barriers in Si/Al and Si/Cu Metalizations", Applied Surface Science, 53, 1991, pp. 373-376.
- [50] M.S. Angyal, Y.S. Diamand, J.S. Reid, and M.A. Nicolet, "Performance of tantalum-silicon-nitride diffusion barriers between copper and silicon dioxide", Appl. Phys. Lett., 67 (15), 1995, pp. 2152-2154.
- [51] E. Ivanov, "Tantalum Silicide Sputtering Target Material for Amorphous Ta-Si-N Diffusion Barrier for Cu Metallization", IEEE, IITC 98, pp. 256-258.
- [52] J.S. Reid, E. Kolawa, R.P. Ruiz and M.A. Nicolet, "Evaluation of amorphous (Mo, Ta, W)-Si-N diffusion barriers for Cu metallizations", Thin Solid Films, 236 (1993), pp. 319-324.
- [53] M.A. Nicolet, "Ternary Amorphous Metallic Thin Films as Diffusion Barriers for Cu Metallization", Applied Surface Science, 91 (1995), pp. 269-276.

- [54] Y.J. Lee, B.S. Suh, M.S. Kwon, and C.O. Park, "Barrier Properties and Failure Mechanism of Ta-Si-N Thin Films for Cu Interconnection", J. Appl. Phys., Vol. 85, No. 3, 1999, pp. 1927-1934.
- [55] C. Lee and Y.H. Shin, "Ta-Si-N as a diffusion barrier between Cu and Si", Materials Chemistry and Physics, 57 (1998), pp. 17-22.
- [56] E. Ivanov, "Evaluation of tantalum silicide sputtering target materials for amorphous Ta-Si-N diffusion barrier for Cu metallization", Thin Solid Films, 332 (1998), pp. 325-328.
- [57] J.S. Reid, R.Y. Liu, P.M. Smith, R.P. Ruiz, M.A. Nicolet, "W-B-N diffusion barriers for Si/Cu metallizations", Thin Solid Films, 262 (1995), pp. 218-223.
- [58] D.J. Kim, Y.T. Kim, and J.W. Park, "New method to prepare W-B⁺-N ternary barrier to Cu diffusion by implanting BF₂⁺ ions into W-N thin film", J. Vac. Sci. Technol., B 17(4), 1999, pp. 1598-1601.
- [59] J.O. Olowolafe, I. Rau, K.M. Unruh, C.P. Swann, Z. Jawad, and T. Alford, "The Effect of Ta to Si Ratio on Magnetron Sputtered Ta-Si-N Thin Films", J. Electronic Materials, Vol. 28, No. 12, 1999, pp. 1399-1402.
- [60] T. Takewaki, H. Yamada, T. Ohmi, T. Shibata, and T. Nitta, in Proc. Int. Conf. Adv. Microelectronic Devices and Processing, Tohoku University, Sendai, Japan, March 3, 1994, p. 489.
- [61] E. Kolawam, P.J. Pokela, J.S. Reid, J.S. Chen, R.P. Ruiz, M.A. Nicolet, "Sputtered Ta-Si-N Diffusion Barriers in Cu Metallization for Si", IEEE Electron Device Letters, Vol. 12, No. 6, June 1991.
- [62] X. Sun, J.S. Reid, E. Kolawa, and M.A. Nicolet, "Reactively sputtered Ti-Si-N films as Diffusion barriers for Al and Cu metallizations on Si", J. Appl. Phys., 81 (2), 1997, pp. 664-671.

- [63] J.T. No, J.H. O, C. Lee, "Evaluation of Ti-Si-N as a diffusion barrier between copper and silicon", Materials Chemistry and Physics, 63 (2000), pp. 44-49.
- [64] 蕭宏(Hong Xiao)著，半導體製程技術導論，羅正忠、張鼎張譯，台灣培生教育，台北市，二版，中華民國九十一年一月。
- [65] 楊恆傑、鍾鴻欽、劉全璞，「銅製程之擴散阻障層材料的發展與挑戰」，工業材料，177 期，民國九十年九月。
- [66] 吳文發，「銅導線之導體擴散阻障材料」，電子月刊，第八卷第四期，112-120 頁，民國九十一年四月。
- [67] 張鼎張，胡榮治，「金屬化學氣相沉積在積體電路技術的發展」，真空科技，第十二卷第二期，27-33 頁，民國八十八年七月。
- [68] 盧火鐵，微電子材料與製程，初版，324 頁，新竹市，中國材料科學學會，民國八十九年十一月。
- [69] Keng-Liang Ou, Ming-Sun Hsu, Ray-Quen Hsu, Ming-Hong Lin, "Comparative study of polycrystalline Ti, amorphous Ti, and multiamorphous Ti as a barrier film for Cu interconnection", J. Vac. Sci. Technol., B 23(1), 2005, pp. 229-235.