

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

蕭基位障對奈米碳管電晶體與薄膜電晶體之影響

Impact of Schottky Barrier on Carbon Nanotube
FETs and Thin-Film Transistors

研 究 生：李宜澤

指 導 教 授：崔秉鉞 教授

中華民國九十四年七月

蕭基位障對奈米碳管電晶體與薄膜電晶體之影響

**Impact of Schottky Barrier on Carbon Nanotube FETs
and Thin-Film Transistors**

研究生：李宜澤

Student : Yi-Che Lee

指導教授：崔秉鉞

Advisor : Bing-Yue Tsui

國立交通大學

電子工程學系 電子研究所



Submitted to Department of Electronics Engineering & Institute of Electronics

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirement

for the Degree of Master

in

Electronic Engineering

July 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

蕭基位障對奈米碳管電晶體與薄膜電晶體之影響

研究生：李宜澤

指導教授：崔秉鉞

國立交通大學電子工程學系 電子研究所碩士班

摘要

自從奈米碳管於 1998 年被首次製作成奈米碳管電晶體之後，許多相關的研究便如火如荼的進行著。而許多奈米碳管電晶體的相關性質如雙極性電流特性等等也一一被發現。截至今日為止，蕭基位障模型是最普遍被人們所接受用來解釋奈米碳管電晶體之雙極性電流特性之模型。然而，卻只有一些直接證據可以證明奈米碳管電晶體是蕭基位障的元件。

在本論文中，我們提出了一種具有副閘極結構的元件結構，並且利用 ISE TCAD 元件模擬程式來模擬在不同副閘極電壓下的蕭基位障元件之電流特性。從模擬的結果中，我們發現因為蕭基位障會受到閘極電壓壓縮或是增厚，蕭基位障元件之 I_D-V_G 電流特性會出現雙極性的電流特性。而 I_D-V_D 特性則會因為汲極端的蕭基位障在不同的閘極電壓下，會受到汲極電壓的增加而降低位障高度，或是簡少位障厚度始得電流的變化出現完全不同的趨勢。

而當我們在副閘極施加正電壓時，也可以壓抑導帶的蕭基位障，並且增厚價帶的蕭基位障，因而使得電子的導通電流增加，並且減少電洞的導通電流，反之亦然。

實際的電性量測中發現蕭基位障薄膜電晶體與奈米碳管電晶體都可以量測到與模擬結果有相同趨勢的電流特性，而副閘極也可以影響其電流特

性。然而奈米碳管電晶體因為其細微的準一維結構，使得其電流特性受到負閘極電壓的影響比起薄膜電晶體要小的多。

最後，我們將溫度模型引入模擬程式中來探討溫度對於蕭基位障薄膜電晶體與奈米碳管電晶體之作用。實際的量測結果中發現奈米碳管電晶體在不同溫度下的電流特性與模擬結果相符，但是蕭基位障薄膜電晶體會受到通道中的晶界所影響而出現與模擬結果相當大的差距。總而言之，本論文提出了數個直接證據說明奈米碳管電晶體可以視為一個單晶通道的蕭基位障元件。



Impact of Schottky Barrier on Carbon Nanotube FETs and Thin-Film-Transistors

Student: Yi-Che Lee

Advisor: Bing-Yue Tsui

Department of Electronics Engineering
Institute of Electronics
National Chiao Tung University

Abstract

Since the carbon nanotube field-effect transistor (CNTFETs) were proposed in 1998, lots of researches have been performed and many interesting properties have been reported, for example ambipolar behavior. Until now, Schottky barrier model (SB model) is the most accepted model to explain the ambipolar I-V behavior of CNTFETs. However, there are still little direct evidences to prove that the CNTFETs are Schottky barrier devices.

In this work, we proposed a novel device structure with source/drain sub-gates and used ISE TCAD simulation program to reveal the behavior of the Schottky barrier devices with various sub-gate biases. From the simulation results, we found that due to the thickness of Schottky barrier would be thickened or be suppressed by the gate bias, the I_D - V_G behavior of SB devices shows ambipolar characteristic. Besides that, as a result of that the Schottky barrier at drain side is lowered or thinned at different gate bias, the I_D - V_D behavior shows completely different trend as the drain voltage increases.

When we apply positive voltage at sub-gates, the Schottky barrier at conduction band will be suppressed and that at valence band will be thickened.

Therefore, the electron current will increase and the hole current will decrease and vice versa.

Electrical measurement shows that the CNTFETs and TFTs exhibit the same I-V characteristics trend with the simulation results and that the sub-gates could affect the characteristics of both CNTFETs and SBTFTs. However, due to the tiny one-dimensional geometry of CNT, the sub-gates have much less effect on CNTFETs.

Finally, we included temperature model into the simulation program to investigate the temperature effect of SBTFTs and CNTFETs. The measured temperature effect of CNTFETs shows quite good agreement with the simulation results. However, as a result of grain boundary in actual SBTFTs channel, the measured results are quite different from the simulation results.

Conclusively, this work provides several direct evidences to support that the CNTFETs could be treated as SB devices with single crystalline channel.



誌謝

短短兩年碩士生活在一眨眼中飛逝，在這兩年中受到了許多人的幫助與指導，漸漸從一個懵懂的大學生蛻變成一個對半導體技術略知一二的碩士學生，在這個即將離開栽培我許久的環境之前，僅以本文略表我對於他們的感謝。

在其中，首要感謝的是我的指導教授 崔秉鉞老師在各方面的指導。老師在研究與論文上都給予最大的支持與指導，因此才能順利的在短短的兩年中完成這份論文與研究，此外，老師對於學生的照顧與待人處事的圓容更是大大的影響了我的做事方法。

其次要感謝的是同實驗室的林家彬學長，黃誌鋒學長與張志廉學長。三位學長在實驗上提供了許多的寶貴意見，並且不厭其煩的指導我作實驗時的方法與心態，使我的實驗得以順利的完成。還有謝志民學長在電子顯微鏡方面的大力支援，使元件製作過程中遭遇的困難得以迅速解決。

此外，由清華大學蔡春鴻教授所領導的台灣聯合大學系統的奈米碳管研究計劃群以及國家型奈米計劃研究群在奈米碳管的理論與元件的分析上提供了許多寶貴的意見，使我的研究中所發現的許多有趣現象可以得到有力的理論說明，其中特別感謝辛坤瑩學長在元件理論上的研究與討論，特別在此誌謝。

接著要感謝國家奈米元件實驗室與國立交通大學奈米中心提供優良的設備讓我的實驗得以順利完成。其中，對於奈米元件實驗室的陳俊淇學長與范庭璋小姐在微影製程方面的大力支援，使我可以專注於奈米碳管的研究上，而不需要費神控制微影參數。

還有國家高速電腦中心提供 ISE TCAD 元件模擬程式，以及穩定的工作站環境，以我的模擬可以順利的進行並得到相當完美的結果。

除了實驗上的幫助之外，本研究群中的黃祺聰學長，吳偉豪學長，方國龍學長，張修維學長也對我作研究的態度與方法有相當的指導與幫助，還有在一起求學的兩年中與本研究群中的薛聖銘，金立峰，與盧季霈同學互相砥礪向上，也是我求學中的一股動力。而李佳蓉，吳明錡，林孟漢，黃永助等學弟妹則是在實驗與生活中的幫忙，對我也是有相當大的助益。

最後，我要感謝我的父母與兄長，感謝他們在我求學的過程中的大力栽培與默默付出，使我在生活上沒有後顧之憂，而得以順利的完成學業。總而言之，感謝各位在我兩年的碩士生活中的幫忙與指導，再次感謝。

目錄

論文摘要 (中文)	i
論文摘要 (英文)	iii
誌謝.....	v
目錄.....	vi
圖目錄.....	ix

第一章 緒論

1-1 奈米碳管的發現與製作方式.....	1
1-2 奈米碳管的結構與特性.....	2
1-3 奈米碳管在電子元件上的應用	3
1-4 奈米碳管與金屬接觸面之蕭基位障.....	6
1-5 蕭基位障之調變.....	6
1-6 論文結構.....	7

第二章 元件結構與製程步驟

2-1 緒論.....	16
2-2 元件模擬結構與所使用之模型.....	17
2-3 實作樣品之元件結構.....	17
2-4 元件佈局.....	18
2-5 元件製程步驟.....	19
2-6 元件量測.....	22

第三章 常溫電性模擬結果討論

3-1 緒論	29
3-2 電極功函數對薄膜電晶體 I_D-V_G 特性之影響	29
3-3 電極功函數對薄膜電晶體 I_D-V_D 特性之影響	30
3-4 副閘極電壓對薄膜電晶體 I_D-V_G 特性之影響	31
3-5 副閘極電壓對薄膜電晶體 I_D-V_D 特性之影響	32
3-6 源極端副閘極電壓對基板電壓調變電流之影響	32
3-7 小結	33

第四章 常溫元件量測結果與討論

4-1 緒論.....	44
4-2 副閘極結構對電性與製程之影響.....	44
4-3 金屬電極材料對薄膜電晶體與奈米碳管電晶體 I_D-V_G 特性之影響 ..	45
4-4 金屬電極材料對薄膜電晶體與奈米碳管電晶體 I_D-V_D 特性之影響 ..	47
4-5 副閘極電壓對薄膜電晶體與奈米碳管電晶體 I_D-V_G 特性之影響	48
4-6 副閘極電壓對薄膜電晶體與奈米碳管電晶體 I_D-V_D 特性之影響	49
4-7 源極端副閘極電壓對基板電壓調變電流之影響.....	50
4-8 小結	50

第五章 低溫電性模擬結果與討論

5-1 緒論.....	69
5-2 溫度對薄膜電晶體 I_D-V_G 特性之影響	70
5-3 溫度對薄膜電晶體 I_D-V_D 特性之影響	71
5-4 副閘極電壓對薄膜電晶體在不同溫度下之 I_D-V_G 特性之影響	71
5-5 副閘極電壓對於薄膜電晶體在不同溫度下之 I_D-V_D 特性之影響	72

5-6 小結	73
--------------	----

第六章 低溫電性量測結果與討論

6-1 緒論.....	80
6-2 溫度對薄膜電晶體與奈米碳管電晶體 I_D-V_G 特性之影響	80
6-3 溫度對薄膜電晶體與奈米碳管電晶體 I_D-V_D 特性之影響	82
6-4 小結	82

第七章 結論與展望

7-1 結論.....	87
7-2 未來展望.....	88

參考文獻	90
------------	----



圖目錄

第一章

- 圖 1-1 三種奈米碳管成長方式之示意圖。(a)弧光放電法；(b)雷射熱熔法；(c)化學氣相沈積法。
- 圖 1-2 奈米碳管之結構，將片狀結構之石墨捲起，便可成為一管狀之奈米碳管。[13]
- 圖 1-3 奈米碳管之管壁結構示意圖：(a) 單層壁奈米碳管；(b)多層壁奈米碳管；(c) 奈米碳管束。[10]
- 圖 1-4 特徵向量與 (n,m) 關係。
- 圖 1-5 不同的 (n,m) 對有不同的奈米碳管結構。
- 圖 1-6 不同閘極結構之奈米碳管電晶體 (a) 背閘極奈米碳管電晶體之結構[7] (b) 側閘極奈米碳管電晶體之結構[23] (c) 上閘極奈米碳管電晶體之結構[24]。
- 圖 1-7 早期奈米碳管電晶體多半呈現 P-type 特性，必須要施加負的閘極電壓才能使電晶體導通。[7]
- 圖 1-8 將奈米碳管置於真空中進行退火，可以將奈米碳管電晶體由 P-type 特性轉變成 N-type 特性。[29]
- 圖 1-9 利用鉀蒸汽使鉀吸附於奈米碳管上，可以將 P-type 特性之奈米碳管轉並成 N-type 特性。[29]
- 圖 1-10 使用一較高功函數之金屬與奈米碳管接觸時，由於較高的電子蕭基位障，因此會產生 P-type 之特性：(a)正閘極電壓時，電子看到較大蕭基位障，因此無電流傳導 (b) 負閘極電壓時，電洞看到較小的蕭基位障，因此可以穿過蕭基位障，使電晶體導通。[33]
- 圖 1-11 使用功函數位在能隙中央之金屬與奈米碳管接觸時，不論是給予正或負的閘極電壓，載子所看到的蕭基位障皆小，所以可以導通。[33]

第二章

圖 2-1 於源極與汲極下方增加副閘極之奈米碳管電晶體結構。

圖 2-2 模擬所用之薄膜電晶體結構。

圖 2-3 不同副閘極結構之奈米碳管電晶體/薄膜電晶體剖面結構圖：(a) N^+ / P^+ 副閘極 (b)高摻雜之多晶矽副閘極。

圖 2-4 元件之金屬電極與副閘極之佈局圖：(a)設計八個電極與副閘極以增加製作出奈米碳管電晶體之機會(b)將副閘極延伸出金屬電極 $0.1\mu\text{m}$ 寬度以克服微影之對準誤差。

圖 2-5 在元件兩側分別設計接觸窗，經過蝕刻後，製作鋁 Pad 與鋁閘極，即完成元件的製作。

圖 2-6 將元件重複排列以增加晶圓中之元件數目。

圖 2-7 兩種不同副閘極結構之元件製程示意圖。

圖 2-8 利用 SEM 尋找有接觸到金屬電極之奈米碳管。



第三章

圖 3-1 不同電極功函數模擬之薄膜電晶體 I_D-V_G 特性模擬結果。(a)功函數為 4.5eV 之 I_D-V_G 特性模擬結果 (b)功函數為 4.8eV 之 I_D-V_G 特性模擬結果。

圖 3-2 不同金屬電極功函數造成不同的蕭基位障高度：(a)較低的金屬功函數造成電子的蕭基位障較低且較薄以及電洞的蕭基位障較高且較厚，而有較大的電子電流，和較小的電洞電流。(b)較高的金屬功函數造成電子的蕭基位障較高且較厚以及電洞的蕭基位障較低且較薄，而有較小的電子電流，和較大的電洞電流。

圖 3-3 不同金屬電極功函數模擬之薄膜電晶體 I_D-V_D 特性模擬結果。(a)功函數為 4.5eV 之不同閘極電壓下的 I_D-V_D 特性模擬結果 (b)功函數

為 4.8eV 之不同閘極電壓下的 I_D-V_D 特性模擬結果

圖 3-4 不同閘極電壓下，當汲極電壓增加時，電晶體的能帶圖：(a) 閘極施加正電壓時，電流隨著汲極的蕭基位障減少而增加，最後達到飽和 (b) 當汲極電壓很大時，會產生電洞穿隧電流，使得飽和電流再次增加 (c) 當閘極施加負電壓時，汲極電壓的增加會使的電洞穿隧電流隨之增加。

圖 3-5 不同的副閘極電壓對不同的金屬電極功函數之薄膜電晶體之 I_D-V_G 特性模擬結果：(a) 金屬電極功函數為 4.5eV 之薄膜電晶體模擬結果 (b) 金屬電極功函數為 4.8eV 之薄膜電晶體模擬結果。

圖 3-6 當副閘極施加不同電壓時，會造成電子與電洞在金屬與半導體介面上的蕭基位障的厚度改變：(a) 副閘極施加負電壓時，使的電子看到的蕭基位障變厚，但使得電洞看到的蕭基位障變薄。(b) 副閘極施加正電壓時，使的電子看到的蕭基位障變薄，但使得電洞看到的蕭基位障變厚。

圖 3-7 不同的副閘極電壓對不同的金屬電極功函數之薄膜電晶體的 I_D-V_D 特性影響模擬結果：(a) 金屬電極功函數為 4.5eV 之薄膜電晶體模擬結果 (b) 金屬電極功函數為 4.8eV 之薄膜電晶體模擬結果。

圖 3-8 不同的源極端的蕭基位障對於導通電流的影響：(a) 正閘極電壓時，對導通電流有明顯影響 (b) 負閘極電壓時，對導通電流的影響較小。

圖 3-9 不同基板電壓下，源極端副閘極電壓對於導通電流的影響模擬結果：(a) 基板電壓為 2.5V 模擬結果 (b) 基板電壓為 -5V 模擬結果。

第四章

圖 4-1 不同 N^+/P^+ 副閘極電壓對薄膜電晶體之 I_D-V_G 特性之影響量測結果：(a) N^+ 副閘極施加正電壓對於薄膜電晶體之影響。(b) P^+ 副閘極施加

負電壓對薄膜電晶體之影響。

圖 4-2 不同多晶矽副閘極電壓對薄膜電晶體之 I_D - V_G 特性影響量測結果。

圖 4-3 使用不同金屬電極材料之薄膜電晶體之 I_D - V_G 特性量測結果：(a)使用鈦金屬電極之薄膜電晶體 (b)使用鉑金屬電極之薄膜電晶體。

圖 4-4 使用鈦金屬電極之奈米碳管電晶體之 I_D - V_G 特性量測結果：(a)偏向N-type之雙極性特性 (b)偏向P type之雙極性特性。

圖 4-5 使用鉑金屬電極之奈米碳管電晶體之 I_D - V_G 特性量測結果：(a)P-type之 I_D - V_G 特性 (b) N-type之 I_D - V_G 特性。

圖 4-6 使用不同金屬電極材料之薄膜電晶體之 I_D - V_D 特性量測結果：(a)使用鈦金屬電極之薄膜電晶體 (b)使用鉑金屬電極之薄膜電晶體。

圖 4-7 使用不同金屬電極材料之奈米碳管電晶體之 I_D - V_D 特性量測結果：(a)使用鈦金屬電極之奈米碳管電晶體 (b)使用鉑金屬電極之奈米碳管電晶體。

圖 4-8 副閘極電壓對不同金屬電極之薄膜電晶體 I_D - V_G 特性的影響量測結果：(a)鈦金屬電極薄膜電晶體施加不同副閘極電壓之 I_D - V_G 特性(b)鉑金屬電極薄膜電晶體施加不同副閘極電壓之 I_D - V_G 特性。

圖 4-9 副閘極電壓對不同金屬電極之奈米碳管電晶體之 I_D - V_G 特性的影響量測結果：(a)鈦金屬電極奈米碳管電晶體施加 $\pm 5V$ 副閘極電壓之 I_D - V_G 特性(b) 鉑金屬電極奈米碳管電晶體施加 $\pm 5V$ 副閘極電壓之 I_D - V_G 特性。

圖 4-10 使用不同厚度與寬度的多晶矽通道來模擬通道的大小對於副閘極的影響力的影響。(a)厚 50nm 寬 $1 \mu m$ 之多晶矽通道(b)厚與寬都是 1nm 之多晶矽通道。

圖 4-11 當 50nm 之多晶矽通道下方之副閘極施加 0V 與 5V 時，通道中的

電位分佈。(a)副閘極為 0V 時的電位分佈(b) 副閘極為-5V 時的電位分佈。

圖 4-12 當 1nm 之多晶矽通道下方之副閘極施加 0V 與 5V 時,通道中的電位分佈。(a)副閘極為 0V 時的電位分佈(b) 副閘極為-5V 時的電位分佈。

圖 4-13 當施加極性相反的閘極與副閘極電壓時,會產生通道-通道穿隧 (Band to Band tunneling) 之現象。

圖 4-14 鈦金屬電極薄膜電晶體在不同閘極電壓下,副閘極電壓對其 I_D-V_D 特性之影響量測結果:(a)閘極施加正電壓(b)閘極施加負電壓。

圖 4-15 鈦金屬電極之奈米碳管電晶體在不同閘極電壓下,副閘極電壓對其 I_D-V_D 特性之影響量測結果:(a)閘極施加正電壓(b)閘極施加負電壓。

圖 4-16 不同基板電壓下,源極端副閘極電壓對於薄膜電晶體導通電流的影響:(a)基板電壓為 20V (b) 基板電壓為-20V。

圖 4-17 不同基板電壓下,源極端副閘極電壓對於奈米碳管電晶體導通電流的影響:(a)基板電壓為 15V (b) 基板電壓為-20V。

第五章

圖 5-1 蕭基位障能帶圖[39]。

圖 5-2 金屬電極功函數為 4.5eV 之薄膜電晶體在不同溫度下之 I_D-V_G 特性模擬結果。

圖 5-3 金屬電極功函數為 4.5eV 之薄膜電晶體在不同溫度下之 I_D-V_D 特性模擬結果:(a)正閘極電壓之 I_D-V_D 特性 (b)負閘極電壓之 I_D-V_D 特性。

圖 5-4 不同副閘極電壓下,電極功函數為 4.5eV 之薄膜電晶體在不同溫度下的 I_D-V_G 特性模擬結果:(a)副閘極施加正電壓 (b)副閘極施加負

電壓。

圖 5-5 不同副閘極電壓下，薄膜電晶體在正閘極偏壓時的不同溫度之 I_D-V_D 模擬結果：(a)副閘極施加正電壓之 I_D-V_D 特性 (b) 副閘極施加負電壓之 I_D-V_D 特性。

圖 5-6 不同副閘極電壓下，薄膜電晶體在正閘極偏壓時的不同溫度之 I_D-V_D 模擬結果：(a)副閘極施加正電壓之 I_D-V_D 特性 (b) 副閘極施加負電壓之 I_D-V_D 特性。

第六章

圖 6-1 鈦金屬電極薄膜電晶體在不同溫度下之 I_D-V_G 特性量測結果。

圖 6-2 鈦金屬電極奈米碳管電晶體在不同溫度下的 I_D-V_G 特性量測結果。

圖 6-3 晶界上的缺陷會造成晶界處出現位障[42]。

圖 6-4 多晶矽的電阻率會隨著溫度的下降而逐漸增加[43]。

圖 6-5 不同閘極電壓下，溫度對鈦金屬電極薄膜電晶體之 I_D-V_D 特性的影響量測結果 (a)正閘極電壓下的 I_D-V_D 特性 (b)負閘極電壓下的 I_D-V_D 特性。

圖 6-6 不同閘極電壓下，溫度對碳管電晶體之 I_D-V_D 特性的影響量測結果 (a)正閘極電壓下的 I_D-V_D 特性 (b)負閘極電壓下的 I_D-V_D 特性。

第一章

緒論

1-1 奈米碳管的發現與製作方式

從 1991 年時，日本飯島澄男博士(S. Iijima)經由穿隧式電子顯微鏡(TEM)發現奈米碳管結構(Carbon nanotube, CNT)開始[1]，在過去的十幾年間，經過各種的實驗發現：奈米碳管除了其奈米尺度的大小外，還具有相當高的機械強度[2,3]、高導熱度[4]、高負載電流密度[5,6]等等相當優異的物理特性。此外，對於某些特殊原子排列方式組成的奈米碳管，還具有可以作為近代電子開關元件的電場調變效應[7,8]，由於以上種種的優越特性，使得奈米碳管成為相當受到看好的下一代電子元件材料。

而若是要將奈米碳管應用於工業上，需要相當有效的方法加以生產奈米碳管，目前用來生產奈米碳管的方式主要有三種：弧光放電法(Arc discharge)[9]、雷射熱融法(Laser ablation)[10]、以及化學氣相沈積法(Chemical vapor deposition)[11]（如圖 1-1）。

弧光放電法是在腔體中以高電流流過兩石墨電極，透過放電時產生的高溫電漿將石墨電極上的碳原子氣化後，讓碳原子自行重新組合成管狀結構而形成奈米碳管。

雷射熱融法是使用雷射光束打在溫度約 1200°C 並且摻有少量鈷(Co)或鎳(Ni)等觸媒金屬的石墨靶材上，利用高能量的雷射激發靶材上的碳原子，使其自行組合成管狀結構，形成奈米碳管。

化學氣相沈積法則是在高溫或是電漿腔體中，置入覆有鈷(Co)或是鎳(Ni)等等觸媒金屬的基板，並且通入含有碳原子的氣體（如甲烷，乙炔），利用

高溫或是電漿使氣體分解出碳原子，當碳原子溶入觸媒金屬後，使觸媒中的碳原子濃度超過飽和濃度時，碳原子便會以管狀結構析出，而形成奈米碳管。

在上面的三個方法中，弧光放電法與雷射熱融法可以製做出純度較高的碳管粉末，甚至可以製作出單層管壁的奈米碳管，但是其產量少、成本高，且不易與目前的半導體製程整合，因此僅用在前瞻性的奈米碳管研究。而化學氣相沈積法除了可以大量生產外，也可以與目前的半導體製程相整合，且具有定位定向成長的特性，可以有效的控制碳管的位置，但是其所成長出來的碳管的直徑，長度，純度均仍有相當的困難有待克服。

1-2 奈米碳管的結構與特性

奈米碳管是由碳原子以 sp^2 鍵結成一管狀結構，其外型類似將石墨之片狀結構加以捲曲而成（如圖 1-2）[12,13]，因此，在計算碳管的理論模型時，大多採用與石墨相同的分子結構加以計算，然後再另外考慮捲曲所帶來的能階變化。

當碳原子僅形成一層管壁時，此類奈米碳管稱之為單層壁奈米碳管（Single Wall Carbon Nanotube, SWNT）（如圖 1-3(a)）[9]此類碳管因為只有單一層碳管壁，因此直徑多半在 1~2 奈米之間。

當碳原子形成多個同軸之碳管壁時，此類奈米碳管稱之為多層壁奈米碳管（Multi-Wall Carbon Nanotube, MWNT）（如圖 1-3(b)）[9]此類多層壁奈米碳管由於有多層管壁，因此其直徑會隨著管壁層數的不同而由數奈米到數百奈米不等。

此外，由於奈米碳管直徑小，且重量輕，因此當許多奈米碳管放置在一起時，容易因為凡德瓦力（Van Der Waals force）之作用而彼此吸附形成奈米碳管束（Nanotube rope/Nanotube bundle）（如圖 1-3(c)）[10]。

由於奈米碳管是一個奈米尺度之管狀結構，因此電子於其中運動時，僅能沿著軸心方向運動，因此實際上奈米碳管中的電子之動量 \vec{k} 並不能如石墨結構中有兩個維度，而僅能隨著碳管軸心方向而固定在單一的方向，因此可以先利用石墨之分子結構套用物理模型計算出石墨在 sp^2 鍵結之片狀結構時的能量-動量圖 ($E-\vec{k}$ diagram)，再利用碳管之軸心方向，進而確定奈米碳管之 $E-\vec{k}$ 關係，而得到半導體與導體兩種完全不同的奈米碳管之理論結果。

因此，可以在石墨之片狀結構中，定義特徵向量 (Chiral Vector) $C_h = na_1 + ma_2 = (n, m)$ (如圖 1-4) 為與碳管之軸向垂直之向量 [12]，其中 n, m 為整數。經由計算可以知道：當 $n-m$ 為3的倍數時，其以此特徵向量為垂直軸心方向之奈米碳管的 $E-\vec{k}$ 關係中的能隙相當小，因此可以視為金屬性質之奈米碳管。而以其他特徵向量為其軸心方向之碳管則有較大之能隙，因此是半導體性質之奈米碳管。

此外，由於以不同特徵向量為垂直軸心方向的奈米碳管其外觀也會有所不同，因此以 $(n, 0)$ 特徵向量為垂直軸心方向之奈米碳管稱之為 Zigzag 奈米碳管。以 (n, n) 特徵向量為垂直軸心方向之奈米碳管則稱之為 armchair 奈米碳管。其它則稱之為 Chiral 奈米碳管(如圖 1-5)[12]。

除了理論上的 $E-\vec{k}$ 關係造成之能隙外，實驗與理論計算上也發現奈米碳管的能隙與其直徑也有成反比之關係[12,14]。當奈米碳管的直徑愈大時，其能隙也會隨之減小。因此，一般的多層壁奈米碳管因為其外層之碳管壁多在數十奈米以上，導致其能隙多半小於 0.1eV 以下。所以多層壁奈米碳管大多顯示金屬性質，而無法當作一般半導體使用在電子開關元件上。

1-3 奈米碳管在電子元件上的應用

金屬性質的奈米碳管在實驗中發現其電流負載密度可以到達 $10 \mu A/nm^2$

的數量級程度，與傳統的金屬導線之電流負載密度約 $10\text{nA}/\text{nm}^2$ 相比，是相當大的優勢[15]。因為在傳統的製程微縮的同時，電路中的導線寬度也會隨之下降，因此造成導線的電阻增加及電流減小，進而嚴重影響電路的速度。使用如金屬性質奈米碳管般高電流負載的材料去取代傳統的金屬導線將可以有有效的改善這個問題[16]。

此外，奈米碳管是由整齊的碳原子鏈結所組成，因此具有相當良好的抵抗電致遷移（Electron migration）的能力[17]，以及良好的熱傳導能力，可以有有效的傳出電路中所產生之熱量[4]。因此金屬性質的奈米碳管目前主要的應用目標是磁性的碳管研究[18]，掃描探針顯微鏡的探針[19]，奈米碳管場發射顯示器[20]，或是取代傳統電路中的金屬導線與金屬栓（Plug）[21,22]。

半導體性質的奈米碳管則可以與傳統的半導體材料一般，透過電場的調變改變其本身的阻抗，而可以製作成如傳統的場效應電晶體特性的奈米碳管電晶體（CNT field effect transistor, CNTFET）[7,8]。

目前的奈米碳管電晶體主要結構有三種：背閘極（Back gate）奈米碳管電晶體，側閘極（Side gate）奈米碳管電晶體，與上閘極（Top gate）奈米碳管電晶體。

這三種奈米碳管電晶體的主要差異在於其閘極的製作方式。背閘極奈米碳管電晶體的結構（如圖 1-6(a)）[7]，主要是使用基板（substrate）當作閘極，並施加電壓產生電場去空乏（deplete）或是累積（accumulate）絕緣層上的奈米碳管中的電子或電洞，進而改變奈米碳管的阻抗。由於背閘極結構使用整片基板作為閘極，因此結構簡單，容易製作。但是由於整片基板都是施加相同電壓，所以無法同時對不同的奈米碳管施加不同的閘極電壓，因此不能用來製作邏輯電路。側閘極奈米碳管電晶體的結構（如圖 1-6(b)）[23]，則是將閘極獨立成一個靠近奈米碳管的金屬電極，利用此金屬電極所

產生的電場來影響奈米碳管中的載子。側閘極結構改善了背閘極無法分別控制不同的電晶體的缺點，但是因為其閘極是靠微影技術製作，因此閘極與奈米碳管之間距不易縮小，且用來當作絕緣之材料為空氣，因此側閘極奈米碳管電晶體之調變能力不佳。上閘極奈米碳管電晶體是使用類似傳統的 CMOS 電晶體結構（如圖 1-6(c)）[24]，在奈米碳管上覆蓋一層絕緣層，再製作閘極。上閘極結構不但可以單獨控制不同的奈米碳管電晶體，也擁有較佳的奈米碳管調變能力。

除了一般的閘極設計外，有文獻使用電解液取代傳統的電極[25]，或是用高介電常數材料取代傳統的二氧化矽，而得到更好的電晶體特性[26,27]。

較早期所製作的奈米碳管電晶體大多顯示為 P-type 特性(如圖 1-7)[7,24,25,26,27]，但是後來的實驗中發現將奈米碳管電晶體置於高溫的真空腔中進行退火，可以把原先是 P-type 特性的奈米碳管電晶體轉變成 N-type 特性[28,29]。因此推斷可能是奈米碳管在空氣中會吸附氧氣，由於氧分子為一極性分子，所以當吸附在奈米碳管上時，會減少奈米碳管中的電子濃度，因此使奈米碳管電晶體產生 P-type 效果，而當在高溫的真空腔中，吸附在奈米碳管上的氧分子會離開奈米碳管，而使奈米碳管回復到 N-type 的特性(如圖 1-8)。

除了利用高溫真空烘烤的方式使奈米碳管形成 N-type 特性外，也有文獻指出可以利用鉀蒸氣（Potassium Vapor）去摻雜奈米碳管，將奈米碳管置於鉀蒸氣中，使鉀吸附在奈米碳管上。利用鉀容易放出電子的特性，提高奈米碳管中的電子濃度，使其特性由 P-type 轉變成為 N-type(如圖 1-9)[29,30,31]。除了使用鉀蒸氣達成摻雜的效果外，也可以使用其他材料達成增加奈米碳管中的電子濃度的作用[32]。

1-4 奈米碳管與金屬接觸面之蕭基位障

除了上面所提到奈米碳管會因為吸附的雜質而產生不同的特性之外，最近也有文獻認為奈米碳管電晶體的 P-type 特性是因為源極與汲極電極與奈米碳管產生蕭基位障(Schottky barrier)的關係[33,34]。

在奈米碳管電晶體結構中，其汲極與源極大多都是使用鉑 (Pt) 或是鈦 (Ti) 等金屬直接與奈米碳管接觸，其中鉑的功函數(Work function)大約是 5.65eV，而一般半導體性質的奈米碳管之費米能階(Fermi level)大約是 4.5eV 並且具有約 0.6eV 之能隙。因此，當奈米碳管電晶體當閘極施加正電壓時，會在源極與汲極處形成電子的蕭基位障 (如圖 1-10(a))。此蕭基位障會阻止電子穿過源極與汲極界面，且電洞也會受到閘極所產生的位障而無法流過奈米碳管，因此閘極給予正電壓時，奈米碳管電晶體會處於關閉的狀態。反之，當閘極給予負電壓時，電子受到閘極所產生的位障影響，但是電洞卻沒有蕭基位障可以阻擋 (如圖 1-10(b))，因此當閘極給予負電壓時，奈米碳管是呈現導通的狀態。所以使用鉑製作源極與汲極電極的奈米碳管電晶體大多呈現 P-type 之電晶體特性。

若是使用如鈦(Ti)的功函數僅有 4.32eV 等功函數位在奈米碳管能隙中央的金屬製作源極與汲極電極，則由於不論閘極給予正電壓或是負電壓時，都會在源極與汲極產生電子或是電洞的蕭基位障，所以其導通電流會比較小。但是當閘極電壓加大時，其蕭基位障的厚度會隨之變薄，使得載子可透過穿隧效應(Tunneling effect)穿過蕭基位障形成電流 (如圖 1-11)。因此不論是閘極施加正電壓或是負電壓均會使奈米碳管電晶體導通而形成雙極性奈米碳管電晶體 (Ambipolar CNTFET) [33,34,35]。

1-5 蕭基位障之調變

由於蕭基位障對於奈米碳管電晶體的電性有相當重要之影響，因此在目

前缺乏一個有效控制奈米碳管摻雜的方法的情況下，藉由調變奈米碳管電晶體之蕭基位障達到所需之電晶體特性是一個較為可行之方法。

目前調變奈米碳管與金屬接觸面的蕭基位障之方法主要可以分為使用化學物質改變蕭基位障之高度或是使用電場改變蕭基位障之厚度兩種。當化學物質（如： H_2S 或是alkanethiol等等）吸附在金屬電極上時，可以改變金屬之功函數而得到不同位障高度的蕭基位障，進而得到不同的電氣特性[36,37]。

此外，也可以藉由改變接觸面附近電場，進而改變金屬電極接觸附近奈米碳管之位能。當奈米碳管在接觸面上的位能改變時，便可以有效的改變蕭基位障的厚度，而蕭基位障的電流傳導機制中的穿隧電流（Tunneling current）與蕭基位障的厚度成一自然對數的反比關係，因此當蕭基位障受到電場作用而改變其厚度時，便可以具有相當明顯的電流特性改變，甚至決定奈米碳管電晶體的導通與否[34,38]。



1-6 論文結構

本論文主要目的是在於實作一個三閘極之奈米碳管電晶體與薄膜電晶體，利用源極與汲極下方之副閘極（sub-gate）產生電場，調變源極與汲極之蕭基位障。利用不同的電場關係瞭解奈米碳管或是多晶矽與金屬電極之間的蕭基位障對於奈米碳管電晶體與薄膜電晶體的電流傳導特性之影響。

第二章中會說明元件的結構與製作方法，包括元件結構之設計，詳細的元件製程與定位方式以及所使用的儀器設備。

第三章中則是使用 ISE 公司的 TCAD 元件模擬軟體模擬一個三閘極結構的薄膜電晶體在各種偏壓狀況下的電流特性，並且使用能帶圖（Band Diagram）加以解釋。

第四章中則是實際量測利用不同的金屬電極材料製作奈米碳管電晶

體，測量各種偏壓下的電晶體的電流電壓特性，並且與第二章之模擬結果作一比較，討論其中的相同處與差異處。。

第五章則是將 temperature model 引入模擬程式中，對薄膜電晶體進行低溫時，在不同偏壓下的電性模擬，並且由蕭基位障的電流傳導機制以及載子的遷移率來解釋電流對於溫度變化的反應。

第六章將實作出的奈米碳管電晶體與薄膜電晶體置於低溫量測系統中，量測元件在低溫下的電流特性，並與第五章中的模擬結果作比較。第七章是本論文最後的結論與對後續研究之建議



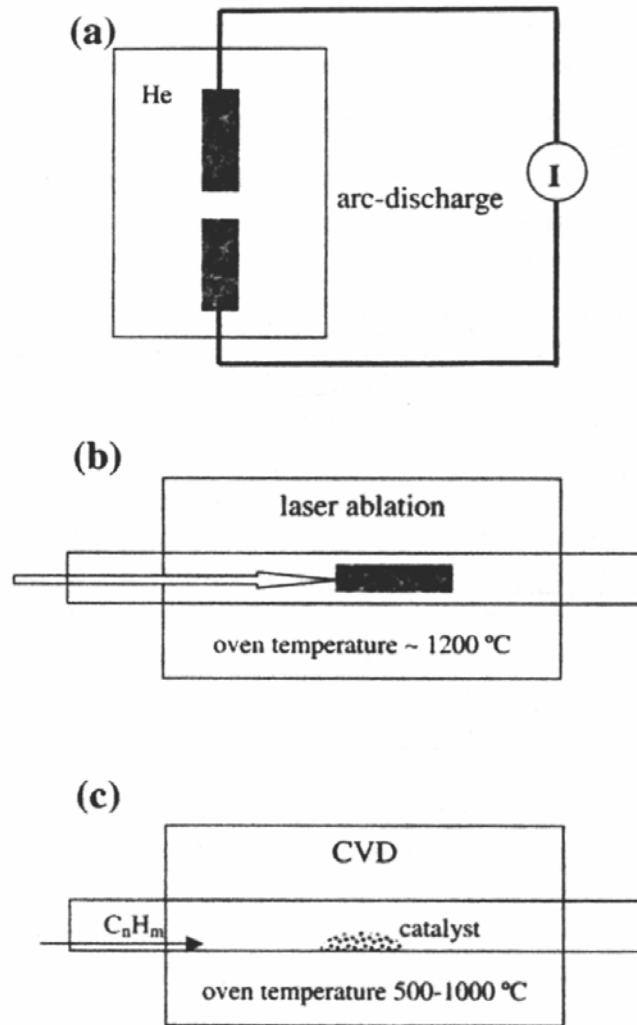


圖1-1 三種奈米碳管成長方式之示意圖。(a)弧光放電法；(b)雷射熱熔法；
 (c)化學氣相沈積法。

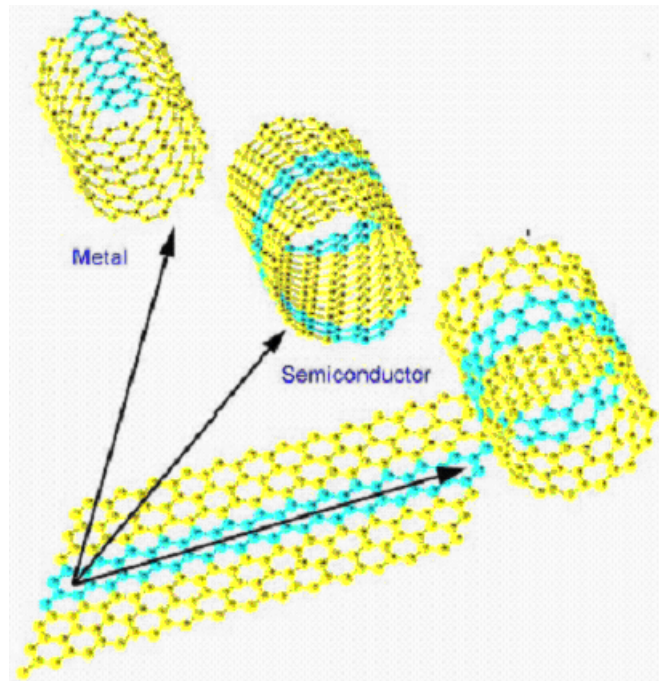


圖1-2 奈米碳管之結構，將片狀結構之石墨捲起，便可成為一管狀之奈米碳管[13]。

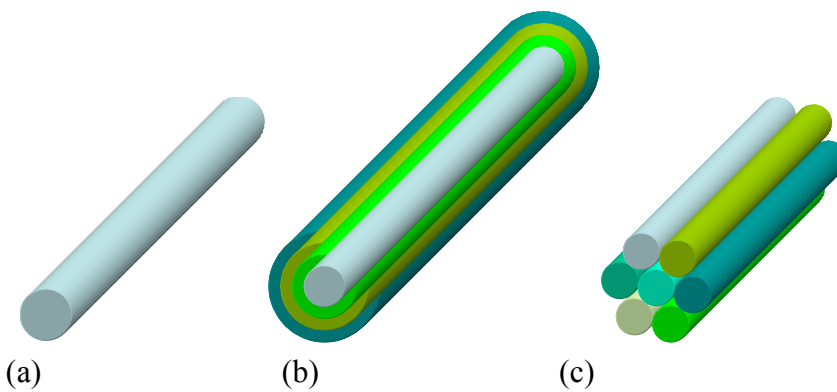


圖1-3 奈米碳管之管壁結構示意圖：(a) 單層壁奈米碳管；(b) 多層壁奈米碳管；(c) 奈米碳管束[10]。

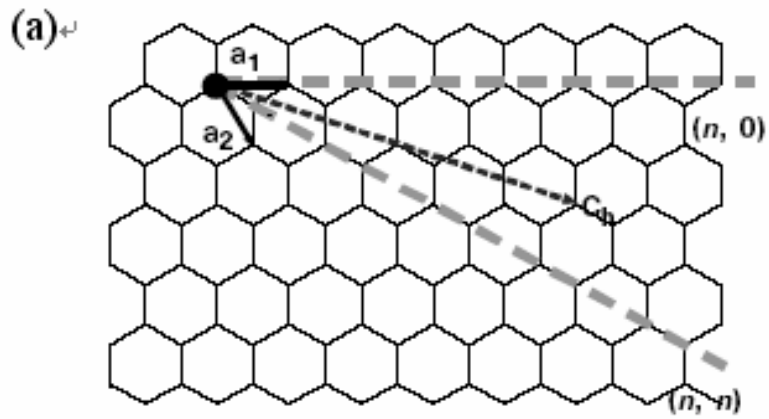


圖1-4 特徵向量與 (n,m) 關係。

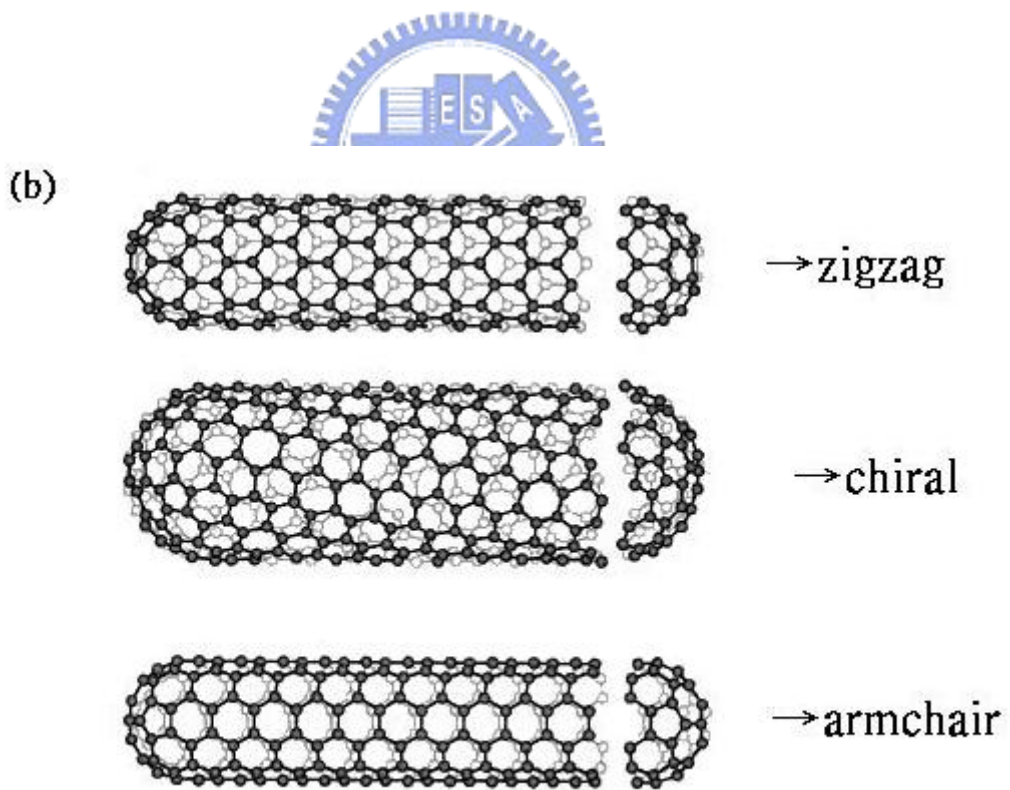
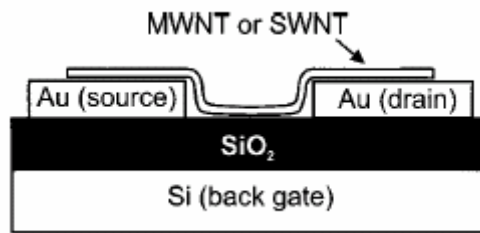
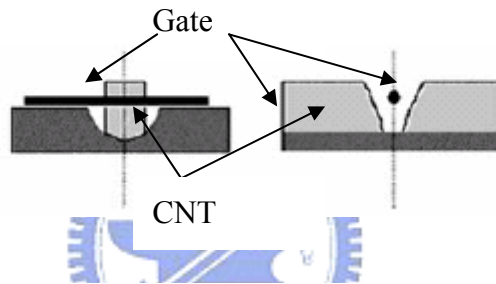


圖1-5 不同的 (n,m) 對有不同的奈米碳管結構。

(a)



(b)



(c)

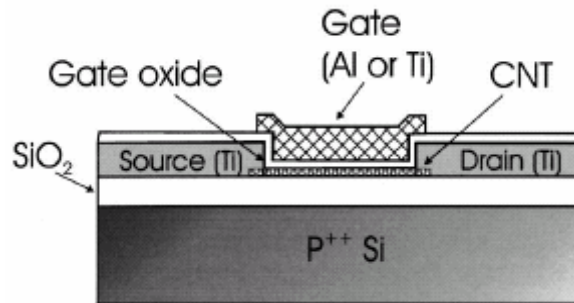


圖 1-6 不同閘極結構之奈米碳管電晶體 (a) 背閘極奈米碳管電晶體之結構 [7] (b) 側閘極奈米碳管電晶體之結構[23] (c) 上閘極奈米碳管電晶體之結構[24]。

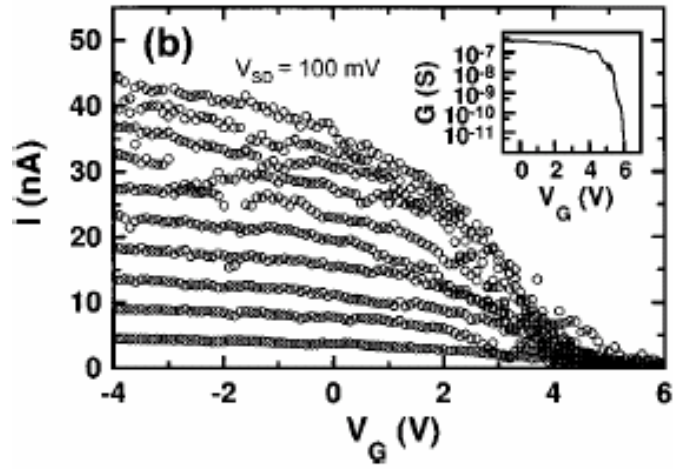


圖 1-7 早期奈米碳管電晶體多半呈現 P-type 特性，必須要施加負的閘極電壓才能使電晶體導通[7]。

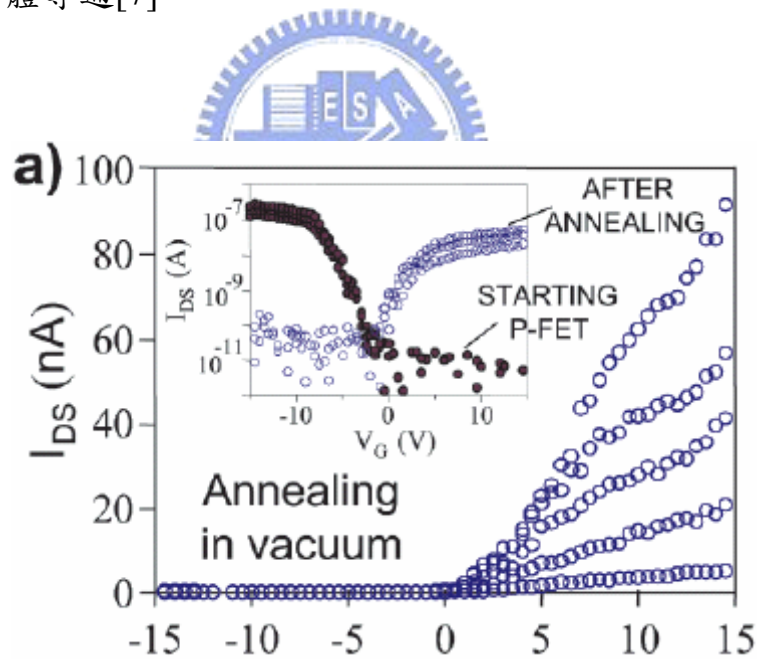


圖 1-8 將奈米碳管置於真空中進行退火，可以將奈米碳管電晶體由 P-type 特性轉變成 N-type 特性[29]。

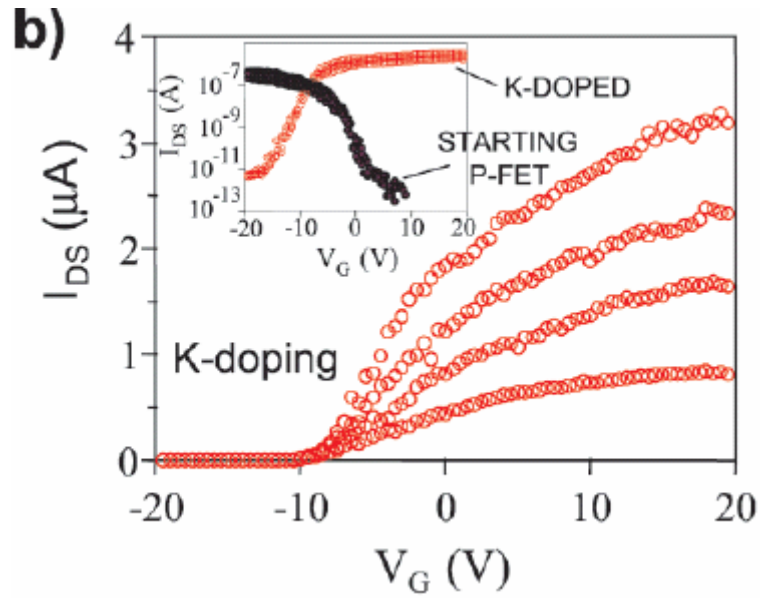


圖 1-9 利用鉀蒸汽使鉀吸附於奈米碳管上，可以將 P-type 特性之奈米碳管轉並成 N-type 特性[29]。

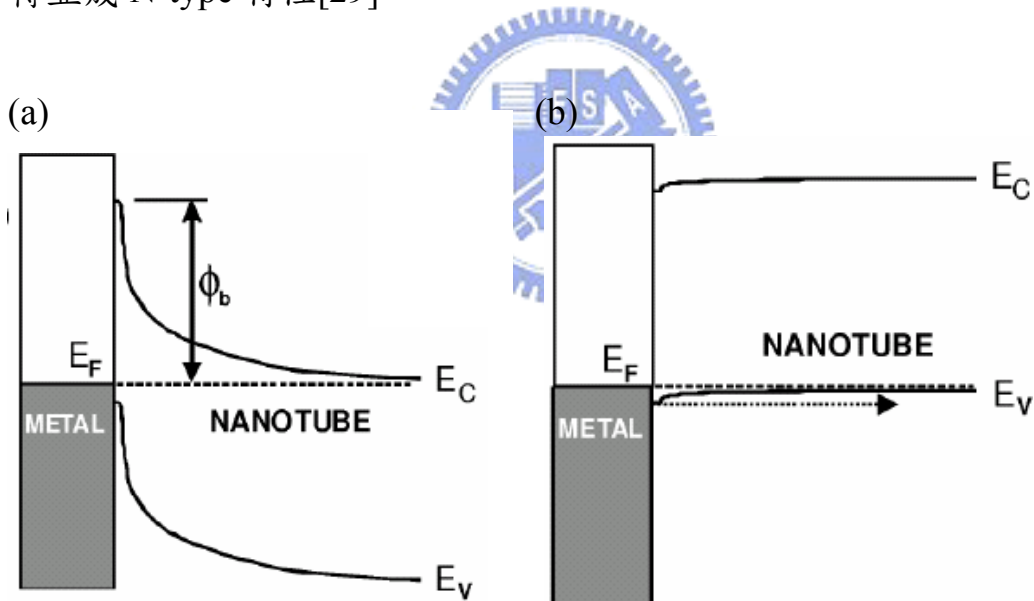


圖 1-10 使用一較高功函數之金屬與奈米碳管接觸時，由於較高的電子蕭基位障，因此會產生 P-type 之特性：(a)正閘極電壓時，電子看到較大蕭基位障，因此無電流傳導 (b) 負閘極電壓時，電洞看到較小的蕭基位障，因此可以穿過蕭基位障，使電晶體導通[33]。

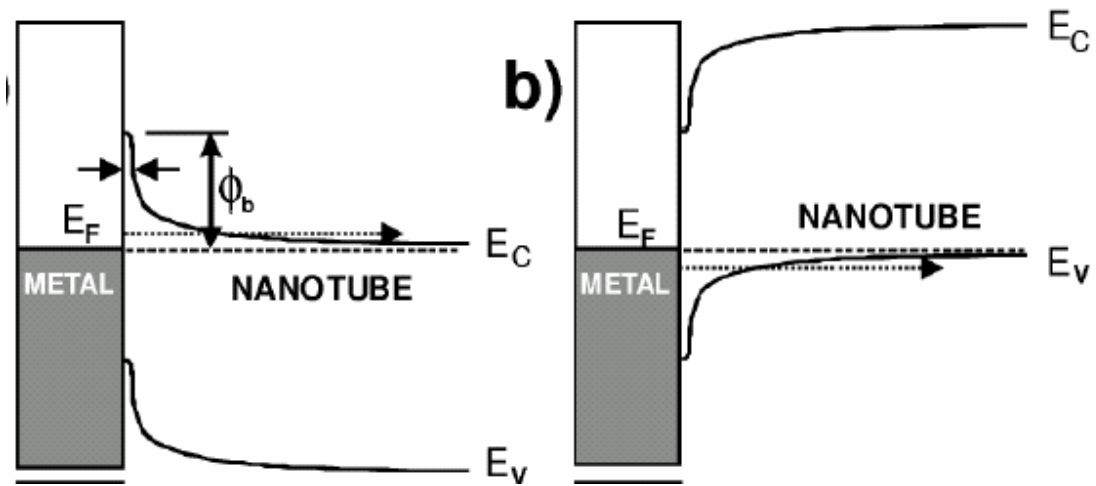


圖 1-11 使用功函數位在能隙中央之金屬與奈米碳管接觸時，不論是給予正或負的閘極電壓，載子所看到的蕭基位障皆小，所以可以導通[33]。



第二章

元件結構與製程步驟

2-1 緒論

在前人對於奈米碳管之研究中，發現奈米碳管電晶體在使用鈦 (Ti) 當作電極材料時，會發現奈米碳管電晶體出現雙極性 (ambipolar) 之電流特性[33,34,35]。因此 IBM 研究人員認為之所以在奈米碳管上會出現雙極性電流特性，是因為奈米碳管與金屬接觸面上之蕭基位障 (Schottky Barrier) 受到背閘極 (back gate) 所產生的電場調變，因而在負閘極電壓下產生電洞穿隧電流，以及正閘極電壓下產生電子穿隧電流，而形成雙極性之電流特性[33,34]。

為了詳細探討奈米碳管與金屬電極之接觸面的性質，是否如同 IBM 所稱之的蕭基位障造成奈米碳管的電流調變，我們將傳統的奈米碳管電晶體結構稍作修改，使用上閘極結構，並且在源極與汲極(Source/Drain)下方各增加一個副閘極 (Sub-gate)，如圖 2-1。利用所增加的兩個副閘極產生局部的電場，進而影響奈米碳管位於源極與汲極處的位能。若是奈米碳管電晶體是蕭基位障造成電流調變，副閘極便可以有效的影響奈米碳管電晶體之電流特性。

而為了確定副閘極所造成之影響是在於源極與汲極處之接觸面，我們將奈米碳管替換成未摻雜之多晶矽薄膜 (Undoped poly silicon film) 並使用相同的電極結構製作出相同結構的多閘極薄膜電晶體。由於多晶矽與金屬接觸面上必定存在有蕭基位障，因此，若多閘極奈米碳管電晶體展現出與多閘極薄膜電晶體相同之電流特性，我們便可以確定奈米碳管電晶體的確

是蕭基位障主控之元件。

2-2 元件模擬結構與所使用之模型

首先我們使用ISE TCAD這套程式進行元件特性之模擬。先使用ISE中的DEVISE程式繪製如圖 2-2 之 2D薄膜電晶體元件結構，元件中之Channel使用 50nm之Silicon薄膜，以及 50nm之SiO₂作為絕緣層。各個電極則是使用宣告在介面上之方式，如此可以簡化元件的格點數，並且可以直接宣告各電極為歐姆接觸或是蕭基界面，以及宣告電極之功函數。

電性模擬則是使用 ISE 中的 DESSIS 程式，並設定計算 Schottky Barrier tunneling current 以及 Thermionic emission current。載子之遷移率 (Mobility) 之模型則是使用 Doping dependant mobility model, High field saturation model 以及 Normal field model。由於計算上發散的問題，Schottky barrier lowering model 並沒有使用在電性的計算中。

而 Schottky barrier tunneling 為了減少計算之負擔，所以在計算時設定了一個穿隧長度作為限制，以簡化計算。

2-3 實作樣品之元件結構

實際上的元件製作，由於目前缺乏有效的奈米碳管定位成長技術，因此我們無法將奈米碳管使用傳統的方式沈積在晶圓上來製作出奈米碳管電晶體。因此，在本實驗中，奈米碳管是採用懸浮於二甲基甲醯胺 (Dimethyl Formamide, DMF) 之有機溶劑中，再以旋塗 (Spin coating) 之方式塗佈在晶圓表面。但是旋塗方式的結果受到晶圓表面粗糙度影響相當大，因此元件的製作上，採用兩種方式製作副閘極：

第一種方式是使用離子佈植方式 (Ion implantation) 在N-type基板上產生P⁺ 區域，或是在P-type 基板上產生N⁺區域作為副閘極，如圖 2-3(a)。這

種方法所製作出的副閘極，不會使得晶圓表面有不平整的區域，因此在旋塗奈米碳管時，不會發生奈米碳管卡在突出的表面的情形，而會有較均勻的分佈。但是由於副閘極是利用離子佈植產生，因此副閘極的電壓必須與基板的電壓維持在逆偏的狀況下，以免所施加於副閘極的電壓擴散到整個元件之基板而影響所要觀測的元件特性。此外，為了觀察副閘極在正電壓與負電壓下的電晶體特性，我們必須同時製作N substrate/P⁺ sub-gate與P substrate/N⁺ sub-gate之元件。

除了使用離子佈植方式製作次電極外，我們另外使用高摻雜的多晶矽 (In-situ doped poly silicon) 來製作副閘極，如圖 2-3(b)。使用摻雜的多晶矽製作的副閘極雖然會造成晶圓表面的高低起伏，但是由於不需要擔心副閘極與基板之間的電壓關係，因此可以在副閘極上施加任意的電壓，也不需要製作不同基板之元件。

除了副閘極結構之改變外，由於奈米碳管或是多晶矽與金屬接觸面上的蕭基位障會受到金屬材料本身的功函數 (Work function) 影響，我們也分別使用鈦 (Ti) 與鉑 (Pt) 作為接觸電極金屬來得到不同的蕭基位障高度。但是鈦在後續的蝕刻製程中無法抵擋 BOE(Buffered Oxide Etchant)之蝕刻，因此在鈦薄膜上增加一層鉑薄膜以抵擋蝕刻。而鉑與二氧化矽之接觸附著力不佳，因此摻入微量的鉭 (Ta) 以增加鉑的附著力。

2-4 元件佈局

由於在本實驗中，奈米碳管是採用旋塗的方式隨機塗佈於晶圓上，為了增加奈米碳管與金屬電極接觸機會，我們在一個元件中設計了八個金屬電極，如圖 2-4(a)。每個金屬電極的下方各設計一個次電極，而由於 i-line stepper 在不同層次光罩之間有對準誤差，因此副閘極的寬度均比金屬電極左右各寬 0.1 μ m，如圖 2-4(b)，避免對準時產生的誤差使副閘極無法影響全

部的金屬電極之接觸面。

由於副閘極與金屬電極位在同一位置上，僅有垂直高度的不同，所以為了將金屬電極與副閘極分別接出，所以我們分別在元件的兩邊設計接觸窗 (Contact hole)，並在蝕刻時增加蝕刻的時間，同時將兩種不同深度的接觸窗挖開後，在製作後續的鋁 Pad 與鋁閘極，完成元件的製作，如圖 2-5。

為了增加晶圓上的元件密度以提高製造出奈米碳管電晶體的機會，我們將五種不同金屬電極間距的元件分別複製 10 次，形成一個晶方 (die)，如圖 2-6。再利用 i-line stepper 之重複曝光的特性，在一片晶圓上得到為數眾多的元件。

2-5 元件製程步驟

本實驗之元件樣品是在國家奈米元件實驗室之 Class 10 與交通大學奈米中心 Class 10000 之無塵室中完成。詳細之元件製程如圖 2-7 所示，並詳細說明如下：

1. 使用 Clean Track 以及 i-line stepper 進行零層光罩曝光。曝光完成後再使用 TEL5000 Oxide etcher 進行零層蝕刻並使用 O-Zone asher 與硫酸清洗去除剩餘光阻。
2.
 - a. 若是要製作 N^+/P^+ 副閘極樣品，則使用 Clean track 以及 i-line stepper 進行 N^+/P^+ 副閘極光罩曝光。曝光完成後，使用離子佈植機對 N substrate 進行能量 90keV 劑量 $1e14$ 之 BF_2^+ 離子佈植，或是對 P substrate 進行能量 100keV 劑量 $1e14$ 之 As^- 之離子佈植。離子佈植完成後，使用 O-zone asher 與硫酸清洗去除光阻，再用 Wetbench 進行 STD clean process，清洗完成後，送入 Oxide RTA 進行 $1000^\circ C$ 10sec 之退火，進而將雜質活化，形成摻雜之

N^+ 或是 P^+ 副閘極，如圖 2-7 (a)右圖。

b. 若是要製作多晶矽副閘極樣品，則將晶圓經過 STD clean process 後，送入垂直爐管 (Vertical Furnace) 中進行 100nm 二氧化矽薄膜沈積以及 50nm 之摻雜多晶矽 (in-situ doped poly silicon) 薄膜沈積。沈積完成後，使用 Clean track 以及 i-line stepper 進行多晶矽副閘極光罩曝光。曝光完成後，送入 TCP-9400 poly-Si etcher 中進行多晶矽之蝕刻，蝕刻完成後，送入 O-zone asher 與硫酸清洗去除光阻，即完成多晶矽副閘極之製作，如圖 2-7(a)左圖。

3. 使用 RCA clean process 清洗完成副閘極的晶圓，再將晶圓送入 LPCVD 爐管中進行 30nm 之 TEOS oxide 沈積，形成副閘極之閘極氧化層，如圖 2-7(b)。

4.

a. 若是要製作成奈米碳管電晶體之樣品，則先使用 1mg 奈米碳管與 40ml 之二甲基甲醯胺溶液比例泡好，並且經過 24 小時超音波震盪。之後再將震盪好的奈米碳管溶液酌量滴在晶圓上，並且先用 500rpm 轉速旋轉 30sec 將溶液分佈在晶圓上，再用 4000rpm 之高速旋轉 1 分鐘，將溶液旋乾，留下附著於晶圓表面之碳管。

b. 若是要製作薄膜電晶體之樣品，則先將晶圓再次經過 RCA clean process 清潔後，送入 LPCVD 爐管中沈積不含雜質之多晶矽約 60nm。多晶矽沈積完成之後，在利用 Clean Track 與 i-line stepper 進行 Channel 之曝光。曝光完成後再使用 TCP-9400 poly-Si etcher 進行多晶矽之蝕刻，形成一個長條狀之多晶矽通道 (Poly silicon channel)。

5. 當完成奈米碳管之塗佈或是多晶矽之蝕刻之後，我們利用 Clean

Track 與 i-line stepper 進行金屬電極光罩之曝光。曝光完成後，將樣品送入 Helix sputter 中進行金屬電極之沈積。

a. 若是要沈積鈦金屬電極，則在 4.5mTorr 之 Ar 氣壓下使用 sputter 之 DC gun 承載鈦(Ti)金屬靶並使用 0.4 安培的定電流點起電漿，而 RF gun 則用以承載鉑(Pt)金屬靶，並用 100W 的定功率方式點起電漿。最後利用 sputter 機台之 shutter 之開關使 DC gun 先行濺鍍於樣品上 7 分鐘，再關閉 DC gun 之 shutter 以及打開 RF gun 之 shutter 使金屬濺鍍在樣品上同樣為 7 分鐘。而得到下層為鈦金屬，上層為鉑金屬之金屬薄膜共約 25nm 厚。

b. 若是要沈積鉑金屬電極，則是在 4.5mTorr 之 Ar 氣壓下使用 sputter 之 DC gun 承載鉭(Ta)金屬靶，並使用 0.06 安培之定電流方式點起電漿，而 RF gun 則用以承載鉑(Pt)金屬靶，並用 100W 之定功率方式點起電漿。最後將兩個 gun 之 shutter 同時打開進行共濺鍍 (co-sputtering) 7 分鐘使表層沈積之金屬層成為鉑-鉭合金薄膜。之後將 DC gun 之 shutter 關閉，再進行鉑金屬的濺鍍 7 分鐘，使上層的金屬為純鉑金屬，完成金屬薄膜之沈積。

6. 將完成金屬薄膜沈積之晶圓，浸泡在丙酮溶液中 5 分鐘，之後再放入超音波震盪機中進行震盪 10 分鐘，進行 lift-off 製程。將震盪完成之晶圓取出沖水後，再放入乾淨之丙酮中再震盪 5 分鐘後再取出沖水，以去除殘留在晶圓表面之金屬碎屑。完成 lift-off 製程之樣品即完成金屬電極之製作，如圖 2-7(c)。

7. 由於奈米碳管在晶圓表面是隨機分佈，因此，對於奈米碳管電晶體之樣品，我們使用 In-line SEM (Scanning Electron Microscopy) 針對各個電極之間進行地毯式的搜尋，一旦發現有與金屬電極接觸之奈米碳管，如圖 2-8，立即標定金屬電極之位置，以便日後之量

測。

8. 將找到接觸到金屬電極之奈米碳管電晶體之樣品，或是已完成金屬電極之薄膜電晶體樣品，送入基板溫度 300C之PECVD(Plasma Enhanced Chemical Vapor Deposition)機台中，通入 10sccm之TEOS 以及 600sccm之O₂點起電漿 1 分鐘，使晶圓表面沈積約 50nm之PECVD二氧化矽薄膜做為金屬電極與鋁閘極之絕緣以及鈍化層 (passivation layer)。
9. 使用 Clean Track 以及 i-line stepper 進行接觸窗 (Contact hole) 光罩曝光。曝光完成後，使用 BOE(Buffered Oxide Etchant)進行接觸窗蝕刻約 1 分鐘，將接觸窗中的二氧化矽去除，使金屬電極與副閘極露出。
10. 使用 Thermal Coater 在樣品上蒸鍍 300nm 之鋁薄膜。最後在使用 Clean Track 與 i-line stepper 進行閘極與 Pad 光罩曝光。最後使用濕式蝕刻方式蝕刻出鋁閘極以及 pad，即完成整個元件製作，如圖 2-7(d)。

2-6 元件量測

製作完成之奈米碳管電晶體以及薄膜電晶體，置於室溫下之針測台 (Probe station)下使用 Agilent4156 半導體參數分析儀加以量測其電流與電壓關係。

元件之低溫電流與電壓量測則是將元件置於高真空之腔體中，將元件降至低溫 (100K 以下) 進行或是將元件置於有微探針系統的掃描式電子顯微鏡中進行低溫量測。

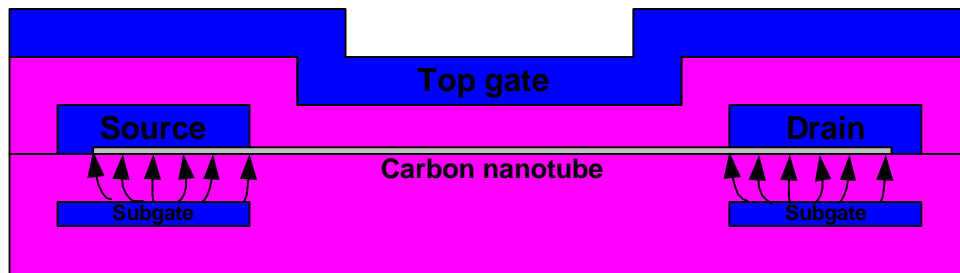


圖 2-1 於源極與汲極下方增加副閘極之奈米碳管電晶體結構。

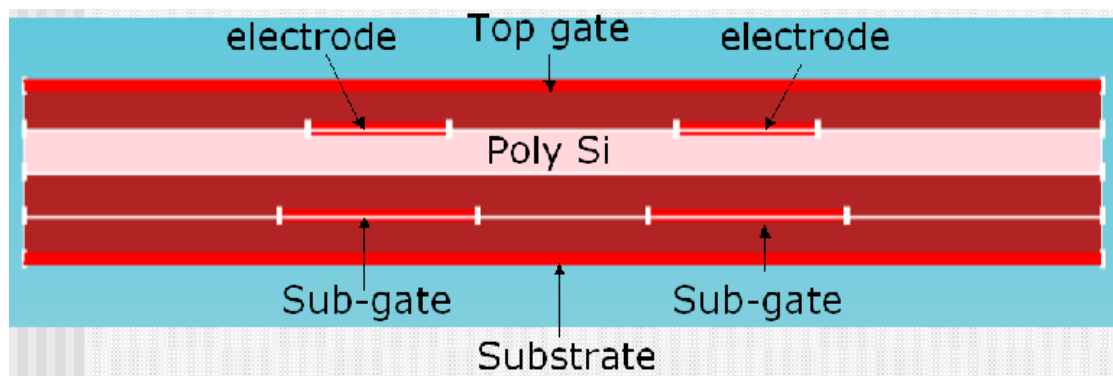
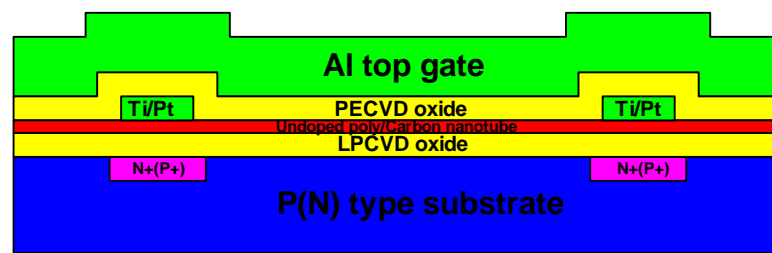


圖 2-2 模擬所用之薄膜電晶體結構。

(a)



(b)

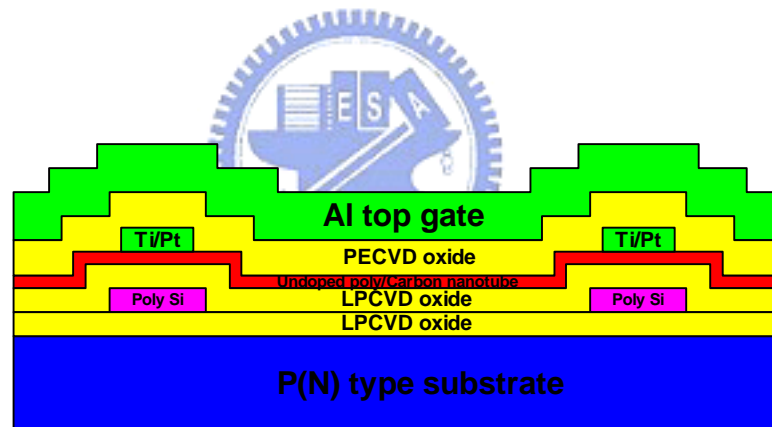
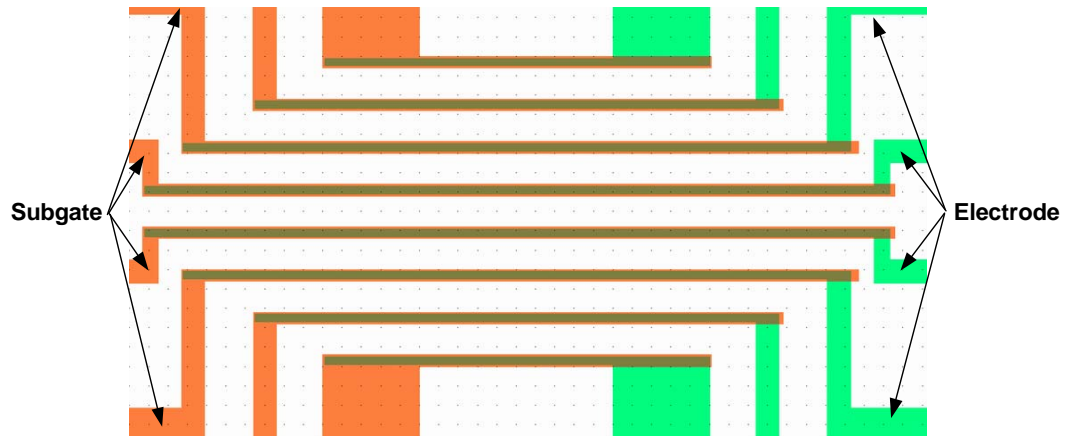


圖 2-3 不同副閘極結構之奈米碳管電晶體/薄膜電晶體剖面結構圖：
(a) N^+/P^+ 副閘極 (b)高摻雜之多晶矽副閘極。

(a)



(b)

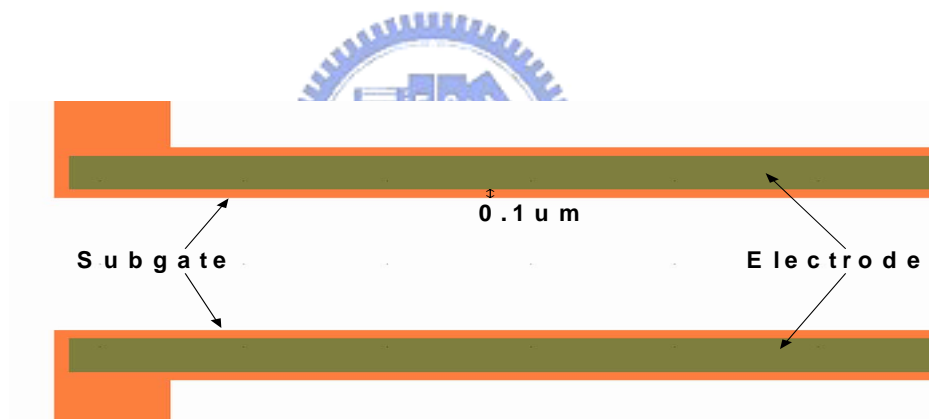


圖 2-4 元件之金屬電極與副閘極之佈局圖：(a)設計八個電極與副閘極以增加製作出奈米碳管電晶體之機會(b)將副閘極延伸出金屬電極 $0.1 \mu\text{m}$ 寬度以克服微影之對準誤差。

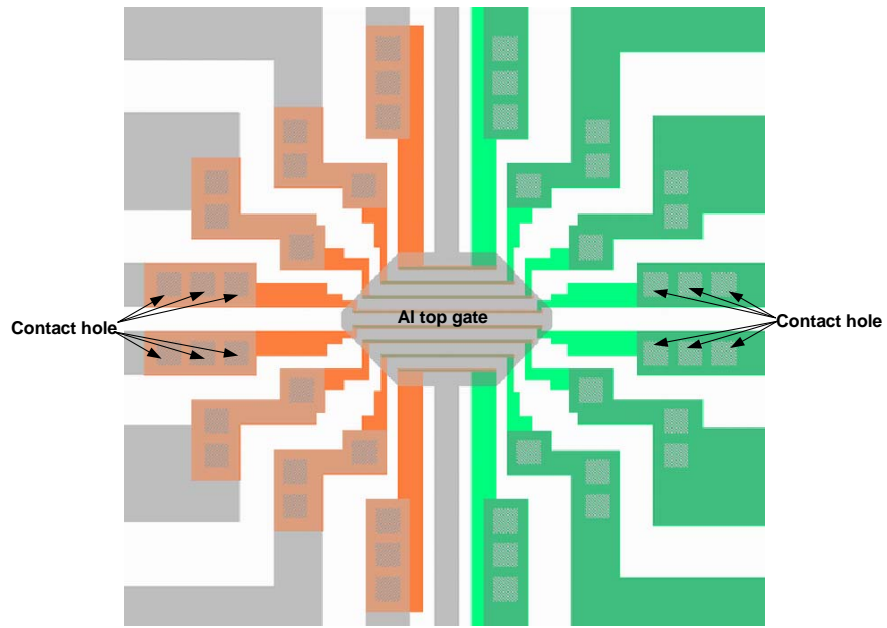


圖 2-5 在元件兩側分別設計接觸窗，經過蝕刻後，製作鋁 Pad 與鋁閘極，即完成元件的製作。

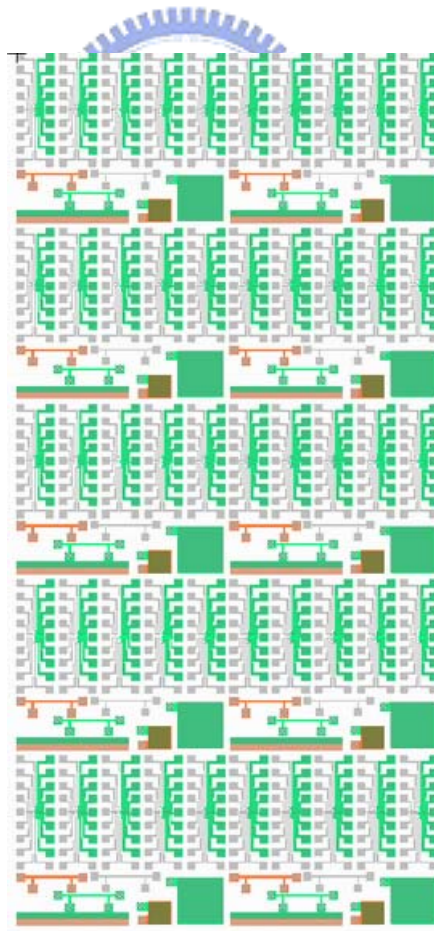


圖 2-6 將元件重複排列以增加晶圓中之元件數目。

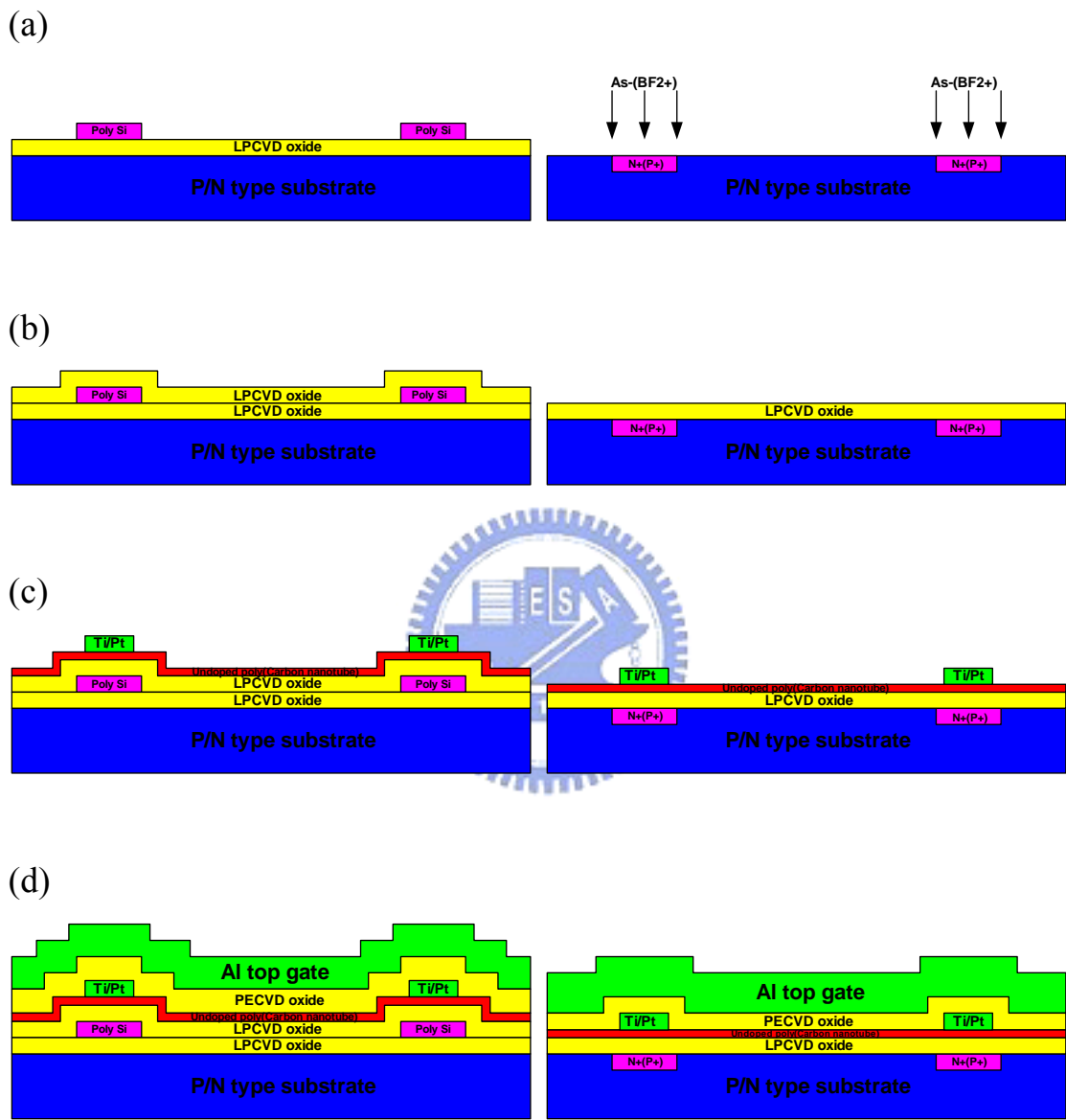


圖 2-7 兩種不同副閘極結構之元件製程示意圖。

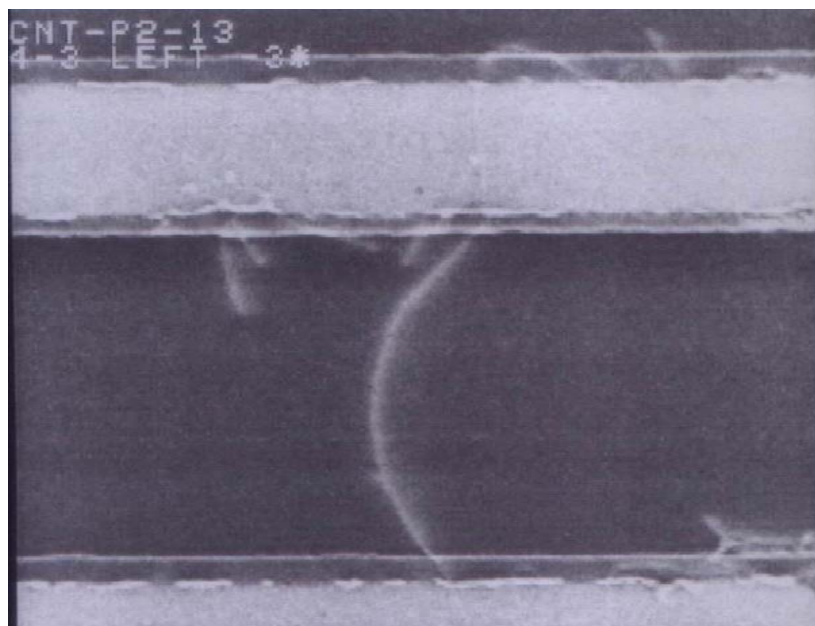


圖 2-8 利用 SEM 尋找有接觸到金屬電極之奈米碳管。

第三章

常溫電性模擬結果討論

3-1 緒論

在本章中，我們使用 ISE TCAD 這套元件模擬軟體模擬薄膜電晶體在不同金屬電極功函數以及不同副閘極偏壓下的電流與電壓特性，並且由能帶圖 (Band diagram) 討論其展現出的電流特性之原因。

3-2 電極功函數對薄膜電晶體 I_D-V_G 特性之影響

圖 3-1 顯示所模擬出將電極功函數設定為 4.5eV 與 4.8eV 之薄膜電晶體之 I_D-V_G 特性。由圖中我們可以發現：不論金屬電極的功函數為何，電子電流會隨著閘極電壓的提昇而逐漸增加，而電洞電流會隨著閘極電壓的提昇而逐漸減少。這是因為當閘極電壓提高時，閘極所產生的電場可以降低通道中的電子位能而提高通道中的電子濃度而使電子易於導通，但是卻會提高通道中的電洞位能而減少電洞的濃度因此減少電洞的導通電流。

此外閘極產生的邊緣電場可以影響到一部份的金屬與通道接觸面上的蕭基位障，進而減少蕭基位障的寬度，使得電子容易利用穿隧效應穿過蕭基位障，產生穿隧電流。但是因為大部分閘極產生的電場會被源極與汲極電極所遮蔽，並不能有效的影響蕭基位障的寬度，因此即使在電子或是電洞電流導通的狀態下，仍然可以看出電流有受到壓抑的狀況。

而當我們比較使用不同電極功函數的薄膜電晶體的 I_D-V_G 特性，我們也發現電極功函數設定為 4.5eV 之薄膜電晶體在正閘極電壓時的導通電流會比在負閘極電壓下的電洞導通電流來的大，使得薄膜電晶體整體之 I_D-V_G 特

性會比較偏向N-type，而反之，當電極功函數為 4.8eV時，其 I_D-V_G 特性會比較偏向P-type。

這是因為當電極功函數較小時，在正閘極電壓下，電子所看到之金屬與半導體之接觸面上的蕭基位障高度較低，所以電子可以利用熱游離發射 (Thermionic emission) 機制越過蕭基位障進入通道中，而產生導通電流。而且所看到的蕭基位障厚度也會比較薄，而有較大的穿隧電流。而當施加負閘極電壓時，因為電洞看到的蕭基位障高度較高，因此電洞不易利用熱游離發射方式進入通道中且所看到的蕭基位障較厚，因此也不易產生穿隧電流，而使得導通電流降低，所以電極功函數較低的薄膜電晶體有較大的電子電流與較小的電洞電流，形成類似 N-type 的特性，如圖 3-2(a)。反之，當電極功函數較高時，薄膜電晶體在正閘極電壓下有較小的電子電流而在負閘極電壓下有較大的電洞電流，形成類似 P-type 的電流特性。如圖 3-2(b)。

3-3 電極功函數對薄膜電晶體 I_D-V_D 特性之影響

圖 3-3 顯示電極功函數為 4.5eV 與 4.8eV 之薄膜電晶體結構所模擬出的 I_D-V_D 特性。由圖中可以發現當金屬電極功函數較低時，電晶體在正閘極電壓下的導通電流較大，且會隨著汲極電壓的增加而逐漸達到飽和。而負閘極電壓下的導通電流較小，但是卻會隨著汲極電壓的增加而呈現對數形式的增加，而不會達到飽和。而較高金屬電極功函數之薄膜電晶體則有相反的結果，而且當汲極電壓提高時，正閘極電壓下的電流最後仍然會出現對數形式增加的現象。

當施加正閘極電壓時，電流之所以隨著汲極電壓提昇而增加是因為汲極端對於電子的蕭基位障隨著汲極電壓的提昇而降低，如圖 3-4(a)，因此使得能夠越過汲極端的蕭基位障的電子愈來愈多，而導致電流逐漸增加。當汲極端的蕭基位障隨著增加的汲極電壓而完全消失後，汲極電壓的提昇便

無法對電子導通電流有明顯的幫助，因此導通電流便呈現飽和的狀態。

若是汲極電壓再繼續增加時，汲極端價帶 (Valance band) 會逐漸彎曲，使電洞看到的蕭基位障逐漸變薄，電洞的穿隧電流開始出現，如圖 3-4(b)。因此，當汲極電壓持續增加時，即使是在閘極施加正電壓，仍然可以看到電流飽和後又再度的隨著汲極電壓的提昇而增加，這個再度增加的電流與汲極電壓是一個指數的關係。

但是當施加負電壓於閘極上時，因為汲極端對於電洞的蕭基位障會隨著汲極電壓的提昇而逐漸變薄，使得電洞的穿隧電流逐漸增加，如圖 3-4(c)。而蕭基位障的穿隧電流與蕭基位障之厚度為指數關係，因此導通電流會隨著汲極電壓的增加而呈現指數形式的上升。又因為除非施加很大的電壓使得蕭基位障的厚度變得極薄，否則蕭基位障並不會隨著汲極電壓的提昇而完全消失，因此導通電流並不會隨著汲極電壓提昇而達到飽和。

3-4 副閘極電壓對薄膜電晶體 I_D-V_G 特性之影響

圖 3-5 顯示在不同的副閘極偏壓下，電極功函數 4.5eV 與 4.8eV 之薄膜電晶體所模擬出之 I_D-V_G 特性。由圖中可以發現，當副閘極施加負電壓時，不論電極功函數為 4.5eV 或是 4.8eV 之薄膜電晶體之 I_D-V_G 特性中，施加正閘極電壓時的導通電流均會下降，而負閘極電壓下的導通電流均會上升，反之亦然。

我們將不同副閘極偏壓下的薄膜電晶體的能帶圖畫出，可以發現當副閘極施加負電壓時，源極與汲極端的多晶矽的電子位能會被提升，使得介面上的蕭基位障變的比較厚，因而阻止了電子的穿隧效應，使得正閘極電壓下的電子導通電流減少。但是所施加的電場卻使得電洞所看到的蕭基位障變薄，而增加負閘極電壓下電洞的穿隧電流，而使得導通電流增加，如圖 3-6(a)。反之，當副閘極施加正電壓時，會使得電子所看到蕭基位障變薄，

但會是電洞看到的蕭基位障變厚，如圖 3-6(b)，使得電子電流增加和電洞電流減少。

3-5 副閘極電壓對薄膜電晶體 I_D-V_D 特性之影響

圖 3-7 為不同副閘極電壓下，不同的金屬電極功函數所模擬出的 I_D-V_D 圖。圖中顯示當副閘極施加正電壓時，可以有效的提昇在正閘極電壓下的導通電流，並壓抑負極電壓下的電流，反之亦然。

這也是因為副閘極的電壓可以有效的減少或是增加金屬電極與半導體之接面上的蕭基位障的厚薄，進而影響導通電流的大小。

此外由於副閘極並不能影響蕭基位障的高度，因此對於正閘極電壓下的導通電流進入飽和區的位置，並沒有明顯的影響。但是由於施加負電壓的副閘極會壓縮汲極端的蕭基位障，因此當閘極施加正電壓時，因為汲極電壓提高而產生的電洞穿隧電流會較大，產生如圖 3-7(b)圖中所顯示的當汲極電壓較大時，副閘極為-5V 下的電流比 0V 下的電流為大的現象。

3-6 源極端副閘極電壓對基板電壓調變電流之影響

而我們由前面的 I_D-V_D 特性模擬結果可以知道，當閘極施加正電壓而汲極的電壓逐漸增加時，所流過的電流主要是因為汲極端的蕭基位障高度減少而增加，當汲極端的蕭基位障因為汲極電壓的提高而消失時，導通電流會出現飽和的現象，此時若是可以將源極端的蕭基位障加以改變，因為影響導通電流的唯一位障只剩下源極端的蕭基位障，所以該蕭基位障的厚薄或是高度會對電流有相當大的影響，如圖 3-8(a)。

但是當閘極為負電壓時的導通電流主要是同時受到源極與汲極端的兩個蕭基位障影響，若是我們只改變源極端的蕭基位障，對於電流的影響將不會很明顯，如圖 3-8(b)。

為了避免上閘極的電壓產生邊緣電場對蕭基位障產生調變，我們改用基板（substrate）來當作閘極施加電壓。由於副閘極的存在，因此基板電壓所產生的電場在源極與汲極附近都會被副閘極所遮蔽，因此基板電壓對於源極與汲極的蕭基位障不會產生調變的效果。

此外，因為當汲極施加負電壓時的元件能帶圖會變得與汲極施加正電壓但是閘極電壓相反的時候相同。所以我們除了模擬正汲極電壓的狀態，也一併模擬了負汲極電壓的情況。模擬的結果如圖 3-9 所示：

由圖中我們可以發現當基板電壓為 5V 時，源極端的副閘極電壓對於正汲極電壓時的導通電流有相當大的影響，但是對於負汲極電壓時的電流影響較少，反之，當基板電壓為-5V 時，源極端副閘極的電壓對負的汲極電壓下的導通電流有較大的影響，而對正汲極電壓時的導通電流幾乎沒有影響。



3-7 小結

由以上的模擬結果，我們可以預測蕭基位障元件的特性：當使用不同金屬材料當作電極時，由於所形成的蕭基位障的位障高度不同，所以會出現偏向N-type與P-type的雙極性特性。而其 I_D-V_D 特性，在正閘極電壓下的導通電流會因為蕭基位障的降低而隨著汲極電壓逐漸增加最後達到飽和。但是負閘極電壓下的導通電流則是因為汲極電壓的增加而使得蕭基位障逐漸變薄而出現與汲極電壓成指數關係增加的電流。

而當我們在副閘極施加正電壓時，因為可以壓縮電子所看到的蕭基位障寬度，並增加電洞所看到蕭基位障寬度，所以可以增加正閘極電壓下的電子電流，並且壓抑負閘極電壓下的電洞電流。反之，當副閘極施加負電壓時，則可以壓抑電子電流，並增加電洞電流。

此外，當改用基板來調變電流時，因為基板產生的電場會受到副閘極

遮蔽，因此，當基板施加正電壓時，在正汲極電壓下的導通電流因為只有受到源極端的蕭基位障影響，所以源極端副閘極的電壓會對電流有相當大的影響。而負汲極電壓下的電流因為同時受到兩個蕭基位障的影響，所以源極端的副閘極電壓對電流的影響較小，反之亦然。



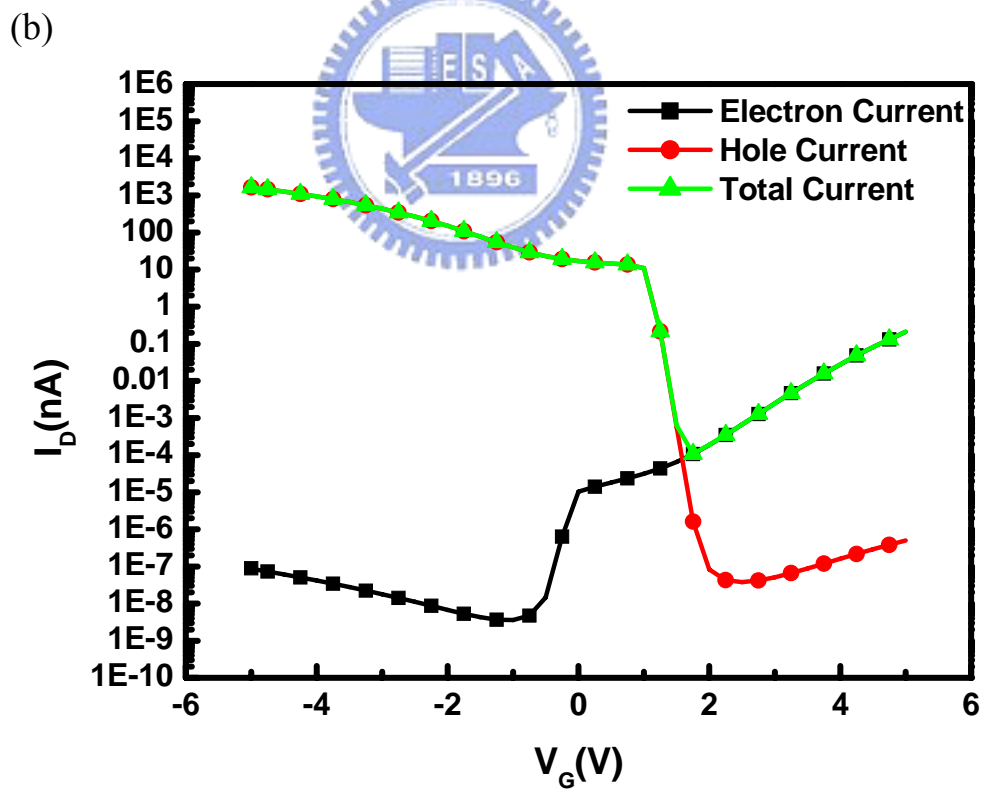
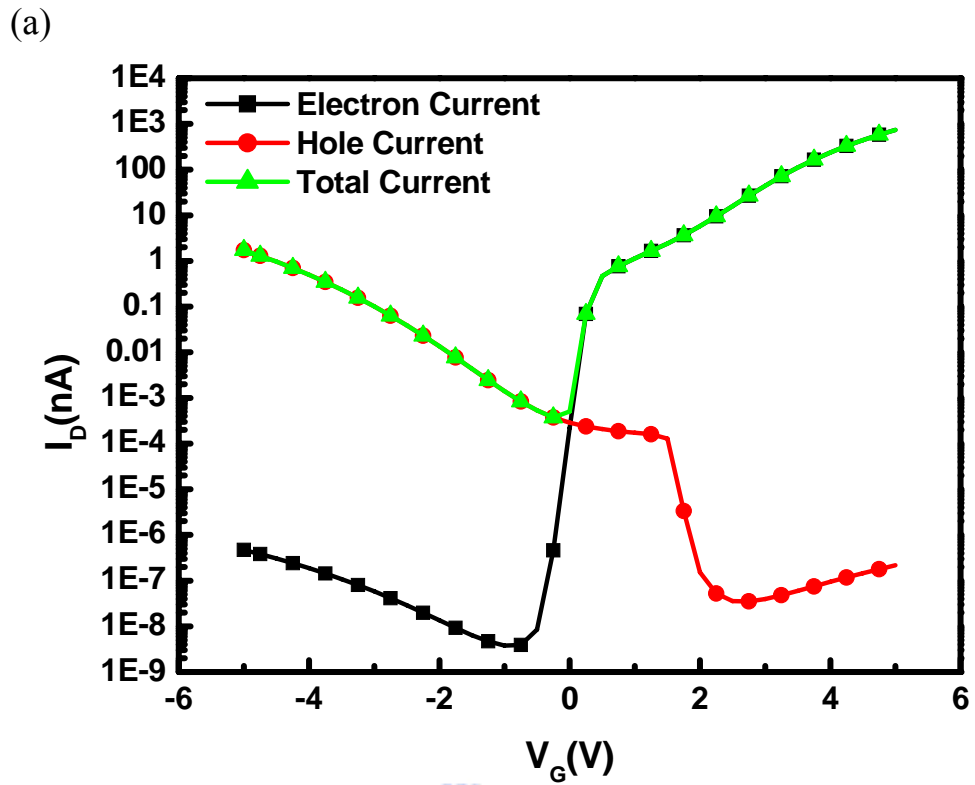
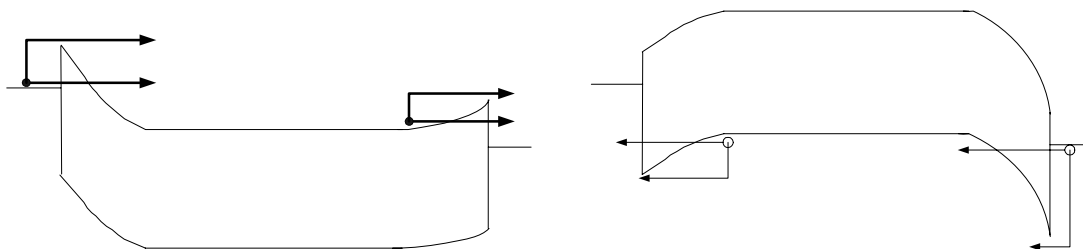


圖 3-1 不同電極功函數模擬之薄膜電晶體 I_D - V_G 特性模擬結果。(a)功函數為 4.5eV之 I_D - V_G 特性模擬結果 (b)功函數為 4.8eV之 I_D - V_G 特性模擬結果。

(a)



(b)

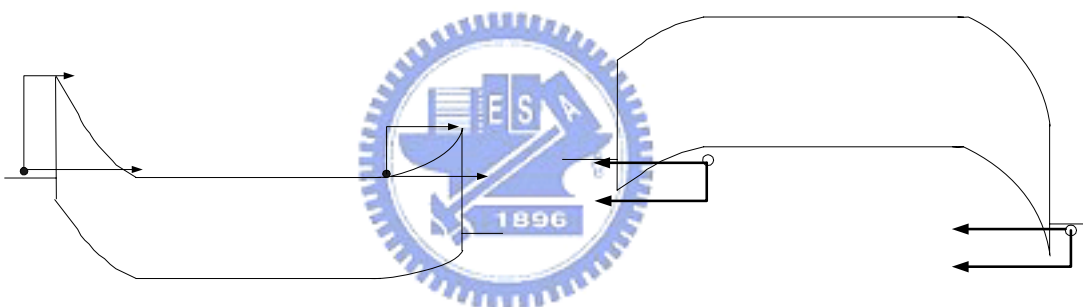


圖 3-2 不同金屬電極功函數造成不同的蕭基位障高度：(a)較低的金屬功函數造成電子的蕭基位障較低且較薄以及電洞的蕭基位障較高且較厚，而有較大的電子電流，和較小的電洞電流。(b) 較高的金屬功函數造成電子的蕭基位障較高且較厚以及電洞的蕭基位障較低且較薄，而有較小的電子電流，和較大的電洞電流。

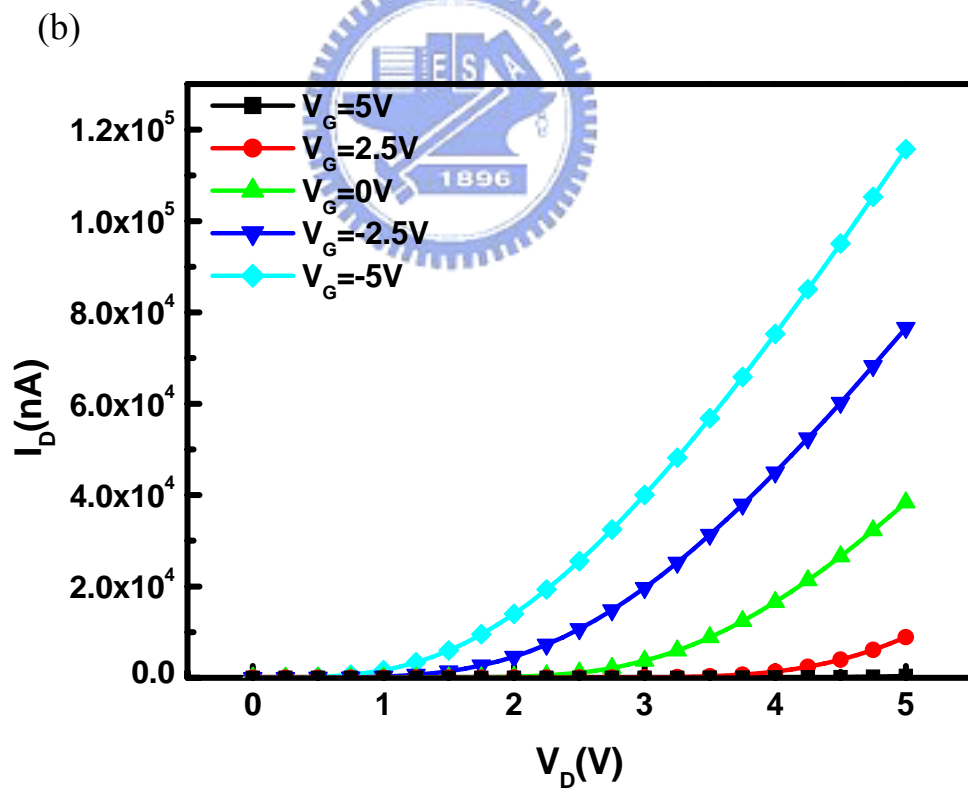
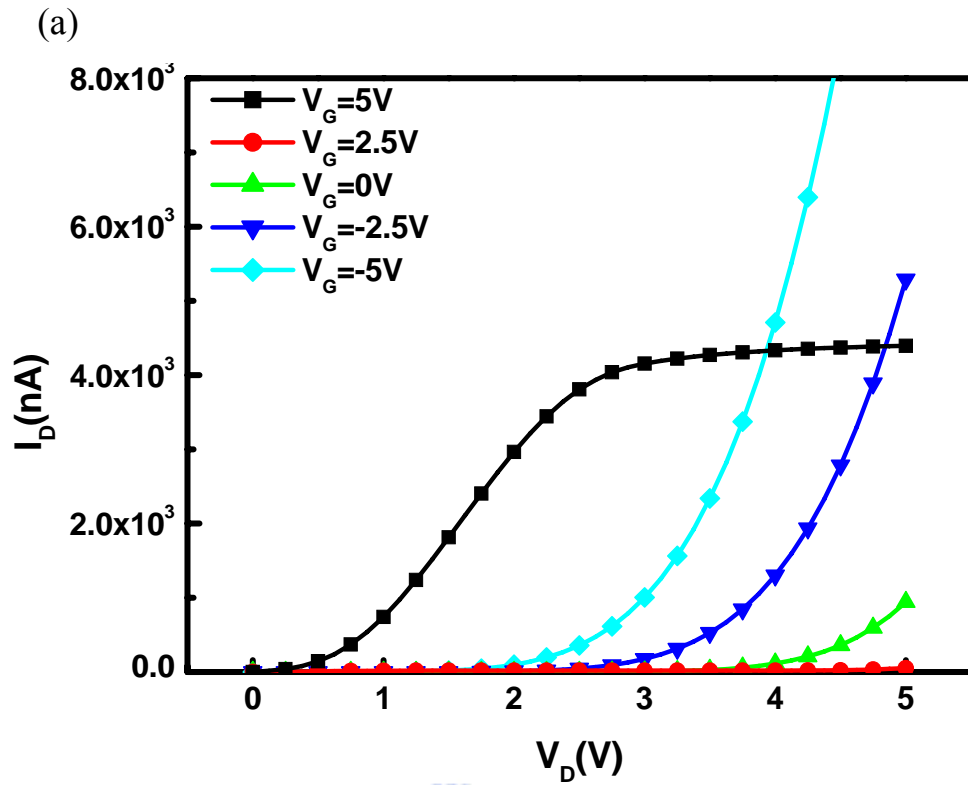


圖 3-3 不同金屬電極功函數模擬之薄膜電晶體 I_D - V_D 特性模擬結果。(a)功函數為 4.5 eV 之不同閘極電壓下的 I_D - V_D 特性模擬結果 (b)功函數為 4.8 eV 之不同閘極電壓下的 I_D - V_D 特性模擬結果。

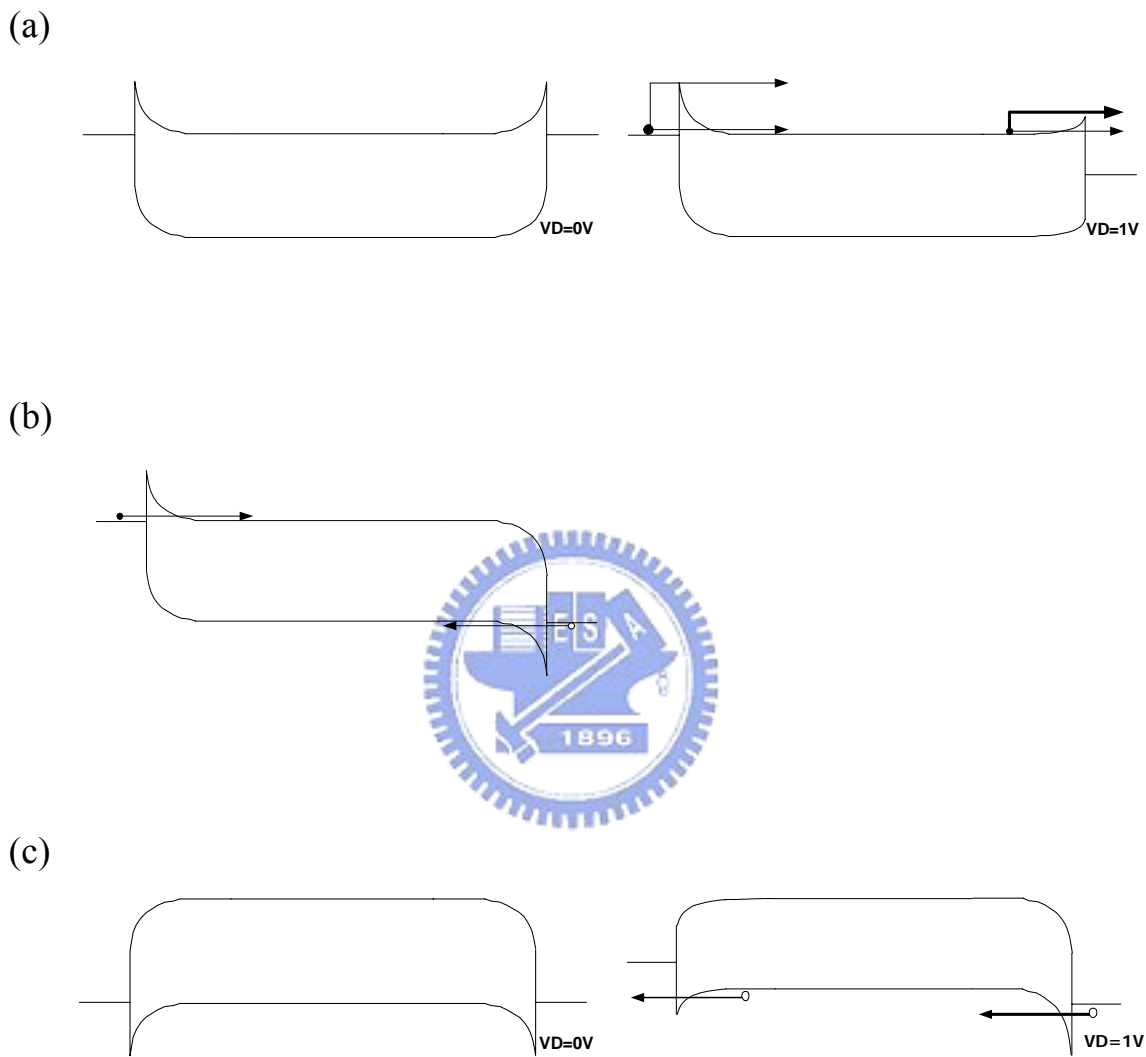


圖 3-4 不同閘極電壓下，當汲極電壓增加時，電晶體的能帶圖：(a)閘極施加正電壓時，電流隨著汲極的蕭基位障減少而增加，最後達到飽和 (b)當汲極電壓很大時，會產生電洞穿隧電流，使得飽和電流再次增加(c)當閘極施加負電壓時，汲極電壓的增加會使的電洞穿隧電流隨之增加。

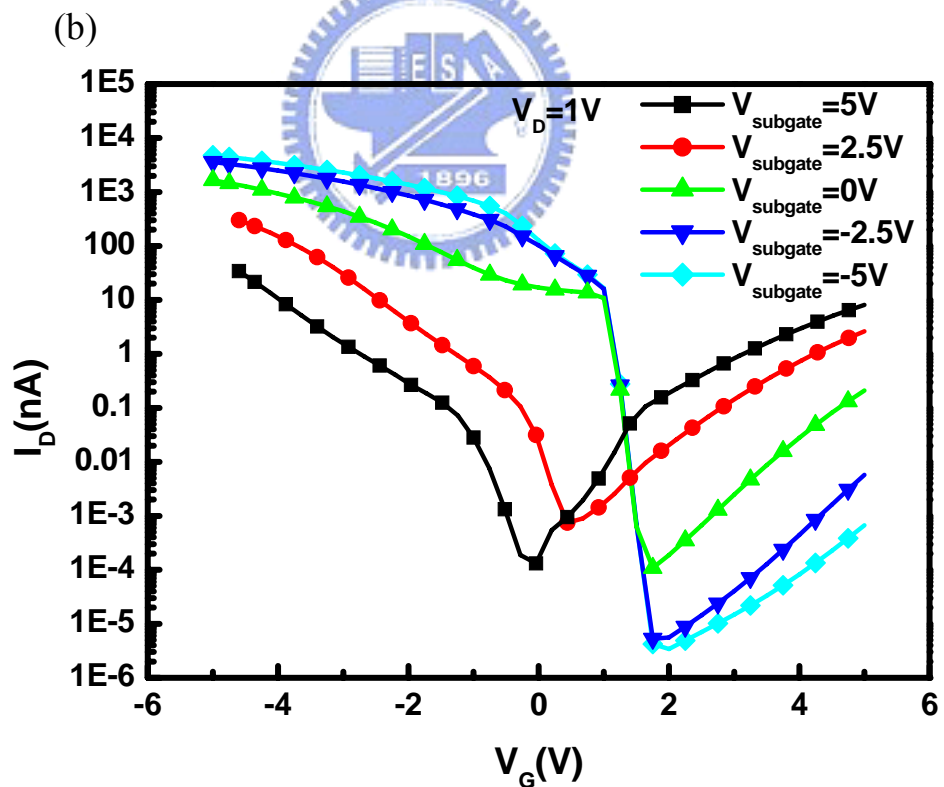
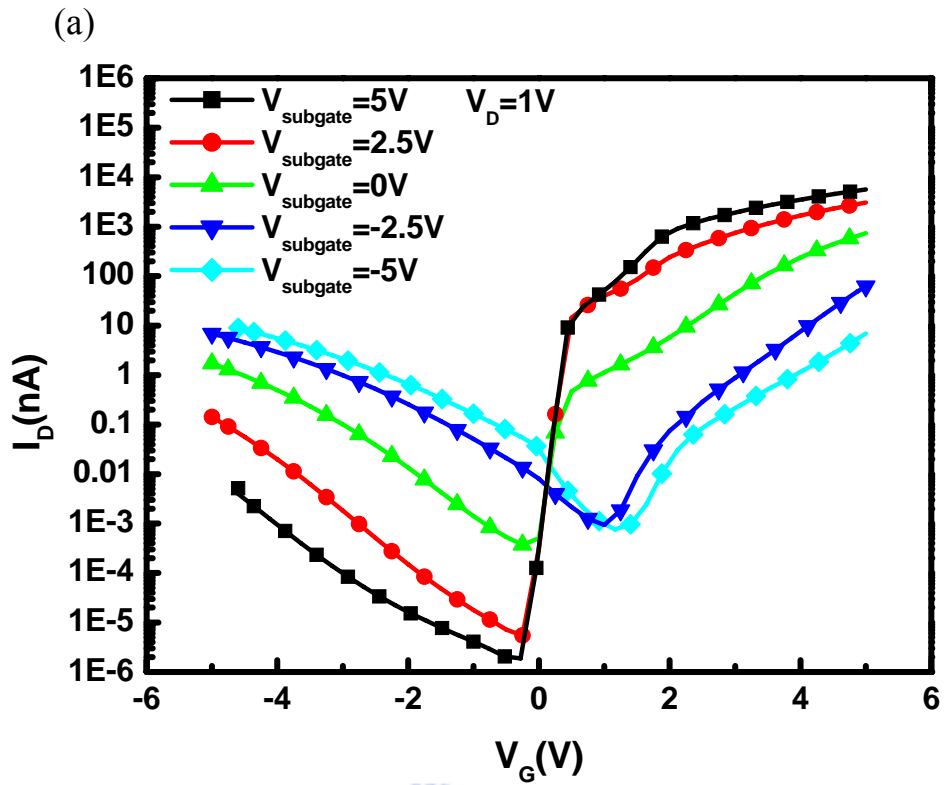
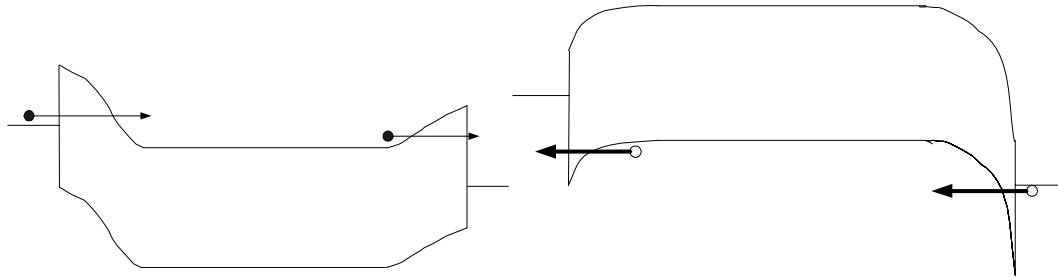


圖 3-5 不同的副閘極電壓對不同的金屬電極功函數之薄膜電晶體之 I_D - V_G 特性模擬結果：(a)金屬電極功函數為 4.5eV之薄膜電晶體模擬結果 (b)金屬電極功函數為 4.8eV之薄膜電晶體模擬結果。

(a)



(b)

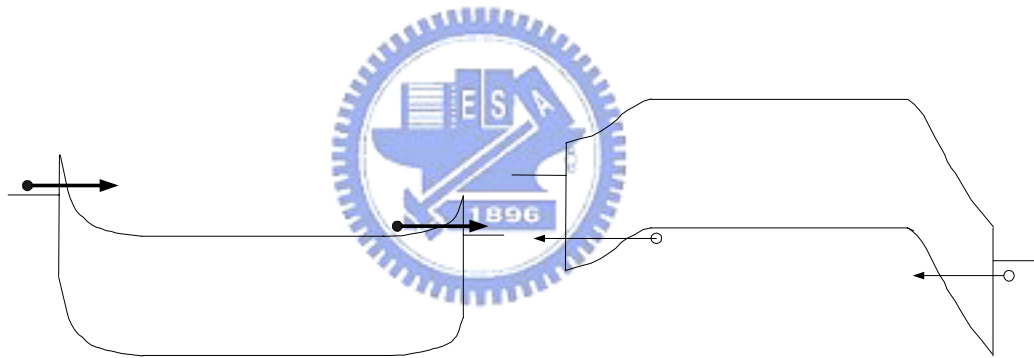
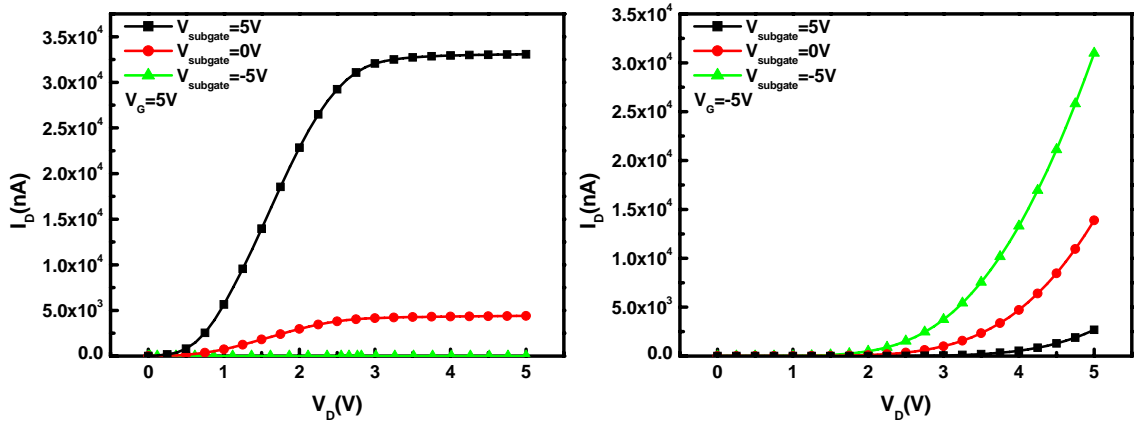


圖 3-6 當副閘極施加不同電壓時，會造成電子與電洞在金屬與半導體介面上的蕭基位障的厚度改變：(a)副閘極施加負電壓時，使得電子看到的蕭基位障變厚，但使得電洞看到的蕭基位障變薄。(b) 副閘極施加正電壓時，使得電子看到的蕭基位障變薄，但使得電洞看到的蕭基位障變厚。

(a)



(b)

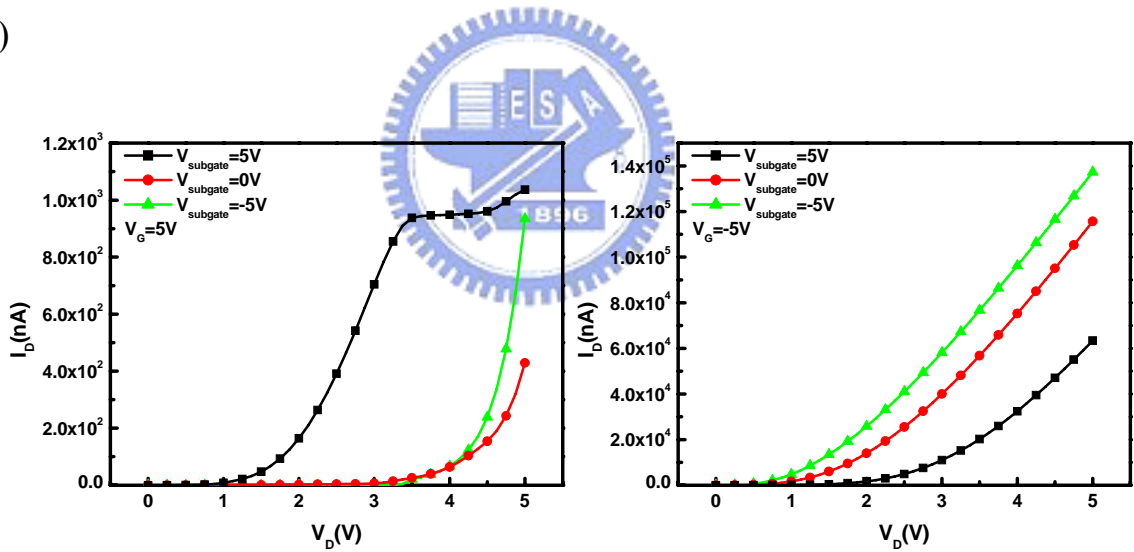


圖 3-7 不同的副閘極電壓對不同的金屬電極功函數之薄膜電晶體的 I_D - V_D 特性影響模擬結果：(a)金屬電極功函數為 4.5eV之薄膜電晶體模擬結果(b) 金屬電極功函數為 4.8eV之薄膜電晶體模擬結果。

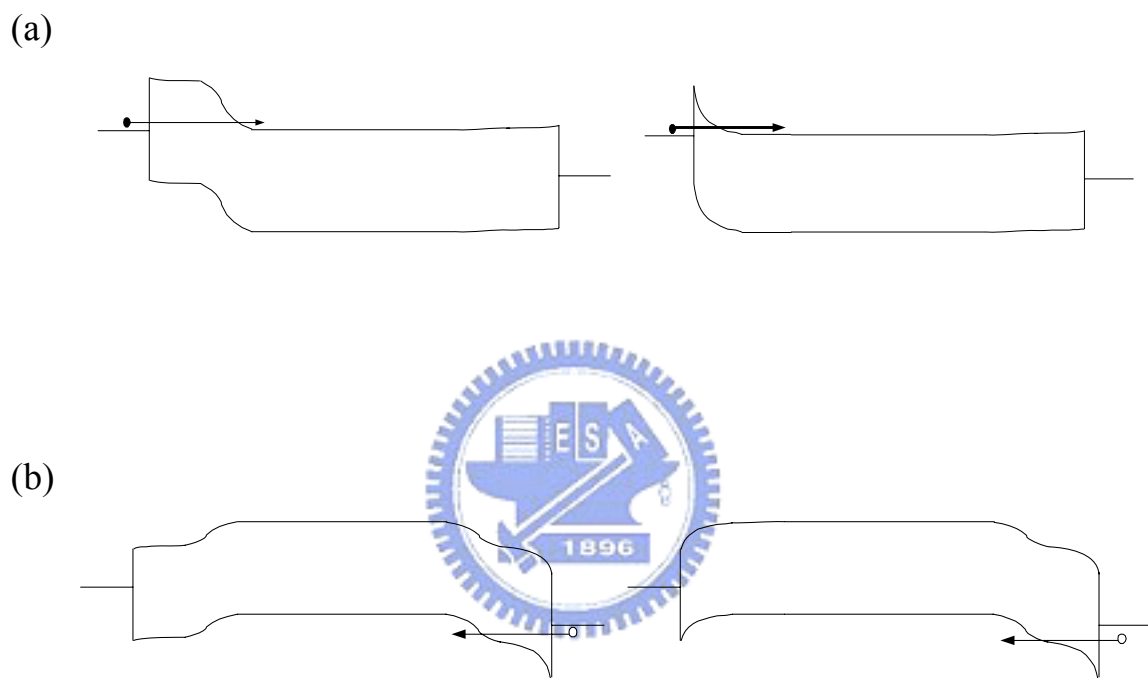
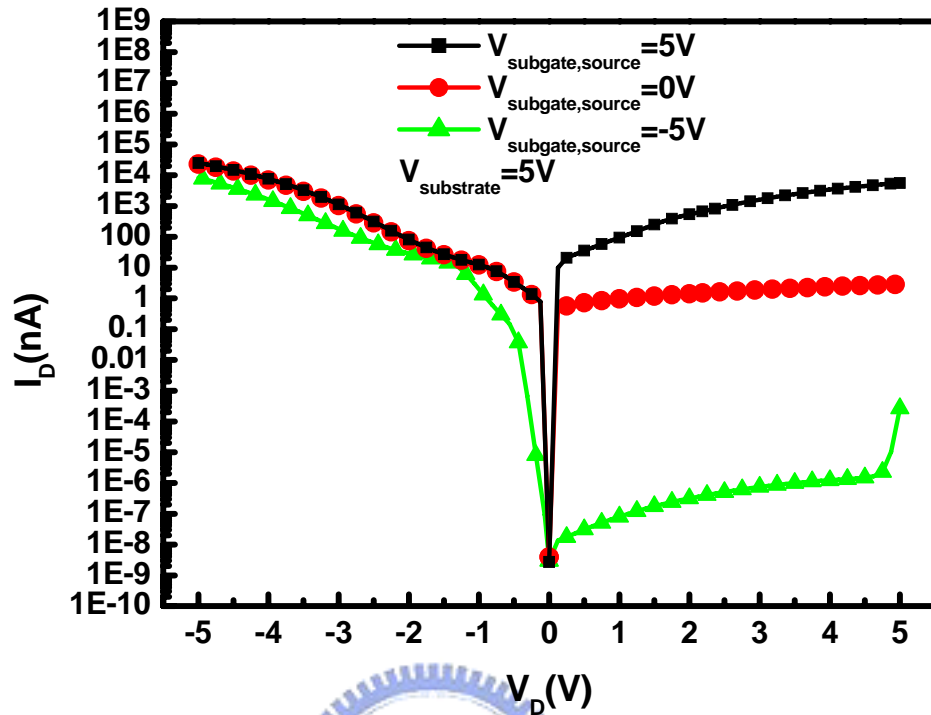


圖 3-8 不同的源極端的蕭基位障對於導通電流的影響：(a)正閘極電壓時，對導通電流有明顯影響(b)負閘極電壓時，對導通電流的影響較小。

(a)



(b)

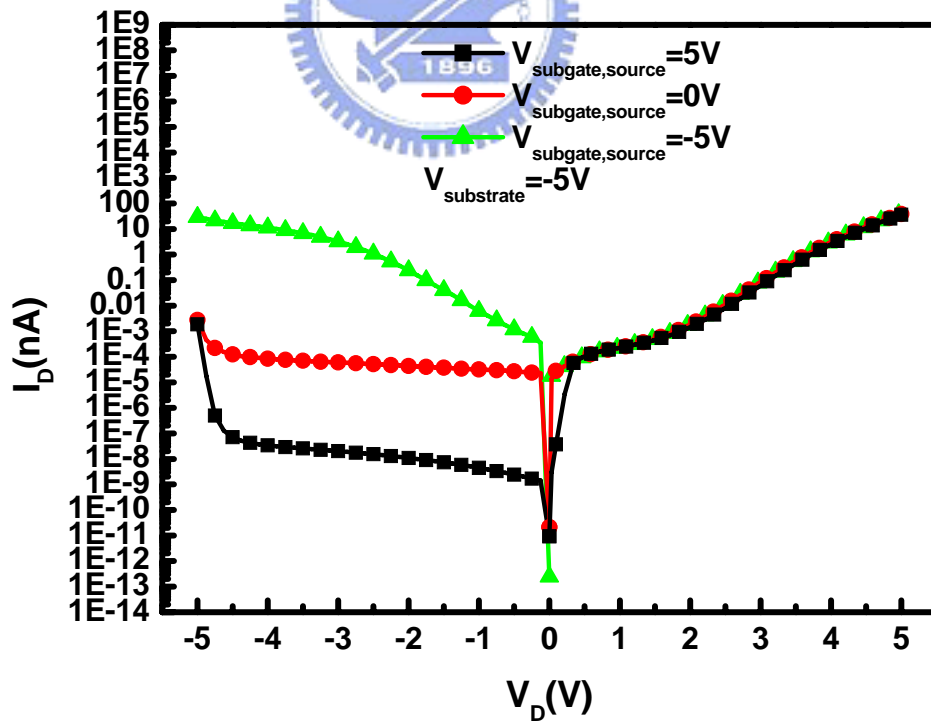


圖 3-9 不同基板電壓下，源極端副閘極電壓對於導通電流的影響模擬結果：(a)基板電壓為 5V 模擬結果 (b) 基板電壓為-5V 模擬結果。

第四章

常溫元件量測結果與討論

4-1 緒論

在本章中，我們實作出 N^+/P^+ 副閘極與多晶矽副閘極的奈米碳管電晶體與薄膜電晶體。我們首先量測不同的副閘極結構是否會對於電晶體的特性有不同的影響，之後將所量測得到的電性與前一章模擬的電性結果相互對照，並解釋其中的相同點與差異點之原因。

4-2 副閘極結構對電性與製程之影響

我們實作出具有 N^+/P^+ 副閘極結構之薄膜電晶體以及具有多晶矽副閘極之薄膜電晶體。我們分別對 N^+ 副閘極與 P^+ 副閘極分別施加正電壓與負電壓之後，量測副閘極電壓對於薄膜電晶體的 I_D-V_G 電性之影響，如圖 4-1。我們在施加相同的電壓在多晶矽副閘極上，量測多晶矽副閘極之電壓對於薄膜電晶體的 I_D-V_G 特性的影響，如圖 4-2。

由圖 4-1 與圖 4-2 之 I_D-V_G 圖中可以發現，雖然我們所使用的副閘極結構並不相同，但是對於薄膜電晶體的 I_D-V_G 特性的影響是類似的。當副閘極施加正電壓時，同樣都會壓抑施加負閘極電壓時的電洞導通電流，並且提昇施加正閘極電壓時的電子導通電流。

但是因為 N^+/P^+ 副閘極必須維持副閘極的電壓在正電壓或是負電壓以免PN junction進入順偏狀態而使得通道下方的基板電壓受到副閘極電壓的影響，所以在元件樣品的量測上便會受到限制，而且我們必須製作兩倍數目的樣品才能與多晶矽副閘極樣品一樣在副閘極施加正與負的電壓，因

此，我們後面的元件製作，均只製作多晶矽副閘極的元件樣品，以簡化實作與量測上的負擔。

此外，原先認為多晶矽副閘極會對奈米碳管的旋塗造成不利的影響，但是實際進行製程時，發現多晶矽副閘極造成之表面凹凸，反而可以有效的使奈米碳管停留在電極的區域而提高發現接觸到金屬電極之奈米碳管的數目，因此，奈米碳管電晶體之副閘極也只使用多晶矽副閘極之結構。

4-3 金屬電極材料對薄膜電晶體與奈米碳管電晶體 I_D-V_G 特性之影響

我們使用鈦金屬以及鉑金屬來製作薄膜電晶體之電極，並量測其 I_D-V_G 特性，如圖 4-3。我們從兩圖中可以發現薄膜電晶體，在不施加副閘極電壓的狀況下，都會與前一章中的模擬結果相似：在正閘極電壓與負閘極電壓時，都會因為源極與汲極端接面上的蕭基位障的寬度受到閘極電壓的邊緣電場壓縮，因而出現導通電流，呈現雙極性(ambipolar)的特性。

當我們使用鈦當作金屬電極時，因為鈦的功函數大約在 4.32eV 左右，比起矽的功函數 4.52eV 都要來的小，所以當鈦與未摻雜的多晶矽或是奈米碳管接觸時，電子所看到的蕭基位障高度會比電洞所看到的蕭基位障高度低，使得正閘極電壓時電子的導通電流會比負閘極電壓時的電洞導通電流大，而應該與前一章中使用 4.5eV 作為電極功函數所模擬出的結果類似，形成偏向 N-type 雙極性特性。但是當我們實際製作鈦金屬電極之奈米碳管電晶體與薄膜電晶體時，在金屬與奈米碳管或多晶矽的接觸面上會存在有許多的介面態 (interface state)，這些介面態會影響真正的金屬與半導體形成蕭基位障時的位障高度。由文獻可知，實際量測到的鈦金屬對於 N-type Silicon 之位障高度為 0.5eV，而對於 P-type Silicon 之位障高度為 0.61eV，僅僅只有 0.11eV 之差距[41]。因此，我們只能發現在正閘極電壓下的電子

導通電流比起負閘極電壓下的電洞導通電流略高一點。

當我們改用鉑當作金屬電極時，鉑的功函數為 5.65eV，比矽的功函數高，且文獻中所量測到鉑金屬與 N-type Silicon 之位障高度為 0.9eV[41]，因此電子會看到比電洞高的蕭基位障，而使得正閘極電壓下的電子導通電流較小，因而使電晶體的特性與前一章中使用 4.8eV 當作電極功函數的模擬結果相似，而偏向 P-type 特性。

我們再使用鈦金屬以及鉑金屬來製作奈米碳管電晶體之電極，並量測其 I_D - V_G 特性。但是與薄膜電晶體不同的是，因為我們所使用的奈米碳管是使用雷射熱融法所製造的，奈米碳管本身的旋度 (Chiral angle)、直徑、甚至長度並不固定，因此不能有效的確定奈米碳管的功函數與能隙 (Bandgap)，所以我們在量測上，必須先用電性量測所製造出的奈米碳管電晶體才能確定奈米碳管的特性。

因此，我們大量的量測所找到的奈米碳管電晶體元件，並且將所量測得到的元件特性加以分類並統計。在使用鈦金屬電極之奈米碳管電晶體元件中，我們剔除掉調變能力差的元件之後，可以量測到如圖 4-4 的 I_D - V_G 特性。幾乎所有調變能力佳的奈米碳管電晶體都會顯示如圖 4-4 中的雙極性特性，但是不同的元件會有正閘極電壓或是負閘極電壓下的導通電流略大的特性。

我們推測，這是因為使用的奈米碳管之功函數大約與鈦金屬的功函數相近，所以會出現雙極性的電流特性。但是奈米碳管的功函數會隨著其旋度而有些微差異，因此造成其正負閘極下的導通電流有所差異的現象。

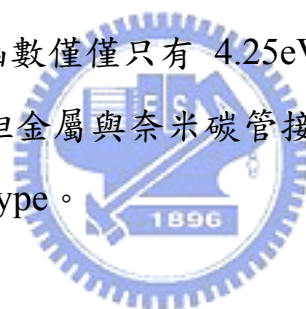
而在使用鉑金屬的奈米碳管電晶體中，我們剔除掉沒有調變能力的元件之後，可以量測到如圖 4-5 的元件特性。

絕大多數使用鉑金屬電極之奈米碳管電晶體的 I_D - V_G 特性是屬於圖 4-5(a) 中的 P-type 特性。只有在負閘極電壓下有較大的導通電流，而正閘極

電壓下只有少許的電流增加的現象。這是因為鉑金屬的功函數為 5.65eV，我們所使用的奈米碳管功函數要大的多，因此即使是在正閘極電壓下，電子所看到的蕭基位障高度很高，不易透過熱游離發射機制越過蕭基位障，只能靠較大的閘極電壓時的邊緣電場壓抑蕭基位障的厚度後，再利用穿隧效應進入奈米碳管產生導通電流，因此在正閘極時的電子電流便會比較小。但是電洞所看到的蕭基位障高度小的多，所以可以輕易的利用熱游離發射方式越過蕭基位障而進入奈米碳管中而在負閘極電壓時產生導通電流。

而除了大部分出現 P-type 特性的鉑金屬電極的奈米碳管外，有很少數的樣品會出現如圖 4-5(b)的 N-type 特性。

我們推測這是因為奈米碳管接觸到了我們用來增加鉑金屬附着力時所摻入的鈿金屬。鈿的功函數僅僅只有 4.25eV，比起鉑金屬或是鈦金屬要來的更小，因此，當使用鈿金屬與奈米碳管接觸時，所產生的蕭基位障便會使得元件的特性偏向 N-type。



4-4 金屬電極材料對薄膜電晶體與奈米碳管電晶體 I_D-V_D 特性之影響

圖 4-6 與圖 4-7 是分別使用鈦金屬與鉑金屬來製作金屬電極之薄膜電晶體與奈米碳管電晶體的 I_D-V_D 特性。

我們由圖中可以看出當使用鈦金屬當作電極時的薄膜電晶體與奈米碳管電晶體都與前一章中使用 4.5eV 當作電極功函數的模擬結果類似。在正閘極電壓下的導通電流都會隨著汲極電壓的提昇而出現飽和的現象，而負閘極電壓下的導通電流都會出現與汲極電壓成指數關係增加的現象。而當使用鉑金屬當作金屬電極時，所量測到的 I_D-V_D 特性，則與前一章中使用 4.8eV 作為電極功函數所模擬出的結果相近。

因此，由前一章的模擬結果我們可以推論奈米碳管電晶體與薄膜電晶體都會受到蕭基位障的控制而影響其電流的導通特性。

4-5 副閘極電壓對奈米碳管電晶體與薄膜電晶體 I_D-V_G 特性之影響

我們接著在副閘極上施加不同的電壓，觀察不同的副閘極電壓對於薄膜電晶體與奈米碳管電晶體之 I_D-V_G 特性是否會有如同模擬時所顯示的影響。

圖 4-8 則是使用鈦金屬與鉑金屬作為金屬電極的薄膜電晶體受到不同副閘極電壓影響後的 I_D-V_G 特性。圖 4-9 是使用有偏向N-type的雙極性特性的鈦金屬電極之奈米碳管電晶體與展現出P-type特性的鉑金屬電極奈米碳管電晶體受到+5V與-5V之副閘極電壓影響後的 I_D-V_G 特性。

由圖中我們可以發現薄膜電晶體與奈米碳管電晶體同樣展現出會受到正的副閘極電壓影響而壓抑負閘極電壓時的電洞導通電流並且提昇正閘極電壓時的電子導通電流，反之亦然。

這樣的實驗結果與前一章模擬結果有相同的趨勢。但是奈米碳管電晶體所受到副閘極電壓的影響遠比薄膜電晶體要來的小，我們推測這是因為奈米碳管是一個接近一維的結構（1D structure），絕大部分的碳管表面與金屬電極直接接觸，能夠讓副閘極電場進入碳管進而影響到蕭基接面電位的開口極小，所以接觸面上的蕭基位障比較不易受到副閘極電壓的影響而改變其厚薄。

為了驗證上面的推論，我們再度的使用 ISE TCAD 元件模擬軟體來模擬不同大小的矽通道對於副閘極電壓的影響。圖 4-8 是我們所用來模擬的元件結構，圖 4-10(a)是一個矽通道為 50nm 厚 1 μ m 寬的薄膜電晶體位於汲極

端的剖面結構，而圖 4-10(b)是一個僅有 1nm 厚，1nm 寬的矽通道薄膜電晶體位於汲極端的剖面結構。我們在通道下方的副閘極施加一個 0V 與 -5V 的電壓，解出同樣汲極為 2.5V 時的位能分佈，如圖 4-11 與圖 4-12。

圖 4-11 中可以看出較厚的矽通道之薄膜電晶體的通道位能分佈，會明顯的受到副閘極電壓的影響，但是在圖 4-12 中，1nm 的微小矽通道之薄膜電晶體的通道裡的位能幾乎不會因為副閘極的電壓而改變。因此，我們可以推斷奈米碳管電晶體之所以不易受到副閘極電壓的影響而改變其 I_D-V_G 特性，主要是因為奈米碳管的微小結構的關係。

此外，在薄膜電晶體的副閘極施加 +5V 與 -5V 時，對於大閘極電壓時的電洞與電子導通電流的壓抑現象反而不如 +2.5V 與 -2.5V 來的好。這是因為薄膜電晶體的通道是使用本身存在許多缺陷 (defects) 的多晶矽製成。當我們施加兩個相反電性的大電壓在汲極與源極附近時，會導致源極與汲極附近的多晶矽會受到電場影響而有相當大程度的彎曲，使得載子透過缺陷而產生能帶-能帶穿隧 (Band to Band Tunneling)，如圖 4-13，因此有較大的漏電流。

4-6 副閘極電壓對於薄膜電晶體與奈米碳管電晶體 I_D-V_D 特性之影響

圖 4-14 與圖 4-15 是不同的副閘極電壓下，使用鈦金屬電極之薄膜電晶體與奈米碳管電晶體在不同閘極電壓下之 I_D-V_D 特性。由圖中我們可以發現與前一章中的模擬結果相符合：正的副閘極電壓對於奈米碳管電晶體與薄膜電晶體都有提昇其正閘極電壓下的導通電流並壓抑負閘極電壓下的導通電流的效果，反之亦然。

但是由 4-4 節中的模擬結果也可以知道因為奈米碳管的微小尺度，副閘極電壓對於奈米碳管電晶體的影響並不如薄膜電晶體來的明顯，因此副

閘極電壓對於奈米碳管電晶體的 I_D - V_D 特性的影響也不如薄膜電晶體來的明顯。

4-7 源極端副閘極電壓對基板電壓調變電流之影響

當我們如同前一章中的模擬所用的方法將奈米碳管電晶體以及薄膜電晶體的閘極浮接 (Floating)，改用基板來施加控制通道的電壓並改變源極副閘極的電壓時，會得到如圖 4-16 與圖 4-17 所顯示的電流特性。

由於副閘極對於奈米碳管的影響並不如薄膜電晶體來的大，而且在實作的奈米碳管電晶體與薄膜電晶體中，基板距離通道大約有 100nm 厚，因此在圖 4-17 中，僅能在相當大的正基板電壓時看出源極端的副閘極電壓對於正汲極電壓時的電流有些微的影響。而在薄膜電晶體上，源極端副閘極的電壓對於正汲極電壓時的電流影響要明顯很多。反之，當基板電壓為很大的負電壓時，源極副閘極的電壓只能對負汲極電壓下的電流有影響。這樣的量測結果與前一章的模擬結果相比較，可以發現量測結果大致與模擬結果相同，只有在汲極電壓較小的區域會有較大的差別，這是因為在模擬時為了限制模擬的時間而減少了計算載子穿隧的穿隧長度。因此在低電壓時，蕭基位障寬度超過我們所設定之穿隧長度而使得穿隧電流大幅減少，造成與量測結果的差異。

4-8 小結

由以上的量測結果與前一章的模擬比較之後，我們可以發現奈米碳管電晶體擁有與蕭基位障薄膜電晶體相近的電流特性，並且與模擬結果相符合。不過由於不確定奈米碳管本身的特性，使得奈米碳管電晶體元件之間出現較大的差異性。

此外，由於奈米碳管的微小一維結構，使得副閘極所產生的電場無法

如同薄膜電晶體一般的有效影響奈米碳管電晶體的特性。但是，即使如此，奈米碳管電晶體還是展現出了與模擬結果以及薄膜電晶體相同的電流變化趨勢。



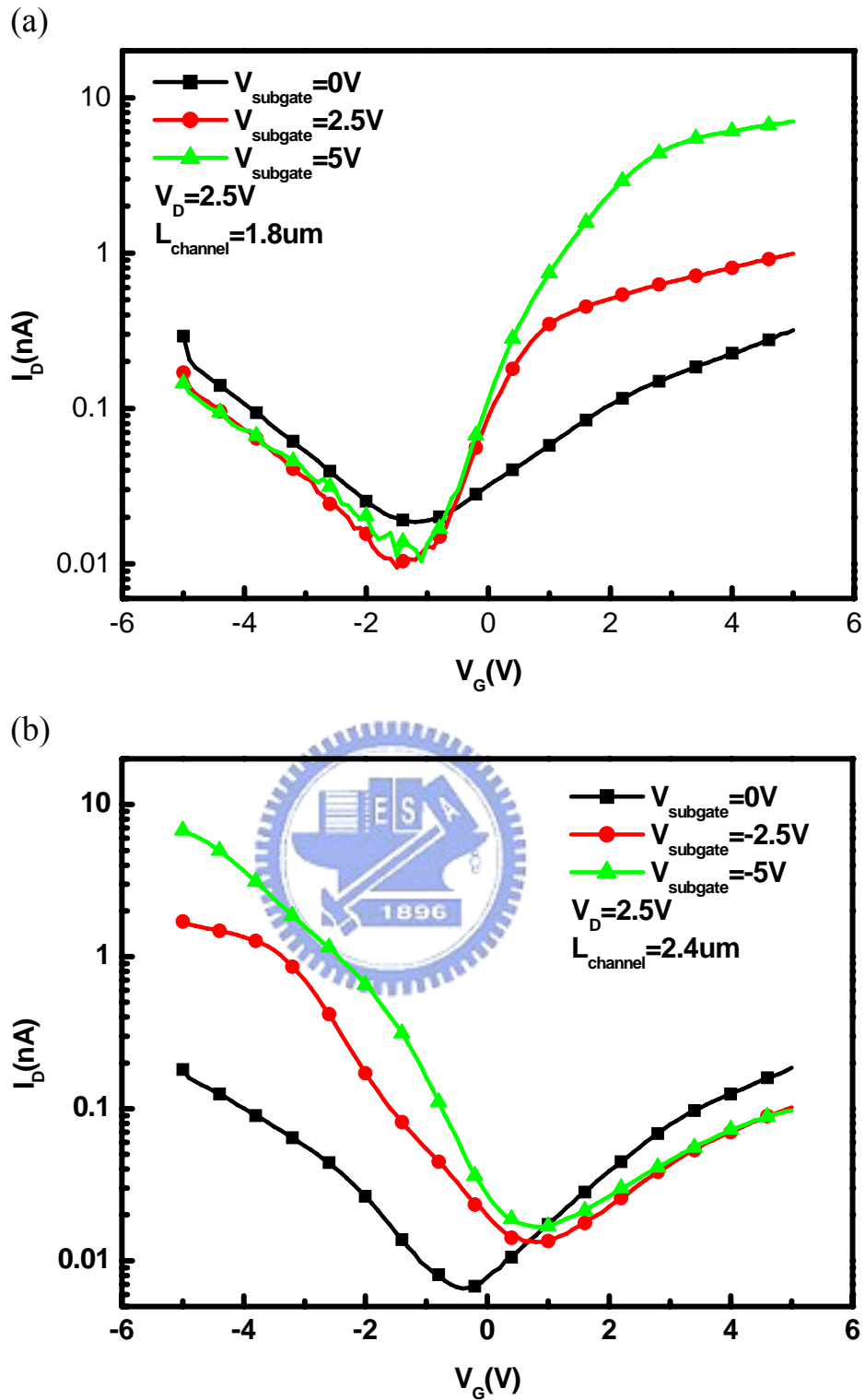


圖 4-1 不同N⁺/P⁺副閘極電壓對薄膜電晶體之 I_D - V_G 特性之影響量測結果：
 (a)N⁺副閘極施加正電壓對於薄膜電晶體之影響。(b)P⁺副閘極施加負電壓對
 薄膜電晶體之影響。

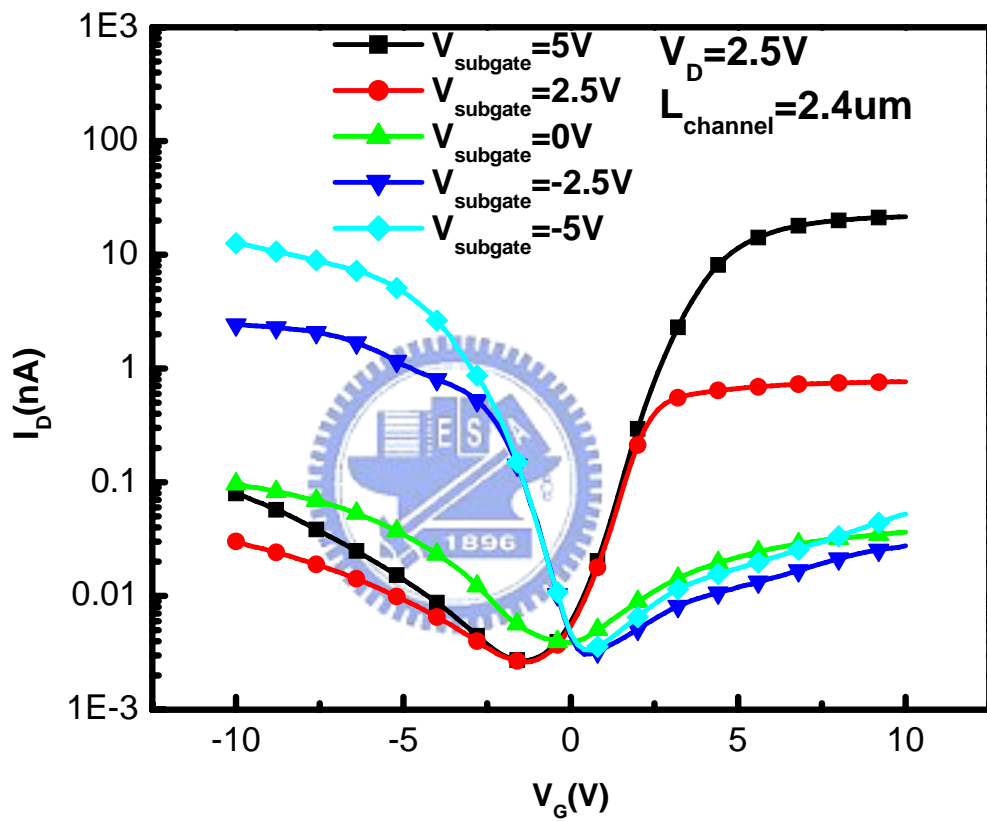
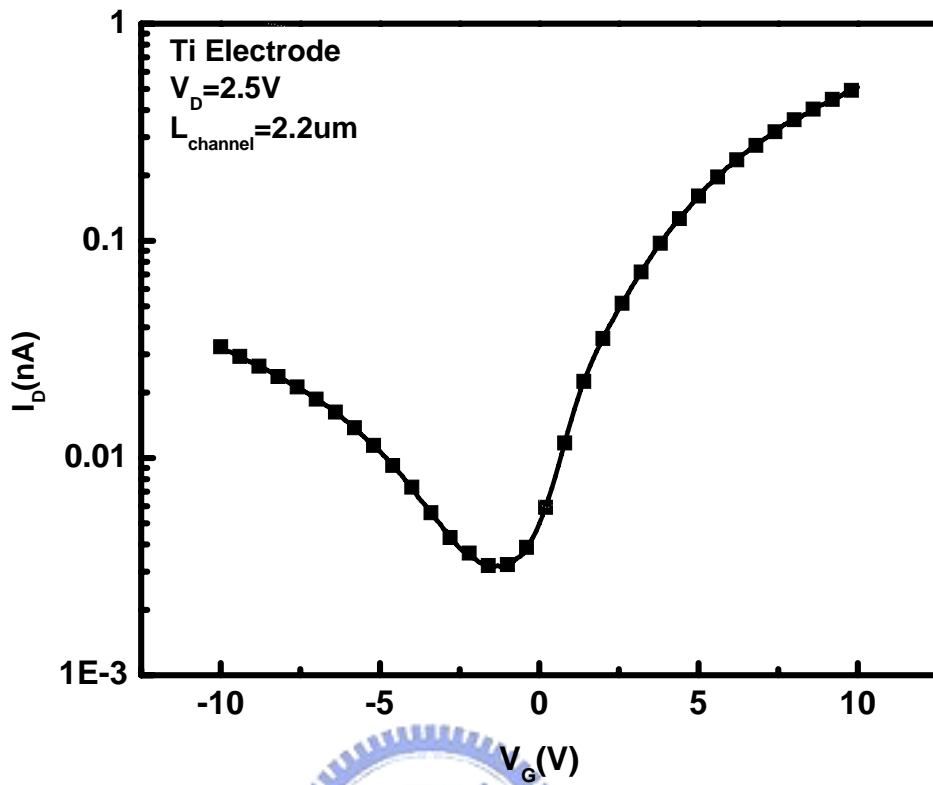


圖 4-2 不同多晶矽副閘極電壓對薄膜電晶體之 I_D - V_G 特性影響量測結果。

(a)



(b)

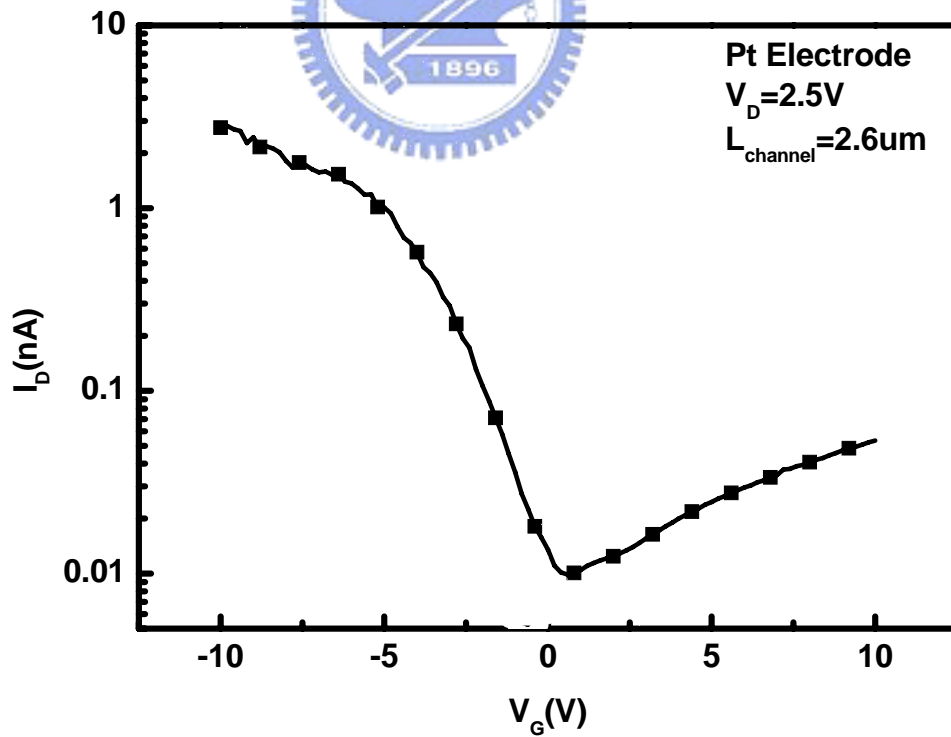
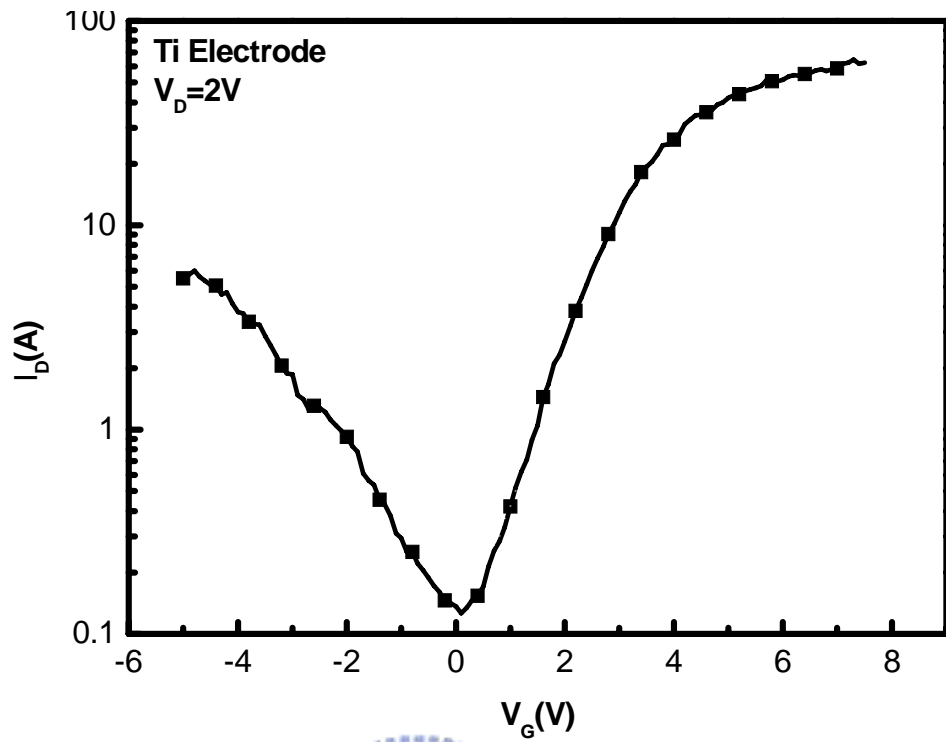


圖 4-3 使用不同金屬電極材料之薄膜電晶體之 I_D - V_G 特性量測結果：(a)使用鈦金屬電極之薄膜電晶體 (b)使用鉑金屬電極之薄膜電晶體。

(a)



(b)

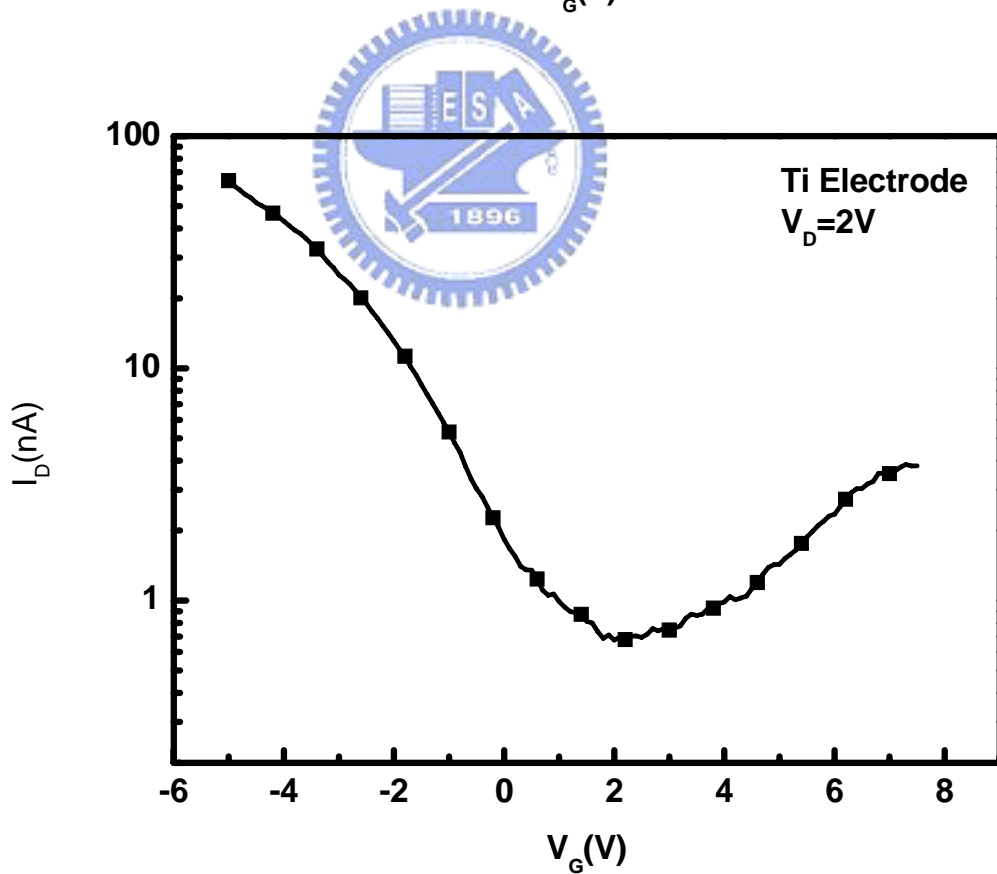
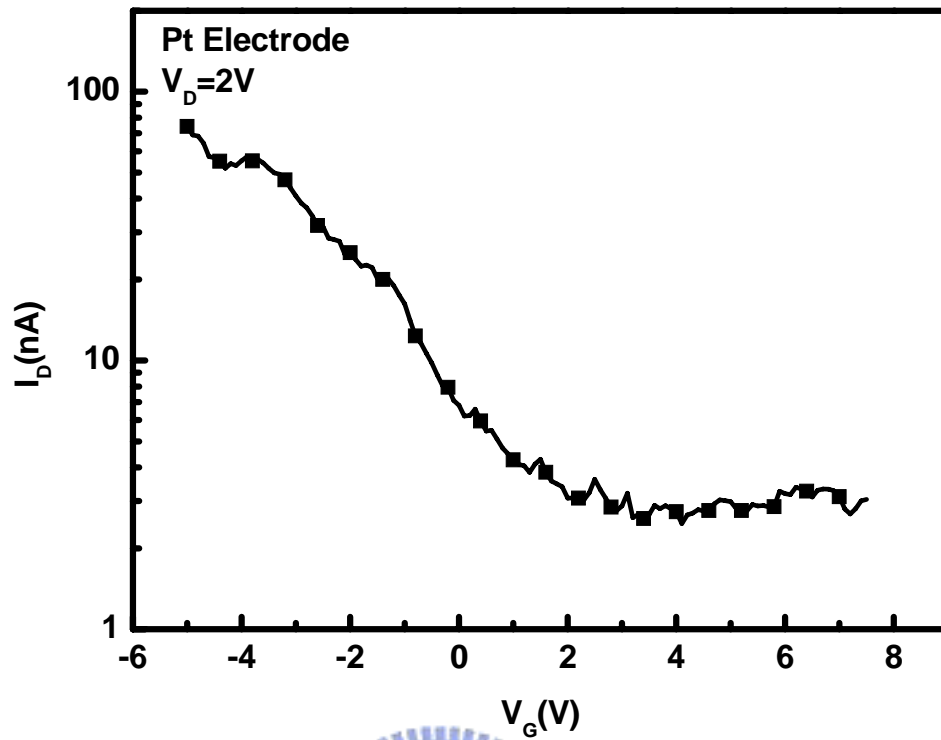


圖 4-4 使用鈦金屬電極之奈米碳管電晶體之 I_D - V_G 特性量測結果：(a)偏向 N-type之雙極性特性 (b)偏向 P type之雙極性特性。

(a)



(b)

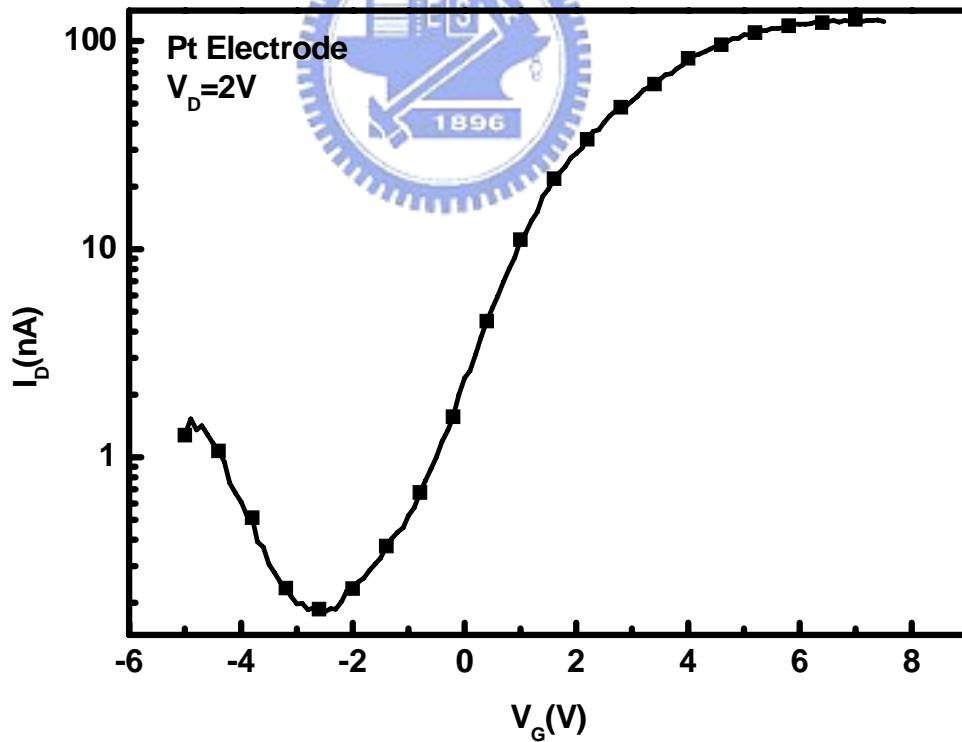
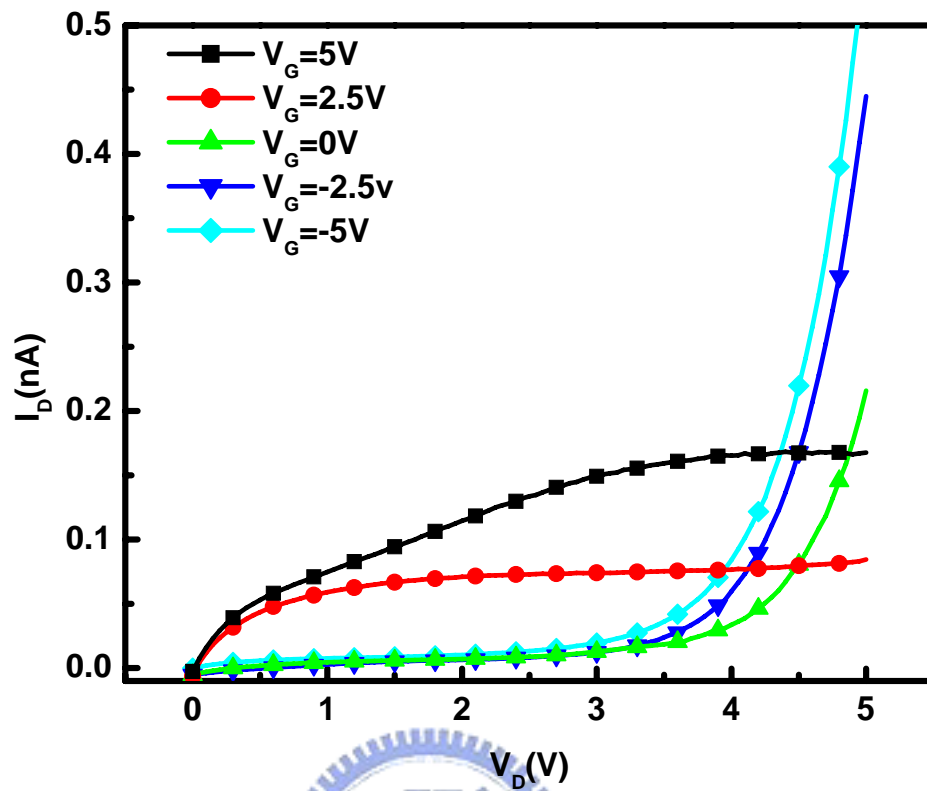


圖 4-5 使用鉑金屬電極之奈米碳管電晶體之 I_D - V_G 特性量測結果：(a)P-type 之 I_D - V_G 特性 (b) N-type之 I_D - V_G 特性。

(a)



(b)

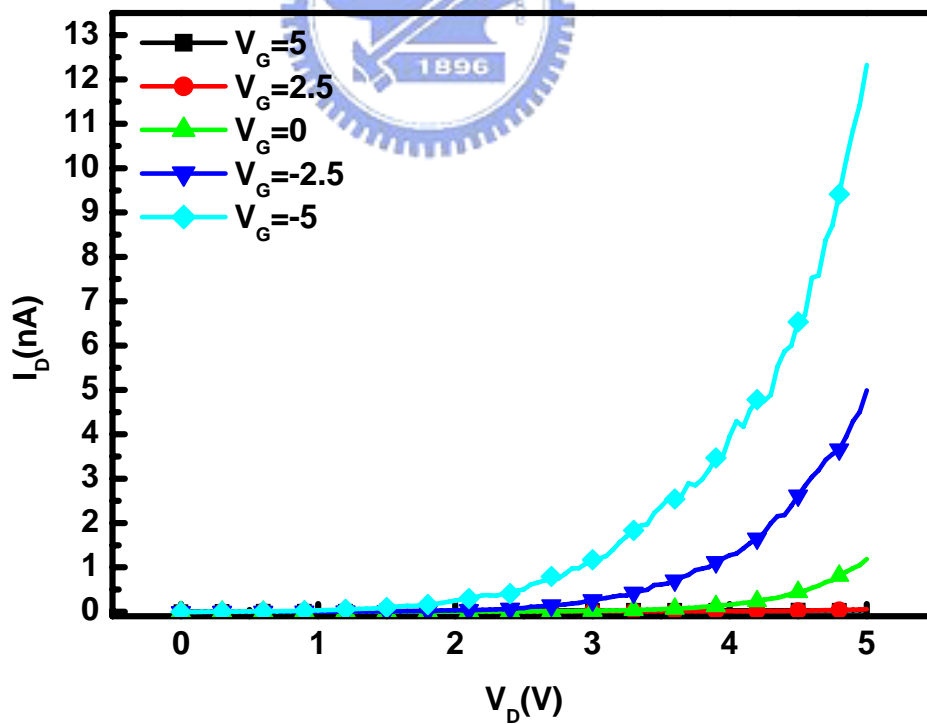
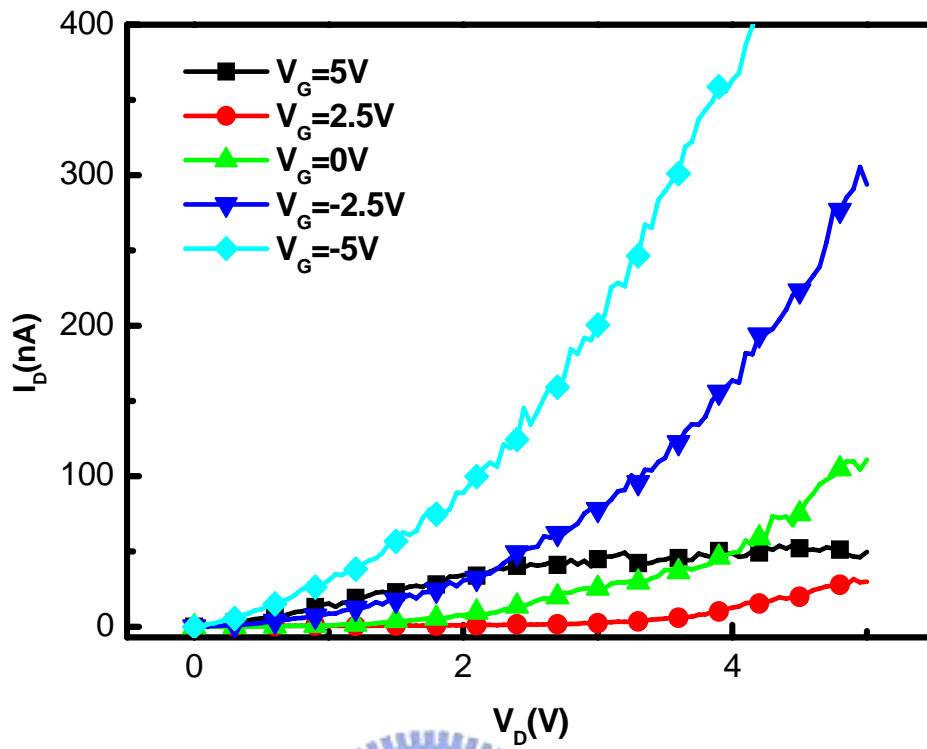


圖 4-6 使用不同金屬電極材料之薄膜電晶體之 I_D - V_D 特性量測結果：(a)使用鈦金屬電極之薄膜電晶體 (b)使用鉑金屬電極之薄膜電晶體。

(a)



(b)

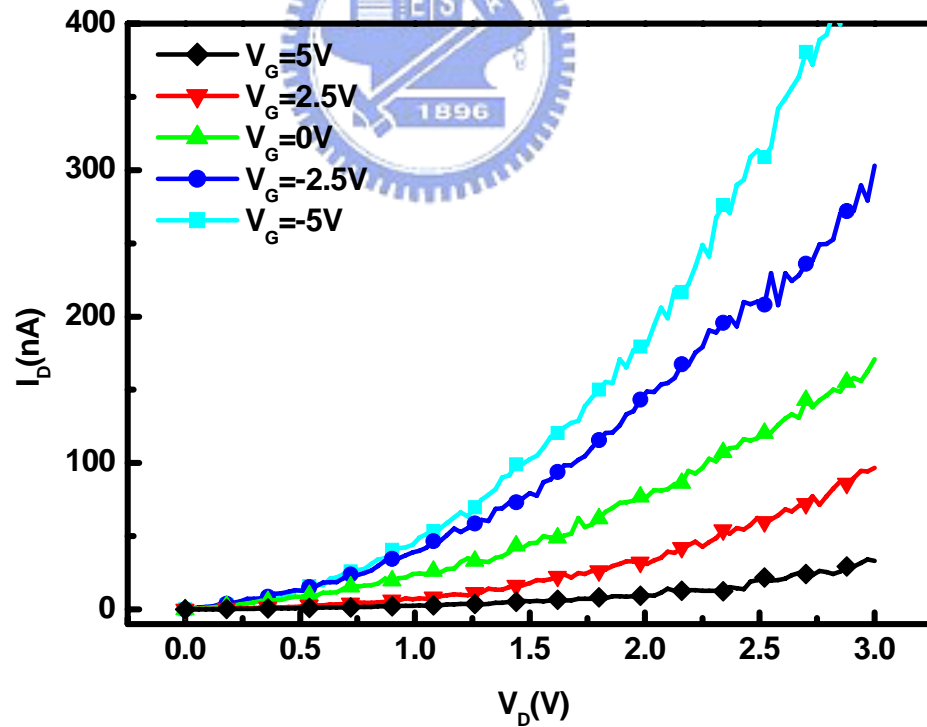
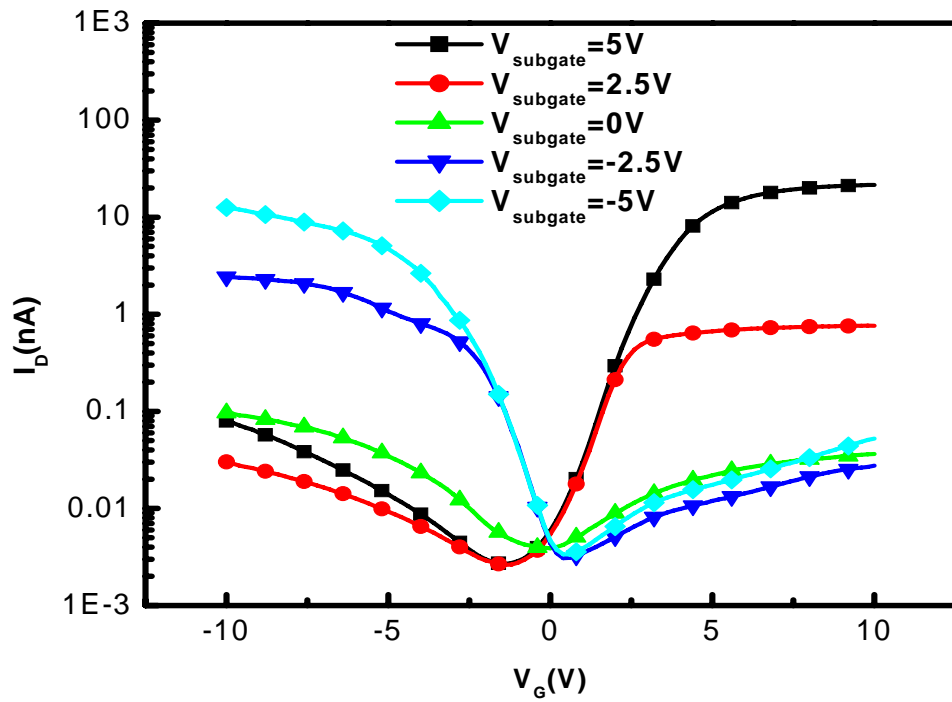


圖 4-7 使用不同金屬電極材料之奈米碳管電晶體之 I_D - V_D 特性量測結果：(a)

使用鈦金屬電極之奈米碳管電晶體 (b)使用鉑金屬電極之奈米碳管電晶體。

(a)



(b)

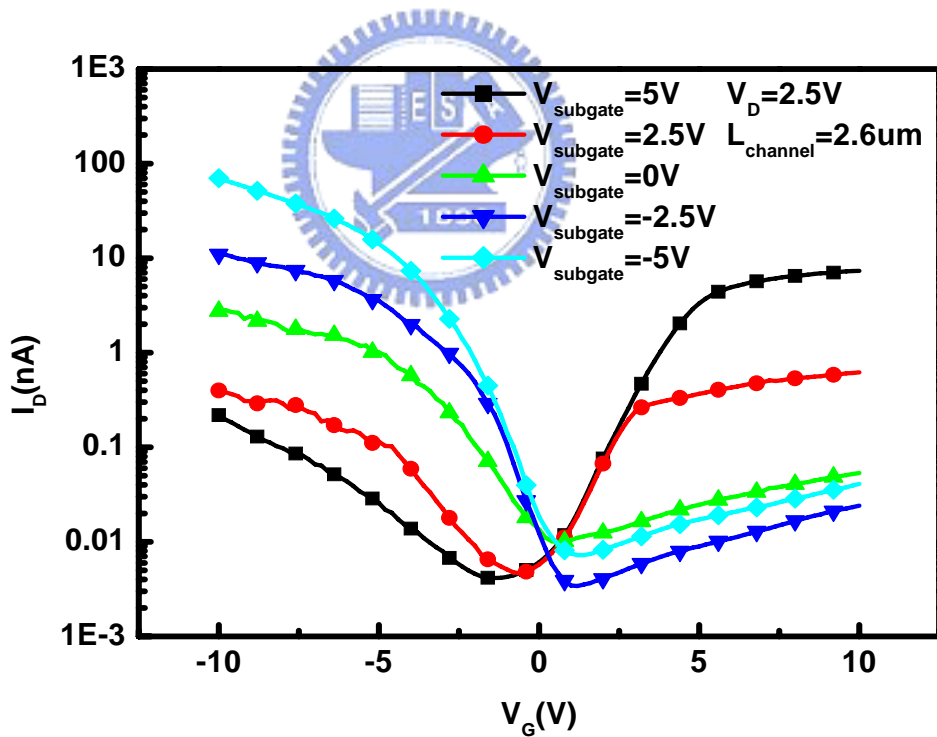
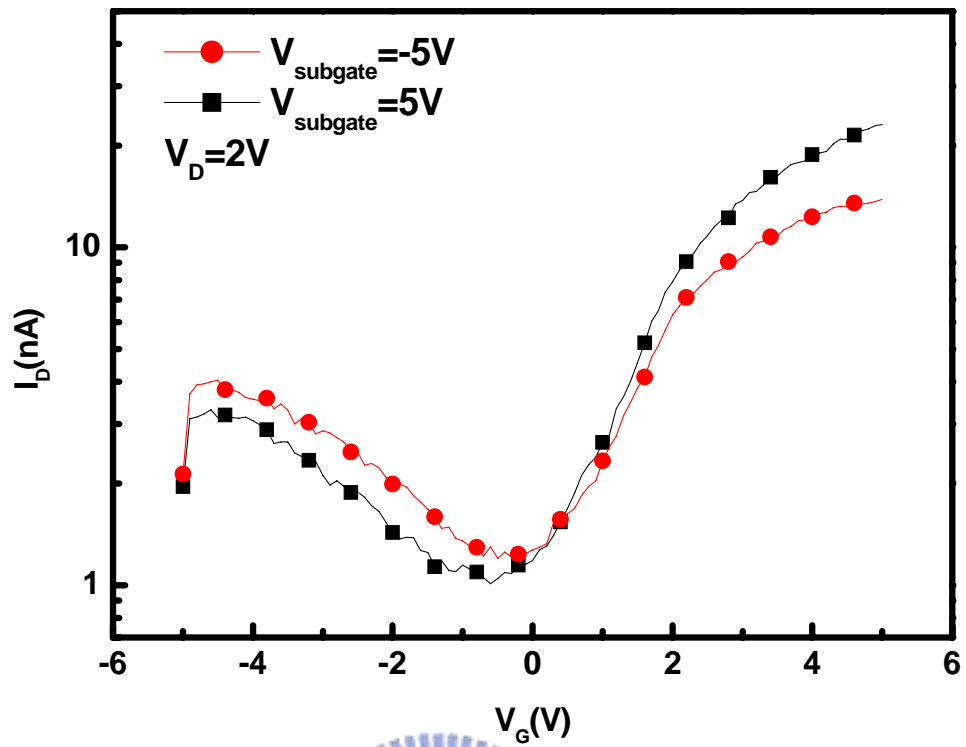


圖 4-8 副閘極電壓對不同金屬電極之薄膜電晶體 I_D - V_G 特性的影響量測結果：(a)鈦金屬電極薄膜電晶體施加不同副閘極電壓之 I_D - V_G 特性(b) 鉑金屬電極薄膜電晶體施加不同副閘極電壓之 I_D - V_G 特性。

(a)



(b)

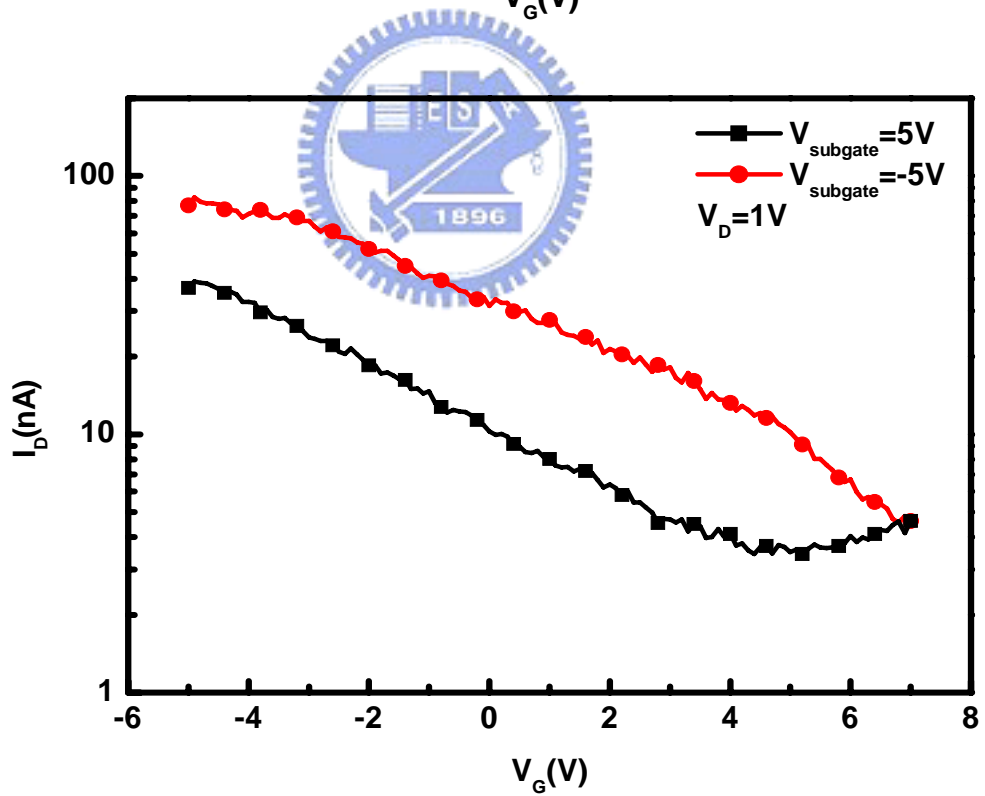
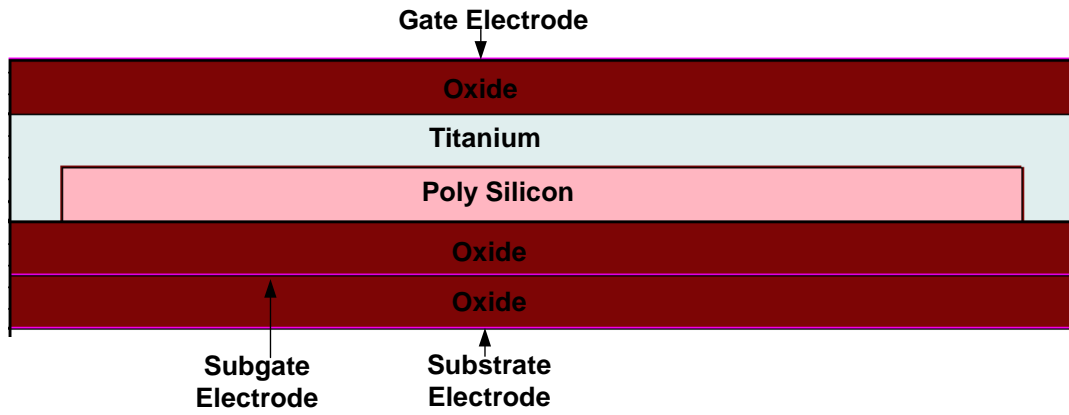


圖 4-9 副閘極電壓對不同金屬電極之奈米碳管電晶體之 I_D - V_G 特性的影響量

測結果：(a)鈦金屬電極奈米碳管電晶體施加 $\pm 5\text{V}$ 副閘極電壓之 I_D - V_G 特性(b)

鉑金屬電極奈米碳管電晶體施加 $\pm 5\text{V}$ 副閘極電壓之 I_D - V_G 特性。

(a)



(b)

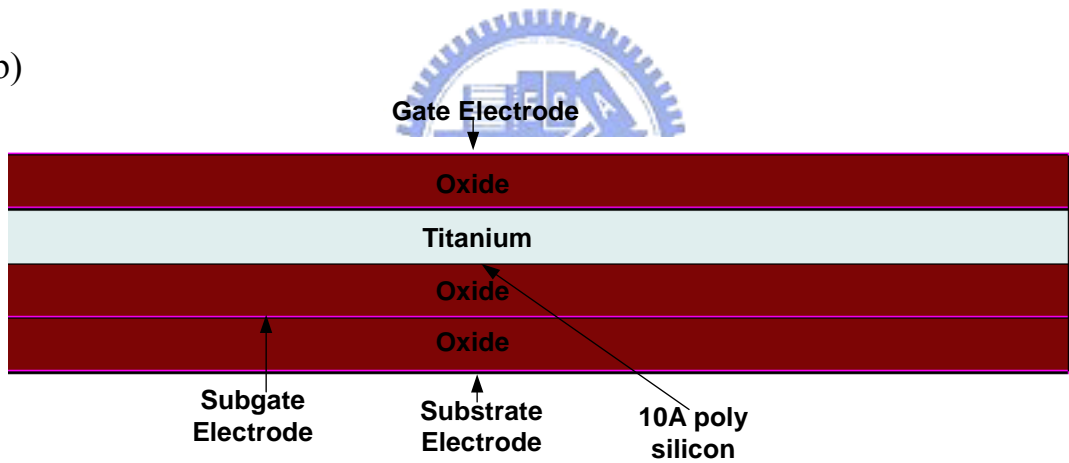
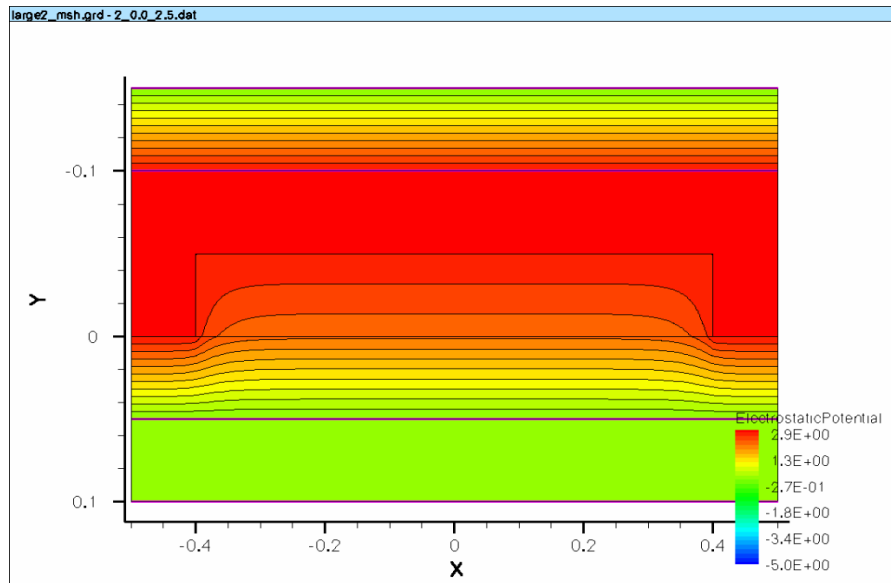


圖 4-10 使用不同厚度與寬度的多晶矽通道來模擬通道的大小對於副閘極的影響力的影響。(a)厚 50nm 寬 $1\mu\text{m}$ 之多晶矽通道(b)厚與寬都是 1nm 之多晶矽通道。

(a)



(b)

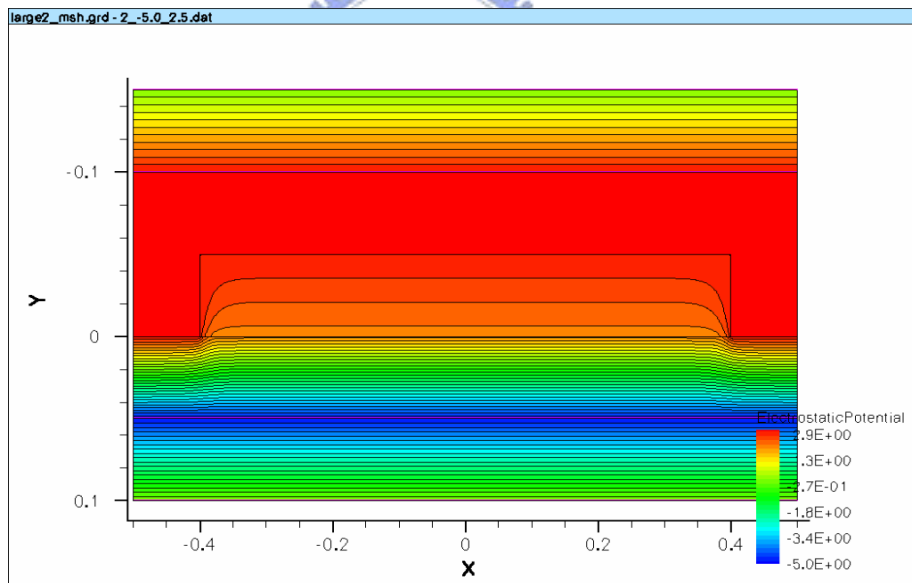
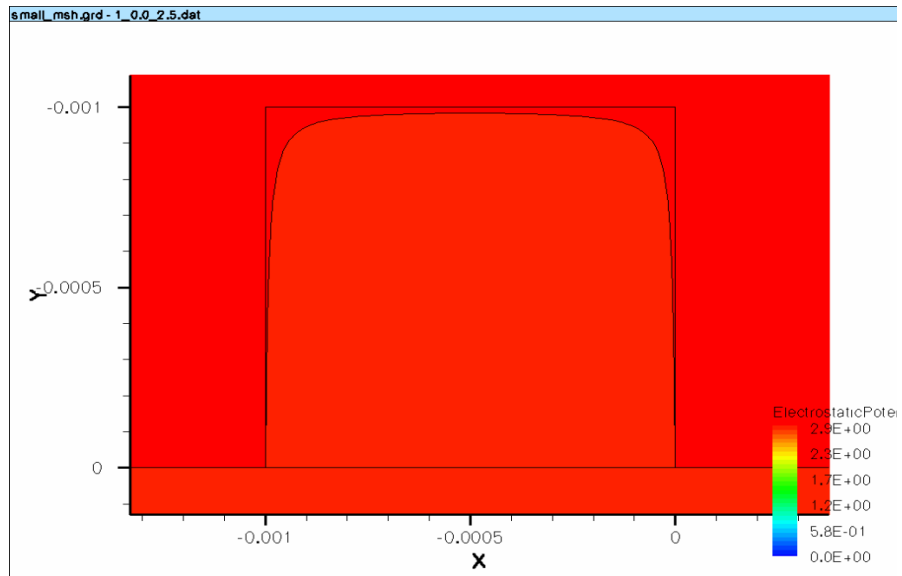


圖 4-11 當 50nm 之多晶矽通道下方之副閘極施加 0V 與 5V 時，通道中的電位分佈。(a)副閘極為 0V 時的電位分佈(b) 副閘極為-5V 時的電位分佈。

(a)



(b)

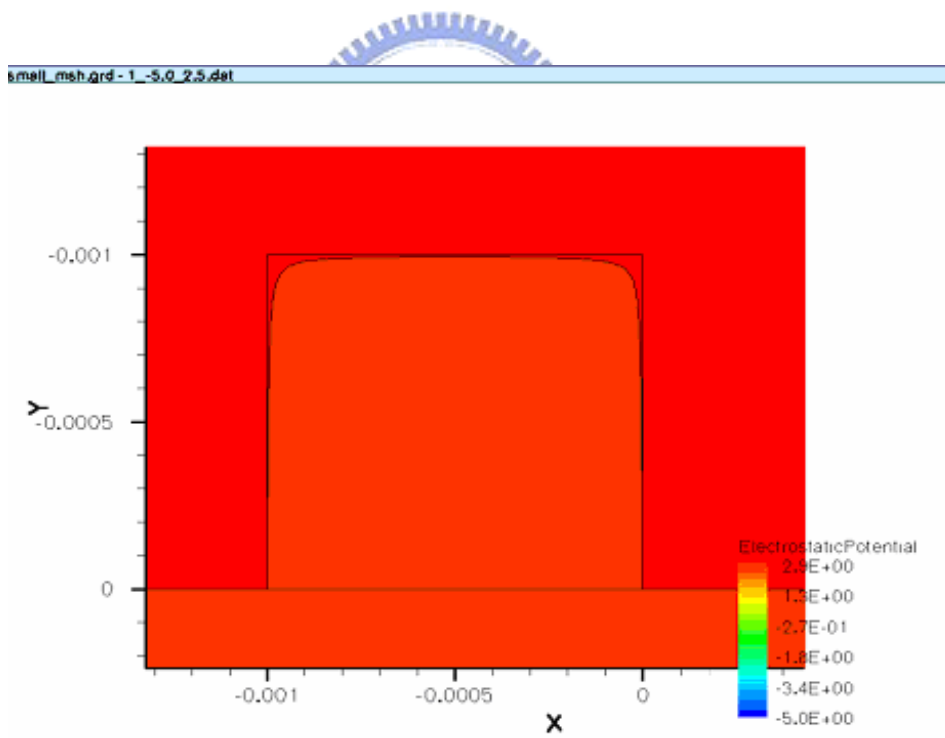


圖 4-12 當 1nm 之多晶矽通道下方之副閘極施加 0V 與 5V 時，通道中的電位分佈。(a)副閘極為 0V 時的電位分佈(b) 副閘極為-5V 時的電位分佈。

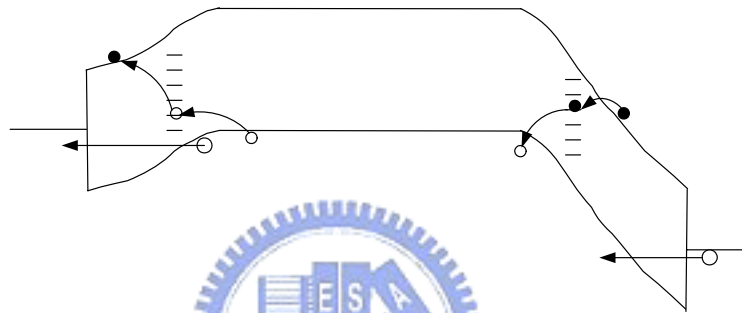
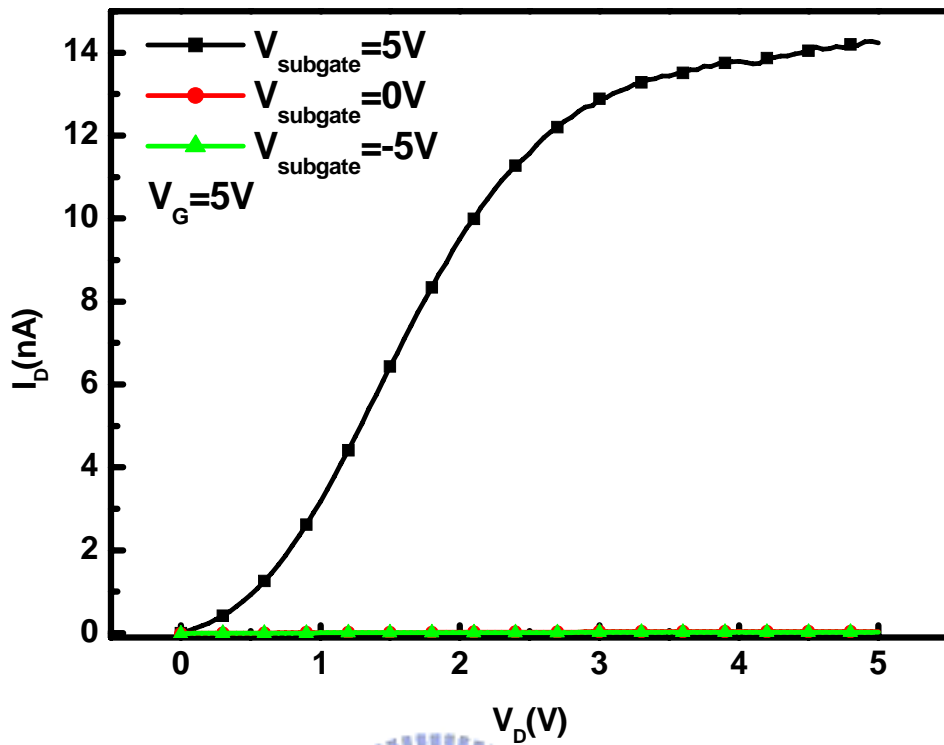


圖 4-13 當施加極性相反的閘極與副閘極電壓時，會產生通道-通道穿隧 (Band to Band tunneling) 之現象。

(a)



(b)

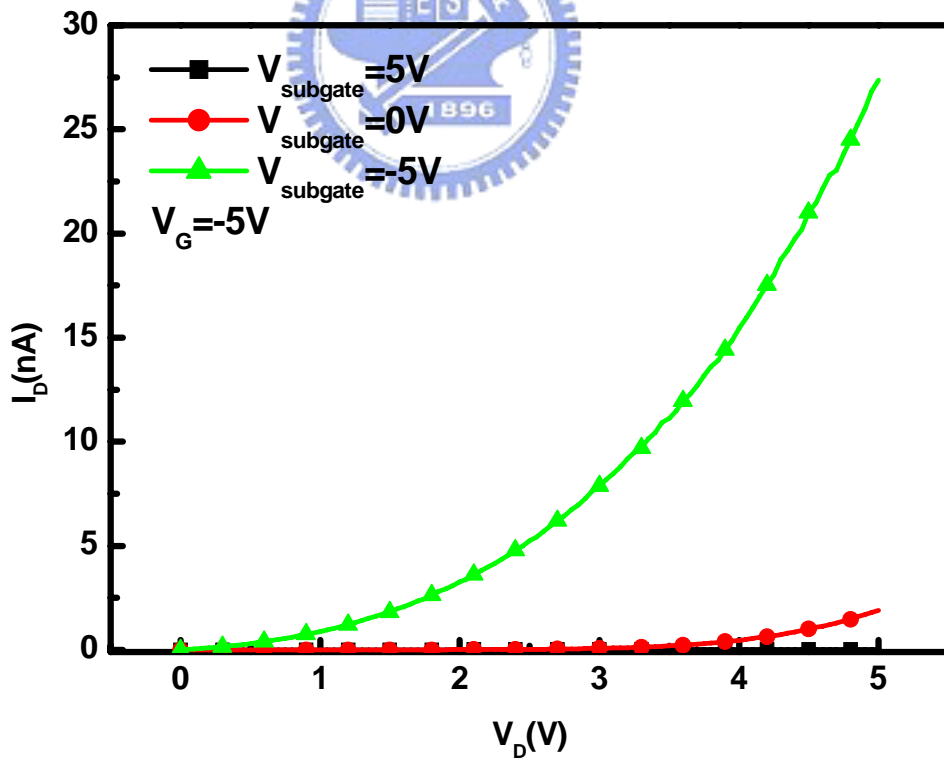
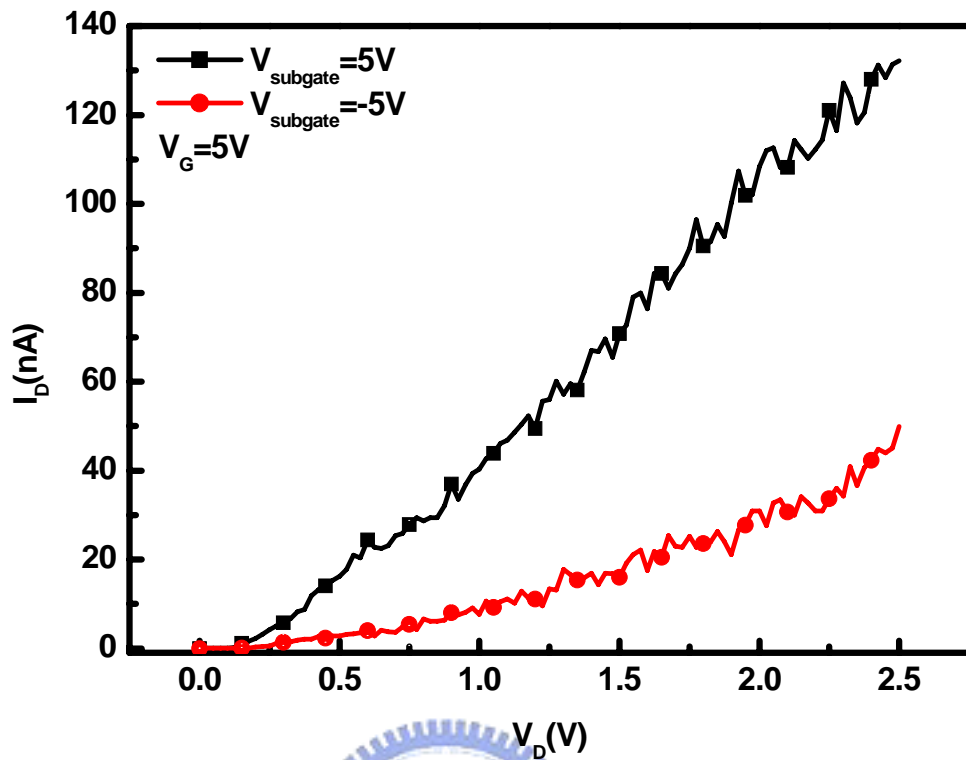


圖 4-14 鈦金屬電極薄膜電晶體在不同閘極電壓下，副閘極電壓對其 I_D - V_D 特性之影響量測結果：(a)閘極施加正電壓(b)閘極施加負電壓。

(a)



(b)

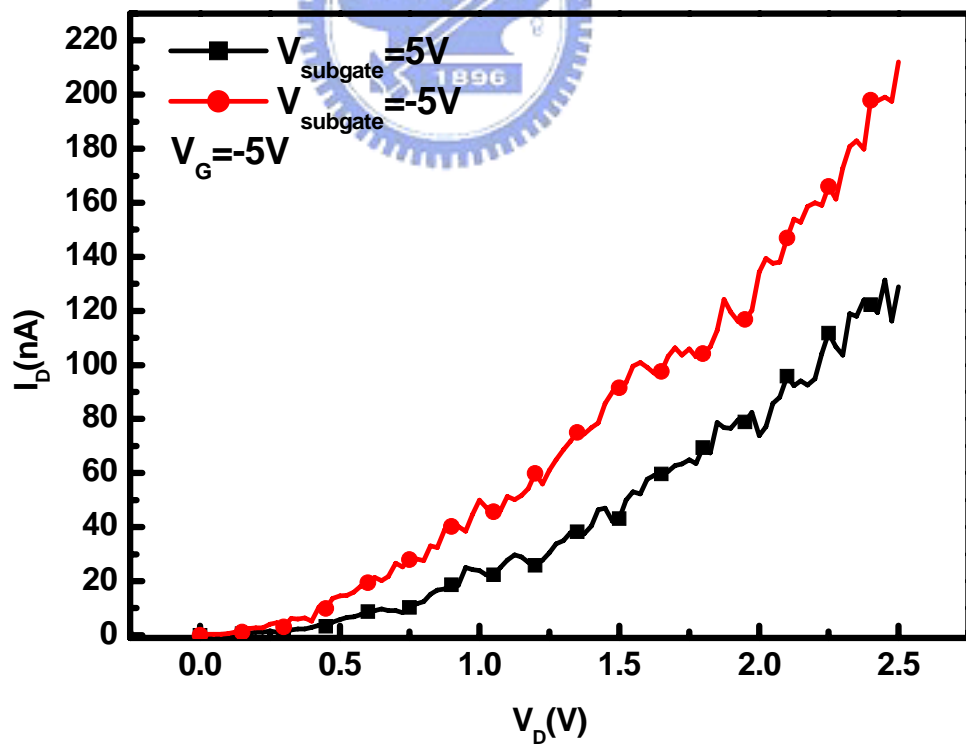
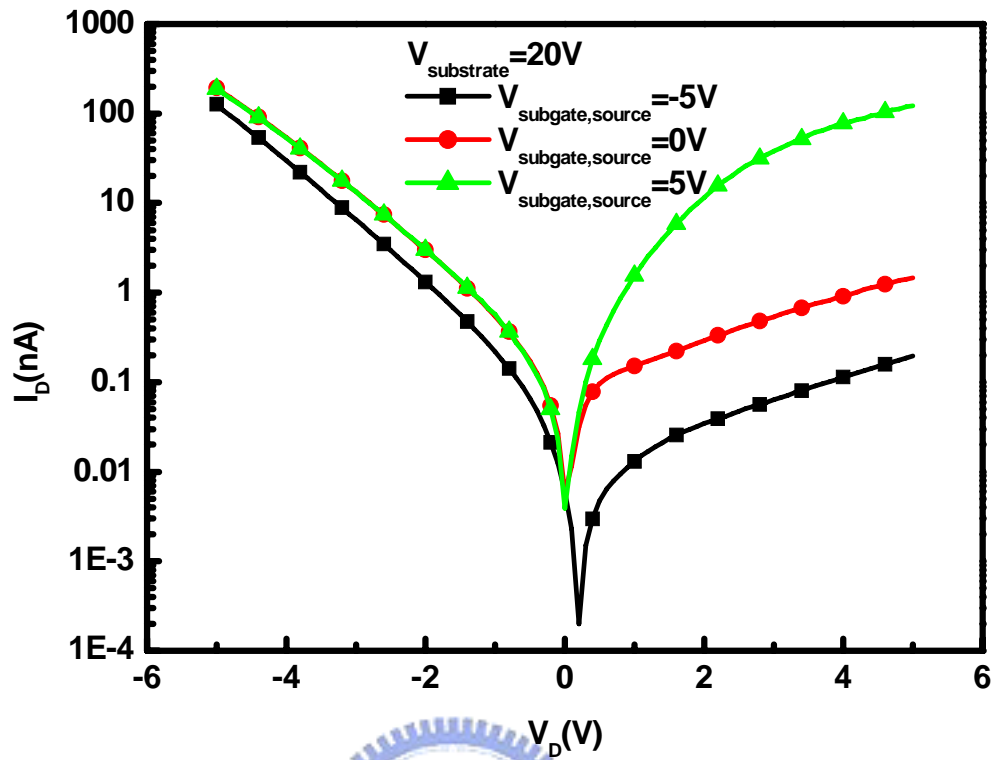


圖 4-15 鈦金屬電極之奈米碳管電晶體在不同閘極電壓下，副閘極電壓對其 I_D - V_D 特性之影響量測結果：(a) 閘極施加正電壓 (b) 閘極施加負電壓。

(a)



(b)

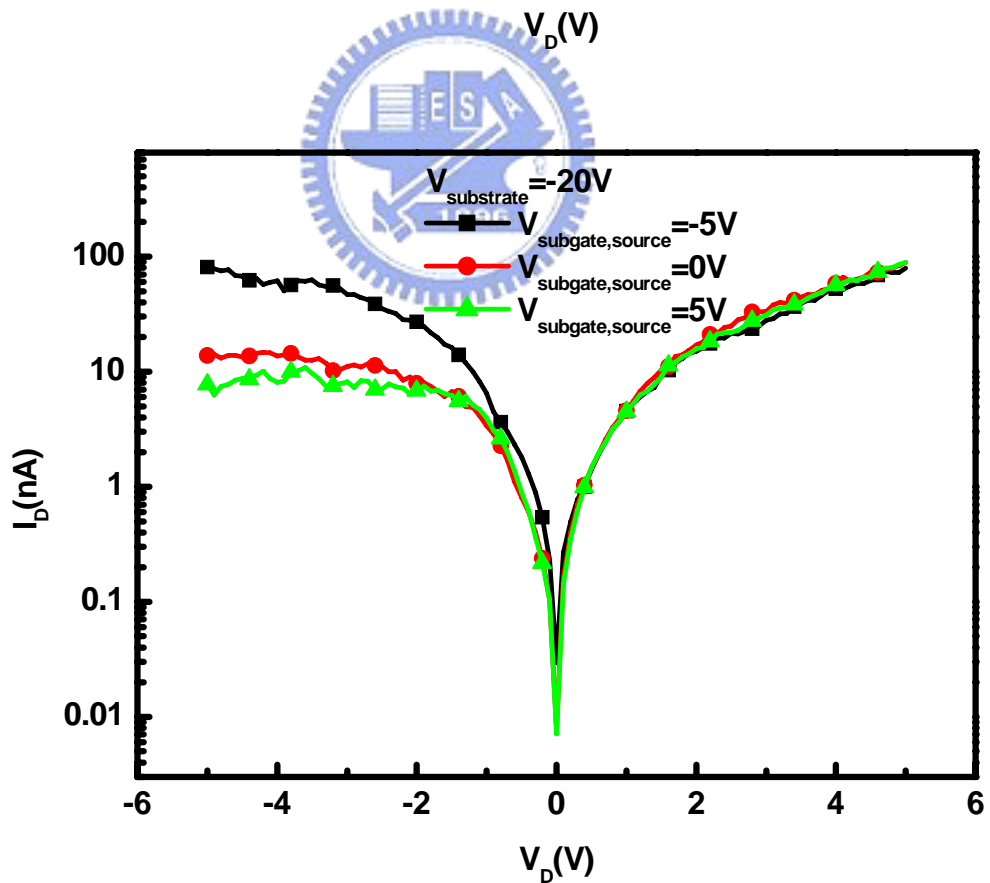
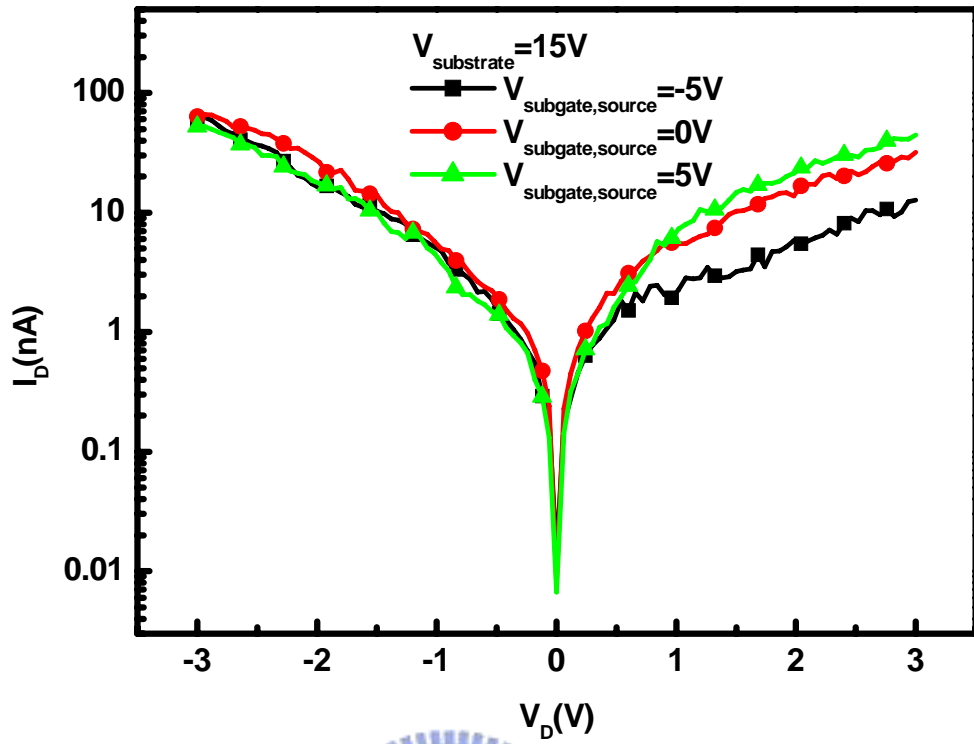


圖 4-16 不同基板電壓下，源極端副閘極電壓對於薄膜電晶體導通電流的影響量測結果：(a)基板電壓為 20V (b) 基板電壓為 -20V 。

(a)



(b)

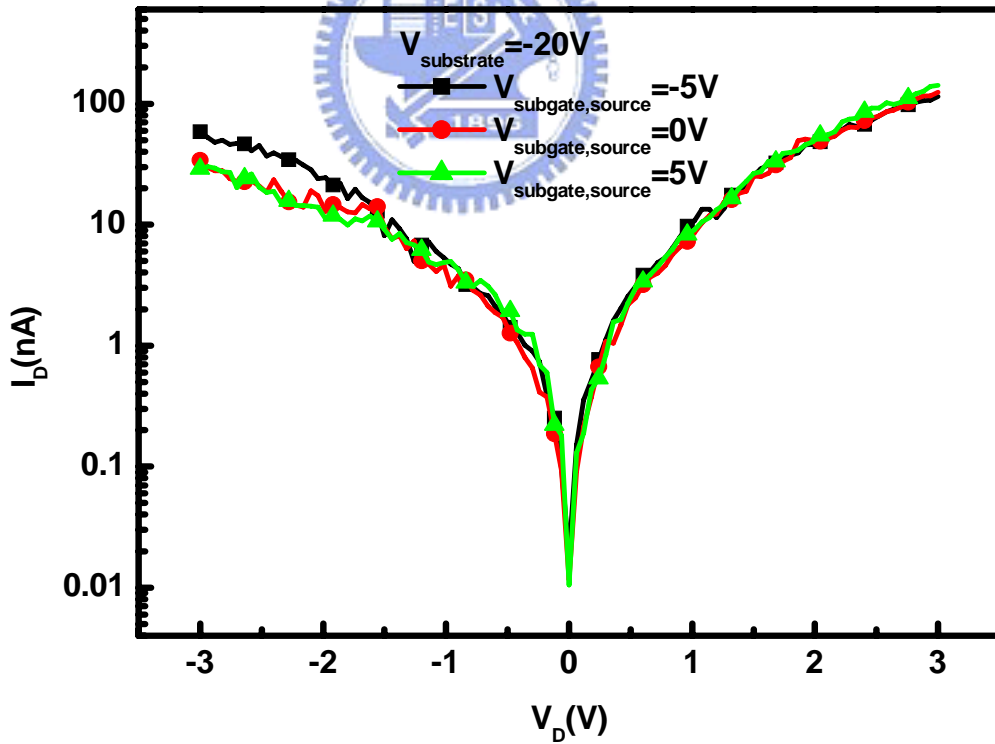


圖 4-17 不同基板電壓下，源極端副閘極電壓對於奈米碳管電晶體導通電流的影響量測結果：(a)基板電壓為 15V (b) 基板電壓為-20V。

第五章

低溫電性模擬結果與討論

5-1 緒論

我們在本章中將 Temperature model 加入 ISE TCAD 模擬程式中，模擬在不同的溫度狀態下的薄膜電晶體之電氣特性，並且由元件的能帶圖與蕭基位障的載子穿透機制和載子的遷移率來解釋模擬的結果。

我們在模擬中考慮了蕭基位障的兩個主要的電流穿透的機制：熱游離發射 (Thermionic emission) 與穿隧效應 (Tunneling effect)。在文獻[39]中，考慮圖 5-1 之能帶圖的蕭基位障，其主要的電流傳導公式為：

$$J = \frac{A^*T}{k} \exp\left(\frac{-q\phi_{Bn}}{kT}\right) \int_0^\infty T(\zeta) \exp\left(-\frac{\zeta}{kT}\right) d\zeta + \frac{A^*T}{k} \int_0^{q(V_b - \Delta\phi)} F_m T(\eta) (1 - F_s) d\eta$$

式子中的第一項為熱游離發射產生之電流，第二項為穿隧效應產生的電流。由式子中可以看出熱游離發射產生的電流與溫度有著 $T \exp\left(-\frac{1}{KT}\right)$ 的關係，因此會對溫度有相當敏感的反應，當溫度降低時，熱游離發射的電流會大幅的減少。而穿隧效應產生的電流則只會與溫度有正比的關係，所以當溫度降低時，穿隧效應產生的電流雖然也會隨著溫度降低而減少，但並不如熱游離發射電流的改變般明顯。

而當載子穿過蕭基位障後，會受到汲極電壓的影響而使得電子向汲極端遷移，以及電洞向源極端遷移，而載子遷移的速率除了與施加的電場大小相關外，載子的遷移率 (Mobility) 也會影響載子遷移的速率，進而影響導通電流的大小。而半導體中載子的遷移率主要是受到通道中的晶格震動所產生的聲子散射 (Phonon Scattering) 所影響。當我們降低溫度時，晶格

震動的現象會隨著溫度的降低而減少，因此載子便不容易發生聲子散射的情形，而使得載子的遷移率會隨著溫度的降低而增加。在文獻[40]中對於低參雜的矽，其遷移率的公式為：
$$\mu = \frac{\sqrt{8\pi} q \hbar^4 C_{11}}{3E_{ds} m^{*5/2} (kT)^{3/2}} \propto (m^*)^{-5/2} T^{-3/2}$$
由式中可以看出遷移率有著與溫度的 3/2 次方成反比的關係。

綜合以上的模型所顯示，當溫度下降時，穿過蕭基位障的載子數目會減少，但是當載子穿過蕭基位障之後，載子在通道中遷移的速度又會隨著溫度的下降而增加。當兩項效應互相影響時，會使得熱游離發射產生的導通電流減少，但是穿隧效應產生的導通電流會隨著溫度的下降而增加。所以當溫度下降時，我們可以利用電流的增減與變化的幅度，來看出此時的導通電流為熱游離發射主導還是穿隧效應所主導。

5-2 溫度對薄膜電晶體 I_D-V_G 特性之影響

圖 5-2 是模擬出金屬電極功函數為 4.5eV 之薄膜電晶體在不同溫度下之 I_D-V_G 特性。由圖中可以發現，當溫度降低時，元件的導通電流會隨之降低。但是大閘極電壓下的電流降低幅度，比起小閘極電壓時導通電流下降幅度來的小。

這是因為當我們增加閘極電壓時所增大的電流，是來自於閘極電壓的邊緣電場壓抑源極與汲極端的蕭基位障的寬度而使穿隧電流增加的結果。而因為閘極電壓不會影響蕭基位障的高度，因此熱游離發射產生的電流不會受到閘極電壓的影響而改變。所以當閘極電壓較大時，穿隧電流在整體的導通電流中所佔的比重便比較大。當溫度降低時，雖然熱游離發射產生的電流大幅減少，但是所佔的比例較低，而穿隧電流卻會隨著溫度的降低而增加，使得整體的電流差異不大。反之，當閘極電壓較小時，蕭基位障的寬度較大，此時的穿隧電流較小，主要的導通電流為熱游離發射所產生。因此當溫度降低時，導通電流會發生大幅減少的狀況。

5-3 溫度對薄膜電晶體 I_D-V_D 特性之影響

圖 5-3 是使用金屬電極功函數為 4.5eV 之薄膜電晶體所模擬出在不同閘極電壓下的不同溫度之 I_D-V_D 特性。由圖中可以看出當溫度降低時，正閘極電壓下的電流會有明顯的減少。但是在負閘極電壓下的電流，其變化的幅度並不大。

這是因為如同第三章所解釋的結果：當閘極為正電壓時，隨著汲極電壓增加所增加的電流，主要是因為汲極端的蕭基位障逐漸消失，使得載子可以利用熱游離發射大量的越過蕭基位障。最後當汲極端的蕭基位障完全消失後，電流便會出現飽和的現象。這時的電流，除了源極端仍然是熱游離發射與穿隧效應同時存在外，汲極端的電子大部分都是透過熱游離發射進入汲極電極中。因此，當溫度下降時，熱游離發射產生的電流會大幅減少，所以會造成正閘極電壓下的導通電流大幅減少的狀況。

而在負閘極電壓時，主要是因為汲極電壓的提昇造成汲極端穿隧電流的增加而使導通電流變大。所以在負閘極偏壓下，汲極電壓增加時，所增加的導通電流中主要是穿隧電流，因此溫度改變所造成的電流變化並不明顯。

5-4 副閘極電壓對薄膜電晶體在不同溫度之 I_D-V_G 特性之影響

圖 5-4 是對金屬電極功函數為 4.5eV 之薄膜電晶體在不同副閘極電壓下，所模擬出的不同溫度之 I_D-V_G 特性。由圖中可以看出當副閘極施加正電壓時，負閘極電壓下的導通電流會受到溫度的影響而有相當大的差異，直到閘極電壓再加大，不同溫度的導通電流的差異又逐漸變小。而正閘極電壓下的導通電流對於溫度的反應較小。反之，當副閘極施加負電壓時，負閘極電壓下的導通電流受到溫度的影響較少，而正閘極電壓下的導通電流

對於溫度的改變有較大的變化。

這是因為當我們在副閘極施加正電壓時所產生的區域電場會減少電子所看到的蕭基位障寬度，但是增加電洞看到的蕭基位障寬度，因此會增加電子的穿隧電流並且減少電洞的穿隧電流。因此，正閘極電壓下的導通電流中穿隧電流所佔的比重會因此而增加，而形成穿隧電流主導。所以當溫度變化時，正閘極電壓時的導通電流對於溫度的影響便不明顯。反之，在負閘極電壓狀況下，因為副閘極的電場使得熱游離發射電流所占的比重較大，使得負閘極電壓時的導通電流對於溫度有較大的變化。

同理，當副閘極施加正電壓時，會使得負閘極偏壓時的導通電流為熱游離發射所主導而對溫度有較大的反應。而使正閘極偏壓時的導通電流為穿隧電流所主導，而使溫度的影響較小。

5-5 副閘極電壓對於薄膜電晶體在不同溫度之 I_D-V_D 之影響

圖 5-5 是一個金屬電極功函數為 4.5eV 之薄膜電晶體在正閘極偏壓時，不同的副閘極電壓對不同溫度之 I_D-V_D 特性的模擬結果。圖 5-6 是一個金屬電極功函數為 4.5eV 之薄膜電晶體在負閘極偏壓時，不同的副閘極電壓對不同溫度之 I_D-V_D 特性的模擬結果。由圖中可以看到，當我們對副閘極施加正電壓時，正閘極時的導通電流對於溫度變化的改變量會變的較小。反之，當副閘極施加負電壓時，會使得正閘極偏壓下的導通電流對於溫度變化的改變增加。

這是因為正閘極偏壓時，若是在副閘極施加正電壓，則會壓縮源極與汲極端的蕭基位障的寬度，造成穿隧電流的增加，因此在整體的導通電流中，穿隧電流所佔的比重便會增加，所以當溫度下降時，導通電流受到溫度改變所影響的幅度會比較小。反之，當副閘極施加負電壓時，會使得蕭基位障的寬度增加，因而使穿隧電流減少，因此，此時的導通電流大部分

是熱游離發射所產生的導通電流，會使得導通電流受到溫度較大的影響。

而當閘極為負電壓時，我們若是在副閘極所施加正電壓，雖然會同樣會增加電洞所看到的蕭基位障寬度，所以會使得導通電流中穿隧電流所占的比例減少，而使得導通電流對溫度的變化較敏感。但是此時的導通電流絕大部分都是穿隧電流，所以副閘極對於負閘極電壓時的導通電流對於溫度的變化並沒有太大的影響。

5-6 小結

由上面的溫度模型可以知道：我們可以利用不同偏壓下的電流受到溫度的影響程度大小來分辨此時的電流主要是熱游離發射電流所主導還是穿隧電流所主導。

而由 I_D-V_G 模擬中可以發現：當施加較大的閘極電壓時，會因為閘極電壓使得蕭基位障變薄，而使得穿隧電流增加而成為主要的導通電流，因此，此時的電流受到溫度的影響較少。反之，當閘極電壓較小時，因為蕭基位障寬度較寬，因此穿隧電流較少，主要的導通電流是熱游離發射電流，因此會受到溫度相當大的影響。

而由 I_D-V_D 特性的模擬中也可以發現，正閘極電壓下的導通電流主要是因為源極端蕭基位障高度減低而增加的熱游離發射電流，因此會受到溫度較大的影響。而負極電壓下的導通電流主要是汲極端蕭基位障變薄而使得穿隧電流增加之故，因此受到溫度的影響便不明顯。

同理，當副閘極施加正電壓時，會使電子所看到的蕭基位障變薄，而使得電子的穿隧電流增加，並且抑制電洞的穿隧電流。因此 I_D-V_G 特性中，正閘極電壓下的電流受到溫度的影響會變小，而負閘極電壓下的電流會受到溫度較大的影響。

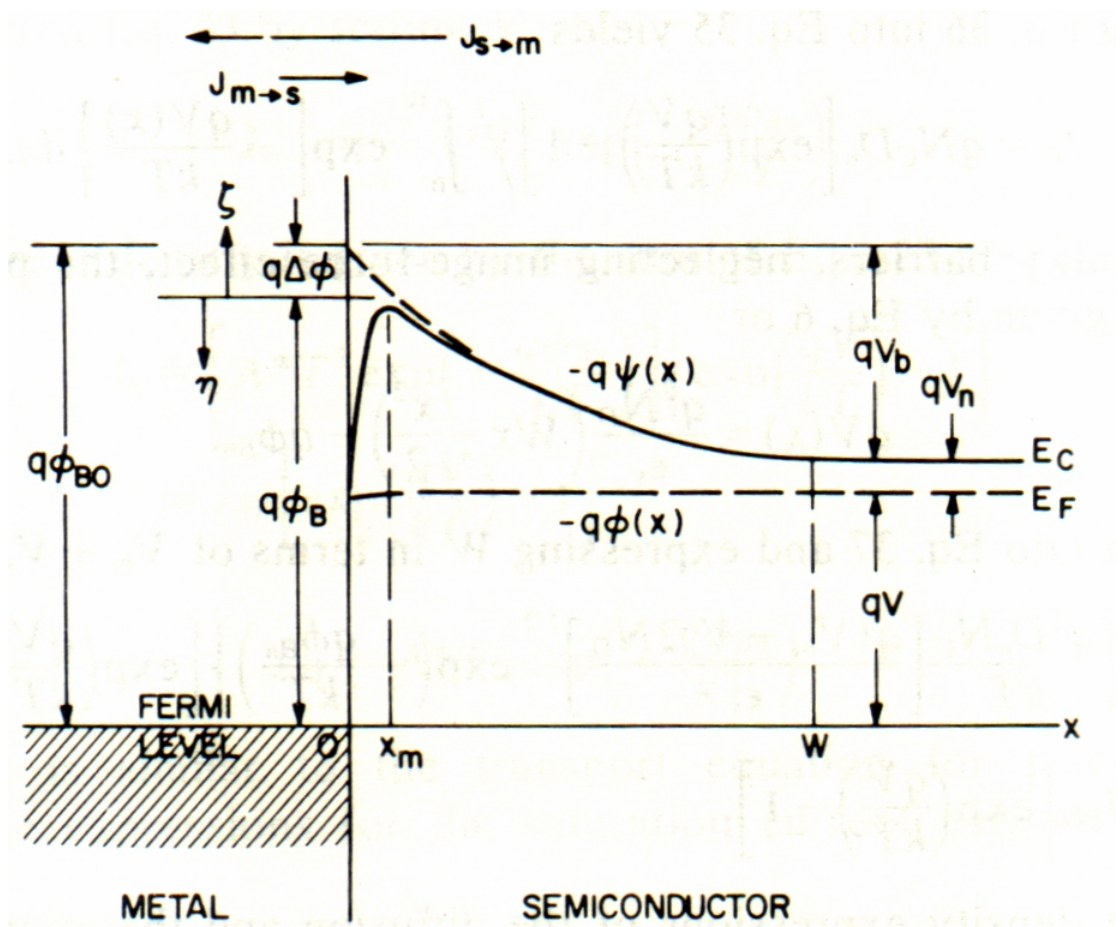


圖 5-1 蕭基位障能帶圖[39]。

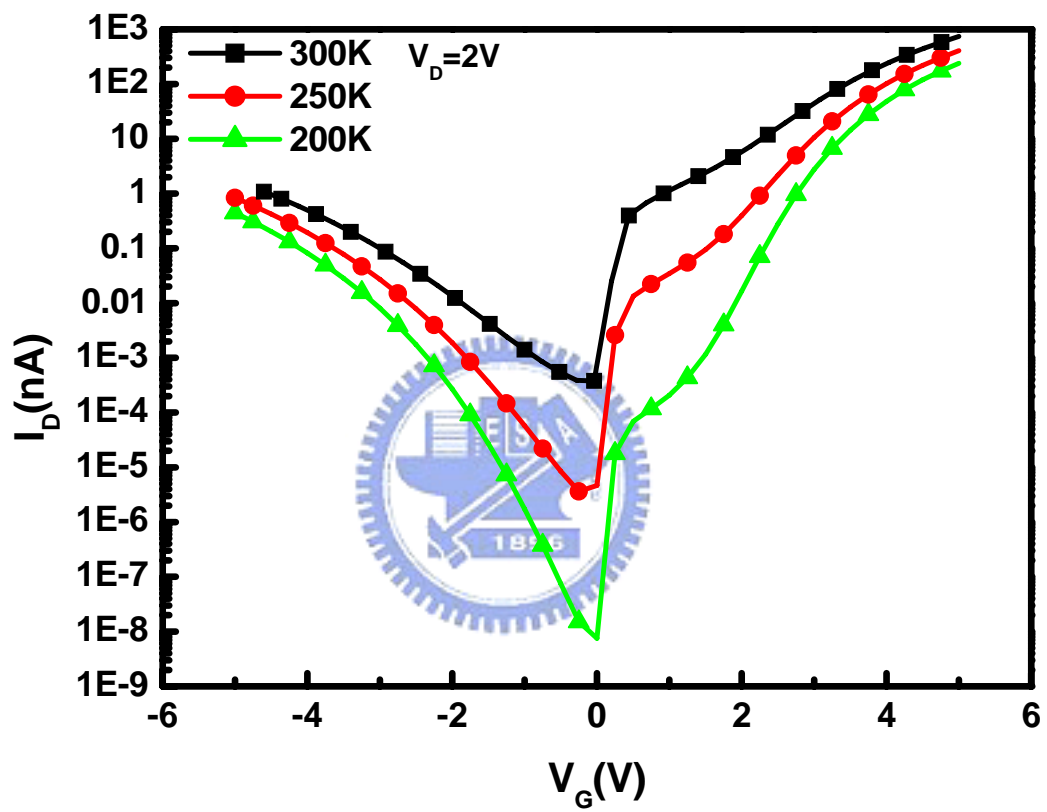
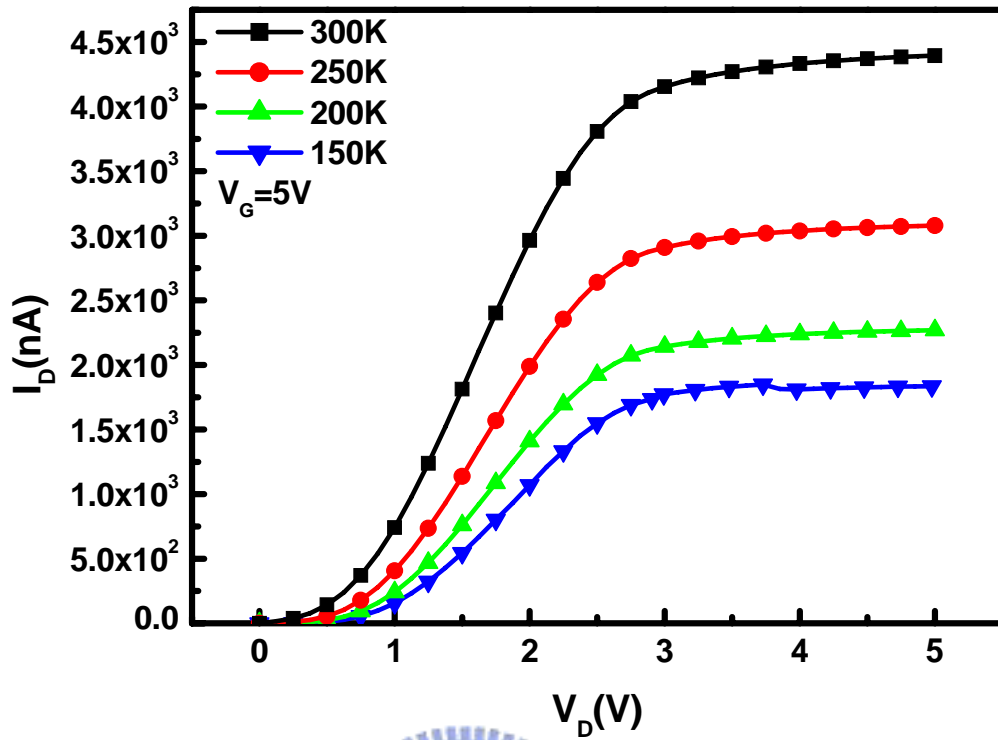


圖 5-2 金屬電極功函數為 4.5eV之薄膜電晶體在不同溫度下之 I_D - V_G 特性模擬結果。

(a)



(b)

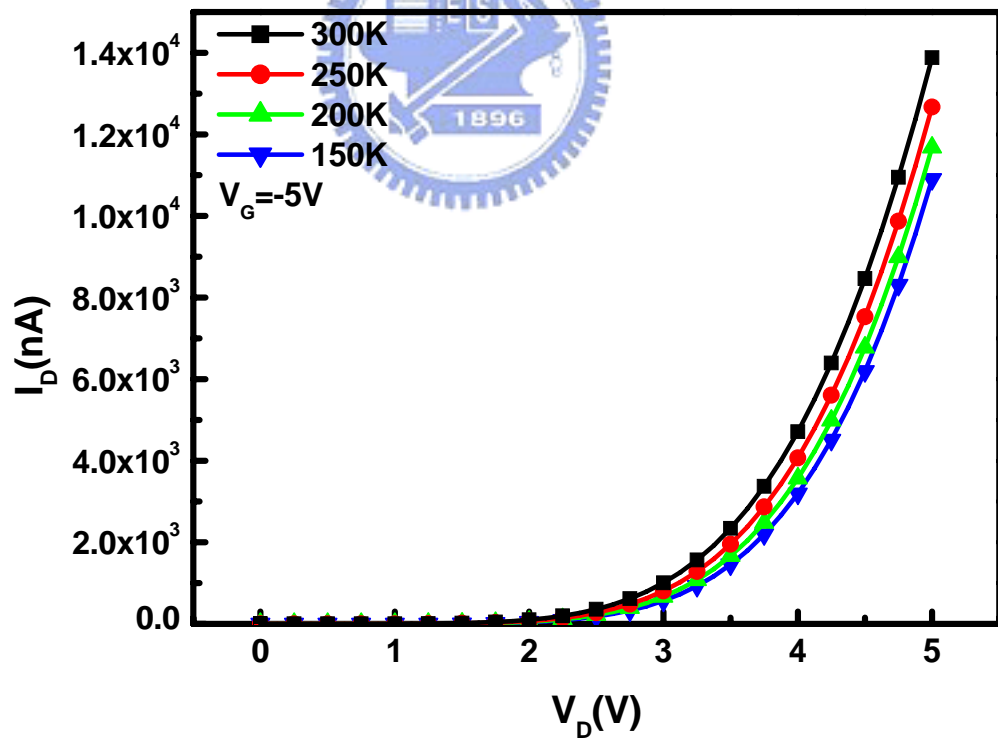
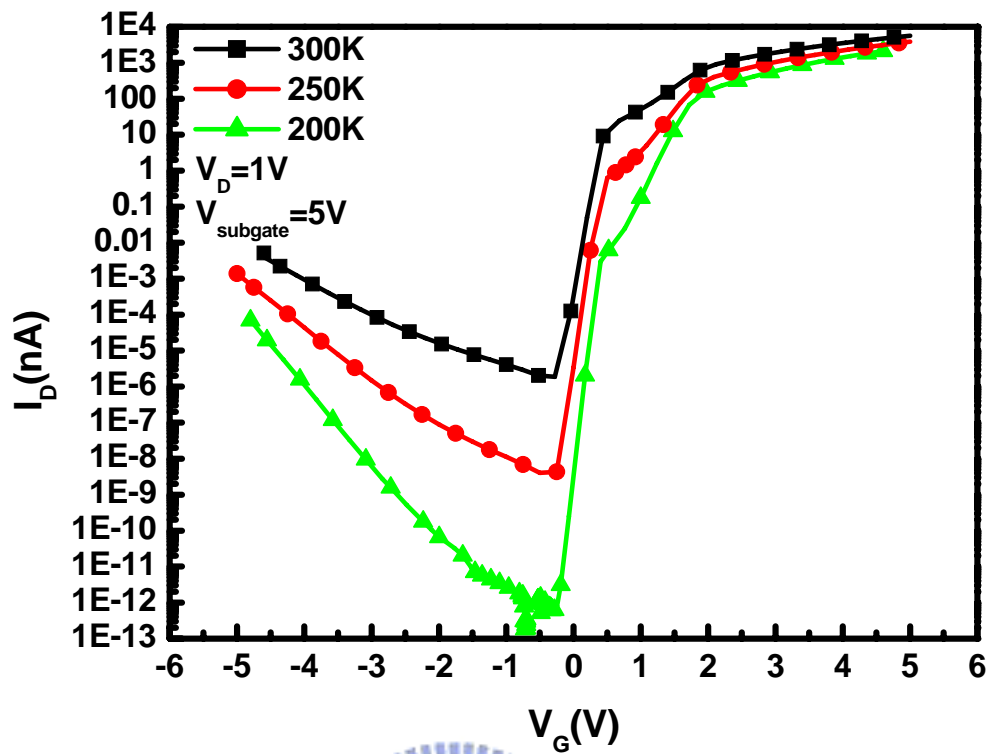


圖 5-3 金屬電極功函數為 4.5eV 之薄膜電晶體在不同溫度下之 I_D - V_D 特性模

擬結果：(a) 正閘極電壓之 I_D - V_D 特性 (b) 負閘極電壓之 I_D - V_D 特性。

(a)



(b)

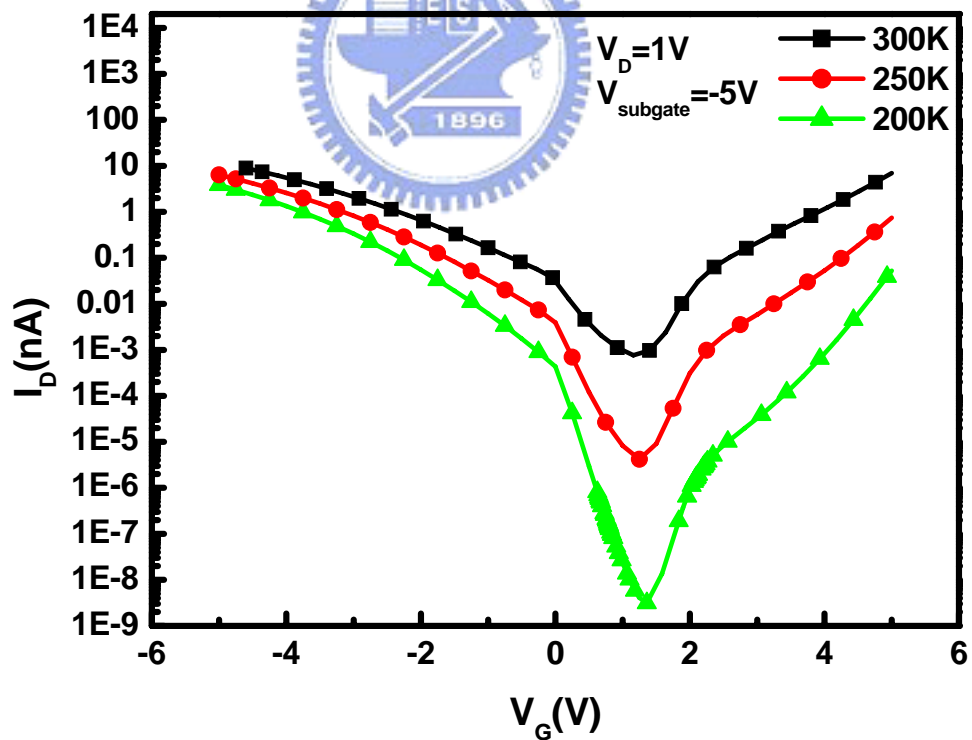
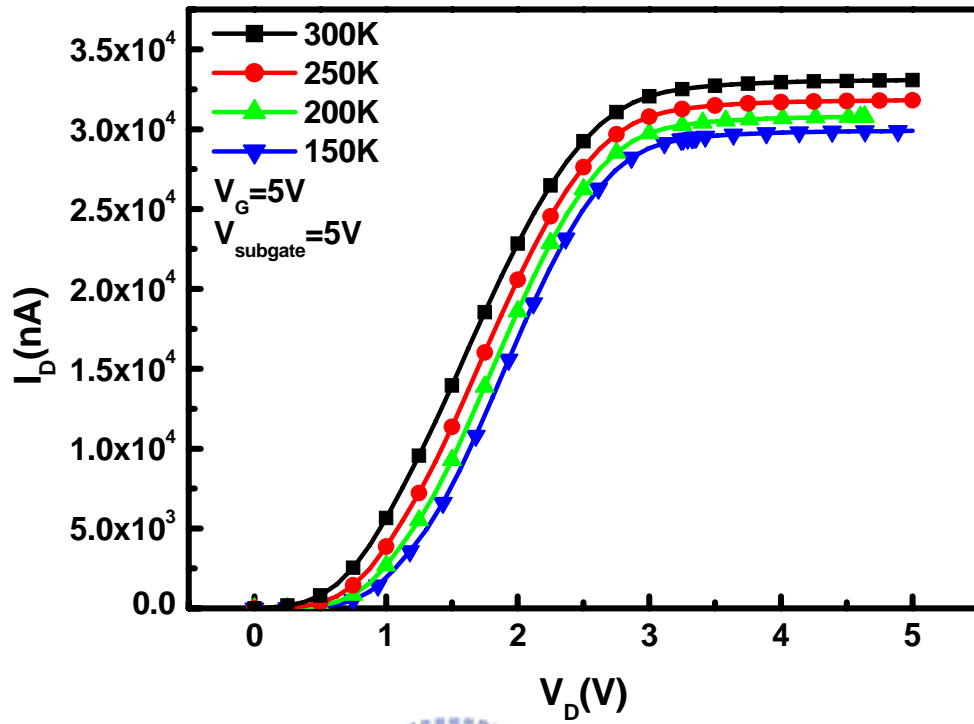


圖 5-4 不同副閘極電壓下，電極功函數為 4.5eV 之薄膜電晶體在不同溫度下的 I_D - V_G 特性模擬結果：(a) 副閘極施加正電壓 (b) 副閘極施加負電壓。

(a)



(b)

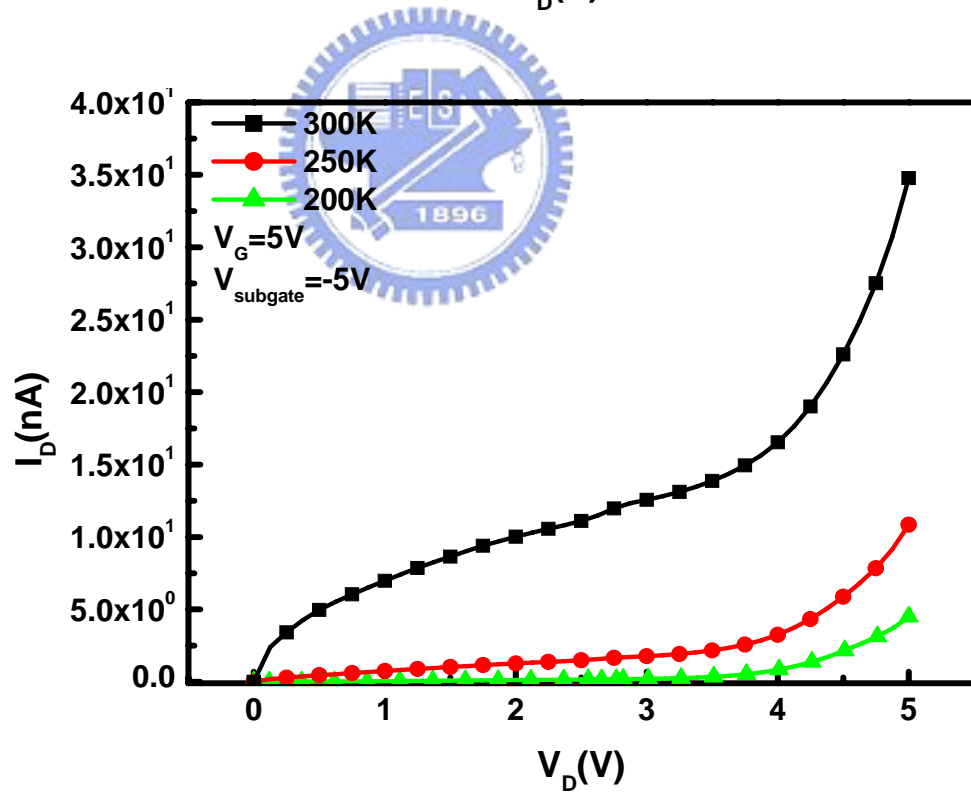
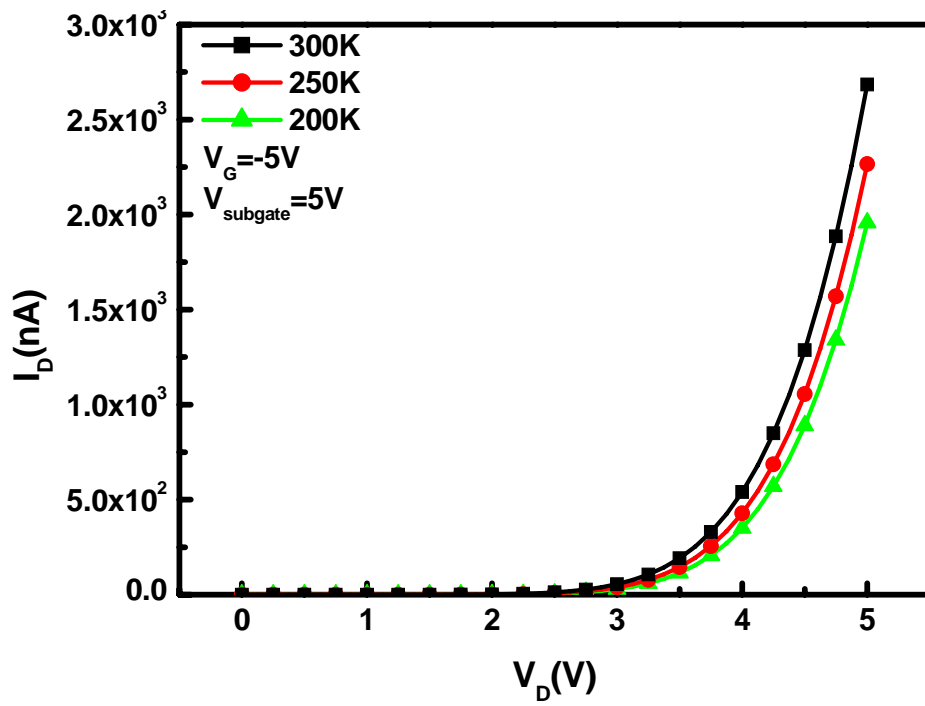


圖 5-5 不同副閘極電壓下，薄膜電晶體在正閘極偏壓時的不同溫度之 I_D - V_D 模擬結果：(a)副閘極施加正電壓之 I_D - V_D 特性 (b)副閘極施加負電壓之 I_D - V_D 特性。

(a)



(b)

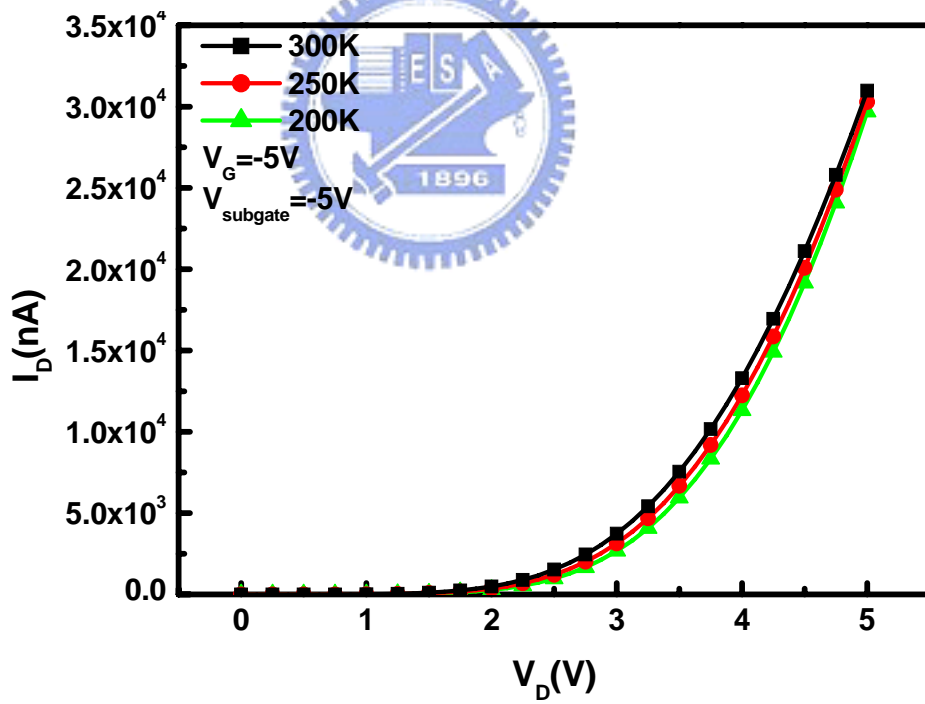


圖 5-6 不同副閘極電壓下，薄膜電晶體在負閘極偏壓時的不同溫度之 I_D - V_D 模擬結果：(a)副閘極施加正電壓之 I_D - V_D 特性 (b)副閘極施加負電壓之 I_D - V_D 特性。

第六章

低溫電性量測結果與討論

6-1 緒論

在本章中，我們實際將實作出的薄膜電晶體與奈米碳管電晶體置於低溫量測機台中，進行不同溫度的電性量測。我們將量測所得的結果與前一章模擬結果相比較，並且分析其中相同點與相異處，並且解釋產生差異的原因。

6-2 溫度對薄膜電晶體與奈米碳管電晶體 I_D-V_G 特性之影響

圖 6-1 是不同溫度下，使用鈦金屬電極之薄膜電晶體的 I_D-V_G 特性。圖 6-2 則是不同溫度下，使用鈦金屬電極之奈米碳管電晶體之 I_D-V_G 特性。由圖中所顯示，當溫度下降時，不論是薄膜電晶體或是奈米碳管電晶體都顯示出電流隨著溫度下降的趨勢。

但是只有奈米碳管電晶體出現與模擬結果相似的狀況：在大閘極電壓使電晶體處在導通狀態時，導通電流受到溫度的影響較小，而閘極電壓較小時，電晶體處在關閉狀態的導通電流則會對溫度的變化有較大的反應。

而薄膜電晶體則展現了與模擬結果完全不同的現象：不論是何種閘極電壓下，導通電流都出現大幅減少的現象。

因此，我們回頭檢討模擬時所用的模型，與實際製作出的元件之間的差異。在前一章的模擬中我們在通道中使用了單晶 (Single Crystal) 的載子遷移率模型，認為載子的遷移率會隨著溫度的下降而增加。所以在導通電流為穿隧電流主導的情況下，載子的減少可以由遷移率的增加來彌補而使

得導通電流不會出現大幅減少的狀況。反之，當導通電流是熱發散電流所主導時，便會受到溫度相當大的影響。因此在前一章的模擬結果中，不同的閘極偏壓下，電流受到溫度的影響便會有所不同。然而實際量測薄膜電晶體之 I_D - V_G 特性中，不論閘極電壓為何，電流都會隨著溫度大幅降低，所以我們推論這是因為薄膜電晶體之載子遷移率並沒有隨著溫度下降而增加的因故。

因為薄膜電晶體所使用的通道是未摻雜的多晶矽，而非我們模擬時所用的單晶矽。多晶矽本身存在有許多的晶界 (Grain Boundary)，這些晶界所在之處，將會存在許多可以抓住載子的陷阱 (Trap)，而當陷阱抓住載子時，會使得周圍的區域出現空乏區 (Depletion region) 以彌補載子所產生的電荷來維持電中性。而空乏區的形成會使得那個區域的出現能帶彎曲的現象，進而出現高位能的區域而形成一個位障，如圖 6-3[42]。當載子在通道中遭遇這些位障時，載子必須利用熱游離發射或是穿隧效應來越過這些由晶界所產生的位障。因此，當溫度下降時，由文獻中所做的量測結果可以發現多晶矽薄膜的電阻率會隨著溫度的下降而逐漸增加，如圖 6-4[43]。而由電阻率 $\rho = \frac{1}{qn\mu}$ 之公式可以知道，當溫度下降時，多晶矽的載子遷移率是會隨著溫度逐漸下降的。

這樣的結果與我們模擬時所用的遷移率模型的結果是完全相反的。而且，又因為溫度下降會減少穿越過源極與汲極端的蕭基位障的載子數目，因此，當溫度降低時，薄膜電晶體會出現電流隨著溫度大幅下降的結果。

而作為奈米碳管電晶體通道的奈米碳管，是一種自我組裝 (Self assembly) 成形的分子，因此通道中並不存在有晶界，也因此不會在通道中有額外的位障產生。所以影響通道中的載子遷移率的主要因素是通道中的晶格震動所產生的聲子散射，與模擬時所用的模型相符，因此量測的結果與模擬的結果較為相近，這也表示奈米碳管中的缺陷極少。

6-3 溫度對薄膜電晶體與奈米碳管電晶體 I_D-V_D 特性之影響

圖 6-5 是不同閘極電壓下，薄膜電晶體在不同溫度下的 I_D-V_D 特性。圖 6-6 則是在不同閘極電壓下，奈米碳管電晶體在不同溫度下的 I_D-V_D 特性。由圖中可以看出，當溫度降低時，奈米碳管之 I_D-V_D 特性與模擬結果相近：正閘極電壓下的導通電流會明顯的減少，但是負閘極電壓下的導通電流則沒有太大的變化。但薄膜電晶體的 I_D-V_D 特性則如同前一小節所述是因為低溫使得通道的載子遷移率降低，而使得不論閘極電壓為何，溫度降低都會使電流出現大幅減少的現象。

6-4 小結

由以上的量測結果可以知道：薄膜電晶體會受到其通道中的晶界所影響，使得其載子的飄移率隨著溫度下降而增加，因此，當溫度降低時，其電流會出現大幅度的減少的現象。

而奈米碳管電晶體由於通道中沒有晶界存在，因此其量測結果與前一章中的模擬結果相似，因此，我們可以推論奈米碳管電晶體可以視為一個擁有單晶結構通道的蕭基位障元件。

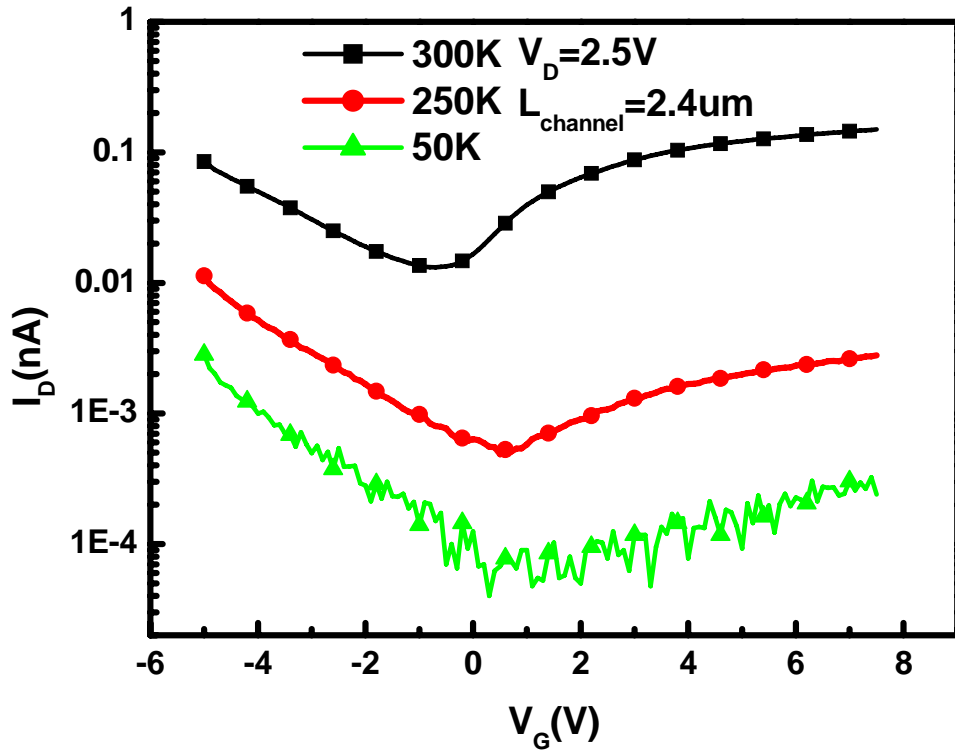


圖 6-1 鈦金屬電極薄膜電晶體在不同溫度下之 I_D - V_G 特性量測結果。

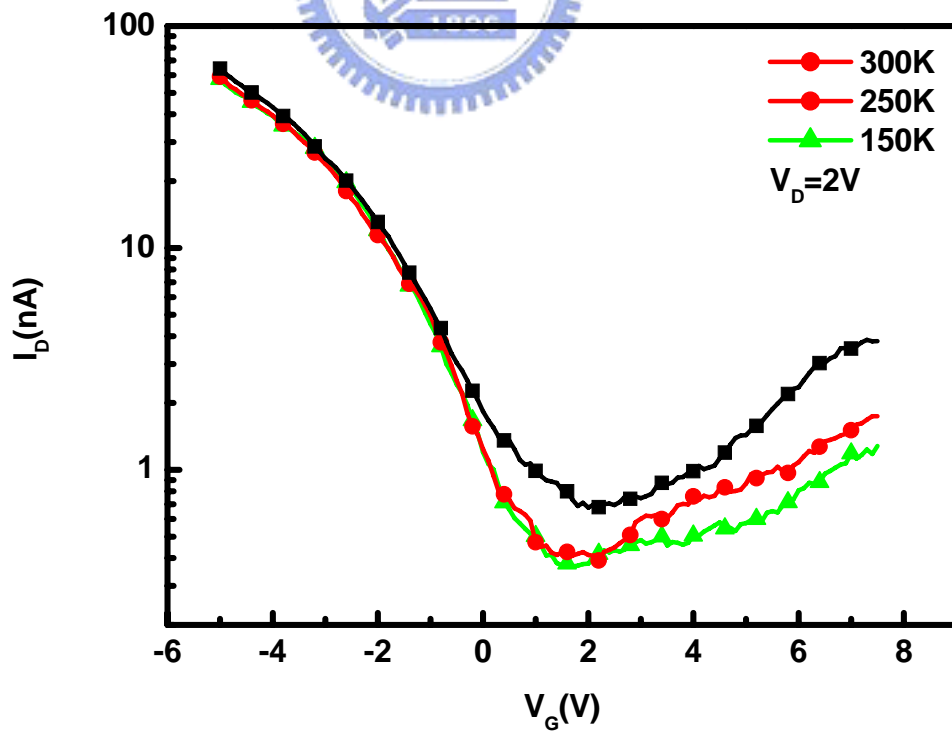


圖 6-2 鈦金屬電極奈米碳管電晶體在不同溫度下的 I_D - V_G 特性量測結果。

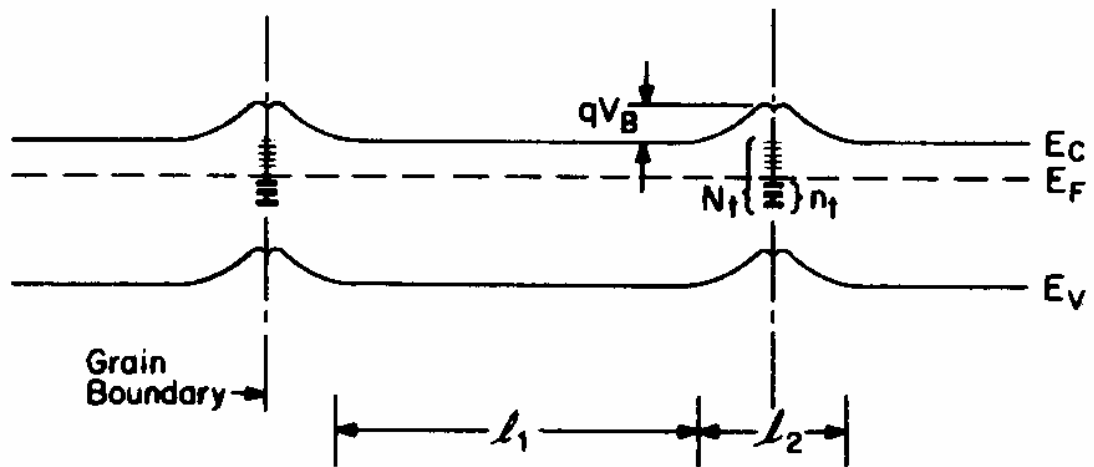


圖 6-3 晶界上的缺陷會造成晶界處出現位障[42]。

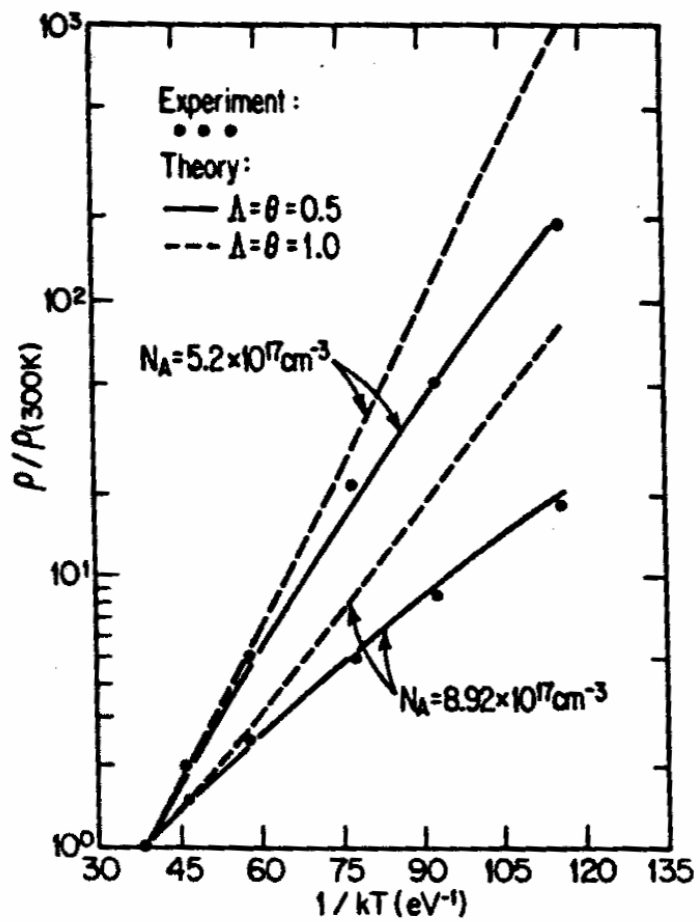
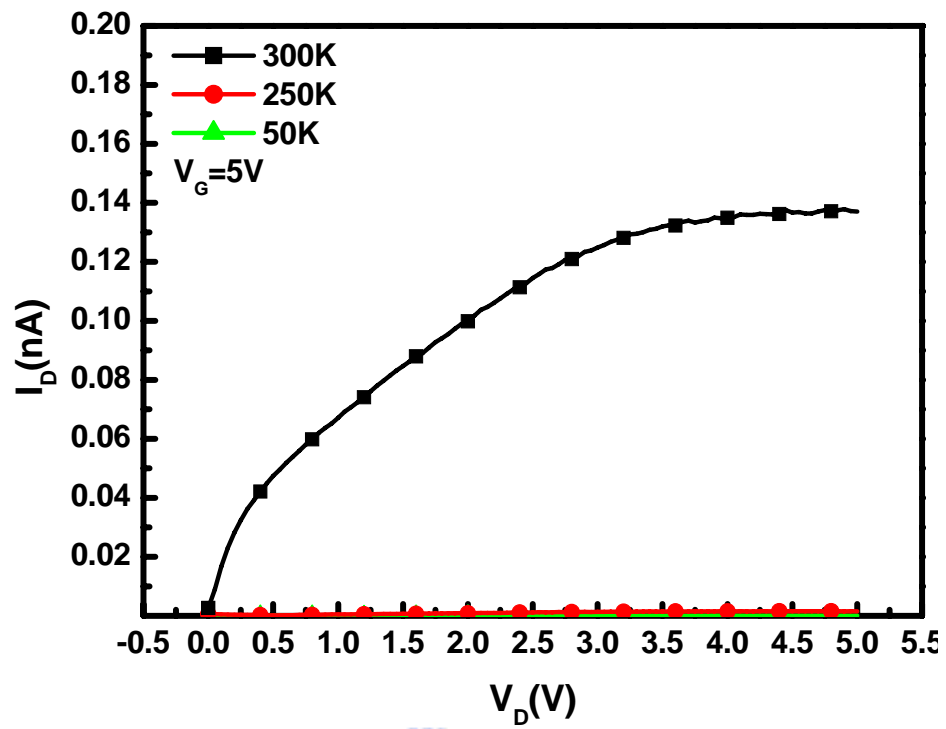


圖 6-4 多晶矽的電阻率會隨著溫度的下降而逐漸增加[43]。

(a)



(b)

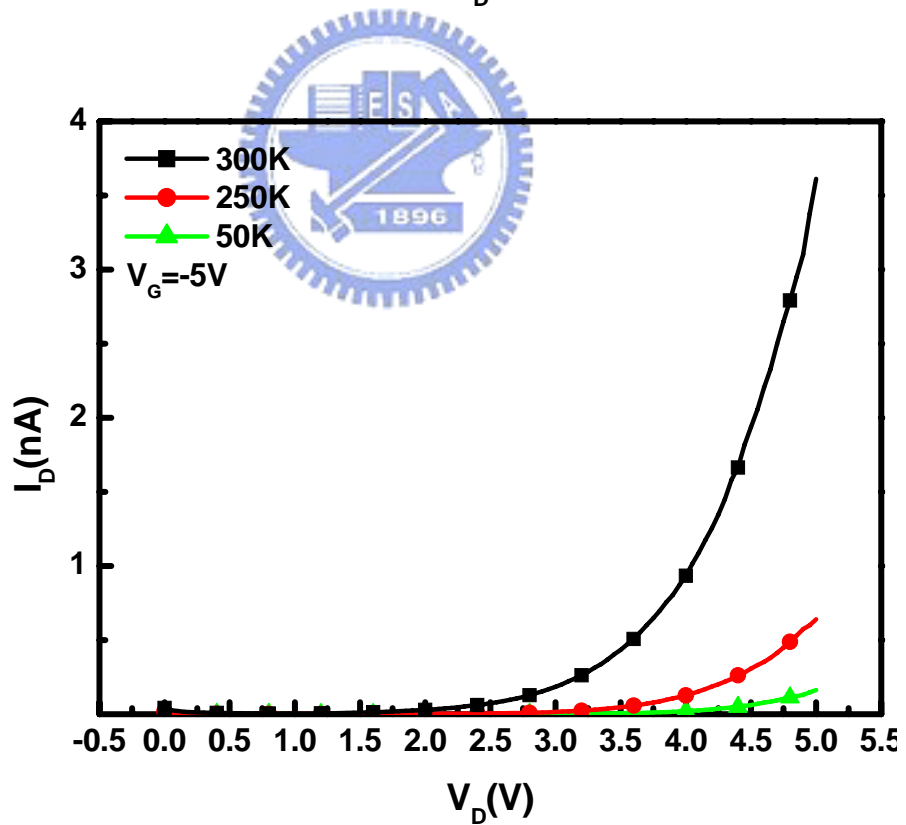
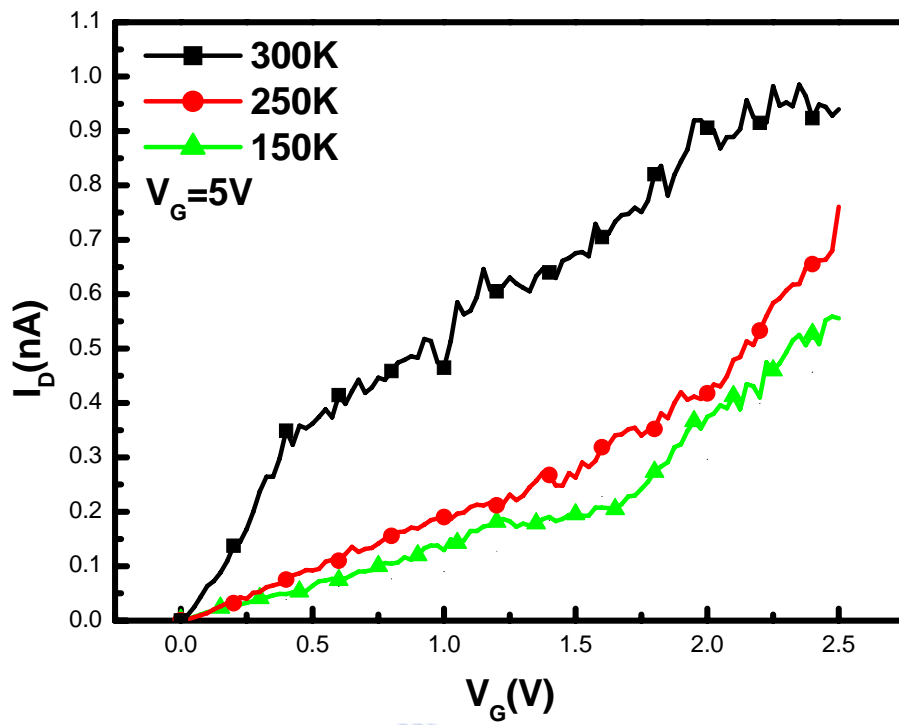


圖 6-5 不同閘極電壓下，溫度對鈦金屬電極薄膜電晶體之 I_D - V_D 特性的影響量測結果 (a)正閘極電壓下的 I_D - V_D 特性 (b)負閘極電壓下的 I_D - V_D 特性。

(a)



(b)

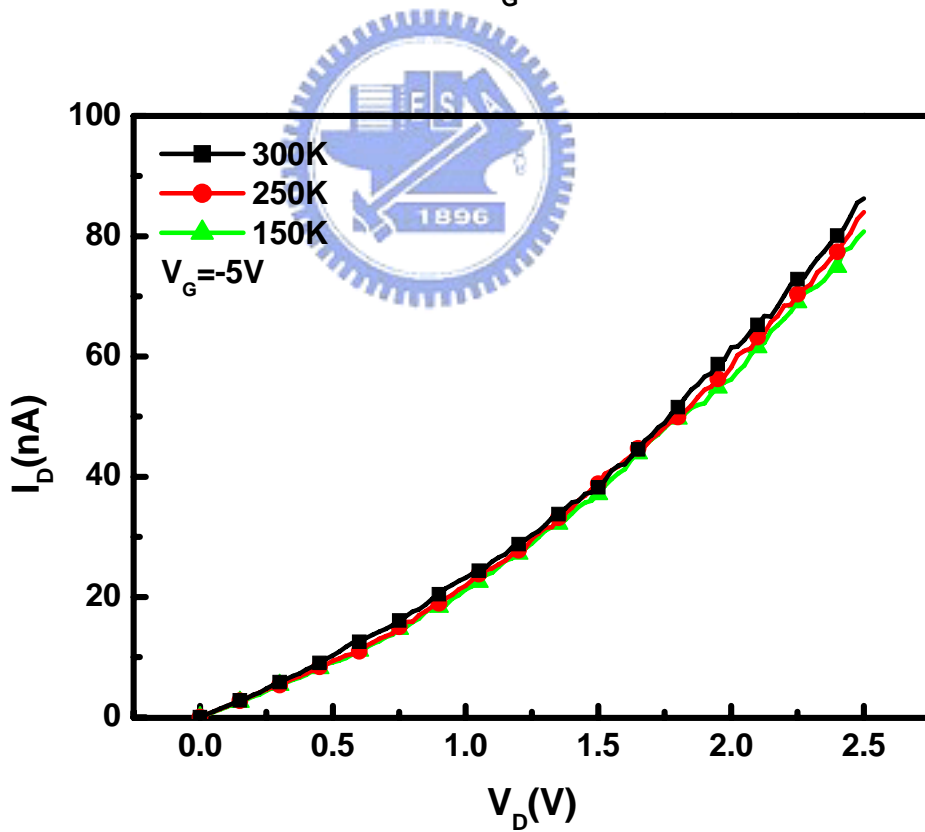


圖 6-6 不同閘極電壓下，溫度對碳管電晶體之 I_D - V_D 特性的影響量測結果 (a)

正閘極電壓下的 I_D - V_D 特性 (b)負閘極電壓下的 I_D - V_D 特性。

第七章

結論與展望

7-1 結論

本論文利用 ISE TCAD 模擬軟體進行具有副閘極之蕭基薄膜電晶體的電性模擬，並且與實作出的薄膜電晶體以及奈米碳管電晶體所量測得到的電性加以比較。

在不施加副閘極電壓的狀況下，模擬結果與實作出的薄膜電晶體以及奈米碳管電晶體都展現出雙極性的 I_D-V_G 特性。這是因為源極與汲極端的蕭基位障受到閘極電壓的邊緣電場壓縮或是增加，因此在正或是負閘極電壓時，會出現電子或是電洞的導通電流。

而在固定閘極偏壓下，改變汲極電壓量測元件的 I_D-V_D 特性時，模擬結果與實際量測的結果也顯現出相符合的 I_D-V_D 特性。這因為汲極端的蕭基位障受到汲極電壓的改變而變低或是變薄，造成電流的增加。但因為造成電流增加的機制不同，所以正閘極電壓下會出現電流飽和的情形，而負閘極電壓下則出現電流與電壓成指數關係的結果。

當我們對副閘極施加電壓後，發現副閘極的確可以有效的改變薄膜電晶體之電流特性，當副閘極施加正電壓時，可以壓抑負閘極電壓時的導通電流，並且增加正閘極時的導通電流，而使薄膜電晶體展現 N-type 特性，反之，當負閘極施加負電壓時，則可以使薄膜電晶體展現 P-type 特性。

然而由於奈米碳管本身是接近一維結構的細微分子，使得大部分的表面都與金屬電極接觸而使副閘極的電場不易進入，因此，雖然奈米碳管電晶體也會受到副閘極電壓的影響而出現相同的趨勢，但是副閘極電壓並不

足以使奈米碳管電晶體展現出 N-type 或是 P-type 的電流特性。

最後當我們將溫度模型加入模擬軟體中，模擬電晶體在低溫下的電流電壓特性並且與所量測得到的結果相比較時，發現薄膜電晶體與所模擬的結果有相當大的差異，但是奈米碳管電晶體則與模擬結果相似。

這是因為薄膜電晶體所用的通道材料為多晶矽，而非模擬時所假設的單晶結構，其載子遷移率並不如所預期的會隨著溫度的下降而增加，反而會隨著溫度的下降而減少。而奈米碳管電晶體的通道則是自我組裝成形的奈米碳管，比較類似模擬時所用的單晶結構，所以當溫度下降時，其中的載子遷移率會逐漸增加。

而模擬結果與奈米碳管電晶體的量測結果也可以發現在不同電壓下的電流受到溫度的影響也不同，由蕭基位障的導通電流模型可以發現這是因為熱游離發射電流與穿隧電流對溫度的反應不同所導致，所以由電流對溫度的變化，也可以看出在大閘極電壓下的導通電流大部分是穿隧電流，而小閘極電壓時的電流則大部分是熱游離發射電流，這點與用能帶圖所推論的結果相符。

綜合以上模擬與實驗結果，我們發現奈米碳管電晶體與傳統的蕭基位障薄膜電晶體有相似的特性，而且可以用模擬的方式預測其電流電壓特性，因此我們可以確定奈米碳管電晶體的確是一個蕭基位障主控的元件。但是奈米碳管電晶體擁有接近一維的細微通道結構，且通道是一個單晶的半導體材料，因此在模擬時必須加以考慮。

7-2 未來展望

在本論文中，我們發現副閘極對於奈米碳管的電流特性的調變能力並不好，大部分的電壓都落在通道與副閘極之間，實際進入通道中而影響蕭基位障的電場不大，因此，或是我們可以將副閘極與奈米碳管之間的絕緣

層替換成高介電常數材料，或是減少絕緣層的厚度，將可以提高副閘極對於奈米碳管中的位能調變，進而提高副閘極的調變能力。

此外，在本文中的模擬參數都是採用單晶矽以及二氧化矽之材料參數，也因此造成了低溫時薄膜電晶體的模擬結果與量測結果不符的結果。因此，若是未來可以將多晶矽以及奈米碳管的材料參數引入模擬程式中，相信可以有效的提高模擬結果的準確度。

除了一般的電性量測外，元件的高頻特性量測與模擬在未來的元件上也是相當重要的一環，目前已經有零星的奈米碳管電晶體之高頻特性的量測與理論計算，相信在未來的數年之內，奈米碳管的高頻量測與模型推導會佔有相當的份量，值得未來作進一步的研究。



參考文獻

- [1]. S. Iijima, "Helical microtubules of graphitic carbon", *Nature*, Vol. 354, pp. 56-58, 1991
- [2]. M. R. Falvo, G.J. Clary, R. M. Taylor II, V. Chi, F. P. Brooks Jr, S. Washburn and R. Superfine, "Bending and bucking of carbon nanotubes under large strain", *Nature*, Vol.389, pp. 582-584, 1997
- [3]. E. W. Wong, P. E. Sheehan, C. M. Lieber, "Nanobeam mechanics: elasticity, strength and toughness of nanorods and nanotubes", *Science*, vol.227, pp.1971-1975, 1997
- [4]. Savas Berber, Young-Kyun Kwon, and David Tomanek, "Unusually High Thermal Conductivity of Carbon Nanotubes", *Phys. Rev. Lett.*, vol. 84, pp. 4613, 2000.
- [5]. H. Dai, E. W. Wong, and C. M. Lieber, "Probing electrical transport in nanomaterials: conductivity of individual carbon nanotubes", *Science*, vol. 272, pp.523-526, 1996.
- [6]. S. Frank, p. Poncharal, Z. L. Wang, and W. A. deHeer, "Carbon nanotube quantum resistors", *Science*, vol. 280, pp. 1744-1746, 1998.
- [7]. R. Martel, T. Schmidt, H. R. Shea, T. Hertel, and Ph. Avouris, "Single- and multi-wall carbon nanotube field effect transistors", *Appl. Phys. Lett.*, vol. 73, pp. 2447-2449, 1998.
- [8]. S. J. Tans, A. R. M. Verschueren, C. Dekker, "Room-temperature transistor based on a single carbon nanotube", *Nature*, vol. 393, pp. 49-52, 1998.
- [9]. T. W. Ebbesen, P. M. Ajayan, "Large-scale synthesis of carbon nanotubes", *Nature*, vol. 358, pp. 220-222, 1992
- [10]. Andreas Thess, et al., "Crystalline Ropes of Metallic Carbon Nanotubes". *Science*, vol. 273, pp. 483-487, 1996.
- [11]. H. T. Soh, et al., "Integrated nanotube circuits: Controlled growth and ohmic contacting of single-walled carbon nanotubes", *Appl. Phys. Lett.*, vol 75, pp. 627-629, 1999.
- [12]. Teri Wang Odom, et al., "Atomic structure and electronic properties of single-walled

- carbon nanotubes”, *Nature*, vol. 391, pp. 62-64, 1998.
- [13]. W. Hoenlein, et al., ” Carbon nanotubes for microelectronics: status and future prospects”, *Materials Science and Engineering C*, Vol. 23, pp.663–669, 2003
- [14]. M. S. Dresselhaus, et al., “Group theoretical concepts for carbon nanotubes”, *Molecular Materials*, vol. 4, pp. 27-40, 1994.
- [15]. B. Q. Wei, R. Vajtai, and P. M. Ajayan, “Reliability and current carrying capacity of carbon nanotubes”, *Appl. Phys. Lett.*, vol. 79, pp. 1172-1174, 2001.
- [16]. F. Kreupl, A. P. Graham, et al., “Carbon nanotubes in interconnect applications”, *Microelectronics Engineering*, vol. 64, pp. 399-408, 2002.
- [17]. Georg S. Duesberg, et al., “Growth of Isolated Carbon Nanotubes with Lithographically Defined Diameter and Location”, *Nano Letters.*, vol. 3 No. 2, pp.257-259, 2003
- [18]. A. Bachtold, “ Aharonov-Bohm oscillations in carbon nanotubes”, *Nature*, vol. 397, pp. 673-675, 1999.
- [19]. S. S. Wong, et al., “Carbon Nanotube Tips: High-Resolution Probes for Imaging Biological Systems”, *J. Am. Chem. Soc.* 120, 603-604, 1998.
- [20]. A. G. Rinzler, et al., “Unraveling Nanotubes: Field Emission from an Atomic Wire”, *Science*, vol. 269, pp. 1550-1553, 1995.
- [21]. J. Kong, et al., “Synthesis of Single Single-walled Carbon Nanotubes on Patterned Silicon Wafers”, *Nature*, vol. 395, pp. 878-881, 1998.
- [22]. Wolfgang Hoenlein, “New Prospects for Microelectronics: Carbon Nanotubes”, *Jpn. J. Appl. Phys.* Vol. 41 (2002) pp. 4370–4374 Part 1, No. 6B, June 2002.
- [23]. L. A. W. Robinson, et al., “Fabrication of self-aligned side gates to carbon nanotubes”, *NANOTECHNOLOGY* 14, pp. 290-293, 2003
- [24]. S. J. Wind, et al., “Vertical scaling of carbon nanotube field effect transistors using top gate electrodes”, *Appl. Phys. Lett.*, vol. 80 no. 20, 2002.
- [25]. Sami Rosenblatt, et al., “High performance electrolyte gated carbon nanotube transistors”,

Nano Letters, vol. 2 No. 8, 869-872, 2002.

- [26]. Fumiyuki NIHEY, Hiroo HONGO, Masako YUDASAKA, and Sumio IJIMA, "A Top-Gate Carbon-Nanotube Field-Effect Transistor with a Titanium-Dioxide Insulator", Jpn. J. Appl. Phys., Vol. 41, pp. 1049–1051, Part 2, No. 10A, 2002
- [27]. Ali Javey, et al., "Carbon Nanotube Field-Effect Transistors with Integrated Ohmic Contacts and High-K Gate Dielectrics", Nano Letters, vol. 4 No. 3, pp. 447-450, 2004.
- [28]. J. Kong, et al., "Nanotube molecular wires as chemical sensors", Science, vol. 287, pp. 622-625, 2000.
- [29]. V. Derycky, et al., "Carbon nanotube inter- and intramolecular logic gates", Nano Letters, vol. 1 No. 9, pp. 453-456, 2001.
- [30]. Jie Han, "Carbon nanotube field-effect transistors", Appl. Phys. Lett., Vol. 79 No. 20, 2001
- [31]. M. Radosavljevic, J. Appenzeller, and Ph. Avouris, "High performance of potassium n-doped carbon nanotube field-effect transistors", Appl. Phys. Lett., Vol. 84 No. 18, 2004
- [32]. Cheng Lu, et al., "Polymer electrolyte-gated carbon nanotube field-effect transistor", Nano Letters, Vol. 4 No. 4, 2004
- [33]. R. Martel, et al., "Ambipolar electrical transport in semiconducting single-wall carbon nanotubes", Phys. Rev. Lett., Vol. 87 No. 25, 2001.
- [34]. J. Appenzeller, et al., "Field-modulated carrier transport in carbon nanotube transistors", Phys. Rev. Lett., Vol. 89 No. 12, 2002.
- [35]. R. Martel, et al., "Carbon nanotube field-effect transistors and logic circuits", PHYSICA B-CONDENSED MATTER, Vol. 323, pp. 6-14, 2002
- [36]. Xiaodong Cui, et al., "Controlling energy-level alignments at carbon nanotube/Au contacts", NANO LETTERS, Vol. 3 No. 6, 2003.
- [37]. Jia Chen, et al., "Self-aligned carbon nanotube transistors with novel chemical doping",

IEDM, 2004.

[38]. Yu-Ming Lin, Joerg Appenzeller, and Phaedon Avouris, “Novel carbon nanotubes FET design with tunable polarity”, IEDM, 2004.

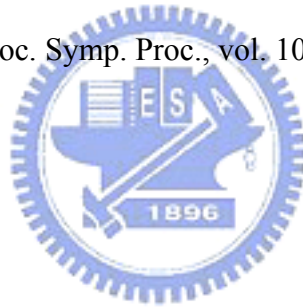
[39]. C. Y. Chang and S. M. Sze, “Carrier Transport across Metal-Semiconductor Barriers”, Solid State Electron., 13, 1970

[40]. J. Bardeen and W. Shockley, “Deformation Potentials and Mobilities in Nonpolar Crystals”, Phys. Rev., 80, 1950

[41]. S.M. Sze, Physics of Semiconductor Devices, 2nd ed., New York, Wiley, 1981.

[42]. T. I. Kamins, “Hall mobility in chemically deposited polycrystalline silicon.” J. Appl. Phys. 42, 4357-4365, 1971.

[43]. Mark S. Rodder, et. al., “On the temperature dependence of resistivity of polycrystalline silicon films”, Mat. Res. Soc. Symp. Proc., vol. 106, 1988.



簡歷

姓名：李宜澤

生日：民國 70 年 1 月 11 日

籍貫：台灣省台南市

地址：台南縣善化鎮溪美里 162 之 1 號

學歷：國立清華大學電機工程學系畢

(88 年 9 月~92 年 6 月)

國立交通大學電子研究所碩士班畢

(92 年 9 月~94 年 6 月)

碩士論文題目：

蕭基位障對奈米碳管電晶體與薄膜電晶體之影響

Impact of Schottky Barrier on Carbon nanotube FETs and Thin-film Transistors.