

第四章

二氧化鉛電容的電性量測和討論

4-1 緒論

本章量測了二氧化鉛電容結構的基本電性，包括電容結構的 C-V 和 I-V 特性，從 C-V 特性我們討論了二氧化鉛薄膜的電容等效厚度(Capacitance Equivalent Thickness, CET)、遲滯現象(hysteresis)和界面缺陷等資訊，而由 I-V 特性我們討論了二氧化鉛薄膜的閘極漏電流和漏電機制等資訊。

4-2 量測工具和方法

對電性量測而言，採用 Agilent 4284A 量測二氧化鉛電容結構 C-V 特性，測量頻率分別為 10kHz、100kHz、1MHz，其施加的交流小訊號為 25mV，量測電容值時因為考慮到大多數較薄的介電層有較高的漏電流所以採用的是並聯等效電路，至於二氧化鉛電容的電容等效厚度(Capacitance Equivalent Thickness, CET)萃取如 4-1 式所示，是利用在聚積(accumulation)狀態下的電容值和電容面積換算而得，其中 ϵ_0 為真空中的介電常數， ϵ_{SiO_2} 為二氧化矽的介電常數，A 為電容面積，而 C_{acc} 則是聚積狀態下的電容值：

$$CET = \frac{\epsilon_0 \epsilon_{SiO_2} A}{C_{acc.}} \quad (4-1 \text{ 式})$$

至於二氧化鉛電容結構的平帶電壓(flatband voltage)是直接從 C-V 曲線中計算出平帶電容後所對應的電壓即為平帶電壓而獲得，而遲滯現象大小則是由正偏壓掃到負偏壓的 C-V 曲線得到的平帶電壓，和由負偏壓掃到正偏壓的 C-V 曲線得到的平帶電壓兩者的差值而獲得。

為了了解二氧化鉛薄膜的漏電流特性，採用 Agilent 4156C 量測二氧化

鉛電容的 I-V 特性，因為所使用的基板是 P 型基板，當對元件施以正偏壓時，矽基板會進入反轉區(inversion region)，因此所加的電壓大部分會跨在矽基板的空乏區(depletion region)上，反之當施以負偏壓時，矽基板會進入聚積區(accumulation region)，由於跨在聚積區的電壓可以忽略，所以大部分的電壓將會跨在介電層上，因此我們施加負偏壓量測聚積狀態下的閘極漏電流，並分析其電流的傳導機制。

4-3 電性結果分析

在這節中，將討論 RTO 前處理和 SC1 前處理二氧化鉛薄膜的電性，經過不同退火溫度後的二氧化鉛薄膜電性也將被討論。

4-3-1 C-V 特性



圖 4-1 是 SC1 前處理二氧化鉛電容分別在 10kHz、100kHz 和 1MHz 量測頻率下的高頻 C-V 曲線，測量方式是從反轉區掃到聚積區，從圖 4-1(a) 未經過退火的二氧化鉛電容 C-V 曲線可以發現在靠近平帶電壓附近出現變形(distortion)的現象，而經過退火之後的二氧化鉛電容並沒有出現頻率分散的現象(圖 4-1(b)和(c))，這表示未退火的二氧化鉛電容具有大量的界面缺陷(interface defect)，同樣地在 RTO 前處理未退火的二氧化鉛電容 C-V 曲線也發現頻率分散的現象(圖 4-2(a))，而 RTO 前處理經過退火後的二氧化鉛電容也沒有出現頻率分散的現象(圖 4-2(b)和(c))。

為了確定頻率分散的現象是因為界面缺陷造成的，我們量測了不同條件下的界面缺陷密度，圖 4-3 是利用 Hi-Lo CV 方法獲得位於能隙中心(midgap)處的界面缺陷密度，量測方法首先量測低頻 CV 曲線，其中 $dV/dt=50\text{mV/sec}$ ，電壓從 +2V 掃到 -2V，因此低頻測量頻率為 0.0125Hz，再利用 4-2 式、4-3 式、和 4-4 式可以得到 4-5 式界面缺陷密度與高頻電容和低頻電容的關係式，至於高頻電容的量測頻率為 100kHz，最後利用 4-6 式

就能獲得 D_{it} - Φ_s 關係圖：

$$C_{lf} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_s + C_{it}}} \quad (4-2 \text{ 式})$$

$$D_{it} = \frac{C_{it}}{q} = \frac{1}{q} \left(\frac{C_{ox} C_{lf}}{C_{ox} - C_{lf}} - C_s \right) \quad (4-3 \text{ 式})$$

$$C_s = \frac{C_{ox} C_{hf}}{C_{ox} - C_{hf}} \quad (4-4 \text{ 式})$$

$$D_{it} = \frac{C_{ox}}{q} \left(\frac{C_{lf} / C_{ox}}{1 - C_{lf} / C_{ox}} - \frac{C_{hf} / C_{ox}}{1 - C_{hf} / C_{ox}} \right) \quad (4-5 \text{ 式})$$

$$\Phi_s = \int_{V_{G1}}^{V_{G2}} \left(1 - \frac{C_{lf}}{C_{ox}} \right) dV_G + \Delta; (\Delta \text{ 為 } V_G = V_{G1} \text{ 時的表面電位}) \quad (4-6 \text{ 式})$$

從圖 4-3 可以發現不論是 SC1 前處理或是 RTO 前處理的二氧化鈣電容，經過二氧化鈣沉積後退火的界面缺陷密度都大幅下降，但二氧化鈣沉積後退火並不是造成界面缺陷下降的主因，圖 4-3 中的插圖為在沉積二氧化鈣後，經過 600°C 沉積後退火的二氧化鈣試片的 C-V 曲線，從圖上可以明顯發現在濺鍍 TaPt 閘極後，經過溫度 500°C 時間 30 秒金屬沉積後退火處理試片的 C-V 曲線較未經過經過溫度 500°C 時間 30 秒金屬沉積後退火處理試片來得陡峭，這表示在沉積二氧化鈣後經過沉積後退火但未經過金屬沉積後退火處理的試片仍有大量的界面缺陷，因此推測這些缺陷是在後續濺鍍 TaPt 電極步驟時造成的，而金屬沉積後退火能夠有效地消除這些缺陷，而在沉積二氧化鈣後未經過沉積後退火的試片，由於也沒有進行金屬沉積後退火，才會因為具有大量的界面缺陷而造成 C-V 曲線頻率分散的現象。

另外從圖 4-1 和圖 4-2 的 C-V 曲線也可以發現同一個實驗條件的二氧化鈣電容在不同頻率量測下，在聚積狀態時的電容值並不完全相同，這是因為在量測的時候我們採用的並聯等效電路模型忽略了其他寄生元件的效應，而這些寄生元件可能與頻率有關，因此造成不同量測頻率下獲得的電容值不一致，這對於由聚積電容計算介電層的電容等效厚度產生了相當大

的問題，本論文參考[53]中所提出的方法來修正量測的C-V曲線;此方法是假設真正的量測元件電路模型包含了四個元件(如圖 4-4(a)所示)，分別是一個和電容並聯的電阻，代表的是介電層具有的電容和電阻特性，之後再串聯一個電阻和電感，代表的是矽基板或是量測系統具有的電阻和電感特性，而圖 4-4(b)則是在Agilent 4284A量測時所採用的並聯電路模型，推導過程如 4-7 式，首先令左右兩個電路的阻抗相等，之後用D'取代 $1/\omega C'R'$ 可得到 4-8 式(D'是dissipation factor)，之後令虛部阻抗相等可得到 4-9 式，然後假設在一般情況下 $\omega^2 C^2 R_p^2 \gg 1$ 可以簡化成 4-10 式，此時以兩個測量頻率解方程式可得到 4-11 式和 4-12 式，接著 4-11 式共乘 ω_2 ，4-12 式共乘 ω_1 ，可得 4-13 式和 4-14 式，最後 4-13 式減去 4-14 式就可得到 4-15 的電容修正式:

$$R_s + j\omega L + \frac{1}{j\omega C + \frac{1}{R_p}} = \frac{1}{j\omega C' + \frac{1}{R'}} \quad (4-7 \text{ 式})$$

$$\frac{1}{\omega C'R'} = D' \Rightarrow R_s + j\omega L + \frac{R_p(1 - j\omega C R_p)}{\omega^2 C^2 R_p^2 + 1} = \frac{D' - j}{\omega C'(1 + D'^2)} \quad (4-8 \text{ 式})$$

$$-\frac{\omega C R_p^2}{\omega^2 C^2 R_p^2 + 1} + \omega L = \frac{-1}{\omega C'(1 + D'^2)} \quad (4-9 \text{ 式})$$

$$-\frac{1}{\omega C} + \omega L = \frac{-1}{\omega C'(1 + D'^2)} \quad (4-10 \text{ 式})$$

$$-\frac{1}{\omega_1 C} + \omega_1 L = \frac{-1}{\omega_1 C'_1(1 + D_1'^2)} \quad (4-11 \text{ 式})$$

$$-\frac{1}{\omega_2 C} + \omega_2 L = \frac{-1}{\omega_2 C'_2(1 + D_2'^2)} \quad (4-12 \text{ 式})$$

$$-\frac{\omega_2}{\omega_1 C} + \omega_2 \omega_1 L = \frac{-\omega_2}{\omega_1 C'_1(1 + D_1'^2)} \quad (4-13 \text{ 式})$$

$$-\frac{\omega_1}{\omega_2 C} + \omega_1 \omega_2 L = \frac{-\omega_1}{\omega_2 C'_2(1 + D_2'^2)} \quad (4-14 \text{ 式})$$

$$C = \frac{-\frac{\omega_2}{\omega_1} + \frac{\omega_1}{\omega_2}}{\frac{-\omega_2}{\omega_1 C_1'(1+D_1'^2)} + \frac{\omega_1}{\omega_2 C_2'(1+D_2'^2)}} \quad (4-15 \text{ 式})$$

圖 4-5 和圖 4-6 分別是圖 4-1 和圖 4-2 經過 4-15 式修正後的 C-V 曲線，在經過 10kHz、100kHz 和 1MHz 任取兩個頻率修正後的聚積電容幾乎重疊在一起，這表示四元件電路等效模型能夠有效地在考慮寄生元件的存在下修正不同頻率下量測到的電容值。

圖 4-7 則是由量測頻率 100kHz CV 曲線的聚積電容值所計算出的電容等效厚度統計分佈圖，由於經過 4-15 式修正後的 C-V 曲線和量測頻率 100kHz 時的 C-V 曲線幾乎重疊，因此以量測頻率 100kHz CV 曲線的聚積電容值計算電容等效厚度。圖 4-7 顯示不論 SC1 前處理或是 RTO 前處理的二氧化鉛電容其電容等效厚度皆隨著退火溫度增加而增加，這可由圖 3-1 和圖 3-2 的橫截面圖獲得證明，這樣的結果便是造成電容等效厚度增加。最後我們發現 RTO 前處理二氧化鉛電容的電容等效厚度都大於 SC1 前處理二氧化鉛電容的電容等效厚度，這表示在沉積相同厚度的二氧化鉛情況下，SC1 前處理生成的二氧化矽厚度小於 RTO 前處理生成的二氧化矽厚度，從圖 3-1 和圖 3-2 也可以發現 SC1 前處理生成的二氧化矽厚度的確小於 RTO 前處理生成的二氧化矽厚度，最後利用 4-16 式我們可以從電容等效厚度和第三章 TEM 分析獲得二氧化鉛和二氧化矽的實際厚度可以計算出二氧化鉛的介電常數大概在 13~14 之間，這和文獻中報導二氧化鉛的介電常數在 20-25 之間仍有一段差距，對於二氧化鉛未如預期達到理想介電常數的原因仍不明，不過就目前結果來看，二氧化鉛介電常數偏低是一個有待改進的問題。

$$CET = t_{ox} + \frac{3.9}{\epsilon_{HfO_2}} \times t_{HfO_2} \quad (4-16 \text{ 式})$$

圖 4-8 是 SC1 前處理二氧化鉛電容在量測頻率 100kHz 時，偏壓先從 +1V 掃到 -3V 再從 -3V 掃回 +1V 的 C-V 曲線，我們發現未退火的電容正反掃的 C-V 曲線沒有重疊在一起而產生了水平位移，這表示未退火的電容有很嚴

重的遲滯現象(圖 4-8(a))，經過 600°C 和 800°C 退火後的電容其兩條 C-V 曲線幾乎重疊在一起(圖 4-8(b)和(c))，這代表遲滯現象幾乎可以忽略，而未退火電容 C-V 曲線的水平位移表示在偏壓時發生大量的電荷捕捉(charge trapping)現象，而 RTO 前處理的二氧化鉛電容也呈現相同的現象(圖 4-9)，但其遲滯現象明顯較 SC1 前處理的二氧化鉛電容輕微許多。圖 4-10 是 SC1 前處理和 RTO 前處理的二氧化鉛電容，其遲滯大小的統計分佈圖。造成遲滯現象的可能原因為在正偏壓下，矽基板中的電子入射到二氧化鉛中被捕捉，造成平帶電壓飄移，在負偏壓下，矽基板中的電洞入射到二氧化鉛中被缺陷捕捉，或是閘極中的電子入射到二氧化鉛中被缺陷捕捉，造成平帶電壓飄移而形成遲滯現象。

為了釐清造成遲滯現象的機制，圖 4-11 和圖 4-12 分別是 SC1 前處理和 RTO 前處理的二氧化鉛電容採用不同的正起始電壓和負起始電壓，量測頻率為 100kHz 所得到的 C-V 曲線，為了減小正起始電壓掃到負截止電壓或是負起始電壓掃到正截止電壓時的電荷逃脫(charge detrapping)和電荷捕捉現象而影響分析，截止電壓選在平帶電壓附近。圖 4-11(a)和圖 4-12(a)顯示隨著正起始電壓增加，其 C-V 曲線幾乎是重疊的，這表示在正偏壓下，從矽基板入射的電子在二氧化鉛中發生被缺陷捕捉的現象相當輕微。相反地圖 4-11(b)和圖 4-12(b)顯示出隨著負起始電壓增加，其 C-V 曲線向左移動，這表示發生電洞捕捉。因此造成遲滯現象的原因主要是因為在負偏壓下，從矽基板入射的電洞在二氧化鉛中被缺陷捕捉而造成的，而圖 4-13 可以明顯地看出不論是 SC1 前處理或是 RTO 前處理的二氧化鉛電容，經過退火之後的遲滯現象皆小於 30mV，且隨著退火溫度升高遲滯大小下降，這是因為二氧化鉛和矽基板間的二氧化矽厚度隨著退火溫度上升而增加，因此從矽基板入射的電洞要穿過這層二氧化矽而被二氧化鉛中缺陷捕捉的機會降低，所以其遲滯現象就減小。另外 RTO 前處理的二氧化鉛電容遲滯現象都較 SC1 前處理的二氧化鉛電容小，和上述原因相同是由於 RTO 前處理的二氧化鉛電容在二氧化鉛和矽基板間的二氧化矽厚度較 SC1 前處理的厚，所以其遲滯現象就較輕微。

4-3-2 I-V 特性

圖 4-14 是 SC1 前處理和 RTO 前處理的二氧化鉛電容在負偏壓下，其閘極電流對閘極電壓的關係圖，圖 4-15 則是當閘極電壓與平帶電壓差值的絕對值等於 1V 時的閘極電流統計分佈圖。從圖 4-15(a)中發現 SC1 前處理的二氧化鉛電容在經過 600°C 退火後其閘極電流劇烈上升，從圖 3-4 我們知道這是因為在高溫退火下二氧化鉛結晶化導致漏電路徑增加而使得漏電流急速上升[19]，另外由於經過 600°C 退火後二氧化矽厚度並沒有顯著增加，才會造成漏電流劇烈增加的現象。至於經過 800°C 退火後二氧化鉛雖然結晶化但是漏電流卻降低，這是因為此時二氧化鉛和矽基板之間的二氧化矽繼續成長而增厚造成漏電流下降。推測由於二氧化矽成長厚度在各處並不十分均勻而造成 800°C 退火後漏電流統計分佈範圍較廣。至於圖 4-15(b)中發現 RTO 前處理的二氧化鉛電容隨著退火溫度上升，其漏電流小幅度的下降，這是因為二氧化矽在高溫退火下繼續成長，所以雖然此時二氧化鉛發生結晶化，但是仍然有足夠厚的氧化層造成漏電流下降。

圖 4-16 是電容等效厚度和閘極漏電流在不同退火溫度下的關係圖，從圖上更可以明顯地看出前述電容等效厚度、退火溫度與漏電流之間的關係，比較值得注意的一點是我們發現 SC1 前處理經過 600°C 退火和 RTO 前處理經過 800°C 退火的二氧化鉛電容其電容等效厚度相當接近，但是兩者的漏電流卻相差了將近 3 個數量級，這表示除了下方二氧化矽厚度影響漏電流之外，二氧化鉛的結晶情形也是影響漏電流大小的一個主因，由圖 3-4(b)和圖 3-5(b)可以看出 RTO 前處理經過 600°C 退火後的晶相呈現較完美的複晶晶相，我們猜測 RTO 前處理的試片退火後的缺陷密度低於 SC1 前處理的試片退火後的缺陷密度，所以具有較低的漏電流。

圖 4-17 是本論文的量測結果和目前已發表的二氧化鉛文獻中，在閘極電壓為 -1V 時閘極漏電流的比較，本論文的結果顯示在電容等效厚度為 2nm 時，其漏電流小於 10^{-7}A/cm^2 ，此外與相同電容等效厚度下的二氧化矽閘極

漏電流比較，二氧化鉛薄膜的漏電流都低了幾個數量級以上，這也是未來利用二氧化鉛取代二氧化矽作為場效電晶體閘極絕緣層的一個主因。

從圖 4-14 的閘極電壓對閘極電流的關係，觀察到 SC1 前處理的二氧化鉛電容經過 600°C 和 800°C 退火後的漏電流(I區)明顯和其它實驗條件下的漏電流呈現不一樣的曲線(II和III區)，這表示這兩個條件下的漏電機制和其他條件下的漏電機制是不同的。首先我們先對 SC1 前處理經過 600°C 和 800°C 退火的二氧化鉛電容的漏電流作漏電機制比對，Frenkel-Pool 穿隧機制的公式為 4-17 式，其中 Φ_B 是能障高度， E 是穿過絕緣層的電場強度， ϵ_0 是真空中介電常數， ϵ_i 是絕緣層的介電常數， k_B 是波茲曼常數， T 則是量測時的絕對溫度， $a = \sqrt{q/4\pi\epsilon_0\epsilon_i}d$ (其中 d 為絕緣層厚度):

$$J \sim E \exp\left[\frac{-q(\Phi_B - \sqrt{qE/\pi\epsilon_0\epsilon_i})}{kT}\right] \sim V \exp\left(\frac{+2a\sqrt{V}}{T} - \frac{q\Phi_B}{kT}\right) \quad (4-17 \text{ 式})$$

從 4-17 式可以發現當我們作 $\ln(J/V)$ 對 \sqrt{V} 關係圖時，符合此漏電機制的漏電流將會是一條直線，而圖 4-18(a) 則顯示出 SC1 前處理經過 600°C 和 800°C 退火的二氧化鉛電容漏電流(I區)的確符合 Frenkel-Pool 穿隧機制。此外從 4-17 式知道當我們在不同溫度下量測漏電流，並作 $\ln(J/V)$ 對 $1/T$ 的關係圖也將會是一直線的關係。圖 4-18(b) 是 SC1 前處理經過 800°C 退火的二氧化鉛電容，在不同量測溫度下 $\ln(J/V)$ 對 $1/T$ 的關係圖，從圖中可以看出在不同偵測電壓下， $\ln(J/V)$ 對 $1/T$ 的確呈現一直線關係，這更足以證明 SC1 前處理經過 600°C 和 800°C 退火的二氧化鉛電容漏電流是 Frenkel-Pool 穿隧機制。

至於 SC1 前處理未退火的二氧化鉛電容和 RTO 前處理的二氧化鉛電容漏電流我們也作了漏電機制的比對，Ohmic 穿隧機制的公式為 4-18 式，其中 ΔE_a 是電子的活化能:

$$J \sim E \exp\left[\frac{-\Delta E_a}{kT}\right] \sim \frac{V}{T} \exp\left(-\frac{c}{T}\right) \quad (4-18 \text{ 式})$$

從 4-18 式當我們作 $\ln(J/V)$ 對 \sqrt{V} 的關係圖如果符合此漏電機制將會呈現一與 \sqrt{V} 無關的一水平線。圖 4-19(a) 是 SC1 前處理未退火的二氧化鉛電容和

RTO前處理的二氧化鈣電容漏電流在低電場時 $\ln(J/V)$ 對 \sqrt{V} 的關係圖(II區)，這表示在低電場時其漏電穿隧機制符合ohmic穿隧機制。最後我們比對了在高電場時的漏電機制，4-19式是Fowler-Nordheim穿隧機制的公式，其中 m^* 為電子等效質量， \hbar 為蒲朗克常數：

$$J \sim E^2 \exp\left[\frac{-4\sqrt{2m^*}(q\Phi_B)^{3/2}}{3q\hbar E}\right] \sim V^2 \exp\left(-\frac{b}{V}\right) \quad (4-19 \text{ 式})$$

由4-19式知道當作 $\ln(J/E^2)$ 對 $1/V$ 關係圖時會呈現一直線，圖4-19(b)則是上述條件下的試片在高電場時， $\ln(J/E^2)$ 對 $1/V$ 的關係圖(III區)，因此我們知道在高電場時其漏電機制為Fowler-Nordheim穿隧機制。

圖4-20是Frenkle-Poole漏電機制的能帶示意圖，由第六章利用載子分離方法得到的實驗結果顯示在負偏壓下閘極漏電流主要是電洞電流，因此在負偏壓下矽基板中的電洞先以直接穿隧(Direct Tunneling)的方式越過厚度較薄的二氧化矽而在二氧化鈣中被捕捉，接著電洞便藉著在二氧化鈣中的缺陷穿過二氧化鈣抵達閘極形成漏電流；至於圖4-21則是Ohmic漏電機制的能帶示意圖，由於Ohmic漏電機制發生在低電場時，因此矽基板中的電洞先以直接穿隧(Direct Tunneling)的方式越過厚度較薄的二氧化矽，接著在二氧化鈣中主要以熱能利用同一能量水平(energy level)的缺陷穿過二氧化鈣抵達閘極形成漏電流；最後圖4-22是Fowler-Nordheim漏電機制的能帶示意圖，由於在高電場下，由矽基板入射的電洞具有極大的動能，加上由於電場造成能帶傾斜，因此使得電洞見到的能障厚度變薄，所以電洞可以直接穿過二氧化矽和二氧化鈣抵達閘極形成漏電流。

由以上穿隧機制分析結果發現，SC1前處理未退火試片和RTO前處理的三種試片的漏電流機制完全相同，低電場的時候是Ohmic穿隧，高電場是Fowler-Nordheim穿隧。SC1前處理退火後的試片則呈現完全不同的Frenkle-Poole穿隧機制。配合第三章的晶相觀察以及本章CET的測量結果，似乎漏電機制主要取決於二氧化鈣的晶相，和介面層厚度沒有關聯。我們推論因為介面層厚度都不厚，載子很容易以直接穿隧方式穿透介面層。未退火的二氧化鈣因為是非晶相，缺陷密度較低，故低電場是Ohmic

機制，高電場是 Fowler-Nordheim 機制。RTO 前處理退火後試片因為接近理想的複晶晶相，缺陷密度仍低，故漏電流因介面層增後而微幅降低。SC1 前處理退火後的試片則因為結晶相混亂，形成大量缺陷，因此載子是以 Frenkle-Poole 機制穿透二氧化鉛，造成較大的漏電流。

